

電子注入ストレスを加えたゲート酸化膜の電流検出型原子間力顕微鏡による解析**

世古 明義[†] 渡辺 行彦^{††} 近藤 博基^{†a)} 酒井 朗[†]
 財満 鎮明[†] 安田 幸夫^{†*}

Analysis of Stressed-Gate SiO₂ Films with Electron Injection by Conductive Atomic Force Microscopy**

Akiyoshi SEKO[†], Yukihiro WATANABE^{††}, Hiroki KONDO^{†a)}, Akira SAKAI[†], Shigeaki ZAIMA[†], and Yukio YASUDA^{†*}

あらまし 電流検出型原子間力顕微鏡法 (Conductive Atomic Force Microscopy :C-AFM) を用いて, Metal-Oxide-Semiconductor(MOS) キャパシタで観測される絶縁膜劣化を, ナノスケールで直接観察する手法を開発した. 定電流ストレスを印加したシリコン酸化膜を本手法によって観察した結果, Stress-Induced Leakage Current (SILC) に関連した局所リーク電流スポットが観測された. これにより, ストレス誘起される膜中欠陥の局所性と分布, それらに起因した局所的なリーク伝導機構を実験的に明らかにした.

キーワード シリコン酸化膜, 電流検出型原子間力顕微鏡法, 信頼性, ストレス誘起リーク電流, トラップ

1. ま え が き

ULSI や不揮発性メモリの高集積化と高機能化は, その基本素子構造である Metal Oxide Semiconductor (MOS) デバイス構造の微細化によって達成されてきた. 特にゲート絶縁膜の薄膜化は著しく, その信頼性確保が重要な課題となっている. ゲート絶縁膜に電流ストレスを加えると, 低電界領域でストレス誘起リーク電流 (Stress-Induced Leakage Current :SILC) が観測されるようになる [1]. 更にストレスを加え続けると擬似破壊 (Soft-Breakdown) や絶縁破壊

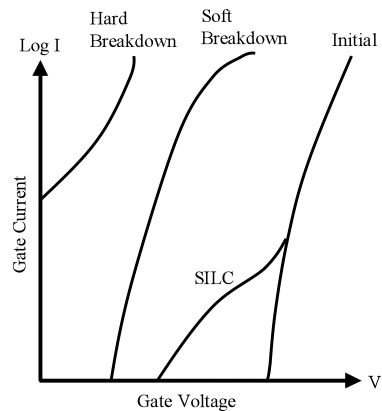


図1 ストレス印加によるゲート絶縁膜のリーク電流変化の模式図

Fig.1 Typical characteristics of change of leakage currents by applying stress in gate SiO₂.

(Hard-Breakdown) が発生する [2](図1).

このSILCから絶縁破壊に至るメカニズムとして, 近年, 「パーコレーションモデル」 [3] が支持されている (図2). ストレス印加により, 絶縁膜中に欠陥が発

[†] 名古屋大学大学院工学研究科結晶材料工学専攻, 名古屋市 Department of Crystalline Materials Science, Graduate School of Engineering, Nagoya Univ., Furo-cho, Chikusa-ku, Nagoya-shi, 464-8603 Japan

^{††} 豊田中央研究所, 愛知県 Toyota Central R&D Labs., Inc., 41-1 Aza Yokomichi, Oaza Nagakute, Nagakute-cho, Aichi-gun, Aichi-ken, 480-1192 Japan

* 現在, 高知工科大学総合研究所

** 本論文は, シリコン材料・デバイス研究専門委員会推薦論文である.

a) E-mail: hkondo@alice.xtal.nagoya-u.ac.jp

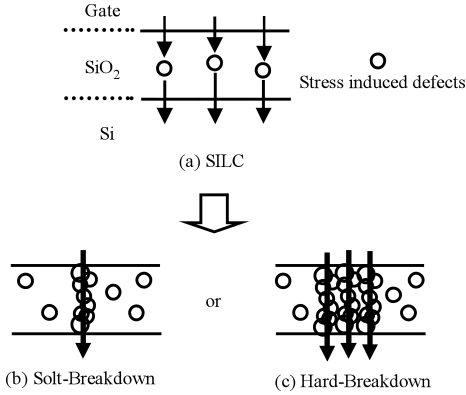


図2 パーコレーションモデルの模式図 [3]

Fig. 2 Schematic illustrations of the percolation model[3].

生し、この欠陥を介したトラップアシストトンネリング現象により SILC が流れる。更にストレス印加を続けると、膜中の欠陥が重なる領域（パーコレーションパス）が形成され、パーコレーションパスへの電流集中が絶縁破壊を引き起こす。パーコレーションモデルは寿命分散の膜厚依存性をよく表すが、膜内での均一な欠陥の発生と分布を想定している。しかし、膜構造の不均一さやストレス印加の極性に着目すると、実際の欠陥の発生と分布は、膜厚方向、面内方向とも不均一であると考えられる。したがって、絶縁膜疲労機構のモデル構築においては、欠陥の分布状態を明らかにし、個々の欠陥に起因した劣化現象を局所的に観測し、理解することが重要と考えられる。

近年、走査トンネル顕微鏡法 (Scanning Tunneling Microscopy :STM) や電流検出型原子間力顕微鏡法 (Conductive Atomic Force Microscopy :C-AFM) といった走査プローブ顕微鏡法 (Scanning Probe Microscopy :SPM) を用いた、絶縁膜の局所劣化現象の観察、測定が行われている [4] ~ [8]。我々の研究グループでは、プローブから電流ストレスを印加し、STM 及び C-AFM 観察をすることで、極薄シリコン酸化膜の劣化機構を研究してきた [4] ~ [6]。また、Porti ら [7] や安藤ら [8] も同様の手法で酸化膜劣化を局所観測し、その結果が、マクロスコピックな測定と同じ傾向であることを見出している。これらの研究では絶縁膜劣化を局所的に評価しているが、試料が極薄膜であり、またプローブによるストレス印加を用いているため、実際のデバイス動作時に発生する劣化を観測しているとは必ずしもいえない。

本研究では、デバイスレベルでストレス印加し、リー

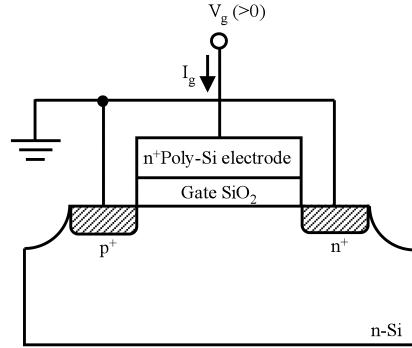


図3 MOS キャパシタ測定回路の模式図

Fig. 3 A schematic illustration of the measurement system of MOS capacitors.

ク特性の劣化を確認した MOS キャパシタのゲート酸化膜を、デバイス評価と同じ電界及び電流密度で C-AFM 観察した。これにより、デバイスレベルで発生する劣化現象をナノスケールで直接評価できる手法を開発した。

2. 実験方法

実験には n^+ -Poly-Si/SiO₂/n-Si の MOS キャパシタを用いた。基板には n 型 (100) シリコン基板 (比抵抗 $8 \sim 12 \Omega \cdot \text{cm}$) を用い、燃焼酸化 (800°C , 時間 972 s) で膜厚 11.3 nm (エリブソメータ法による) の SiO₂ 膜を成膜した。キャパシタの面積は $4 \times 10^{-4} \text{ cm}^2$ である。図 3 は、本実験で作製した MOS キャパシタと、その測定回路の模式図である。 n^+ イオン注入領域は Si 基板とのコンタクトを、 p^+ イオン注入領域は反転層とのコンタクトをそれぞれ形成している。この構造は、ゲートコントロールダイオード構造として知られており、ゲート絶縁膜に印加される電界は図中横方向で均一である [9]。これらのイオン注入領域とゲート絶縁膜のオーバーラップ寸法は $0.5 \mu\text{m}$ であり、キャパシタの面積に比べ十分小さい。C-AFM 観察では、ゲート絶縁膜面内の中央部分を観察しており、コンタクト領域の影響はないと考えられる。

MOS キャパシタ作製後、Fowler-Nordheim (F-N) 定電流ストレスによって、ゲート電極及び Si 基板からそれぞれ電子を 10 C/cm^2 (電流密度 100 mA/cm^2 , 注入時間 100 s) 注入した。その後、ゲート電極を正電圧とした電流-電圧 (I - V) 測定と、測定周波数十 kHz における容量-電圧 (C - V) 測定を同時に行った。

次に、C-AFM での測定を可能とするために、

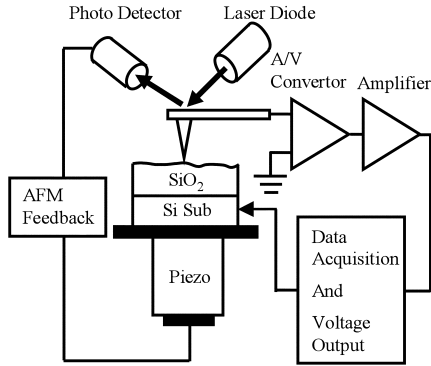


図4 電流検出型原子間力顕微鏡の測定系の模式図
Fig.4 A schematic illustration of the C-AFM measurement system.

TMAH 溶液 (60°C) によって n^+ ポリシリコンを選択的にエッチングし [10], ゲート電極を除去した. 更に 0.1% の希弗酸を用いた SiO_2 膜のエッチング (室温) によって, SiO_2 膜を 5.2 nm まで薄膜化し, C-AFM 測定を行った.

C-AFM 観察には, JSPM-4200 (日本電子 (株) 社製) と Pt コーティングしたシリコンカンチレバーを用いた. 試料は銀ペーストで試料台に固定し, 基板に負バイアスを加えながら C-AFM 観察することにより, 表面モフォロジー像と局所電流像を同時に取得した. C-AFM 観察はすべて室温で行った. 局所電流像の取得に超高速電流-電圧変換アンプ 428 型 (KEITHLEY 社製) を用いることで (図 4), 0.01 pA の電流分解能を得た.

スキャン速度は $2.77 \mu\text{m/s}$ に設定しており, 1 回の観察像 ($1000 \text{ nm} \times 1000 \text{ nm}$) の取得に要するスキャン時間は 92.6 秒であった.

3. 実験結果及び考察

3.1 ゲート SiO_2 膜の表面モフォロジー像及び電流像

図 5 は (a) 熱酸化後, (b) ゲート電極除去後及び (c) 希弗酸による薄膜化後の SiO_2 膜の表面モフォロジー像である. 平均 2 乗粗さ (Root-Mean Square :RMS) は, それぞれ 0.17 nm, 0.17 nm, 0.29 nm と熱酸化直後の RMS と同程度であり非常に平坦であった. 定電流ストレスを印加したゲート SiO_2 膜を希弗酸でエッチングした場合, 表面モフォロジーの RMS 値が大きくなるという報告があるが [11], 本実験においてはそのような傾向は見られなかった. SiO_2 膜の成膜方法やエッチング条件の違いにより, エッチングによる表面

ラフニングが抑えられたものと考えられる.

定電流ストレスを印加していない試料において, エッチングによって, SiO_2 膜厚を 5.2 nm にした後に, C-AFM 観察した結果を図 6 に示す. 電流像取得時の基板バイアスは -7 V である. 図 6(a) の表面モフォロジー像は RMS : 0.21 nm と非常に平坦であり, 前述のとおり, エッチングによる表面モフォロジーの変化はない. また図 6(b) の電流像において, 局所的に電流量が大きい領域は観測されず, 面内には 0.17 pA の平均電流が流れていることが分かった. 電流分布は表面モフォロジー像の凹凸とは対応しておらず, 電流像の RMS 値は 0.12 pA であった. 伝導機構を Fowler-Nordheim トンネル伝導と仮定して, 電流像の RMS 値を膜厚揺らぎに換算すると, その RMS 粗さは約 0.11 nm と求められる. これは表面モフォロジーの RMS 粗さと同程度であり, 電流揺らぎの要因として酸化膜の局所的な膜厚揺らぎが考えられる. つまり, 本研究で用いた C-AFM の電流検出感度は, SiO_2 膜厚換算で約 0.1 nm が検出可能なレベルとなっている.

3.2 定電流ストレス印加前後での MOS キャパシタの電流-電圧, 容量-電圧特性

定電流ストレス印加前後での MOS キャパシタの $I-V$ 特性 (図 7(a) 及び (c)) と $C-V$ 特性 (図 7(b) 及び (d)) について述べる. 図 7(a) 及び (b) はゲート電極から電子を注入した場合 (ゲート電圧: 負) を, 図 7(c) 及び (d) は Si 基板から電子を注入した場合 (ゲート電圧: 正) を示している. 図 7(a) から (d) において, 実線はストレス印加を行っていない場合の $I-V$ 特性及び $C-V$ 特性を示している. ストレスを印加していない場合, $I-V$ 特性より, SiO_2 膜のリーク電流は F-N トンネル電流であることが分かった. また $C-V$ 特性にフラットバンド電圧シフトはほとんど見られなかった. $C-V$ 特性において 0.1 V 付近に見られるパンプはポリシリコンゲートの空乏効果によるものと考えられる. 図 7(a) 及び (c) の点線はストレス印加直後の $I-V$ 特性を示している. ストレス印加後, 低電圧側に高いリーク電流 (Transient-SILC) が観測されることが分かる. Transient SILC はゲート電極から電子注入した場合 (図 7(a)) に特に大きく現れるが, $I-V$ 測定を繰り返すと減少し, 一定の値に収束する (図 7(a) 及び (c) 中の破線. 以下, 定常 SILC.) [12]. ゲート電極から電子注入した場合, ストレス印加直後の $C-V$ 特性 (点線) はストレス印加前 (実線) に対して約 2 V, 負電圧側にシフトしている (図 7(b)). これは, 膜中にホー

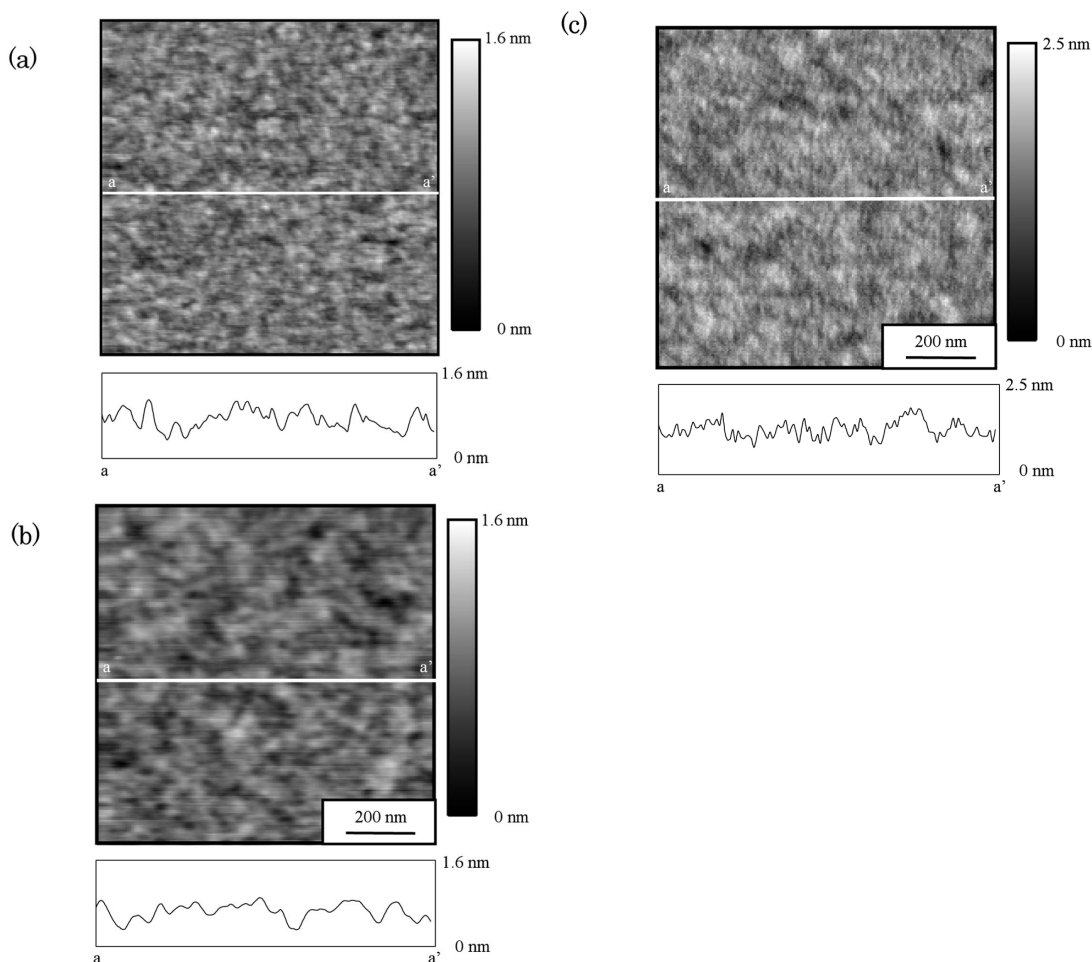


図5 AFM 観察による表面モフォロジー像 (a) 熱酸化直後 (b) ゲート電極除去後 (c) 希弗酸による薄膜化後
 Fig.5 Surface morphology images by the AFM measurements (a)after oxidation(RMS:0.17 nm), (b)after gate material removing, and (c)after SiO₂ thinning by diluted HF.

ルがトラップされているためと考えられる。I-V 測定を繰り返すと C-V 特性は徐々に正電圧方向へシフトする。I-V 測定を 5 回繰り返し、定常 SILC が観測される状態 (図 7(a)) では、C-V 特性は正電圧側に約 0.5 V シフトしている (図 7(b), 破線)。これは、I-V 測定の繰返しによって膜中にトラップされたホールが減少し、膜中に残留した電子による正電圧方向へのシフトが顕著に現れているためと考えられる。このとき、高電界領域の I-V 特性も正電圧方向にシフトしており、膜中にトラップされた電子の影響と考えられる。一方、ストレス印加直後の I-V 特性 (図 7(a) 点線) は、高電界領域において、F-N トンネル伝導より

も電圧依存性が弱い傾向となっている。これは、1 回の I-V 測定の時間内においても徐々にホールが減少し、I-V 特性が正電圧方向へシフトしていくためと考えられる。Si 基板から電子を注入した場合 (ゲート電圧: 正)、ストレス印加直後に観測される Transient-SILC の電流量は小さく、C-V 特性の負電圧方向へのシフトは見られない。しかしながら、I-V 測定を繰り返すと Transient-SILC はわずかに減少し、同時に C-V 特性は正電圧方向にシフトする。したがって、ゲート電極を正電圧として Si 基板から電子を注入した場合においても、SiO₂ 膜中にホールがトラップされており、I-V 特性の繰返しに伴うホール放出が起きていると考え

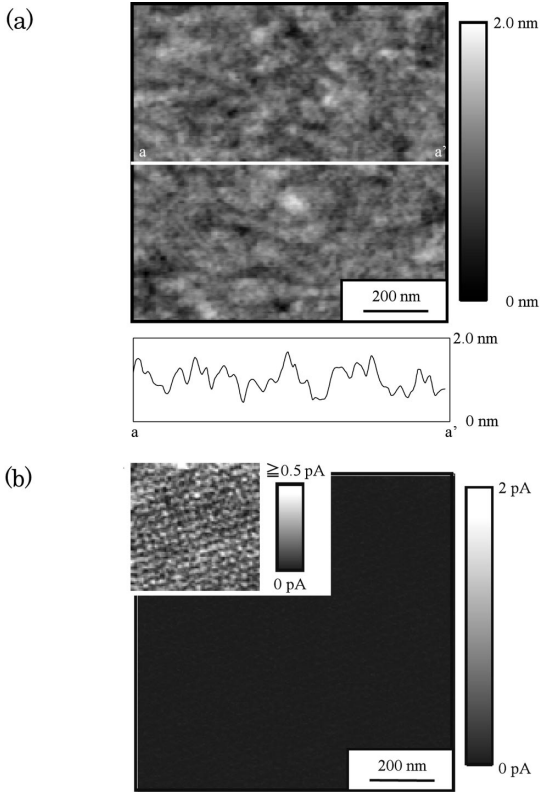


図6 ストレス印加していないゲート SiO_2 膜の (a) 表面モフォロジー像と (b) 電流像 (基板バイアス -7V)
 Fig. 6 (a) The surface morphology image and (b) the corresponding current image of the gate SiO_2 film without applying stress. Substrate bias was -7V .

られる．Transient-SILC の電流量が小さく、 $C-V$ 特性の負電圧方向へのシフトが見られない原因としては、 SiO_2 膜中にトラップされるホールの密度が小さいことと、ホールの位置がゲート電極側であることが考えられる．ゲート電極を負電圧として電子注入した場合、 $F-N$ トンネルによって SiO_2 膜を通過した電子が、 Si 基板でエネルギーを失って電子ホール対を生成し、生成されたホールが SiO_2 膜にトラップされる Anode hole injection モデルが考えられる．また、本実験ではゲート電極として Poly-Si を用いているため、 Si 基板から電子を注入した場合においても、同様にゲート電極 (Poly-Si) でホールが発生し、 SiO_2 膜に注入されることが考えられる [13]．しかし、ゲート電極近傍にホールがトラップされた場合、トラップされたホールからゲート電極までの距離が短いため、 $C-V$ 特性の電圧シフトは起きがたい．また $I-V$ 測定では Si 基板を

負電圧としており、ゲート電極近傍にトラップされたホールは放出されがたい．以上により、ゲート電極を正電圧または負電圧として SiO_2 膜に電子注入した場合、 SiO_2 膜中にトラップされるホールの密度は同程度であり、それぞれ SiO_2 膜中のゲート電極側または Si 基板側にホールがトラップされるものと推察される．

3.3 定電流ストレスを印加した SiO_2 膜の C-AFM 観察

次に、定電流ストレス印加前後での C-AFM 観察像について述べる．図 8(a) 及び (b) は、ゲート電極から電子注入ストレスを印加し Transient-SILC を観測した MOS キャパシタにおけるゲート SiO_2 膜の C-AFM 観察結果 ((a) 表面モフォロジー像 (RMS: 0.35nm) 及び (b) 局所電流像) である．また、図 8(c) は Si 基板から定電流ストレス印加した場合の局所電流像である．測定時の基板バイアスは、MOS キャパシタの $C-V$ 特性の電圧シフト量から求めた膜中の電荷量を考慮して、実効的な電界が等しくなるように設定した．ゲート電極から電子を注入した場合において (ゲート電圧: 負)、電流像 (図 8(b)) に極局所的に電流値の高いスポット状の領域が見られる．前述のとおり、ストレスを印加していない試料においては、このような電流スポットは見られていない．また、観測された電流スポットの分布と、同時取得した表面モフォロジー (図 8(a)) の間に対応は見られない．

電流ストレスを印加していない場合では電流スポットが観測されていないことから、局所的な電流スポットは、電流ストレスによって酸化膜中に誘起された欠陥と、そこにトラップされたホールに起因すると考えられる．C-AFM 観察時の酸化膜には $11.2 \sim 12.3\text{V/cm}$ の外部電界が印加されている．これらの電界条件下では $F-N$ トンネル伝導が支配的な伝導機構であると考えられ、実際に基板バイアスを変えて C-AFM 観察した結果から得られる、スポット電流の $I-V$ 特性は、 $F-N$ トンネル電流を示唆している．既述のとおり、定電流ストレスを印加すると、 SiO_2 膜中にホールがトラップされる．図 8(b) に観察された電流スポットとは、局所的に多くのホールがトラップされた領域であり、ホールによる電界増幅によって $F-N$ トンネル電流が大きくなっていると考えられる．一方、 Si 基板から電子を注入した場合 (ゲート電圧: 正) には、このような電流スポットは見られなかった (図 8(c))．上で述べたように、 Si 基板から電子を注入した場合においても、ゲート電極近傍にホールがトラップされていると考えられ

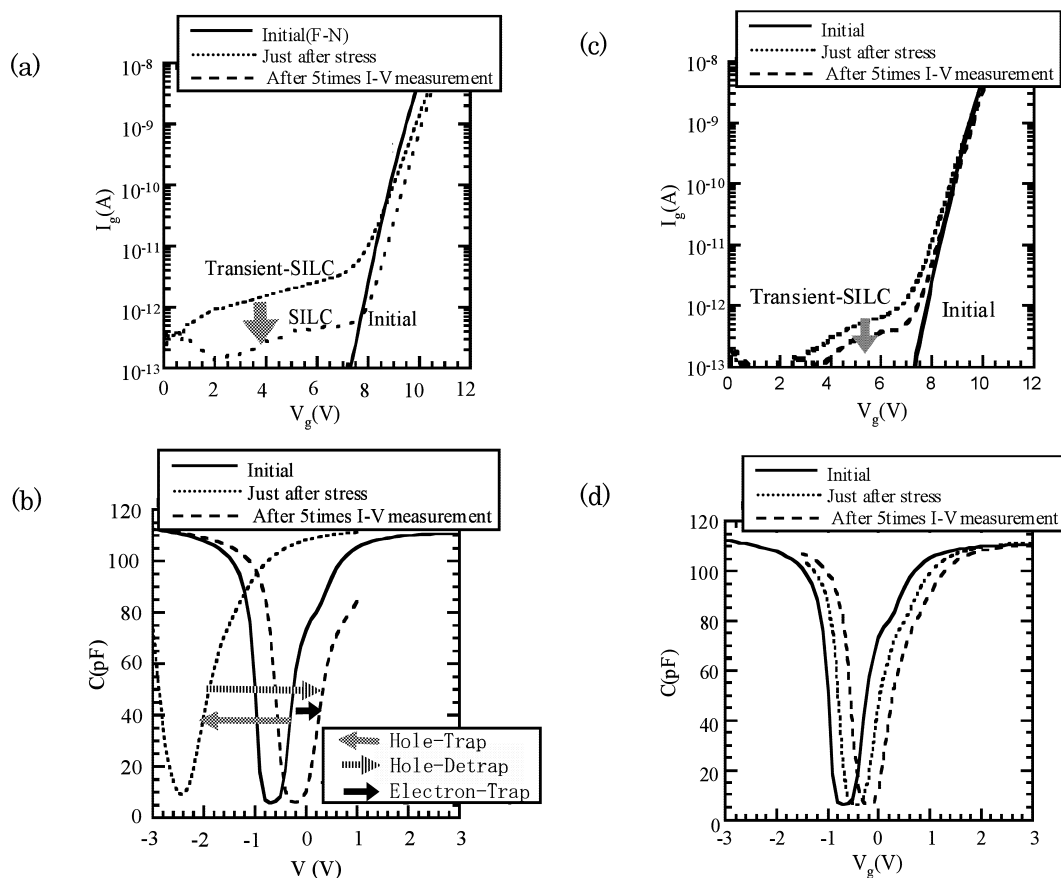


図7 ストレス印加前後でのMOSキャパシタの電気的特性。ゲート電極からの電子注入ストレスの場合の (a) I - V 特性と (b) C - V 特性。Si基板からの電子注入ストレスの場合の (c) I - V 特性と (d) C - V 特性

Fig. 7 Electrical characteristics of MOS capacitors before and after applying stress. (a)The I - V characteristics and (b)the C - V characteristics before and after electron injection from a gate electrode. (c)The I - V characteristics and (d)the C - V characteristics before and after electron injection from a Si substrate.

る。しかし、本研究におけるC-AFM観察では、観察前にゲート電極側のSiO₂を除去しているため、Si基板から電子を注入した場合では、電流像に電流スポットが観察されなかったものと考えられる。これらの結果により、リーク電流スポットの原因となる酸化膜中に誘起された欠陥と、そこにトラップされたホールは注入方向と反対側の界面近傍に多く存在することが明らかになった。また、電流ストレスにより発生した酸化膜中の欠陥やそこにトラップされたホールは、電極及びSiO₂膜自体のエッチング処理を経ても、SiO₂膜中に安定に存在していることが分かった。

3.4 電流スポットのスキャン回数依存性

図9は、一定の基板バイアス、同一個所で繰り返しC-AFM観察した電流像を示している。試料はゲート電極から電子を注入した(ゲート電圧:負)SiO₂膜、基板バイアスは-6Vである。スキャン回数の増加に伴い、電流スポットの数が減少していくことが分かる。図10は個々の電流スポット(図9中のA及びB)について、スポット電流値の時間変化を示している。縦軸は電流スポットの電流値の変化を、横軸はスキャン回数から求めたスキャン時間を示している。スポット電流が時間の逆数(1/ t)に比例して減少することが分かる。このような、測定に伴うFNトンネル電流の減少

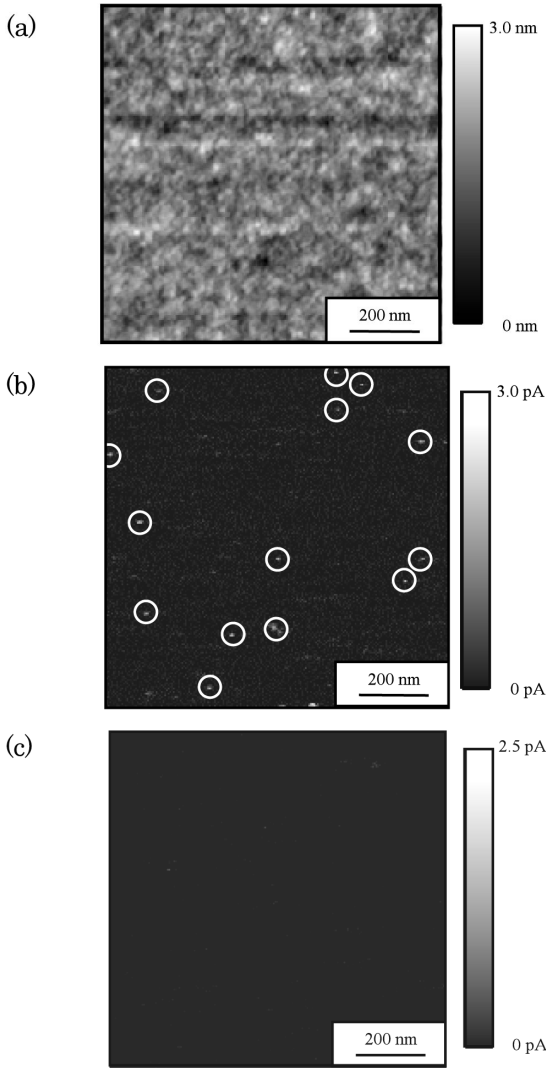


図8 ゲート電極から電子を注入した場合の (a) 表面モフォロジー像と (b) 電流像 (基板バイアス -5.8 V) , 及び Si 基板から電子を注入した場合の (c) 電流像 (基板バイアス -6.4 V) .

Fig. 8 (a) The surface morphology image and (b) the corresponding current image ($V_{sub} = -5.8\text{ V}$) after electron injection from gate electrode and (c) current image ($V_{sub} = -6.4\text{ V}$) after electron injection from Si substrate.

は、MOSキャパシタにおいても、ストレス印加直後の $I-V$ 特性の高電圧領域に現れている (図7(a)) . 一方、ホールデトラップ現象として、Transient-SILCが $1/t$ に比例して減少することが知られている [14] . 上述のとおり、本実験で観測された電流スポットは、膜中の欠陥にトラップされたホールによって局所的に増幅さ

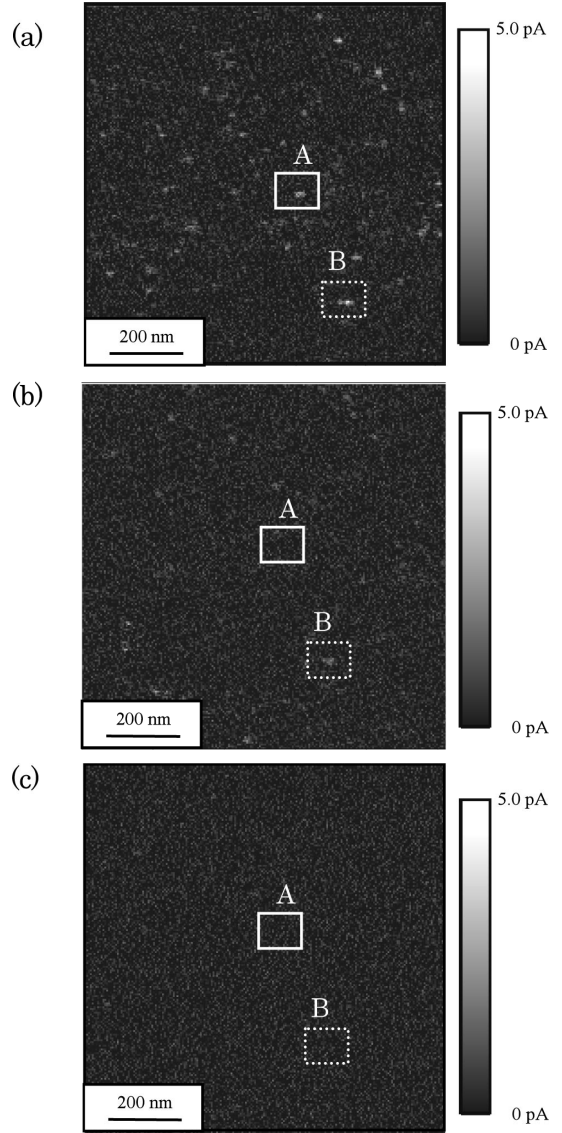


図9 同一個所で連続観察した電流像 . 基板バイアスは -6 V であった . 図中の囲み線 A 及び B はそれぞれ同じ範囲であることを示す . (a) 1 回目のスキャン , (b) 3 回目のスキャン , 及び (c) 8 回目のスキャン

Fig. 9 Current images of an approximately identical area by repeated scanning with a V_{sub} of -6 V , (a) the first (b) 5th, and (c) 8th scanings. Boxed areas A and B indicate exactly the same position in each image.

れたF-Nトンネル電流と考えられる . したがって、スキャン回数 (伝導時間) の増加に伴うスポット電流値の減少 (図10) は、スキャンに伴う欠陥からのホールデトラップに起因すると考えられる .

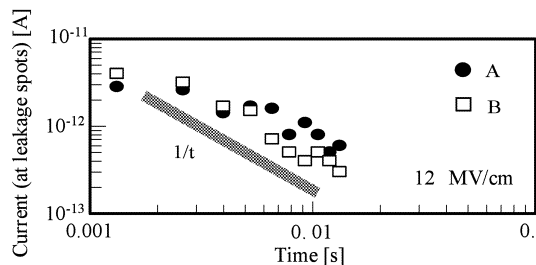


図10 リーク電流スポットの電流値の時間依存特性．A及びBは図9中の囲み線と対応している．
Fig. 10 Time depended characteristics of currents at leakage current spots. Data marked A and B respectively correspond to boxed A and B shown in Fig.9.

4. む す び

定電流ストレスを印加し、リーク電流の増加を確認したMOSキャパシタのゲート電極を除去し、C-AFM観察することによって、実デバイス動作時に発生した絶縁膜劣化をナノスケールの分解能で直接評価する技術を開発した．同手法によって、ゲート電極から定電流ストレスを印加した試料の電流像において、周囲よりも1けた程度電流値の大きいナノスケールサイズのスポット領域が観察された．このような電流スポットは、SiO₂膜中のストレス誘起欠陥にトラップされたホールに起因すると考えられる．また、同一エリアでスキャンを繰り返すことによって、欠陥からホールが脱トラップし、スポット電流が減少する様子が観察された．一方、Si基板から電子注入ストレスを印加した電流像では、リーク電流スポットは見当たらなかった．これらの結果から、酸化膜中に誘起された欠陥及び、そこにトラップされたホールは注入方向と反対側の界面近傍に存在すると考えられる．

本研究により、ストレス誘起される膜中欠陥の局所性と分布、それらに起因した局所的なリーク伝導機構が明らかになった．

文 献

- [1] D. J. DiMaria and E. Cartier, "Mechanism for stress-induced leakage current in thin silicon dioxide films," *J. Appl. Phys.*, vol.78, no.6, pp.3883-3894, 1995.
- [2] W. Mizubayashi, Y. Yoshida, S. Miyazaki, and M. Hirose, "Quantitative analysis of oxide voltage and field dependence of time-dependent dielectric soft breakdown and hard breakdown in ultrathin gate oxides," *Jpn. J. Appl. Phys. 1, Regul. Pap. Short Notes*, vol.41, no.4B, pp.2426-2430, 2002.
- [3] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P.J. Roussel, and H. E. Maes, "New insights in the relation between electron trap generation and the statistical properties of oxide breakdown," *IEEE Trans. Electron Devices*, vol.45, no.4, pp.904-911, 1998.
- [4] K. Ohmori, S. Zaima, and Y. Yasuda, "Trap creation in ultrathin SiO₂ films due to electron injection studied by scanning tunneling microscopy / scanning tunneling spectroscopy," *Appl. Surf. Sci.*, vol.162-163, pp.395-400, 2000.
- [5] K. Ohmori, H. Ikeda, A. Sakai, S. Zaima, and Y. Yasuda, "The origin and creation mechanism of positive charges in silicon oxide films," *Proc. 4th Int. Symp. on the Physics and Chemistry of SiO₂ and the Si-SiO₂ Interface*, p.345, 2000.
- [6] H. Ikeda, A. Sakai, S. Zaima, and Y. Yasuda, "Local electrical characteristics of ultra-thin SiO₂ films formed on Si (001) surface," *Surf. Sci.*, vol.493, pp.653-658, 2001.
- [7] M. Porti, M. Nafria, X. Aymerich, A. Olbrich, and B. Ebersberger, "Nanometer-scale electrical characterization of stressed ultrathin SiO₂ films using conducting atomic force microscopy," *Appl. Phys. Lett.*, vol.78, no.26, pp.4181-4183, 2001.
- [8] A. Ando, R. Hasunuma, T. Maeda, K. Sakamoto, K. Miki, Y. Nishioka, and T. Sakamoto, "Conducting atomic force microscopy studied on local electrical properties of ultrathin SiO₂ films," *Appl. Surf. Sci.* no.162-163, pp.401-405, 2000.
- [9] A. S. Grove, *Physics and technology of semiconductor devices*, John Wiley & Sons, New York, 1967.
- [10] O. Tabata, R. Asahi, H. Funabashi, K. Shimaoka, and S. Sugiyama, "Anisotropic etching of silicon in TMAH solutions," *Sensor and Actuators A; Physcal.*, vol.34, no.1, pp.51-57, 1992.
- [11] K. Yamabe, L. Kai, and M. Murata, "Surface micro-roughness observed during wet etching of silicon dioxide with high electric field stress," *Jpn. J. Appl. Phys. 2, Lett.*, vol.38, no.12A, pp.L1453-1456, 1999.
- [12] E. F. Runnion, S. M. Gladstone, R. S. Scott, D. J. Dumin, L. Lie, and J. S. Mitros, "Thickness dependence of stress-induced leakage currents in silicon oxide," *IEEE Trans. Electron Devices*, vol.44, no.6, pp.993-1001, 1997.
- [13] P. Samanta and C. K. Sarkar, "Correlation between the gate bias dependence of the probability of anode hole injection and breakdown in thin silicon dioxide films," *Appl. Phys. Lett.*, vol.77, no.26, pp.4350-4352, 2000.
- [14] 渡辺行彦, 光嶋康一, 酒井 朗, 財満鎮明, 安田幸夫, "F-Nストレスにより発生した正の固定電荷の消滅の温度依存性," 第57回応物春季予稿集, 24p-C-10/II, March 2002.

(平成15年12月15日受付, 16年3月23日再受付)



世古 明義 (学生員)

2002立命館大・理工・電気電子卒。2004名大大学院工学研究科結晶材料工学専攻修士課程了。同年同大学院博士課程入学，現在に至る。ゲート絶縁膜の信頼性評価に関する研究に従事。



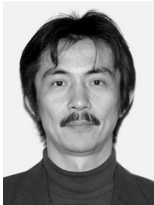
渡辺 行彦

1983豊橋技科大・工・電気電子卒。1985同大大学院修士課程了。同年(株)豊田中央研究所入社。現在に至る。車載半導体デバイスの信頼性に関する研究に従事。IEEE, 応用物理学会各会員。工博。



近藤 博基

1999名大大学院工学研究科結晶材料工学専攻博士課程了，工博。同年，富士通(株)入社。ULSI用多層配線の高信頼化技術，信頼性評価技術の研究，開発に従事。2002より名大大学院工学研究科結晶材料工学専攻助手，現在に至る。次世代ULSI用極薄膜の形成技術及び信頼性評価に関する研究に従事。



酒井 朗

1986名大大学院工学研究科金属工学専攻博士課程前期課程了。同年，日本電気(株)入社。シリコン系，化合物系半導体薄膜の結晶成長技術及び構造評価技術の研究・開発に従事。1999より名大大学院工学研究科結晶材料工学専攻助教授，現在に至る。シリコンデバイスにかかわる薄膜成長，格子欠陥・ヘテロ界面物性などの研究に従事。工博。



財満 鎮明

1982東北大大学院工学研究科電子工学専攻博士課程了，工博。豊橋技科大工学部助手を経て，1986名大工学部講師，1989同助教授，1997同大先端技術共同研究センター教授，2004同大工学研究科教授，現在に至る。この間，シリコンプロセス技術，表面・界面物性，デバイス物理，薄膜成長などの研究に従事。



安田 幸夫

1965名大大学院工学研究科応用物理学専攻修士課程了。(株)東芝中央研究所及び日電東芝情報システム(株)にて集積回路プロセス技術の研究開発を行った後，豊橋技科大工学部電気電子工学系教授を経て，1986から名大大学院工学研究科結晶材料工学専攻教授。半導体薄膜の成長，半導体表面・界面物性の研究及び，これらのULSI技術への応用・開発の研究に従事。2004より高知工科大学総合研究所教授，現在に至る。工博。