

単一電子トラップ直視技術の開発と  
それを用いた極薄ゲート絶縁膜の  
劣化機構の解明

(研究課題番号 13305005)

平成 13 年度～平成 16 年度科学研究費補助金(基盤研究(A)(2))

研究成果報告書

平成 17 年 4 月

研究代表者 近藤博基

(名古屋大学大学院工学研究科助手)

## はしがき

超々大規模集積回路 (ULSI) は、基本素子である MOS (Metal-Oxide-Semiconductor) トランジスタの微細化によって高集積化と高速化を同時に実現し、継続的な高性能化を達成してきた。MOS トランジスタの微細化の最も顕著な例として、ゲート絶縁膜の薄膜化が挙げられる。次世代 MOS トランジスタでは、 $\text{SiO}_2$  を基準として誘電率換算した場合のゲート絶縁膜厚は 1 nm であることが求められる。このような極薄膜領域では、良好な絶縁特性や十分な誘電率の確保と共に、信頼性の確保が ULSI 構築の可否を決する本質的問題となる。したがって本研究は、デバイススケールがナノメートルオーダーとなる次世代 ULSI 実現の本質に関わる問題である。

ゲート絶縁膜の信頼性問題に関する研究は、MOS トランジスタの実現と共に始まり、様々な視点から多くの研究がなされてきた。その結果、電荷トラップとなる膜中欠陥の生成や、そこでの電荷捕獲過程、それに伴う閾値電圧やリーク電圧の経時変化など多くの特徴的な劣化現象と、それらを説明する多くの物理モデルが報告されている。しかしながら、従来からゲート絶縁膜として用いられている  $\text{SiO}_2$  膜や SION 膜の劣化現象ですら、十分明らかになっているとは言えない。これは従来の絶縁膜劣化現象の研究が、MOS キャパシタや MOS トランジスタのデバイス特性、ならびにそれらの劣化特性の測定結果を用いて考察されてきたことに起因する。電界や電流などの電氣的ストレスに起因する絶縁膜中への電荷捕獲、リーク電流の増大ならびに絶縁破壊の発生は、いずれもナノスケ

名古屋大学図書



20118771

ール領域で発生する局所的な現象と考えられる。一方、MOS キャパシタや MOS トランジスタのゲート領域は 100 nm-1  $\mu\text{m}$  程度の大きさであり、その電気特性はゲート領域全体の平均的な特性であるので、必ずしもナノメータスケールの局所領域での劣化過程個々を観測しているとは言えない。

本研究では、プローブ顕微鏡を用いることで原子スケールならびにナノスケールで絶縁膜の劣化現象を観測し、局所領域で発生する劣化現象、劣化進行過程を明らかにすることを目的とした。具体的には、シリコン清浄表面上に形成した極薄  $\text{SiO}_2$  膜中に局所的に電荷注入を行い、極薄膜中での電荷捕獲現象、それに伴う  $\text{SiO}_2$  膜の膜構造ならびにバンド構造の変化を、走査トンネル顕微鏡によって原子分解能で解析した。また、実動作中のストレス印加によって劣化を発現した MOS デバイスのゲート絶縁膜を、電流検出型原子間力顕微鏡を用いて局所観察することで、劣化現象をナノメータスケールの分解能で解析した。この際、実動作時に MOS デバイス中で発生する劣化を観測することに特に留意し、測定条件がデバイス動作条件と一致するようにした。これにより、実動作中の MOS デバイスで起こるゲート絶縁膜劣化をナノスケール観察することを実現し、そのメカニズムを解明した。

## 研究組織

平成 13 年度～14 年度

研究代表者：安 田 幸 夫 (名古屋大学大学院工学研究科教授)

研究分担者：財 満 鎮 明 (名古屋大学先端技術共同研究センター教授)

研究分担者：酒 井 朗 (名古屋大学大学院工学研究科助教授)

研究分担者：池 田 浩 也 (名古屋大学大学院工学研究科助手)

平成 15 年度

※転任に伴い、研究分担者を交替。

研究代表者：安 田 幸 夫 (名古屋大学大学院工学研究科教授)

研究分担者：財 満 鎮 明 (名古屋大学先端技術共同研究センター教授)

研究分担者：酒 井 朗 (名古屋大学大学院工学研究科助教授)

研究分担者：近 藤 博 基 (名古屋大学大学院工学研究科助手)

平成 16 年度

※定年退官に伴い、研究代表者を交替。

研究代表者：近 藤 博 基 (名古屋大学大学院工学研究科助手)

研究分担者：財 満 鎮 明 (名古屋大学大学院工学研究科教授)

研究分担者：酒 井 朗 (名古屋大学大学院工学研究科助教授)

研究分担者：安 田 幸 夫 (高知工科大学総合研究所教授)

交付決定額（配分額）

（金額単位：千円）

	直接経費	間接経費	合計
平成13年度	36,400	1,0920	47,320
平成14年度	4,800	1,440	6,240
平成15年度	1,100	330	1,430
平成16年度	1,200	360	1,560
総計	43,500	13,050	56,550

研究発表

（1）学会誌等

K. Ohmori, M. Tsukakoshi, H. Ikeda, A. Sakai, S. Zaima, Y. Yasuda

“Real-time observation of initial oxidation on highly B-doped Si(100)-2x1 surfaces using scanning tunneling microscopy”

Proc. of the 25th International conference on the Physics of Semiconductors, pp. 329-330, (2001).

H. Ikeda, N. Kurumado, K. Ohmori, M. Sakashita, A. Sakai, S. Zaima, and Y. Yasuda

“Local electrical characteristics of ultra-thin SiO<sub>2</sub> films formed on Si(100) surfaces”  
Surf. Sci. 493, pp. 653-658 (2001).

K. Ohmori, T. Goto, H. Ikeda, A. Sakai, S. Zaima, and Y. Yasuda

“Microscopic Observation of X-ray Irradiation Damages in Ultra-Thin SiO<sub>2</sub> Films”  
Jpn. J. Appl. Phys. 40 (4), pp. 2823-2826 (2001).

J.-Y. Rosaye, P. Mialhe, J.-P. Charles, M. Sakashita, H. Ikeda, A. Sakai, S. Zaima, and Y. Yasuda

“Characterization of defect traps in SiO<sub>2</sub> thin films”  
Active and Passive Elec. Comp. 24, 169-175 (2001).

H. Ikeda, D. Matsushita, S. Naito, K. Ohmori, A. Sakai, S. Zaima, and Y. Yasuda

“Growth processes and electrical characteristics of silicon nitride films formed on Si(100) by radical nitrogen.”  
Jpn. J. Appl. Phys. 41 (4B), pp. 2463-2467 (2002).

J.-Y. Rosaye, N. Kurumado, M. Sakashita, H. Ikeda, A. Sakai, P. Mialhe, J.-P. Charles, S.

Zaima, Y. Yasuda, and Y. Watanabe

“Characterization of defect traps in SiO<sub>2</sub> thin films influence of temperature on defects”  
Microelectronics Journal 33 (5-6), pp. 429-436 (2002).

H. Ikeda, S. Goto, K. Honda, M. Sakashita, A. Sakai, S. Zaima, and Y. Yasuda

“Structural and electrical characteristics of HfO<sub>2</sub> films fabricated by pulsed laser deposition”  
Jpn. J. Appl. Phys. 41 (4B), pp. 2476-2479 (2002).

H. Ikeda, T. Goto, M. Sakashita, A. Sakai, S. Zaima, and Y. Yasuda

“Local Leakage Current of HfO<sub>2</sub> Thin Films Characterized by Conducting Atomic Force Microscopy”  
Jpn. J. Appl. Phys. 42 (4B), pp. 1949-1953 (2003).

Y. Watanabe, A. Seko, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda

“Microscopic Analysis of Stress-Induced Leakage Current in Stressed Gate SiO<sub>2</sub> Films Using Conductive Atomic Force Microscopy”  
Jpn. J. Appl. Phys. 43 (2A), pp. L144-L147 (2004).

Y. Watanabe, A. Seko, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda

“Conductive Atomic Force Microscopy Analysis for Local Electrical Characteristics in Stressed SiO<sub>2</sub> Gate Films”  
Jpn. J. Appl. Phys. 43 (4B), pp. 1843-1847 (2004).

Y. Watanabe, A. Seko, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda

“Detection and Characterization of Stress-Induced Defects in Gate SiO<sub>2</sub> Films by Conductive Atomic Force Microscopy”  
Jpn. J. Appl. Phys. 43 (7B), pp. 4679-4682 (2004).

A. Seko, Y. Watanabe, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda

“Behavior of Local Current Leakage in Stressed Gate SiO<sub>2</sub> Films Analyzed by Conductive Atomic Force Microscopy”  
Jpn. J. Appl. Phys. 43 (7B), pp. 4683-4686 (2004).

世古明義, 渡辺行彦, 近藤博基, 酒井朗, 財満鎮明, 安田幸夫

“電子注入ストレスを加えたゲート酸化膜の電流検出型原子間力顕微鏡による解析”

Technical report of IEICE (信学技報) 103, No. 148, pp. 1-6 (2003).

世古明義, 渡辺行彦, 近藤博基, 酒井朗, 財満鎮明, 安田幸夫

“電流注入ストレスを加えたゲート酸化膜の電流検出型原子間力顕微鏡による解析”

信学論 J87-C (8), pp. 616-624 (2004).

(2) 口頭発表

H. Ikeda, S. Goto, K. Honda, M. Sakashita, A. Sakai, S. Zaima, and Y. Yasuda  
“Structural and electrical characteristics of HfO<sub>2</sub> films fabricated by pulsed laser deposition”  
2001 International Conference on Solid State Devices and Materials (SSDM 2001), Tokyo, Japan, Sept. 26-28, 2001.

K. Honda, S. Goto, M. Sakashita, H. Ikeda, A. Sakai, S. Zaima, and Y. Yasuda  
“Effect of rapid thermal annealing on structural and electrical properties of HfO<sub>2</sub> films formed by pulsed laser deposition”  
2001 International Conference on Rapid Thermal Processing for Future Semiconductor Devices, Mie, Japan, Nov. 14-16, 2001.

H. Ikeda, T. Goto, M. Sakashita, A. Sakai, S. Zaima, and Y. Yasuda  
“Local leakage current of HfO<sub>2</sub> thin films characterized by conducting atomic force microscopy”  
2002 International Conference on Solid State Device and Materials, Nagoya, Japan, Sep. 17-19, 2002.

Y. Watanabe, A. Seko, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda  
“Conductive Atomic Force Microscopy Analysis for Local Electrical Characteristics in Stressed SiO<sub>2</sub> Gate Films”  
2003 International Conference on Solid State Device and Materials, Tokyo, Japan, Sep. 16-18, 2003.

H. Kondo, A. Seko, Y. Watanabe, A. Sakai, S. Zaima, and Y. Yasuda  
“Nanoscale analysis of local leakage currents in stressed gate SiO<sub>2</sub> films by conducting atomic force microscopy”  
2003 Materials Research Society Fall Meeting, Boston, USA, Dec. 1-5, 2003.

Y. Watanabe, A. Seko, H. Kondo, A. Sakai, S. Zaima and Y. Yasuda  
“Detection of stress-induced defects in gate SiO<sub>2</sub> films by conducting atomic force microscopy”  
The 11th International Colloquium on Scanning Probe Microscopy, Shizuoka, Japan, Dec. 11-13, 2003.

A. Seko, Y. Watanabe, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda  
“Local discharging of carriers at nanometer scale defects in gate SiO<sub>2</sub> thin films observed by conducting atomic force microscopy”  
The 11th International Colloquium on Scanning Probe Microscopy, Shizuoka, Japan, Dec. 11-13, 2003.

Y. Watanabe, A. Seko, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda

“Thickness Dependence of Microscopic Current-Voltage Characteristics in Stressed SiO<sub>2</sub> Films”

2004 International Workshop on Dielectric Thin Films for Future ULSI Devices, Tokyo, Japan, 26-28 May, 2004.

A. Seko, Y. Watanabe, H. Kondo, A. Sakai, S. Zaima, and Y. Yasuda

“Analysis of Breakdown Phenomena in Stressed Gate SiO<sub>2</sub> Films by Conductive Atomic Force Microscopy”

2004 International Workshop on Dielectric Thin Films for Future ULSI Devices, Tokyo, Japan, 26-28 May, 2004.

S. Zaima, H. Kondo, M. Sakashita, A. Sakai, and Y. Yasuda

“Nanoscale analysis of degradation phenomena in MOS gate insulators using conductive atomic force microscopy”

The 12th International Conference on Solid Films and Surfaces, Hamamatsu, Japan, 21-25 Jun., 2004.

坂下満男, 後藤智一, 池田博也, 酒井朗, 財満鎮明, 安田幸夫

「電流検出型原子間力顕微鏡による HfO<sub>2</sub> 薄膜の局所リーク電流特性」

「極薄シリコン酸化膜の形成・評価・信頼性」研究会、静岡、P-3 (2003年1月)

世古明義、渡辺行彦、近藤博基、酒井朗、財満鎮明、安田幸夫

「電流検出型 AFM を用いたストレス誘起リーク電流の解析」

第 50 回応用物理学関係連合講演会、神奈川大学、28a-ZW-5 (2003年3月)

世古明義、渡辺行彦、近藤博基、酒井朗、財満鎮明、安田幸夫

「ストレス誘起欠陥におけるホールトラップ-デトラップ現象のナノスケール観察」

第 64 回応用物理学会学術講演会、福岡大学、31a-P3-11 (2003年8月)

渡辺行彦、世古明義、近藤博基、酒井朗、財満鎮明、安田幸夫

「電氣的ストレスを加えたゲート酸化膜の電流検出型原子間力顕微鏡を用いた局所電流解析」

第 64 回応用物理学会学術講演会、福岡大学、31a-P3-12 (2003年8月)

渡辺行彦、世古明義、近藤博基、酒井朗、財満鎮明、安田幸夫

「電流検出型原子間力顕微鏡によるゲート酸化膜のストレス誘起欠陥の検出」

「極薄シリコン酸化膜の形成・評価・信頼性」第 9 回研究会、静岡 (2004年1月)

世古明義、渡辺行彦、近藤博基、酒井朗、財満鎮明、安田幸夫

「ストレス誘起欠陥におけるホール放出現象のナノスケール観察」

「極薄シリコン酸化膜の形成・評価・信頼性」第 9 回研究会、静岡 (2004年1月)

世古明義、渡辺行彦、近藤博基、酒井朗、財満鎮明、安田幸夫

「ストレス印加したゲート SiO<sub>2</sub> 膜におけるホール放出現象の局所解析」

第 51 回応用物理学関係連合講演会、28p-C-6、東京工科大学（2004 年 3 月）

渡辺行彦、世古明義、近藤博基、酒井朗、財満鎮明、安田幸夫

「ゲート酸化膜劣化のストレス極性依存の電流検出型 AFM を用いた解析」

第 51 回応用物理学関係連合講演会、28p-C-7、東京工科大学（2004 年 3 月）

渡辺行彦、世古明義、近藤博基、酒井朗、財満鎮明、安田幸夫

「ストレス印加したゲート SiO<sub>2</sub> 膜におけるホール捕獲位置の同定」

第 65 回応用物理学学会学術講演会、東北学院大学、3p-C-16（2004 年 9 月）

世古明義、渡辺行彦、近藤博基、酒井朗、小川正毅、財満鎮明、安田幸夫

「電流検出型 AFM によるストレス印加ゲート SiO<sub>2</sub> 膜の絶縁破壊進行過程の局所解析」

第 65 回応用物理学学会学術講演会、東北学院大学、3p-C-17(2004 年 9 月)

# 目次

## 第1章 序論

1.1 背景	1
1.2 本研究の目的	3
1.3 参考文献	4

## 第2章 測定装置および測定原理

2.1 MOS キャパシタの電流-電圧特性および容量-電圧特性の測定	5
2.2 走査トンネル顕微鏡法	6
2.3 原子間力顕微鏡法	11
2.4 電流検出型原子間力顕微鏡法	12
2.5 参考文献	15

## 第3章 実験方法

3.1 MOS キャパシタの作製	16
3.2 ゲート酸化膜への電氣的ストレスの印加	18
3.3 電流検出型原子間力顕微鏡による MOS キャパシタ観察の準備	18
3.4 参考文献	20

## 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

4.1 STM 探針を用いた極薄シリコン酸化膜への電子注入	21
4.2 極薄シリコン酸化膜中の正電荷トラップ	38
4.4 参考文献	50

## 第5章 電流検出型原子間力顕微鏡法によるゲート SiO<sub>2</sub> 膜の評価

5.1 MOS キャパシタの電氣的特性	53
5.2 原子間力顕微鏡法によるゲート酸化膜の表面モホロジー	61
5.3 電流検出型原子間力顕微鏡法の電流検出精度	63
5.4 電氣的ストレスを印加したゲート SiO <sub>2</sub> 膜の局所電流解析	69

5.5	ストレス誘起欠陥からのホールのデトラップ現象	77
5.6	ストレス誘起欠陥へのホールの再注入	82
5.7	絶縁破壊現象の観察	86
5.8	参考文献	91

## 第6章 結論

6.1	結論	92
6.2	今後の研究計画	96
6.3	参考文献	98

## APPENDIX

## 第1章 序論

### 1.1 背景

従来パーソナルコンピュータが主流であった情報機器は、携帯電話、Personal Digital Assistant(PDA)、デジタルカメラ等に代表されるように小型化、高機能化が進み、更に、低消費電力化されている。また、家電機器や自動車等、様々な分野において情報機器との融合がなされている。

それら、情報機器を支えているのが CPU(Central Processing Unit)等の演算素子や、Dynamic Random Access Memory(DRAM)、フラッシュメモリ等の記憶素子に代表される超々大規模集積回路(Ultra Large Scale Integrated Circuit :ULSI)である。ULSI の集積度は年々増加し、記憶素子の記憶容量は年 2 倍のペースで増加している<sup>[1]</sup>。これらのデバイスの基本構造は Metal-Oxide-Semiconductor(MOS)構造であり、図 1.1 に示す MOS 電界効果トランジスタ(MOS Field Effect Transistor: MOSFET)を基本素子として用いている。

近年、ULSI(デバイス)の微細化や高機能化と共に信頼性の向上が重要な課題となっている。MOS トランジスタの信頼性を決める要因の一つとして、ゲート絶縁膜が挙げられる。MOSFET では、ゲート電極に電圧を印加することによって、半導体界面にキャリアを誘起し、ソースとドレインの間に信号を導通させる。したがって、ゲート絶縁膜の劣化および絶縁破壊は動作不良に直結する重大な問題である。電氣的ストレスによるゲート絶縁膜の劣化および破壊機構は多くの研究がなされてきたが、未だ解明には至っていない。ゲート絶縁膜に高電界を印加するフラッシュメモリ等では、膜劣化に伴うリーク電流の増加は特に深刻であり、劣化機構およびリーク電流機構の解明が現在急務とされている。

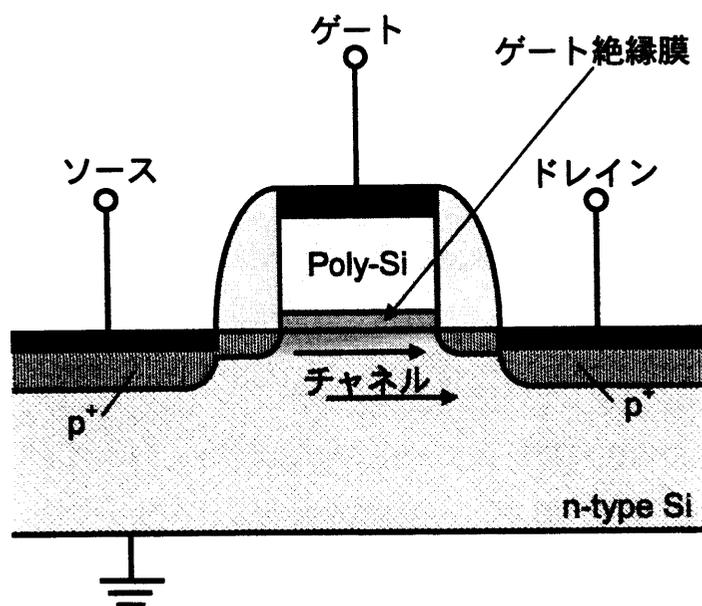


図 1.1 MOSFET の断面模式図.

## 1.2 本研究の目的

ゲート絶縁膜劣化の機構解明は、デバイス特性に基づいて解析されてきた。しかし、実際のゲート絶縁膜劣化は局所的な現象であると考えられる<sup>[2]</sup>。したがって、ゲート絶縁膜の劣化機構の解明においては、デバイス特性評価によって得られる平均情報では不十分であり、ナノスケール観察による劣化過程の局所解析が重要であると考えられる。

そこで本研究では、走査型トンネル顕微鏡法(Scanning Tunneling Microscopy: STM)や電流検出型原子間力顕微鏡法(Conductive Atomic Force Microscopy: C-AFM)といった走査プローブ顕微鏡(Scanning Probe Microscopy: SPM)による絶縁膜の局所劣化現象の観察、測定に着目した<sup>[3-7]</sup>。これらの方法では、それぞれ原子スケール分解能、ナノスケール分解能で局所的なストレス印加やリーク電流特性の評価を行うことが可能である。まず、STM 探針を用いて極薄シリコン酸化膜に対して電子注入を行い、酸化膜中の局所的な電子状態の変化について、原子スケール分解能で検討した。また、酸化膜中の正電荷トラップの起源および生成機構について検討を行った。具体的には、酸化前表面のダイマー欠損率が異なる表面に対してシリコン酸化膜を形成し、ダイマー欠損と正電荷トラップの相関について考察した。一方、デバイスの信頼性特性を解明するという観点では、動作中の MOS デバイス内で発生する劣化を観測することが非常に重要である。STM 観察を用いた研究は、電荷トラップ生成機構を原子レベルで理解する上で有力な方法である。しかし、Si 基板上に成膜した数原子層の極薄膜の観察であり、またプローブに高電圧を印加することによって電氣的ストレスを極薄膜に印加し、劣化させ SPM 観察している。したがって、膜質、膜厚およびゲート電極などの周辺構造、ストレス印加条件などが実際のデバイスとは異なり、必ずしも動作中の MOS デバイス内で発生する劣化を観測しているとは言えない。そこで次に、デバイスレベルで定電流ストレスを印加し、リーク特性の

劣化を確認した MOS キャパシタのゲート絶縁膜を C-AFM 観察する手法を開発した。これにより、デバイスレベルで発生する劣化現象をナノスケールで直接評価し、ストレス誘起欠陥に起因したリーク電流の局所性、ストレス誘起欠陥の安定性および欠陥を介した電荷の捕獲、放出現象を明らかにすることを目的とした。

### 1.3 参考文献

- [1] 日経マイクロデバイス 2003年10月号 (日経BP社)
- [2] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. roussel and H. E. Maes, *IEEE Trans. Electron Devices*. **45** (1998) 904.
- [3] K. Ohmori, S. Zaima, and Y. yasuda, *Appl. Surf. Sci.*, **Vol.162-163** (2000) 395.
- [4] K. Ohmori, H. Ikeda, A. Sakai, S. Zaima, and Y. Yasuda, *Proc. of the 4th int. Symp. on the Physics and Chemistry of SiO<sub>2</sub> and the Si-SiO<sub>2</sub> Interface* (2000) 345
- [5] H. Ikeda, N. Kurumado, K. Ohmori, A. Sakai, S. Zaima and Y. Yasuda, *Surf. Sci.*, **493** (2000) 653.
- [6] M. Porti, M. Nafria, X. Aymerich, A. Olbrich and B. Ebersberger, *Appl. Phys. Lett.* **78** (2001) 4181
- [7] A. Ando, R. Hasumura, T. Maeda, K. Sakamoto, K. Miki, Y. Nishioka, and T. Sakamoto, *Appl. Surf. Sci* **162** (2000) 401.

## 第2章 測定装置および測定原理

本章では、MOS キャパシタの容量-電圧特性および電流-電圧特性について述べる。また、走査トンネル顕微鏡、原子間力顕微鏡および電流検出型原子間力顕微鏡の測定原理、および本研究で用いた測定装置について述べる。

### 2.1 MOS キャパシタの電流-電圧特性および容量-電圧特性の測定

MOS キャパシタの電圧-電流(I-V)特性および容量-電圧(C-V)特性は、ゲート酸化膜中での電荷の発生やリーク電流の変化など、酸化膜の劣化を知る上で重要である。本節では、本研究に用いた I-V、C-V 特性の測定システムについて説明する。

酸化膜に電氣的ストレスを印加することにより発生するストレス誘起リーク電流 (SILC) は、電流密度  $10^{-9}$  A/cm<sup>2</sup> 以下と非常に小さく<sup>[1]</sup>、電極面積  $4 \times 10^{-4}$  cm<sup>2</sup> の MOS キャパシタでは  $10^{-13}$  A 程度の微小電流の測定が必要となる。また、MOS キャパシタの静電容量は数 10 pF 程度と非常に小さい。したがって、測定システムも極力測定ノイズを少なくしなければならない。本研究では図 2.1 に示す測定システムを用いた。各測定装置の間の接続は 3 重同軸ケーブルを用い、マニュアルプローバのマニピュレータには同軸針を使用することによって、試料近傍までシールドすることでノイズを削減した。またスイッチングマトリックスは微小電流の測定可能なものを用いた。以上の測定システムを用いることにより、ノイズレベル 10 fA の測定を可能とした。

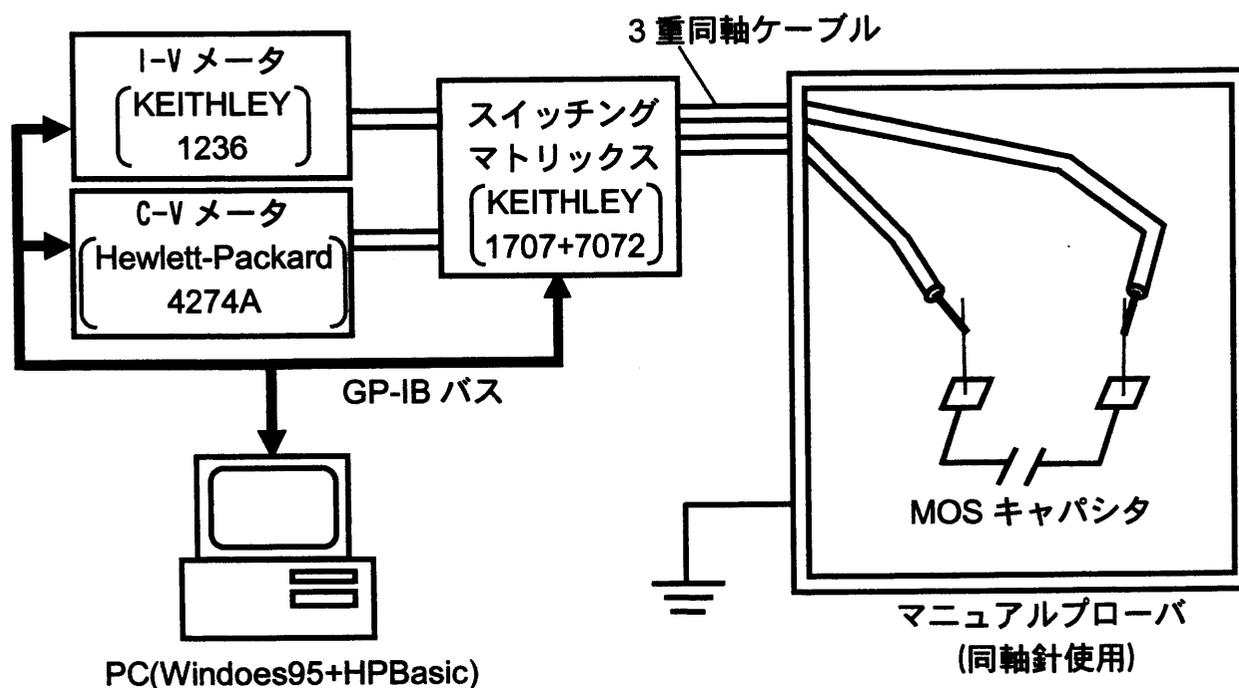


図 2.1 容量-電圧、電流-電圧特性の測定システム。

## 2.2 走査トンネル顕微鏡法

図 2.2 に、温度可変型超高真空走査型トンネル顕微鏡装置超高真空装置の概略図を示す。本装置は、試料導入室、MBE 室、試料作製室、及び STM 室の 4 室より構成されており、各室はゲートバルブを介して連結されている。また、装置全体をエアダンパの上に乗せることにより、床からの振動を遮断している。試料作製室及び STM 室の到達真空度は、 $1 \times 10^{-8}$  Pa であった。各室間の試料の受け渡しは、トランスファーロッドによって行った。

各室の排気システムは、以下の通りである。

試料導入室：ターボ分子ポンプ

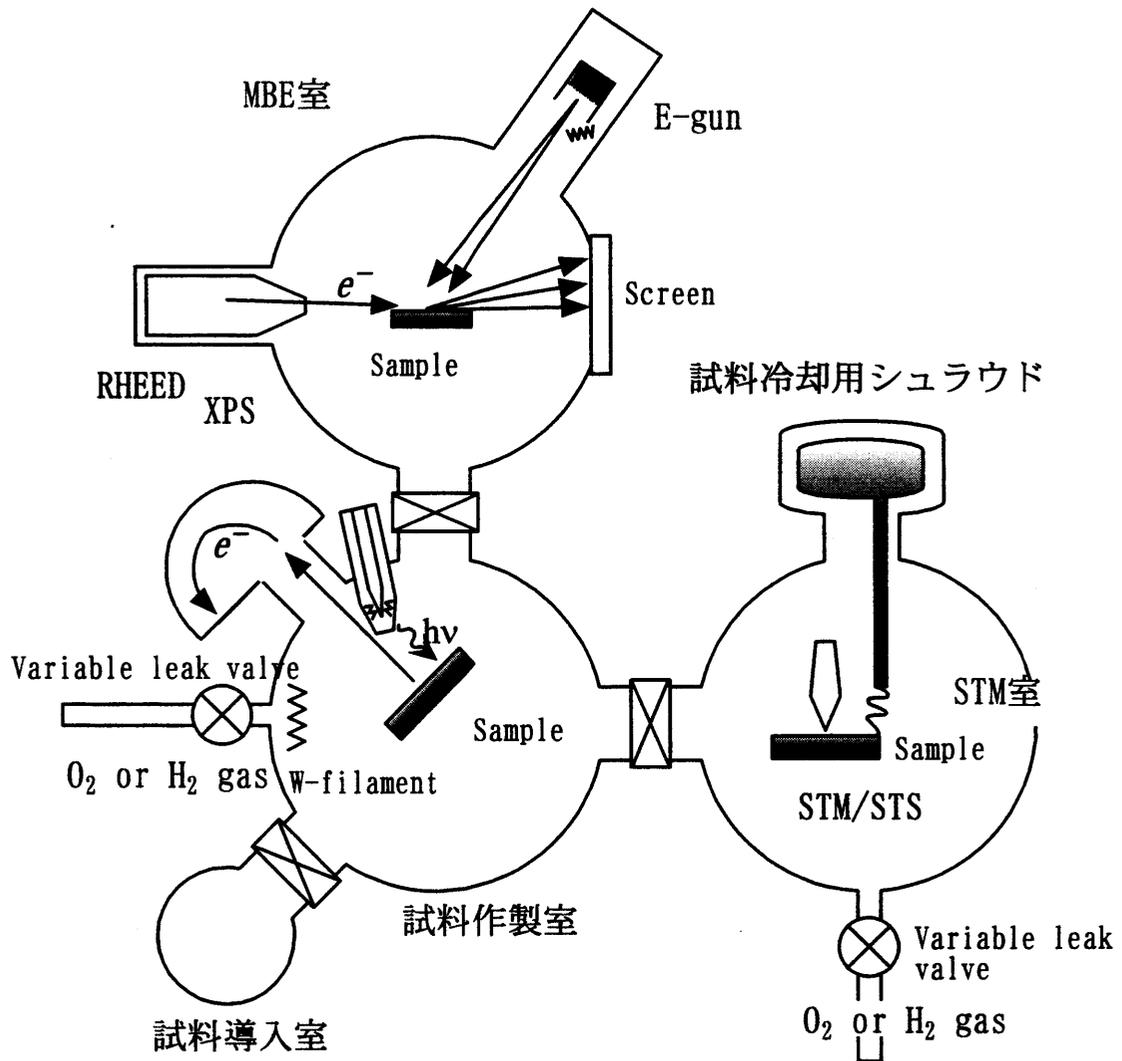


図 2.2 超高真空温度可変型 STM 装置 (STM-B) の概略図

MBE 室：ターボ分子ポンプ、イオンポンプ、Ti サブリメーションポンプ

試料作製室：イオンポンプ、Ti サブリメーションポンプ

STM 室：イオンポンプ、Ti サブリメーションポンプ

また、各室に備えられている分析及び成膜装置は、以下の通りである。

MBE 室：

- ・ 反射高速電子線回折装置 (RHEED: Reflection High Electron Energy Diffraction)
- ・ 電子ビーム蒸着装置

試料作製室：

- ・ X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy)
- ・ 酸素及び水素ガスの導入口

STM 室：

- ・ 走査型トンネル顕微鏡 (STM) / 走査型トンネル分光装置 (STS)
- ・ 酸素及び水素ガスの導入口

STM 室に備えられた温度可変型 STM/STS は、低温 (液体ヘリウム (4K) 又は液体窒素 (77K) によって冷却) から高温 (試料の通電によって加熱) における試料観察が可能である。試料作製室に備えられた X 線光電子分光装置を用いて酸化膜厚の評価を行った。MBE 室には、電子ビーム蒸着装置及び RHEED 装置を備えており、表面の MBE (Molecular Beam Epitaxy) 成長と構造評価が可能である。

酸素及び水素は、バリアブルリークバルブを介して超高真空中に導入した。試料作製室内のガス導入口にはタングステンフィラメントが取り付けられており、これを 1800℃ に加熱することにより、酸素及び水素分子を原子状に解離することができる。また、STM 室にもガス導入口を設け、酸素吸着過程の原子分解能でのその場観察を可能とした。

走査型トンネル顕微鏡は、原子レベルで先鋭化された金属探針で試料表面を走査する近視野顕微鏡であり、原子分解能で表面電子状態の実空間観察ができ

る。図 2.3 に STM 観察時の模式図を示す。試料表面の走査は、探針と試料間の電圧を一定に保ちながら、フィードバック回路によってトンネル電流が設定値になるように探針を操作して行う。電子のトンネル確率は、指数関数的な距離依存性を持つ為、STM 像は、試料面内方向に約 0.1nm、垂直方向に約 0.01nm の分解能を有する。トンネル伝導機構を利用する為、STM 像は試料の局所的な電子状態と表面モホロジーを反映したものとなる。

STM の登場により表面科学の分野は大きく発展した。それ以前は、表面構造の分析手法として、主に反射高速電子線回折 (RHEED) 法や電界イオン顕微鏡 (FIM: Field Ion Microscopy) が用いられてきたが、得られる情報が逆空間であったり、限られた状況下でのみ原子分解能が得られるものであった。STM は、 piezo 素子の先端に取り付けられた探針でトンネル電流を検知しながら試料を走査する。この概念を応用し、探針をカンチレバーやフォトンプローブに代えることにより、絶縁膜表面の凹凸や表面のスピン電子構造を調べる顕微鏡も開発されている。これらを称して走査型プローブ顕微鏡 (SPM: Scanning Probe Microscopy) という。

図 2.4 に STM 観察時における接合状態のエネルギーバンド図を示す。(a) 及び (b) は各々試料に負及び正の電圧を印加したときのものである。試料に負の電圧を印加したときは、試料の価電子帯にある電子が探針の非占有状態にトンネルする。一方、試料に正の電圧を印加したときは、電子が探針から試料の非占有状態 (伝導帯) にトンネルする。定電圧で走査する時、先鋭化された探針の電子状態の変化は無視できるため、得られた STM 像は、試料の表面凹凸と局所的な電子状態の変化を反映していると見なすことができる。

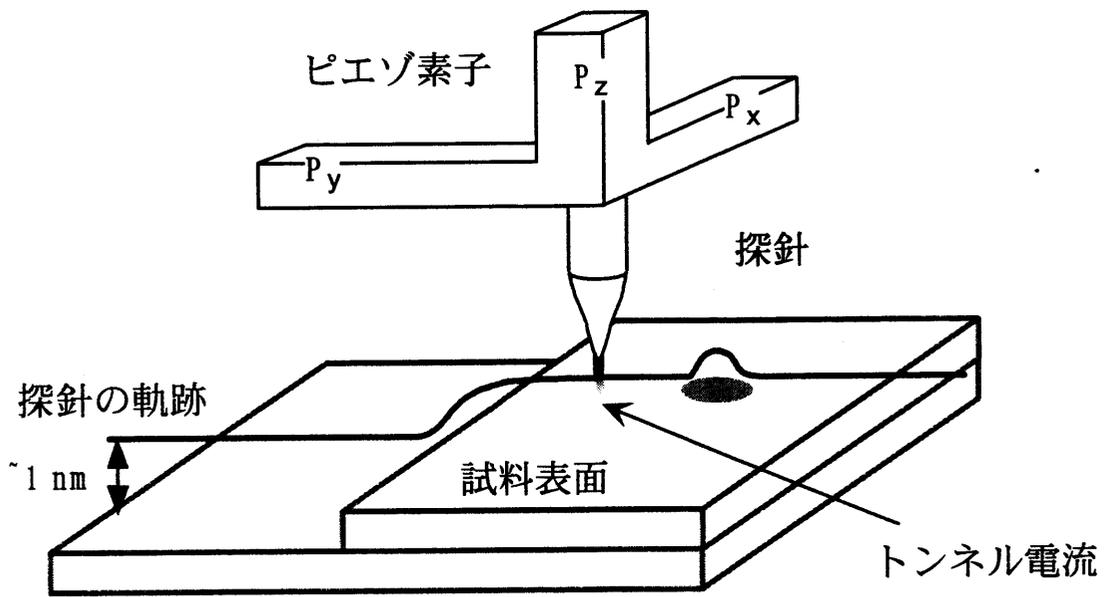


図 2.3 STM 観察の走査模式図

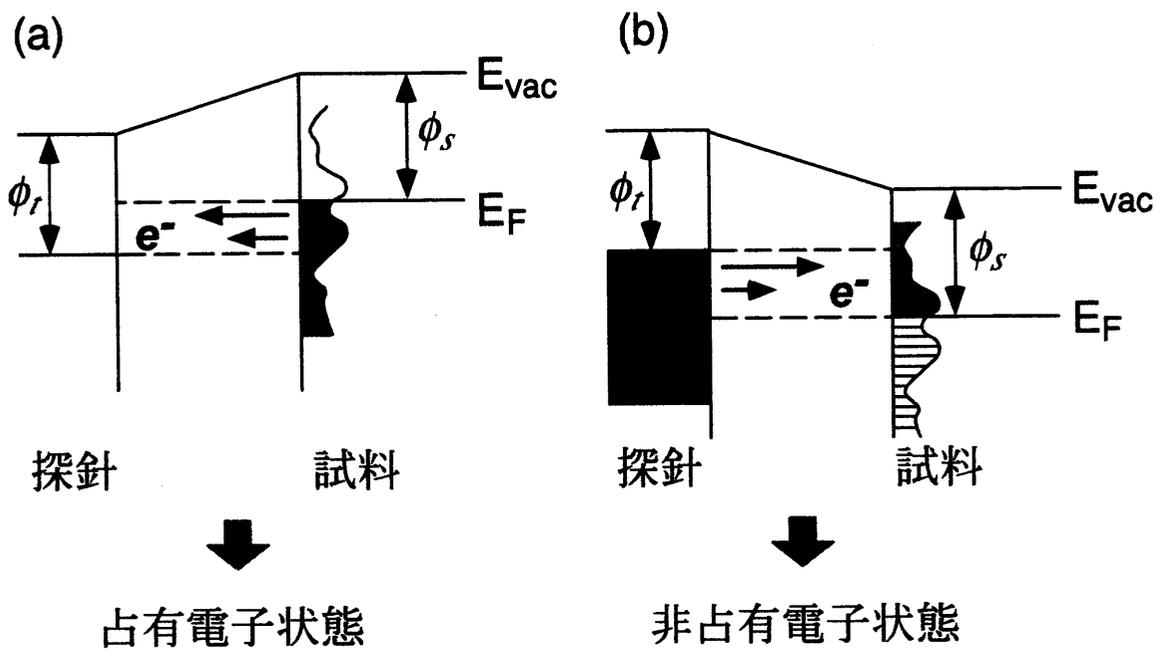


図 2.4 STM 観察時におけるエネルギーバンド図

(a) 負の試料電圧、(b) 正の試料電圧

### 2.3 原子間力顕微鏡法

図 2.5 は原子間力顕微鏡の測定原理である。原子間力顕微鏡法(Atomic Force Microscopy: AFM)では、試料先端と試料表面との間に働く原子間力(図 2.6)をカンチレバー(微小な板ばね)の変位から測定する。また、探針(カンチレバー)を表面に沿って走査することで表面モホロジー像を形成する。一般に近接する 2 つの物体間には必ず力が作用するため、AFM には試料に対する制約が原理的に存在しない。このため、AFM は走査トンネル顕微鏡(Scanning Tunneling Microscopy: STM)では観察できない絶縁体の表面構造もナノスケールで観察可能である<sup>[2]</sup>。

AFM は試料表面のモホロジーをナノメートルオーダーで検出できるため、原子レベルの平坦性を求められる半導体プロセスの評価において強力なツールである。本研究では市販の複合型走査プローブ顕微鏡(Scanning probe microscope : SPM)である JSPM4200(JEOL 製)を用いた。図 2.7 に本研究に用いた AFM の概略図を示す。本装置では、光てこ方式を用いて探針の変位を検出している。光てこ方式とは、曲率半径が極めて小さい Si 製や SiN 製の探針を試料表面に近づけ、探針先端の原子と試料表面の原子との間に働く原子間力によるカンチレバーの撓みを、探針先端に照射されたレーザー光の反射角の変化としてフォトディテクターにより検出する方式である。この光てこ方式には大きく分けて以下の 3 つの動作方式があげられる。

- (a) 探針を試料表面に接触させ、カンチレバーの変位から表面状態を測定する接触方式 (コンタクトモード)。
- (b) 探針を試料表面に接触させ、カンチレバーの振動振幅の変化から表面形状を測定する周期接触方式(タッピングモード)。
- (c) 探針を試料表面に接触させずに、カンチレバーを固有振動させ、振動周波数(あるいは振動振幅)の変化から表面形状を測定する非接触方式(AC モー

ド)。

コンタクトモードやタッピングモードは、図 2.6 に示す原子間力の斥力領域での測定であり距離に対する斥力の変化が大きいため、高分解能は望めない。一方 AC モードは引力領域の微小な力を検出することができるため、コンタクトモードやタッピングモードに比べ高い分解能が得られる。本研究では、酸化膜表面のモホロジー像の観察に比較的高い分解能を持つ AC モードを用いた。

## 2.4 電流検出型原子間力顕微鏡法

電流検出型顕微鏡法(Conductive AFM: C-AFM)は局所的なリーク電流を測定できることから、ゲート酸化膜の局所的な現象を観測する上で強力な手法である。本研究では、市販の AFM 装置に超高速電流-電圧変換アンプ 428 型 (KEITHLEY 社製)を用いた電流検出回路を加えることにより、電流感度として 0.01 pA を実現した。図 2.8 は C-AFM を用いた酸化膜測定における MOS 構造の模式図である。ゲート酸化膜の観察時において、探針と半導体基板の間は MOS 構造見なすことができ、局所的な MOS デバイス(キャパシタ)特性を測定していると考えられる。

半導体基板と試料台とは、有機溶剤に溶かしたペースト状の銀で接着させた。この後、半導体基板と試料台間を十分密着させるために 1 日低真空中で乾燥させた。探針には白金(Pt)で被覆した Si カンチレバーを用い、室温、低真空中(ロータリーポンプで排気)での C-AFM 観察により、表面モホロジー像と電流像を同時取得した。観察領域は 1000 nm×1000 nm、探針のスキャンスピードは 2.77  $\mu\text{m/s}$  である。スキャン速度から、電流検出時の時間を見積もると、1 ピクセル当たりのスキャン時間は 1.3 ms であった。

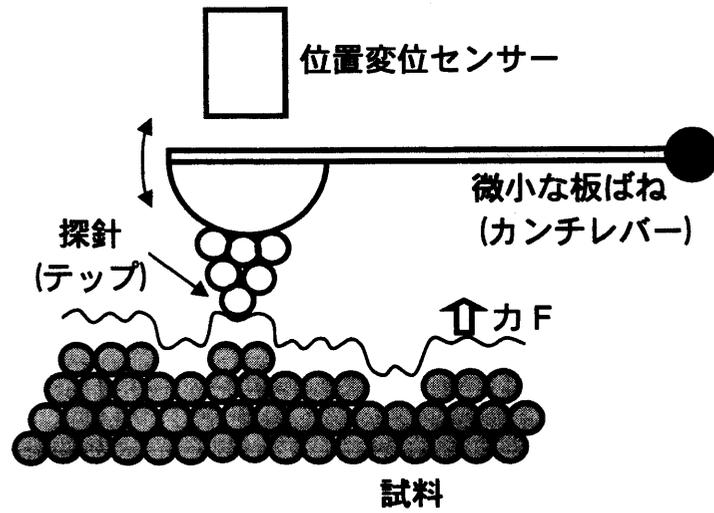


図 2.5 原子間力顕微鏡の測定原理.

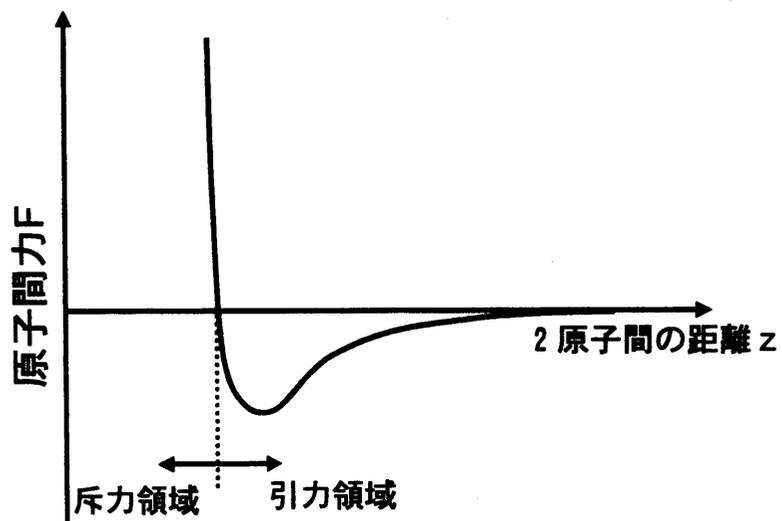


図 2.6 原子間力の例.

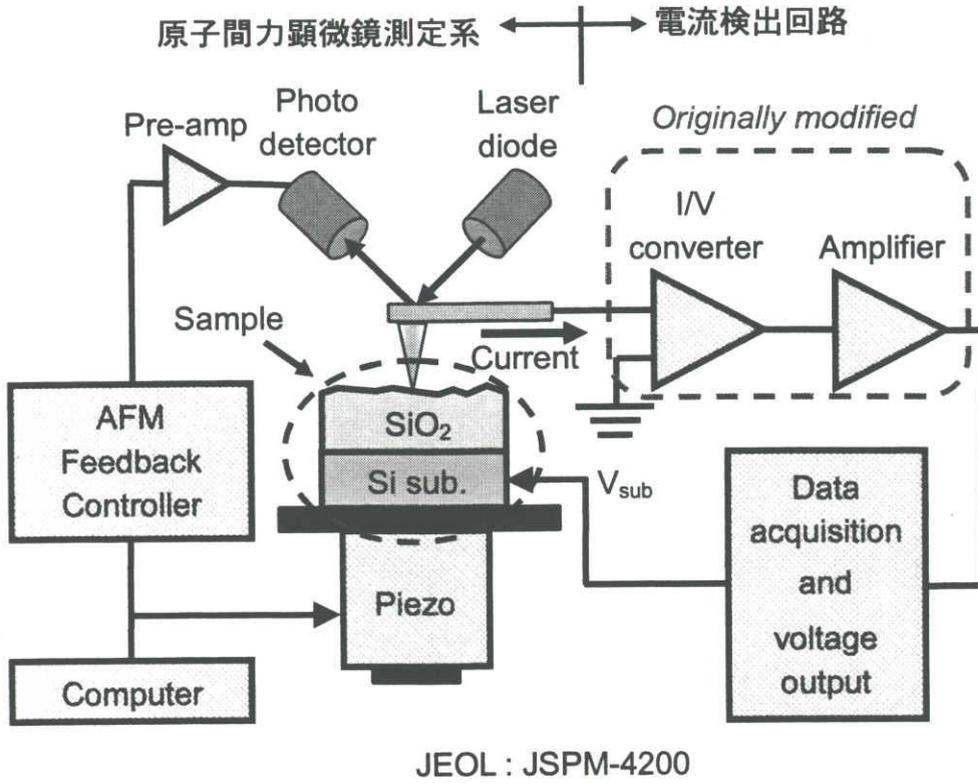


図 2.7 電流検出型原子間力顕微鏡の概略図.

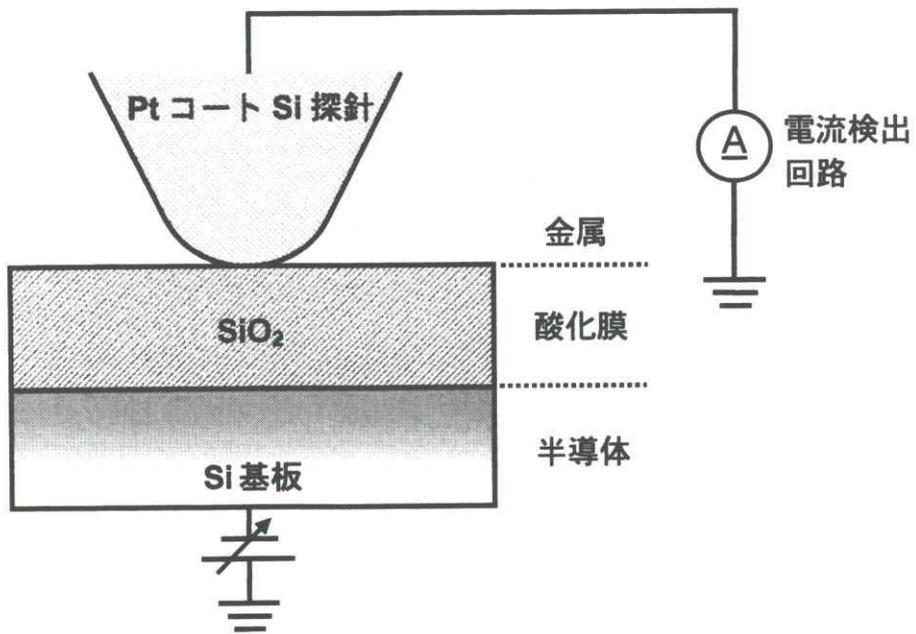


図 2.8 電流検出型原子間力顕微鏡法を用いた酸化膜測定における MOS 構造.

## 2.5 参考文献

- [1] D. baglee and C. Smayling, IEDM Tech. Dig. (1985) 624
- [2] 森田清三 走査プローブ顕微鏡 基礎と未来予測 (丸善)

## 第3章 実験方法

本章では、第5章で述べる「電流検出型原子間力顕微鏡法によるゲート SiO<sub>2</sub> 膜の評価」における実験方法について述べる。本実験は、デバイスレベルで発生するゲート酸化膜の劣化現象を電流検出型原子間力顕微鏡(C-AFM)によりナノスケール観察することを目的としている。デバイスレベルで観測された劣化現象を局所観察する手法として、図 3.1 に示す手法を新たに開発した。まず、MOS キャパシタを作製し、デバイスレベルで定電流ストレスを印加した後、MOS キャパシタの電流-電圧(I-V)、容量-電圧(C-V)測定においてゲート酸化膜の劣化を確認した。その後、C-AFM による観測準備として、MOS キャパシタの層間絶縁膜、アルミ電極およびゲート電極を剥離した。更に、本研究に用いた C-AFM 装置でリーク電流を測定可能とするために、ウエットエッチングを用いて酸化膜を薄膜化し C-AFM 測定した。以下に、これらの実験手順の詳細を述べる。

### 3.1 MOS キャパシタの作製

図 3.2 は本実験に用いた n<sup>+</sup>ポリシリコン/SiO<sub>2</sub>/n-Si 構造の MOS キャパシタである。基板には n 型(100)シリコン基板(比抵抗 8-12 Ω·cm)を用い、RCA 洗浄後、800℃の燃焼酸化(O<sub>2</sub>、H<sub>2</sub> 雰囲気)にて 11.3 nm のゲート酸化膜を形成した。膜厚はエリプソメトリー法により測定した。キャパシタの面積は 4×10<sup>-4</sup> cm<sup>2</sup> である。この MOS キャパシタでは、シリコン基板およびゲート電極の両方からの電子注入を可能とするために、ゲート電極の両側に n<sup>+</sup>および p<sup>+</sup>拡散層を有した構造となっている。素子間の分離には Local Oxidation of Silicon(LOCOS)方式を用いた。

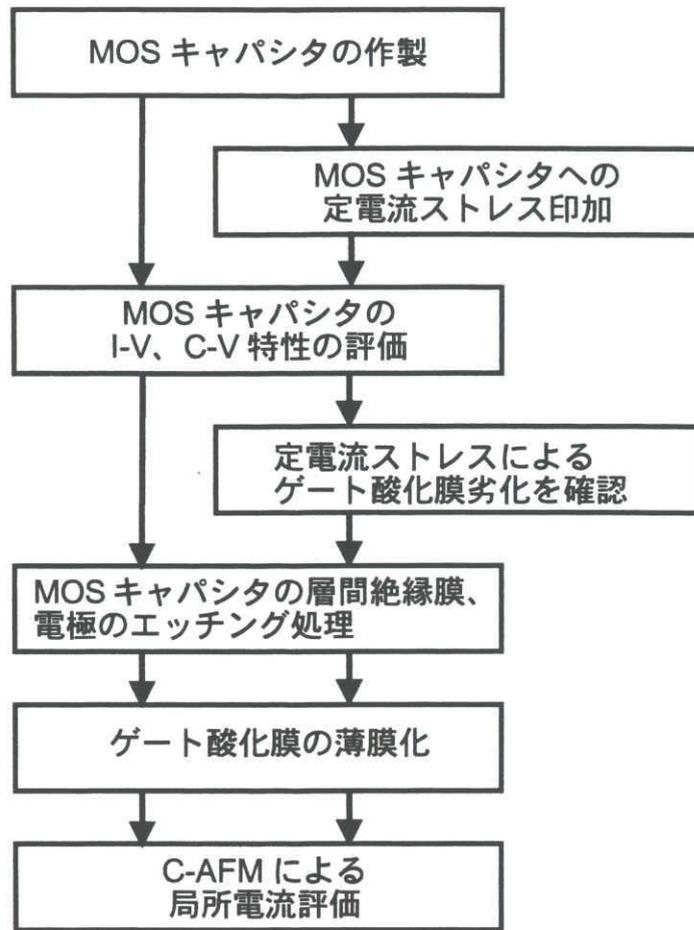


図 3.1 実験手順.

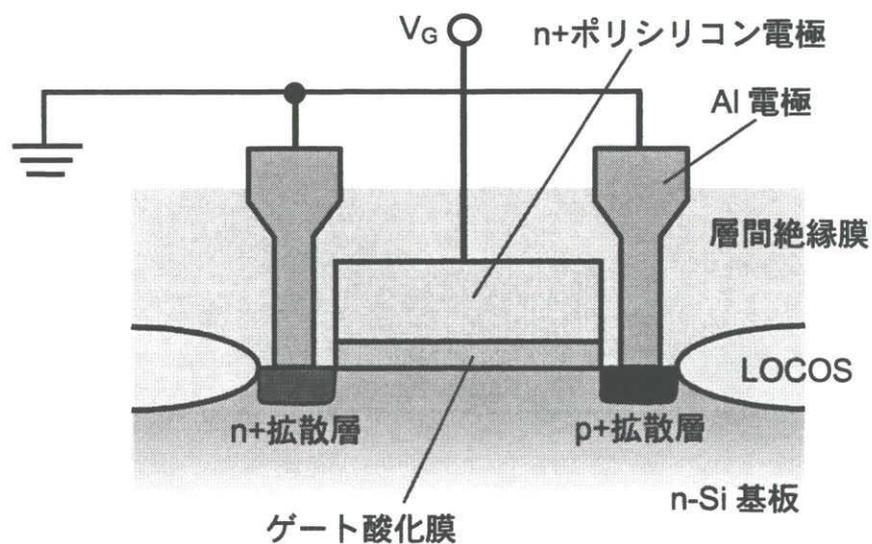


図 3.2 MOS キャパシタの構造および結線.

### 3.2 ゲート酸化膜への電氣的ストレスの印加

ゲート酸化膜への電氣的ストレスの印加は、F-N トンネル電流による定電流ストレスによって、ゲート電極を負電圧として行った。ゲート電極から電子を  $0.1 \text{ A/cm}^2$  の電流密度で 100 秒間注入した。このとき、酸化膜を通過した電荷量は  $10 \text{ C/cm}^2$  である。このときの平均ゲート電圧は  $-13.8 \text{ V}$  であった。

### 3.3 電流検出型原子間力顕微鏡による MOS キャパシタ観察の準備

C-AFM 観察の準備として、MOS キャパシタの層間絶縁膜、アルミ電極およびゲート電極を剥離し、ゲート酸化膜を剥き出しにする必要がある。そこで、図 3.3 に示す手順により、ウエットエッチングにより除去した。アルミ電極、層間絶縁膜および LOCOS は室温で 50%の弗酸にて剥離した。また、n+ポリシリコン電極は  $60^\circ\text{C}$  の水酸化アンモニウム(TMAH)溶液を用いて除去した<sup>[1]</sup>。更に、今回用いた C-AFM 装置でリーク電流を測定可能とするために、ゲート酸化膜を薄膜化した。ゲート酸化膜の薄膜化には 0.1 %の弗酸を用い、室温で 8 分間エッチングすることにより、膜厚約 5.2 nm まで薄膜化した。このときゲート酸化膜のエッチング速度は毎分約 0.76 nm であった。

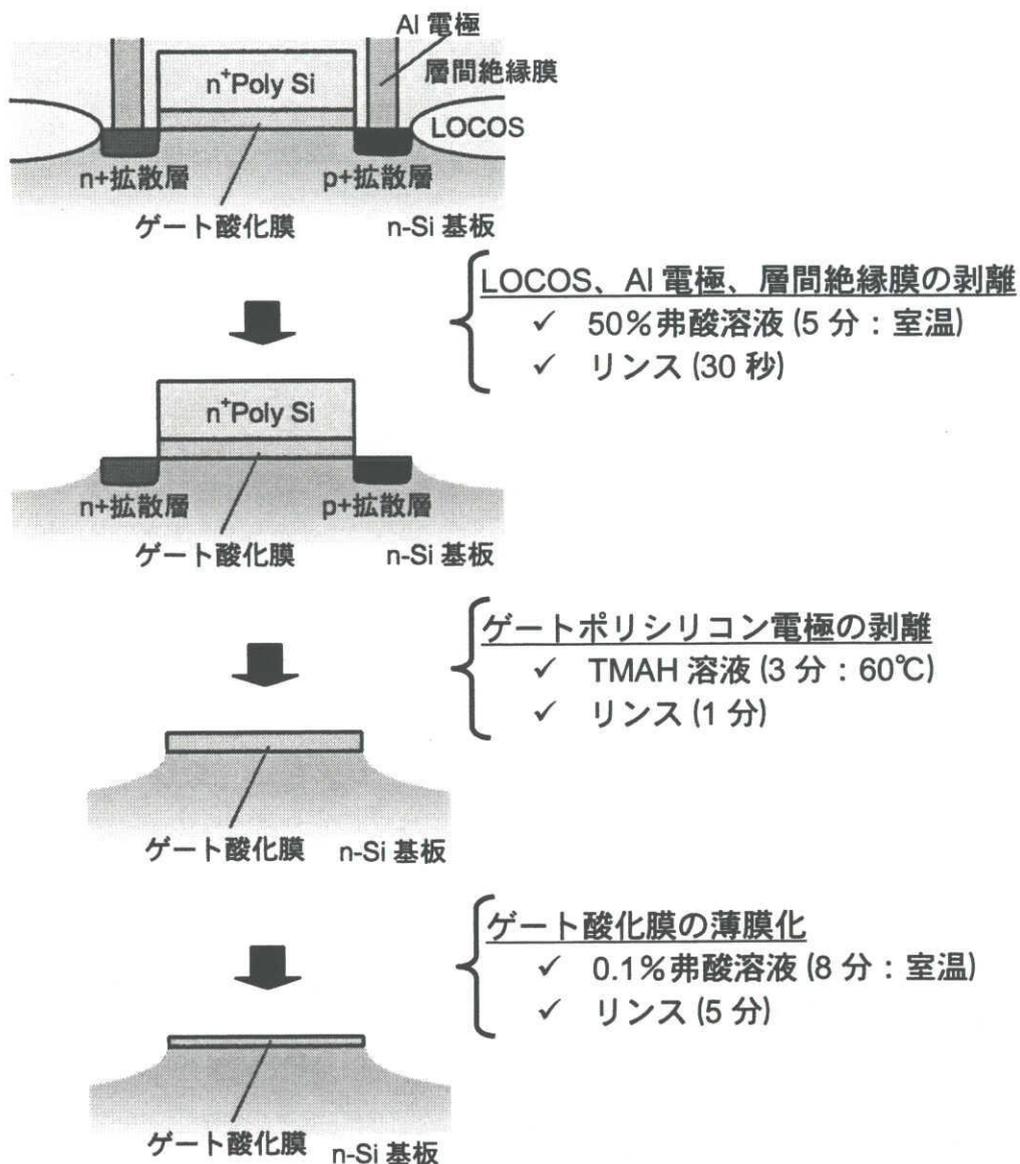


図 3.3 MOS キャパシタのエッチング手順.

### 3.3 参考文献

- [1] O. Tabata, R. Asahi, H. Funabashi, K. Shimaoka, S. Sugiyama, Sens. & Actuat. **A34** (1992) 51

## 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

### 4.1 STM 探針を用いた極薄シリコン酸化膜への電子注入

#### 4.1.1 局所的なストレス印加による劣化機構の研究

MOSFET のゲート絶縁膜として用いられているシリコン酸化膜の劣化現象に関しては、これまで様々な手法で研究されてきた<sup>[1-3]</sup>。しかしながら、MOS キャパシタを用いた電氣的測定から得られる情報は、ゲート領域内での平均情報であり、局所的な現象である絶縁膜劣化に関する原子スケールでの評価は困難である。これに対して、走査型プローブ顕微鏡は、局所的にストレスを印加し、その変化を観察できるため、絶縁破壊機構を解明しうる有力な手法として注目されている。

これまでに、原子間力顕微鏡 (AFM: Atomic Force Microscopy) <sup>[4]</sup>及び弾道電子放出顕微鏡 (BEEM: Ballistic Electron Emission Microscopy) <sup>[5]</sup>を用いた極薄酸化膜へのストレス印加による研究が報告されている。これらの手法は、厚い(1nm ~ 3nm) シリコン酸化膜においても観察が可能である。一方、トンネル顕微鏡 (STM) / 走査型トンネル分光法 (STS) は、膜厚約 1nm 以上のシリコン酸化膜の観察は困難であるが、それ以下の膜厚の極薄酸化膜に対しては原子スケールでの観察が可能である。さらに、走査型トンネル顕微鏡 / 走査型トンネル分光法を用いて極薄酸化膜を観察する場合には、金属 (探針) / 絶縁体 (真空・酸化膜) / シリコン基板という接合になる。この接合構造は、MOS キャパシタの構造と非常に類似しているため、STM/STS 法は、ゲート絶縁膜の局所的な劣化機構を解明するうえで非常に有力な手段である。

## 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

以上のような観点から、本章では、STM 探針を用いてシリコン酸化膜（膜厚：0.5nm）の局所領域に対して電子を注入した。注入前後における STM 像の変化及び CITS 測定から、シリコン酸化膜中の局所的な電子状態について検討した結果について述べる。

### 4.1.2 実験方法（試料作製方法ならびに STM 探針による電子注入法）

本章の実験は超高真空温度可変型 STM 装置（第2章参照）を用いて行った。この装置は、試料作製室と STM 室により構成され、到達真空度は  $1 \times 10^{-8}$  Pa である。試料は Si(100)基板（p 型、4-6  $\Omega\text{cm}$ ）を用い、超高真空チャンバに導入後、約 1200°C での通電加熱により清浄化し、Si(100)-2x1 表面を形成した。表面のダイマー欠損密度は、約 3% であった。

低圧（真空中）での高温酸化においては、図 4.1 に示すように基板温度と酸素分圧に依存して酸素分子による表面のエッチング及び酸化の2つの現象が起こることが知られている<sup>[6]</sup>。本実験では、シリコン酸化膜の局所劣化に関する議論を行うため、原子スケールで平坦かつ欠陥の少ない酸化膜を形成することが肝要である。そのため、高温・低圧時の酸素による表面のエッチングを避けるため、超高真空中での熱酸化は、以下に述べるように非常に注意深く行った。

熱酸化方法を図 4.2 に示す。まず最初に、通電加熱によって清浄化した Si(100)-2x1 表面を室温まで冷却する。そして基板温度を室温に保ち、酸素分圧  $1 \times 10^{-4}$  Pa で約 10 分の室温酸化を行う。この時の酸化膜厚は、約 0.2nm である。その後、酸素分圧  $1 \times 10^{-2}$  Pa の雰囲気中で基板温度を 700°C まで昇温した。この方法によって、図 4.1 に示した酸素によるエッチングの起こる条件を経ることなく熱酸化を行うことができる。温度の計測は、赤外放射温度計を用いて行った。700°C において 25 分間の酸化を行い、膜厚 0.5nm の極薄シリコン酸化膜を形成

した。

酸化膜厚の評価には、X線光電子分光法(XPS)を用いた。ただし、X線によるシリコン酸化膜の損傷<sup>[7, 8]</sup>を避けるため、膜厚の測定はSTM観察終了後に行った。シリコン酸化膜への電子注入はSTM探針を用いて行い、電子注入による酸化膜の電子状態の変化をSTM/STS法により室温及び77K(液体窒素により冷却)において調べた。

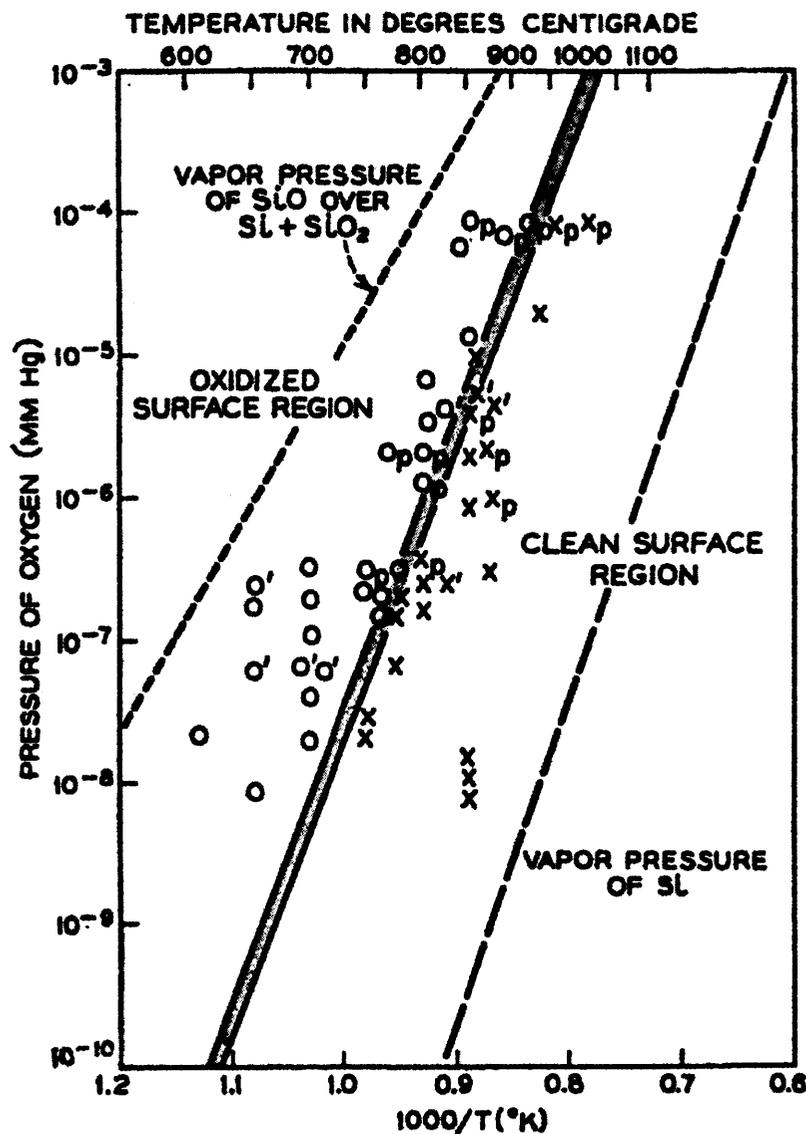


図4.1 シリコン酸化膜形成領域及び表面エッチング領域の基板温度と酸化圧力への依存性。J. J. Landerらによる報告<sup>[6]</sup>より引用した

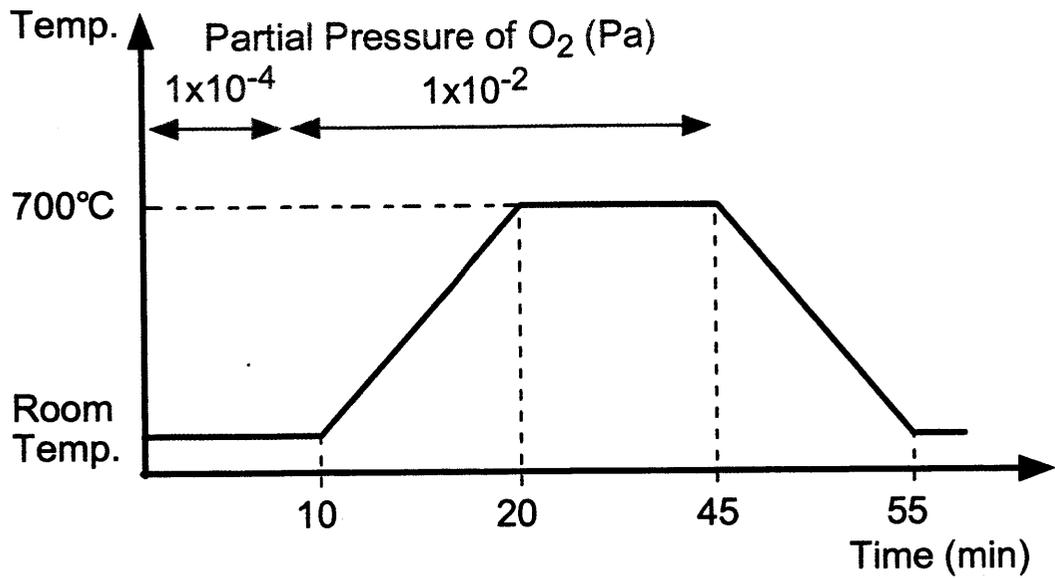


図 4.2 本実験で用いた酸化プロセスの基板温度履歴

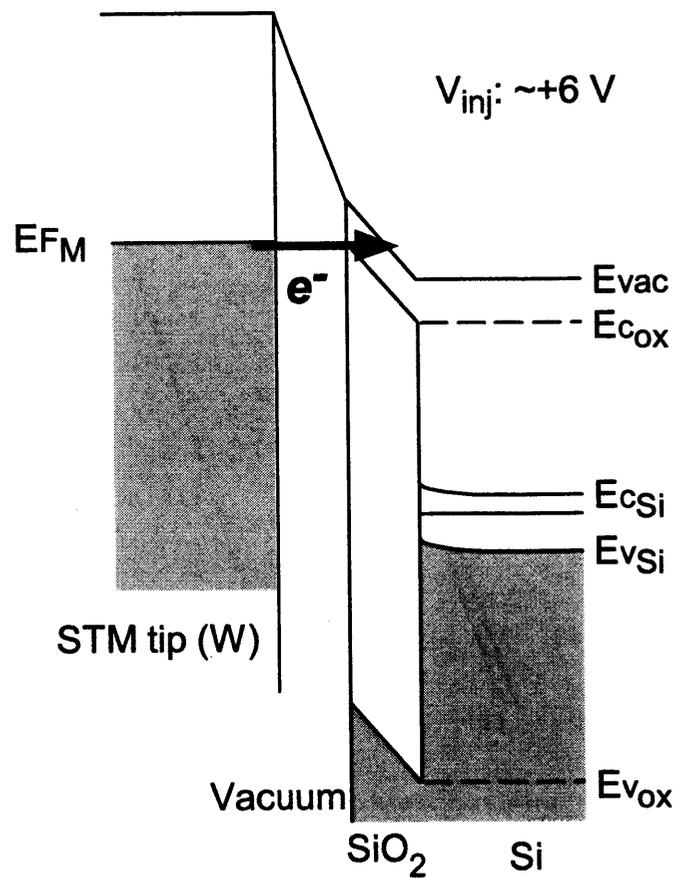


図 4.3 STM 探針を用いた電子注入時の模式的なエネルギーバンド図

## 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

図 4.3 に、試料電圧+6V での STM 観察時における模式的なバンド図を示す。  
+6V 以上の比較的大きな試料電圧を印加することにより、STM 探針から酸化膜の伝導帯へ電子が F-N トンネル (Fowler-Nordheim Tunneling) する。STM 探針の走査によって試料に注入される電荷密度  $Q_{inj}$  ( $Ccm^{-2}$ ) は、

$$Q_{inj} = I_t \cdot t \cdot S_{inj}^{-1} \quad (4.1)$$

と見積もる事ができる。ここで、 $I_t$ 、 $t$  及び  $S_{inj}$  は、それぞれ設定トンネル電流、走査 (注入) 時間及び走査 (注入) 面積である。探針の走査に伴って変化するトンネル電流は、フィードバック回路で試料と探針の距離を調節することにより、一定に保たれる。そのため、走査中に流れるトンネル電流の平均値は、設定電流値とは異なる可能性を持つ。しかしながら、実際の走査中に流れるトンネル電流を測定した結果、適正なフィードバックを与えることにより、トンネル電流の平均値の設定トンネル電流値に対する誤差は、5%以内であった。本実験における注入条件は、 $I_t = 0.1nA \sim 1.0nA$ 、 $t = 90s$  及び  $S_{inj} = 500nm^2$  であり、 $Q_{inj} = 2 \times 10^3 Ccm^{-2} \sim 2 \times 10^4 Ccm^{-2}$  の電荷密度で電子を酸化膜に対して注入した。

### 5.1.3 注入温度及び電圧依存性

図 4.4 に Si(100)-2x1 清浄表面上に 700°C で形成したシリコン酸化膜の (a) STM 像及び (b) ラインプロファイルを示す。酸化膜厚は 0.5nm (4ML) である。4ML 酸化した試料表面においても単原子層ステップが観察され、テラス領域における自乗平均ラフネスは 0.07nm であった。これらの結果から原子スケールで平坦な極薄シリコン酸化膜が形成されていることがわかる。

図 4.5 に、注入電圧+6V において電子を注入した後の表面 STM 像を示す。図

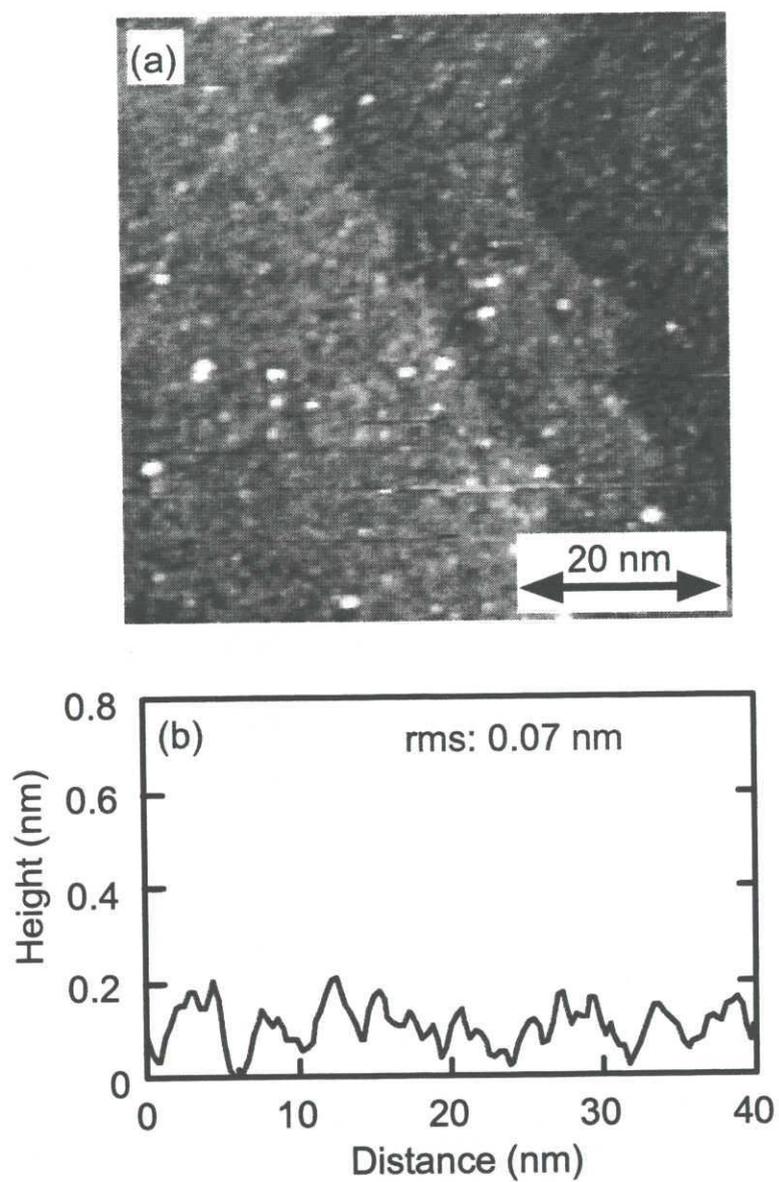


図 4.4 4ML (膜厚: 0.5nm) の熱酸化膜の (a) STM 像と (b) ラインプロファイル。STM 観察時の試料電圧は+4.0V

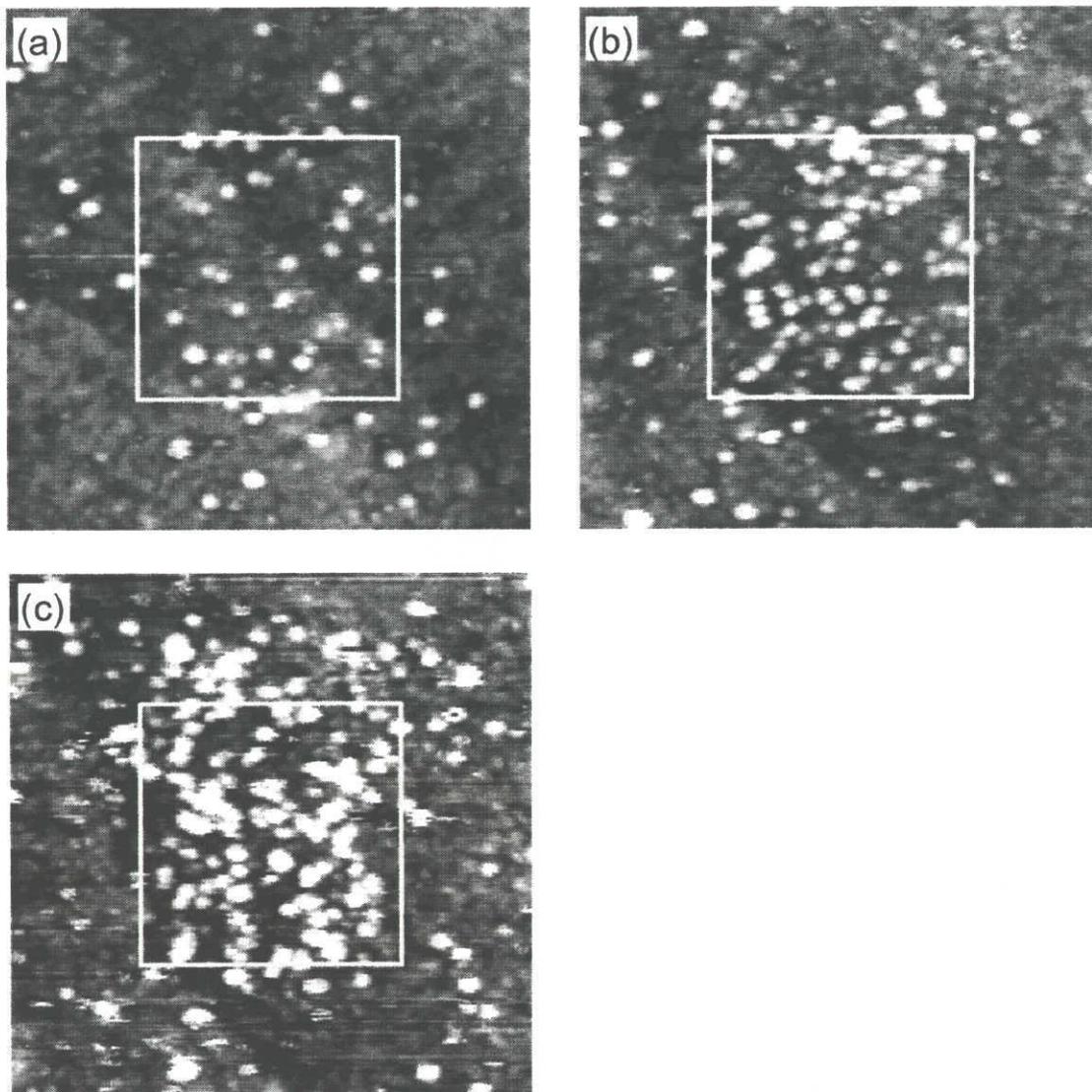


図 4.5 表面に生成される輝点密度の注入電荷量依存性。図中の白枠は注入領域に相当する。注入は試料電圧+6Vで行い、STM観察は+4Vで行った。STM像の走査領域は、すべて  $50 \times 50 \text{ nm}^2$ 。

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

中の白枠は、この STM 像を得る直前に電子を注入した領域に相当する。図 4.5

(a)、(b) 及び (c) における注入電荷密度は、それぞれ  $1.8 \times 10^3 \text{ Ccm}^{-2}$ 、 $9.1 \times 10^3 \text{ Ccm}^{-2}$ 、及び  $1.8 \times 10^4 \text{ Ccm}^{-2}$  である。白枠の注入領域に輝点が生成され、その密度は、注入電荷量の増加に伴い増加していることがわかる。図 4.5 (a) において、電子注入は酸化膜表面に存在する 2 つのステップに跨って行ったが、輝点の生成に関してステップ端の優先性は観測されなかった。

注入電圧をさらに大きくし、+8V で電子を注入した後の STM 像が、図 4.6 (a) である。図中の白枠は、この STM 像を得る直前に電子を注入した領域を示す。注入電荷密度は  $1.3 \times 10^4 \text{ Ccm}^{-2}$  である。+6V での注入時と同様、輝点の生成が見られるが、生成密度は大きく、その分布は注入領域外にまで及んでいることがわかる。図 4.6 (b) のラインプロファイルに示すように、注入後に現れた輝点の典型的な直径及び高さは、それぞれ 2nm 及び 0.4nm であった。また、注入領域での自乗平均ラフネスは 0.14nm に増加した。

図 4.7 は、注入電圧+6V 及び+8V で基板温度 77K 及び室温におい電子注入を行った時に生成した輝点密度の注入電荷量依存性である。+6V の注入電圧においては、注入量の増加に伴い輝点の密度が増加していくが、約  $1.2 \times 10^4 \text{ cm}^{-2}$  以上の注入量でほぼ一定になっている。一方、試料電圧+8V で注入を行ったときの輝点密度は注入量に依存せず一定である。また、一定値に達したときの密度は、注入電圧+6V 及び+8V とともに、77K よりも室温で注入を行ったときの方が大きい。MOS キャパシタを用いたストレス印加の実験において、シリコン酸化膜中のトラップ生成確率は高温ほど大きくなる事が報告されている<sup>[9]</sup>。DiMaria らは MOS キャパシタを用いた実験から、酸化膜の伝導帯で 2eV 以上の運動エネルギーを持つ電子がトラップを生成することを報告している<sup>[10]</sup>。STM 探針を用いた電子注入において、この条件は約+6.2V 以上の注入電圧に対応する。

図 4.7 において、注入量の増加に伴い輝点密度が飽和することから、酸化膜中に輝点の起源となるものが予め存在していると考えられる。室温において+8V

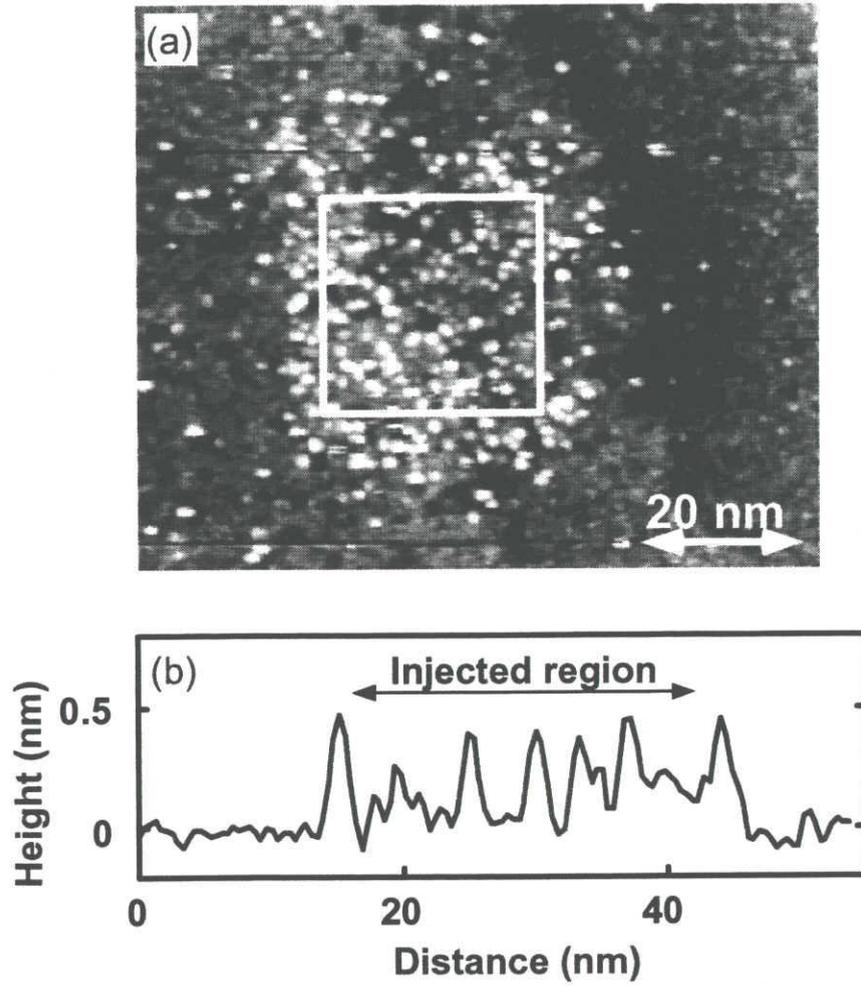


図 4.6 注入電圧+8V で酸化膜に電子を注入した後の (a) STM 像及び (b) ラインプロファイル。STM 観察は、試料電圧+4V で行った。図中の白枠は、注入量域に相当する。注入電荷量は、 $1.3 \times 10^4 \text{ Ccm}^{-2}$ 。

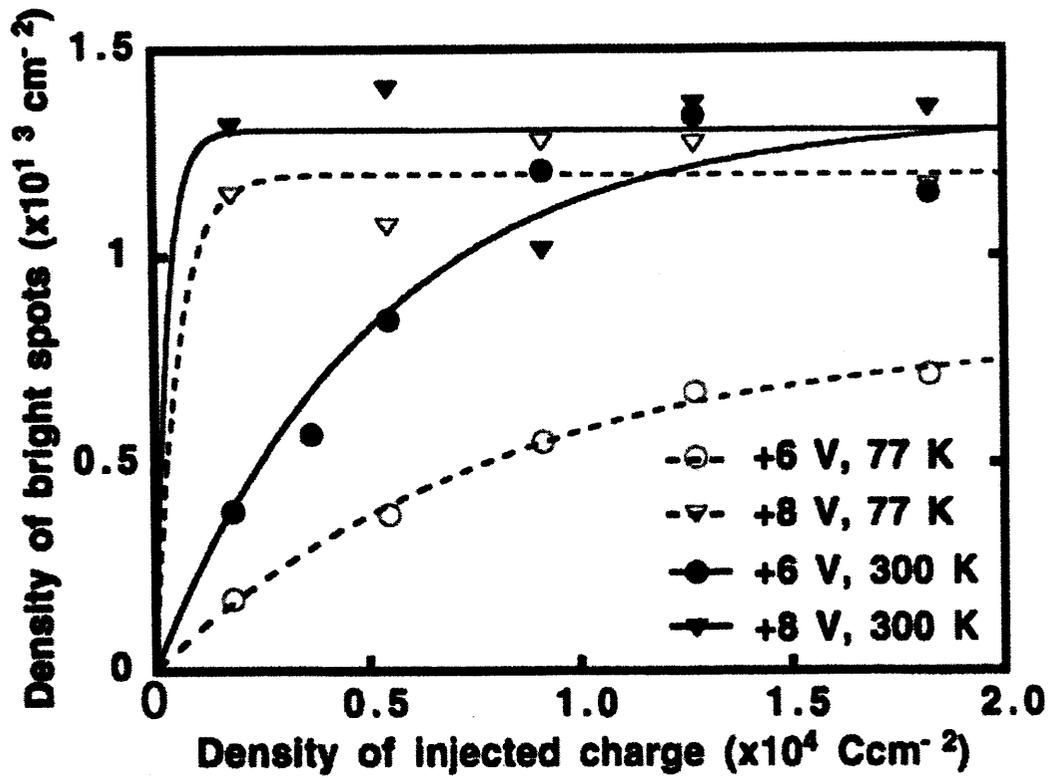


図 4.7 生成輝点密度の注入電荷密度依存性。注入は、 $500\text{nm}^2$  の領域に対し、約 90s の走査時間で行った。

## 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

で注入した時の輝点の平均密度  $1.3 \times 10^{13} \text{ cm}^{-2}$  は、Si(100)-2x1 清浄表面の表面ダイマー密度の約4%に相当する。このことは、電子注入によって生成した輝点が酸化前の表面欠陥と相関を持つことを窺わせるが、輝点の起源についての詳細は、次節において述べる。STM 像において観察されたこれらの輝点は、酸化膜中の局所的なモフォロジー、局所的な電子状態もしくは結合状態の変化等に起因することが考えられるが、次節において輝点の電子状態について検討する。

### 4.1.4 局所電子状態の評価

電子注入によって極薄酸化膜に生成した輝点の局所電子状態を検討するため、CITS (Current Imaging Tunneling Spectroscopy) 測定を行った。図 4.8 に、電子注入前後の酸化膜に対して行った CITS 測定から得られた I-V 特性を示す。注入電圧は+8V であり、生成した輝点密度は、 $1.2 \times 10^{13} \text{ cm}^{-2}$  であった。○、▲及び●は、それぞれ未注入領域、電子注入によって生成した輝点上 (on bright spots)、及び輝点周囲 (other regions) の領域からのスペクトルである。輝点上及び輝点周囲の領域は、図 4.8 の挿入図に示す場所に相当する。CITS 測定における試料-探針間の距離は、試料電圧+3.8V において 0.4nA のトンネル電流が流れるように決定した。+4V 付近で各 I-V 特性の電流値がほぼ等しくなっているのは、この測定条件の為である。

電子注入後の酸化膜から得られた I-V 特性 (▲及び●) は、注入前のものと比べて低電圧側において電流の増加が見られる。+4V 以上の領域では、輝点の周囲よりも輝点上の方が電流値が小さい。このことは STM 像で明るく見えた輝点が、+5V 以上の CITS 像 (電流像) においては反転して暗くなる事でも明示化することができる。図 4.9 (a) は、CITS 測定時のトポグラフ像であり、通常の STM 像と同じく定電流条件での探針の Z 方向の変位量を二次元像にしたものである。

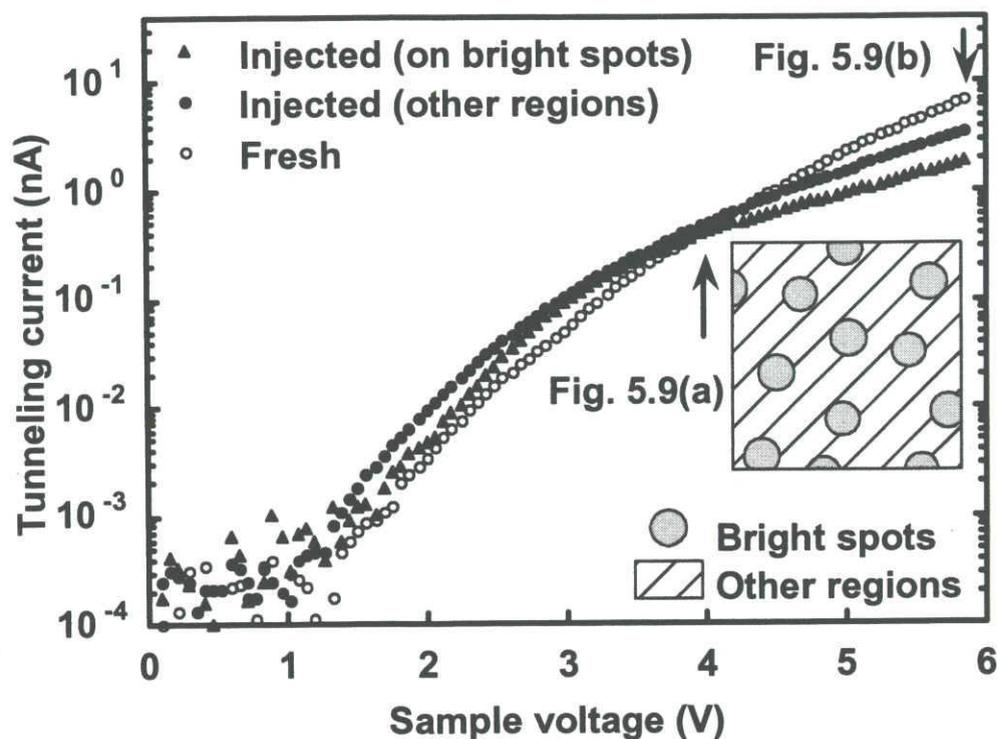


図 4.8 電子注入領域及び未注入領域における I-V 特性。試料・探針間の距離は、試料電圧+4.0V において 0.3nA のトンネル電流が得られるように決定した。

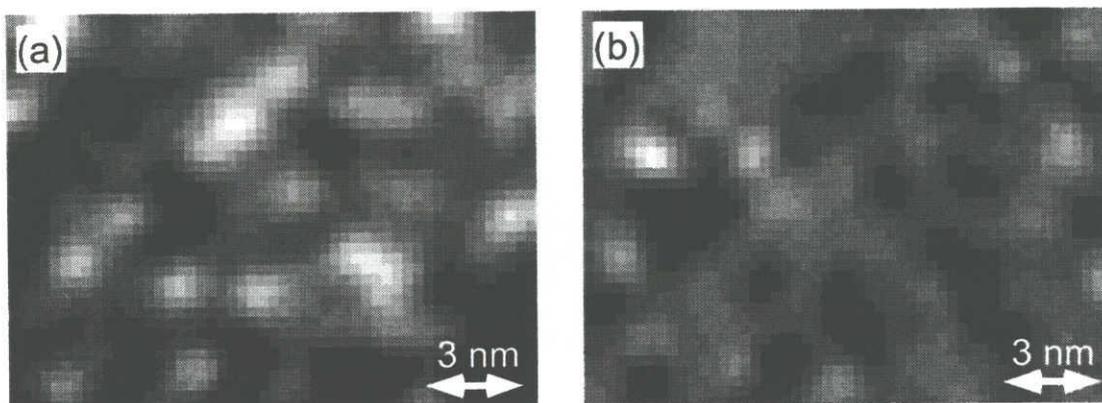


図 4.9 電子注入を施した酸化膜表面での CITS 像。(a) 及び (b) は、それぞれ +4.0V における STM 像及び +5.8V における電流像であり、図 4.8 中に示した矢印の電圧での 2 次元像に対応する。

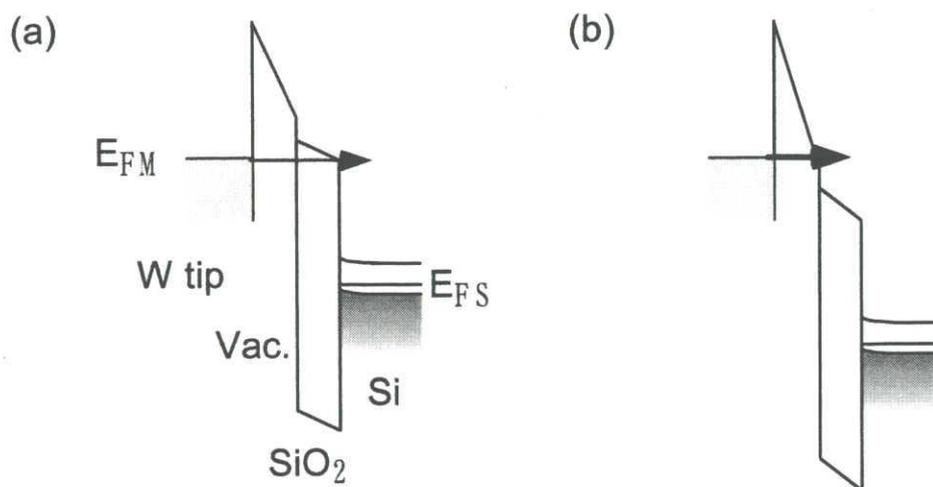


図 4.10 試料電圧が、(a) +4.0V 及び (b) +6.0V における電子のトンネルに関する模式的なエネルギーバンド図

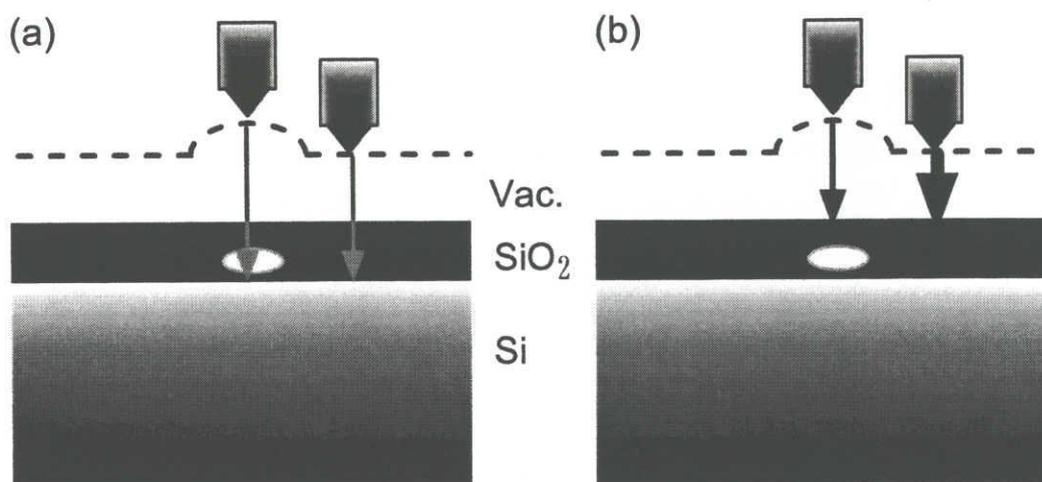


図 4.11 輝点が酸化膜中の局所的な電子状態であるとしたときの探針の軌跡とトンネル電流に関する模式図。矢印の太さはトンネル電流値の大きさを反映している。

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

試料電圧は+4.0Vである。一方、図4.9 (b) は、各位置 (画素) において I-V 測定を行ったときの、+5.8V での電流値を二次元像にしたものである。CITS 測定において、これら2つの像は同時に得られるため、原子スケールでの局所電子状態を議論することが可能である。これらを比較すると、図4.9 (a) で輝点として観察される領域は、図4.9 (b) においては暗くなっていることがわかる。

図4.9 における CITS 像の変化を解釈するために、まず試料電圧+4.0V 及び+5.8V でのトンネル伝導について考察する。図4.10 (a) 及び4.10 (b) は、試料電圧+4.0V 及び+5.8V での STM 観察時における模式的なバンド図である。これらの条件において、探針のフェルミレベルにある電子は、(a) Si/SiO<sub>2</sub> 界面の Si 伝導帯及び (b) 酸化膜の伝導帯にトンネルする。電子のトンネル確率は電子がエネルギー障壁として感じる矩形部分の面積を反映するため、+5.8V での電流像 (図4.8 (c)) における暗い領域は、探針と酸化膜に挟まれた真空領域が他の領域に比べて厚いことを意味する。すなわち、試料と探針の距離が決定される+4.0V 印加時は、酸化膜中の導電的な電子状態により探針は遠ざかり、輝点として観察される。一方、その試料と探針の距離を保持したまま+6V を印加したときに得られるトンネル電流値は、遠ざかったことによる真空障壁の増加のため、他の領域に比べて低くなる。その様子を、図4.11 (a) 及び4.11 (b) に示す。図中の点線は探針の走査トレースを示し、矢印の太さ及び終点は、トンネル電流値及び電子のトンネル先を反映している。輝点が酸化膜の形状的な凹凸を反映していると仮定すると、このようなCITS像における明暗の反転は起こらない。

以上の考察から、STM 像に現れる輝点は、酸化膜の形状的な凹凸を反映したものではなく、酸化膜中の局所的な電子状態によって探針が遠ざかったことによるものであるということが出来る。すなわち、輝点は、STM 探針からの電子注入による酸化膜中の局所的な電子状態の変化を反映している。

次に、輝点の電気的性質について詳細に検討するため、探針と試料の距離を小さくした STS 測定によって、フェルミレベル近傍のエネルギーバンド状態を

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

考察する。未注入領域及び注入領域における I-V 特性を、図 4.12 に示す。試料と探針の距離は、+2.8V において 0.4nA のトンネル電流が流れるように決定した。2つの I-V 特性を比較すると、注入領域から得られた I-V 特性は、未注入領域から得られたものに比べ、トンネル電流の立ち上がる電圧位置が負バイアス方向にシフトしていることがわかる。このような電子注入による電圧のシフトは、0.7nm の熱酸化膜においても観測された。このネガティブシフトは、Si/SiO<sub>2</sub> 界面において Si の表面ポテンシャルが変化していることを示している。この結果と、前述した輝点が酸化膜中の局所的な電子状態を反映していることを併せて考慮すると、輝点は酸化膜中に存在する正に帯電したトラップであると結論できる。この結論について以下に詳述する。

図 4.13 は、電子注入前（点線）及び注入後（実線）の SiO<sub>2</sub>/Si 構造の模式的なバンド図である。酸化膜中に形成された正に帯電したトラップ（正電荷トラップ）によって、シリコン側に電子または負の空間電荷が誘起される必要がある。その結果、Si/SiO<sub>2</sub> 界面においてシリコンのバンドベンディングが引き起こされる。このバンドベンディングによる表面ポテンシャルの変化が、注入領域からの I-V 特性で観測されたネガティブシフトに対応していると考えられる。

正電荷トラップは、主に Si/SiO<sub>2</sub> 界面近傍のシリコン酸化膜側（構造遷移領域）に存在することが報告されている<sup>[11, 12]</sup>。本実験で用いた酸化膜の膜厚は 0.5nm であり、Si/SiO<sub>2</sub> 界面に存在する構造遷移領域と同程度である。そのため、本実験において正電荷トラップが観察されたことは、これまでの報告と矛盾しない。また、酸化膜中に正電荷が生成することにより、図 4.13 に示したように酸化膜のエネルギー障壁が減少する。このことは STM 走査時において、電子のトンネル確率が局所的に増加し、探針が試料表面から遠ざかることを示唆しており、酸化膜中の正電荷トラップが輝点として観察されることと良く符合する。

Watanabe らは、Si(111)面上に形成した膜厚 1nm のシリコン酸化膜に対し、STM

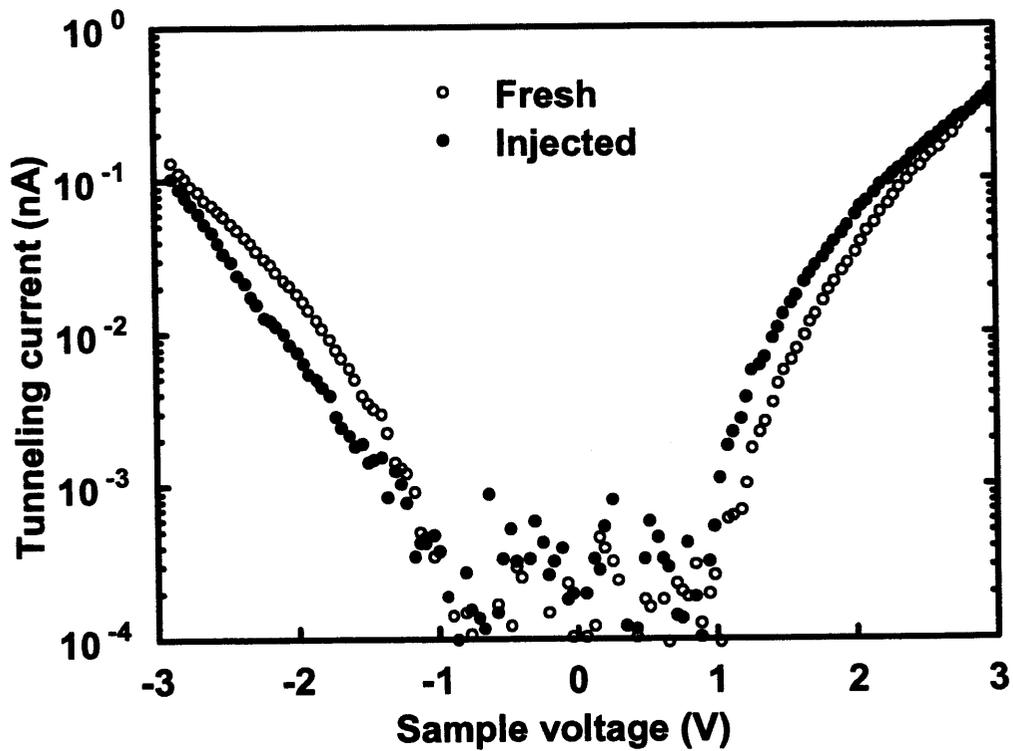


図 4.12 電子注入前後における I-V 特性の変化。電子注入量は、 $1.8 \times 10^3 \text{ Ccm}^{-2}$ 。

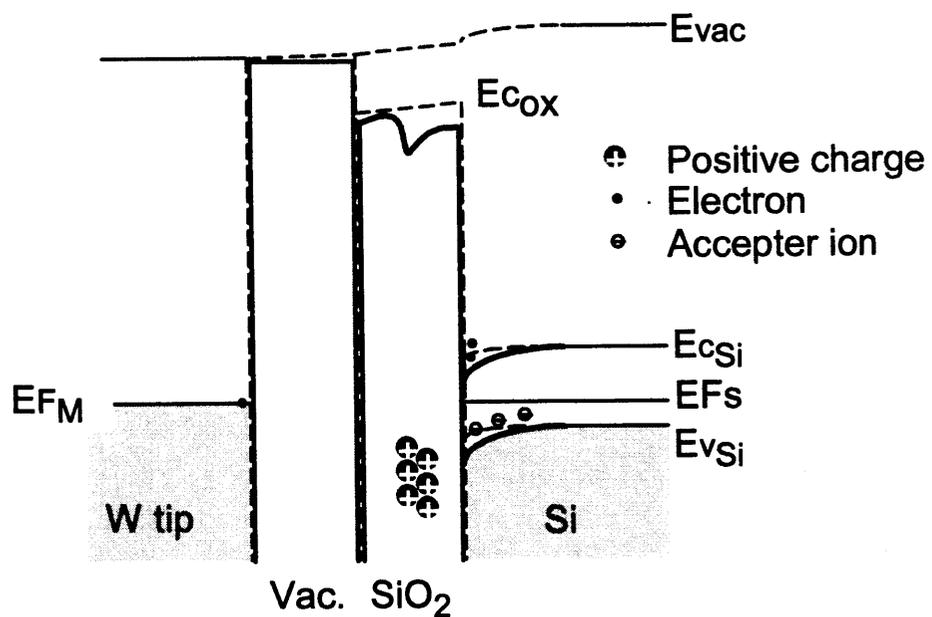


図 4.13 電子注入後のエネルギーバンド模式図。注入前の状態を点線で示した。

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

探針からの電子注入を行った結果、輝点が生成することを観察し、それが酸化膜中の局所的なリーク伝導パスであると報告している<sup>[13]</sup>。本実験においては、輝点は酸化膜中の正電荷トラップであるという結果が得られたが、基板面方位及び注入条件を考慮に入れると、これは解釈の相違ではなく、異なった現象を観測しているものと考えられる。これについての詳細な検討は、次節において行う。

約 0.2V のネガティブシフトが見られた注入表面において、観察された輝点密度は  $1.2 \times 10^{13} \text{ cm}^{-2}$  であった。酸化膜中の正電荷による電気力線が、シリコン基板の反転層の電子によって終端されていると仮定すると、酸化膜中の正電荷密度  $n_t$  は、

$$n_t = \frac{\epsilon_{ox}}{d_{trap}} \cdot \frac{V_{shift}}{q} \quad (4.2)$$

と表すことができる。ここで、 $\epsilon_{ox}$  及び  $q$  は、それぞれシリコン酸化膜の誘電率及び素電荷であり、 $V_{shift}$  及び  $d_{trap}$  は、電圧のシフト量及び Si/SiO<sub>2</sub> 界面からの正電荷トラップ位置である。今、正電荷が酸化膜の中心、すなわち Si/SiO<sub>2</sub> 界面から 0.25nm の距離に存在するとした場合、0.2V の電圧シフトを引き起こすためには、 $1.7 \times 10^{13} \text{ cm}^{-2}$  のトラップ密度が必要である。一方、STM 像から見積もられた輝点の密度は  $1.2 \times 10^{13} \text{ cm}^{-2}$  であり、エネルギーシフトに必要なトラップの密度とほぼ等しい。このことは、輝点が正の素電荷を持つ単独のトラップであることを示唆している。

さらに、注入による電圧のネガティブシフトは、注入領域内の輝点以外の領域においても観察された。本実験で用いた Si 基板の Debye 長は約 65nm であり、隣り合った輝点の距離に比べて十分大きい。従って、輝点以外の領域においても電圧のシフトが観測されたという事実は、Si/SiO<sub>2</sub> 界面におけるバンドベンディングが注入領域内で一様に起きていることを示している。

## 4.2 極薄シリコン酸化膜中の正電荷トラップ

前節において、STM 探針を用いた電子注入により、シリコン酸化膜上に生成した輝点が、酸化膜中の局所的な電子状態を反映したものであり、単一の正電荷トラップであることが見出された。MOS キャパシタを用いた研究から、シリコン酸化膜中の正電荷トラップ (ホールトラップ) を生成する局所構造として、酸素欠損、歪んだ Si-O-Si 結合、Si-H 結合、ならびにこれらが切れることによって生成した Si のダングリングボンド等の報告がなされている<sup>[14-19]</sup>。本章では、その起源及び生成機構についての検討を行う。

図 4.7 において、STM 探針を用いた電子注入によって生成した輝点密度の注入電荷量依存性を示した。輝点密度は、注入電圧+6V においては注入電荷量の増加に伴って増加し、飽和する傾向を有した。また、+8V で注入した場合には、輝点密度は注入電荷量によらずほぼ一定となり、その飽和輝点密度は、約  $1.3 \times 10^{13} \text{ cm}^{-2}$  であった。図 4.7 において述べたように、この密度は Si(100)-2x1 表面の Si ダイマー数の約 4% に相当し、酸化前表面に存在するダイマー欠損率とほぼ等しい。この点に着目し、酸化前表面のダイマー欠損率が異なる表面に対して酸化膜を形成し、ダイマー欠損と正電荷トラップの相関について検討した。

### 4.2.1 Si(100)-2x1 表面のダイマー欠損と酸化膜中のトラップ

図 4.14 は、(a) Si(100)-2x1 清浄表面及びその表面を  $700^\circ\text{C}$  で  $5 \times 10^{-7} \text{ Pa}$  の酸素雰囲気中に (b) 2.5L 及び (d) 10L 曝した表面の STM 像である。図 4.14 (c) 及び 4.14 (e) は、それぞれ図 4.14 (b) 及び 4.14 (d) の拡大図である。この酸素露出条件において酸化は起こらず、表面は酸素によってエッチングされる<sup>[20]</sup>。実際、負の試料電圧で観察した STM 像 (図 4.14 (b) 及び 4.14 (d)) において、

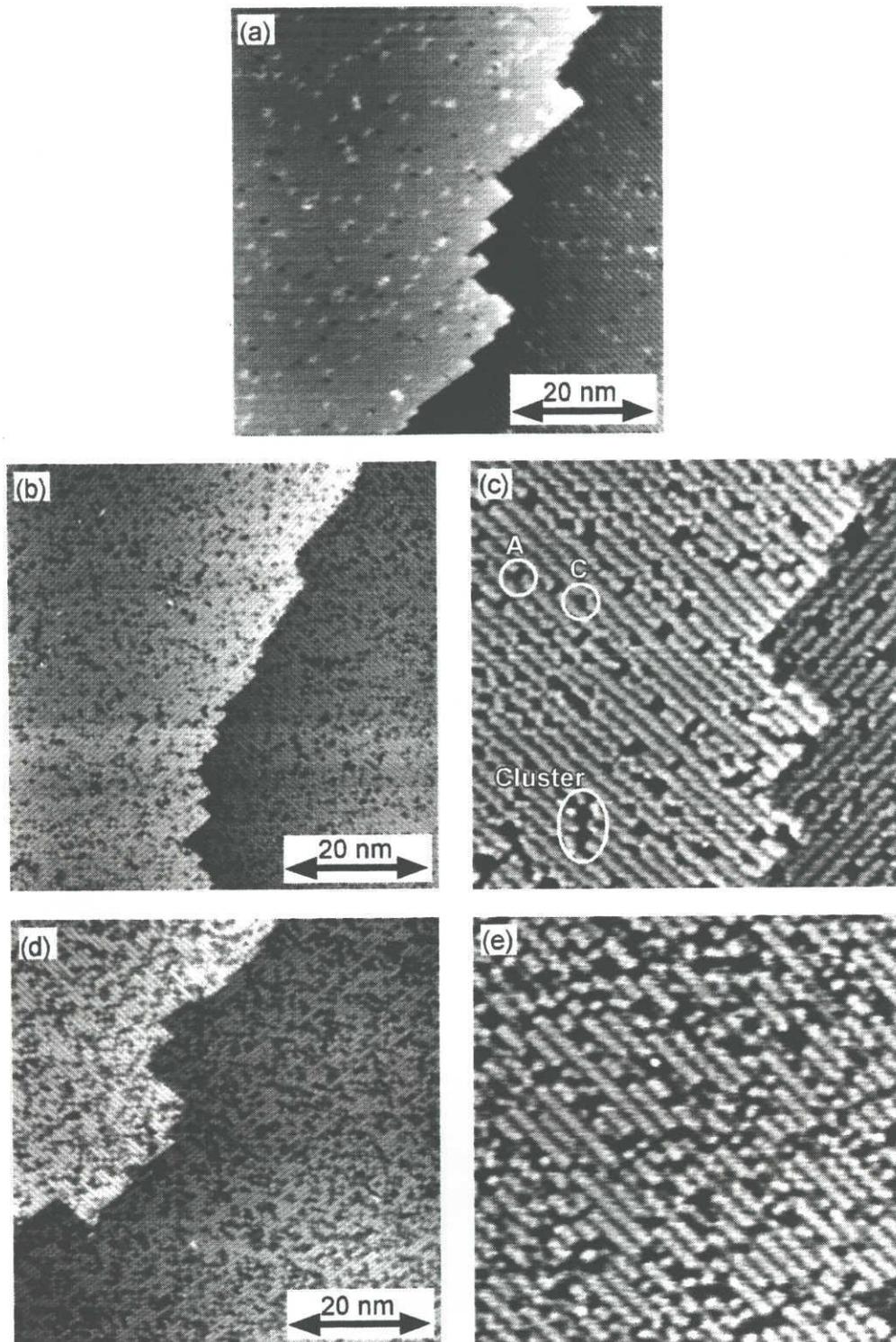


図 4.14 酸化前表面の STM 像。(a) Si(100)-2x1 清浄表面。試料電圧は、+1.9V。  
(b) 2.5L の酸素によって表面をエッチングした表面。ダイマー欠損率は、15%。(c) は (b) の拡大像である。(d) 10L の酸素によって表面をエッチングした表面。ダイマー欠損率は、30%。(e) は (d) の拡大像である。(b) - (e) における試料電圧は、-1.8V。(c) 及び (e) の走査領域は、 $20 \times 20 \text{ nm}^2$ 。

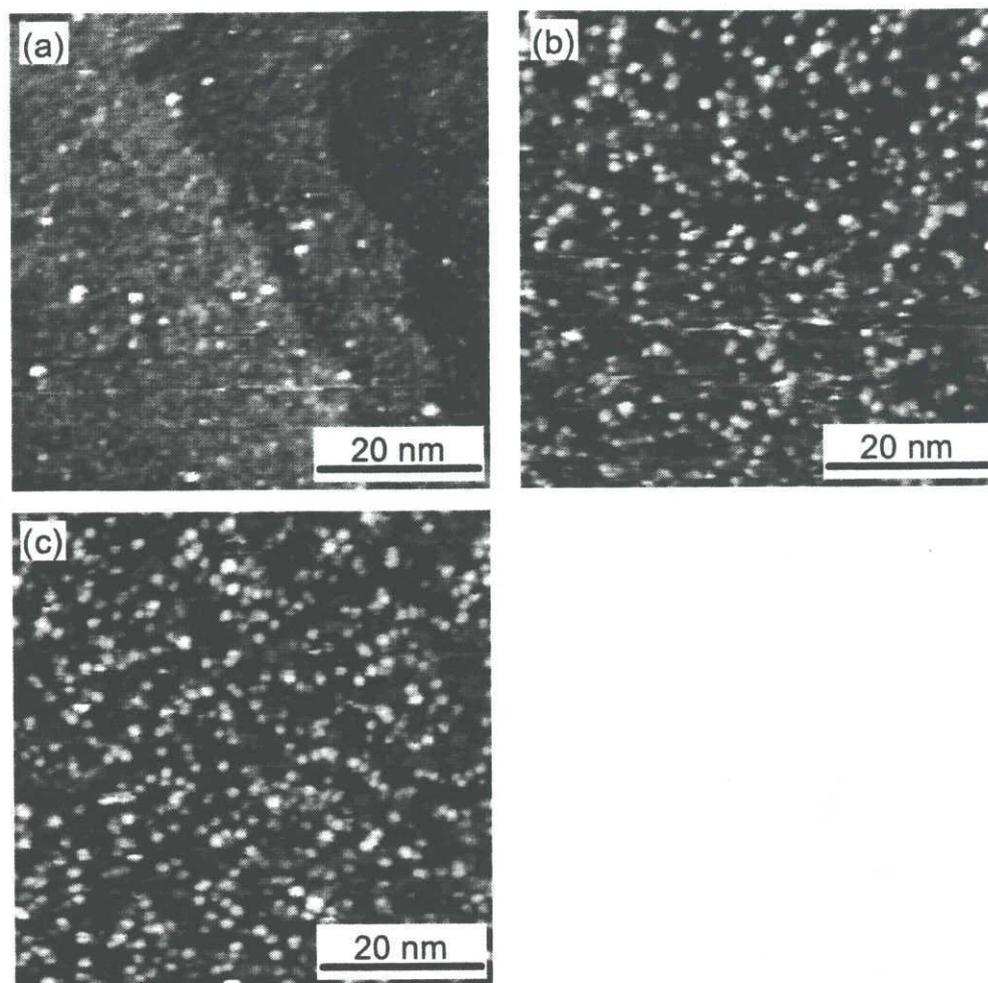


図 4.15 ダイマー欠損率が、(a) 3%、(b) 15%、及び (c) 30%の試料に対して形成した酸化膜の STM 像。STM 像に見られる輝点の密度は、(a)  $4.3 \times 10^{11} \text{ cm}^{-2}$ 、(b)  $1.0 \times 10^{13} \text{ cm}^{-2}$ 、及び (c)  $1.3 \times 10^{13} \text{ cm}^{-2}$ 。観察は、試料電圧+4Vで行った。

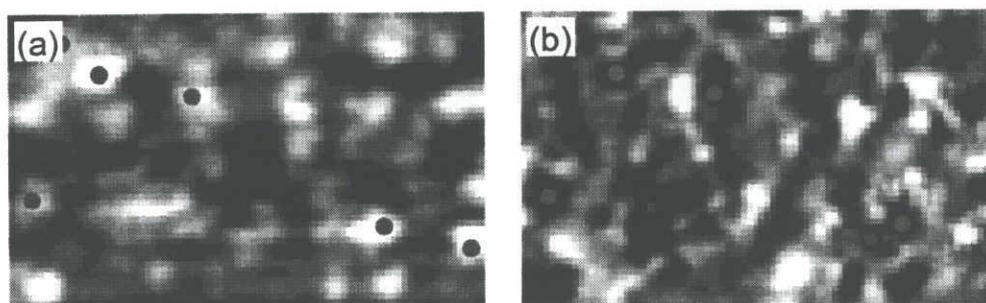


図 4.16 ダイマー欠損率30%の酸化膜において観察された輝点に対する CITS 像。(a) 及び (b) は、それぞれ+5.0V における STM 像及び+5.8V における電流像であり、同一の走査領域である。明示化のため、幾つかの輝点と電流像において対応する点に対して丸で示した。

酸化サイトに特徴的な白い突起<sup>[21-22]</sup>は観察されていない。エッチング前の表面には約3%程度のダイマー欠損が存在するのに対して、2.5 L及び10 Lの酸素に曝した表面は、各々15%及び30%のダイマー欠損を有する。エッチング前の表面（図4.14 (a)）に存在する欠陥は、その殆どがA型、B型及びC型欠陥<sup>[10]</sup>であるのに対し、図4.14 (c)に示すように15%のダイマー欠損を持つ表面には、欠陥領域が隣り合ったクラスター欠陥が生成されている。さらに、図4.14 (d)及び4.14 (e)に示したダイマー欠損率30%の表面においては点欠陥は殆ど見られず、大部分がクラスター欠陥であることが分かる。

図4.15は、(a) 3%、(b) 15%及び(c) 30%のダイマー欠損を持つ表面に形成した酸化膜（膜厚：0.5nm）のSTM像である。酸素によるエッチングを施さない表面に形成した酸化膜（図4.15 (a)）では、わずかな輝点しか観察されていない（輝点密度： $4.3 \times 10^{11} \text{ cm}^{-2}$ ）。それに対して、図4.15 (b)及び4.15 (c)から明らかのように、15%及び30%のダイマー欠損を持つ表面に形成した酸化膜には多くの輝点が観察される。それらの密度は、それぞれ $1.0 \times 10^{13} \text{ cm}^{-2}$ 及び $1.3 \times 10^{13} \text{ cm}^{-2}$ であった。前節において、CITS（Current Imaging Tunneling Spectroscopy）測定から得られたSTM像における輝点領域が、電流像においては暗く反転し、そのことから、電子注入によって生成した輝点が酸化膜中の局所的な電子状態を反映していることを述べた。図4.16に、30%のダイマー欠損を持つ表面に形成した酸化膜において同様のCITS測定を行った結果を示す。図4.16 (a)における明るい領域（輝点）は、図4.16 (b)において暗く反転して観察されることがわかる。従って、ダイマー欠損率の多い試料に形成した酸化膜に見られる輝点も、電子注入によって形成された輝点と同様に、酸化膜中の局所的な電子状態を反映していることを示している。以上の結果は、図4.15 (b)及び(c)に見られる輝点が、酸化膜中の正電荷トラップであることを示唆している。すなわち、極薄シリコン酸化膜中の正電荷トラップは、酸化膜形成後に存在しているトラップと注入後に現れるトラップの2種類に区別することがで

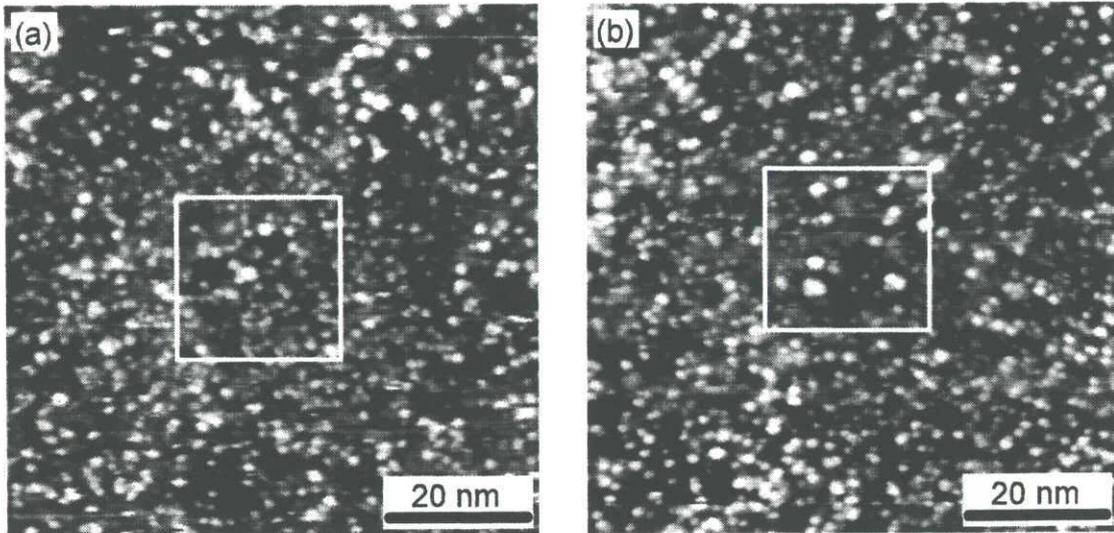
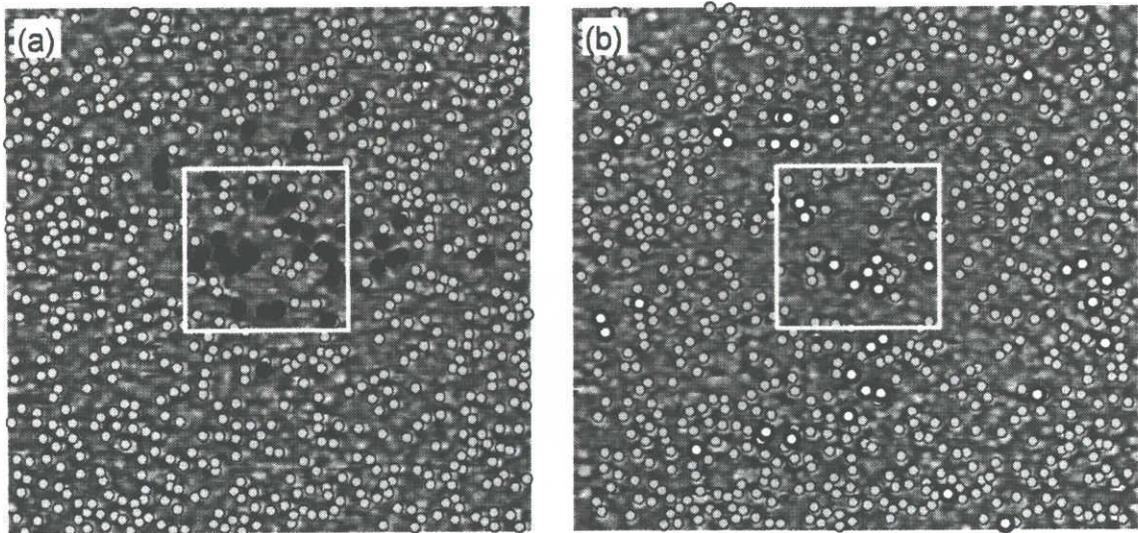


図 4.17 ダイマー欠損率が (a) 15%及び (b) 30%の試料に対して電子注入を行った後の STM 像。白枠は電子を注入した領域である。電子注入は、試料電圧 (a) 8V 及び (b) 10V で行い、STM 観察は、試料電圧 (a) 4.1V 及び (b) 5.0V で行った。



○ Remained ● Disappeared ○ Formed

図 4.18 ダイマー欠損率 30%の試料表面における (a) 電子注入前及び (b) 注入後の輝点の生成と消滅について。図 4.18 (b) は、図 4.17 (b) と同一の STM 像である。

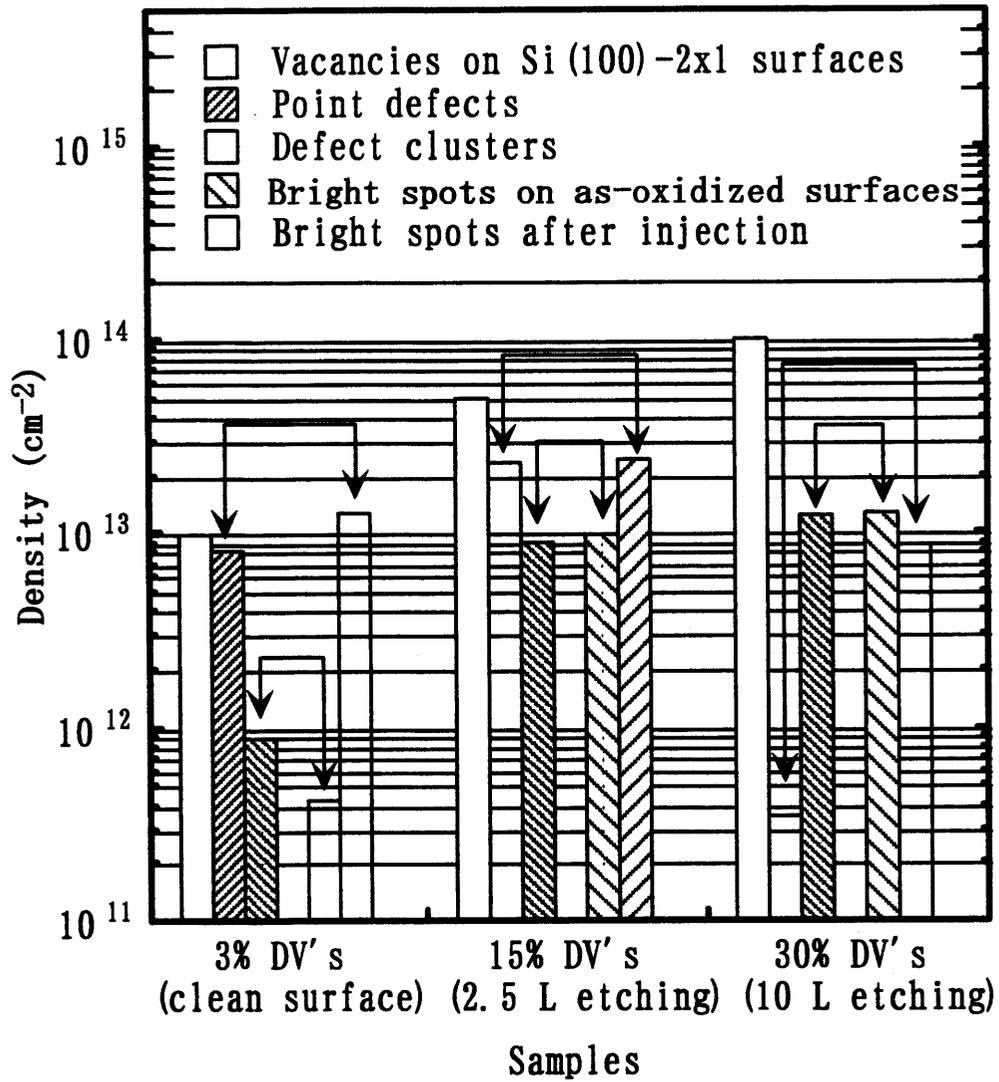


図 4.19 酸化前表面に存在するダイマー欠損密度と電子注入前後の酸化膜において観察された輝点密度の関係。

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

き、それらは酸化前の表面欠陥と密接な相関を持つということがわかる。

15%及び30%のダイマー欠損を持つ表面に形成した酸化膜に対して、STM探針からの電子注入を行った後のSTM像を、それぞれ図4.17 (a) 及び4.17 (b) に示す。図中の白枠は電子注入を行った領域を示している。注入は試料電圧 (a) +8V 及び (b) +10V で行い、これは図4.7において生成輝点密度が飽和している条件に相当する。ダイマー欠損率15%の酸化膜においては、注入領域周辺に多くの輝点が生成した。一方、ダイマー欠損率30%の酸化膜では、新たな輝点の生成はあまり見られず、逆に幾つかの輝点の消滅が観察された。

図4.18 (a) 及び (b) は、それぞれダイマー欠損率30%の酸化膜に対して電子注入を行う前及び後のSTM像を詳細に比較し、輝点の生成と消滅について示したものである。図4.18 (b) は、図6.4 (b) のSTM像と同一である。図に示すように輝点は、注入後に残存するもの、注入によって消滅するもの、及び生成するものに分けることができる。また、消滅した輝点は注入領域の近傍に集中しているのに対し、生成した輝点は注入領域から離れた場所においても見られることがわかる。このことは、輝点の生成及び消滅機構を反映しているものと考えられるが、それについては次節において述べる。

図4.19は、ダイマー欠損率3%、15%及び30%の試料について酸化前のダイマー欠損密度と酸化後の輝点密度の関係についてまとめたものである。図中の点欠陥 (point defects) 及び欠陥クラスター (defect clusters) は、それぞれ図4.14 (c) において示した酸化前表面に単独で (孤立して) 存在する欠陥及び欠陥領域が隣り合ったものに対応する。ただし、隣り合うSiダイマーが欠損したB型欠陥は、欠陥クラスターとして評価した。ダイマー欠損率3%及び15%の試料において、一個の欠陥クラスターを構成するSiダイマー数の平均は、それぞれ2.0個及び5.3個であった。このことは、ダイマー欠損率3%の表面において、欠陥クラスターの殆どがB型欠陥であるとともに、酸素によるエッチングにより、欠陥クラスターのサイズが増加することを示している。一方、上述したように、シリコン酸化膜表面に観察された輝点も、酸化膜中に予め存在するものと電子

注入によって現れるものの2種類に区別することができる。

ダイマー欠損率3%及び15%の試料に着目すると、双方とも点欠陥の密度は電子注入後に生成された輝点の密度とほぼ等しく、さらに、欠陥クラスターの密度が酸化直後に存在する輝点密度と同程度であることが分かる。これらの結果から、酸化膜中の正電荷トラップと考えられる輝点は、酸化前表面に存在するダイマー欠損に起因していると考えられる。すなわち、酸化直後に存在する輝点は欠陥クラスターに起因した正電荷トラップであり、電子注入によって生成される輝点は孤立した点欠陥に起因した正電荷トラップである。

ダイマー欠損率30%の試料においては、酸化前表面の欠陥クラスターは互いに繋がっているため密度の評価は困難であった。上記の結論から、ダイマー欠損率30%の試料においても酸化直後に存在する輝点が欠陥クラスターに起因していると仮定すると、各欠陥クラスターを構成するダイマー欠損数は約8個であった。図4.18のダイマー欠損率30%の試料における欠陥クラスター密度は、その仮定をもとにプロットした。電子注入による輝点の消滅については、現在そのメカニズムは明らかではない。しかしながら、注入によって新たに生成した輝点が少ないという実験結果は、酸化前表面において点欠陥が殆ど存在しないことに起因すると考えられる。従って、この結果は、注入によって現れる輝点が酸化前の点欠陥に起因するという上記の解釈と矛盾しない。本章6.1節において述べたように、正電荷トラップの起源として酸化膜中の酸素欠損やSi-H結合が示唆されているが<sup>[14-19]</sup>、点欠陥及び欠陥クラスターがSiO<sub>2</sub>ネットワーク構造中において具体的にどのような局所構造を与えるかという問題については、今後の検討が必要である。

WatanabeらはSTM探針からの電子注入を行った結果、輝点が生成することを観察し、それが酸化膜中の局所的なリーク伝導パスであると報告していることを前節において述べた。今回、酸化前の表面状態と形成されるシリコン酸化膜の局所電子状態との相関を検討した結果、彼らの実験と本実験においては、電

## 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

子注入前の酸化膜品質が異なり、彼らは、本実験において観察されたホールト  
ラップ形成後の劣化現象としての局所的なリーク伝導パスを観察しているもの  
と思われる。その理由は、以下の通りである。彼らの実験において、酸化前表  
面は Si(111)-7x7 表面である。この表面構造は数原子層下にまで及ぶ非常に多く  
の積層欠陥を含むため<sup>[24]</sup>、形成される酸化膜の局所電子状態は、本実験におい  
て欠陥を多く有する表面に形成した酸化膜に近いものであることが推測できる。  
実際、報告されている注入前の表面ラフネスは自乗平均値 (rms) で 0.14nm で  
あり、本実験における電子注入後の酸化膜表面ならびに 30%の欠陥を有する表  
面に形成した酸化膜の表面ラフネスと等しい。また、注入条件も試料に+10V を  
印加し局所的に 6nA のトンネル電流を流しているため、ストレス印加条件とし  
ても本実験と比較して大きなものになっている。

### 4.2.2 正電荷トラップの生成機構及び起源

図 4.17 (a) の STM 像に示したように、STM 探針を用いた電子注入は、注入  
領域内だけでなく、その周囲にも輝点を生成する。ダイマー欠損率 3%の酸化膜  
について、生成した輝点の密度分布からその生成機構を以下に考察する。図 4.20  
(a) に、注入によって生成した輝点密度の注入領域端からの距離依存性を示す。  
STM 探針から酸化膜中へトンネルする電子の拡がり、STM 像の分解能程度で  
あると考えられるが<sup>[25]</sup>、輝点の生成範囲はそれに比べて大きく、注入領域端か  
ら十数 nm の範囲にまで及んでいる。また、注入電圧が大きいほど生成範囲の拡  
がりも大きく、注入電圧+6V では 77K よりも室温の方が注入領域外に多くの輝  
点が生じられた。注入領域外に輝点が生じられること及びその密度分布が温度  
依存性を持つことから、輝点の生成要因として電流ストレスや電界が支配的  
であるとは考え難い。なぜならば、電流ストレスが原因であれば、探針からの電

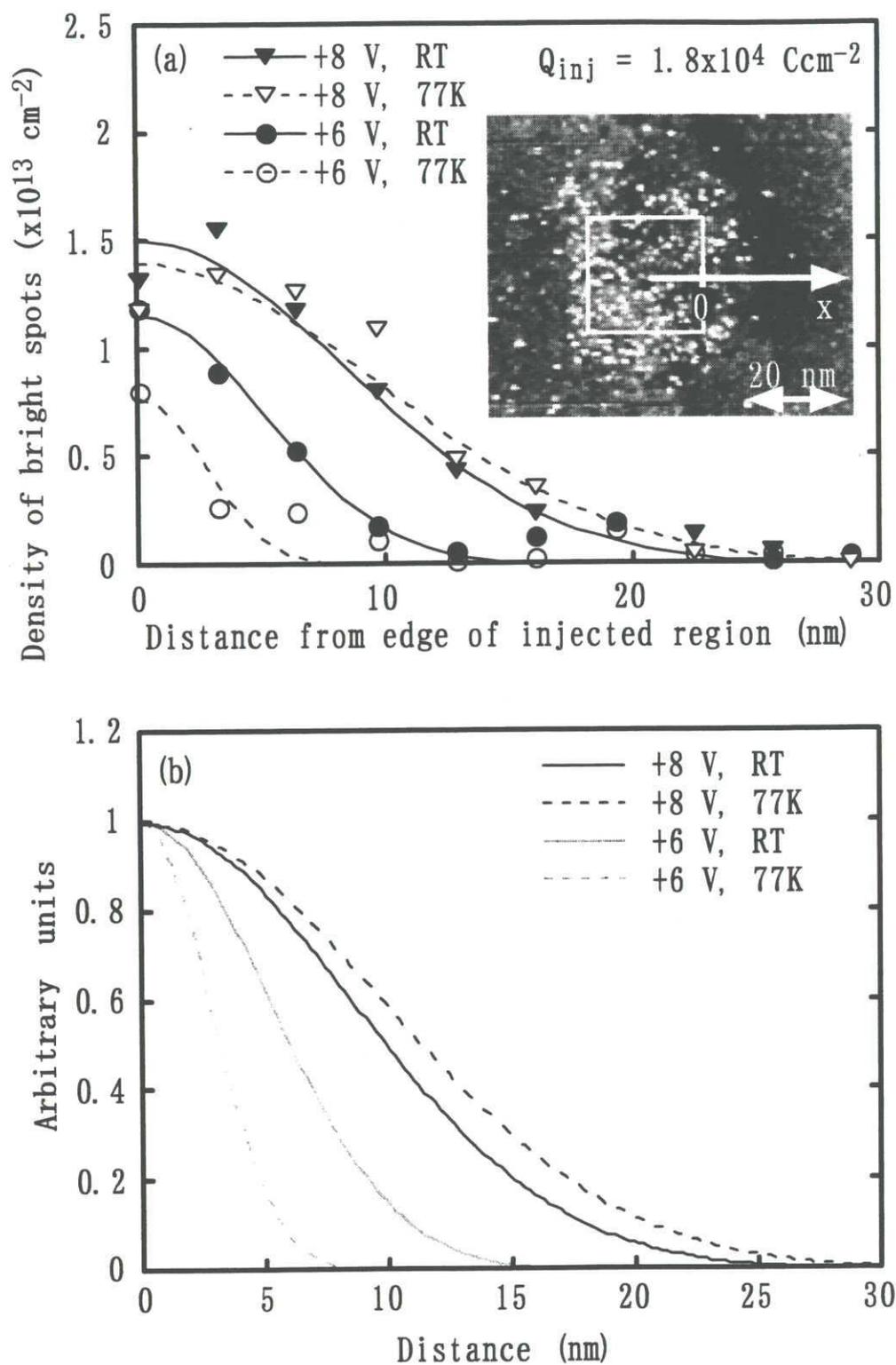


図 4.20 電子注入によって生成した輝点密度の注入領域外における分布。試料のダイマー欠損率は、3%である。横軸は、図中に示したように、注入領域端からの距離である。(b) 図 6.7 (a) におけるガウス分布を規格化して示した。

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

子の拡がり程度の範囲にのみ輝点が生成されると考えられる。また、電界による影響が主な要因であれば、顕著な温度依存性は現れないと考えられる。図 4.20

(b) は、各注入条件での注入領域内の輝点密度が等しくなるように規格化したグラフである。輝点の注入領域外における生成は、電圧に大きく依存することがわかる。これは、注入によって生成される正孔の拡散及びそのエネルギーが輝点の生成機構に関与していることを示唆している。

上記の結果を考慮して、以下に示すような正電荷トラップの生成機構モデルを提案する。図 4.21 は、試料電圧+6V におけるエネルギーバンド図である。本実験で作製したシリコン酸化膜は、酸化膜厚が 0.5nm と非常に薄く、その厚さは酸化膜中における電子の平均自由行程 (0.7~1.5 nm<sup>[26]</sup>) と比較しても小さい。そのため、注入した電子の一部は、散乱されることなく酸化膜中を弾道的に通過し、Si 基板まで達すると考えられる (図中 (1))。Si 基板に到達した電子は、フォノン散乱により電子・正孔対を生成する (2)。このとき生成された正孔が拡散して Si/SiO<sub>2</sub> 界面に潜在的に存在しているトラップ準位に捕獲されることにより、酸化膜中に正電荷トラップが形成される (3)。このモデルは、STM 像において注入領域外での輝点の生成が観察されること及び酸化前の表面ダイマー欠損密度と輝点の飽和密度が相関を持つことを良く説明することができる。

励起した正孔は、拡散して Si/SiO<sub>2</sub> 界面に存在する局所的に歪んだ構造を切断し、トラップ準位を形成し捕獲される。或いは、拡散した正孔があらかじめ存在していたトラップ準位に捕獲されることが推察されるが、詳細については検討が必要である。しかしながら、酸化膜中に存在するこれらの局所構造の形成が、酸化前に存在する欠陥等の表面状態に大きく依存することは、前節の結果から明らかである。図 4.7 で示したように、+6V の電子注入時において、77K と室温ではその飽和輝点密度に差異が見られた。このことから、励起した正孔が捕獲されるトラップ準位が、歪んだ Si-O 結合や酸素欠損等の数種類の局所構造に分けられることも推測される。

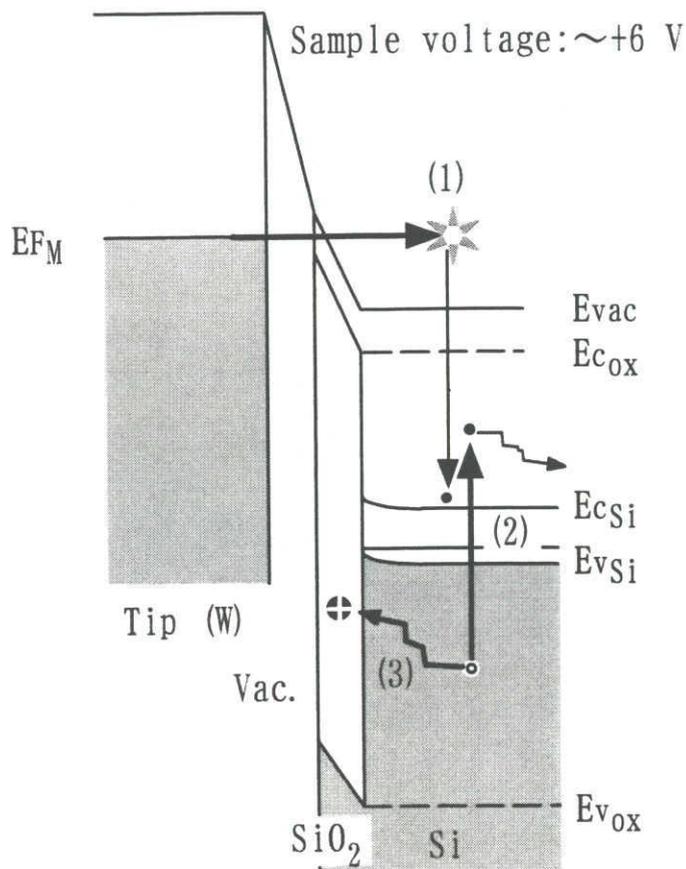


図 6.8 シリコン酸化膜中の正電荷トラップの生成機構モデル。

本実験結果から提案した上記の正電荷トラップの生成機構は、X線やプラズマ照射による酸化膜の劣化機構と類似したものである<sup>[27-28]</sup>。実際、シリコン酸化膜に対してX線を照射した結果、照射時間に依存してSi2pやO1sの内殻電子の結合エネルギー位置がシフトし、そのシフト量が飽和することが報告されている<sup>[29-30]</sup>。この内殻電子のエネルギーシフトは、酸化膜中の正電荷トラップが引き起こすSi/SiO<sub>2</sub>界面におけるバンドベンディングによって、見かけ上、光電子の脱出エネルギー障壁が下がると考えることで理解されている。酸化膜中の電荷トラップは、X線によって励起された高エネルギーの電子が電子・正孔対を生成した結果、正孔が酸化膜中のトラップに捕獲されたものと考えられている。X線のエネルギーはホットエレクトロンのエネルギーに比べて非常に大きいため、生成した電子・正孔対のエネルギーは大きく異なるが、本実験のSTM探針からの電子注入によって観察された正電荷トラップの生成は、電流ストレスによるものではなく、図4.21に示した生成機構に因るものであると考えられる。

### 4.3 参考文献

- [1] J. Maserjian and N. Zamani, *J. Appl. Phys.* 53 (1982) 559.
- [2] R. Rofan and C. Hu, *IEEE Electron Devices Lett.* 12 (1991) 632.
- [3] M. Depas, T. Nigam, and M. M. Heyns, *Solid-State Electronics* 41 (1997) 725.
- [4] C. J. Kang, C. K. Kim, J. D. Lera, Y. Kuk, K. M. Mang, J. G. Lee, K. S. Suh, and C. C. Williams, *Appl. Phys. Lett.*, 71 (1997) 1546.
- [5] R. Ludeke and H. J. Wen, *Appl. Phys. Lett.*, 71 (1997) 3123.
- [6] J. J. Lander and J. Morison: *J. Appl. Phys.* 33 (1962) 2089.
- [7] C. W. Gwyn: *J. Appl. Phys.* 40 (1969) 4886.

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

- [8] T. P. Ma: *Appl. Phys. Lett.* 27 (1975) 615.
- [9] H. Satake and A. Toriumi, *Appl. Phys. Lett.*, 67 (1995) 3489.
- [10] D. J. DiMaria, *J. Appl. Phys.*, 68 (1990) 5234.
- [11] J. M. Aitken, D. R. Young, *IEEE Trans. NS-24* (1977) 2128.
- [12] Hattori, *Critical Review in Solid State and Materials Science*, 20 (1995) 339.
- [13] H. Watanabe, K. Fujita and M. Ichikawa, *Appl. Phys. Lett.* 72 (1998) 1987.
- [14] C. W. Gwyn: *J. Appl. Phys.* 40 (1969) 4886.
- [15] M. H. Woods, R. Williams: *J. Appl. Phys.* 47 (1976) 1082.
- [16] F. J. Feigl, W. B. Fowler, K. L. Yip: *Solid-State Commun.* 14 (1974) 225.
- [17] M. V. Fischetti: *J. Appl. Phys.* 52 (1984) 575.
- [18] P. M. Lenehan, J. F. Conley, Jr., and B. D. Wallace: *J. Appl. Phys.*, 81 (1997) 6822.
- [19] A. Yokozawa and Y. Miyamoto: *Appl. Phys. Lett.* 73 (1998) 1122.
- [20] J. J. Lander and J. Morison: *J. Appl. Phys.*, 33 (1962) 2089.
- [21] T. Uchiyama and T. Tsukada: *Phys. Rev. B*, 53 (1996) 7918.
- [22] H. Ikegami, K. Ohmori, H. Ikeda, H. Iwano, S. Zaima, Y. Yasuda: *Jpn. J. Appl. Phys.*, 35 (1996) 1593.
- [23] R. J. Hamers and U. K. Köhler: *J. Vac. Sci. Technol. A* 7 (1989) 2854.
- [24] K. Takayanagi, Y. Tanishiro, M. Takahashi, S. Takahashi: *Surf. Sci.* 164 (1985) 367.
- [25] N. Garcia: *IBM J. Res. Develop.*, 30 (1986) 533.
- [26] D. J. DiMaria and J. W. Stasiak: *J. Appl. Phys.* 65 (1989) 2342.
- [27] C. W. Gwyn: *J. Appl. Phys.* 40 (1969) 4886.
- [28] T. P. Ma: *Appl. Phys. Lett.* 27 (1975) 615.
- [29] S. Iwata and A. Ishizaka: *J. Appl. Phys.* 79 (1996) 6653.
- [30] Y. Hagimoto, T. Fujita, K. Ono, H. Fujioka, and M. Oshima: *Appl. Phys. Lett.*

#### 第4章 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

74 (1999) 2011.

## 第5章 電流検出型原子間力顕微鏡法によるゲート酸化膜の評価

本章では、MOS キャパシタの容量-電圧(C-V)特性および(電流-電圧)I-V 特性と、ゲート酸化膜の電流検出型原子間力顕微鏡(C-AFM)観察結果について述べる。MOS キャパシタの電気的特性に関しては、電気的ストレス印加前後での C-V 特性の変化について考察する。また、ゲート酸化膜を介したリーク電流の伝導機構と、電気的ストレスがリーク特性に及ぼす影響について考察する。ゲート酸化膜の C-AFM 観察に関しては、初めにゲート電極の剥離、ゲート酸化膜の薄膜化が表面モホロジーに及ぼす影響と、電流像観察における電流検出感度について述べる。次に、ストレスを印加したゲート酸化膜の電流像とその時間変化について述べ、ゲート酸化膜中のストレス誘起欠陥における電荷の捕獲(トラップ)、放出(デトラップ)過程の観点から考察を行う。最後に、ゲート酸化膜の絶縁破壊機構の C-AFM 観察について述べ、局所リーク電流スポットの関連について考察する。

### 5.1 MOS キャパシタの電気的特性

#### 5.1.1 電気的ストレスを印加した MOS キャパシタの電流-電圧特性および容量-電圧特性

定電流ストレス印加前後の MOS キャパシタの(電流-電圧)I-V 特性および(容量-電圧)C-V 特性を図 5.1 および図 5.2 に示す。定電流ストレスはゲート電極を負電圧とて FN トンネル電流ストレスを印加した。I-V 特性の測定では、ゲート電

極を正電圧としており、ゲート酸化膜の電界方向は、C-AFM 測定時と同じ方向となっている。定電流ストレスの印加後、ゲート酸化膜のリーク電流が特に低電圧領域において顕著に変化することがわかる。図 5.3 はストレスを印加していない酸化膜のリーク電流特性を FN プロットしたものである。図中、リーク電流密度の電界依存性は直線となっており、定電流ストレスを印加していないゲート酸化膜は FN トンネル伝導であることがわかる。

ストレス印加直後は低電圧側で高いリーク電流が観測された(図 5.1 Curve B)。また、この低電圧側での高いリーク電流は I-V 測定を繰り返すと減少し、5 回繰り返したところで一定の値に収束する(図 5.1 Curve C)。これらのリーク電流は、時間依存するストレス誘起リーク電流(Transient-Stress-Induced Leakage Current: Transient-SILC)と呼ばれている<sup>[1]</sup>。一方、図 5.2 において、ストレス印加直後の C-V 曲線はストレス印加前の C-V 曲線に対して、約 2 V、負電圧側にシフトしている(Curve B)。これは、定電流ストレスの印加により、ゲート酸化膜中に正孔(ホール)がトラップされたためと考えられる。また、I-V 測定を 5 回繰り返し、低電圧でのリーク電流が収束した状態(図 5.1 Curve C)では、C-V 曲線は正電圧側に 0.5 V シフトしている(Curve C)。これは I-V 測定の繰り返しによって、酸化膜中のホールが Si 基板にデトラップしたため、膜中に残留した電子による正方向へのシフトが顕在化したものと考えられる。膜中の電荷による C-V 特性の電圧シフトは次式で表される。

$$V_{\text{FBS}} = -E_0 x_0 = -\frac{Q_0}{\epsilon_{\text{ox}}} x_0 = -\frac{Q_0}{C_0} \frac{x_0}{d} \quad (5.1)$$

ここで、 $E_0$  は金属から  $x_0$  の位置までにかかる電界である。したがって、フラットバンド電圧は、電荷  $Q_0$  の密度と、酸化膜中のその位置  $x_0$  の両方に依存する。

トラップされたホールの電荷分布の中心は Si/SiO<sub>2</sub> 界面から 5 nm までのところに存在すると考えられている<sup>[2-6]</sup>。したがって、Si/SiO<sub>2</sub> 界面から 3 nm の位置にホールがトラップされていると仮定すると、図 5.2 より、電圧シフト量から求

められるホールのデトラップ量は約  $5.2 \times 10^{12} \text{ cm}^{-2}$  であった。

電氣的ストレスによりホールがゲート酸化膜中にトラップされるメカニズムとして、図 5.4 に示す Anode hole injection model<sup>[7,8]</sup>が挙げられる。まず、ゲート電極から注入された電子は酸化膜を F-N トンネリングする。酸化膜を通過した高いエネルギーを持つ電子は Si 基板中でエネルギーを失い、この時、電子とホールのペアが形成される(インパクトイオン化)。生成されたホールは電界によって、ゲート電極方向に引き寄せられ、その一部が Si/SiO<sub>2</sub> 界面近傍のゲート酸化膜中にトラップされると考えられる。

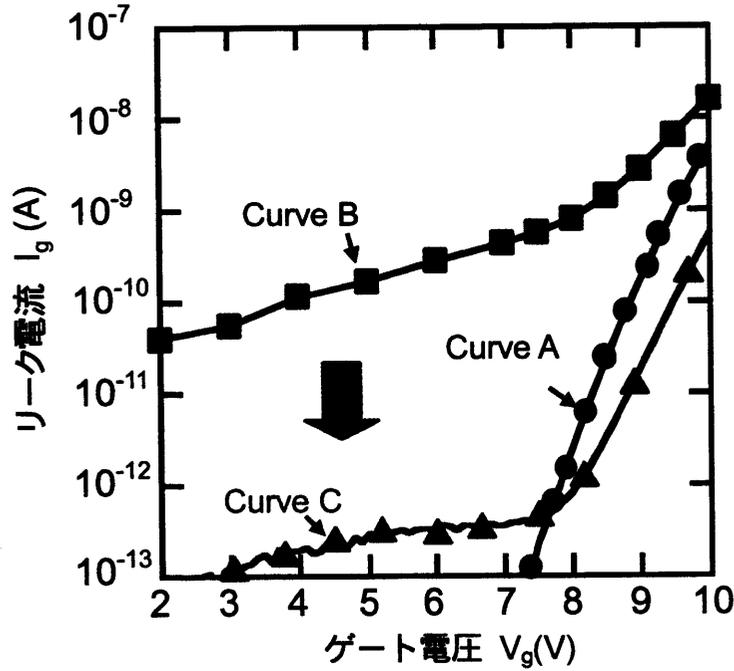


図 5.1 MOS キャパシタの電圧-電流特性。ストレス印加無し(Curve A)、定電流ストレス印加直後(Curve B) および電流-電圧 (I-V)測定を 5 回行った後(Curve C)。

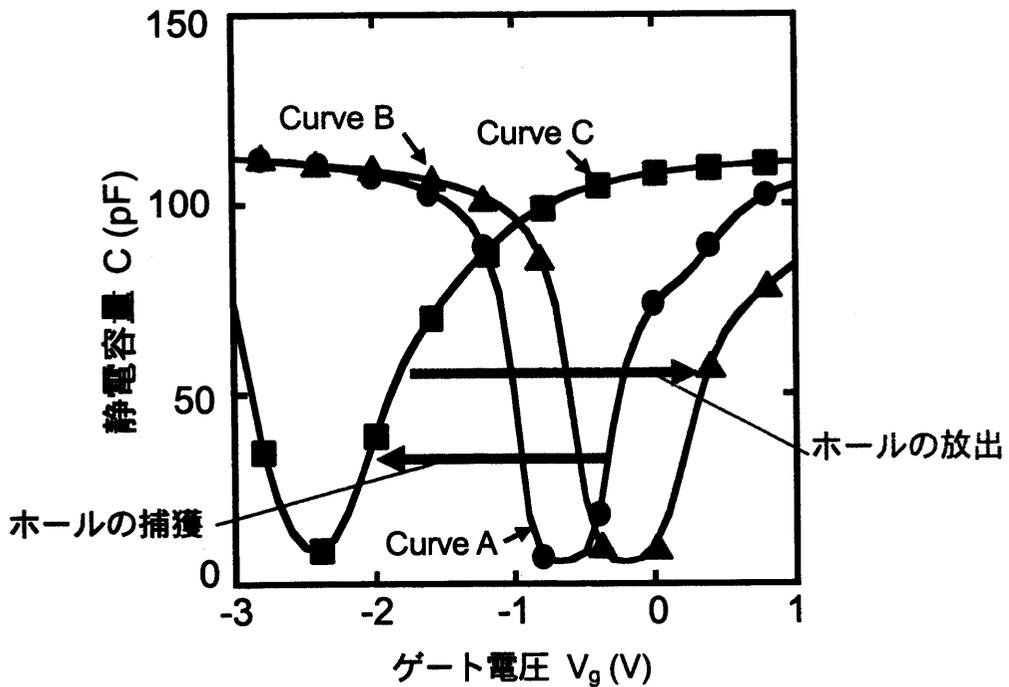


図 5.2 MOS キャパシタの容量-電流特性。ストレス印加無し(Curve A)、定電流ストレス印加直後(Curve B)および 5 回 I-V 測定後(Curve C)。

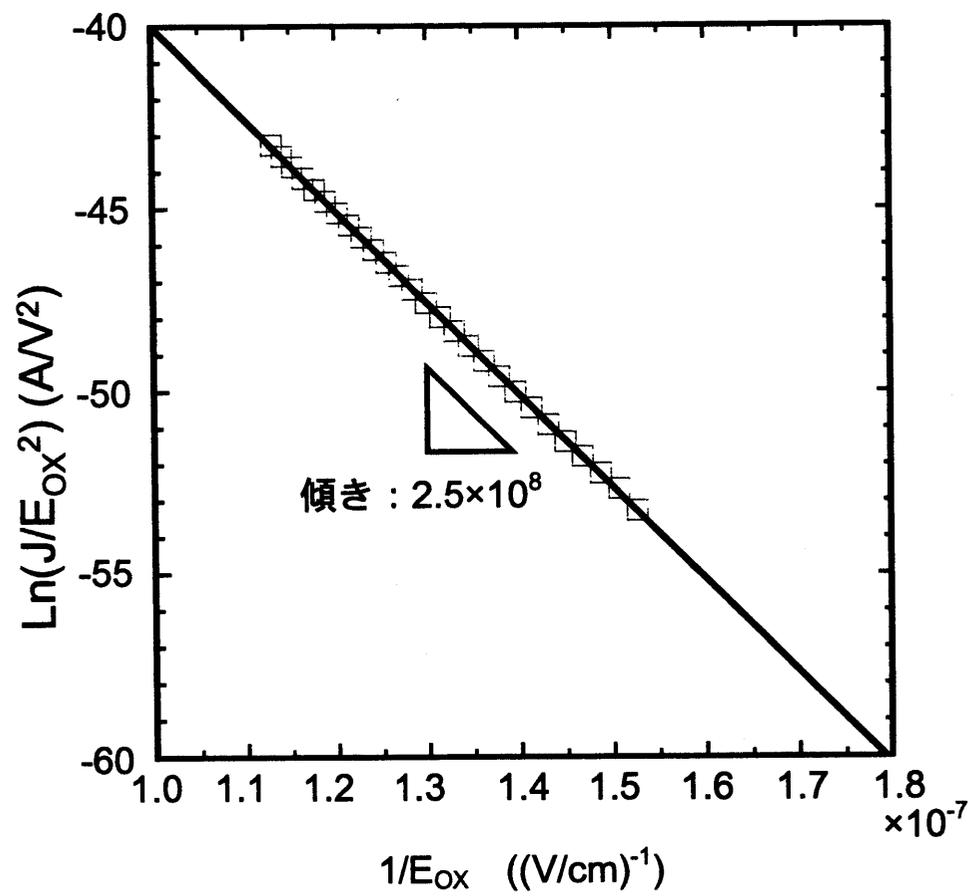


図 5.3 ストレスを印加していないゲート酸化膜におけるリーク電流特性の FN プロット.

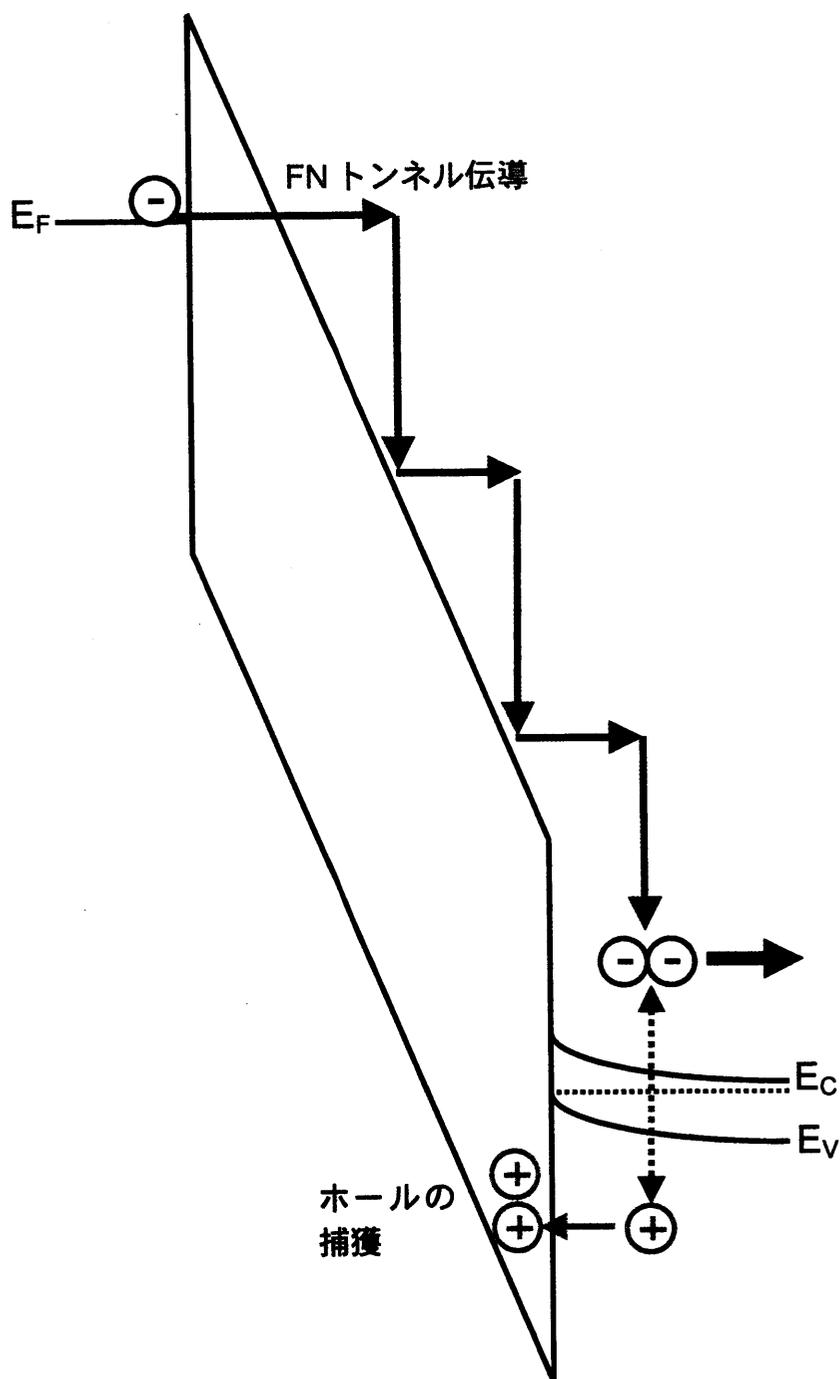


図 5.4 ストレス印加時の MOS キャパシタのエネルギーバンド図および Anode Injection Model。

### 5.1.2 MOS キャパシタにおけるゲートリーク電流の時間依存性

図 5.5 は、MOS キャパシタに定電流ストレス(電流密度  $0.1 \text{ A/cm}^2$ 、平均ゲート電圧-13.8 V、100 秒間)を印加した後のリーク電流の時間変化である。リーク電流測定時のゲート電圧は+10 V である。このときゲート酸化膜にかかる電界は、 $8.8 \text{ MV/cm}$  であり、C-AFM 観察における印加電界と同方向、ほぼ同じ大きさである。比較として、定電流ストレス印加前のリーク電流も示している。定電流ストレスを印加していないゲート酸化膜では、リーク電流は時間に対して変化しないことがわかる(Curve A)。一方、定電流ストレスを印加した直後のリーク電流は時間に対して減少している。前節で述べたように、この時、同時測定した C-V 特性の変化は、酸化膜中にトラップされたホールの放出(デトラップ)現象を示唆しており、この経時変化するリーク電流は、酸化膜からのホールのデトラップ電流と考えられる。また、このとき、リーク電流はストレスを加えていない場合に比べて減少している。これは、酸化膜中に残留した電子の影響により、酸化膜中にかかる実効電界が減少しているためと考えられる。

図 5.5 中の Curve D はホールがデトラップし、リーク電流が一定値に収束した後、再び定電流ストレスを印加した場合のリーク電流の時間変化である。定電流ストレスの再印加は、1 秒間、ゲート電極を負電圧として、ゲート電極側からの電子を  $0.1 \text{ A/cm}^2$  注入することにより行った。わずか 1 秒間のストレス再印加によって、リーク電流は 1 桁以上増加し、その後、初めの定電流ストレス印加後と同様の経時的な減少特性を示している。これらの結果は、定電流ストレスによって、酸化膜中に、欠陥の誘起とホールのトラップの 2 つの現象が起きていることを示唆している。すなわち、初めに印加した 100 秒の定電流ストレスによって、酸化膜中に欠陥が発生しているため、わずか 1 秒間のストレス再印加においてホールが容易に欠陥にトラップされ、再びリーク電流が増加し、

経時的な減少特性が再び観測されたと考えられる。

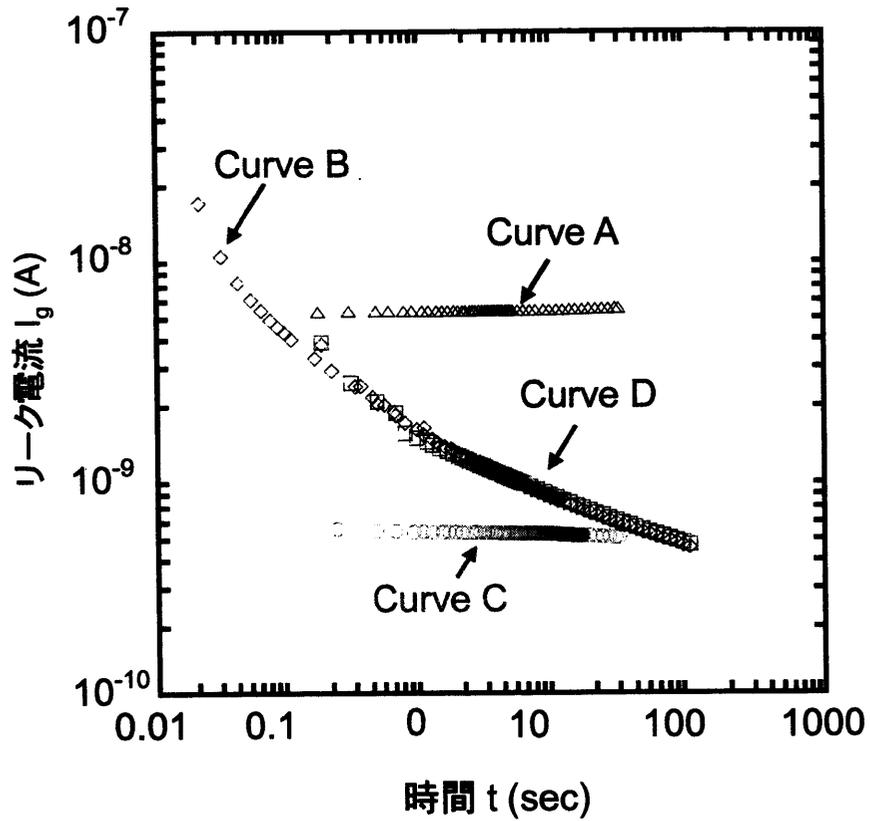


図 5.5 MOS キャパシタによるゲート酸化膜のリーク電流の時間変化。  
 ストレス印加無し(Curve A)、ストレス印加直後(Curve B)、ホール  
 トラップ後(Curve C)およびストレス再印加後(Curve D)。

## 5.2 原子間力顕微鏡法によるゲート絶縁膜の表面モロロジー

図 5.6 は(a)熱酸化直後、(b)ゲート電極除去後および(c)希弗酸による薄膜化後の SiO<sub>2</sub> 膜の表面モロロジー像(AFM 観察像)である。熱酸化直後、ゲート電極除去後は AC モードによって、ゲート絶縁膜の薄膜化後はコンタクトモードによって観察した。平均 2 乗粗さ(Root-Mean Square :RMS)は、それぞれ 0.17 nm、0.17nm および 0.29 nm と得られ、非常に平坦であり、ゲート電極除去およびゲート酸化膜の薄膜化によって、ほとんど変化しないことがわかった。定電流ストレスを印加したゲート SiO<sub>2</sub> 膜を希弗酸でエッチングした場合、表面モロロジーの RMS 値が大きくなるという報告があるが<sup>[6]</sup>、本研究においてはそのような傾向は見られなかった。SiO<sub>2</sub> 膜の成膜方法やエッチング条件等の違い、特に弗酸溶液の濃度が希薄(0.1%)であったこと等により、エッチングによる表面ラフニングが抑えられたと考えられる。

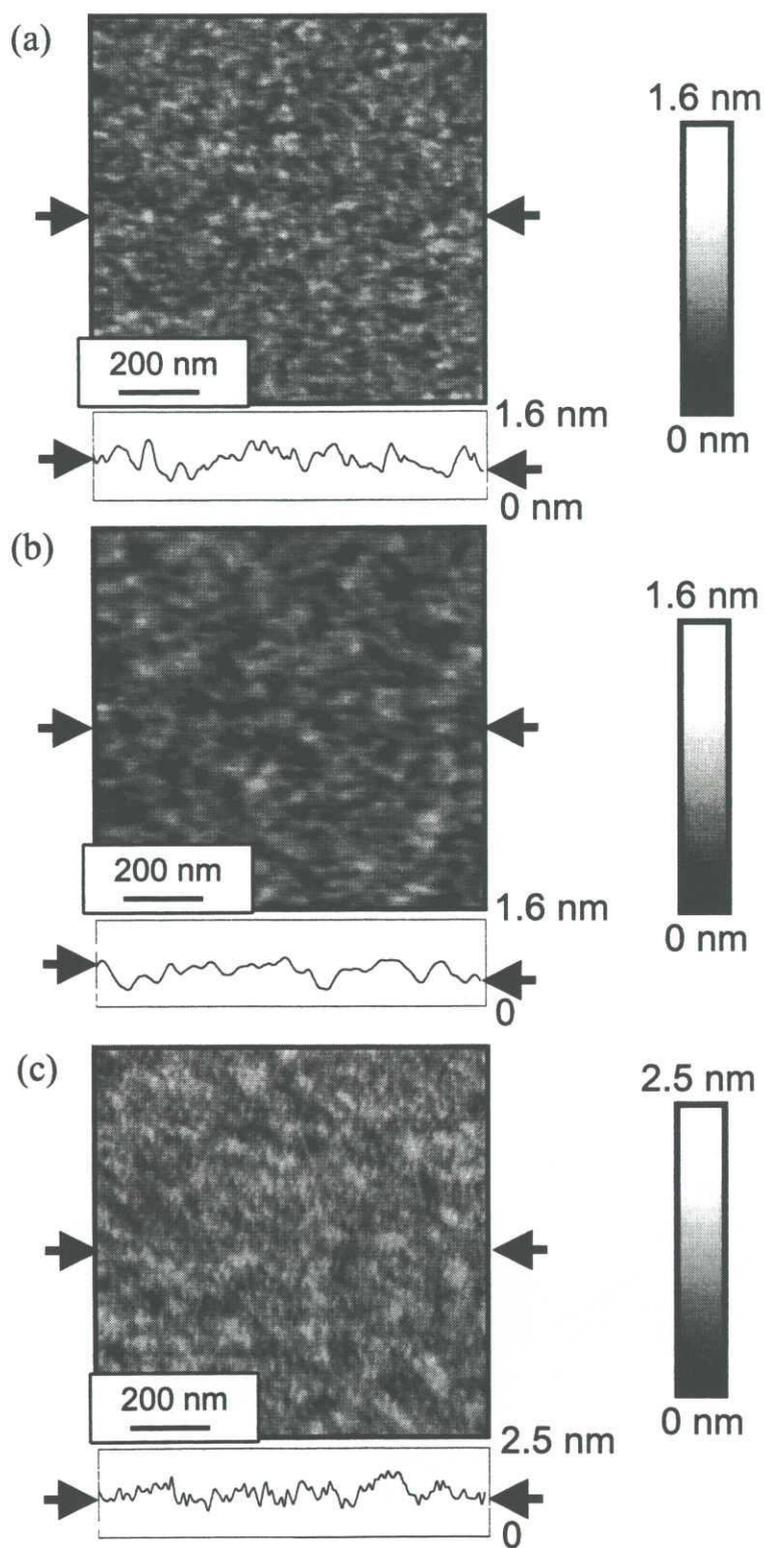


図 5.6 ゲート絶縁膜の表面モホロジー像およびラインプロファイル。  
(a)熱酸化直後、(b)ゲート電極除去後および(c)希弗酸による薄膜化後。

### 5.3 電流検出型原子間力顕微鏡法の電流検出精度

#### 5.3.1 電流検出型原子間力顕微鏡法の電流検出精度

図 5.7 は C-AFM 観察による定電流ストレスを印加していないゲート酸化膜の I-V 特性である。異なった領域を異なった印加電圧で AFM 観察して得た電流像の平均電流値をプロットした。電気伝導機構は F-N トンネル伝導であると考えられることから、探針と Si 基板の間を並行平板コンデンサと仮定し、(2.36)式を用いて電極面積をフィッティングパラメータとしてフィッティングすることにより、電極面積  $2 \times 10^{-12} \text{ cm}^2$  を得た。

図 5.8 は定電流ストレスを印加していないゲート酸化膜に関して、MOS キャパシタによる測定および C-AFM 観測で測定したリーク電流特性の FN プロットである。上述の解析より C-AFM 観察における電極面積は  $2 \times 10^{-12} \text{ cm}^2$  とした。また、MOS キャパシタ測定時と C-AFM 観察時におけるゲート酸化膜の膜厚および金属-半導体間の仕事関数差の違いは、電界を用いることで規格化されている。図 5.8 より MOS キャパシタでの測定と C-AFM 観察による測定において、FN プロットの傾き  $\beta$  はよく一致する。このことから、MOS キャパシタでの測定時と C-AFM 観察による測定時において同じバリアハイト  $\Phi$  および有効質量  $m_{\text{eff}}$  が観測されていると考えられる。

したがって、C-AFM 観測におけるリーク電流評価は、探針と Si 基板の間を平行平板コンデンサ仮定し、実効的な電極面積求めることで、MOS キャパシタにおけるリーク電流評価と同様の評価が可能であることがわかった。

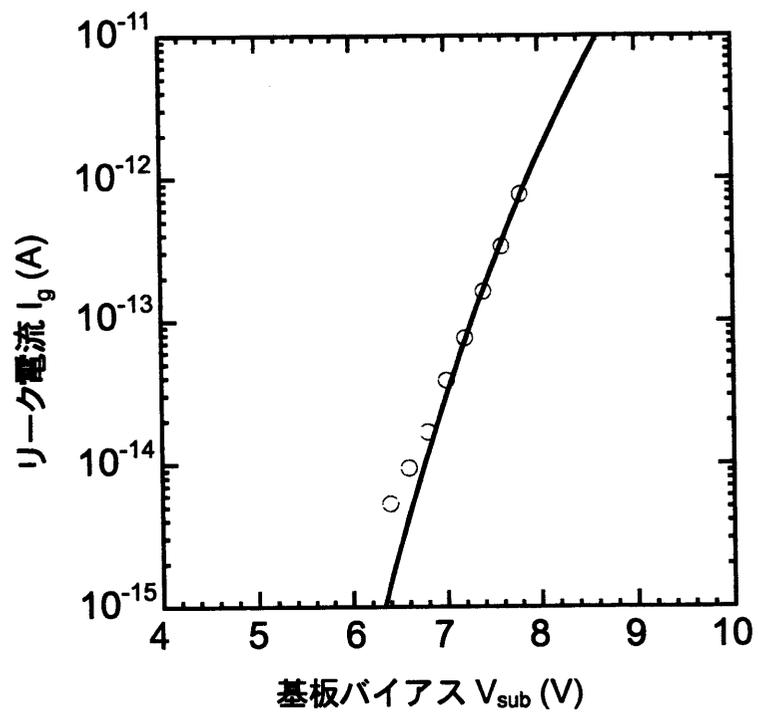


図 5.7 C-AFM による定電流ストレスを印加していないゲート酸化膜の電流-電圧特性。

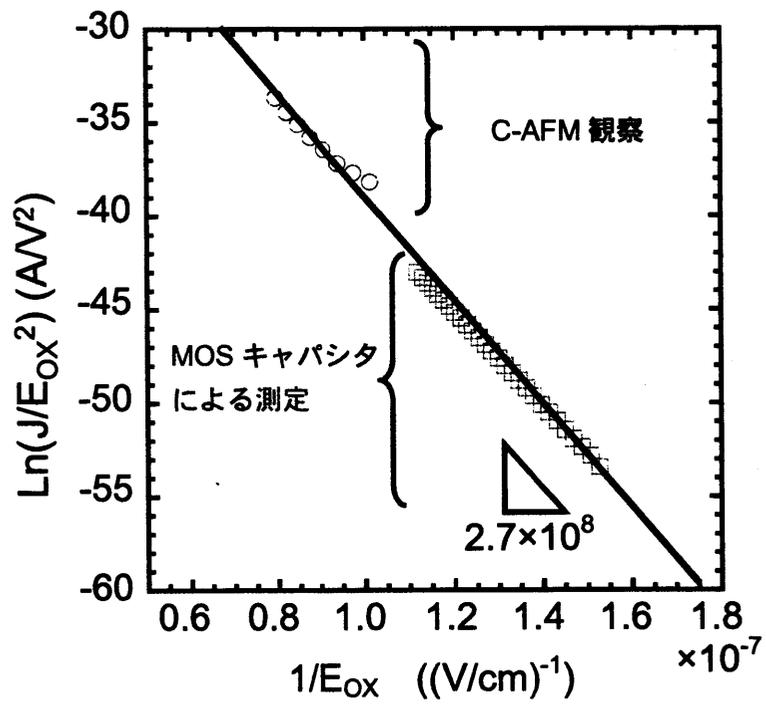


図 5.8 定電流ストレスを印加していないゲート酸化膜の FN プロット。

### 5.3.2 SiO<sub>2</sub>膜の膜厚揺らぎによるリーク電流の揺らぎ

図 5.9 は、定電流ストレスを印加していないゲート酸化膜を C-AFM 観察した表面モロロジー像および電流像である。電流像取得時の基板電圧は-7 Vである。表面モロロジー像(図 5.9(a))は RMS:0.21 nm と非常に平坦であり、前述のとおり、エッチングによって表面モロロジーが変化しないことがわかる。一方、電流像(図 5.9(b))において、局所的に大きなリーク電流が流れる領域は観測されなかった。また、電流分布は表面モロロジー像の凹凸とは対応しておらず、平均電流は 0.17 pA、電流像の RMS 値は 0.12 pA であった。前節において述べたように、電気伝導機構は FN トンネル伝導である。FN トンネル電流は次式のように書き表すことができる。

$$J_{F-N} = \frac{q^2 \cdot m_0}{8\pi m_{\text{eff}}} \cdot \frac{1}{t^2(F)} \frac{\beta^2 F_{\text{OX}}^2}{\Phi} \exp\left(-v(F) \frac{8\pi\sqrt{m_{\text{eff}} \cdot q}}{3qh\beta F_{\text{OX}}} \cdot \Phi^{3/2}\right) \quad (5.2)$$

ここで、 $m_{\text{eff}}$  は酸化膜中の電子の有効質量であり、 $h$  はプランク定数である。また、 $t(E)$  および  $v(E)$  は鏡像効果に対する補正定数、 $\beta$  はキャパシタがどれだけ平行平板状態に近いかを示す定数である。同式を用いて電流像の RMS 値を膜厚の揺らぎに換算すると、RMS 値が 0.11 nm と求められた。これは表面モロロジーの RMS と同程度である。したがって、電流像における電流揺らぎは観測したゲート酸化膜の局所的な膜厚揺らぎに対応していると考えられる(図 5.10)。以上により、本研究で用いた C-AFM の電流検出感度は、SiO<sub>2</sub> 膜厚換算で約 0.1 nm が検出可能なレベルであることがわかった。

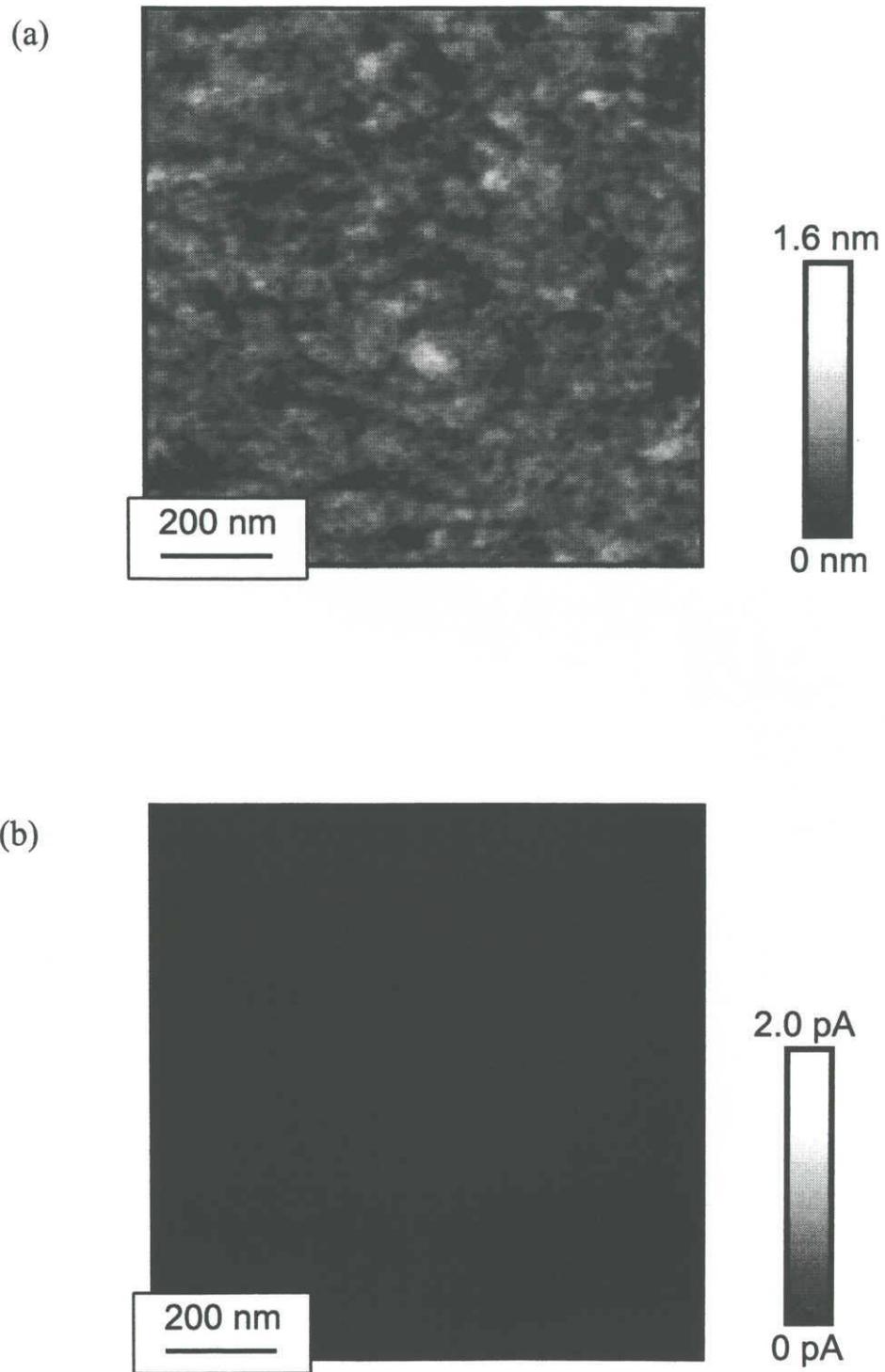


図 5.9 ストレスを印加していないゲート酸化膜の C-AFM 観察結果  
(a) 表面モホロジー像および(b)電流像.

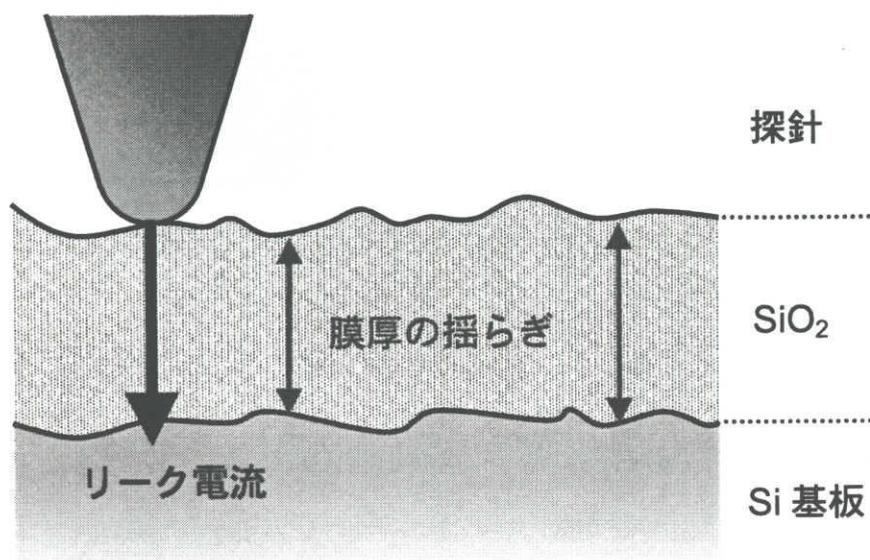


図 5.10 ゲート絶縁膜の膜厚揺らぎによるリーク電流揺らぎの模式図.

#### 5.4 電氣的ストレスを印加したゲート SiO<sub>2</sub> 膜の局所電流解析

図 5.11(a)および(b)は、定電流ストレスを加えたゲート酸化膜における表面モホロジー像および電流像である。図 5.11(c)は、表面モホロジー像(図 5.11(a))および電流像(図 5.11(b))中に Spot a および b として記した箇所におけるラインプロファイルである。また、図 5.11(d)はストレスを印加していないゲート酸化膜の電流像である。電流像観察では、Si 基板に-5 V 印加された状態となっており、Si 基板からカンチレバーへ電子が FN トンネルする。ストレスを印加したゲート酸化膜の電流像(図 5.11(b))において、局所的にリーク電流値の高い領域(リーク電流スポット)が観測された。図 5.11(c)のリークスポット領域の電流とモホロジーのラインプロファイルに見られるように、これらのリークスポットと表面モホロジーの間には対応が無かった。また、ストレスを印加していない酸化膜においては(図 5.11(d))、このようなリーク電流スポットは観測されなかった。前節で述べたように、MOS キャパシタの C-V 特性は、定電流ストレスを印加した酸化膜では膜中にホールがトラップされていることを示している。これらの結果から、定電流ストレスを印加した試料の電流像に観測された局所的なリーク電流スポットは、酸化膜中にトラップされたホールに起因するものであると考えられる。

以下、このような高い電流密度のリーク電流が局所的に流れているスポット状の領域を「リークスポット(Leakage spots)」、それ以外の領域を「バックグラウンド(background)」と呼ぶ。

図 5.12 は C-AFM 観察によって得られた I-V 測定である。ここでは、異なった領域を異なった印加電圧で AFM 観察した結果から、リークスポットおよびバックグラウンドの電流の平均値を求め、リークスポットおよびバックグラウンドの電流値としてプロットしている。ストレスを印加していないゲート酸化膜の I-V 特性(図 5.12 Curve A)は、FN トンネル伝導であることを示している。一方、

ストレスを印加したゲート酸化膜のバックグラウンドおよびリークスポット領域における I-V 特性(図 5.12 Curve B および Curve C)も、それぞれ 1.7 V、2.7 V の電圧シフトを伴った FN トンネル伝導と考えることができる。図 5.13 は図 5.12 の局所リーク電流特性を FN プロットしたものである。但し、図 5.12 において見られる電圧シフトを考慮し、補正した上で FN プロットしている。いずれも傾きが等しい 1 つの直線状にプロットできることがわかる。図 5.13 中の直線の傾きは図 5.3 の MOS キャパシタによる FN プロットの傾きを示している。このとき、FN プロットの傾き  $\beta$  は MOS キャパシタによるストレスを加えていない酸化膜の傾きとほぼ等しく、MOS キャパシタによる測定時と同じバリアハイト  $\Phi$  および有効質量  $m_{\text{eff}}$  が観測されていると考えられる。

電圧シフトを伴った FN トンネル伝導は、(5.2)式を用いて次のように表すことができる。

$$J_{\text{F-N}} = \frac{q^2 \cdot m_0}{8\pi m_{\text{eff}}} \cdot \frac{1}{t^2(\text{F})} \cdot \frac{\beta^2 (V_{\text{OX}} + V_{\text{h}})^2}{\Phi \cdot d_{\text{OX}}^2} \exp\left(-v(\text{F}) \frac{8\pi \cdot d_{\text{OX}} \sqrt{m_{\text{eff}} \cdot q}}{3q h \beta (V_{\text{OX}} + V_{\text{h}})} \cdot \Phi^{3/2}\right) \quad (5.3)$$

ここで、 $V_{\text{OX}}$  は酸化膜にかかる電界であり、 $V_{\text{h}}$  はトラップされたホールによる電圧シフトを表す。図 5.14 は、膜中にトラップされたホールによるゲート酸化膜のエネルギーバンド図の変化を表した模式図である。探針/SiO<sub>2</sub>/Si 基板の間を並行平板コンデンサと仮定し、酸化膜中にトラップされたホールの量  $N_{\text{h}}$  とすると、FN トンネル電流特性の電圧シフト量  $V_{\text{h}}$  は次式で表される。(APPENDIX1)。

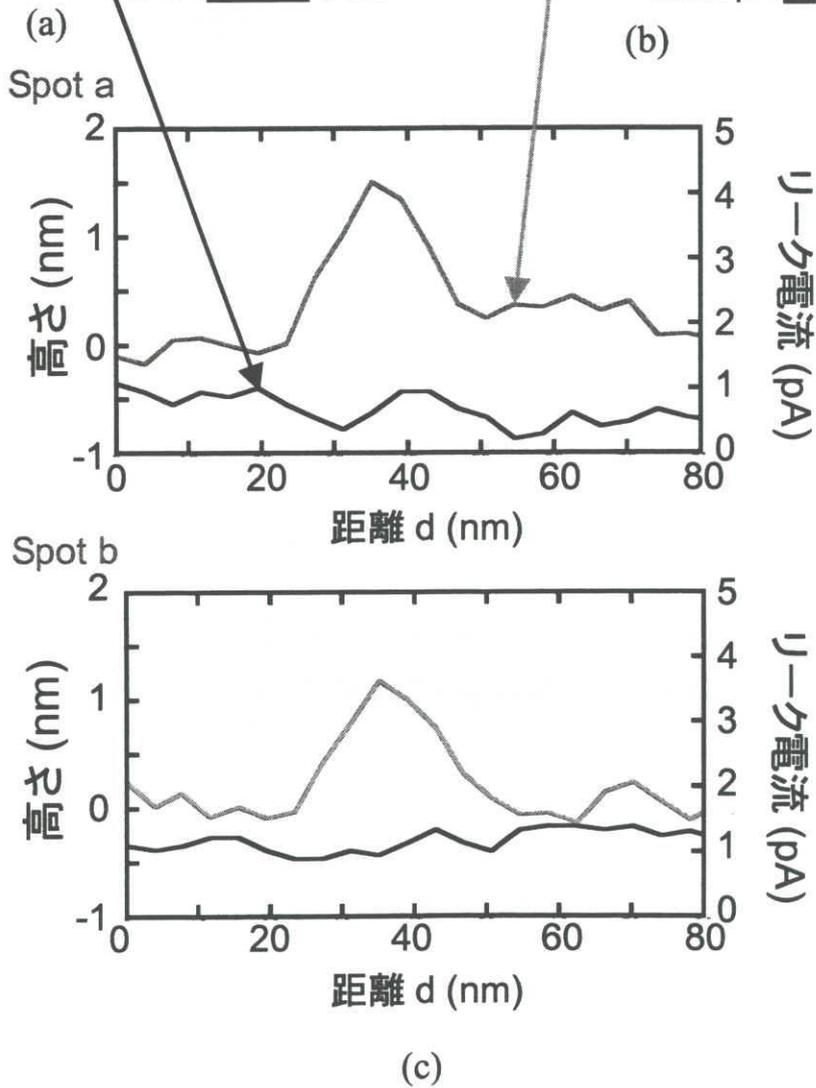
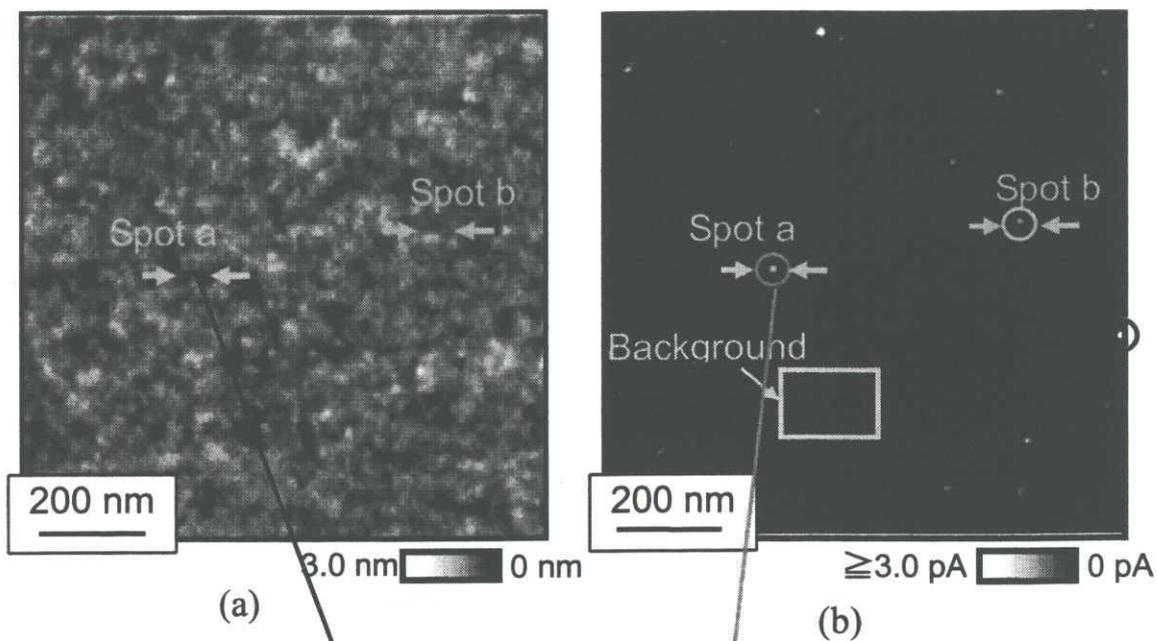
$$V_{\text{h}} = \frac{q \cdot N_{\text{h}} \cdot (d_1 - d_2)}{\epsilon_{\text{OX}}} \quad (5.4)$$

したがってトラップされたホールの量は、次のように表される。

$$N_h = \frac{\epsilon_{ox} \cdot V_h}{(d_1 - d_2)} \cdot \frac{1}{q} \quad (5.5)$$

ここで、 $\epsilon_{ox}$  は酸化膜の誘電率、 $d_1$  は酸化膜厚、 $d_2$  は Si/SiO<sub>2</sub> 界面からホールトラップまでの位置、 $q$  は素電荷である。5.1.1 節の MOS キャパシタの C-V シフト量を求めたときと同様に、界面から 3 nm の位置にホールがトラップされていると仮定すると、リークスポットおよびバックグラウンド領域にトラップされたホールの密度は、それぞれ  $2.6 \times 10^{13} \text{ cm}^{-2}$ 、 $1.7 \times 10^{13} \text{ cm}^{-2}$  と見積もられた。また、リークスポット、バックグラウンドの両方の領域にホールがトラップされており、FN トンネル電流が大きくなっていることがわかる。これらのことからリークスポット領域は図 5.15 に示すように、局所的にホールトラップが多く存在している領域であると考えられる。

一方、リークスポット領域の総面積は電流像全体の面積に対し 1.5 % に満たない。したがって、酸化膜中にトラップされているホールのほとんどはバックグラウンド領域に均一に分布していると考えられる。MOS キャパシタの C-V 特性の電圧シフト量から見積もられるホールの密度は  $5.2 \times 10^{12} \text{ cm}^{-2}$  であり、C-AFM 測定において見積もられたバックグラウンド領域にトラップされたホールの密度とはほぼ一致している。すなわち、C-V 特性の電圧シフトはバックグラウンド領域のホールによって主に引き起こされていると考えられる。



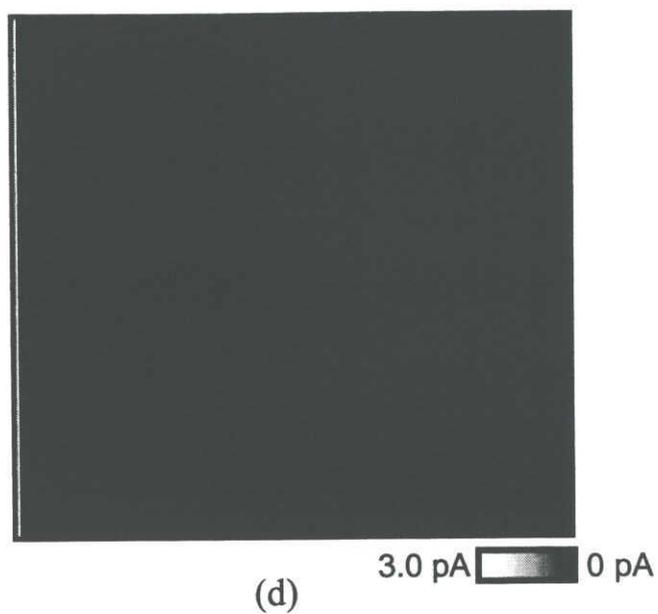


図 5.11 ストレスを印加したゲート酸化膜ゲート酸化膜の(a)表面モホロジー像、(b)電流像、(c)リークスポットにおけるラインプロファイルおよび(d)ストレスを印加していないゲート酸化膜の電流像。

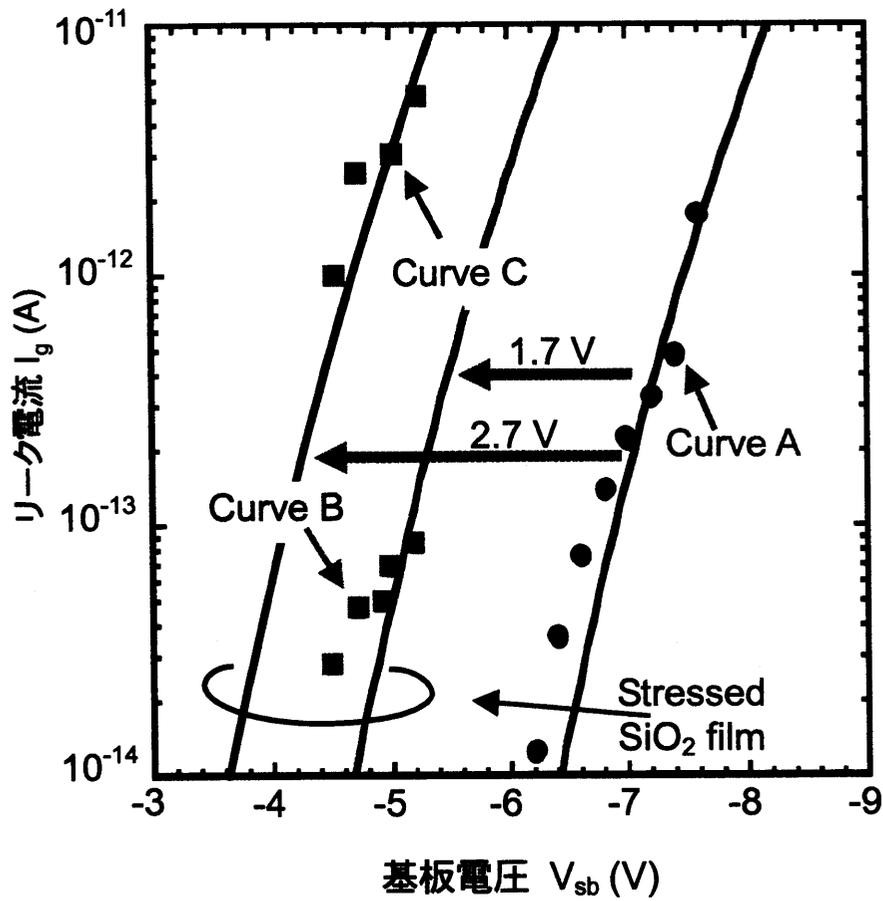


図 5.12 C-AFM 観察から求めたによる電流-電圧特性. ストレスを印加していないゲート酸化膜 (Creve A)、ストレスを印加したゲート酸化膜におけるバックグラウンド領域(Curve B)およびストレスを印加したゲート酸化膜におけるリークスポット領域(Curve C)。

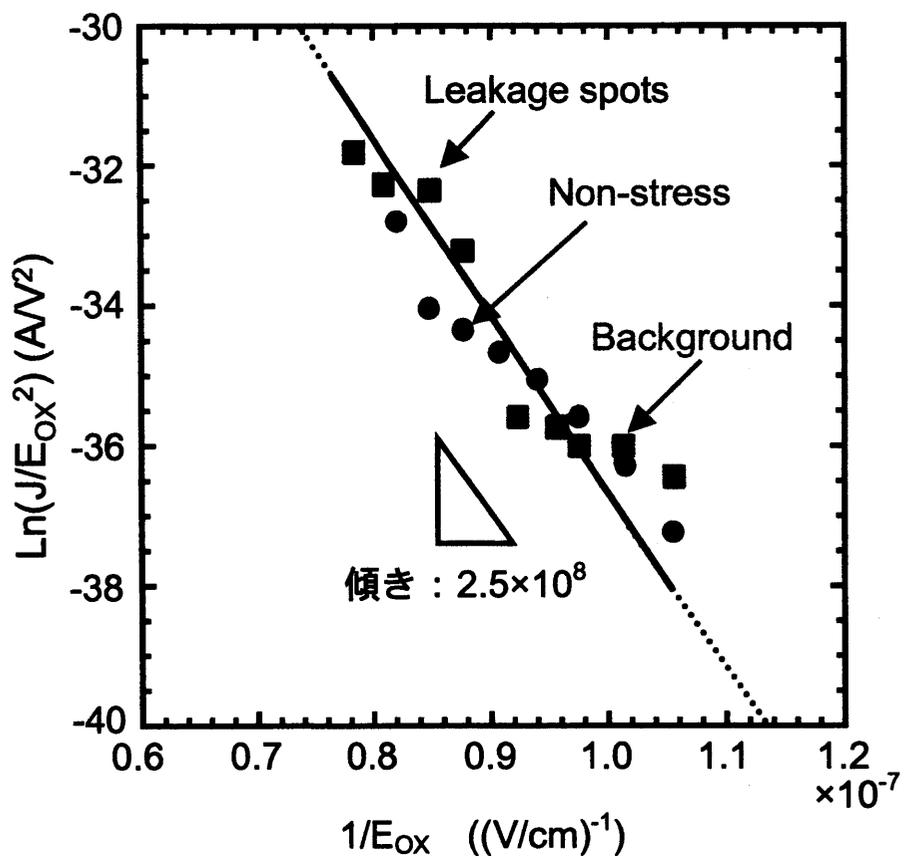


図 5.13 C-AFM 観察から求めた局所リーク電流特性の FN プロット。

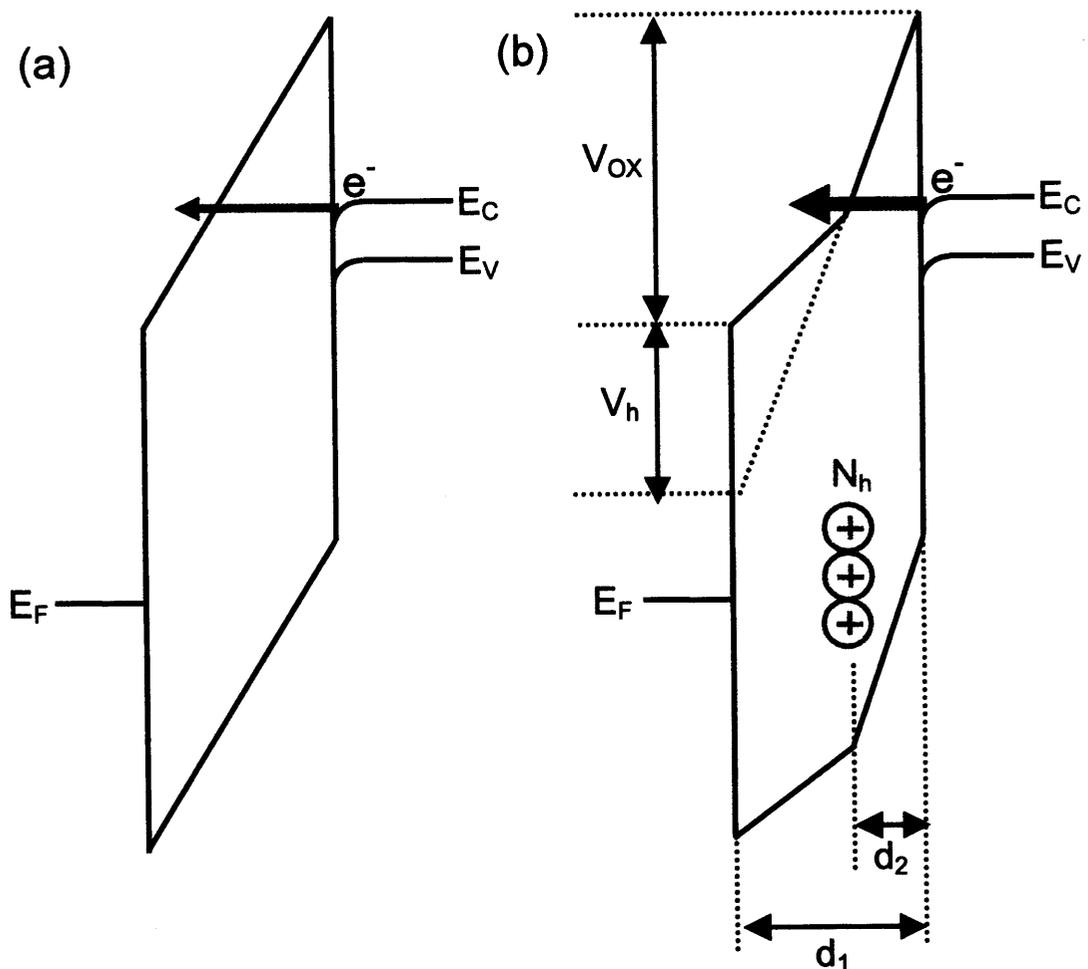


図 5.14 トラップされたホールによるゲート酸化膜のエネルギーバンド図の変化。

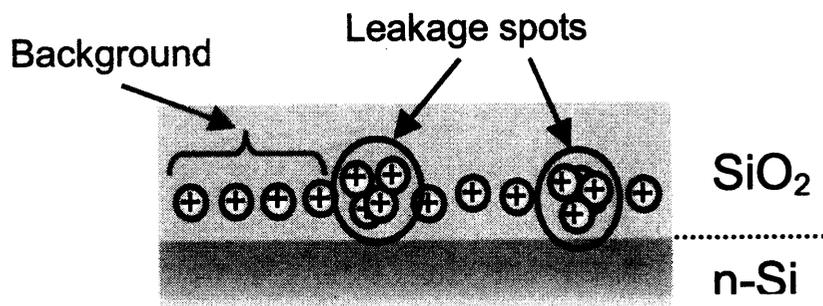


図 5.15 ストレスを印加した酸化膜にトラップされたホールの模式図。

## 5.5 ストレス誘起欠陥からのホールのデトラップ現象

図 5.16 はストレスを印加したゲート酸化膜に対して、一定の基板電圧(-5 V)で同一箇所を繰り返し C-AFM 観察したときの電流像を示している。スキャン回数の増加に伴い、リークスポットの数および強度が減少していることがわかる。図 5.17 は図 5.16 において見られたリークスポット(SpotA および SpotB)とバックグラウンド領域のリーク電流値の時間変化を示している。ここで、横軸の時間  $t$  は、1 回のスキャン時間およびスキャン速度から計算した電流測定時間である。リークスポットおよびバックグラウンドの両方の領域において、測定時間の増加に伴ってリーク電流の減少が見られている。前節で述べたとおり、ストレス印加したゲート酸化膜のリーク電流スポットおよびバックグラウンド領域におけるリーク電流は、膜中にトラップされたホールによって増大された FN トンネル電流であると考えられる。したがって、図 5.17 に見られた C-AFM 観察の繰り返しによるリーク電流の減少は C-AFM 観察によって膜中のホールがデトラップされたことを示唆していると考えられる。

図 5.18 は、図 5.16 の電流像において観測されたリークスポットの電流値の時間依存性である。個々のリークスポットにおいて、リーク電流の減少速度が異なることがわかる。このリーク電流量は(5.1)式によって FN トンネル電流の電圧シフト量に変換し、また、(5.3)式を用いて膜中にトラップされているホールの量を見積もることが出来る。図 5.19 は膜中にトラップされたホールの時間変化である。ここで、縦軸は酸化膜中にトラップされているホールの量、横軸は時間である。個々のリークスポットにトラップされたホールは、異なる時定数  $\tau$  により減少することがわかる。このとき  $\tau$  のばらつきは 21.6 ms から 71.5 ms であった。これらの  $\tau$  のばらつきは、トラップされたホールの空間的な分布または、エネルギー的な分布に起因すると考えられる。これらの現象は前節で解説した MOS キャパシタの I-V 特性、I-t 特性にも見られており、C-AFM を用いることで、デバ

イスレベルで発生している現象を非常によい空間分解能で局所的に評価できたことを示している。図 5.20 はホールデトラップ現象の模式図を示す。ホールが減少するメカニズムは現時点では明らかでない。

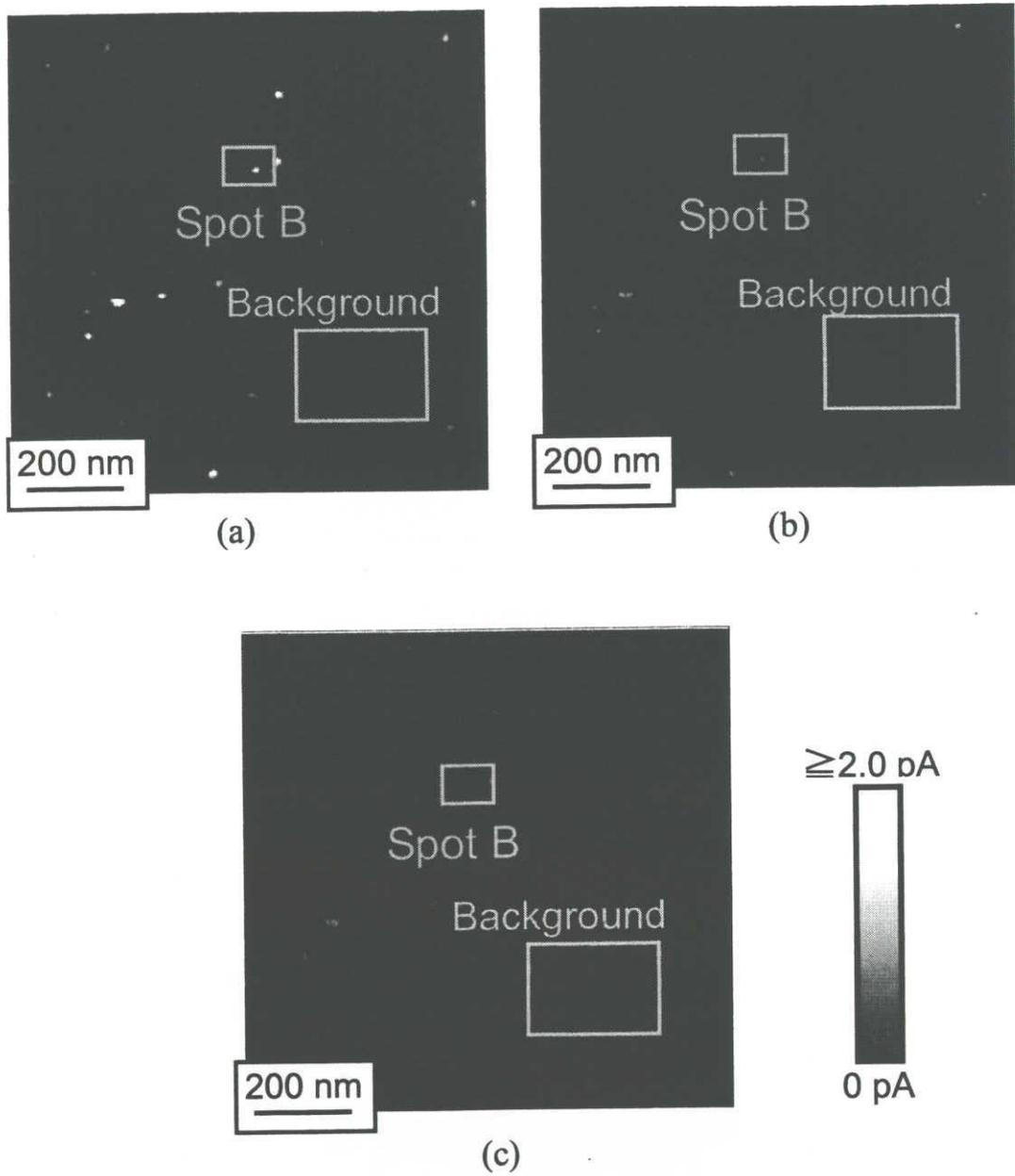


図 5.16 ストレスを印加した酸化膜を同一箇所にて一定電圧で繰り返しスキャンしたときの電流像。(a)1 回目のスキャン、(b)2 回目のスキャンおよび(c)5 回目のスキャン(Spot A および Spot B、Background はそれぞれ同じ領域を示す)。

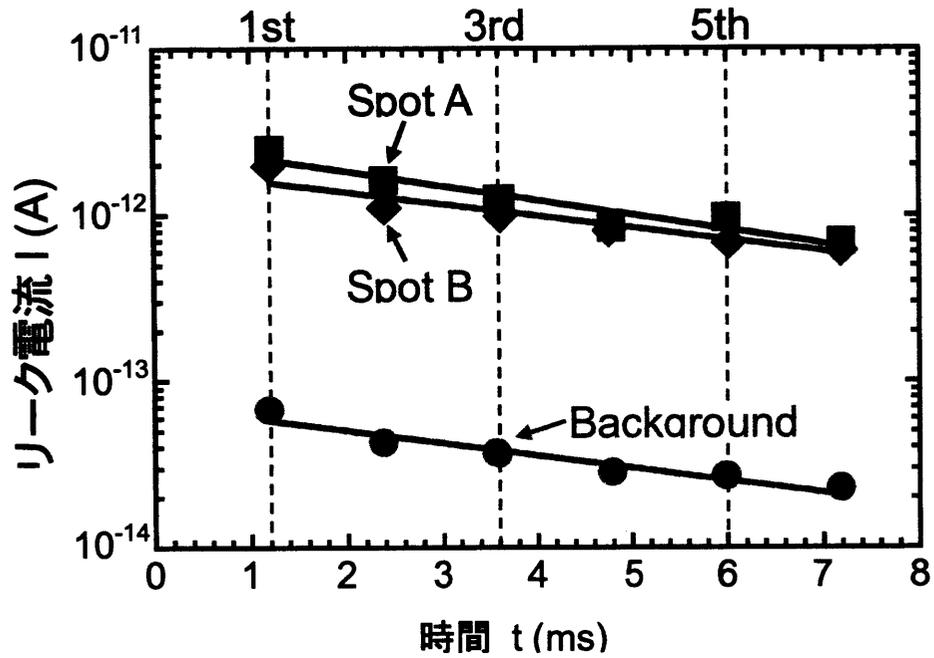


図 5.17 リーク電流値の時間変化

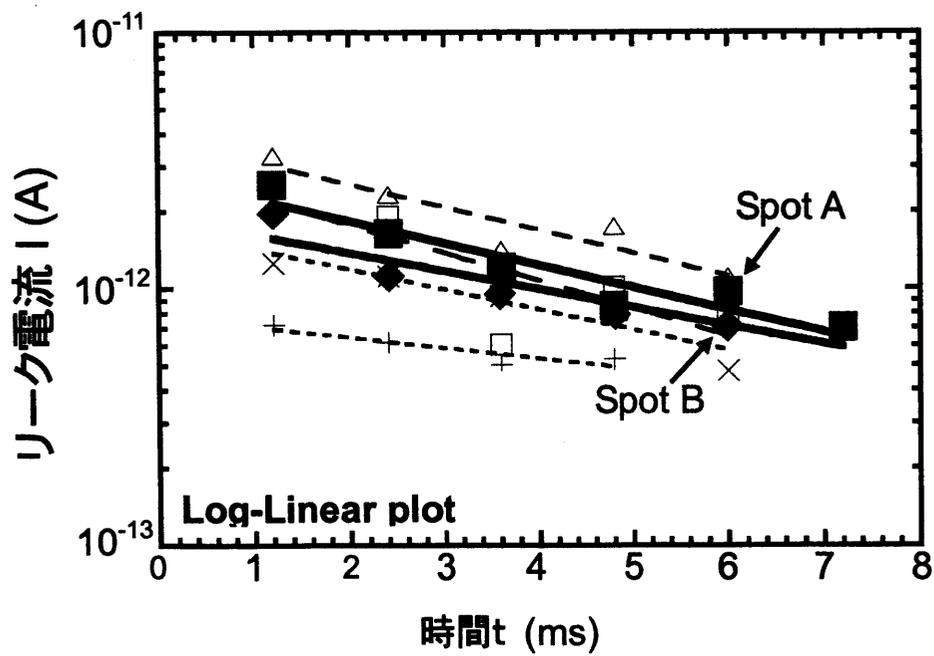


図 5.18 リークスポットにおける電流値の時間依存性

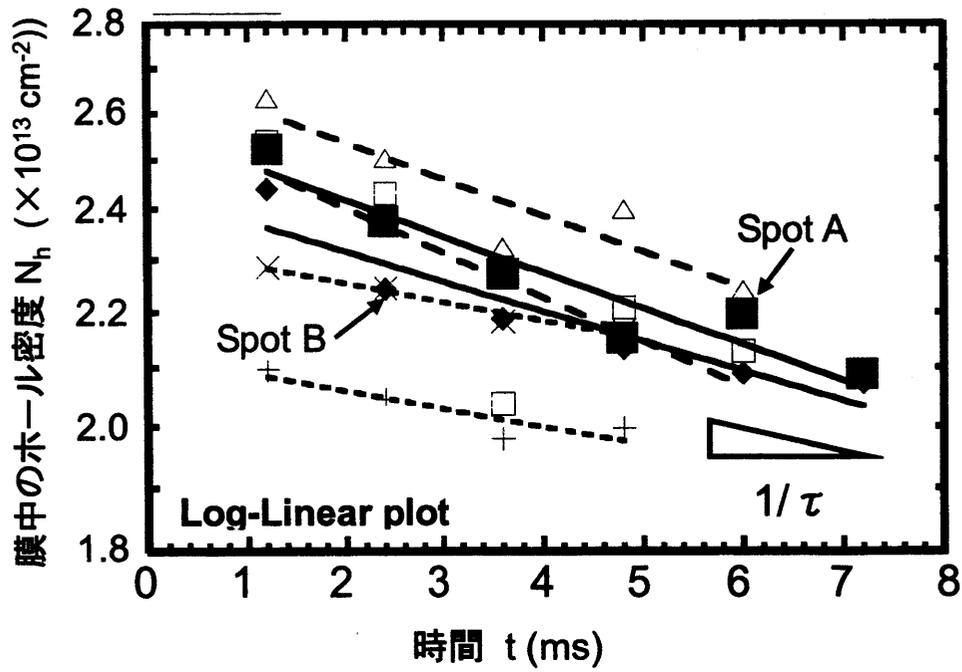


図 5.19 個々のリークスポットにおける電流値の時間依存性

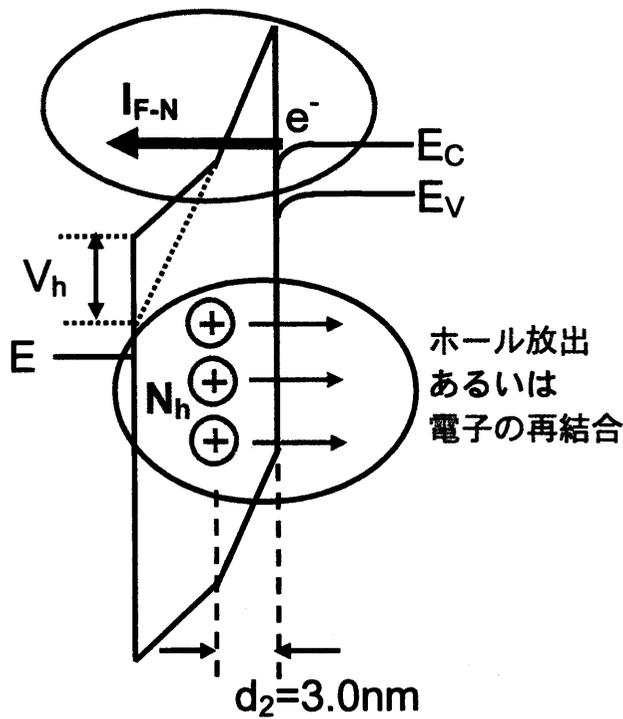


図 5.20 ホールデトラップ現象の模式図

## 5.6 ストレス誘起欠陥へのホールの再注入

図 5.21(a)、(b)および(c)は図 5.16 と同様に、ストレスを印加したゲート酸化膜に対して、一定の基板電圧で同一箇所を繰り返し C-AFM 観察した電流像である。基板電圧は-6 V であり、前節の実験結果(図 5.14)に対してやや高い基板電圧を用いている。これは酸化膜エッチング後のゲート酸化膜の膜厚が 0.3 nm 厚くなったことに対して、酸化膜にかかる電界を等しくするために電圧を調節したことによる。前節同様、C-AFM 観察の繰り返しにおいて、同じ位置にリークスポットが観測され、その強度が徐々に減少する様子が見られる。リークスポットの消失後(図 5.21(c)取得後)、基板電圧を+9 V として C-AFM 観察することにより、AFM のプローブを用いて電氣的ストレスを再印加した。このとき、電界方向は MOS キャパシタへのストレス印加時と同じであり、C-AFM プローブから基板に電子が注入されている。その後、基板バイアス-6 V で図 5.21(c)においてリークスポットが消失した箇所と同一箇所に、再びリークスポットが観測された。また、再現したリークスポットの他に新たなリークスポットが出現した。図 5.22 は図 5.21 で観測されたリークスポットにおける電流値の時間変化を表す。C-AFM 観察で一旦減少したリークスポットの電流値がプローブによるストレスの再印加によって、増加することがわかる。しかしバックグラウンド領域においては、リーク電流の増加は見られなかった。ストレスの再印加によるリーク電流の増加は、再びホールがトラップされたことを示していると考えられる。このとき、プローブによるストレス印加時間は約 1.2 ms であった。したがって、リークスポット領域に存在するストレス誘起欠陥ではわずかな時間でホールが再トラップしやすく、バックグラウンド領域ではホールをトラップしにくいと考えられる。一方、ストレスを印加した MOS キャパシタにおいて、ストレスの再印加によって再びリーク電流が増加することを 5.1.2 節で述べた。前述とおり MOS キャパシタにおける I-V および C-V 特性は、主にバックグラウンドにトラ

ップされたホールに起因していると考えられる。したがって、MOS キャパシタにおけるストレス再印加前後の結果は、バックグラウンド領域においても、ストレスの再印加によってホールが再びトラップされることを示している。このようなストレス再印加に対する実験結果の相違は、ストレス再印加の時間に起因すると考えられる。MOS キャパシタにおけるストレス再印加時間が1秒間なのに対し、プローブによるストレスの印加時間は約1.2 ms程度と非常に短い。したがって、MOS キャパシタにおけるストレスの再印加ではバックグラウンド領域に再びホールをトラップさせうるに十分な時間があったのに対し、プローブによるストレス再印加は、約3桁も時間が短いために、ホールをトラップしやすいリークスポット領域のみでホールが再びトラップされたと考えられる。

これらの結果は、バックグラウンド領域に存在するストレス誘起欠陥とリークスポットにおけるストレス誘起欠陥が異なる捕獲断面積を持つことに起因していると考えられる。すなわち、バックグラウンド領域とリークスポット領域で異なる欠陥構造を持つと考えられる。

図5.23は、ストレス再印加前後での、リークスポットの電流値の時間変化を示している。基板電圧は測定時には-5 V、ストレスの再印加時は+7 Vとした。ストレス再印加後に再現したリークスポット、新たに発生したリークスポット共にC-AFM観察の繰り返しによって再び電流値が減少してくことがわかる。このことは、酸化膜中にストレス誘起された欠陥は構造的に安定であり、可逆的にホールのトラップとデトラップが起きていることを示している。

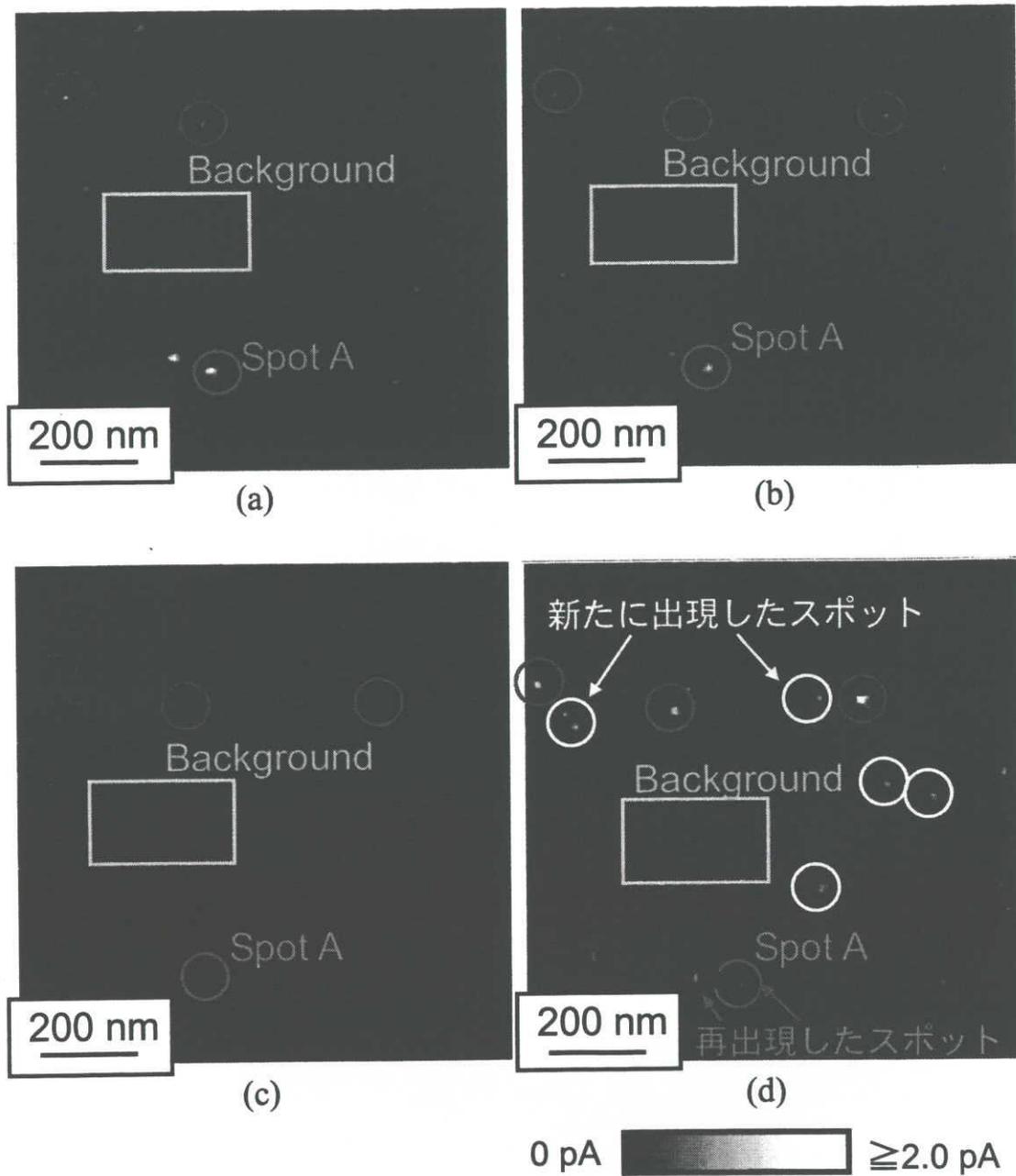


図 5.21 ストレスを印加した酸化膜に対して再びプローブによりストレス再印加した後の電流像。(a) 1 回目のスキャン、(b) 2 回目のスキャン、(c) 5 回目のスキャンおよび(d) プローブによるストレス再印加後。

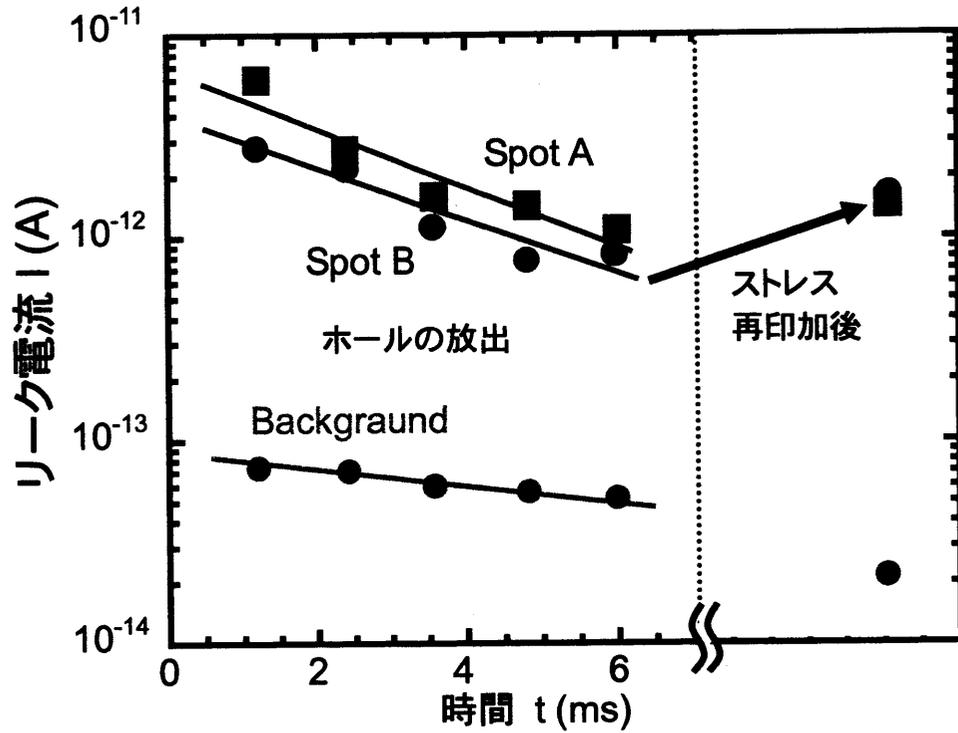


図 5.22 再印加によるリーク電流の変化

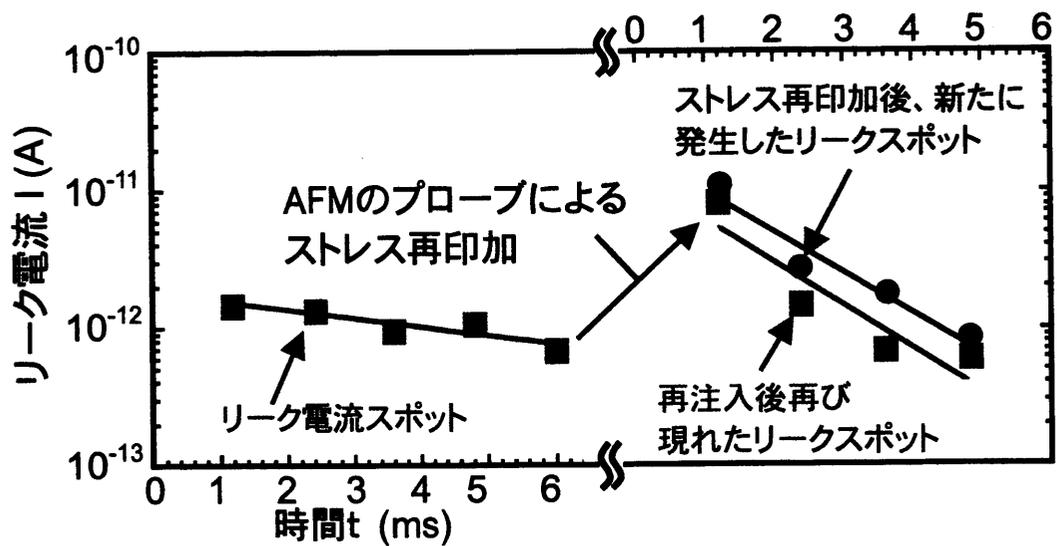


図 5.23 ストレス再印加により再び現れたリークスポットの電流値の時間変化

## 5.7 絶縁破壊現象の観察

図 5.24 は、同一箇所を一定の基板電圧で繰り返し C-AFM 観察した電流像である。観察には 5.6 節で用いたものと同じ試料を用いているが、基板バイアスは -5.5 V としており、5.6 節の場合よりも 0.5 V 高い。前節同様に、C-AFM 観察の繰り返しにおいて、同一箇所でもリークスポットが観測されることがわかる。このときのリークスポットおよびバックグラウンド領域のリーク電流の時間変化が図 5.25 である。基板バイアス -5 V の場合もあわせてプロットしている。図 5.24 中の Spot1 から Spot4 は、図 5.25 中リークスポット Spot 1 から Spot 4 に対応している。バックグラウンド領域では、-5 V および -5.5 V の両方の場合においてリーク電流が減少しており、ホールのデトラップが生じていることがわかる。一方、リーク電流スポットでは、基板電圧 -5 V の場合は全て電流値が減少傾向を示しホールがデトラップされているのに対し、-5.5 V の場合ではリーク電流が増加することがわかった。また、更に、C-AFM 観察を繰り返すと、これらのリークスポットにおいて、ブレイクダウンが発生する(図 5.24(d))。したがって、今回のストレス印加条件および酸化膜厚においては、ブレイクダウンはリークスポットの領域で発生することがわかった。パーコレーションモデルでは、面内に均一に欠陥が生成されると考えられているが<sup>[9]</sup>、バックグラウンド領域とリークスポット領域で異なる電流の挙動を示すことから、絶縁膜劣化は不均一であると考えられる。また、リークスポット領域で発生するこのブレイクダウンは、必ずしも初期に大きなリーク電流が流れているスポットで発生するとは限らない。このことも、パーコレーションモデルでは説明できない。一方、ストレスを印加していない酸化膜においても、基板電圧 -7 V で同一箇所を連続スキャンすることによってブレイクダウン現象が確認できる(図 5.26)。しかし、ストレス印加した酸化膜の場合とは異なり、ブレイクダウン現象が発生する前に一切前兆となるリークスポットなどの現象は観測されなかった。したがって、ストレス印

## 第5章 電流検出型原子間力顕微鏡法によるゲート絶縁膜の評価

加していない酸化膜で見られたストレス誘起欠陥に起因しない真性的な絶縁破壊である可能性がある。これらのブレイクダウン発生メカニズムメカニズムは現在考察中である。

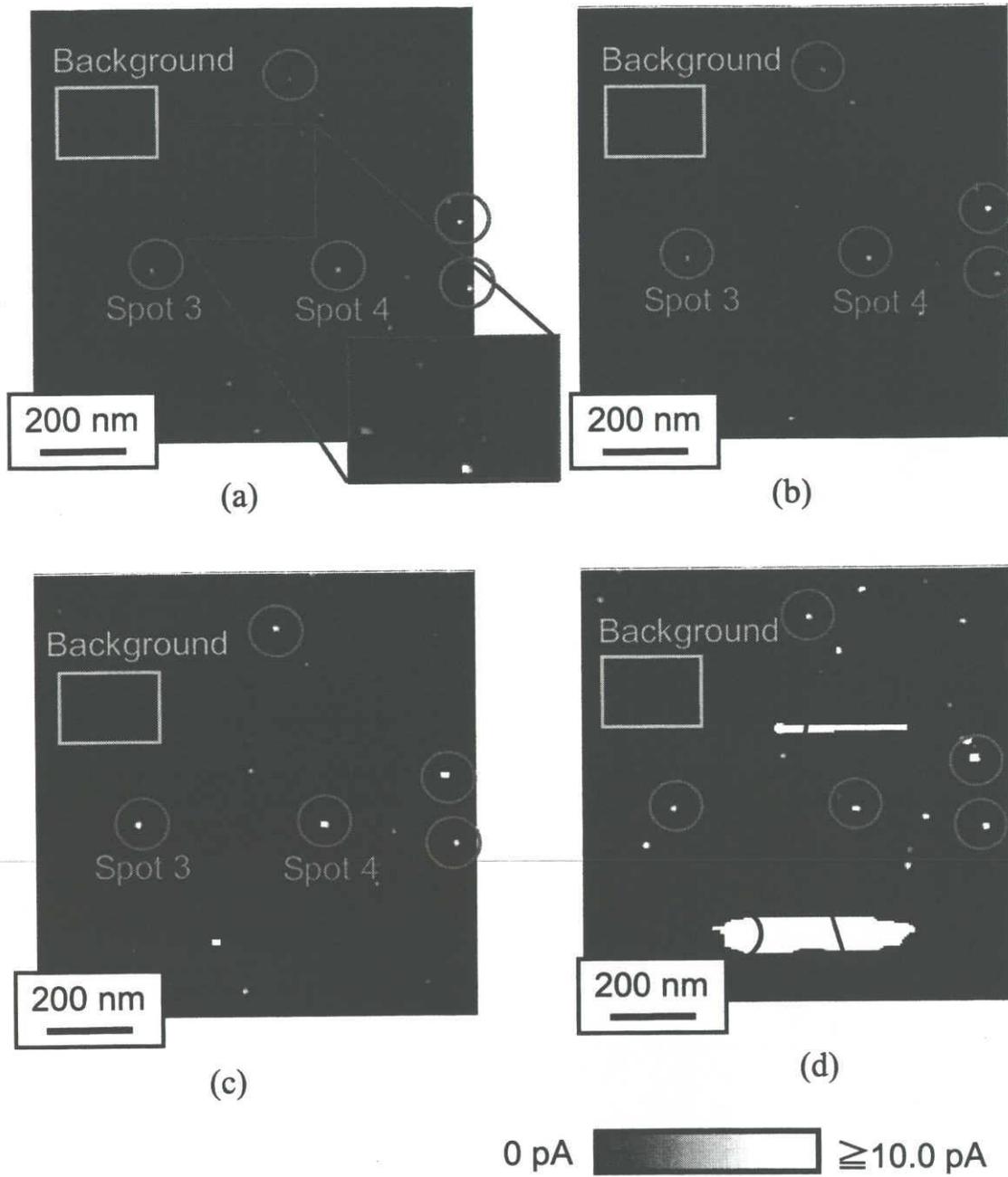


図 5.24 ストレスを印加したゲート酸化膜において、同一領域で繰り返し C-AFM 観察した場合のブレイクダウン現象。(a)1 回目のスキャン、(b)2 回目のスキャン、(c)3 回目のスキャンおよび(d)4 回目のスキャン。

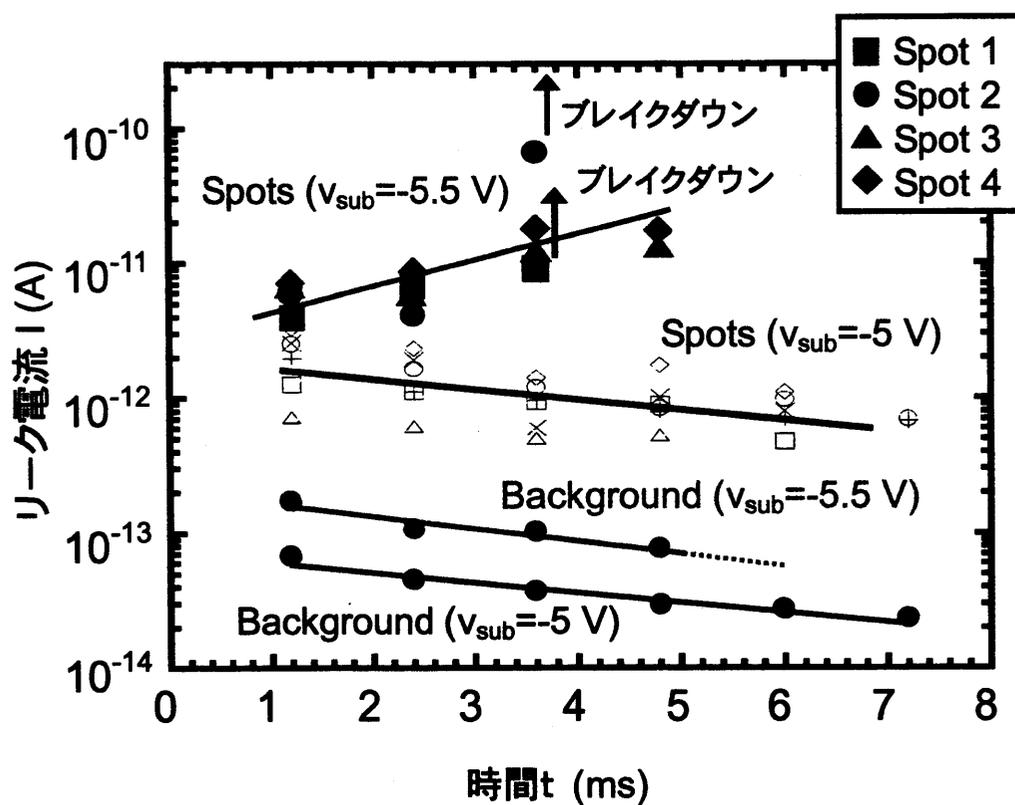


図 5.25 ストレスを印加したゲート絶縁膜における高電圧を加えた場合のリーク電流の時間変化

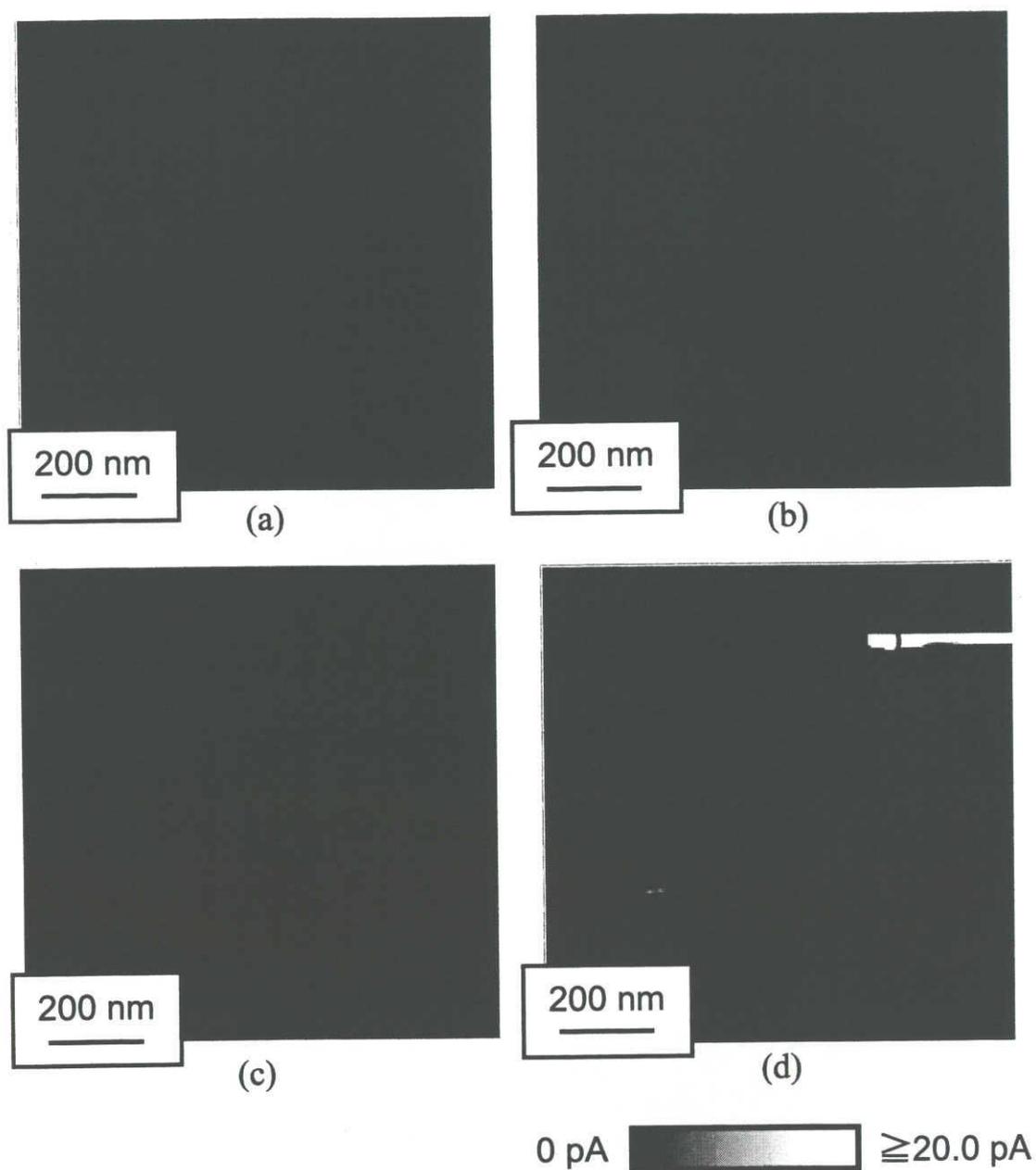


図 5.26 ストレスを印加していないゲート絶縁膜に高電圧を加えた場合のブレイクダウン現象。(a)3 回目のスキャン、(b)4 回目のスキャン、(c)5 回目のスキャンおよび(d)6 回目のスキャン。

## 5.10 参考文献

- [1] E. F. Runnion, S. M. Gladstone, R. S. Scott, D. J. Dumin, L. Lie and J. S. Mitros, IEEE Trans. Electron Devices, **44** (1997) 993
- [2] P. Samana and C. K. Sarkar: J. Appl. Phys. **83** (1998) 2662
- [3] Q. D. M. Khosru, N. Yasuda, K. Taniguch and C. Hamaguchi: J. Appl. Phys. **73** (1994) 4738.
- [4] M-S. Liang, C. Chang, Y. T. Yeow and C. Hu: IEEE Trans. Electron devices **ED-31** (1984) 1238.
- [5] D. J. Dimaria, Z. A. Weinberg and J. M. Aitken: J. Appl. Phys. **48** (1977) 898.
- [6] K. Yamabe, L. Kai and M. Murata: Jan. J. Appl. Phys. **38** (1999) L1453
- [7] K. Ohmori, H. Ikeda, A. Sakai, S. Zaima and Y. Yasuda, Proc. of the 4th int. Symp. on the Physics and Chemistry of SiO<sub>2</sub> and the Si-SiO<sub>2</sub> interface (2000) 345
- [8] P. samanta. Solid-State electronics **43** (1999) 1677
- [9] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. roussel and H. E. Maes, IEEE Trans. Electron Devices. **45** (1998) 904.

## 第6章 結論

### 6.1 結論

本研究では、走査型トンネル顕微鏡 (STM) および電流検出型原子間力顕微鏡 (C-AFM) を用いて、極薄 SiO<sub>2</sub> 膜ならびにゲート SiO<sub>2</sub> 膜の劣化現象を原子スケールまたはナノスケールで観察し、劣化機構の解明を行った。STM 及び走査型トンネル分光法 (STS) を用いた研究では、極薄シリコン酸化膜中での電荷トラップ現象を原子尺度で評価し、有益な知見を得ることができた。一方、C-AFM を用いた研究では、MOS キャパシタのゲート絶縁膜において動作時に発生する局所的な劣化を、ナノスケール観察するための一連の手法を開発した。また、それを用いることで、局所領域で起こる電荷充放電とそれに伴う局所リーク電流の変化、絶縁破壊の発生など、多くの新しい知見が得られた。これらは、従来の MOS デバイス特性から得られる平均的情報の考察では得られないものばかりである。今後、デバイスサイズがナノスケール領域に入っている次世代 ULSI デバイスの研究開発においては、走査プローブ顕微鏡を用いたゲート絶縁膜の性能、信頼性評価は必須のものと考えられる。以下に、本研究において得られた研究成果を纏める。

#### 1) 走査トンネル顕微鏡を用いた極薄シリコン酸化膜の劣化現象の観察

Si(100)面に形成した極薄シリコン酸化膜に対して、STM 探針を用いて電子を注入し、局所的な電子状態の変化について検討した。探針を用いた電子注入により、STM 像に輝点が現れた。輝点密度は、電子注入の温度、電圧、及び注入量に依存したが、 $1.3 \times 10^{13} \text{ cm}^{-2}$  の密度において飽和した。STS 測定から、この輝点は酸化膜の形状的なラフネスを反映したものではなく、酸化膜

中の局所的な電子状態の変化に起因していた。注入による I-V 特性のシフトから、その輝点は酸化膜中に存在する正電荷トラップであることがわかった。さらに、I-V 特性のシフト量は、この輝点が単一の正孔を捕獲したものであることを示唆していた。

シリコン酸化膜中の正電荷トラップの起源及び生成機構について検討した。STM 像において輝点として観察される酸化膜中の正電荷トラップは、酸化前に存在する表面ダイマー欠損と密接な相関があることを見出した。正電荷トラップは、酸化直後に既に存在するものと電子注入によって現れるものの2種類に区別することができた。酸化前表面の欠陥密度が異なる試料に形成した酸化膜に対して電子注入を施した結果、酸化直後の酸化膜中に存在する正電荷トラップの起源はクラスター化したダイマー欠損であり、電子注入によって生成される正電荷トラップの起源は Si(100)-2x1 表面に存在する点欠陥であることが示唆された。

注入領域と輝点密度分布の関係から、本実験における正電荷トラップの生成機構について検討した。その結果、電子注入によって現れた正電荷トラップは、STM 探針から SiO<sub>2</sub> 中で散乱されることなく Si 中に到達した電子によって電子・正孔対が生成され、その正孔が Si 基板を拡散し、Si/SiO<sub>2</sub> 界面に潜在的に存在しているトラップサイトに捕獲されたものであると考えられた。

## 2) 電流検出型原子間力顕微鏡法によるゲート SiO<sub>2</sub> 膜の評価

定電流ストレスを印加し、リーク電流の増大を確認した MOS キャパシタのゲート酸化膜を C-AFM 観察する手法を開発した。また、この手法により、実デバイス動作時に発生した酸化膜劣化をナノスケールの分解能で直接評価した。定電流ストレスを印加したゲート酸化膜の電流像において、周囲よりも一桁以上

電流値の高いナノスケールサイズのリーク電流スポットが観察された。このリークスポットは、酸化膜中のストレス誘起欠陥にトラップされたホールに起因すると考えられる。また、C-AFM 観察によって得られた局所 I-V 特性から、リークスポットおよびバックグラウンド領域のリーク伝導メカニズムは、電圧シフトを伴う F-N トンネル伝導で説明できることがわかった。ストレス印加したゲート酸化膜では、リークスポットおよびバックグラウンド領域にホールがトラップされており、このホールが形成する局所電界によって FN トンネル電流が増大していると考えられる。また、リークスポットにはより多くのホールがトラップされている。一方、リークスポットがゲート領域全体に占める面積割合は非常に小さく、実際のデバイス劣化特性は主にバックグラウンドに均一に分布しているホールが寄与していると考えられる。

同一エリアで C-AFM 観察を繰り返すと、リークスポット、バックグラウンドの両方の領域において、リーク電流が減少する傾向が見られた。個々のリークスポットにおいて電流値はそれぞれ異なる割合で減少した。これはストレス誘起欠陥からのホールのデトラップ現象において、減少速度の時定数が個々のリークスポットで異なるためと考えられる。更に、これらの時定数のばらつきは、ストレス誘起欠陥の深さ方向の位置の分布、あるいはエネルギー準位の分布に起因していると考えられる。

C-AFM 観察の繰り返しによるホールのデトラップ後、再び C-AFM のプローブを用いてストレスを再印加すると、リークスポット領域のストレス誘起欠陥に再びホールがトラップされた。再びトラップされたホールは C-AFM 観察を繰り返すことによりデトラップする。一方バックグラウンド領域では、ホールはトラップされなかった。これは、バックグラウンド領域とスポット領域において異なる欠陥構造を持つためと考えられる。また、これらのトラップ-デトラップ現象は可逆的現象でありストレス誘起欠陥はホールの捕獲、放出を繰り返しても安定であることがわかった。

基板に更に高電界を印加して C-AFM 観察を行うと、バックグラウンド領域ではホールのデトラップが起こるのに対し、リークスポット領域ではリーク電流が増加することがわかった。更に繰り返し C-AFM 観察すると、これらのリークスポットは絶縁破壊に至る。一方、ストレスを印加していない酸化膜では絶縁破壊の前にリークスポットのような前兆は見られなかった。絶縁破壊メカニズムの詳細は現在考察中である。

本研究では、実デバイス動作時に発生した酸化膜劣化をナノスケールの分解能で直接評価する手法を開発し、ストレス誘起欠陥に起因したホールの振る舞いを研究してきた。また、ブレイクダウン現象の局所観察を行った。これらの成果は、デバイスレベルの劣化現象を初めて局所的に明らかにしたものである。したがって、これらの研究は 1960 年代から始まり、未だ議論が続けられている MOS デバイスのゲート酸化膜劣化機構およびその原因を解明するための有力な手法であると考えられる。

## 6.2 今後の研究計画

本研究では、デバイスレベルでのゲート酸化膜劣化現象に対して、局所的に評価可能な手法を開発し、その機構を明らかにした。本手法を用いることで、今後、次のような研究を行う予定である。

### 1) 酸化膜劣化に対する水素の影響

酸化膜中に存在する水素について、その脱離によって酸化膜劣化が促進されるという報告がある<sup>[1]</sup>。一方、水素雰囲気での熱処理に改善効果があることも知られている<sup>[2]</sup>。そこで、C-AFM 観察前に酸化膜を水素暴露し、その変化を観察することで、酸化膜劣化に対する水素の寄与を明らかにする。また、他の雰囲気ガスや熱処理の効果についても、その影響を明らかにする。

### 2) ストレス誘起欠陥からのホール放出過程の解析

ストレス誘起欠陥からのホール放出は、低電界領域では Tunnel front model<sup>[3]</sup>で説明されている。Tunnel front model は、膜中のホールが Si 基板の価電子帯にトンネルすることでホールの放出を説明している。しかし、高電界領域では、Si 基板から FN トンネルした電子が、ストレス誘起欠陥のホールと対消滅する過程も考えられることから、詳細は明らかになっていない。本研究においても、ホールの放出機構を同定するには至らなかった。そこで、低温で C-AFM 観察することでホール放出過程の温度依存性を明らかにし、欠陥のエネルギー準位を同定する。更に、デバイスレベルでのホールの放出速度解析と比較することで、高電界領域でのホールの放出過程を明らかにする。

### 3) 酸化膜中に存在する電荷の直接観察

ストレスを印加したゲート酸化膜中には、ホールの他に電子もトラップされていると考えられる。そこで膜中の電荷分布が直接観察可能な走査型ケルビンプローブ顕微鏡法(Kelvin Probe-force Microscopy: KFM)を用いて、これらの電荷を直接観察し、電荷分布とリーク電流分布の関係を明らかにする。

### 4) 極薄ゲート酸化膜の劣化機構の解析

本論文では、メモリデバイスで良く用いられる厚さ 10 nm 程度のゲート酸化膜の劣化機構を解明した。一方、演算プロセッサ用 MOSFET では、現在、5nm から 2 nm のゲート酸化膜が主に用いられている。これらの極薄ゲート酸化膜では、FN トンネルは起こらず、直接トンネルが支配的となるため、その劣化機構が 10 nm のゲート酸化膜とは異なると報告されている<sup>[4]</sup>。極薄ゲート酸化膜を C-AFM 観察することで、その劣化機構を明らかにする。

### 5) 高誘電率材料の劣化機構の解析

近年、MOSFET の更なる微細化のために、シリコン酸化膜に代わる新たなゲート絶縁膜材料として、 $\text{HfO}_2$  などの高誘電率材料の導入が期待されている。しかし、これらの高誘電率材料はシリコン酸化膜とは異なる劣化特性を示しており<sup>[5]</sup>、その機構は明らかになっていない。今後、これら高誘電率材料に対しても、C-AFM 観察による劣化現象のナノスケール観察を行う。

## 6.2 参考文献

- [1] D. J. DiMaria, E. Cartier, and D. A. Buchanan. *J. Appl Phys.* **80** (1996) 304.
- [2] 中村哲郎他 集積回路技術の実際 (産業図書)
- [3] E. F. Runnion, S. M. Gladstone, R. S. Scott, D. J. Dumin, L. lie and J. C. Mitros.  
*IEEE Trans. Electron Devices* **44** (1997) 993
- [4] W. K. Chim and P. S. Lim. *J. Appl. Phys* **91** (2002) 1577
- [5] 平野泉他 薄膜シリコン酸化膜の形成・評価・信頼性(第9回研究会) (2004) 87

## APPENDIX

FN トンネル電流特性の電圧シフト量  $V_h$  の解説

図 A.1 はホールトラップを伴ったゲート酸化膜のバンド図である。このバンド図より、FN トンネル電流の電圧シフト量  $V_h$  とトラップされているホールの Si/SiO<sub>2</sub> 界面からの位置  $d_2$  を用いて、トラップされているホールの密度を計算する。

Si 基板 とトラップされたホールとの間の静電容量を  $C_1$  とし、ゲート電極とトラップされたホールとの間の静電容量を  $C_2$  とすると、 $C_1$ 、 $C_2$  はそれぞれ

$$C_1 = \frac{\epsilon_{ox}}{(d_1 - d_2)} \quad (A.1)$$

$$C_2 = \frac{\epsilon_{ox}}{d_2} \quad (A.2)$$

とあらわされる。ここで、 $d_1$  は酸化膜厚、 $\epsilon_{ox}$  は酸化膜の誘電率である。酸化膜の全容量を  $C_t$  とすると、膜中にホールが存在するときの  $d_2$  における酸化膜の電圧降下量  $V'$  は

$$V' = \frac{qN_h}{C_2} + \frac{qN d_2}{C_t d_1} \quad (A.3)$$

となる。ここで、 $N_h$  はトラップされたホールの量であり、 $N$  は膜中にホールが存在するときに金属側に誘起される電荷量である。また、膜中にホールが存在しないときの  $d_2$  における酸化膜の電圧降下量  $V''$  は

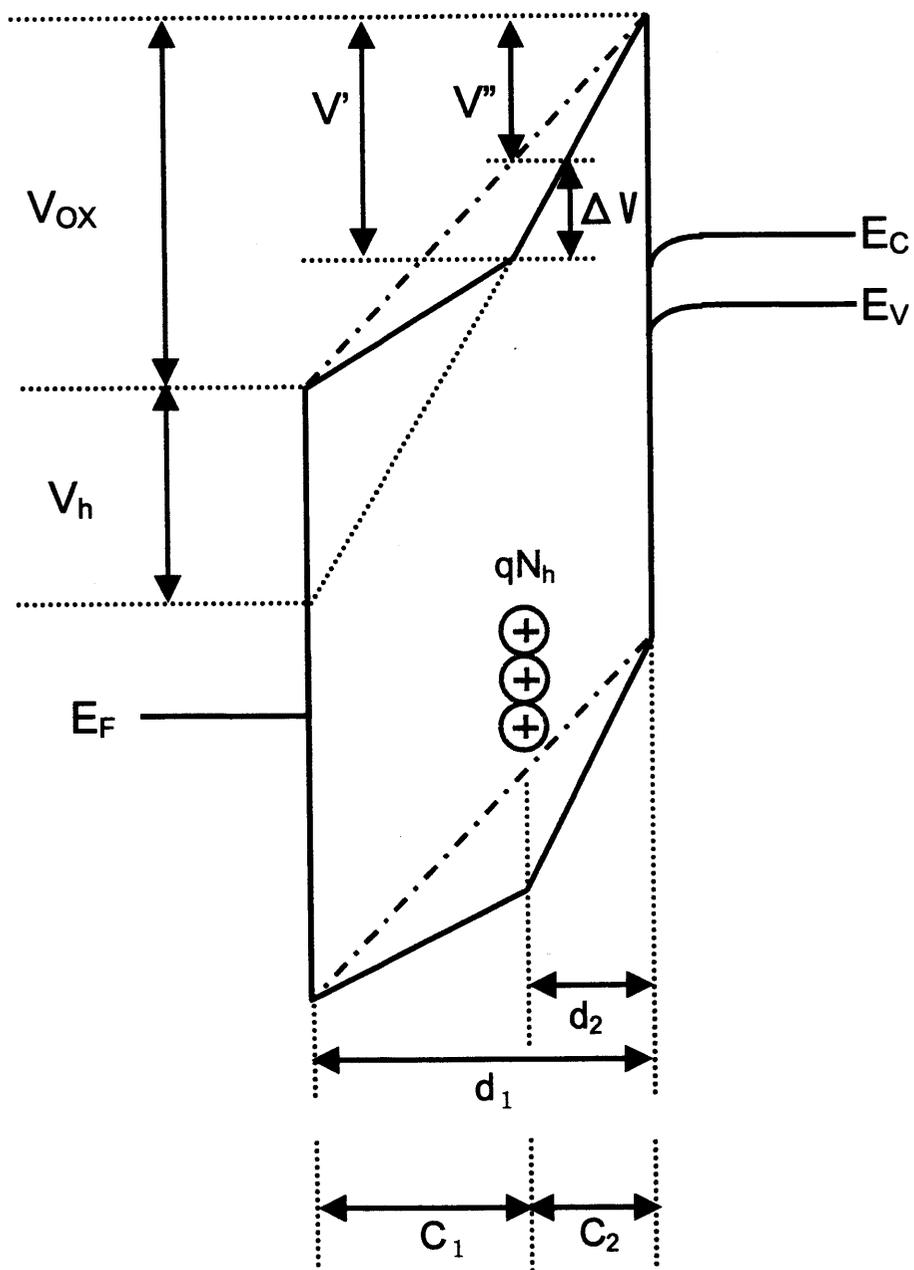


図 A.1 ホールトラップを伴ったゲート酸化膜のバンド図

$$V'' = \frac{qN_0 d_2}{C_t d_1} \quad (\text{A.4})$$

である。\$N\_0\$ は膜中にトラップが存在しないときに金属側に誘起される電荷量である。したがって、これらの電圧降下の差 \$\Delta V\$ は、

$$\begin{aligned} \Delta V = V' - V'' &= \frac{qN_h}{C_2} + \frac{qN}{C_t} \cdot \frac{d_2}{d_1} - \frac{qN_0}{C_t} \cdot \frac{d_2}{d_1} \\ &= \frac{qN_h}{C_2} + \frac{q}{C_t} \cdot \frac{d_2}{d_1} (N - N_0) \end{aligned} \quad (\text{A.5})$$

となる。酸化膜全体にかかる電圧 \$V\_{\text{ox}}\$ は

$$V_{\text{ox}} = \frac{qN_0}{C_t} = \frac{qN_h}{C_2} + \frac{qN}{C_t} \quad (\text{A.6})$$

であるから、(A6)式より、

$$\frac{q}{C_t} (N_0 - N) = \frac{qN}{C_t} \quad (\text{A.7})$$

が求められる。(A.7)式を(A.5)式に代入すると

$$\begin{aligned}\Delta V &= \frac{qN_h}{C_2} - \frac{d_2}{d_1} \cdot \frac{qN_h}{C_2} \\ &= \frac{qN_h}{C_2} \cdot \frac{d_1 - d_2}{d_2}\end{aligned}\tag{A.8}$$

となる。さらに(A.2)式を代入して

$$\Delta V = \frac{qN_h}{\frac{\epsilon_{OX}}{d_2}} \cdot \frac{d_1 - d_2}{d_2} = \frac{d_2(d_1 - d_2) \cdot qN_h}{\epsilon_{OX} \cdot d_1}\tag{A.9}$$

ここで、図 A.1 より  $\Delta V$  と  $V_h$  の関係は  $d_1$  と  $d_2$  の距離の比に比例するから、(A.9)式より、 $V_h$  は次のように求まる。

$$V_h = \frac{d_1}{d_2} \cdot \Delta V = \frac{(d_1 - d_2)qN_h}{\epsilon_{OX}}\tag{A.10}$$

したがって、酸化膜中にトラップされているホールの密度  $N_h$  は、

$$N_h = \frac{\epsilon_{OX} \cdot V_h}{(d_1 - d_2)} \cdot \frac{1}{q}\tag{A.11}$$

となる。

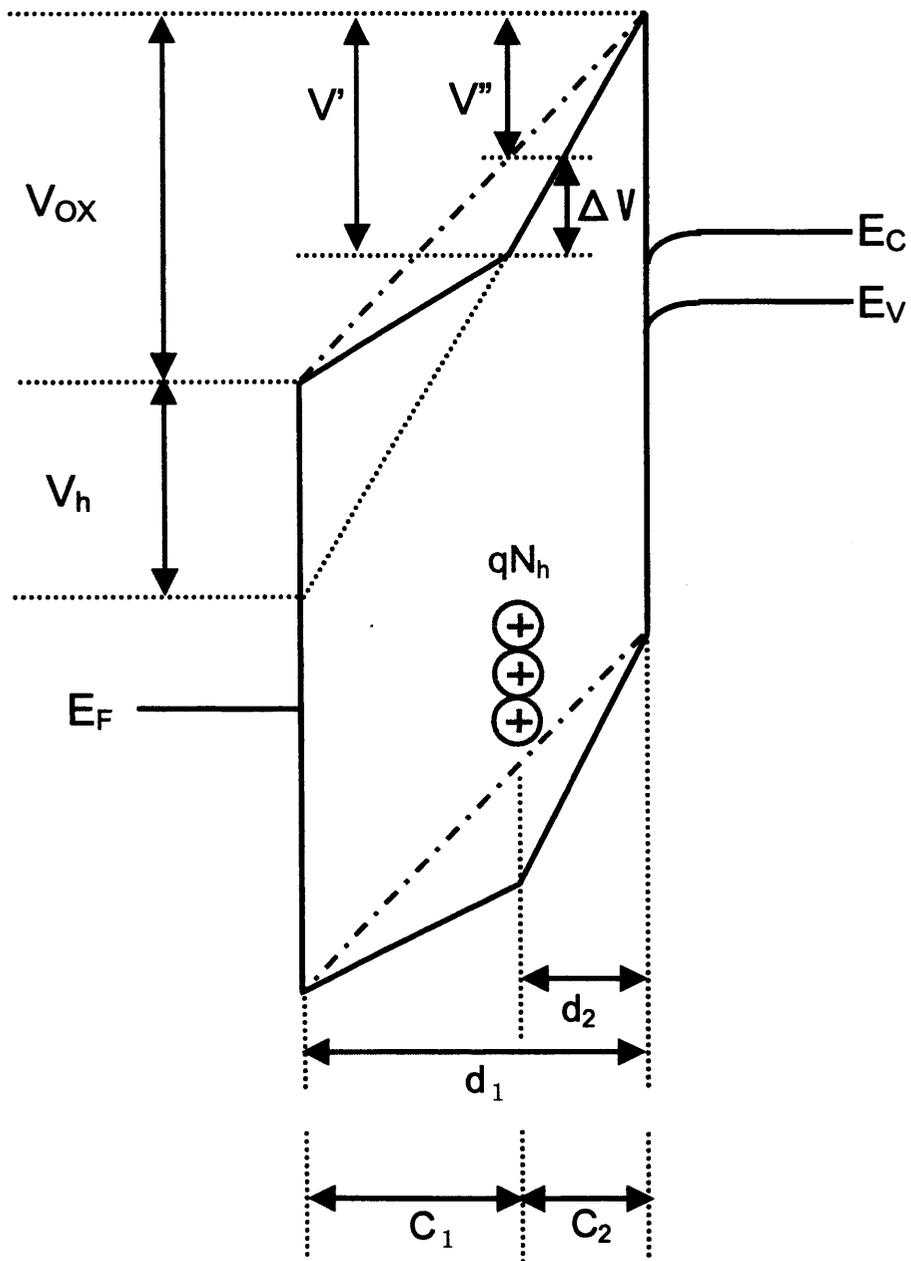


図 A.1 ホールトラップを伴ったゲート酸化膜のバンド図

$$V'' = \frac{qN_0 d_2}{C_t d_1} \quad (\text{A.4})$$

である。 $N_0$  は膜中にトラップが存在しないときに金属側に誘起される電荷量である。したがって、これらの電圧降下の差  $\Delta V$  は、

$$\begin{aligned} \Delta V = V' - V'' &= \frac{qN_h}{C_2} + \frac{qN}{C_t} \cdot \frac{d_2}{d_1} - \frac{qN_0}{C_t} \cdot \frac{d_2}{d_1} \\ &= \frac{qN_h}{C_2} + \frac{q}{C_t} \cdot \frac{d_2}{d_1} (N - N_0) \end{aligned} \quad (\text{A.5})$$

となる。酸化膜全体にかかる電圧  $V_{\text{ox}}$  は

$$V_{\text{ox}} = \frac{qN_0}{C_t} = \frac{qN_h}{C_2} + \frac{qN}{C_t} \quad (\text{A.6})$$

であるから、(A6)式より、

$$\frac{q}{C_t} (N_0 - N) = \frac{qN}{C_t} \quad (\text{A.7})$$

が求められる。(A.7)式を(A.5)式に代入すると

$$\begin{aligned}\Delta V &= \frac{qN_h}{C_2} - \frac{d_2}{d_1} \cdot \frac{qN_h}{C_2} \\ &= \frac{qN_h}{C_2} \cdot \frac{d_1 - d_2}{d_2}\end{aligned}\tag{A.8}$$

となる。さらに(A.2)式を代入して

$$\Delta V = \frac{qN_h}{\frac{\epsilon_{OX}}{d_2}} \cdot \frac{d_1 - d_2}{d_2} = \frac{d_2(d_1 - d_2) \cdot qN_h}{\epsilon_{OX} \cdot d_1}\tag{A.9}$$

ここで、図 A.1 より  $\Delta V$  と  $V_h$  の関係は  $d_1$  と  $d_2$  の距離の比に比例するから、(A.9) 式より、 $V_h$  は次のように求まる。

$$V_h = \frac{d_1}{d_2} \cdot \Delta V = \frac{(d_1 - d_2)qN_h}{\epsilon_{OX}}\tag{A.10}$$

したがって、酸化膜中にトラップされているホールの密度  $N_h$  は、

$$N_h = \frac{\epsilon_{OX} \cdot V_h}{(d_1 - d_2)} \cdot \frac{1}{q}\tag{A.11}$$

となる。