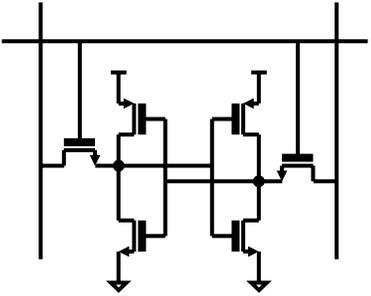
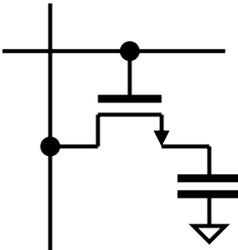
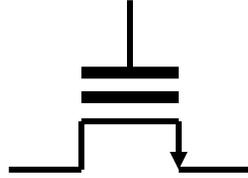


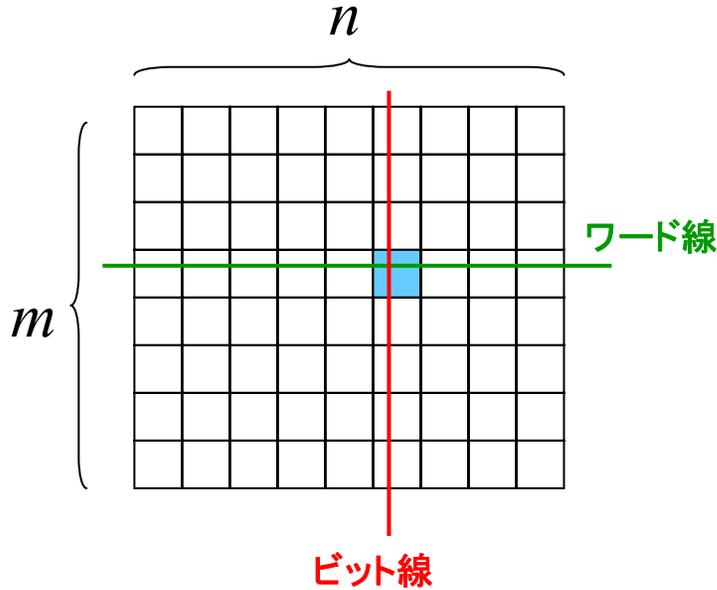
情報デバイス工学特論

第13回

CMOSメモリ集積回路(1)

半導体メモリ

	SRAM (Static Random Access Memory)	DRAM (Dynamic Random Access Memory)	FLASH
メモリセル			
特徴	高速 ロジック回路と同じ製法	高速・高密度	不揮発・高密度
用途	CPU内キャッシュ	コンピュータの主メモリ	デジタル・カメラ データ保存



メモリセル1個に1bitの情報を蓄える

メモリセルアレイ

- メモリセルを2次元マトリックス状に配置
- ワード線により1列を選択
- ビット線によりデータの書込・読出

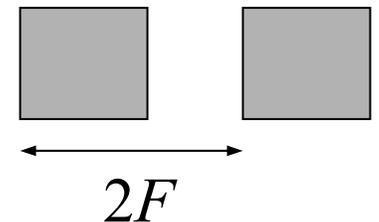
$$\begin{aligned} 4\text{Gbits} &= 2^{32} \text{ bits} \\ &= 65,536 \times 65,536 \end{aligned}$$

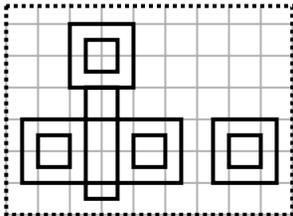
メモリセルをいかに小さく作れるかが
メモリ回路の最重要指針

メモリセルの大きさは微細加工技術に依存するので、
最小加工寸法で規格化して比較

最小加工寸法 (Minimum Feature Size)

$$F = (\text{パターン幅} + \text{パターン間隔})/2$$



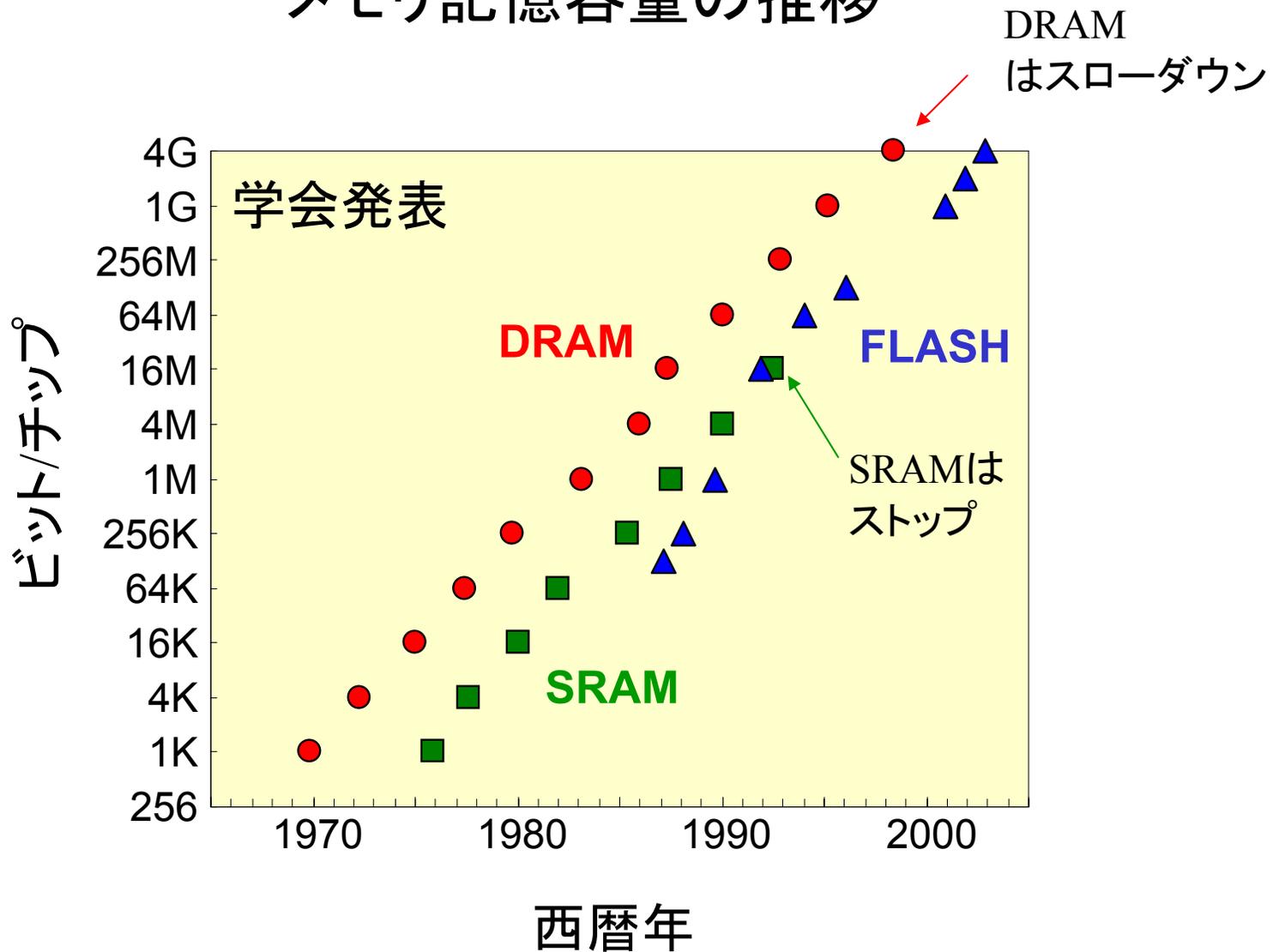


トランジスタ1個の面積 = $9F \times 6.5 F = 58.5 F^2$

メモリ	SRAM	DRAM	FLASH
メモリセル			
素子数	6	2	1
セル面積	$130 F^2$	$6 - 8 F^2$	$4 - 10 F^2$

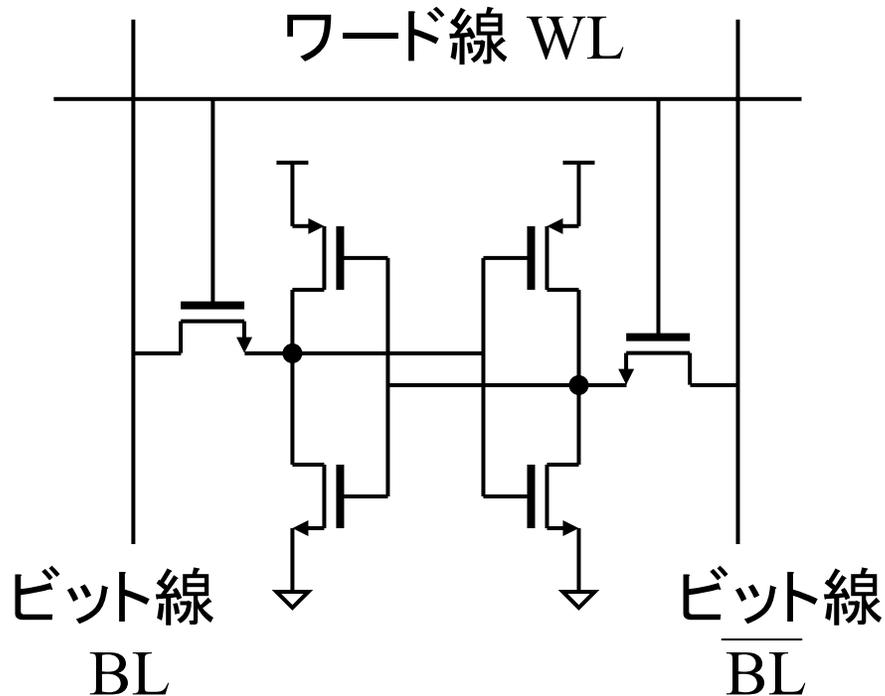
メモリセルではセル面積が小さくなるように
考えられる限り詰められている

メモリ記憶容量の推移



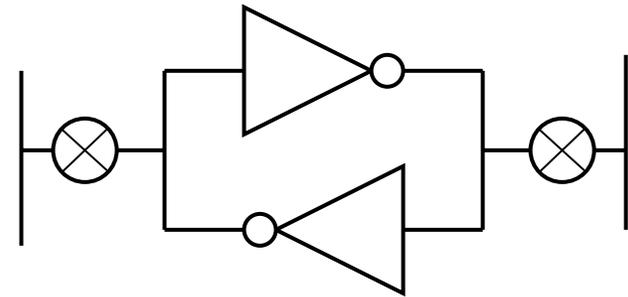
SRAM

Static Random Access Memory



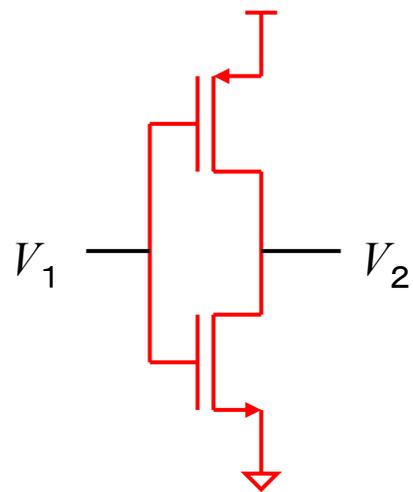
利点

- ・最も高速
- ・電源に繋がっている限り、記憶保持
- ・待機時の消費電力小
- ・ロジック回路と同一製造プロセス

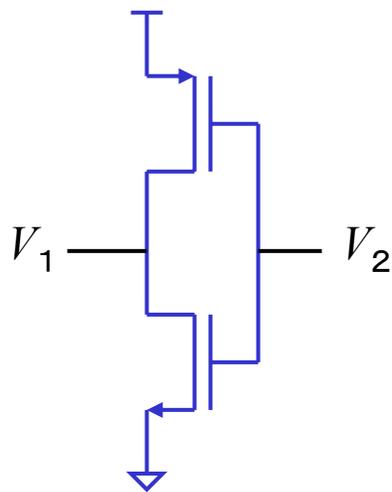
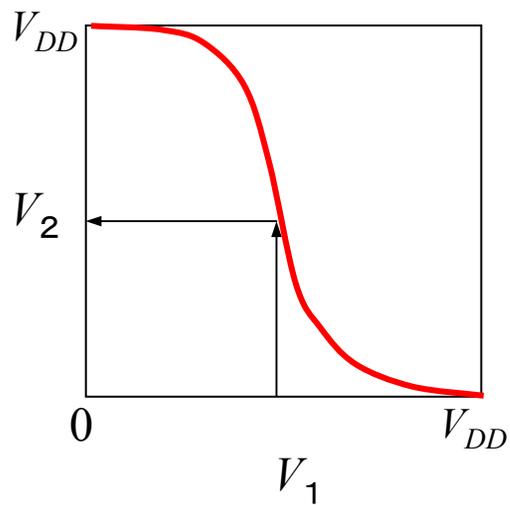


欠点

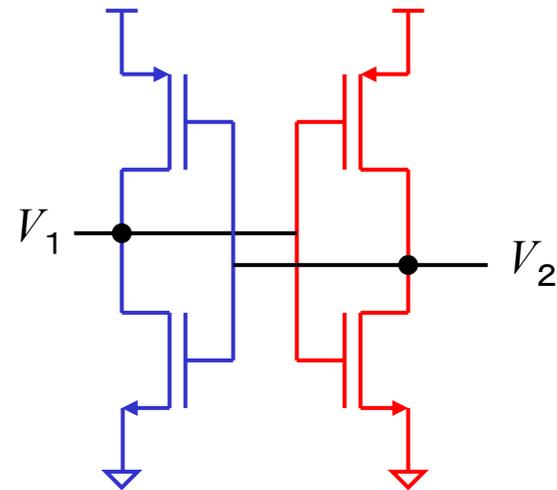
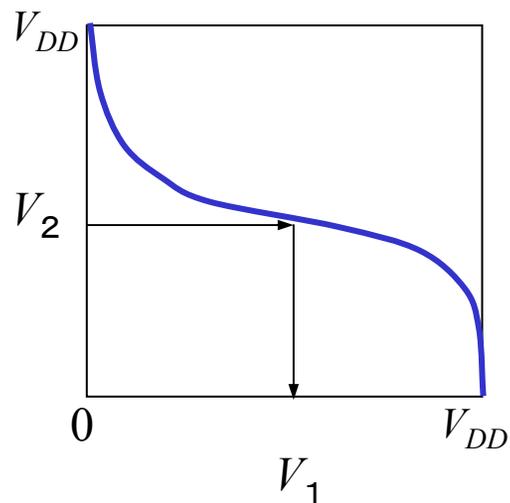
- ・1ビットにつき6つのトランジスタが必要→セル面積大
現在、32Mビット/チップ
↔ FLASH, DRAMに比べ
大容量化で遅れ



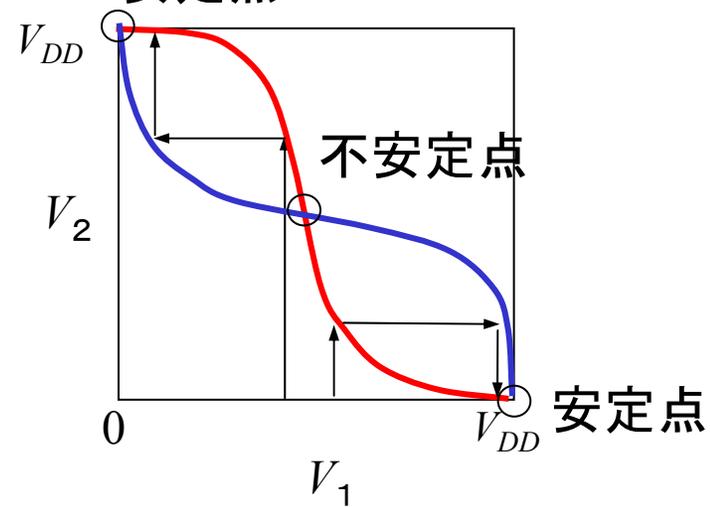
$$V_2 = f(V_1)$$



$$V_2 = f^{-1}(V_1)$$

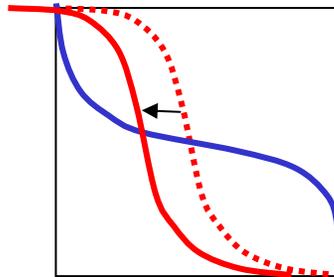
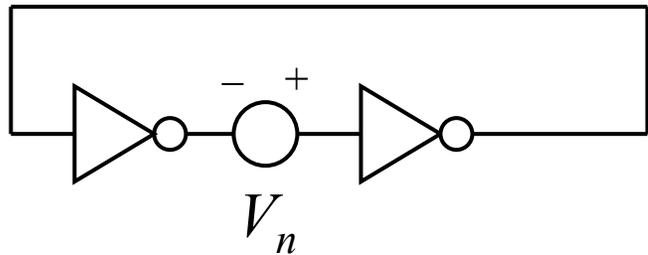
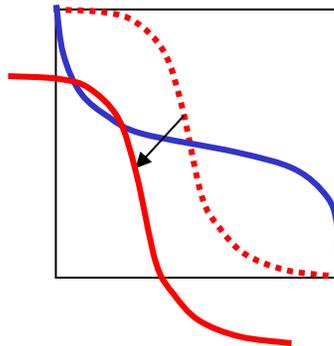
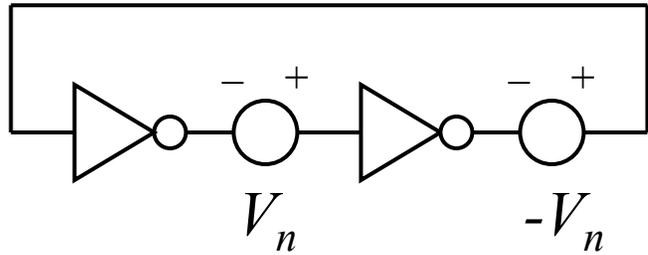
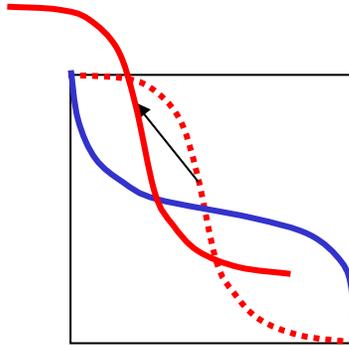
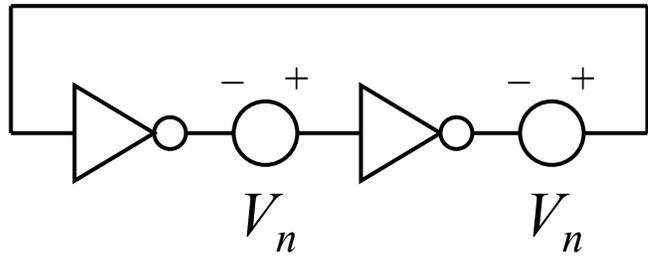


安定点



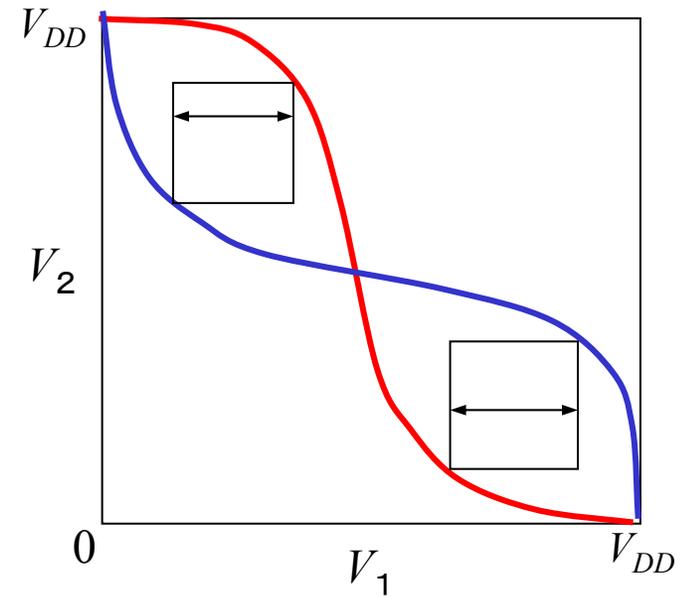
バタフライカーブ

Static Noise Margin



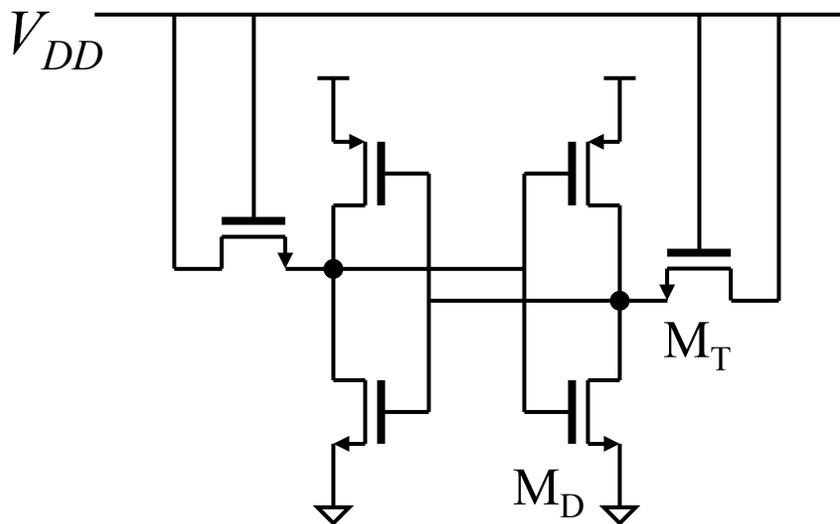
static noise margin

バタフライカーブの羽に入る最大の正方形の1辺の長さ (2つのうち短い方)

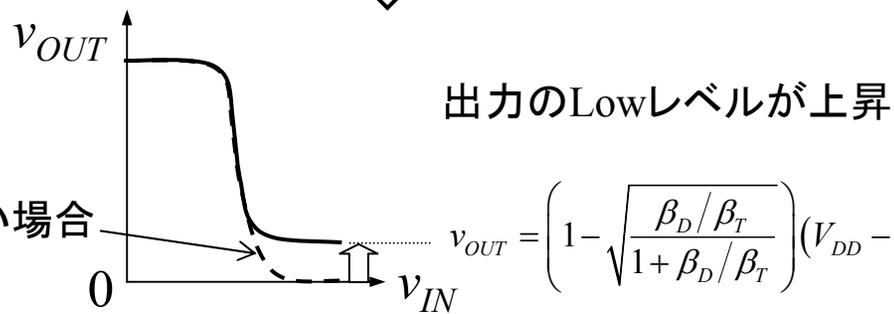
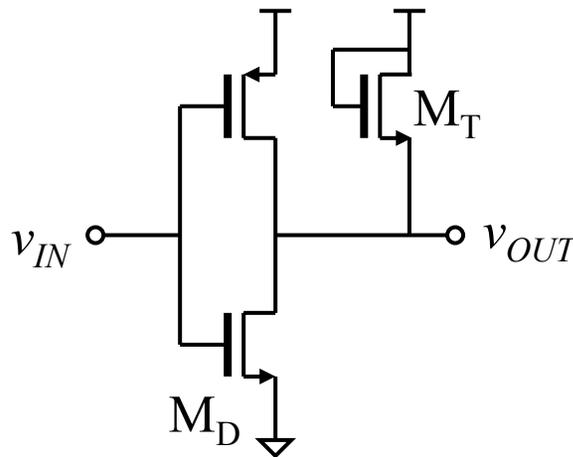


Static Noise Margin

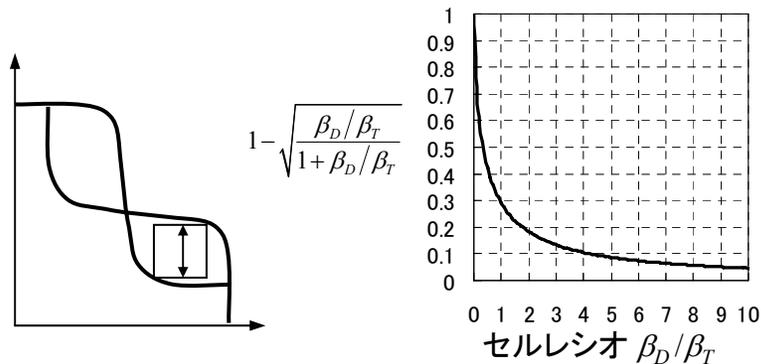
条件: $V_{WL} = V_{BL} = V_{\overline{BL}} = V_{DD}$



次のインバータの伝達特性を計算



Static noise margin を確保するには
セルレシオ β_D/β_T を大きくする



DRAM

(Dynamic Random Access Memory)

1個のトランジスタと1個のキャパシタで構成

ノードNの電位(キャパシタの電荷量)で1ビットの情報を保持

トランジスタのリーク電流によりキャパシタの電荷が時間とともに消失

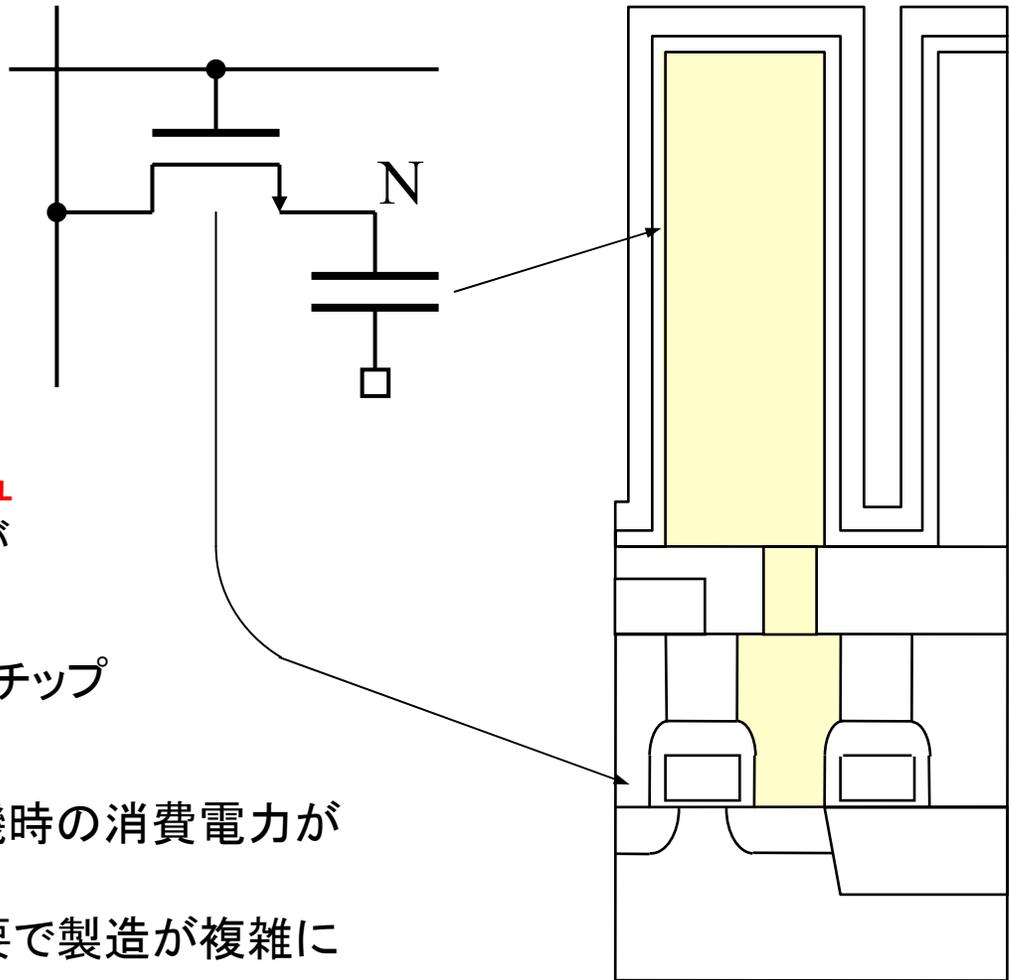
定期的に(約0.1秒おき)にリフレッシュ(情報を読み、再度書き直しを行う)が必要

利点

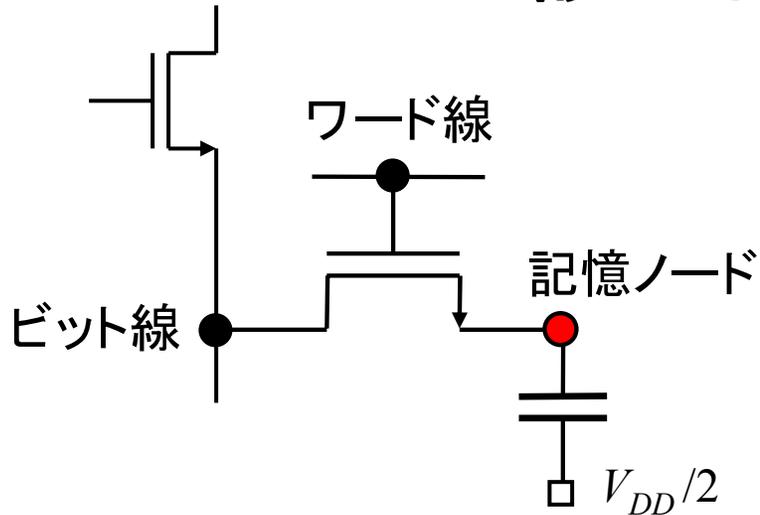
- ・高密度 現在 8Gビット/チップ
- ・高速

欠点

- ・リフレッシュにより、待機時の消費電力がやや大きい
- ・大きなキャパシタが必要で製造が複雑になってきている

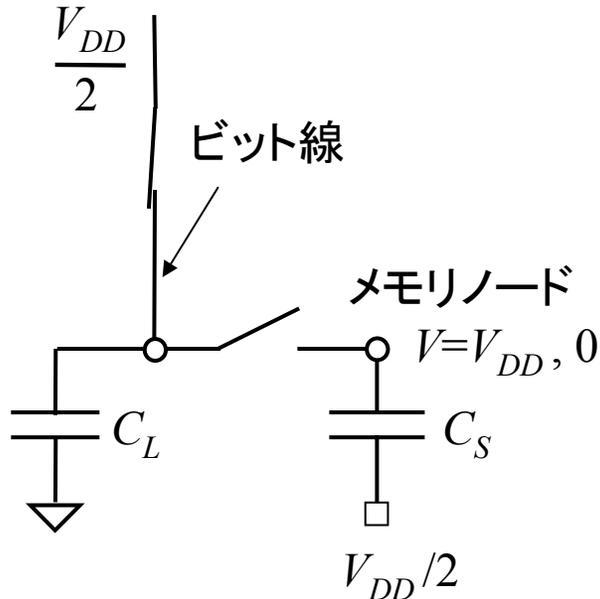


読み出し方法



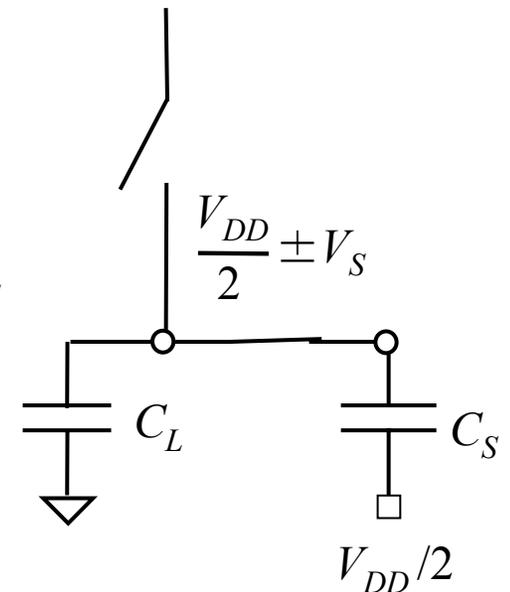
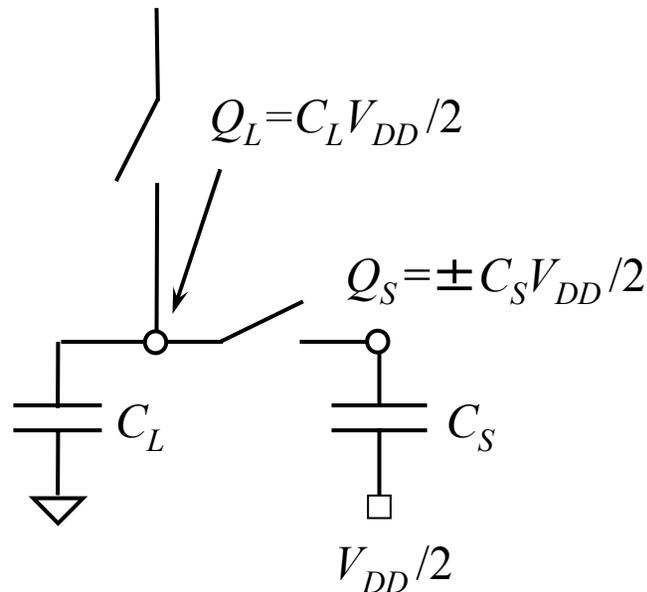
センス電圧

$$V_S = \frac{V_{DD}C_S}{2(C_L + C_S)} \sim \frac{V_{DD}C_S}{2C_L}$$



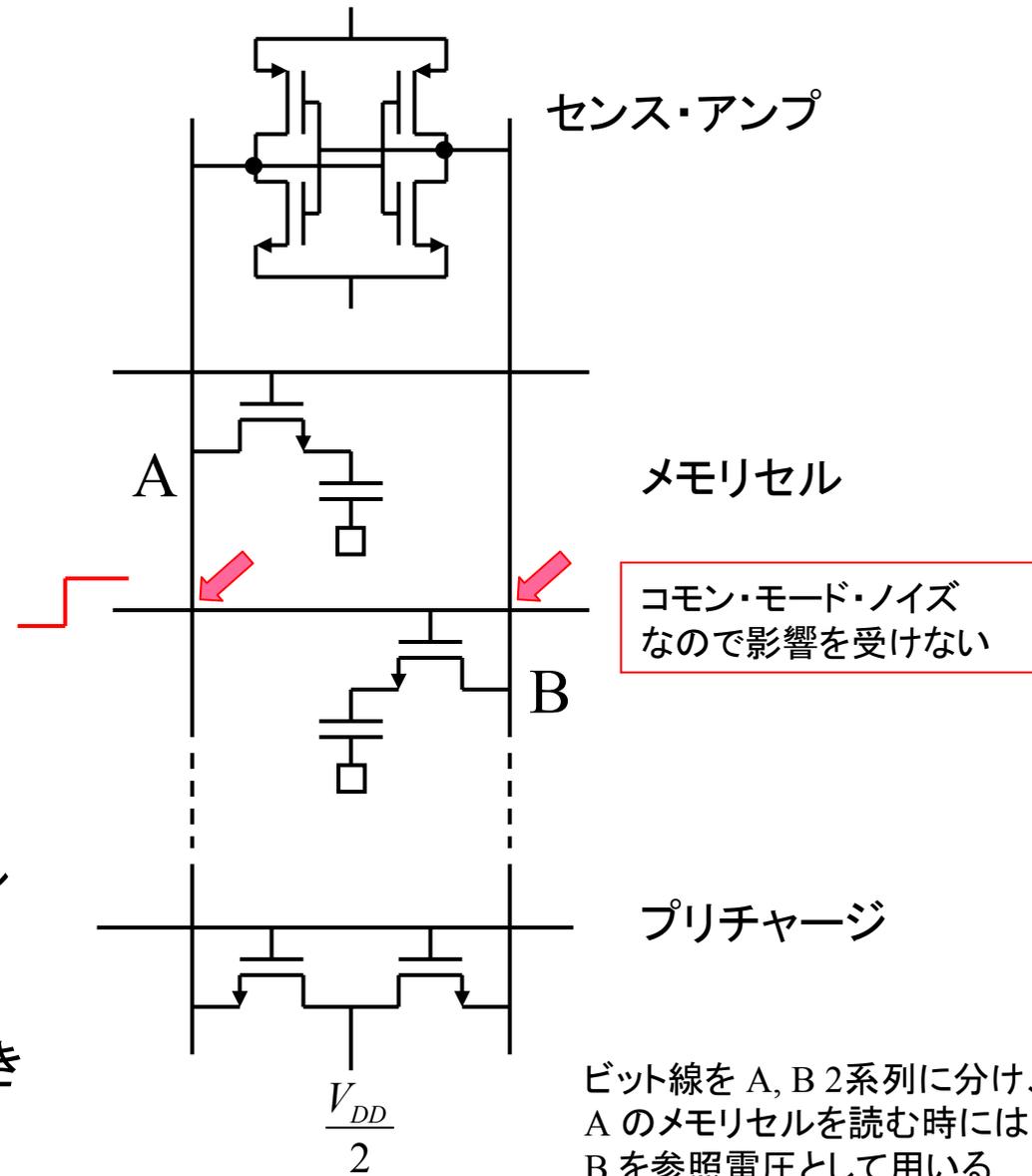
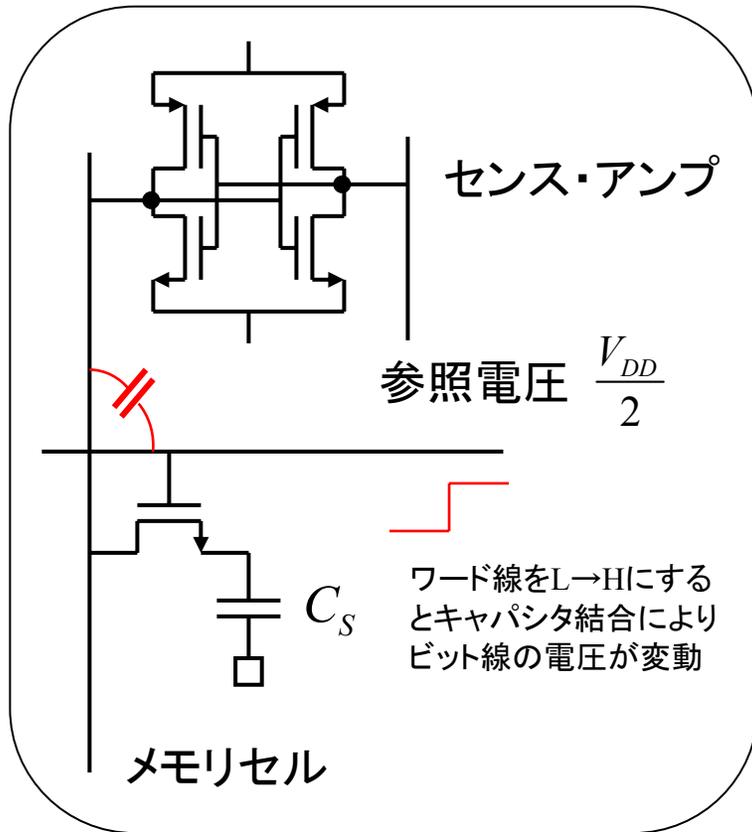
precharge

ビット線キャパシタ(配線容量)を充電



charge sharing

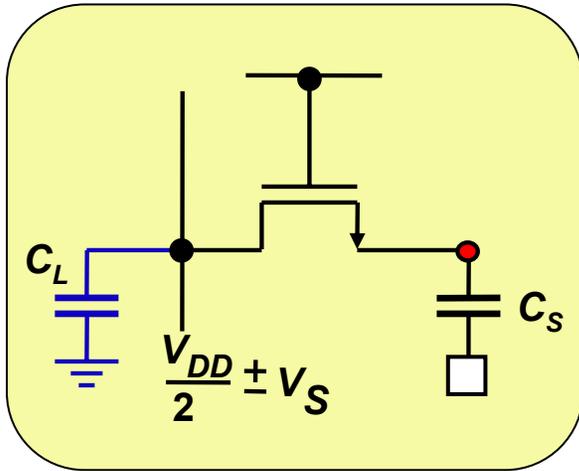
折り返しビット線方式



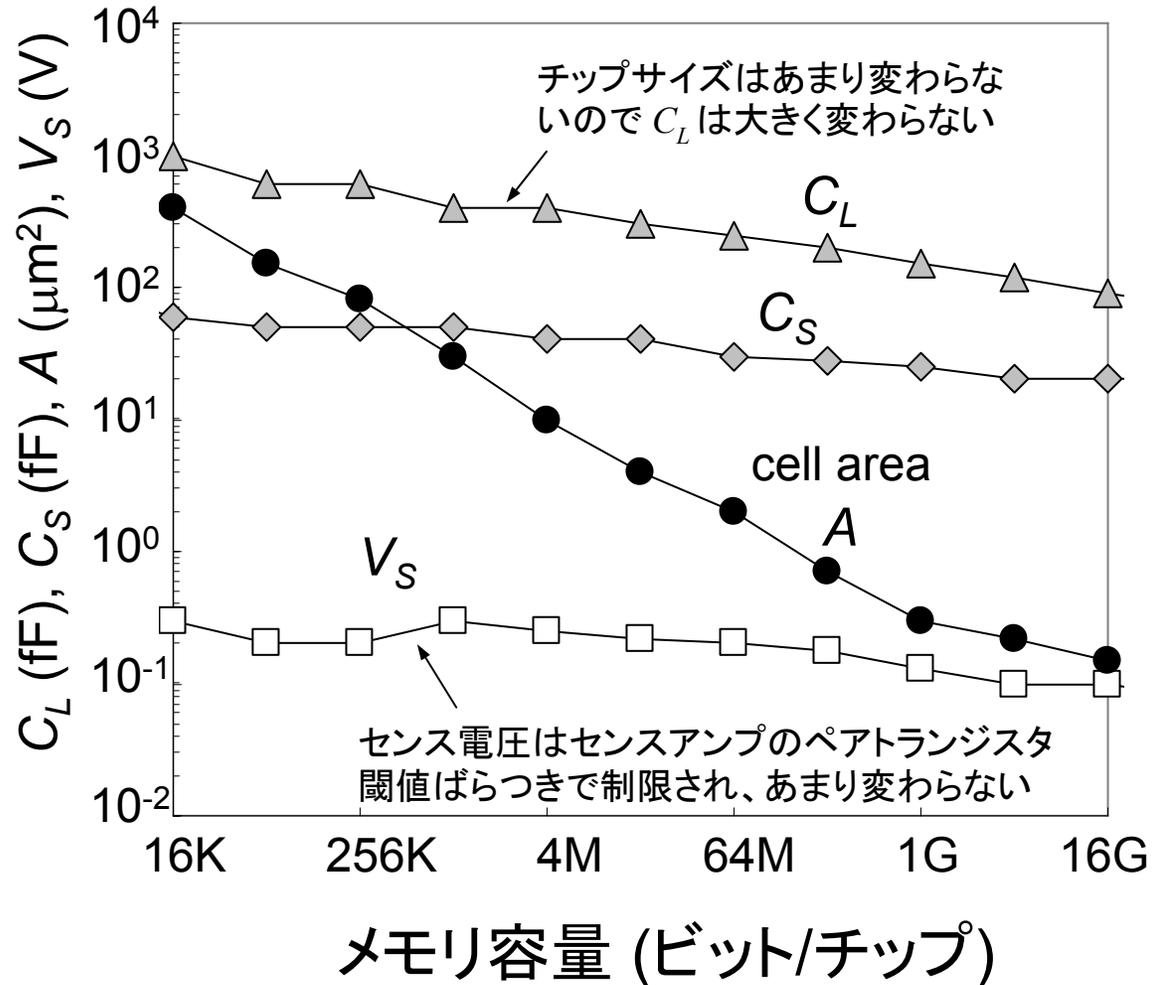
S/N比を大きくするため、メモリセルを交互に配置。

メモリセル面積は $6F^2$ から $8F^2$ に大きくなる。

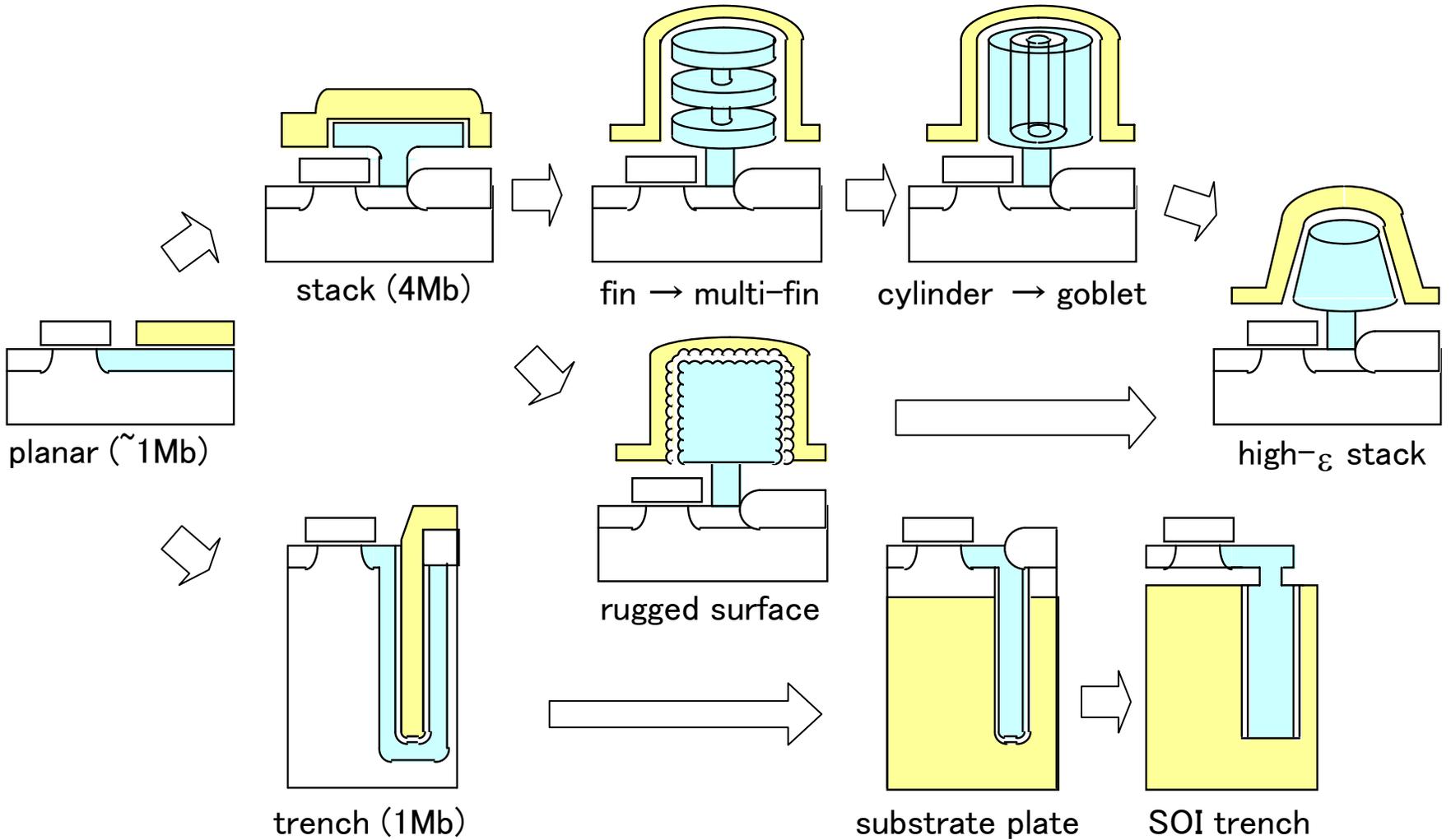
DRAMセル



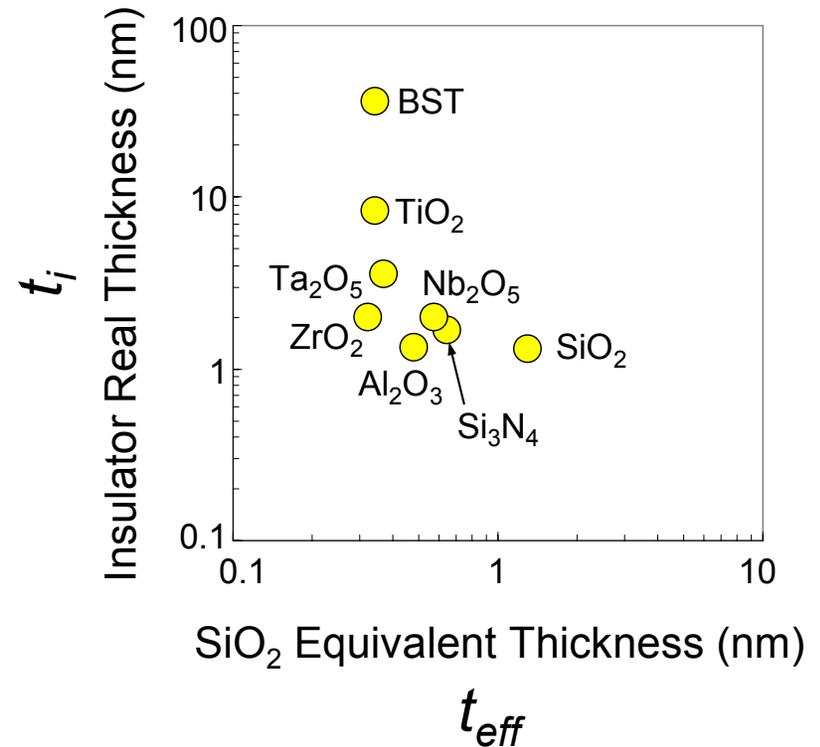
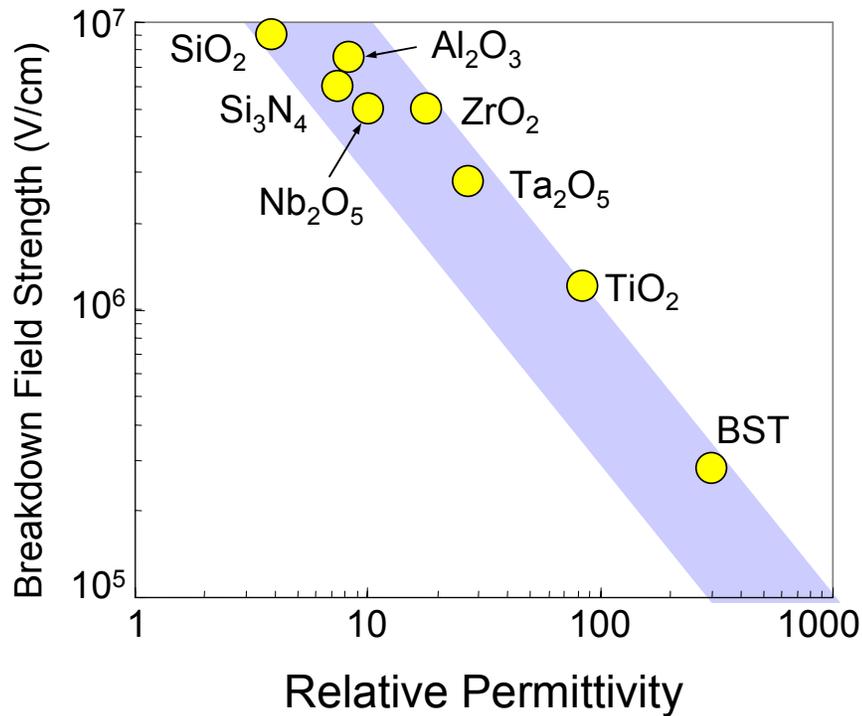
$$V_S \sim \frac{V_{DD} C_S}{2 C_L}$$



3D capacitor

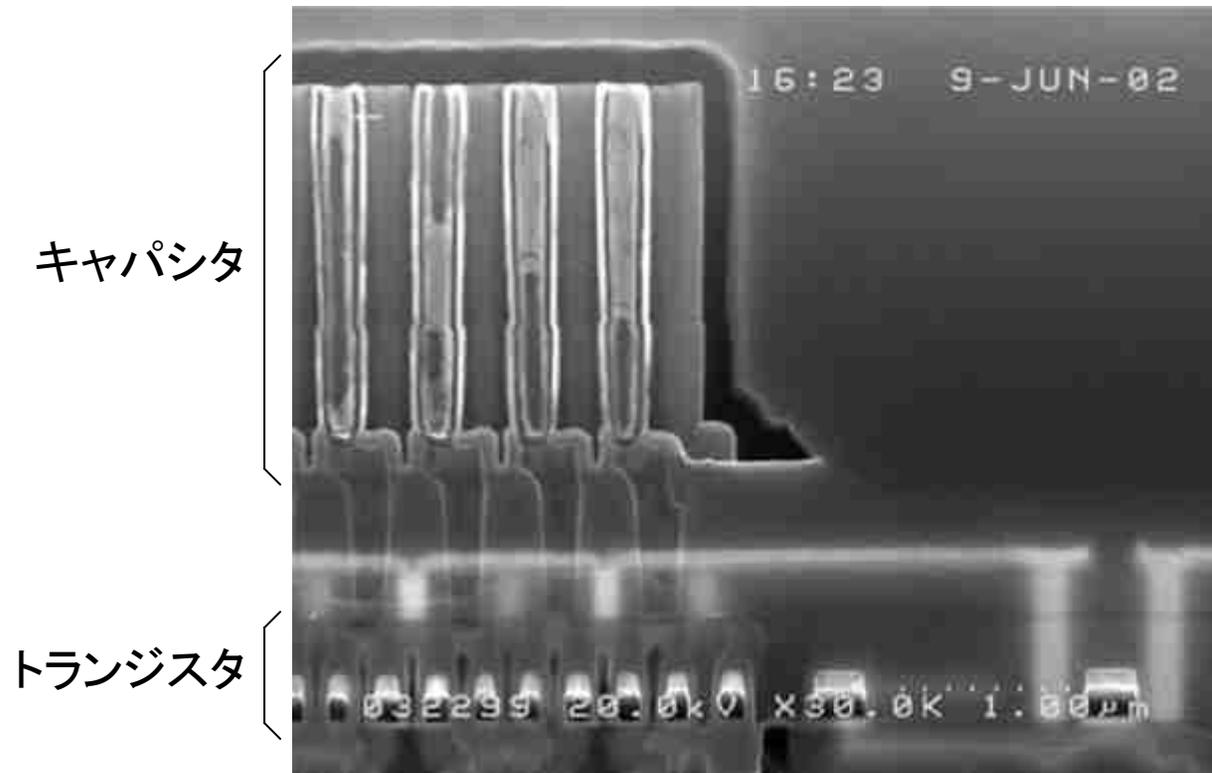


High Dielectric Constant Materials



DRAMの構造

高誘電体 ($\text{TiN}/\text{Al}_2\text{O}_3\text{-HfO}_2$) キャパシタを使ってもアスペクト比が大きく、製造が困難になっている



ソフトウェア

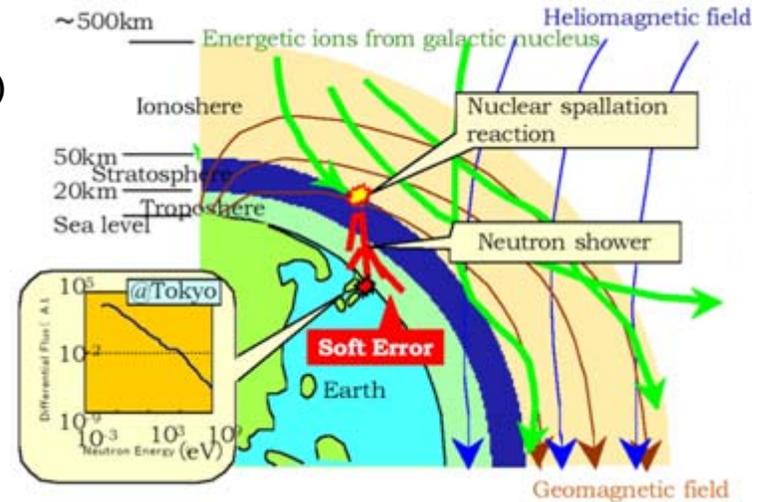
誤動作(主にメモリ)

1978年 パッケージ・バンプからの α 線 (He^{++})

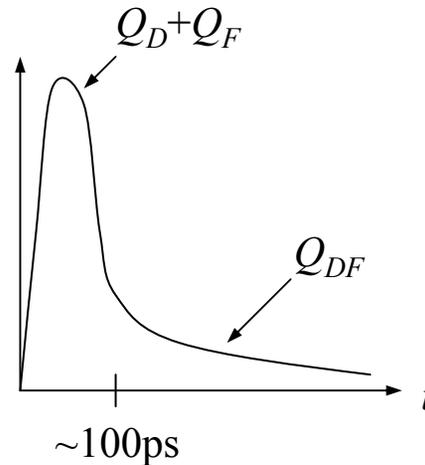
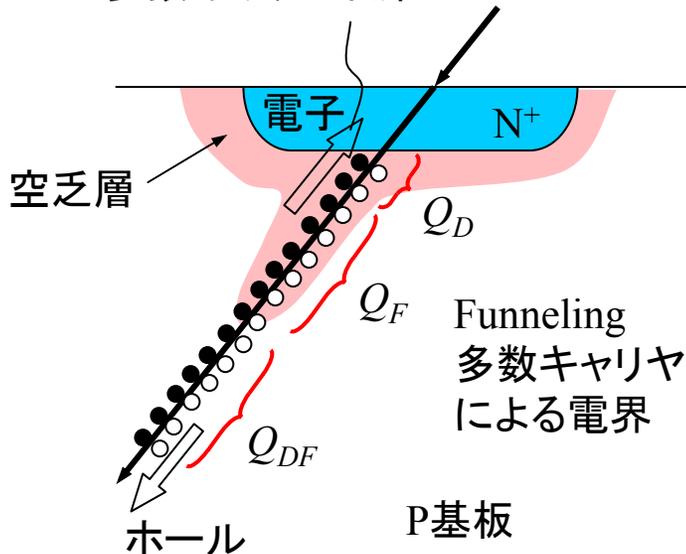
1996年 宇宙線中性子 ~ 20 個/ $\text{cm}^2 \cdot \text{h}$

LSI の誤動作率 < 1000 FIT
(114年に1回のエラーまで許容)

1FIT (failures in time) = 10^{-9} エラー/ hour



少数キャリア収集



電荷発生量

$10 \sim 100$ fC/ μm

$Q \sim 10$ fC

$t \sim 10$ ps

$I \sim 1$ mA

記憶している
情報が破壊

SRAMが最も深刻

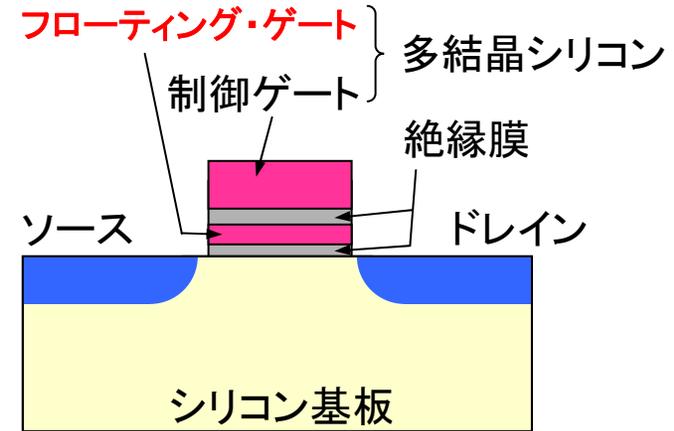
FLASHメモリ

フローティング・ゲートに電荷を蓄えて記録

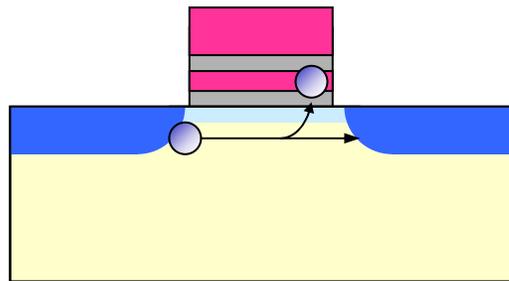
利点 ・不揮発性(電気を切っても記憶を保持)
 ・高密度 現在64Gビット/チップ

欠点 ・遅い(SRAM,DRAMよりも3桁以上)
 ・書込回数に制限(10万回)

SRAM, DRAMを置き換えるものではない

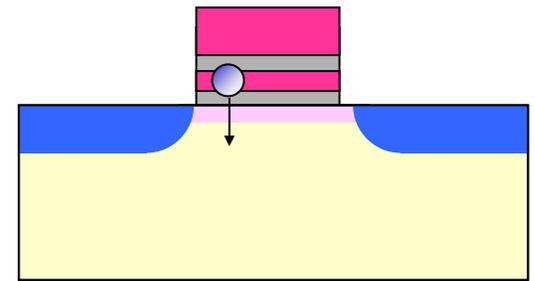


書込



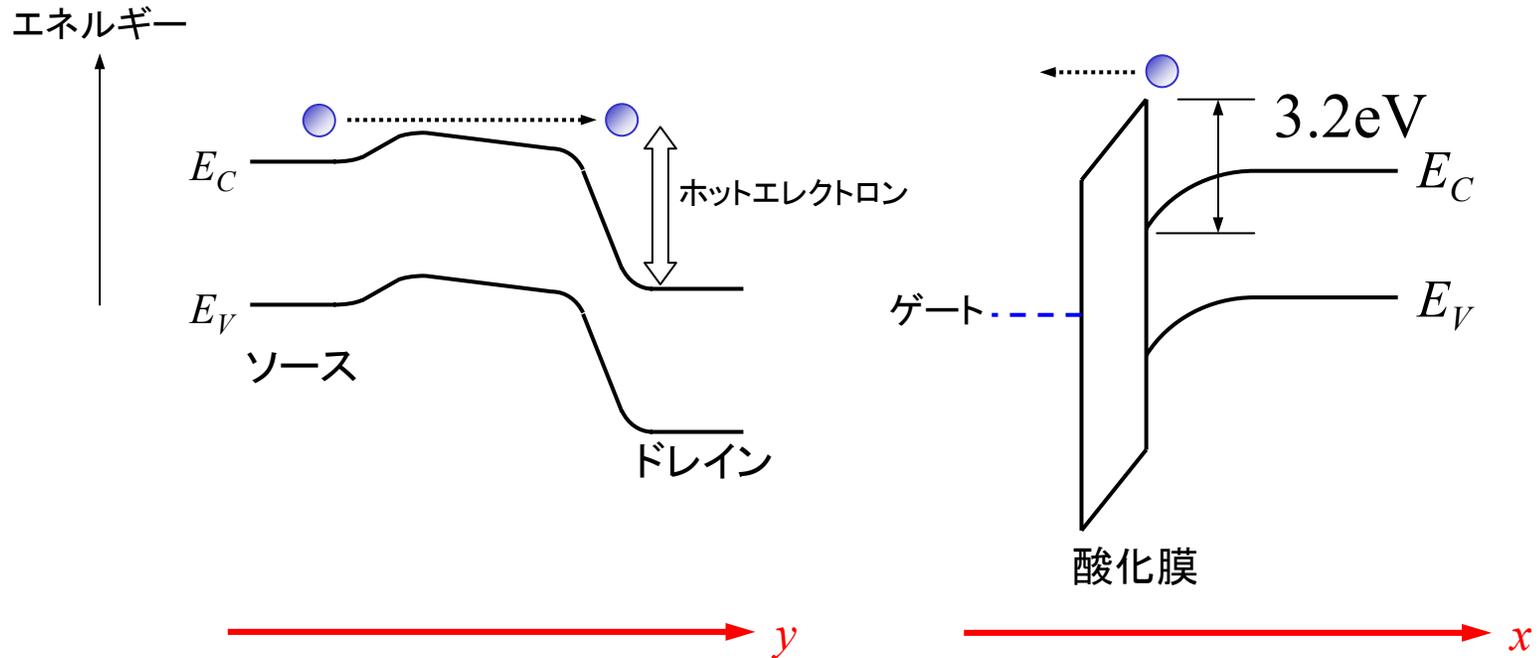
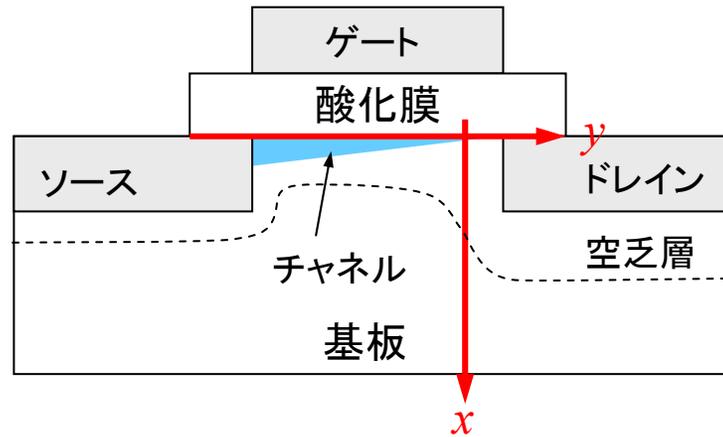
電子がソースからドレインに流れるとき、電子はドレイン近傍で十分なエネルギーを持ち、一部が絶縁膜を通過して、フローティング・ゲートに入る

消去



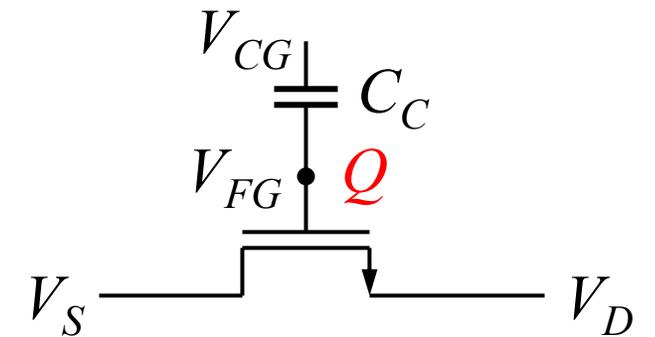
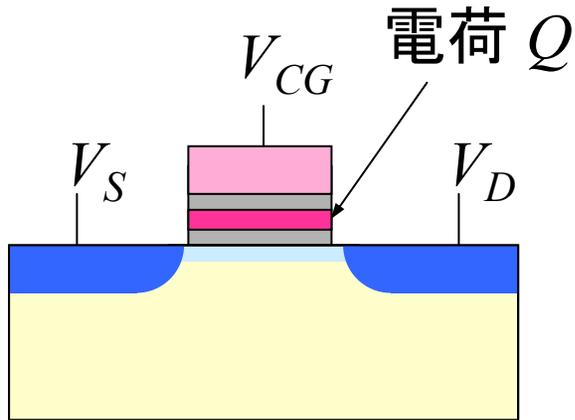
電子はトンネル効果等により絶縁膜を通過してソースもしくは基板に出る

チャンネル・ホットエレクトロン注入



電子はドレイン近傍で高エネルギー状態になり、酸化膜障壁を超えてゲートに注入される

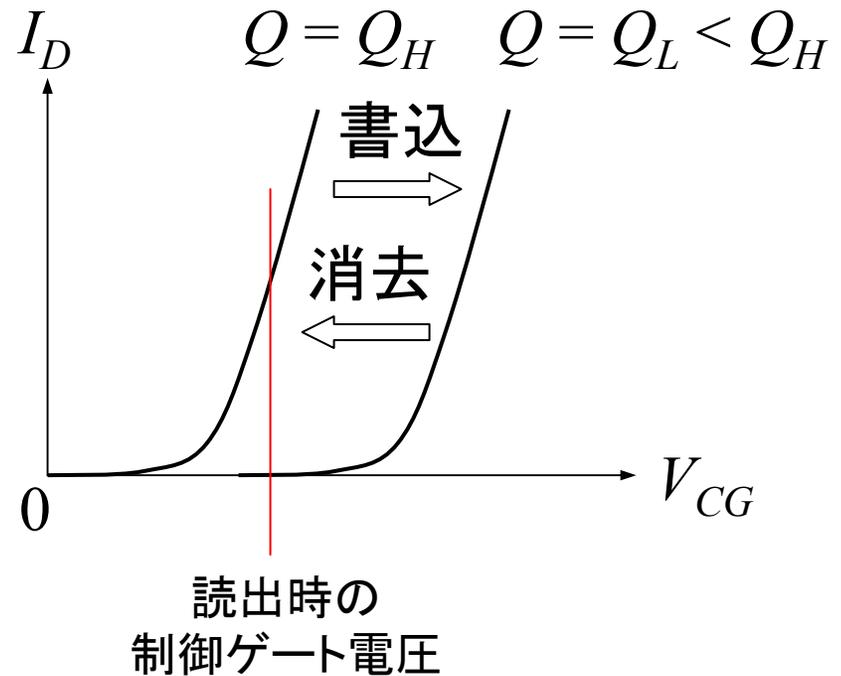
フローティング・ゲート電荷による閾値シフト



$$Q = C_C (V_{FG} - V_{CG}) + C_G (V_{FG} - V_{ch})$$

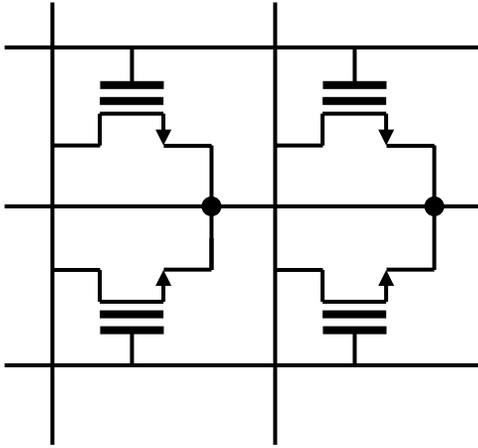
$$V_{th}(Q) = -\frac{Q}{C_C} + V_{th}(0)$$

V_{th} (閾値): 同じドレイン電流が流れる
(同じ V_{FG} , V_{ch} となる) V_{CG}



FLASHメモリのアレー構成

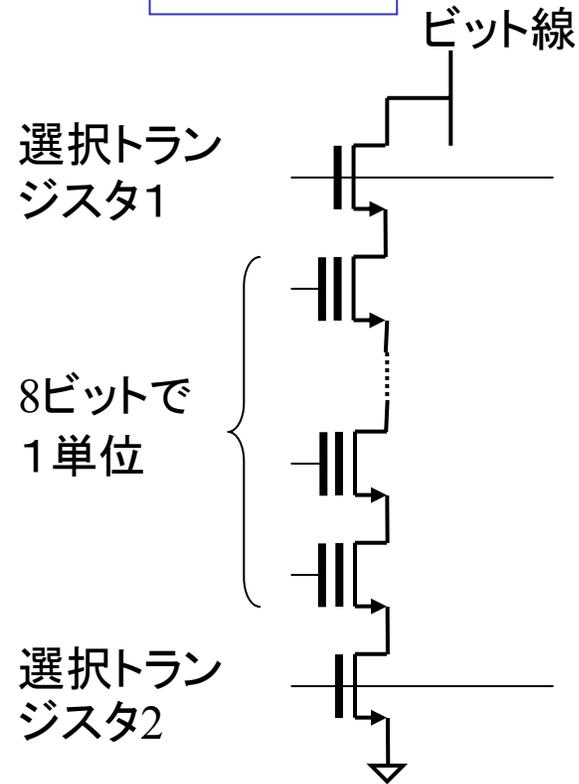
NOR型



- 小容量
- 高速

作業向き

NAND型



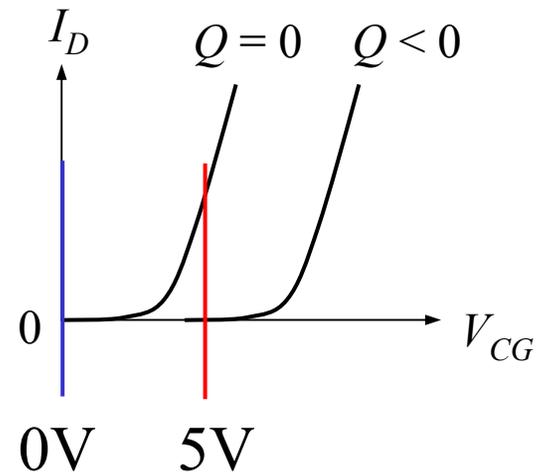
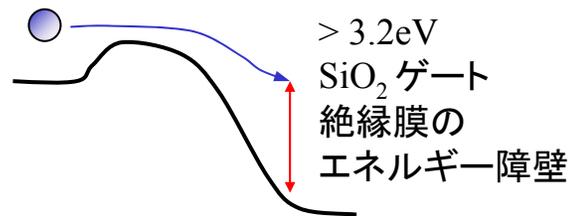
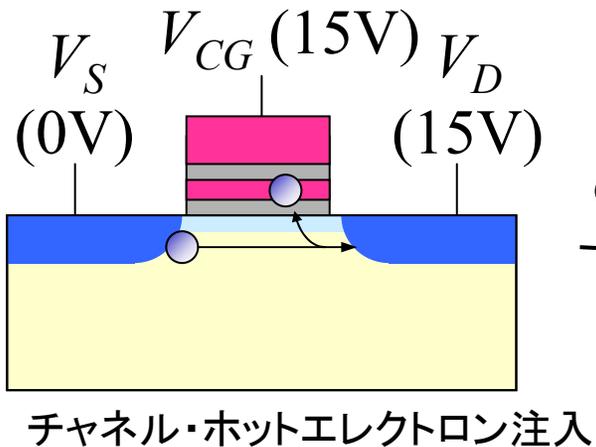
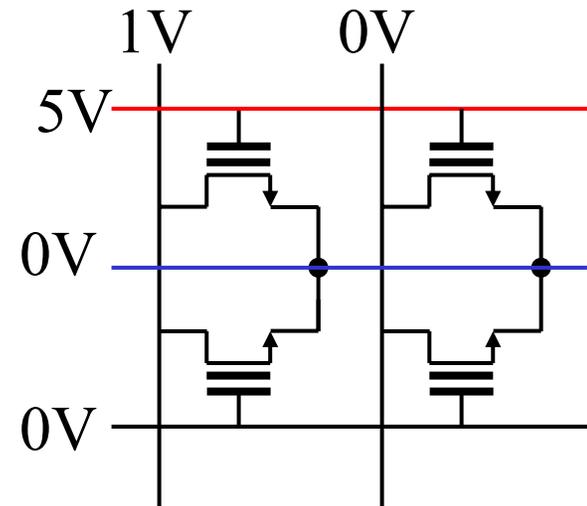
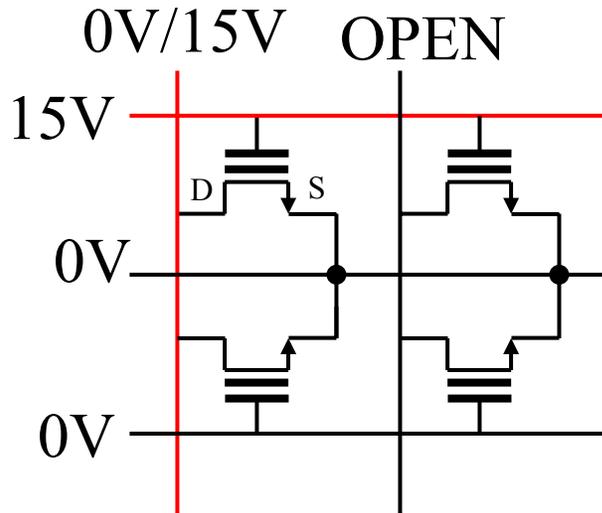
- 大容量
- 低速

ストレージ向き

NOR型FLASHメモリの動作 (1)

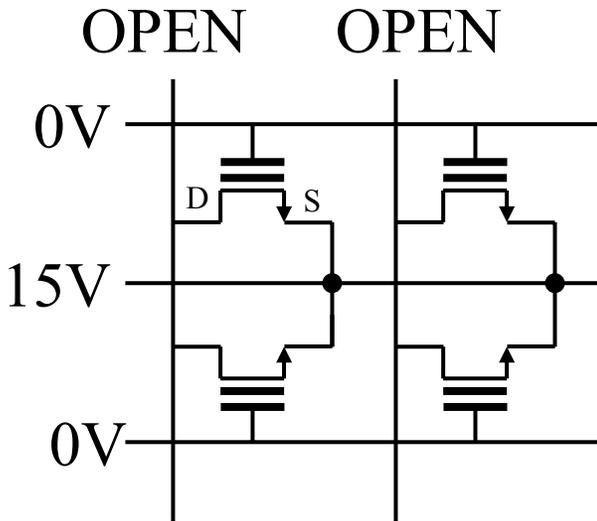
書込 $\sim 10 \mu\text{s}$

読出 $\sim 10\text{ns}$

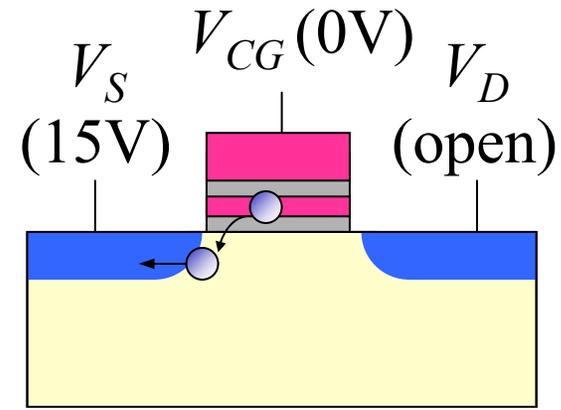


NOR型FLASHメモリの動作 (2)

消去 ~ 100ms

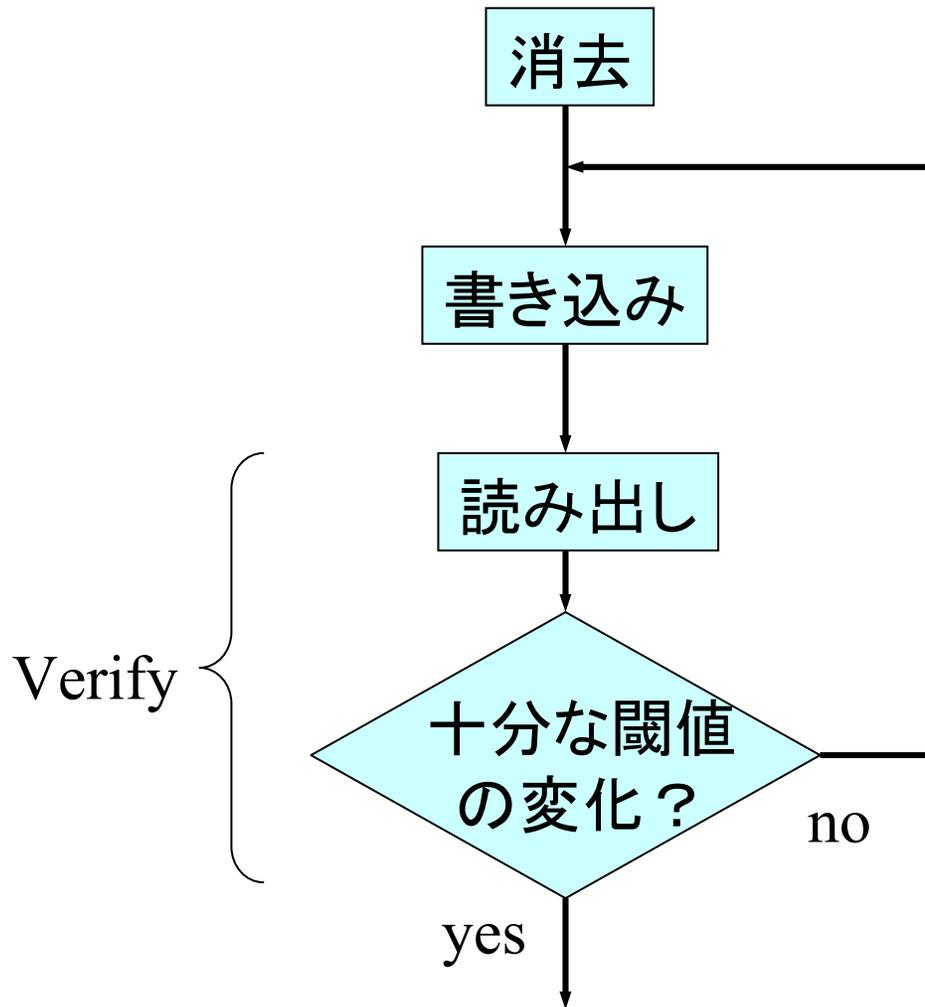


一括消去



Fowler-Nordheim トンネル電流

書き込みのシーケンス

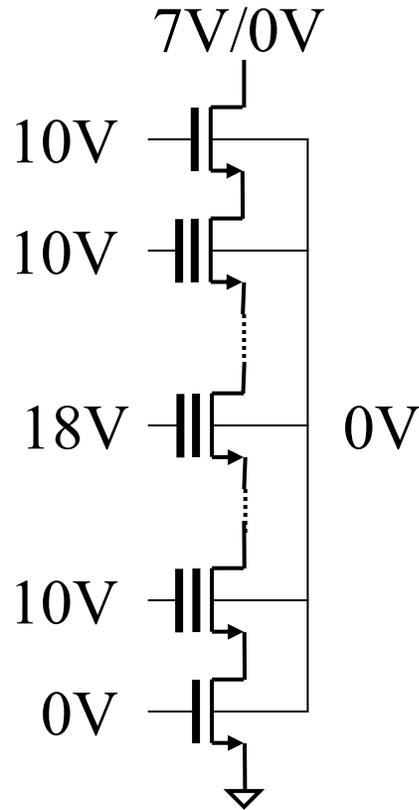


●書き込む前にまず消去を行う

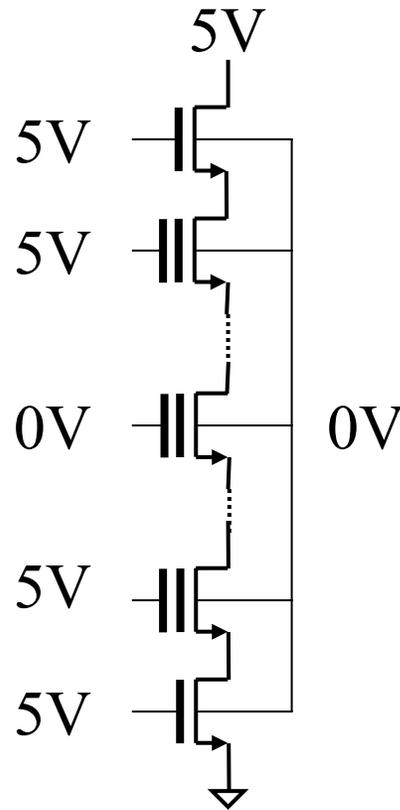
●注入される電子の量にばらつきがあるため、書き込まれたか確認を行う

NAND型FLASHメモリの動作

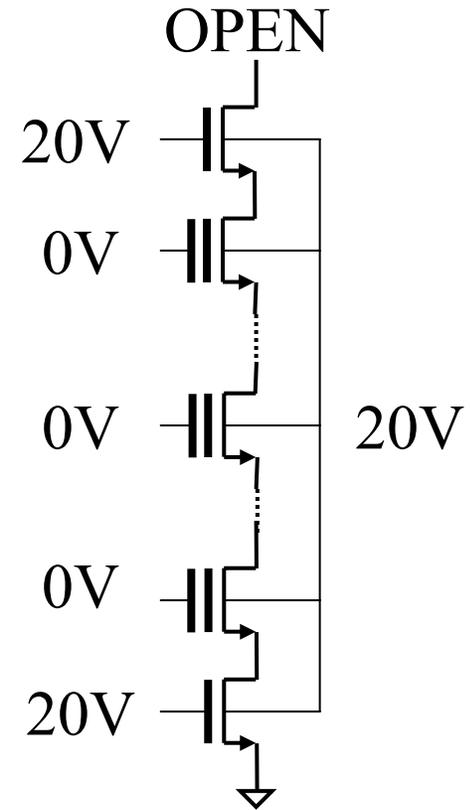
書込



読出



消去

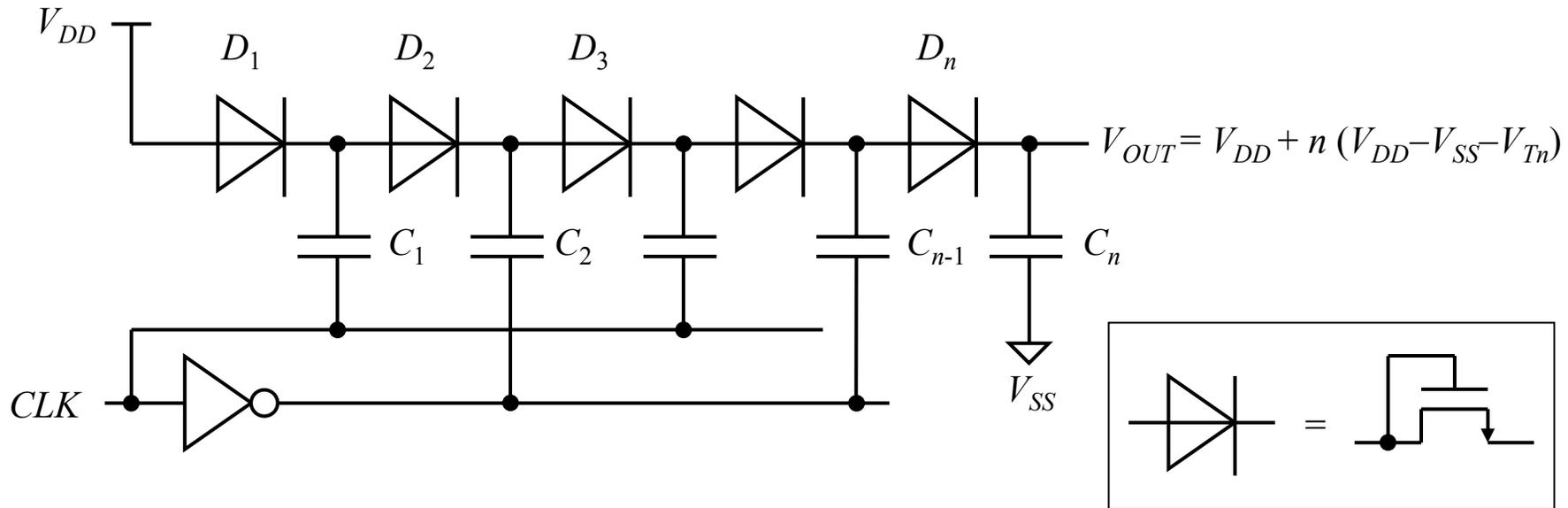


基板からのトンネルリング

寄生抵抗が大きすぎてチャネルホット
エレクトロン注入ができない

基板へのトンネルリング

チャージポンプ回路



FLASH メモリの高性能化

- メモリ容量の増大

 - 多値化

- 注入効率の向上

 - ソース・サイド・インジェクション

- 高密度化

 - MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor)

 - ナノドット・メモリ

FLASH メモリの問題点

書き換え回数に制限 ~10 万回

絶縁膜を通してホットエレクトロンを注入

⇒ 絶縁膜が劣化

記憶保持時間の確保 ~ 10年

ゲート絶縁膜を薄くできない ~10nmが限界

⇒ スケーリングができない

微細化すればするほど動作ウィンドーが小さくなる