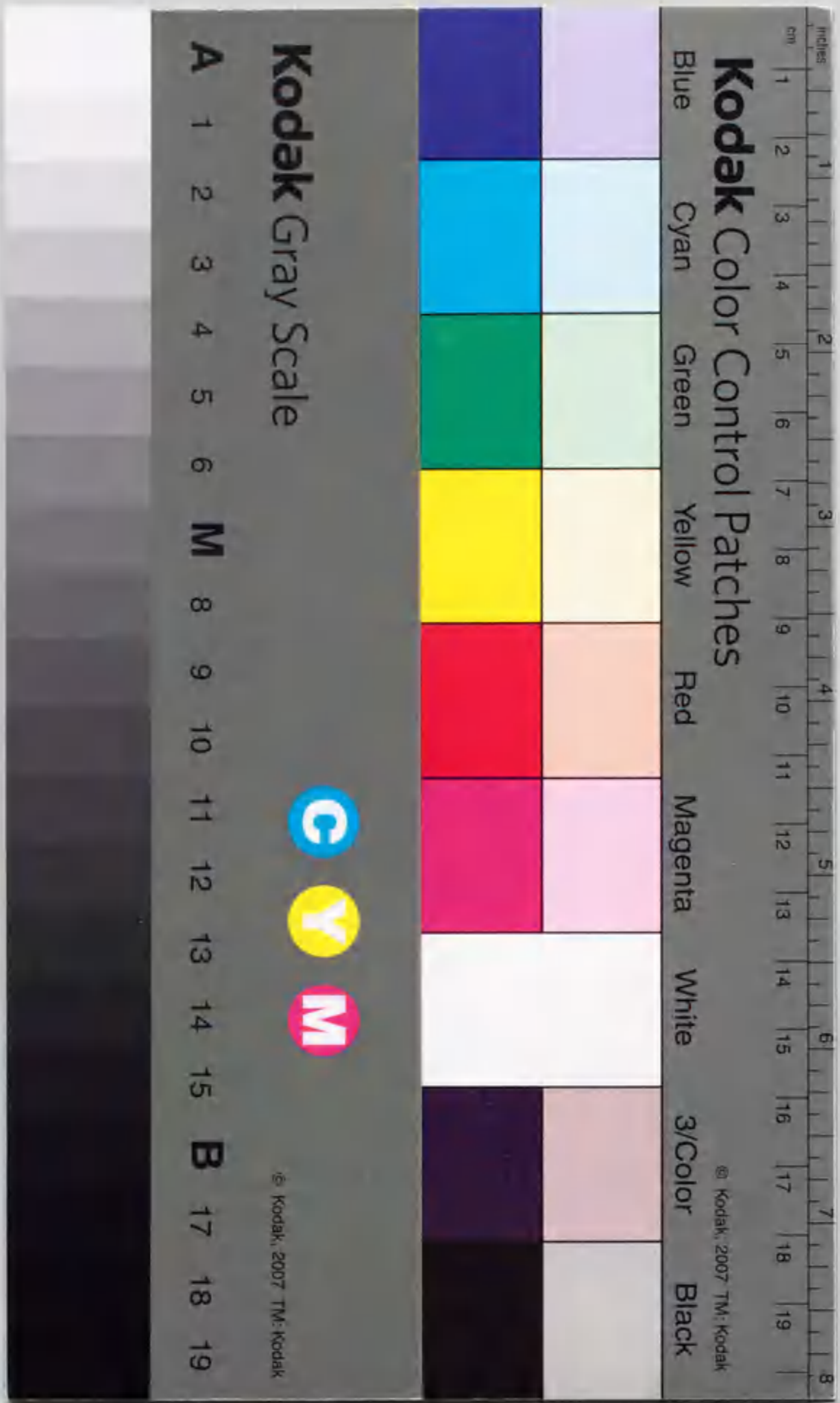


ASICにおけるLSIの
高性能化に関する研究

西尾 洋二



報告番号 乙 第 4160 号

①

ASICにおけるLSIの
高性能化に関する研究

西尾 洋二

目次

第1章 緒言	1
1.1 研究の背景	1
1.2 研究の目的	1
1.3 論文の構成	2
〈参考文献〉	4
第2章 CMOSゲートアレーの開発に関する研究	5
2.1 はじめに	5
2.2 ゲートアレーの目標仕様	5
2.3 ゲートアレーに採用するプロセス技術の検討	7
2.3.1 NMOS 3 μ m プロセス	7
2.3.2 IIL プロセス	8
2.3.3 CMOS 3 μ m プロセス	9
2.4 マスタチップの方式検討	12
2.4.1 基本ゲート単位の検討	12
2.4.2 基本セルの構成	13
2.4.3 論理ブロック	16
2.5 マスタチップのデバイス設計	18
2.5.1 回路TEGの設計	18
2.5.2 TEGの実測結果とその検討	21
2.6 マスタチップの設計と評価	24
2.6.1 チップ構成	24
2.6.2 ALUの試作とその評価	25
2.6.3 入力レベルマージンの解析	28
2.7 DAシステム	28
2.8 むすび	30
〈参考文献〉	31
第3章 CMOSゲートアレーの高性能化に関する研究	32
3.1 はじめに	32
3.2 SOI技術応用上の問題点とその検討	32
3.2.1 リーク電流	33
3.2.2 基板電位の挙動	36
3.2.3 スレッシュホールド電圧の回路特性に及ぼす影響	40
3.2.4 クロストーク	41
3.3 SOIとバルクの比較	43
3.3.1 A1①配線容量の比較	43

3.3.2	配線長及びファンアウトでのスピードの比較	44	
3.3.3	平行線率と交差率を考慮した負荷容量とスピードの比較	45	
3.4	SOI技術の応用に関するまとめ	49	
3.5	BiCMOS技術の概要	50	
3.6	BiCMOS回路のセル設計手法	50	
3.6.1	回路構成	50	
3.6.2	セルパターン設計	51	
3.7	BiCMOSゲート遅延時間のデバイスパラメータ および動作条件依存性	55	
3.7.1	ゲート遅延時間のゲート長依存性	55	
3.7.2	ゲート遅延時間のエピタキシャル層厚依存性	59	
3.7.3	伝搬遅延時間の動作条件依存性	61	
3.8	BiCMOS技術の応用に関するまとめ	62	
3.9	むすび	63	
	<参考文献>	63	
第4章 プレーン型BiCMOSゲートアレーの開発に関する研究			65
4.1	はじめに	65	
4.2	製造技術	66	
4.3	設計技術	67	
4.3.1	内部論理回路	67	
4.3.2	基本セル設計	70	
4.3.3	入出力回路	71	
4.3.4	チップ構成	73	
4.4	応用	74	
4.5	むすび	76	
	<参考文献>	77	
第5章 BiCMOSゲートアレーの高機能化に関する研究			78
5.1	はじめに	78	
5.2	高機能型ゲートアレーの全体構成と仕様	78	
5.2.1	RAM内蔵型に関する検討	79	
5.2.2	ECL/TTL入出力回路混在型に関する検討	81	
5.3	内部回路に関する検討	82	
5.3.1	内部回路の構成	83	
5.3.2	基本セル設計	84	
5.3.3	ゲート回路の遅延時間と消費電力の評価	86	
5.4	入出力回路に関する検討	88	
5.4.1	回路構成	88	

5.4.2	入出力回路の遅延時間の評価	90	
5.5	内蔵RAMに関する検討	90	
5.5.1	構成と仕様	90	
5.5.2	アクセス時間の評価	92	
5.6	むすび	93	
	<参考文献>	94	
第6章 全面敷き詰め型BiCMOS/CMOS混在ゲートアレーの 開発に関する研究			96
6.1	はじめに	96	
6.2	内部回路に関する考察	96	
6.3	実装効率を考慮した基本セル設計	98	
6.4	全面敷き詰め型のチップ構成	103	
6.5	デバイスおよびゲート回路特性	106	
6.6	むすび	107	
	<参考文献>	108	
第7章 総括			110
	謝辞	116	
	研究業績	117	

第 1 章 緒言

第 1 章 緒言

1. 1 研究の背景

近年の産業用機器、及び民生用機器の開発にLSI(大規模半導体集積回路)は欠かせない。機器の高性能化、小型化、高信頼化、低コスト化などのためである。また、その激しい開発競争に生き残るためには、それらに用いられる高性能のLSIをいかに速く開発するかが重要な点となっており、そのような要求に応えるLSIの出現が強く望まれている。セミカスタムLSIの狭い意味での総称であるASIC(Application Specific Integrated Circuits 特定用途向けLSI)と呼ばれているLSIは、正に、その要求に応えるものであり、その中でも、ゲートアレーは、多品種少量生産に向き、そのターンアラウンド時間の短さ、設計の容易さなどから、近年、急速に伸びている。

ゲートアレーとは、予め、回路構成に必要なトランジスタ、抵抗などの素子をチップ上に並べておき、回路の構成及び回路間の接続を、使用者の回路仕様に従って、電子計算機により、自動で行うセミカスタムLSIである。ゲートアレーの概念は、1960年代に既に発表され[1]、多品種少量のLSIを用いる電子計算機分野を中心に、発展してきた。電子計算機分野では、特に、高速性が重要なため、ECL(Emitter Coupled Logic)やTTL(Transistor Transistor Logic)などの高速バイポーラ技術が適用されていた[2]。しかし、ゲートアレーの応用分野の拡がり、半導体技術の著しい進歩などがあり、新しいゲートアレーが要望されるようになった。

1. 2 研究の目的

そこで、その要求に応えるために、新しいゲートアレーの実現をめざし、ゲートアレーLSIの高性能化を目的に研究を始めた。

まず、ゲート遅延時間、消費電力、集積度等、種々、検討した結果、比較的高速で、しかも、相補動作のために消費電力の小さいCMOS(Complementary Metal Oxide Semiconductor)技術をゲートアレーに適用するのが良いと判断し、各種CMOSゲートアレーを開発することにした。この選択は正しく、現在の1チップマイクロコンピュータや大容量メモリLSI分野でCMOS技術が主流になっているのと同様に、中速、大規模のゲートアレー分野では、CMOS技術が主流になっている。

以上の様に、ゲートアレーの分野では、超高速、低集積度のECLゲートアレーと中速、高集積度のCMOSゲートアレーが主流になっていた。しかし、それぞれに、弱点もあった。即ち、ECLは、高消費電力などのために、高集積化が難しい。また、CMOSは、電流駆動能力が比較的小さいために、負荷容量の大きい箇所での超高速化が難しい。一方、各種システムはますます、高性能化が進み、ゲートアレーに対する要求も更に、高度化してきた。つまり、大規模でありながら高速のゲートアレーも望まれるようになった。そのような中で、CMOSゲートアレーの高速化を様々な角度から検討し、BiCMOS(バ

イボラCMOS複合)技術採用の可能性を試みた。BiCMOS技術の概念は1960年代後半に発表された。しかし、当時のLSI技術の未熟さや需要がなかったことなどから、論理LSIやメモリLSIには適用されず、デジタル、アナログ混在LSIに適用されてきたに過ぎなかった。そのBiCMOSの原点に立ち返り、バイポーラトランジスタとCMOSを同一チップ上に形成し、基本回路内で複合し、それぞれの素子単独では得られない性能領域のVLSIの実現を目標として研究開発を始めた。その結果、CMOSとほぼ同等の低消費電力性と高集積性を有して、CMOSの約2倍の高速性能をもち、ECLゲートアレーとCMOSゲートアレーのギャップを埋めるBiCMOSゲートアレー技術が開発でき、世界初のBiCMOSゲートアレーを実現した。このBiCMOS技術は、SRAM(スタティック ランダム アクセス メモリ)やDRAM(ダイナミックRAM)などのメモリVLSIやマイクロプロセッサなどの論理VLSIにも展開され、LSI技術の中の一つの主流技術に育っている。

以上のように、BiCMOS技術のゲートアレーへの適用に成功したのち、更に、高機能のゲートアレーを追究した。基本ゲートのみ配置したブレン型ほかに、ミニコンピュータの演算回路部に効率的に適用できるマルチポートRAM内蔵型と、ECLとTTLが混在したシステムに有効なECL/TTL入出力回路混在型を開発した。また、多層配線技術を用い、基本素子を全面に敷き詰め、マクロセルを構成しやすくするとともに、軽負荷部でBiCMOSゲートより高性能なCMOSゲートを活用するメタル3層全面敷き詰め型を研究開発した。

以上述べたように、ゲートアレーは、ASICの中心LSIとして、発展してきており、今後ますます、伸びていくものと思われる。また、 $2\mu\text{m}$ 加工技術レベルから始まったBiCMOS技術も一つのLSI技術としての地位を確立したが、最新の $0.5\mu\text{m}$ 技術の三世代先の $0.15\mu\text{m}$ 技術で電源電圧が 1.5V 程度になった場合の解は未だ得られていない。しかし、新技術の研究開発によって問題点が解決され、ますます発展していくものと期待されている。

1.3 論文の構成

第1章は緒論で、研究の背景、並びに、それを踏まえた本研究の動機と目的について述べる。

第2章はCMOSゲートアレーの開発について述べる。はじめに、ゲートアレーに採用するプロセス技術の検討について述べる。当時主流のNMOSプロセス、高密度バイポーラプロセスとされているIIL(Integrated Injection Logic)プロセス、そして、実用化の初期にあったCMOSプロセスについて検討した。スピード、消費電力、集積度の観点から、メタル2層CMOS $3\mu\text{m}$ プロセスが必要と判断した。次に、そのCMOSプロセスを使ったゲートアレーについて、構成、ゲート特性、DA(Design Automation)システム、LSIとしての総合特性について述べる[3]。

第3章はCMOSゲートアレーの高性能化に関する検討について述べる。はじめに、SOI(Silicon On Insulator)技術について、次に、BiCMOS技術について述べる。S

OI技術は、バルクに対する性能の向上が小さい事や材料の問題等から、当面、主流にはならないと判断し、採用に至らなかった。一方、BiCMOS技術については、高速、低消費電力で、汎用的な実用的BiCMOSゲート回路が考案できた[4]。しかし、そのゲート回路の半導体基板へのレイアウトの際に、NPNバイポーラトランジスタとPMOSトランジスタを V_{cc} 電位である共通のNウェル内に形成すると、ラッチアップ現象を、引き起こし、問題のあることを見出した。その原因として、PMOSのソースのPと、NウェルのNと、ベースのPと、エミッタのNとで、PNPNのサイリスタ構造を形成しており、コレクタ抵抗を流れる電流により、PMOSのソースとNウェルとベースとで形成されている寄生PNPバイポーラトランジスタがオンになり、その結果、サイリスタがオンになり、ラッチアップ現象を引き起こしていることを明らかにした。その知見により、PMOSのNウェルとNPNバイポーラトランジスタのNウェルを分離することによって、ラッチアップ現象を発生しないセル設計手法を確立した。また、ゲート回路を試作し、ゲート遅延時間のデバイスパラメータおよび動作条件依存性を実験的に、また、理論的に検討した。その結果、CMOSゲートと同等以上の依存特性を有することが確認できた[5]。以上のように、ラッチアップ現象を発生しないセル設計手法が確立でき、ゲート回路特性も良好なことから、BiCMOS技術を採用した。

第4章はブレン型BiCMOSゲートアレーの開発について述べる[6]。はじめに、製造技術について述べ、次に、世界で初めて開発したBiCMOSゲートアレーの内部回路、基本セル、入出力回路等の設計技術について述べる。基本セルは、第3章の知見を活かすとともに、各種論理ゲートが効率良く実装できるようにした。最後に、良好な評価結果について述べる。このBiCMOSゲートアレーは、超高速、低集積のECLゲートアレーと、中速、高集積のCMOSゲートアレーのギャップを埋めるもので、高性能情報機器分野等、ゲートアレーの新しい応用分野を開拓することができた。

第5章は高機能型BiCMOSゲートアレーの開発について述べる。基本ゲートのみ配置したブレン型の発展として、マルチポートRAM内蔵型と、ECL/TTL入出力回路混在型を開発した。はじめに、高機能としてのRAM内蔵型とECL/TTL入出力回路混在型の全体構成と仕様について述べる。次に、RAM内蔵型を例にとり[7]、内部回路と入出力回路の構成と評価について述べる。最後に、ミニコンピュータ等の演算回路部に適用しやすい、内部回路と整合した内蔵RAMの構成、仕様と評価について述べる。

第6章は、全面敷き詰め型BiCMOSゲートアレーの開発について述べる[8]。多層配線技術を用い、BiCMOSゲートとCMOSゲートの性能の特徴を活かすようにし、かつ、マクロセルを構成しやすくした基本セルを全面に敷き詰めたメタル3層全面敷き詰め型を開発した。はじめに、メタル3層あるいは4層の場合における基本セルと論理ゲート[9]の最適構成について述べる。次に、メタル3層を例にとり、論理ゲートとマクロセルの実装効率の良い基本セル構成について述べる。最後に、評価結果について述べる。

第7章は以上の研究を総括して結論として取纏めている。

以上述べた研究の成果は、CMOSゲートアレー、BiCMOSゲートアレーともに、既に、実用化されている。今後、LSIの低消費電力化の観点、及びデバイスの低耐圧化のために、電源電圧が低下すると思われる。BiCMOSゲート回路は低電源電圧でスビ

ードの劣化が激しいが、低電源電圧BiCMOSデバイス、回路技術の開発により、ますます、応用が広がっていくものと期待されている。

<参考文献>

- [1] C.R.Cook, Jr. and N.P.Beach: "Semiconductor Devices", United States Patent 3577038 (Filed Sept.1968).
- [2] Y.Horiba, M.Nakaya, S.Kato, K.Tsukamoto, H.Sakurai and T.Kondo: "A Bipolar 2500-Gate Subnanosecond Masterslice LSI", 1981 IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.228-229 (Feb. 1981).
- [3] Y.Nishio, T.Hayashi and S.Torii: "CMOS Gate Array", Hitachi Review, 31,5,pp.241-244 (Oct. 1982).
- [4] 増田、西尾、池田: "バイポーラCMOS複合による高速論理回路", 電子通信学会論文誌C, J67-C,12,pp.999-1005 (Dec. 1984).
- [5] 西尾、村林、渡辺、池田、上遠野: "VLSI用BiCMOS論理ゲートの試作と評価", 電気学会論文誌C, 109-C,11,pp.805-811 (Nov. 1989).
- [6] Y.Nishio, I.Masuda, T.Ikeda, M.Iwamura, K.Ogiue and Y.Suzuki: "A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array", Proc. 1984 IEEE International Conference on Computer Design, pp.428-433 (Oct. 1984).
- [7] 西尾、村林、古徳、上遠野: "RAM内蔵形超高速Hi-BiCMOSゲートアレー", 電子情報通信学会論文誌C, J71-C,9,pp.1248-1256 (Sept. 1988).
- [8] Y.Nishio, N.Oka, S.Takahashi and M.Shibata: "A Master Chip Design of 0.5 μ m Mixed BiCMOS/CMOS Channelless Gate Array Family", IEICE Trans. E74,11,pp.3749-3756 (Nov. 1991).
- [9] Y.Nishio, F.Murabayashi, S.Kotoku, A.Watanabe, S.Shukuri and K.Shimohigashi: "A Feedback-Type BiCMOS Logic Gate", IEEE J. Solid-State Circuits, 24,5,pp.1360-1362 (Oct. 1989).

第2章 CMOSゲートアレーの開発に関する研究

第 2 章 CMOS ゲートアレーの 開発に関する研究

2.1 はじめに

電子計算機分野を中心に発展してきたバイポーラ技術を用いた ECL ゲートアレーは、高速ではあるが消費電力が大きい、また、集積度が低いという問題があった。一般産業機器への応用を考えた場合、低電力化は不可欠である。そこで、まず、開発するゲートアレーの目標仕様及び、採用するプロセス技術について検討する。次に、スピード、消費電力、集積度の観点から、目標を満足できるメタル 2 層 CMOS 3 μ m プロセスを使ったゲートアレーの構成、ゲート特性、DA (Design Automation) システム、LSI としての総合特性について述べる。

2.2 ゲートアレーの目標仕様

当時、ゲートアレーとして、バイポーラ技術では、ECL、LSTTL (Low power Schottky TTL)、及び IIL (Integrated Injection Logic)、MOS 技術では、CMOS 及び NMOS を用いたものが開発されていた [1] [2]。それぞれの当時の特徴を述べ

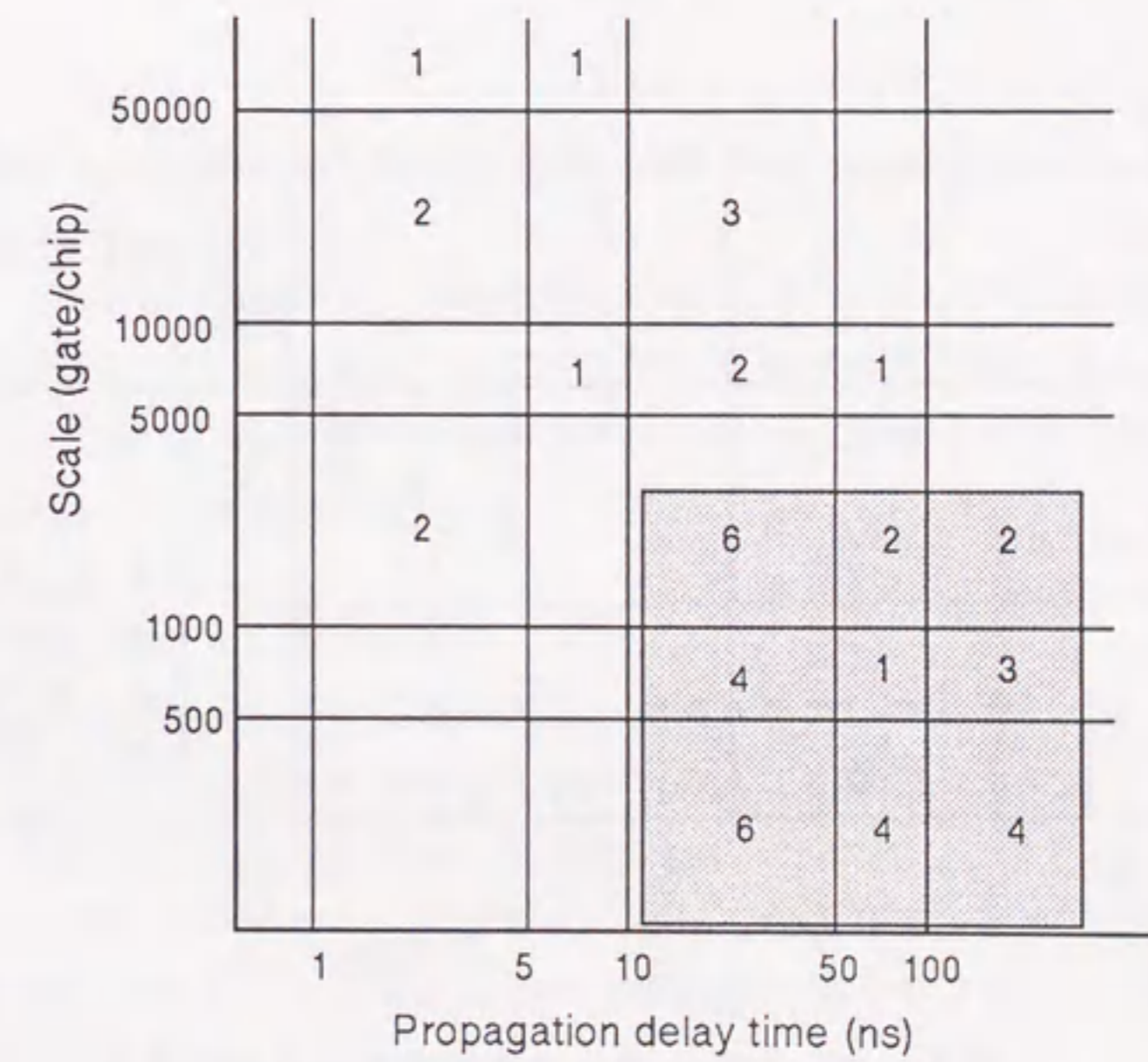


図 2.1 需要調査結果

ると次のようになる。ECLは消費電力は大きい(3-7mW/ゲート)が、超高速(0.6-1.0ns/ゲート)であり、大型計算機等に使用されている。LSTTLは電力・遅延時間積が10pJ(2mW×5ns)程度である。IILはバイポーラ技術であるにもかかわらず、高集積化が可能であるが、スピードは15-30ns/ゲートと遅い。CMOSは相補動作するために、消費電力が少ないことが特徴であり、NMOSとともに、プロセスの微細化が進むにつれて高速化が進むと考えられる。

当時の一般産業機器のゲートアレーの需要を調べた結果、図2.1に示すように、集積度で2000ゲート/チップ、スピードで10ns/ゲートを満足していると、需要の70%を満たすことがわかった。したがって、上記性能を持つゲートアレーの開発研究を開始した。2000ゲート/チップ程度の高集積度を達成できる可能性を持つのは、IIL、CMOS及びNMOSである。無冷却のパッケージ状態で使用するにはチップの消費電力を1W以下にしなければならないためである。次に、2000ゲート/チップ、10ns/ゲートという目標仕様の妥当性について検討する。図2.2と図2.3にゲートアレーの技術動向を示す。集積度の技術動向を示した図2.2から、2000ゲート/チップの目標仕様はIIL及びCMOSにとって、妥当であると考えられる。また、図2.3に示した遅延時間の動向からみて、10ns/ゲートという目標仕様も、高集積パッケージ化が不可能なECLやLSTTLを除いたCMOSあるいはIILにとって、妥当であると考えられる。

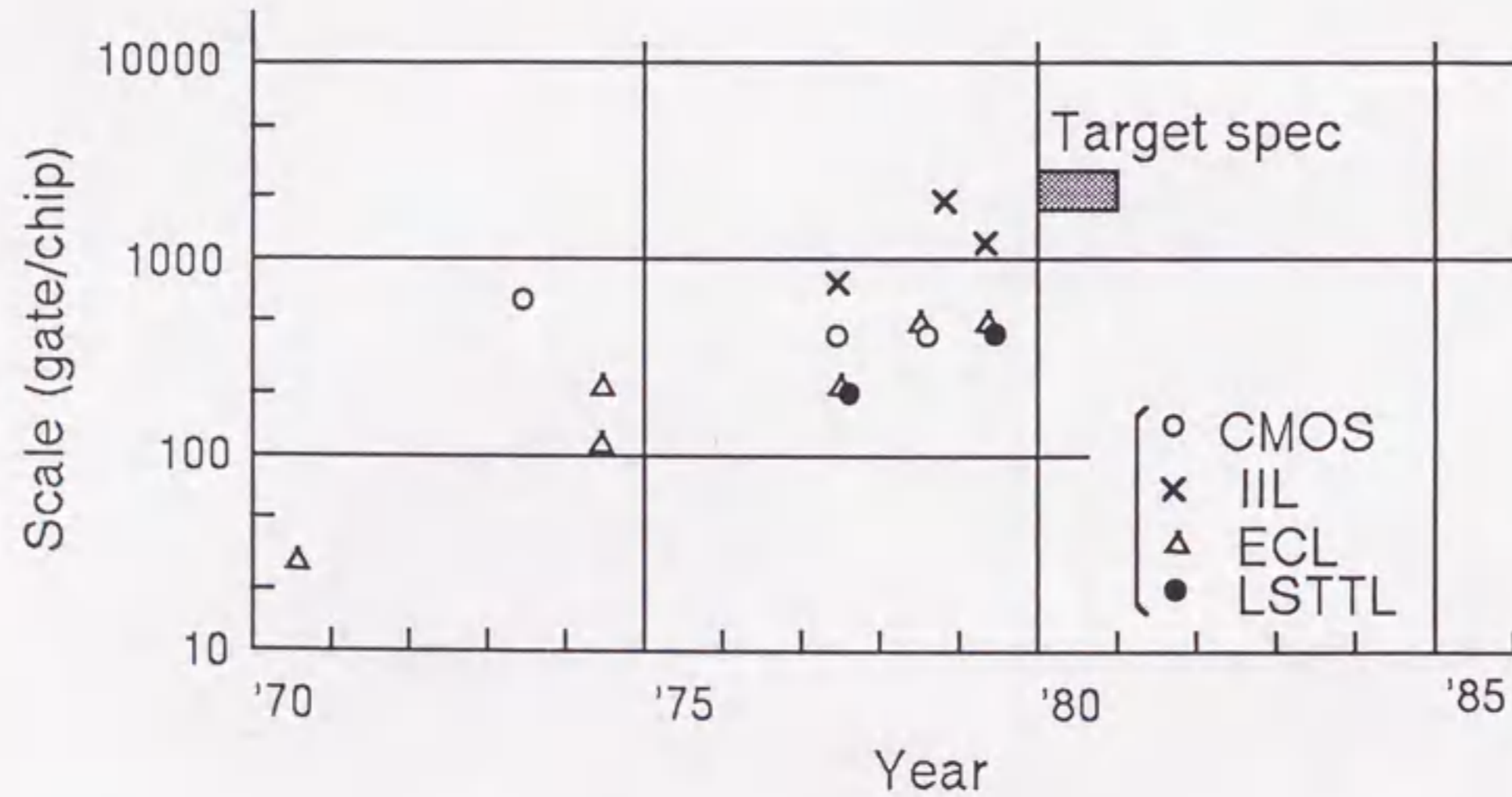


図2.2 ゲートアレーの技術動向(集積度)

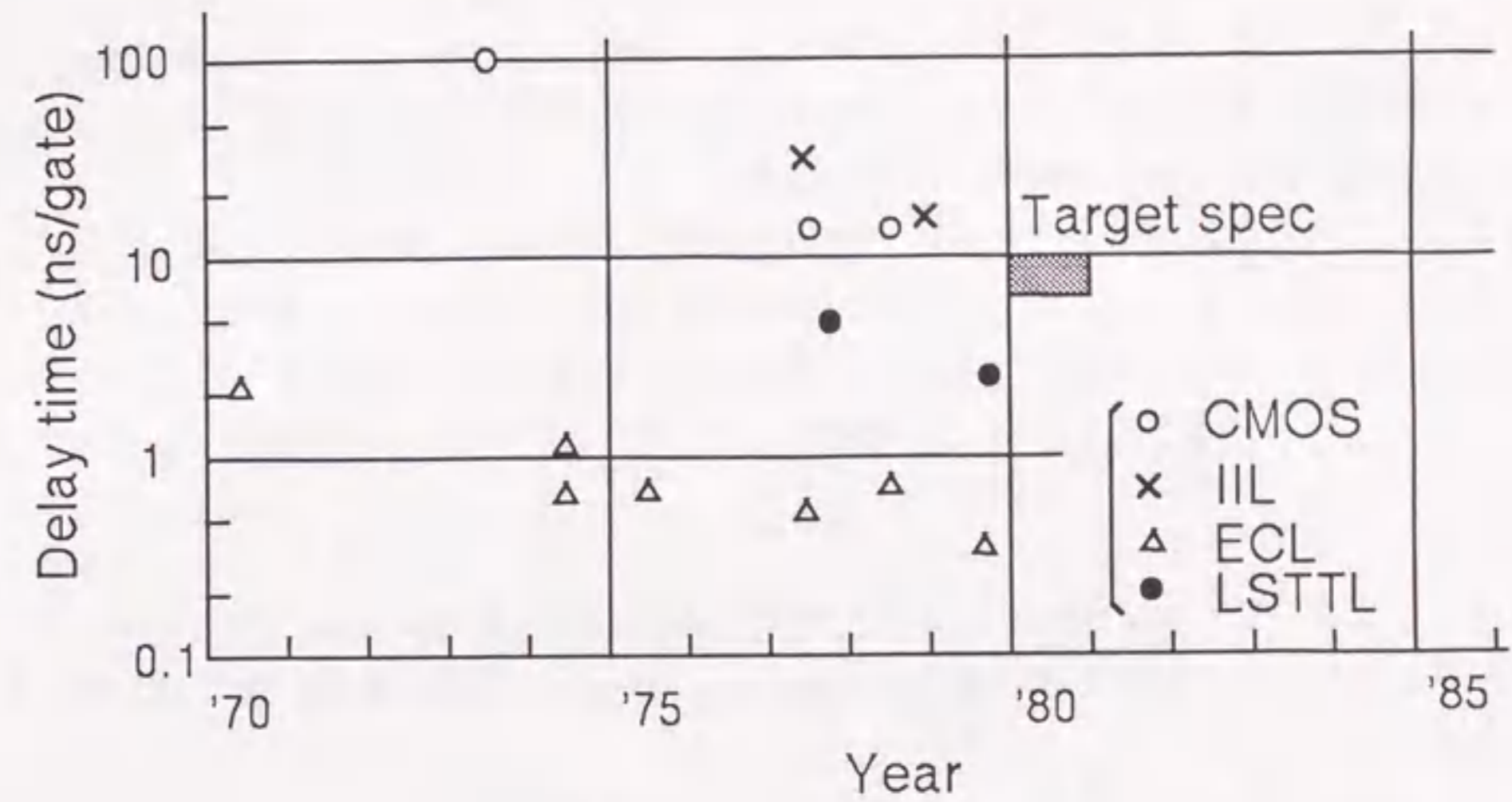


図2.3 ゲートアレーの技術動向(遅延時間)

2.3 ゲートアレーに採用するプロセス技術の検討

集積度2000ゲート/チップ、遅延時間10ns/ゲート、冷却なしでのパッケージ化が可能な消費電力1W/チップ以下のゲートアレーの実現を可能にするものとして、CMOS、NMOS及びIILの三つの技術が考えられた。この三つのうちでどれが最も適しているかについて、以下検討する。

2.3.1 NMOS 3μmプロセス

NMOSでは、消費電力の面で問題があると推測された。そこで、ゲート間をつなぐ配線長として、チップの2辺長に相当する10mmのA1配線長においても10ns/ゲートを満足する条件での消費電力を評価してみた。

そのために、まず、10mmのA1配線長においても10ns/ゲートを満足するゲート回路のデプレッションNMOSのW/Lを求める。Wはチャンネル幅で、Lはチャンネル長である。

この場合には(2.1)式を調べれば良い。

$$t_{pd} = C \cdot V_{out} / I = W_w \cdot L_w \cdot C_s \cdot V_{out} / \{ (1/2) \beta_0 \cdot (W/L) \cdot V_{thd}^2 \} \leq 10 \text{ ns} \quad (2.1)$$

ここで、 t_{pd} : 遅延時間、 C : Al配線容量、 V_{out} : 出力電圧、 I : NMOS電流、 β_0 : チャンネルコンダクタンス、 V_{thd} : デプレッションNMOSのスレッシュホールド電圧、 W_w : Al配線幅、 L_w : Al配線長、 C_s : 面積当りのAl配線容量である。

(2.1)式に、NMOS 3 μm プロセスでの値、すなわち、 $W_w = 4 \mu\text{m}$ 、 $C_s = 0.27 \times 10^{-4} \text{ pF} / \mu\text{m}^2$ 、 $V_{out} =$ 内部遅延時間の算定に用いる電圧レベル2V、 $\beta_0 = 32.3 \mu\text{S}$ 、 $V_{thd} = 3.7 \text{ V}$ を、また、 $L_w = 10 \text{ mm}$ を代入して、計算すると

$$W/L \geq 0.97 \quad (2.2)$$

となる。(2.2)式を満たすことが、遅延時間の点から必要である。 W/L が0.97程度の論理ゲートは作成できるので、10 ns /ゲートは可能である。次に、消費電力を求める。

この場合の入力ハイレベルでの基本論理ゲートの消費電力は、

$$I_{cc} \times V_{cc} = (1/2) \cdot \beta_0 \cdot (W/L) \cdot V_{thd}^2 \times V_{cc} = 1.1 \text{ mW} / \text{ゲート}$$

となる。

従って、チップ当りの消費電力 P_d は、

$$P_d = (1.1 \text{ mW} \times 2000 \text{ ゲート} \times \text{オン率}) + (\text{配線の充放電による消費電力}) = 1.7 \text{ W} + (\text{配線の充放電による消費電力})$$

となる。ここで、オン率は経験上、0.78とした。配線の充放電による消費電力分を除いて既に1Wを超えているので、NMOSは消費電力の点で採用が難しい。

2.3.2 IILプロセス

エミッタとコレクタを逆接続で用いるIILプロセスの場合に最も問題となるのは遅延時間である。従来のプロセス構造によるIIL回路の遅延時間はNエピタキシャル層の厚さを零としても10 nsの限界を越えることができないことがわかっていた。当時のマスク14枚を使ったIILにおいて、1コレクタのIILゲートでは、インジェクタ電流100 μA で6 ns /ゲートが実現されていた。しかし、ゲートアレーに使うためには、論理の自由度を増すためにコレクタ数を増やす必要がある。4コレクタのIILゲートでは、寄生容量、ベース抵抗が増大するために、インジェクタ電流100 μA で15-18 ns /ゲートと遅くなる。配線による遅延もさらに加わり、IILゲートアレーでは10

nsを達成することは難しいと判断した。

2.3.3 CMOS 3 μm プロセス

次にCMOS 3 μm プロセスについて検討する。

(1) 遅延時間

CMOSのオン抵抗 R_{on} は、(2.3)式で表わされる。

$$R_{on} = 1 / \{ \beta_0 \cdot (W/L) \cdot (V_{gs} - V_{th}) \} \quad (2.3)$$

ここで、 V_{gs} はゲート、ソース間電圧、 V_{th} はスレッシュホールド電圧である。

10 mmのAl配線において、10 ns /ゲートを満足するには、(2.4)式が成立する必要がある。

$$t_{pd} = R_{on} \cdot C + (\text{ゲート回路単体の遅れ}) = R_{on} \cdot W_w \cdot L_w \cdot C_s + (\text{ゲート回路単体の遅れ}) \leq 10 \text{ ns} \quad (2.4)$$

ここで、 t_{pd} : 遅延時間、 C : Al配線容量、 W_w : Al配線幅、 L_w : Al配線長、 C_s : 面積当りのAl配線容量である。

(2.4)式に、(2.3)式を代入し、CMOS 3 μm プロセスでの値、すなわち、 $W_w = 4 \mu\text{m}$ 、 $C_s = 0.31 \times 10^{-4} \text{ pF} / \mu\text{m}^2$ 、インバータゲート単体の遅れ = 1.6 ns、 $\beta_0 = 12.8 \mu\text{S}$ 、 $V_{th} = 0.5 \text{ V}$ を、また、 $V_{gs} = 5 \text{ V}$ 、 $L_w = 10 \text{ mm}$ を代入して、計算すると

$$W/L \geq 2.6 \quad (2.5)$$

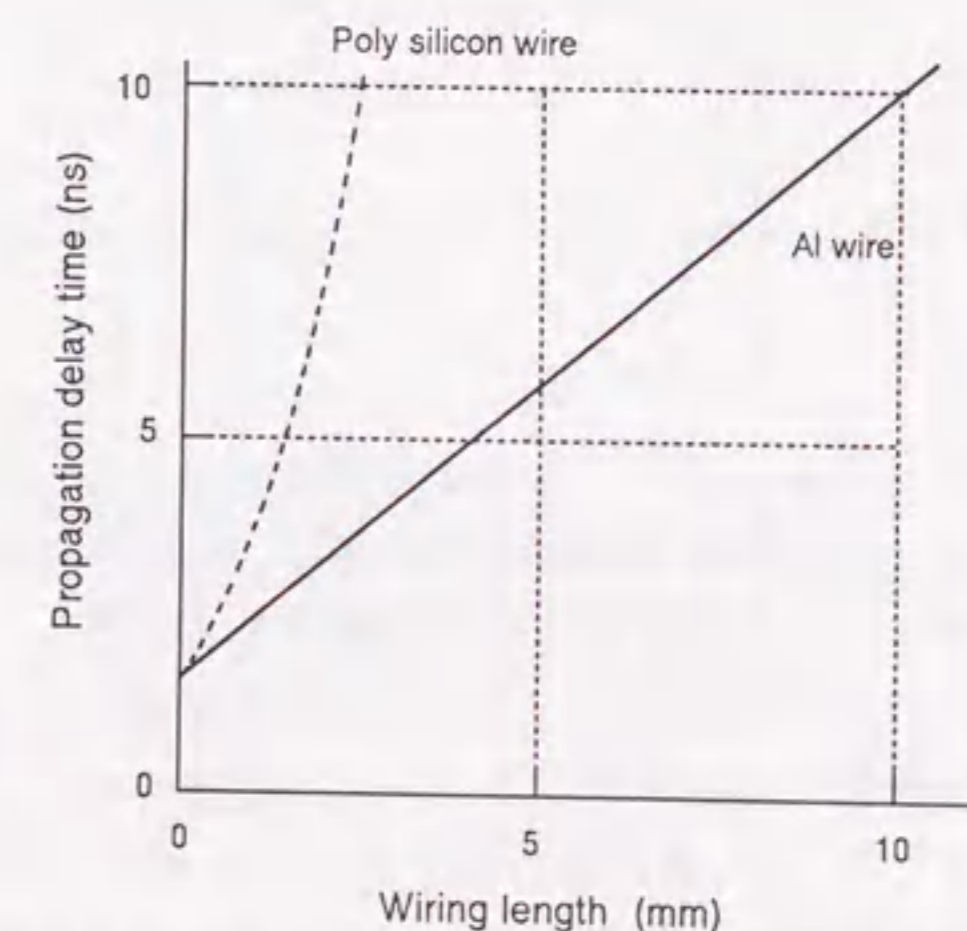


図2.4 遅延時間と配線長の関係

となる。(2.5)式を満たすことが、遅延時間の点から必要である。W/Lが2.6程度のゲート回路は容易に作成できるので、10ns/ゲートは可能と考えられる。

W/Lが2.6の場合の遅延時間とA1配線長の間を関図2.4に実線で示す。ポリシリコン配線の場合には、

$$\begin{aligned} \text{単位長当りの配線容量が、} & 4\mu\text{m} \times 1000\mu\text{m} \times 0.35 \times 10^{-4} \text{ pF}/\mu\text{m}^2 \\ & = 0.14 \text{ pF}/\text{mm} \text{ となり、} \\ \text{単位長当りの配線抵抗が、} & 30\Omega/\square \times (1000\mu\text{m}/4\mu\text{m}) \\ & = 7.5 \times 10^3 \Omega/\text{mm} \end{aligned}$$

となる。

従って、ポリシリコン配線長1mmでの遅延時間は、

$$(R_{on} + 7.5 \times 10^3 \times 1) \times 0.14 \times 10^{-12} \times 1 + 1.6 \times 10^{-9} \text{ (秒)} \text{ となる。}$$

この関係を図2.4に破線で示す。これより、ポリシリコン配線はA1配線に比べて遅延が大きいため、長距離配線として使用できない。計算機による自動配線を行うゲートアレーでは、配線長が長くなる可能性が高いので、ゲートアレー用にA1の2層配線技術を開発する必要がある。

(2) 消費電力

CMOS回路の消費電力は、 $n \cdot C \cdot V_{cc}^2 \cdot f$ で表わされる。nはゲート数、Cは負荷容量、 V_{cc} は電源電圧、fは動作周波数である。ここで、負荷容量として、1層目のA1配線(A1①)が5mmで、2層目のA1配線(A1②)が5mmとする。その場合には、負荷容量Cは、

$$C = Ww_1 \times Lw_1 \times Cs_1 + Ww_2 \times Lw_2 \times Cs_2$$

で計算できる。

ここで、 Ww_1 : A1①配線幅、 Lw_1 : A1①配線長=5mm、 Cs_1 : A1①の面積当りの容量、 Ww_2 : A1②配線幅、 Lw_2 : A1②配線長=5mm、 Cs_2 : A1②の面積当りの容量である。

上式に妥当な値、すなわち、 $Ww_1 = 4\mu\text{m}$ 、 $Cs_1 = 0.31 \times 10^{-4} \text{ pF}/\mu\text{m}^2$ 、 $Ww_2 = 5\mu\text{m}$ 、 $Cs_2 = 0.15 \times 10^{-4} \text{ pF}/\mu\text{m}^2$ を代入して計算すると、 $C = 1.0 \text{ pF}$ となる。

従って、10MHz動作で、2000ゲートとすると、消費電力は500mW/チップと計算される。

(3) 集積度

当時のLSIの適切なチップサイズは、6mm角程度以下であった。この6mm角程度のチップに2000ゲートを集積する必要がある。ゲートアレーの場合、チップサイズは、ゲート数はもちろん、配線チャンネル数とも大きな関係がある。即ち、LSIでは溢れ配線は許されず、また、溢れ配線を恐れて必要以上の配線領域を確保することはチップサイズの増大を招くので、適切な配線領域を決定することが重要である。

評価の前提として、(1) A1 2層配線のピッチをそれぞれ8μm、10μmとする。(2) ブロックは、図2.5のように6個の3入力NANDなどの論理ゲートから成る。(3) 論理ゲートの大きさは、3μmプロセスと6μmプロセスのレイアウトピッチの比

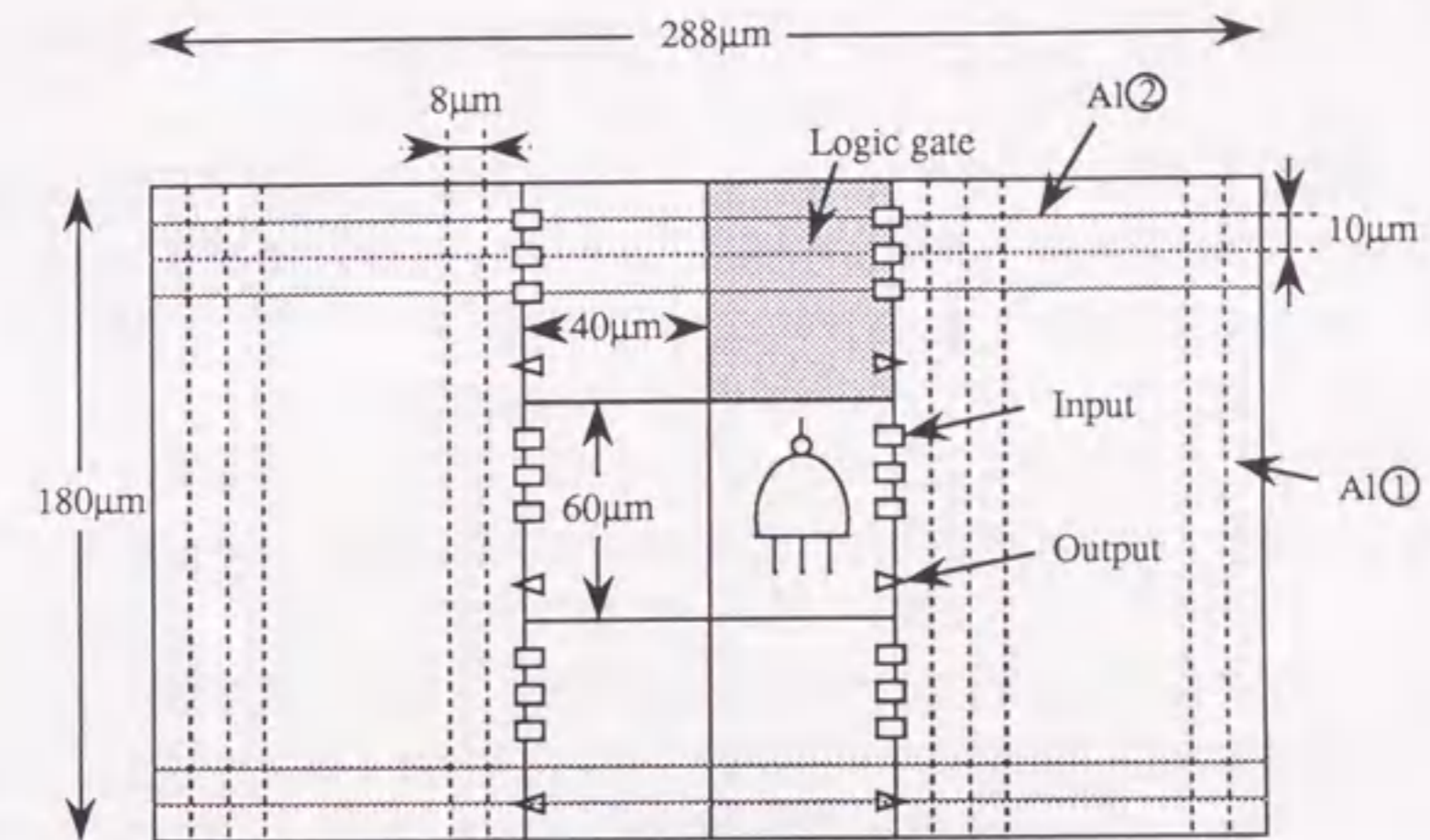


図2.5 試算に用いたブロックの構造

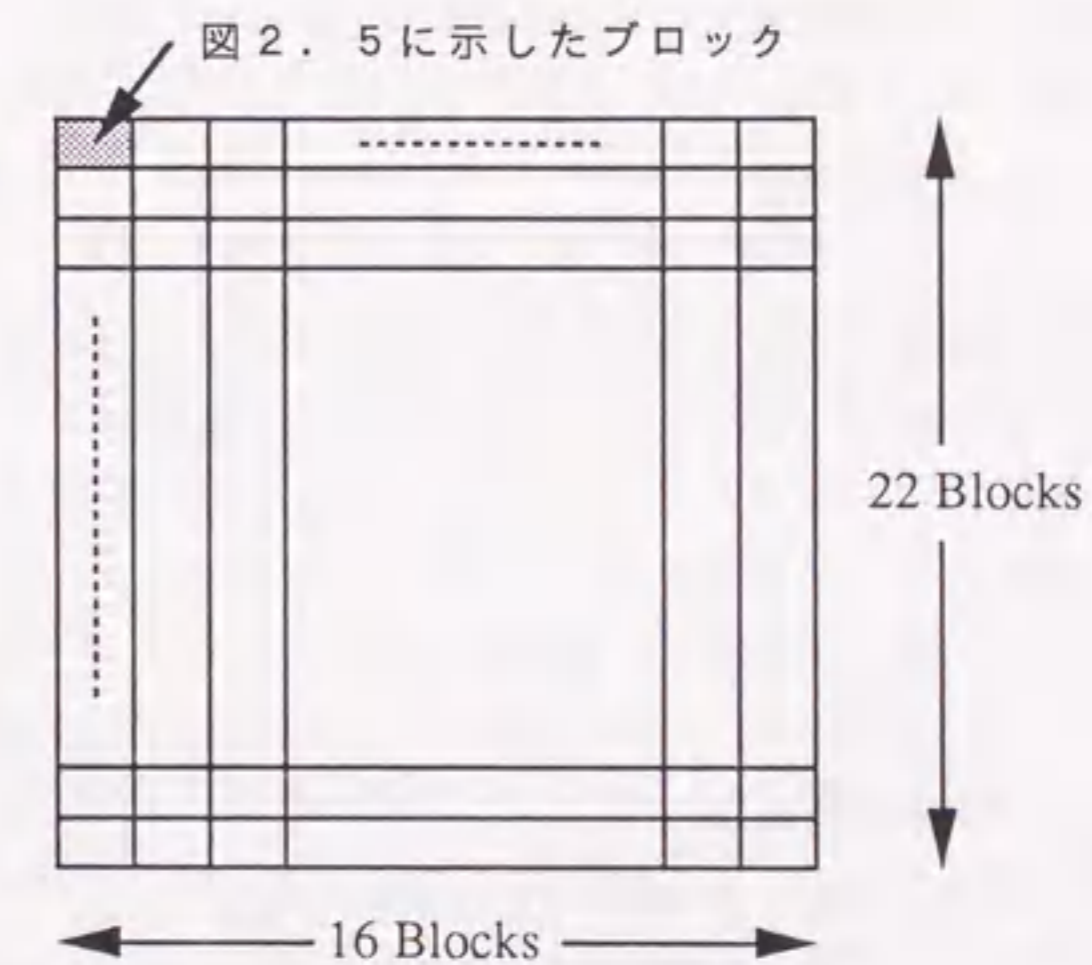


図2.6 チップに並べたブロックの配列

から、6 μ mプロセスの8/11とし、60 μ m \times 40 μ mとした。

また、このブロックを図2.6に示すように、2000ゲート程度になるように、縦に22個、横に16個並べてチップを構成するとする。8 μ mピッチのA1①配線は論理ゲート上を布線できないが、10 μ mピッチのA1②配線は論理ゲート内配線に用いるA1とは層が異なるので、論理ゲート上も布線できる。

縦方向と横方向のブロック当りの配線チャンネル数の比は、縦方向に1列に並んでいるブロックの論理ゲート入出力端子数と横方向に1列に並んでいるブロックの論理ゲート入出力端子数の比になるのが妥当と考えられる。

横方向に1列に並んでいるブロックの論理ゲート入出力端子数は、

$4 (\text{個/ゲート}) \times 6 (\text{ゲート/ブロック}) \times 16 (\text{ブロック/横方向}) = 384 (\text{個})$ である。384個の入出力端子数に対し、横方向のブロック当りの配線チャンネル数は、18本である。

一方、縦方向に1列に並んでいるブロックの論理ゲート入出力端子数は、

$4 (\text{個/ゲート}) \times 6 (\text{ゲート/ブロック}) \times 22 (\text{ブロック/縦方向}) = 528 (\text{個})$ である。従って、縦方向のブロック当りの配線チャンネル数は、

$18 \times (528 / 384) = 25$ 本が妥当である。

この時の配線領域も含むブロックの大きさは、288 μ m \times 180 μ mとなる。従って、チップの論理ゲート領域は、4.6mm \times 4.0mmとなる。入出力回路領域を1.5mmとすると、チップサイズは、6.1mm \times 5.5mmとなり、実現可能な値である。

以上の検討により、集積度として2000ゲート/チップ、遅延時間として10ns/ゲート以下、消費電力として1W/チップ以下のゲートアレーを、2層A1を有するCMOS 3 μ mプロセスで実現できる可能性のあることが分かった。

2.4 マスタチップの方式検討

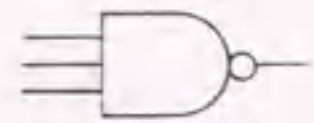
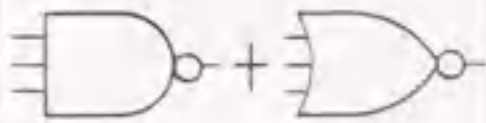
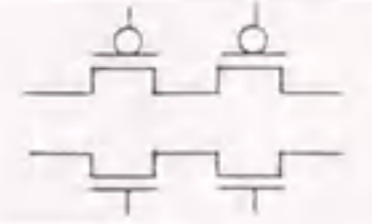
ゲートアレーの要求仕様及びプロセス技術を検討の結果、CMOS 3 μ m技術と2層A1配線技術を使用し、要求にあった低電力、高速、高集積のゲートアレーを実現できる見通しを得た。ゲートアレーLSIでは、品種に共通なマスタ部と品種毎に異なる配線部とに分けられる。品種によって共通なマスタチップによって、LSIの性能が決定される。この項では、そのマスタチップの方式の検討について述べる。

2.4.1 基本ゲート単位の検討

マスタチップ上に配列しておく基本ゲートの構成単位として、(イ) 3入力NANDあるいは3入力NORといった既に論理ゲート機能を持った基本的論理ゲートを用意する方法と、(ロ) PMOSとNMOSのトランジスタペアを用意する方法があるが、下記のような理由でトランジスタペアを基本単位とすることに決定した。

(イ) 融通性に富み、種々の論理ゲートを最小のトランジスタ数で構成できる(表2.1参照)。

表2.1 各基本ゲート単位の比較

基本ゲート方式	単一論理ゲート方式	混在論理ゲート方式	トランジスタ方式	
基本ゲート単位				
構成ゲート				
使用				
ト				
ラ				
ン				
ジ				
ス				
タ				
数				
	3入力NAND	6	6	6
	9入力NAND	42	30	26
	3入力NOR	30	6	6
	9入力NOR	102	30	26
	EOR	24	24	14
	ENOR	30	24	14
	2ワイド2入力AND-NOR	24	24	8
	2ワイド2入力OR-NAND	42	24	8
	DタイプFF ('74)	36	36	40
	JKタイプFF ('109)	102	72	48

(ロ) クロックド(clocked)インバータ等、MOS回路の特徴を活かした回路構成が可能である。

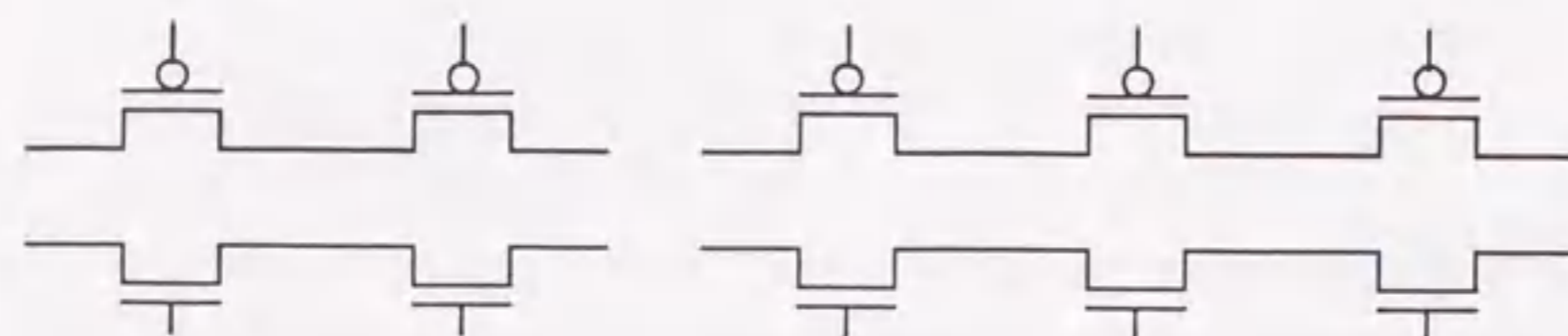
しかし、配線層のみ変更して所望のLSIを形成するゲートアレーであるため、配列しておくMOSトランジスタのチャンネル幅が固定される。そのため、次のような問題が考えられるが実用上問題ない。

(イ) 構成したNANDとNORとで、論理スレッシュホールド電圧が異なり、論理の組合せによっては、パルス信号の幅が変化する。これは高速パスの場合、注意を要するが実用上問題ない。

(ロ) 多入力NANDやNORのノイズマージンが減少する。しかし、4入力のNANDあるいはNORまで許容した場合でも、最小で約1Vのノイズマージンを有しており、問題ない。5入力以上のNANDやNORは4入力以下のNAND、NORの組合せ構成で拡張可能である。

2.4.2 基本セルの構成

トランジスタペアの構成法として図2.7に示すように(a) 2連のトランジスタペアと(b) 3連のトランジスタペアが基本的に考えられる。(b)の3連のペアからは、(イ) 3入力NAND1個、(ロ) 3入力NOR1個、(ハ) 2入力NAND1個とインバータ1個、(ニ) 2入力NOR1個とインバータ1個、(ホ) インバータ2個のいずれか一通りが構成可能である。しかし、(ホ)のインバータ2個を構成した場合には、3連の真中のトランジスタがPMOSとNMOSで合計2個無駄になる。これに対し、(a)の2連ペアはトランジスタが無駄にならず、更に、3入力ゲートへの拡張も容易であるので、トランジスタペアとして、(a)の2連を採用した。

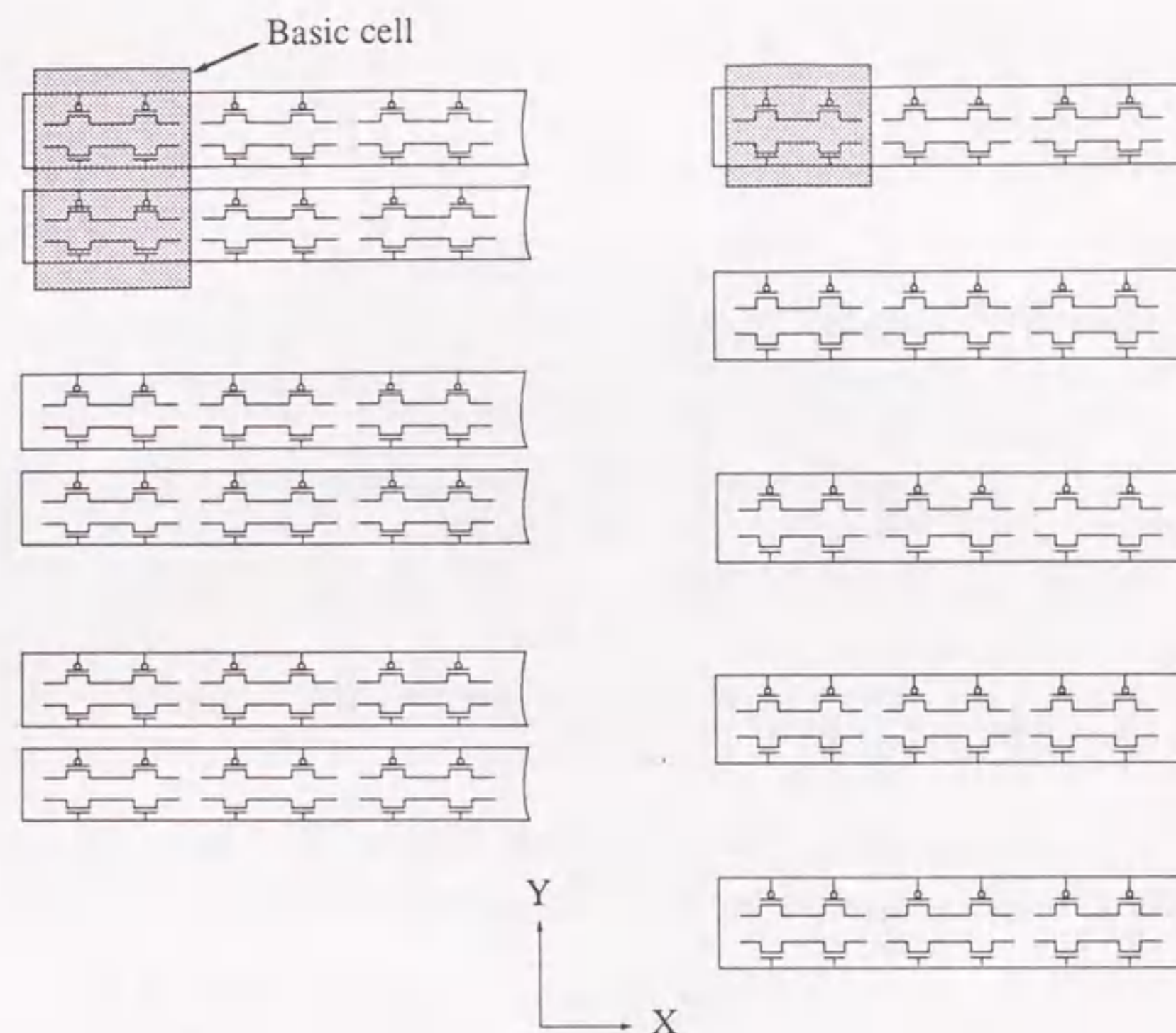


(a) 2 series

(b) 3 series

図 2. 7 トランジスタペアの構成法

次に、そのトランジスタペアの配置法として、図 2. 8 に示すように (a) Y 方向の間隔、即ち、配線チャンネルを一つおきに広くとる方法と、(b) 等間隔におく方法が考えられる。ポリシリコンの長距離配線を用いると遅延時間が極端に大きくなるので、基本的には A 1 の 1 層目を X 方向配線に用い、2 層目を Y 方向配線に用いる。しかし、配線チャンネル領域を有効利用するためにフリップフロップ等の複雑な論理ブロックを構成する際にはポリシリコン配線も用いることにした。X 方向に連なった 1 行のトランジスタペアで論理ブロックを構成すると、論理ブロック内配線としてポリシリコン配線を用いにくい。また、DA (Design Automation) が、固定論理ブロック方式、即ち、論理ブロックの大きさとして、ある大きさを持つ 1 種類しかサポートせず、小さな論理ゲートは、その論理ブロック内で数個形成するという方式である。そのため、2 行のトランジスタペアで論理ブロックを構成することにし、そのトランジスタペア間には使用者に開放しない固定のポリシリコンのアンダーパスを Y 方向に設けることにした。(b) の等間隔の場合には、論理ブロックを構成する 2 行のトランジスタペア間の A 1 ①配線チャンネル領域が大き過ぎ、また、トランジスタ間を Y 方向に布線されるポリシリコン配線が長くなる。そこで、トランジスタペアの配置法は (a) のようにした。



(a)

(b)

図 2. 8 トランジスタペアの配置法

基本セルの詳細を図 2. 9 に示す。この基本セルを横方向に数個並べ、A 1 ①配線を用いて、各種論理ブロックを構成するが、その大きさとして、固定論理ブロック方式であるので、準備する最大の規模の JK フリップフロップ等を構成できるトランジスタ数に相当する基本セル 6 個分を 1 論理ブロックの大きさとした。二つのトランジスタペア間にはできるだけ狭い方が望ましく、各種論理ブロックの構成を検討した結果、A 1 ①チャンネル 2 本分準備することにした。トランジスタペアの脇の 1 本のポリシリコン配線も各種論理ブロックの構成結果より決定した。

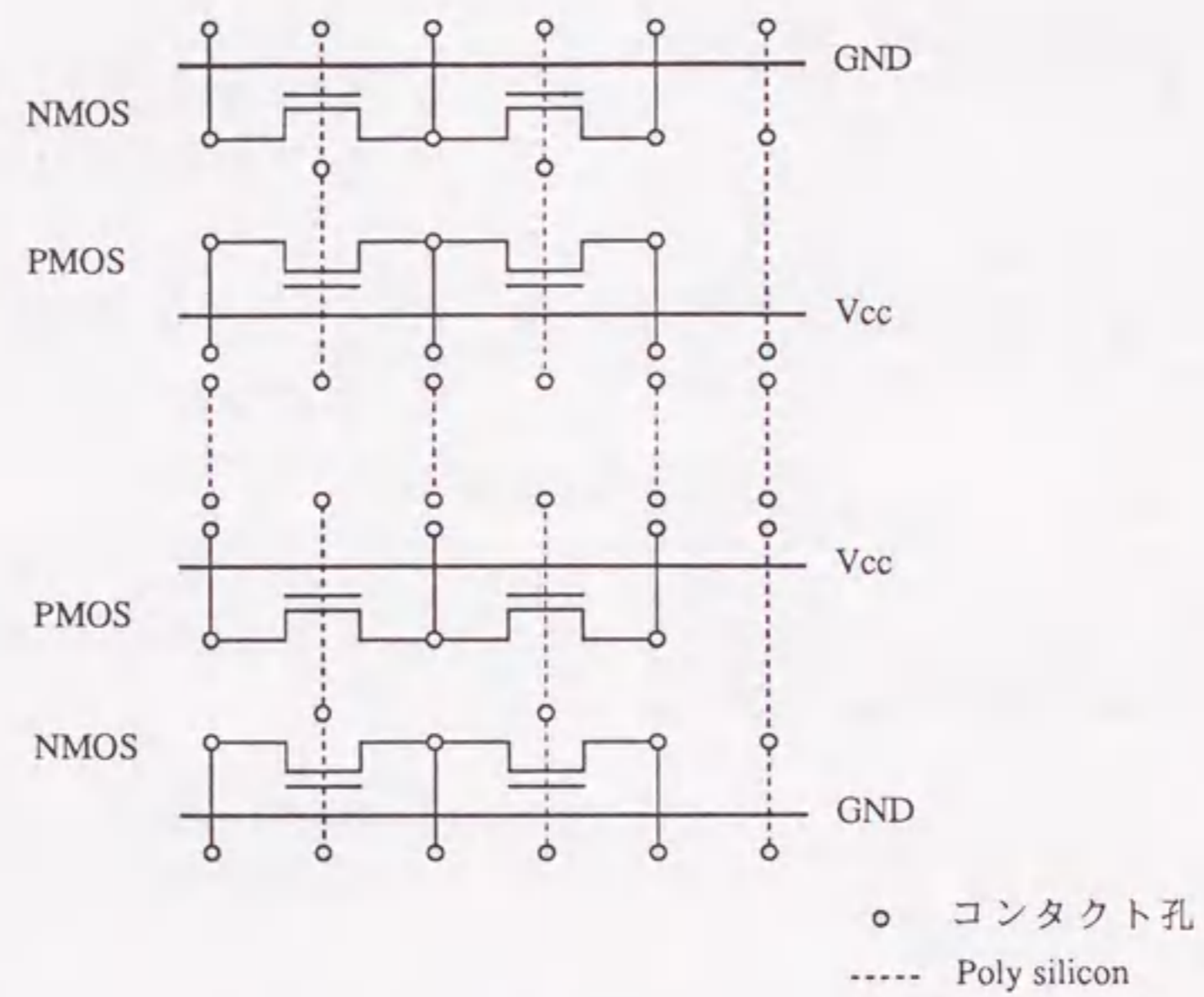
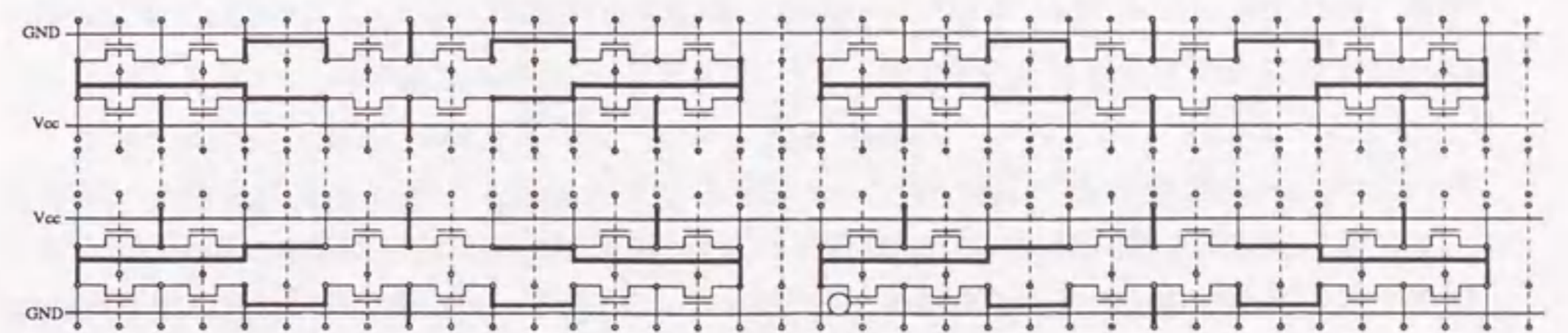
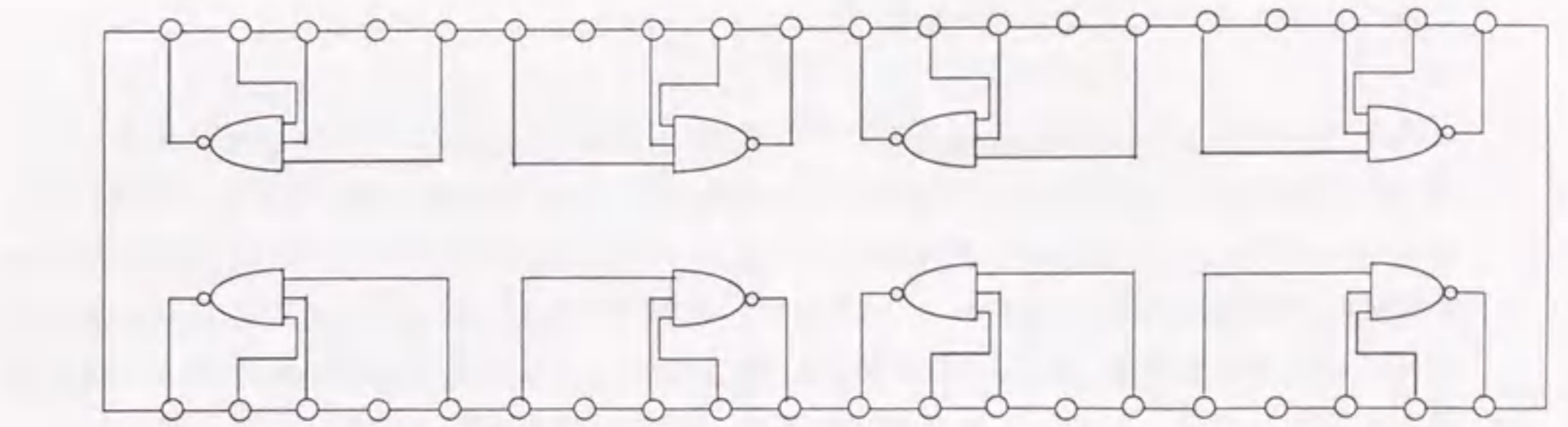


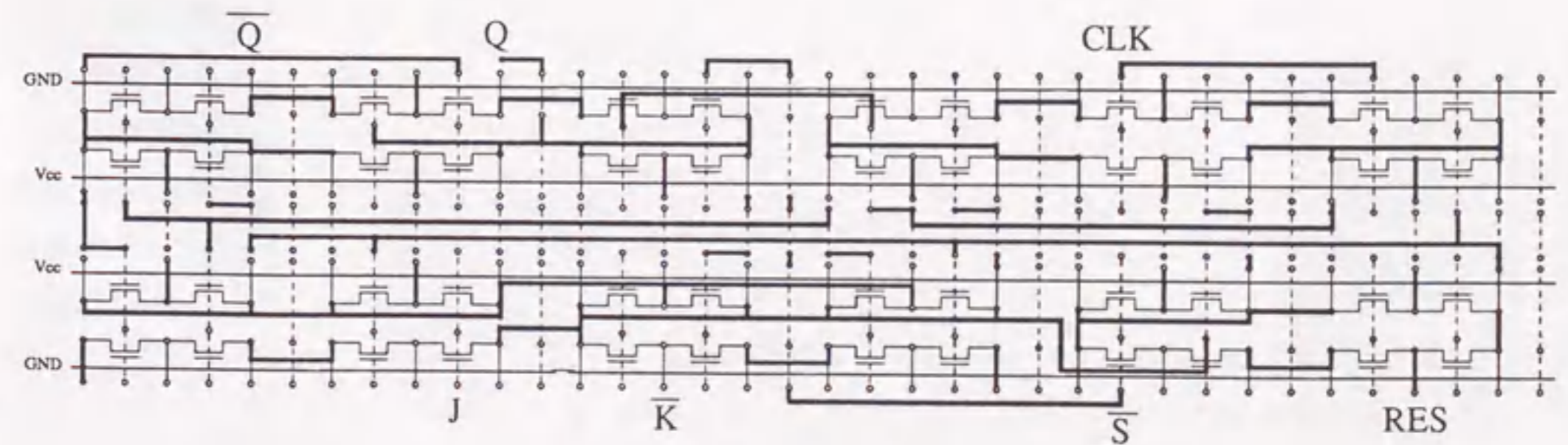
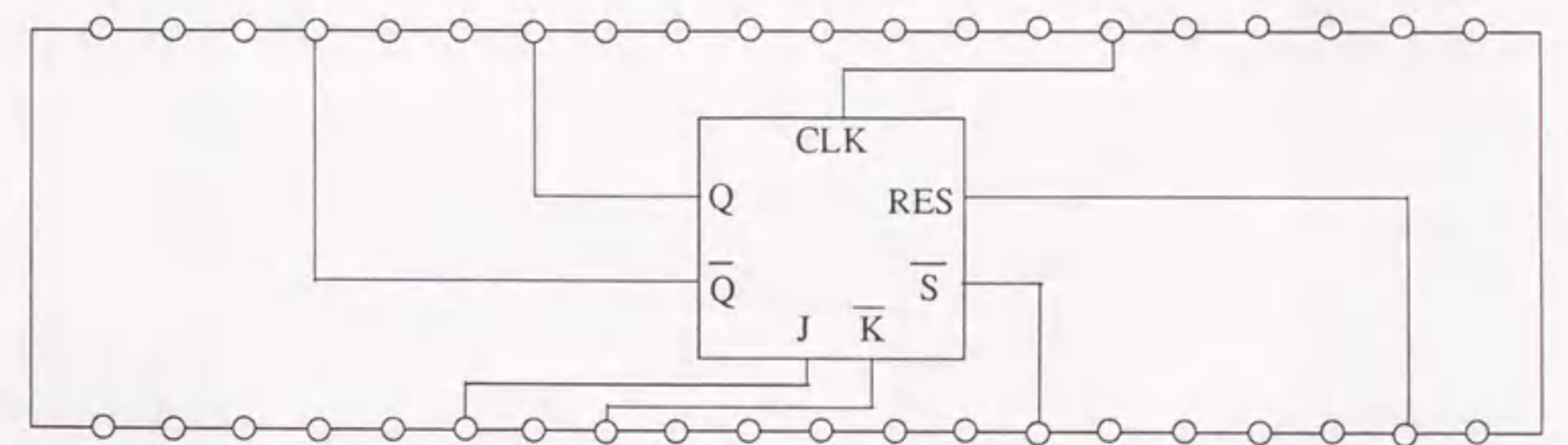
図 2. 9 基本セルの構成

2. 4. 3 論理ブロック

論理ブロックの大きさは1種類(固定論理ブロック)、1論理ブロックに含まれる機能論理ゲートの数は8個以下、論理ブロックの入出力端子数は40端子以下など、DA上の制約があり、論理ブロックファミリの作り方が煩雑となったが、各種入力数のNAND、NOR、インバータ、EOR、マルチプレクサ、デコーダ、フリップフロップ、カウンタ、シフトレジスタ等、61種類の論理ブロックを準備した。図2. 10に8個の3入力NANDゲートが入った論理ブロックとJKフリップフロップが1個入った論理ブロックの例を示す。



8個の3入力NAND



JKフリップフロップ

図 2. 10 論理ブロック例

2.5 マスタチップのデバイス設計

本ゲートアレーは、論理LSIとしては初めてのCMOS 3 μ mプロセスを採用し、その上に、MOS LSIとしては、初めてのA1 2層配線技術を用いるため、回路解析プログラムのパラメータ値の実績がなかった。つまり、このプロセスによる回路の性能や集積度と密接な関係を持つトランジスタのサイズを正確に評価するための手段がなかった。また、DAで自動配置、配線後に、即ち、論理ゲートの負荷条件が決まってから、遅延時間を計算するディレイチェックを実施する場合に必要な遅延時間定数を正確に推定できなかった。そこで、各種論理ゲートの遅延時間や消費電力などの評価、DA用の各種定数の確定、回路解析プログラム用パラメータ値の確定などを目的に回路TEG (Test Element Group)を設計及び評価した。

2.5.1 回路TEGの設計

本TEG (名称: EVE1)は、図2.11に示すように2mm角のAからIまでの9個のチップで構成され、全体で6mm角である。このうち、A、B、C、G及びIが回路

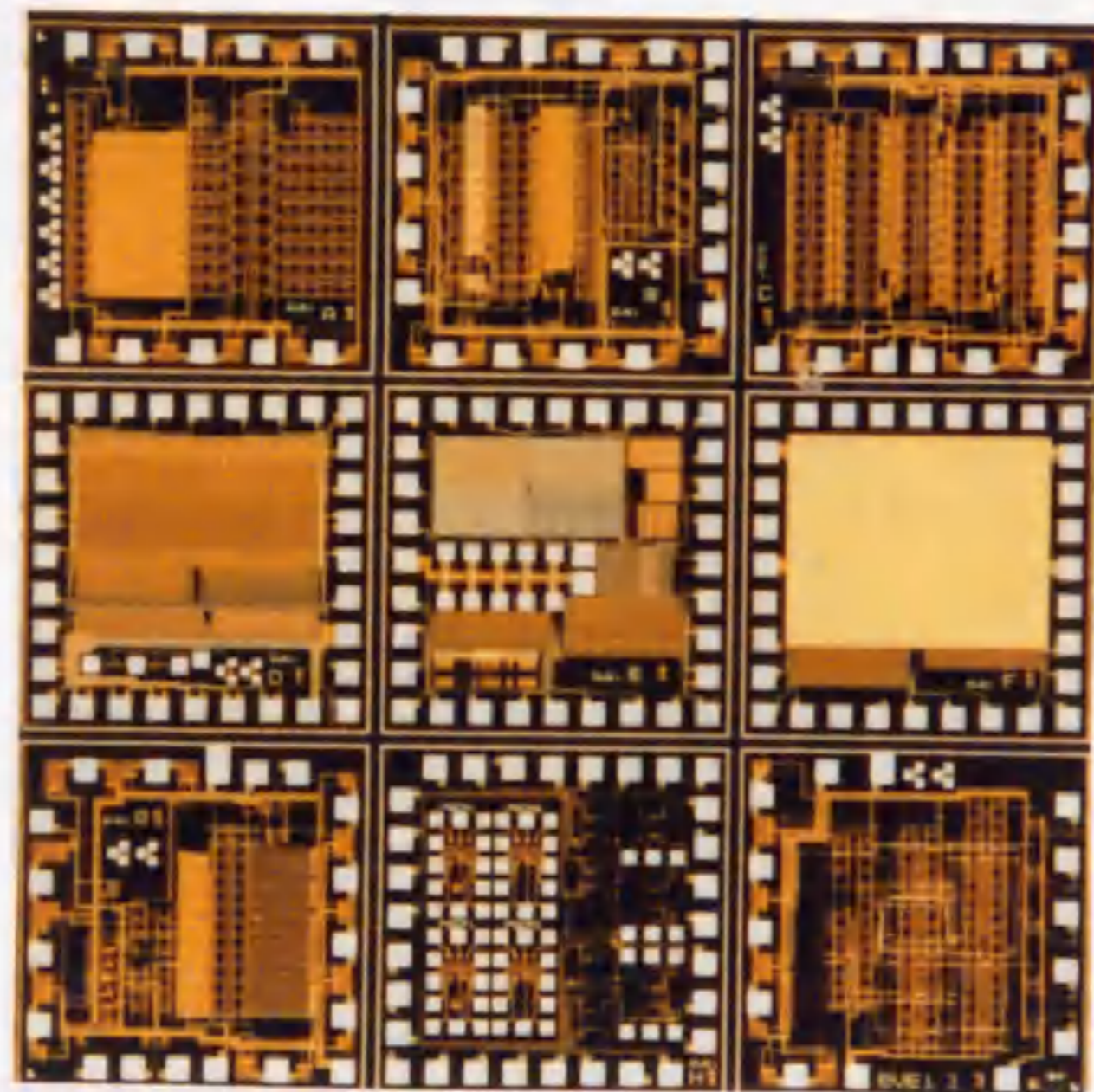


図2.11 TEG (名称EVE1)の構成

TEGである。D、E、F及びHはプロセスTEGである。回路TEGの評価項目をまとめると表2.2のようになる。LSIの特性は使用温度、使用電源電圧、スレッショルド電圧等によっても変動するので、これらの条件を変えた場合の特性を検討する必要がある。スレッショルド電圧については、プロセス管理幅の5点について試作し、遅延時間、消費電力の各パラメータ (温度、電源電圧、トランジスタサイズ、負荷容量) に対する依存性を実測することによって、回路解析プログラム用のパラメータなど設計に必要な情報を得る。ここでは、内部論理ゲートの性能評価用の設計について述べる。

(1) 内部論理ゲートの遅延時間特性

代表的な論理ゲートとして、2入力NANDを選んだ。ゲートアレーであるため、配線マスクを変更するのみで各種論理ゲートを構成する。そのため、トランジスタ上に論理ゲートを構成するA1配線の通過用のスペースが必要である。このスペースについて検討した結果、トランジスタのチャンネル幅WとしてPMOS、NMOSともに29 μ m程度まではセルの大きさが変わらないことが判明した。トランジスタのチャンネル幅Wが大きい程、論理ゲートのスピードは上がる。従って、チップサイズが大きくなる範囲でトランジスタサイズを大きく選んだ方がスピードの点で有利である。そこで、チャンネル幅W (μ m)とチャンネル長L (μ m)との比W/LがPMOS、NMOSともに、(16.5/3)、(24/3)、(32/3)であるトランジスタから構成される2入力NANDを作成して、チャンネル幅のスピードに及ぼす影響を評価する。

また、出力端子に付く負荷によっても遅延時間は変動する。つまり、MOS回路は負荷容量を充放電することによって信号を伝播する。したがって、負荷が重くなればスピードが落ちるので負荷特性を評価する。負荷としては、ゲート回路の入力容量に相当するファンアウト負荷とゲート回路間を結ぶ配線負荷がある。ファンアウト負荷は多いもので20以上になる場合もあるが、TEG面積の都合及び外挿もきくことからファンアウト負荷として1、5、11の3種類を準備した。配線負荷としては、A1①配線でマスタチップの2辺長に相当する10.73mmと、3.77mm、0.62mmの3種類と、A1②配線負荷を準備した。

(2) 内部論理ゲートの消費電力特性

CMOS回路の消費電力は一般に $C \cdot V_{cc}^2 \cdot f$ と表わされる。ここに、Cは負荷容量、 V_{cc} は電源電圧、fは動作周波数である。消費電力はGND端子を別に設ければ、所望の論理ゲートの値が求まる。負荷としてはA1①配線10.73mmと0.62mmの軽重2種類である。論理ゲートは2入力NANDゲートを用い、トランジスタサイズは上記の3種類である。

表 2.2 回路TEG評価項目 (交点の丸印を実施)

評価項目	パラメータ
(1) 2入力NAND関係 ・tpd-W/L依存性…(a) ・tpd-Al①負荷依存性…(a) ・tpd-fan out依存性…(b) ・Pd-W/L依存性…(c) ・Pd-freq.依存性…(c) ・tpd-Al②負荷依存性…(d)	
(2) 2入力NOR関係 ・tpdの2入力NANDとの比較…(a)(b) ・Pdの2入力NANDとの比較…(c)	
(注) tpd: 遅延時間 Pd: 消費電力 fmax: 最大動作周波数	
(3) D F/F (レベルトリガ) ・fmax, Pd, tpd	$(W/L)_P = (W/L)_N = 24/3$ 固定
(4) JK F/F ・fmax, Pd, tpd	同上
(5) 5ビットカウンタ ・fmax, Pd, tpd	同上
(6) 入出力回路関係 ・tpd-W/L依存性 ・Pd-W/L依存性 ・DC特性	
(7) V_{LT} の違いによる影響	
(8) ラッチアップ試験	
(9) 静電破壊試験	
(10) 信頼度試験	

2.5.2 TEGの実測結果とその検討

約300個のサンプルを測定した。評価結果をまとめて、表2.3に示す。図2.12-2.14に、その基本特性を示す。

表 2.3 回路TEG評価結果

No	評価項目	結果
1	評価サンプルのスレッシュホールド電圧 (PMOS, NMOS)	lot # 2: (-0.62V, 0.5V) lot # 3 W1(-0.40, 0.71), W8(-0.72, 0.66) W18(-0.59, 0.52) W3(-0.38, 0.45), W6(-0.72, 0.48)
2	2入力NANDの遅延時間 tpd の負荷依存性	tpd(ns) = 0.68 + 0.47x(f.o数) + 0.52x(Al①長) (lot#2, W/L=24/3, Vcc=5V, T=25℃) f.o=4, Al①長=5mm tpd=5.2ns
3	2入力NANDの遅延時間 tpd のチャンネル幅依存性	tpd(W/L=16.5/3) : tpd(24/3) : tpd(32/3) = 1.27 : 1.0 : 0.82 W=30μm付近からスピードの向上が小さくなる傾向あり。
4	2入力NANDの遅延時間 tpd の使用条件依存性 T = -20 - 75℃ Vcc = 4.5 - 5.5V Vth = 0.4 - 0.7V	tpd(最遅) : tpd(標準) : tpd(最速) = 1.4 : 1.0 : 0.7
5	2入力NANDの消費電力 Pd の周波数依存性	Pd(W) = 4x10 ⁻¹¹ f : Al①負荷10.73mm時 Pd(W) = 1.3x10 ⁻¹¹ f : Al①負荷0.62mm時 f[Hz] W/L=24/3, Vcc=5V
6	2入力NANDの消費電力 Pd のチャンネル幅依存性	Pd(W/L=16.5/3) : Pd(24/3) : Pd(32/3) = 0.92 : 1.0 : 1.10
7	入力回路のDC特性 ・入力レベル V _{IH} / V _{IL} ・出力レベル V _{OH} / V _{OL} ・リーク電流	TTL規格を満足し問題無し
8	ラッチアップ試験	140V以上問題無し
9	静電破壊試験	50%破壊 250V以上問題無し
10	動作寿命試験 (2000hr)	無故障で問題無し

図2.12は、遅延時間の負荷容量（ファンアウト、配線長）依存性を示したものである。配線としては容量の大きいAl①配線で評価しているが、この結果によれば、配線がチップの一辺（5mm）の長さで、次段に三つのゲートが接続された（ファンアウトが3）としても、これを駆動するチャンネル幅24 μ mの2入力NANDゲートの遅延時間は5ns以下であり、10ns以下でLSTTL並みの性能を得るという目標は達成できる。

図2.13は、消費電力の負荷容量及びトランジスタサイズ依存性を示したものである。CMOSの場合、消費電力は周波数、即ち、スイッチング回数に比例するが、ゲートの動作頻度が高い同期回路においても、遅延時間の50倍程度のスイッチング周期で考えれば十分と言われている。従って、遅延時間を5nsとし、スイッチング周期が250ns（周波数2MHzに対応）という条件で、負荷を先の遅延時間の評価で用いた配線長5mm、ファンアウト3よりも大きな10mmの配線と想定しても、消費電力は0.1mW/ゲート以下になる。したがって、2000ゲートでの消費電力は、入出力回路を加えても、1W/チップ以下を大幅に下回ると推定できる。

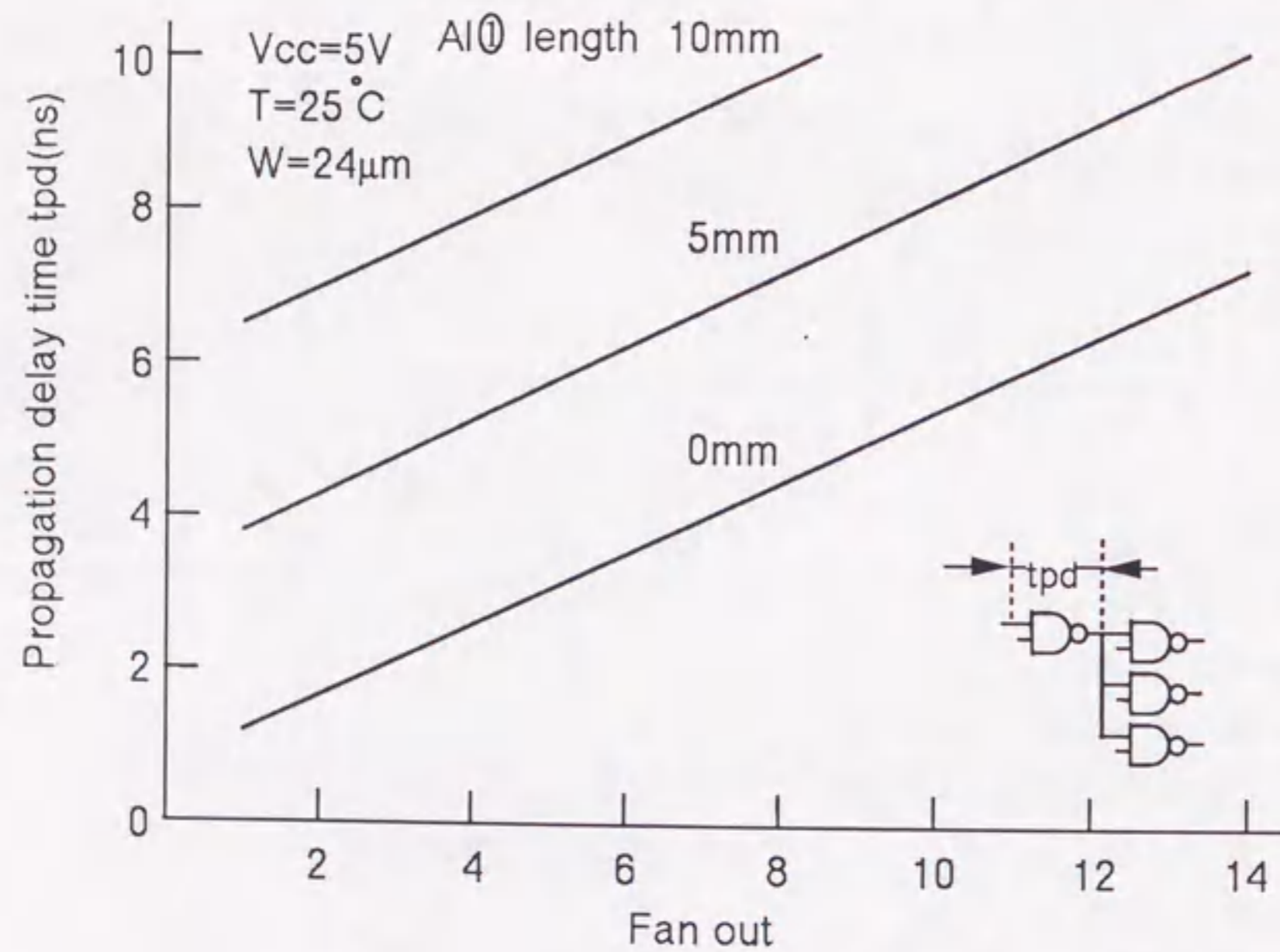


図2.12 2入力NANDのゲート遅延時間特性

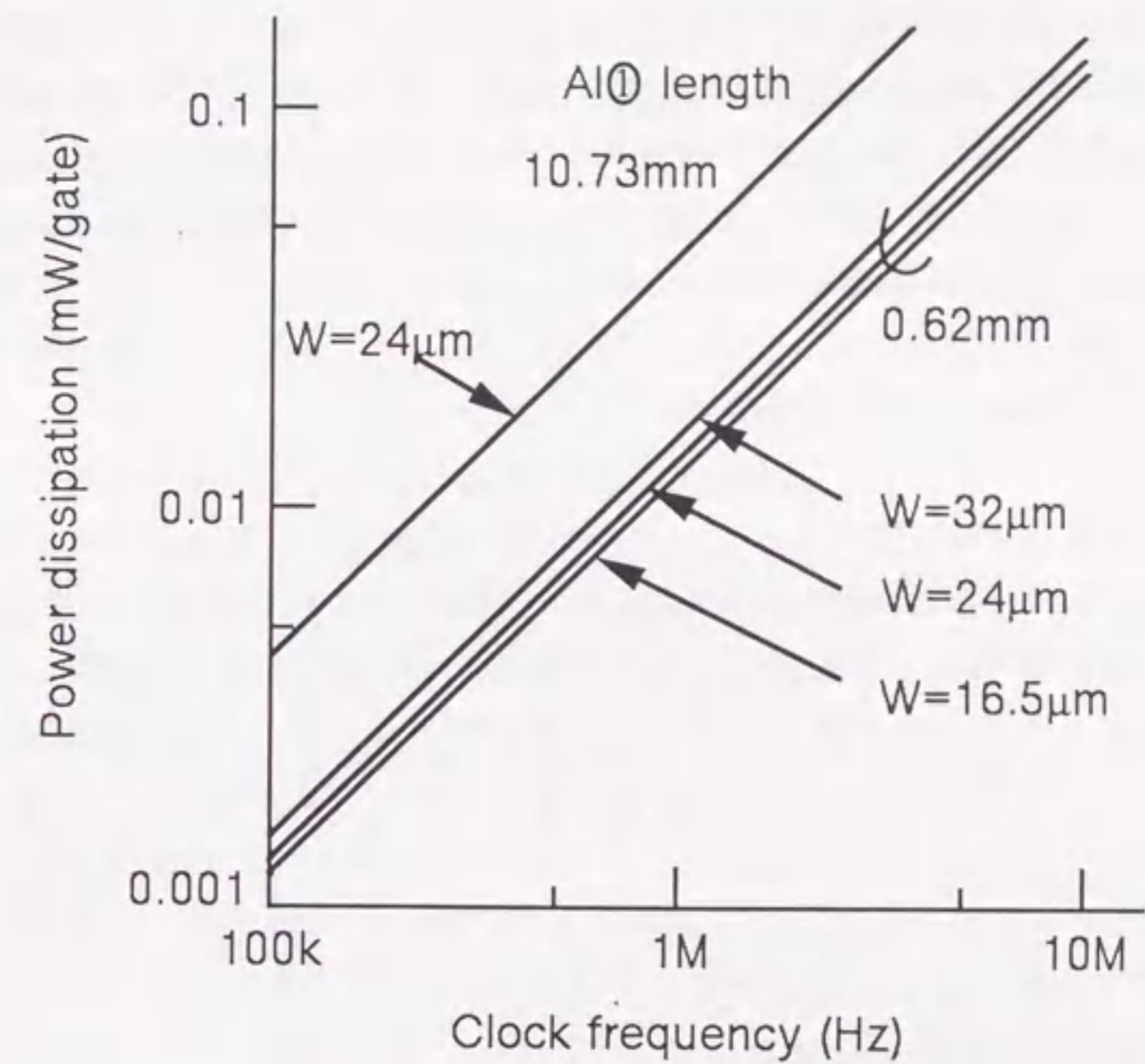


図2.13 2入力NANDの消費電力特性

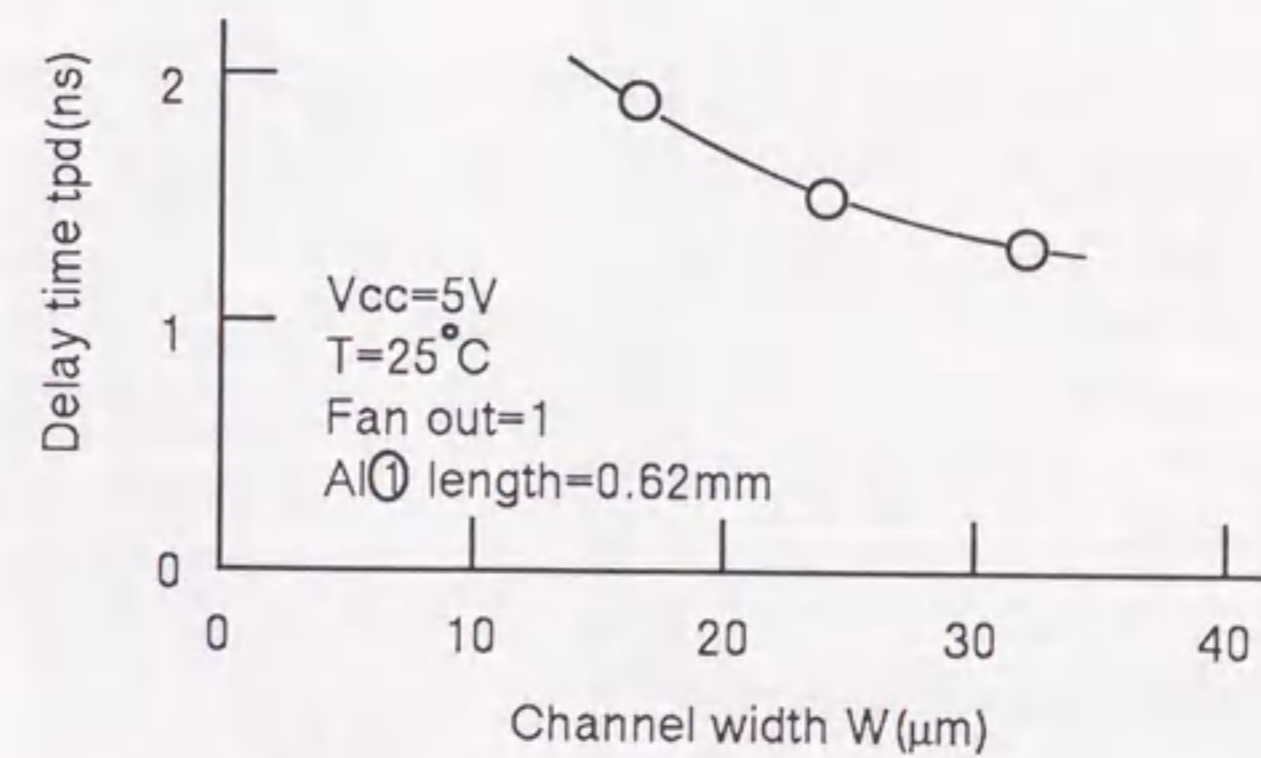


図2.14 2入力NANDのゲート遅延時間特性
(チャンネル幅依存性)

図2.14は、遅延時間のトランジスタサイズ依存性を示したものである。この結果によれば、遅延時間は、図2.12に示したチャンネル幅 $24\mu\text{m}$ のものに比較して、サイズを増加すれば、さらに、短縮できる余地がある。一方、図2.13によれば、消費電力はトランジスタサイズで大きな差が見られないため、チップサイズが大きくなる範囲でトランジスタサイズは大きく選ぶべきである。以上の結果及びセル設計の工夫などから、マスタチップにおいては、PMOSトランジスタのチャンネル幅を $36.5\mu\text{m}$ 、NMOSトランジスタのチャンネル幅を $28\mu\text{m}$ と決定した。

2.6 マスタチップの設計と評価

2.6.1 チップ構成

チップサイズは 6mm 角程度を目標とした。基本セルは、横方向には隙間なく並べ、縦方向にはA1①の配線チャンネル領域を挟んで配置する。従って、配線チャンネルを何本にするかによってゲート数もチップサイズも変わる。本ゲートアレーは、基本セルが横方向に6個並んで一つの論理ブロックという固定論理ブロック方式を採用している。既に、固定

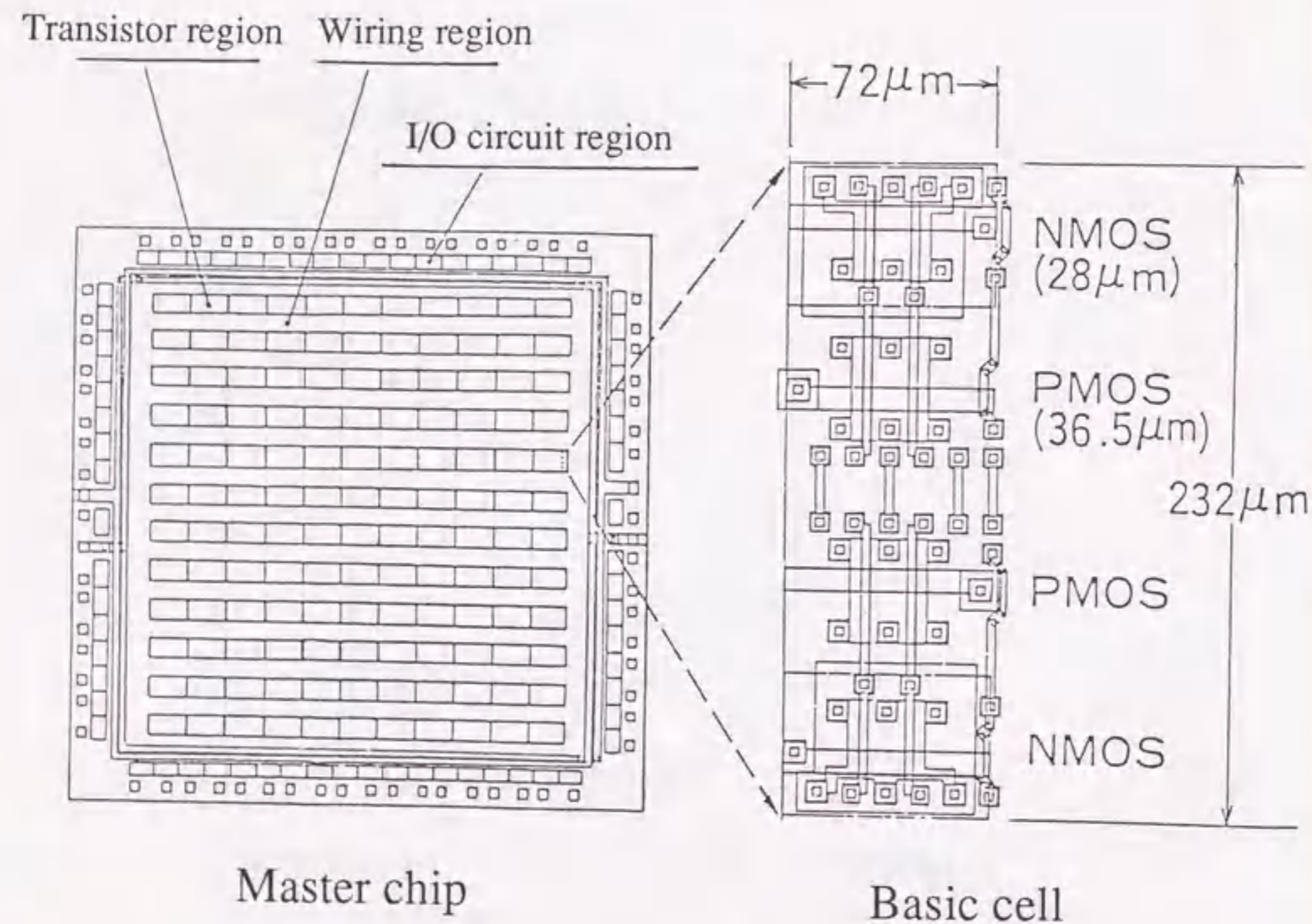


図2.15 マスタチップと基本セルの構成

論理ブロック方式のバイポーラゲートアレーが開発されており、ある程度、チャンネル容量に関する実績はあった。論理ブロックが、X方向に多数並べば、それらの間を結線するためにA1①の配線チャンネルがたくさん必要であるし、Y方向に多数並べば、A1②の配線チャンネルがたくさん必要である。そこで、必要配線チャンネル数の評価基準として、配線チャンネル数/入出力端子数を用いることにした。各種ブロック配置、配線チャンネル数を検討した結果、論理ブロック当りのA1①配線チャンネル数は24本と決定した。上記他のゲートアレーと比較した場合、A1①の配線チャンネル数/入出力端子数が若干小さかったが、本ゲートアレーは論理ブロックをA1配線で構成する際に、配線領域まで使用する、いわゆる、はみ出し配線が全くなく、また、かなり複雑な論理ゲートまで論理ブロックでサポートしているので問題ない。チップ構成と基本セルを図2.15に示す。ゲート数は、 $2(\text{ゲート/基本セル}) \times 6(\text{基本セル/ブロック}) \times 11(\text{ブロック/段}) \times 12(\text{段/チップ})$ で1584ゲート/チップである。当初の目標の2000ゲートより、若干小規模になったが、需要を満たすことができるのでこのように決定した。チップサイズは 6.5mm 角である[3]。

2.6.2 ALUの試作とその評価

設計したマスタチップの性能評価、配線チャンネル数の評価等を目的にして、16ビットのALU(Arithmetic and Logic Unit)を試作した。試作した16ビットALUのブロック図を図2.16に、チップ写真を図2.17に示す。ALU部はTI社の74181と同等の機能を持つ16ビット構成のALUである。レジスタファイルは16ビット×4ワードでその出力をラッチするテンポラリレジスタA、Bを有している。使用ゲート数は1499ゲートで、ゲート使用率は95%である。使用論理ブロック種は61種あるうちの20種類である。

表2.4にALU評価結果をまとめて示す。AC特性、DC特性共に良好な特性が得られている。

図2.18は試作LSIの中から標準的な三つのパスを選び、遅延時間を実測した結果を示している。ゲートアレーの実際の使用状態での負荷条件(平均配線長、平均ファンアウト)とこれに対応する遅延時間を表わしている。これらのパスの中には種々の論理ゲートが含まれているが、ゲート当りの遅延時間として、約 5ns という高速な結果が得られている。また、遅延時間の実測値はシミュレーションによる計算値と良く一致している。そこで、シミュレーションによって全ての論理セルの遅延時間を求め、一覧表にして設計の指針とするとともに、DAシステムのディレイチェックのデータとしても利用している。

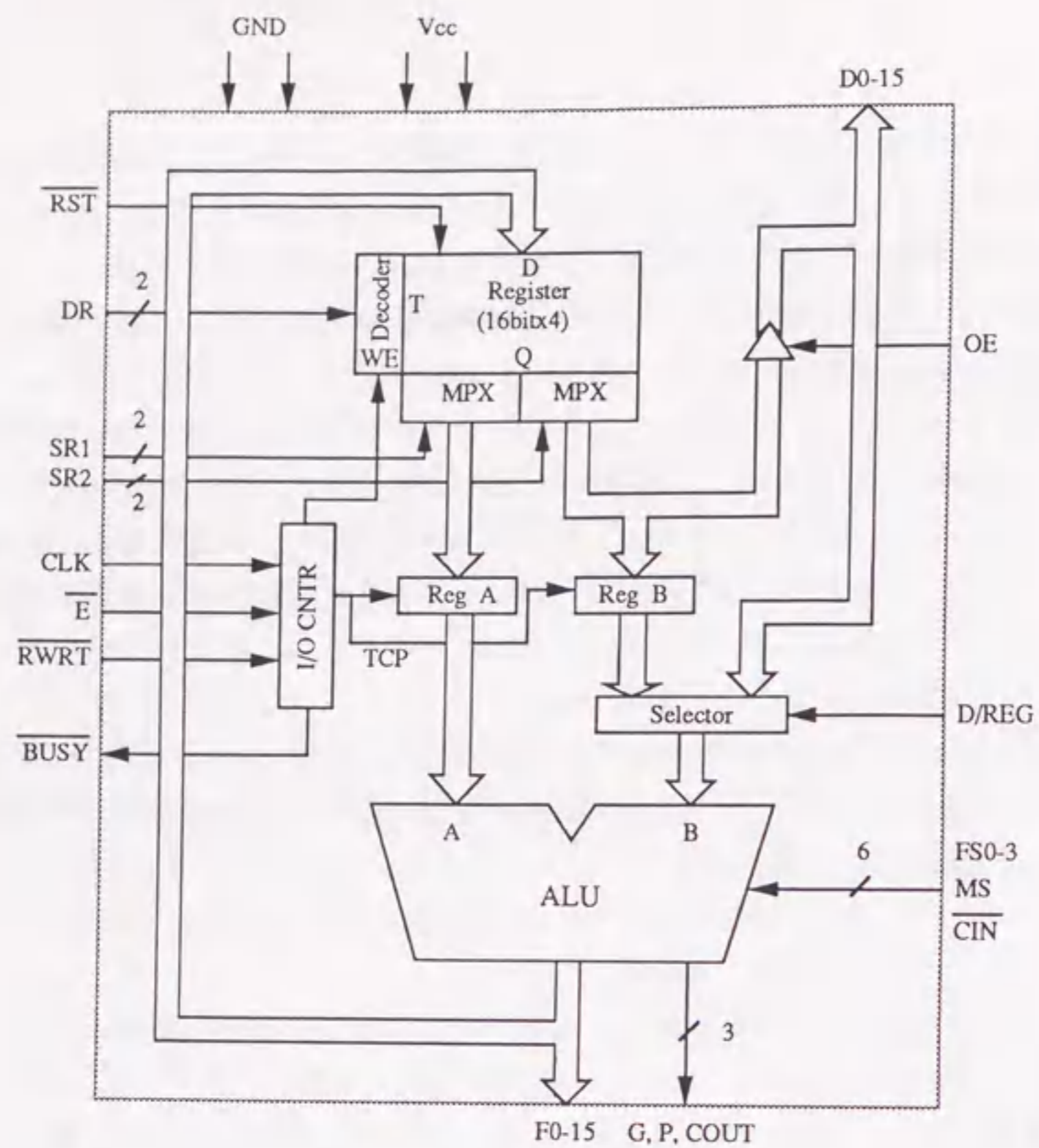


図 2. 16 16ビットALUのブロック図(58ピン)

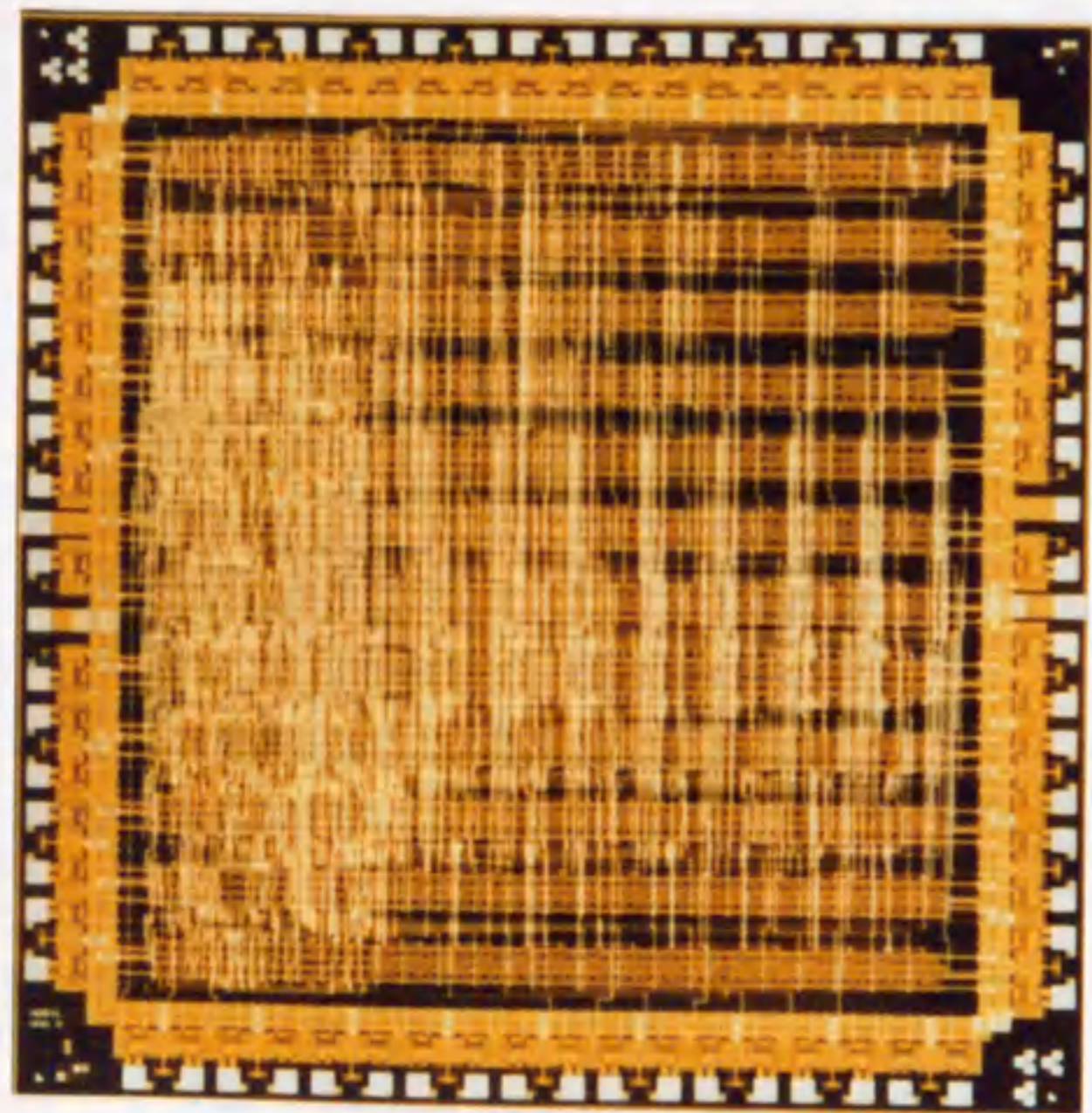
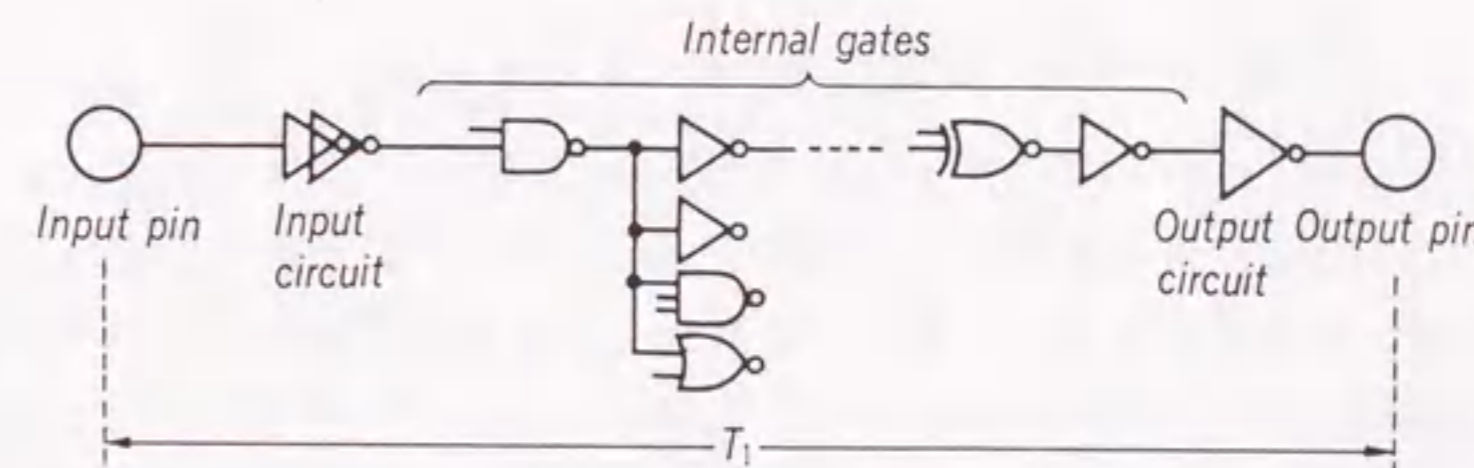


図 2. 17 16ビットALUに適用したチップ写真

表 2. 4 16ビットALU評価結果

No	評価項目	条件	評価結果
1	評価サンプルの スレッシュホールド電圧 (PMOS, NMOS)		W5(-0.44V, 0.65V) W2(-0.58V, 0.58V) W6(-0.40V, 0.40V), W7(-0.73V, 0.46V)
2	AC機能テスト 検出率95%	Vcc=4.5V, 5.5V T=-20, 25, 75℃	論理機能を満足し問題無し
3	入力レベルマージン V_{IL}/V_{IH}	同上	TTL規格を満足し問題無し
4	出力レベルマージン V_{OL}/V_{OH}	同上	同上
5	DCリーク電流 ・入力リーク ・3ステートリーク	同上	同上
6	ラッチアップテスト	-	130V以上で問題無し
7	内部論理ゲートの 遅延時間	-	標準5ns
8	消費電力	80pF負荷	5MHzクロック時に130mW



Path	Number of internal gates	Average wire length (mm)	Average fan out	Delay time T_1 (nsec)	t_{pd} of internal gate (nsec/gate)
1	7	3.43	4.3	80.0	5.3
2	9	2.53	3.8	86.8	4.9
3	7	2.68	4.6	80.3	5.4

図 2. 18 遅延時間の測定結果

2.6.3 入力レベルマージンの解析

例えば、複数の出力回路の出力が同時にハイレベルからロウレベルにスイッチングすると誤動作が起こる場合があった。この原因は、図2.19に示すようにGND線に電流が集中し、この電流の時間変化率にインダクタンスを乗じた電圧だけ、GND電位が浮上し、入力回路の論理スレッシュホールド電圧が上昇することによる。これに対しては、評価用のプリント板を改良して対処できたが、これに加えて出力回路の同時駆動数の運用基準を作成して、以後の品種展開に対処している。しかし、これからの高速、大規模LSIでは、出力回路の電源線と入力回路の電源線はLSIチップ内で分離する必要がある。

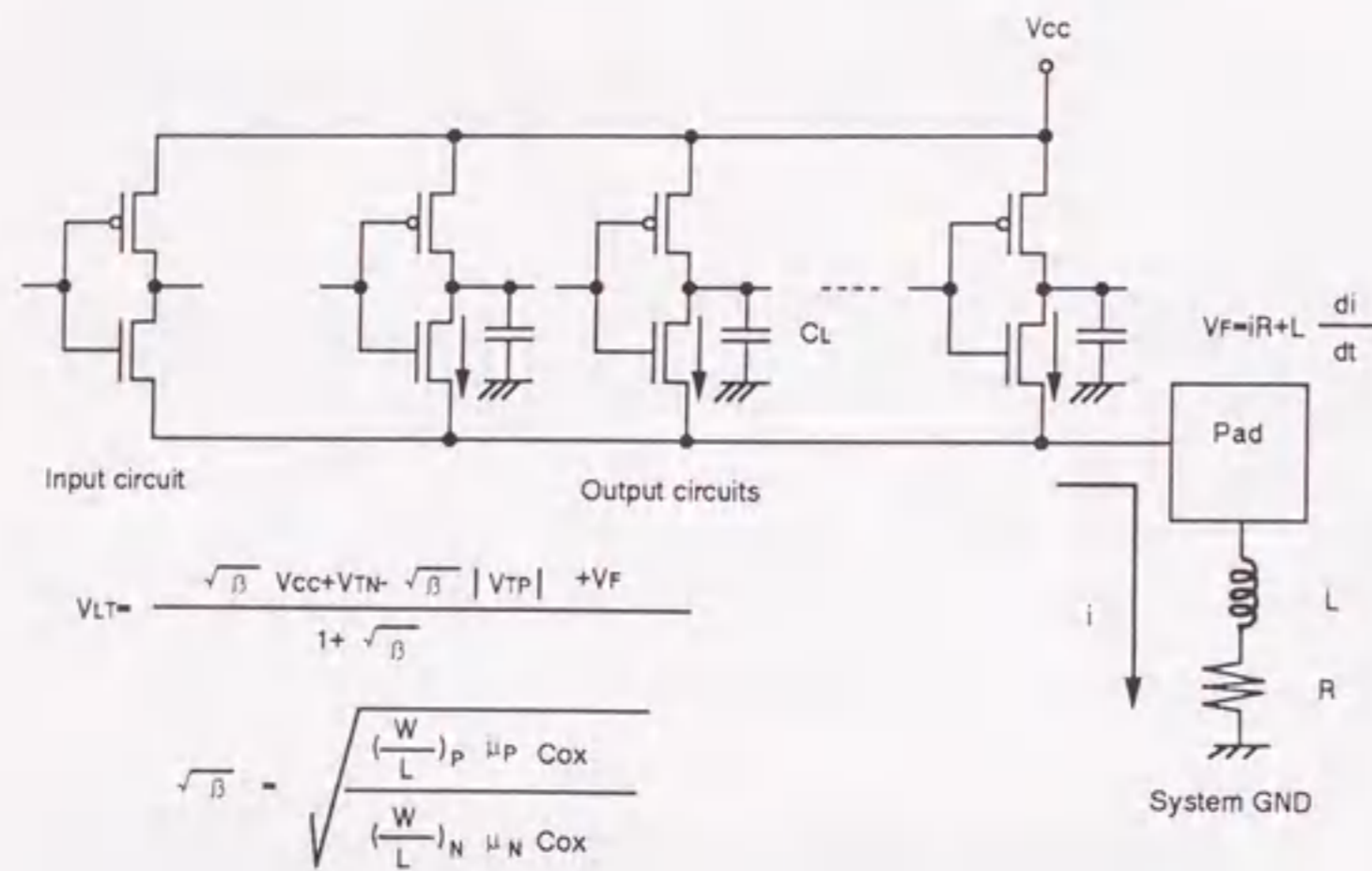


図2.19 出力同時駆動による電位浮上

2.7 DAシステム

このゲートアレイLSIの開発フローを図2.20に示す。使用者との基本的なインタフェースはマニュアル論理図とテストデータである。オプションとして、このDAシステムは使用者の要求によって、テストパターンを自動で生成できる[4]。使用者は論理回路の設計に際して、64種の論理ゲートの中から適当な論理ゲートを選ぶ。テストデータは入出力信号の“1”、“0”パターンとそれらの論理タイミングから成る。

このDAシステムは、論理設計プログラム（論理図エディタ、論理図ドローア、論理シミュレータ）、レイアウト、アートワークプログラム（配置配線プログラム、配線エディタ、モディファイプログラム、マスクデータジェネレータ）とテストプログラム（テスト

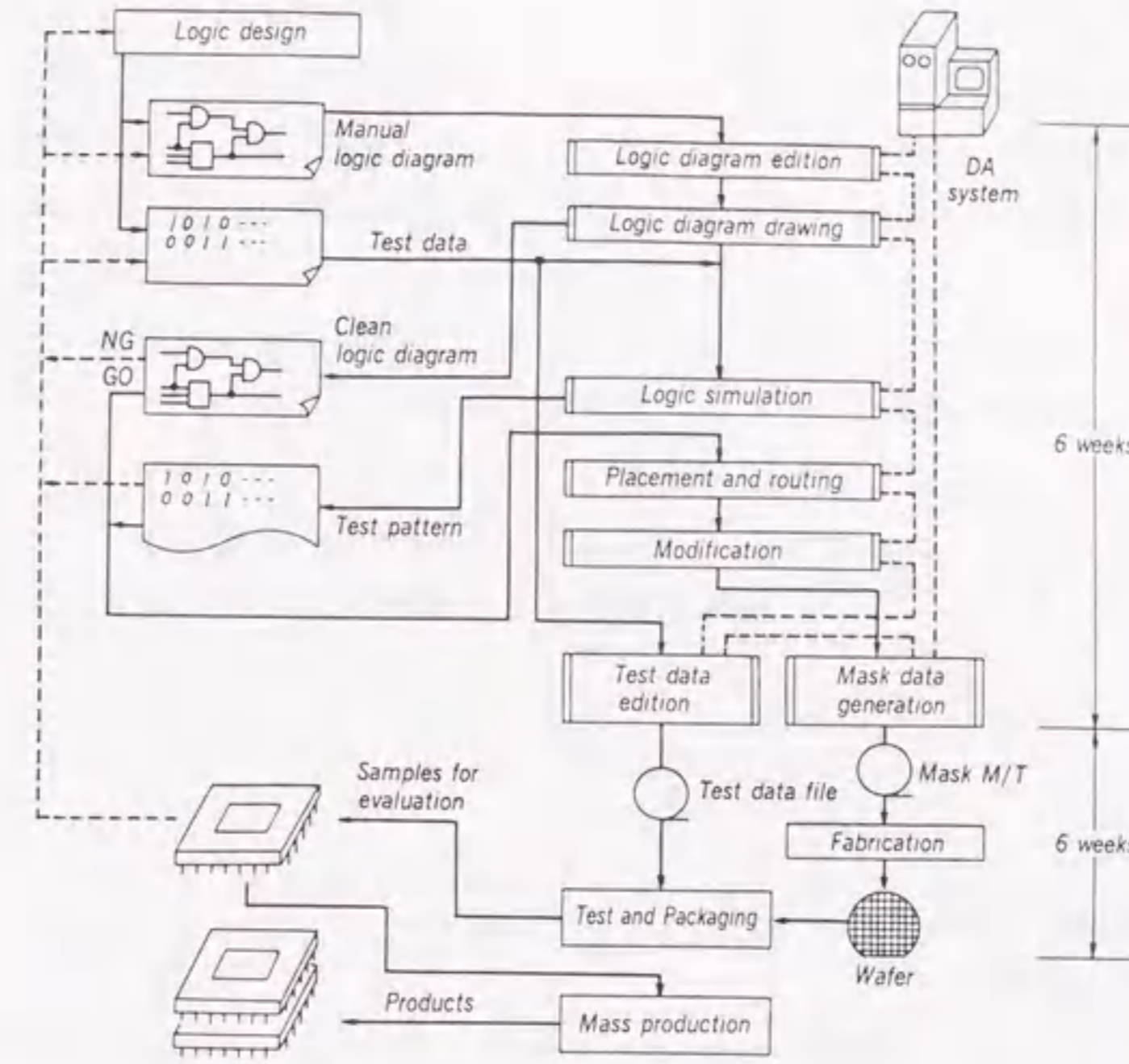


図2.20 ゲートアレイの開発フロー

データエディタ、テストジェネレータ、故障シミュレータ）から成る。マニュアル論理図とテストデータは大型計算機に入力される。その結果、機械書き論理図がプロッタで書かれ、論理シミュレーションが実行される。使用者が審査し、問題なければ、配置配線が実行される。モディファイプログラムでは、論理ゲートの未使用入力端子が自動的にVccあるいはGND電位に接続される。その後、1層目のA1と2層目のA1とスルーホールフォトマスクが製造される。テストデータファイルはテストデータエディタによって作成される。それから数個のサンプルがテストデータファイルを用いてLSIテスタによって評価される。使用者の承認後、大量生産が開始される。論理図編集からマスクデータ生成まで6週間かかり、その後、最初のサンプル完成までに6週間かかる。それ故、使用者は論理図編集から、わずか3ヶ月で最初のサンプルを手に入れることができる。論理ゲートにおいて、A1のはみ出し配線がないので、マスタチップに搭載されたゲートの95%を使用しても配置配線プログラムは効率良く動作する。

2.8 むすび

開発するゲートアレーの目標仕様を需要調査および技術動向から明らかにした。目標仕様を満足するプロセス技術として、様々な角度から検討した結果、メタル2層CMOS3 μ m技術が必要であると判明した。そのCMOS技術を用いて、汎用性があり、高密度な基本セルを開発し、CMOSのマスタチップ方式を確立した。更に、TEGの試作を通して、デバイス設計等を検討し、高速、低電力、高集積のゲートアレーを開発した。この1600ゲートCMOSゲートアレーは、実用化され、シリーズ化のため、表2.5に示すように500ゲートのマスタチップと、1000ゲートのマスタチップを追加した。内部論理ゲートの遅延時間は5nsで、消費電力は10MHz動作時に0.13mW/ゲートである。DAシステムにより、使用者は、短いターンアラウンド時間、低開発費で所望のLSIを入手でき、システムの小型化、低消費電力化を実現できる。表2.6はこのゲートアレーの応用例を示すが、産業制御機器や計算機周辺に用いられている。

表 2.5 ハードウェア仕様

項目	型式	HD61J	HD61K	HD61L
プロセス		2層メタル配線CMOS3 μ m		
ゲート数		500	1000	1600
入出力回路数		50	68	68
スピード	内部	標準5ns/ゲート		
	入力	9ns 1pF時		
	出力	17ns 50pF時		
消費電力		0.13mW/ゲート 10MHz時		
出力回路形式		インバータ、3ステート、オープンドレイン		

表 2.6 主な応用例

応用例
工作機械制御装置
機器制御システム
シミュレータ用算術回路
コンピュータI/Oステーション
プログラマブルコントローラ

<参考文献>

- [1] 須藤、赤沢、児玉、中村、高橋：“パイボラ2000ゲートマスタスライスLSI”，昭53信学総全大，380.
- [2] 田中、中野：“DSA MOSマスタスライスLSI”，三菱電機技報，52,11, pp.802-805 (Nov.1978).
- [3] Y.Nishio, T.Hayashi and S.Torii：“CMOS Gate Array”，Hitachi Review, 31,5, pp.241-244 (Oct. 1982).
- [4] S.Goshima, Y.Oka, T.Kozawa, T.Mori, Y.Takeguchi and Y.Ohno：“Diagnostic System for Large Scale Cards and LSI's”，Proc.18th DA Conf., pp.256-259 (1981).

第3章 CMOSゲートアレーの
高性能化に関する研究

第3章 CMOSゲートアレーの 高性能化に関する研究

3.1 はじめに

第3章ではCMOSゲートアレーの高性能化に関する検討について述べる。ゲートアレーの分野では、第2章で述べた一般産業機器用の中速、高集積のCMOSゲートアレーと、計算機用の超高速、低集積のECLゲートアレーが主流になっていた。しかし、それぞれに弱点もあった。即ち、ECLでは、その高消費電力特性のために高集積化が難しい。一方、CMOSでは、比較的小さい電流駆動能力のために、負荷容量の大きい箇所での超高速化が難しい。しかし、各種システムはますます、高性能化が進み、ゲートアレーに対する要求も更に、高度化してきた。つまり、大規模でありながら高速のゲートアレーも望まれるようになった。そのような中で、CMOSゲートアレーの性能を上回る高速化技術を種々検討した。始めに、SOI (Silicon On Insulator) 技術の適用について、次にBiCMOS (バイポーラCMOS複合) 技術の適用について検討する。

3.2 SOI技術応用上の問題点とその検討

シリコンの単結晶ウエハにMOSトランジスタ等の素子を形成するのが、いわゆるバルクシリコンプロセスである。これに対して、絶縁体上にシリコンをエピタキシャル成長させてそのシリコン中に素子を形成するのが、SOIプロセスである。当時、絶縁体としてはサファイアが用いられていた。SOIプロセスで構成したLSIはバルクプロセスで構成したものに比べて、高速性の点で優れていると言われていた。その理由は、論理ゲートの出力容量がソース、ドレーンの接合面積の減少により小さくなること、また、論理ゲート間を接続する配線が絶縁体上に設けられ、配線容量が小さくなるためである。配線容量が小さいということは、DA (Design Automation) を利用して自動配置配線するために通常のカスタムLSIに比べて配線長が長くなるゲートアレーLSIにとって、非常に有利なことである。従って、先に開発したCMOSゲートアレーをSOI技術によって、高性能化できるのではないかと検討を始めた。当時既に、SOI技術を用いたマイクロプロセッサ[1]やRAM[2]が研究開発されていた。まず、SOI技術をLSIに応用した時の問題点を中心に検討を進める。

さて、SOI技術を用いて各種MOS回路を構成できる。しかし、CMOS回路の場合が最もSOIの特徴を活かせると言われている。CMOSをバルクシリコン基板上に作る場合にはPウェルが必要となり、N+あるいはP+拡散層とPウェルの境界線との間には5-7 μ mの余裕が必要となるが、SOIの場合にはウェルの拡散が深くないために2 μ m程度で良い。また、CMOS/SOIではトランジスタ間の分離が完全であるためにバルクCMOSに特有のラッチアップ現象がない。したがって、PMOSTランジスタとNMOSTランジスタの間隔を縮めることが可能となる。これらのことによりバルクCM

OSの弱点を補い、高価なサファイアを用いてもチップのコストダウンが期待できるからである。このため当時開発されていたLSIはメモリ、マイクロプロセッサのいずれも大半がCMOS/SOSである。また、筆者らもCMOSゲートアレーを開発し、その高性能化を研究しているので、以下の検討はCMOS/SOSを中心に考える。以下3.2.1項から3.2.4項に適用上の問題点とその検討について述べる。

3.2.1 リーク電流

SOS (Silicon On Sapphire)はバルク型と比較してMOSトランジスタのオフ状態でのソース、ドレイン間に流れるリーク電流が2-3桁大きく、その値はチャンネル幅 $1\mu\text{m}$ 当たり $10^{-12} - 10^{-9}\text{A}$ である。このリーク電流はNMOSの方がPMOSに比べて大きい。これは、シリコン膜とサファイア結晶界面に存在する正電荷によりn型のチャンネル(バックチャンネルと呼ばれる)ができるためと考えられている。リーク電流が大きいと消費電力、電圧レベル、電荷充放電の時定数が問題になると考えられる。以下(1)項から(4)項でそれらについて述べる。

(1) リーク電流による消費電力

チャンネル幅 W とチャンネル長 L との比 W/L が $30/3$ のトランジスタで20000ゲートを含むLSIのリーク電流による消費電力 P_{dl} は

$$\begin{aligned} P_{dl} &= \text{リーク電流 (A/}\mu\text{m)} \times \text{チャンネル幅 } (\mu\text{m)} \times \text{ゲート数} \times \text{電源電圧 (V)} \\ &= 10^{-9} \text{ (A/}\mu\text{m)} \times 30 \text{ } (\mu\text{m)} \times 20000 \text{ (ゲート)} \times 5 \text{ (V)} \\ &= 3 \text{ mW} \end{aligned}$$

となる。通常、強制冷却無しのLSIの消費電力は1W以下であるので、消費電力上はリーク電流が $10^{-9}\text{A}/\mu\text{m}$ でも問題ない。

(2) 論理ゲートの出力レベル

図3.1に示すように4入力NANDで4入力とも“1”の時、NMOSのオン抵抗が直列になり、PMOSのリーク抵抗が並列になる。リーク抵抗が小さいとオン抵抗と同程度になり、出力レベルが浮上する。一般にCMOSでは論理スレッショルド電圧の点からトランジスタの最大直並列数は4であるので、この場合が最悪と考えられる。NMOS側の直列オン抵抗 R_{on} は近似的に

$$R_{on} = 4 / \{ (W/L) \cdot \mu \cdot C_{ox} (V_{GS} - V_{th}) \}$$

と表わされる。ここに、 μ : 移動度、 C_{ox} : 単位面積当りのゲート容量、 V_{GS} : ゲート、ソース間電圧、 V_{th} : スレッショルド電圧である。

上式に、 $W/L = 30/3$ 、 $\mu = 350\text{cm}^2/\text{Vsec}$ 、 $V_{th} = 0.5\text{V}$ 、 $V_{GS} = 5\text{V}$ 、ゲート酸化膜の厚さ $t_{ox} = 500\text{\AA}$ を代入すると、

$$R_{on} = 3.6\text{ k}\Omega$$

となる。

一方、PMOS側の並列リーク抵抗 R_l は

$$\begin{aligned} R_l &= V_{cc} / (\text{リーク電流} \times \text{チャンネル幅} \times \text{並列数}) \\ &= 5 \text{ (V)} / \{ 10^{-9} \text{ (A/}\mu\text{m)} \times 30 \text{ } (\mu\text{m)} \times 4 \} \\ &= 4.2 \times 10^7 \text{ } (\Omega) \end{aligned}$$

となる。したがって、オフ側(PMOS側)の抵抗が 10^4 倍あり、論理ゲートの出力レベル上は問題ない。

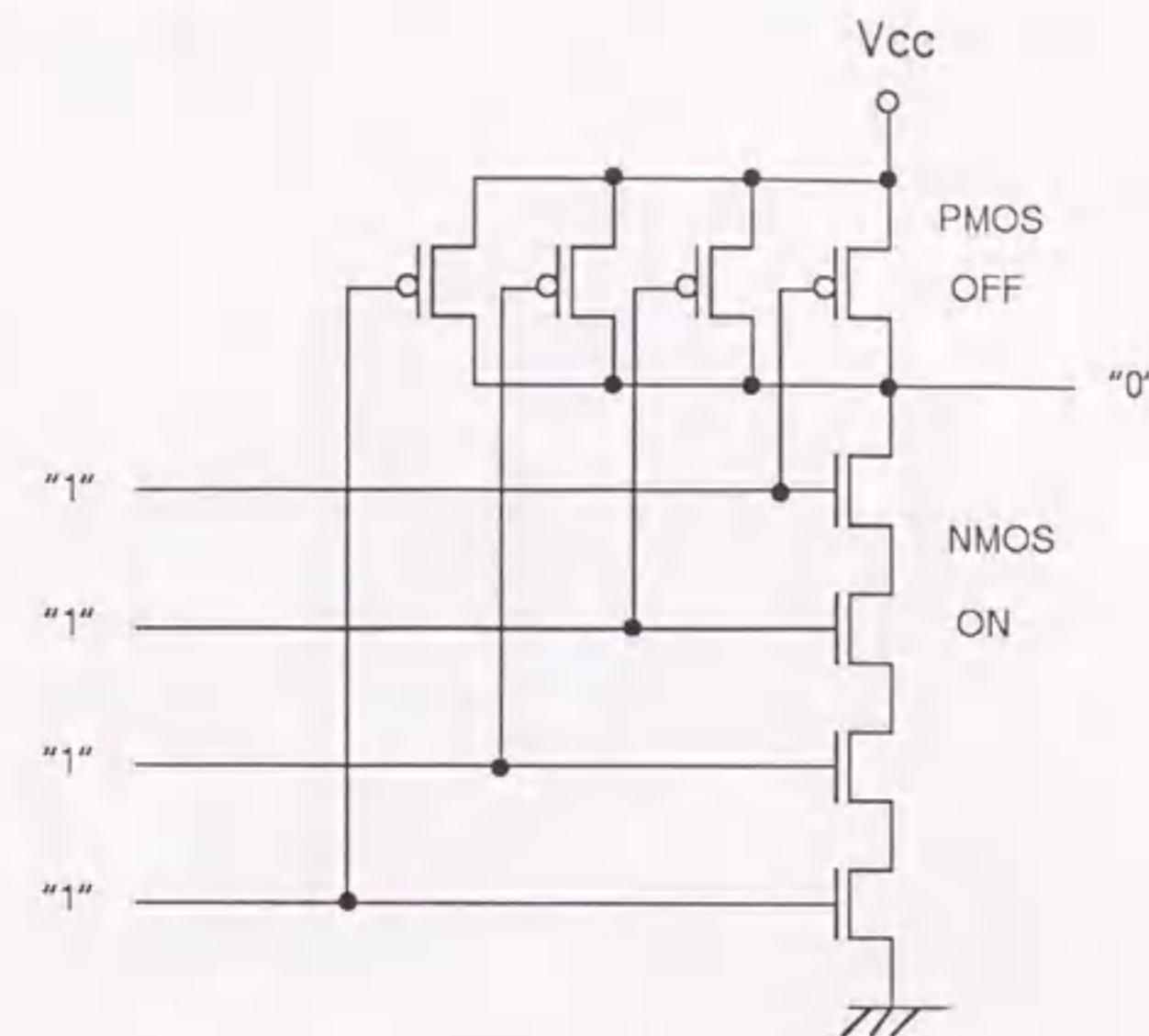


図3.1 4入力NAND回路の出力レベル

(3) 3ステート回路のシンク電流による電圧レベル

多数の3ステート回路の出力が結線され、図3.2のように一つだけ活性化している場合、リーク電流が流れ込んで電圧レベルが浮上することが考えられる。トランジスタのチャンネル比を $W/L = 300/3$ 、3ステート回路の数を30個とすると、流れ込み電流 I_l の総和は、

$$I_l = 10^{-9} \text{ (A/}\mu\text{m)} \times 300 \text{ } (\mu\text{m)} \times 30 \text{ (個)} = 9 \times 10^{-6} \text{ (A)}$$

となる。この電流が図3.2の一番下のNMOSトランジスタを流れることになる。その時の出力レベル V_{OL} は、

$$I_l = (W/L) \cdot \mu \cdot C_{ox} \{ (V_{GS} - V_{th}) V_{OL} - (1/2) V_{OL}^2 \}$$

より計算すると、

$$V_{OL} = 0.8 \text{ mV}$$

となる。このレベル浮上は問題ない。但し、 $\mu = 350\text{cm}^2/\text{Vsec}$ 、 $V_{th} = 0.5\text{V}$ 、 $t_{ox} = 500\text{\AA}$ を用いた。

以上デジタルスタティック回路において、 $10^{-9}\text{A}/\mu\text{m}$ のリーク電流で問題ないことを見てきたが、ダイナミック回路の場合について次に検討する。

(4) ダイナミック回路の時定数

ダイナミック回路は寄生容量などを利用して電荷を一定時間保持している。この保持時

間がリフレッシュレートより長ければ良いわけである。図3.3のような場合、時定数 τ は、

$$\tau = CR_1 \cdot R_1 / (R_1 + R_1)$$

となる。

R_1 はPMOSあるいはNMOSのリーク抵抗で、リーク電流値を $10^{-9} \text{ A} / \mu\text{m}$ 、チャンネル幅を $30 \mu\text{m}$ とすると、

$$R_1 = 1.7 \times 10^8 \Omega$$

である。

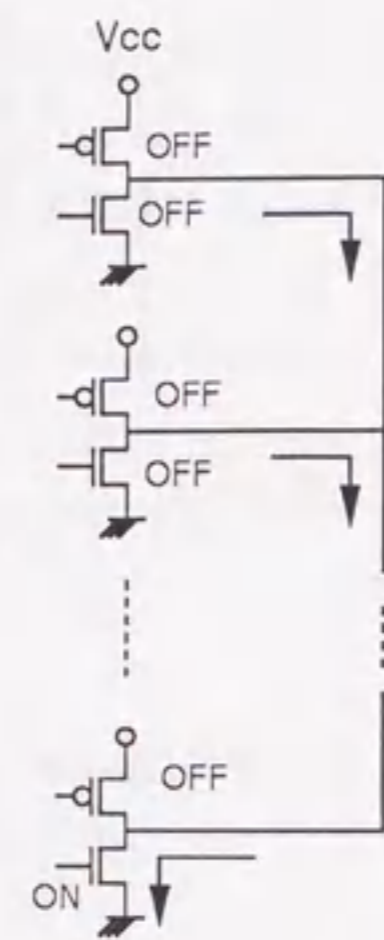


図3.2 3ステート回路の出力レベル

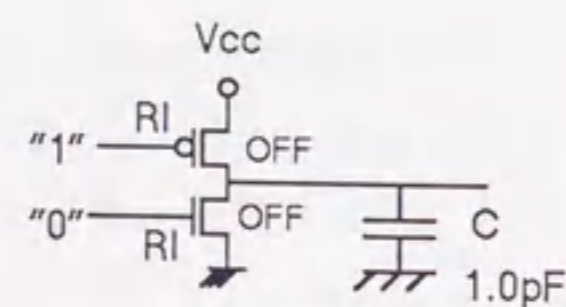


図3.3 ダイナミック回路の時定数の検討回路

したがって、容量がかなり大きめの 1 pF の場合でも、 $\tau = 0.09 \text{ msec}$ 程度である。この値はかなり短いリフレッシュレートになるので、リーク電流の大きいSOSプロセスはダイナミック回路に適さない。

3.2.2 基板電位の挙動

バルクの場合、基板電位は図3.4に示すようにPMOSは V_{cc} 電位に、NMOSは GND 電位に固定されている。これに対し、SOSの場合、基板電位が固定されていない。このため、基板電位の挙動を調べておくことが回路解析上必要である。

まず、回路解析プログラムによる解析について述べ、次に基板電位の挙動がスレッショルド電圧に及ぼす影響について述べる。

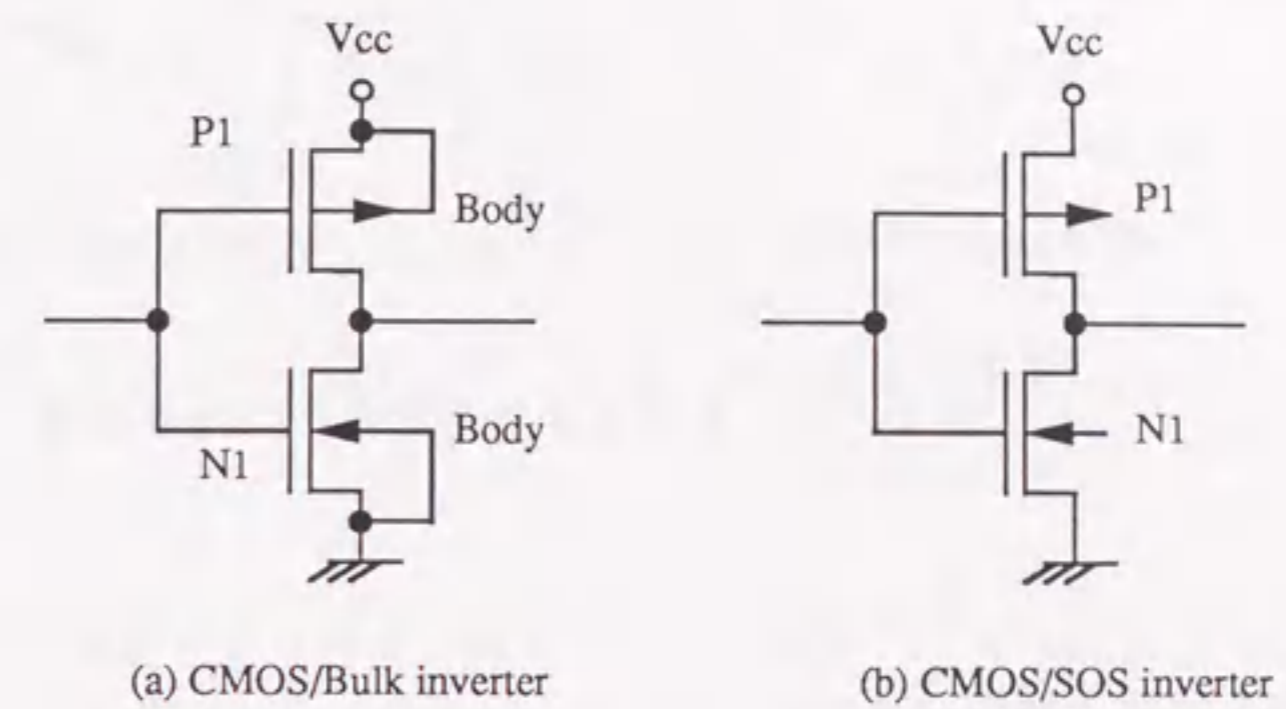


図3.4 バルクとSOSの基板電位

(1) 回路解析プログラムによる解析

図3.5(a)にSOSの構造を示す。 $300 \mu\text{m}$ 程度の厚さのサファイア板に $0.8 \mu\text{m}$ 程度の厚さのSiをエピタキシャル成長させて、そこにトランジスタを形成する。図3.5(b)にSOSの持つ容量を示す。図示した容量のうちで、 C_{gs} 、 C_{gd} 、 C_{gb} 、 C_{sb} 及び C_{db} は回路解析プログラムで計算する。したがって基板電位を解析するには、 C_d 、 C_s 、 C_b を付加すれば良い。

C_b の値はサファイア板の厚さ t_s を $300 \mu\text{m}$ 、比誘電率 ϵ_s を10、トランジスタサイズを $W/L = 6/3$ とすると、

$$C_b = \epsilon_s \cdot \epsilon_0 \cdot WL / t_s = 5 \times 10^{-6} \text{ pF}$$

である。

また、回路解析プログラムを用いる上で

$$X_{dmax} (\text{ゲート直下の空乏層の最大広がり深さ}) < t_e (\text{エピ層の厚さ})$$

を満足していることが必要である。これは回路解析プログラムのモデルが、バルクプロセス用に、空乏層の下に中性層があるとしていることによる。当時のSOSでは一般にスレッショルド電圧の安定性を良くするために、基板の不純物密度を高くしているのが上記の関係を満たしている。例えば、基板の不純物密度 N_A を $5 \times 10^{15} \text{ cm}^{-3}$ とすると、

$$X_{dmax} = \sqrt{4 \epsilon_s \epsilon_0 \cdot \epsilon_0 \cdot kT \cdot \ln(N_A / n_i) / q^2 N_A}$$

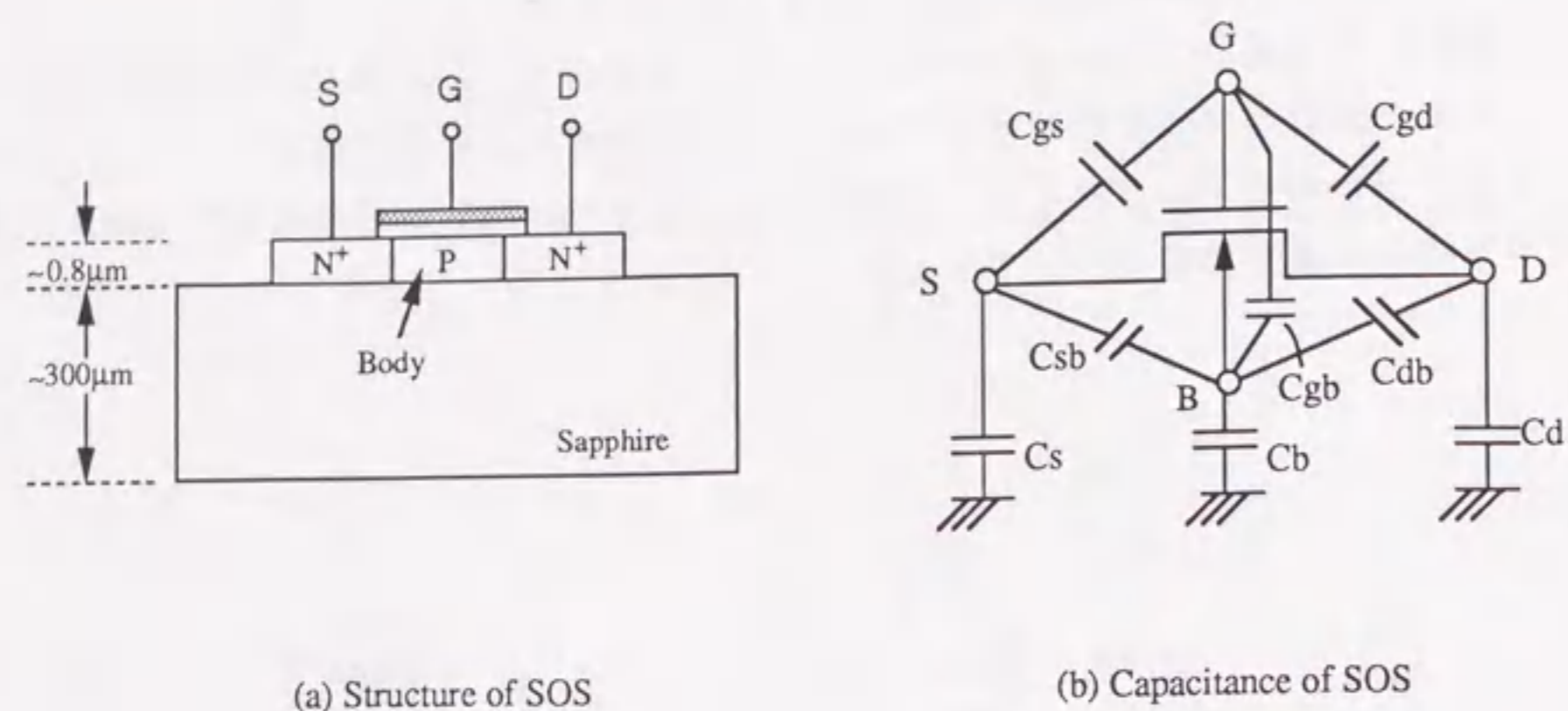


図 3.5 SOSの構造と各部に持つ容量

と表わせる [3] ので、計算すると

$$X_{dmax} = 0.4 \mu m$$

となり、上記不等式を満たしている。ここで、 ϵ_{si} : シリコンの比誘電率、 ϵ_0 : 真空の誘電率、 k : ボルツマン定数、 T : 絶対温度、 q : 電子の電荷量、 n_i : シリコンの真性キャリア濃度である。

以上を踏まえたシミュレーション回路を図 3.6 に、その結果を図 3.7 に示す。シミュレーション回路においては、負荷容量を $0.1 pF$ 付加した。また、入力電圧 V_{in} の立

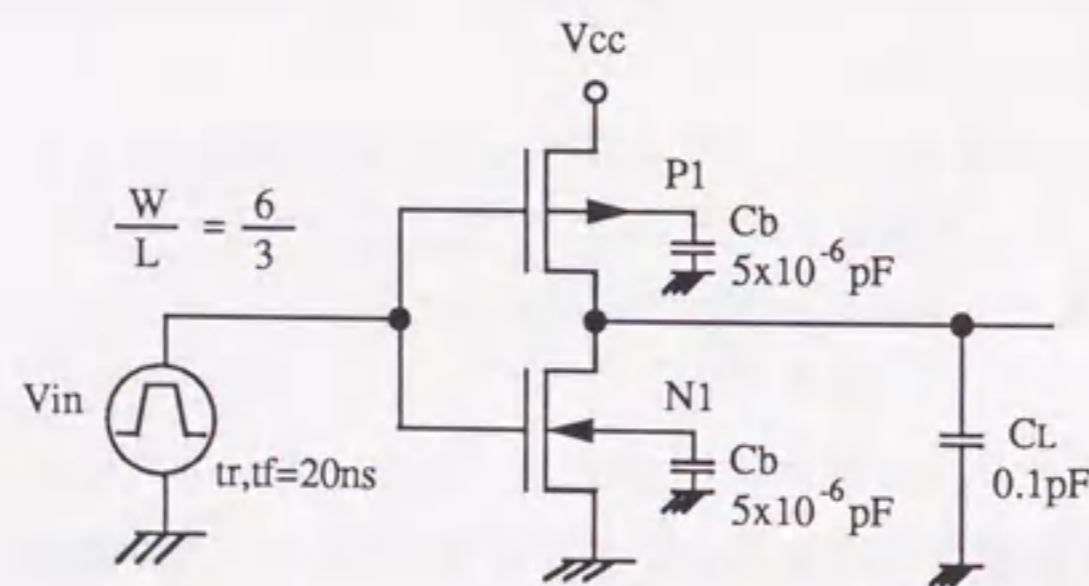


図 3.6 シミュレーション回路

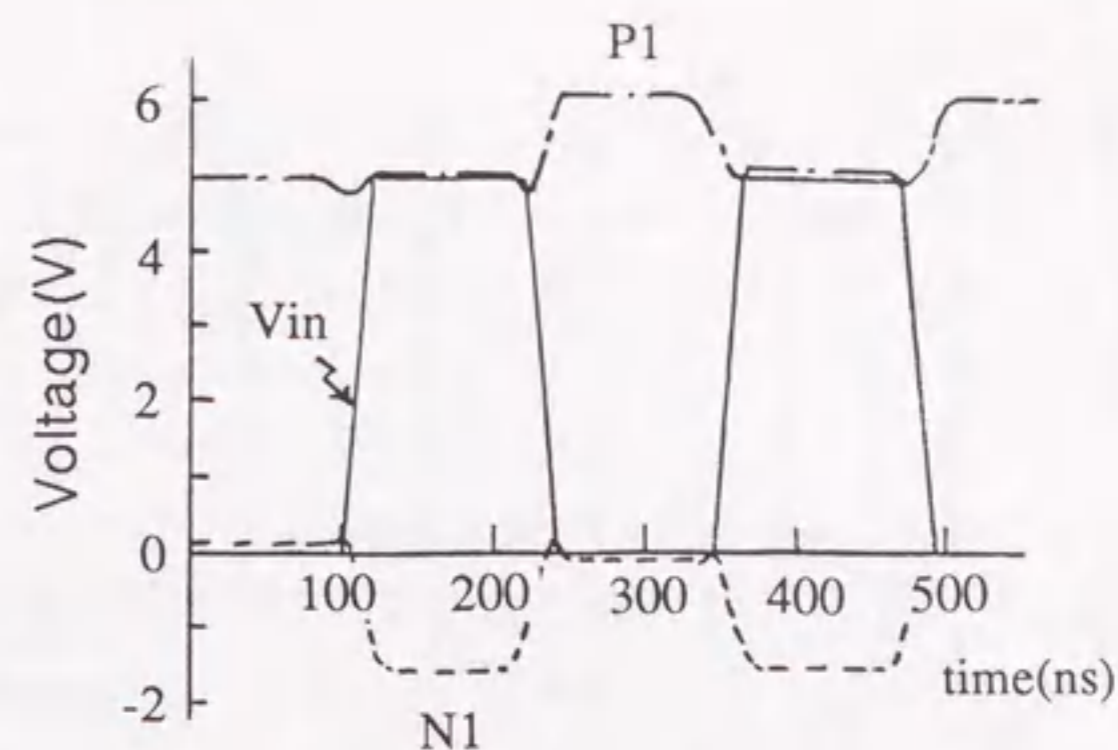


図 3.7 シミュレーション結果

上り、立下がり時間 t_r 、 t_f は $20 ns$ とした。図 3.7 から NMOS の基板電位 $N1$ は NMOS トランジスタがオン状態になった時に、 $-1.5 V$ 程度になり、PMOS の基板電位 $P1$ は PMOS トランジスタがオン状態になった時に、 $+6.2 V$ 程度になることがわかる。実際には SOS は先に述べたようにバルクに比べて 2-3 桁大きいリーク電流を持つので、正しい基板電位を求めるためにはリーク電流の効果を付加してシミュレーションする必要がある。次にそれについて述べる。

(2) リーク電流を考慮した基板電位のシミュレーション

リーク電流をシミュレーション回路上に表現するのに、リーク抵抗 R_l を用いた。図 3.8 にシミュレーション回路を示す。この回路を用いて、リーク抵抗を $4 \times 10^{11} \Omega$ から $4 \times 10^6 \Omega$ まで変化させた場合のシミュレーション結果を図 3.9 に示す。これらのリー

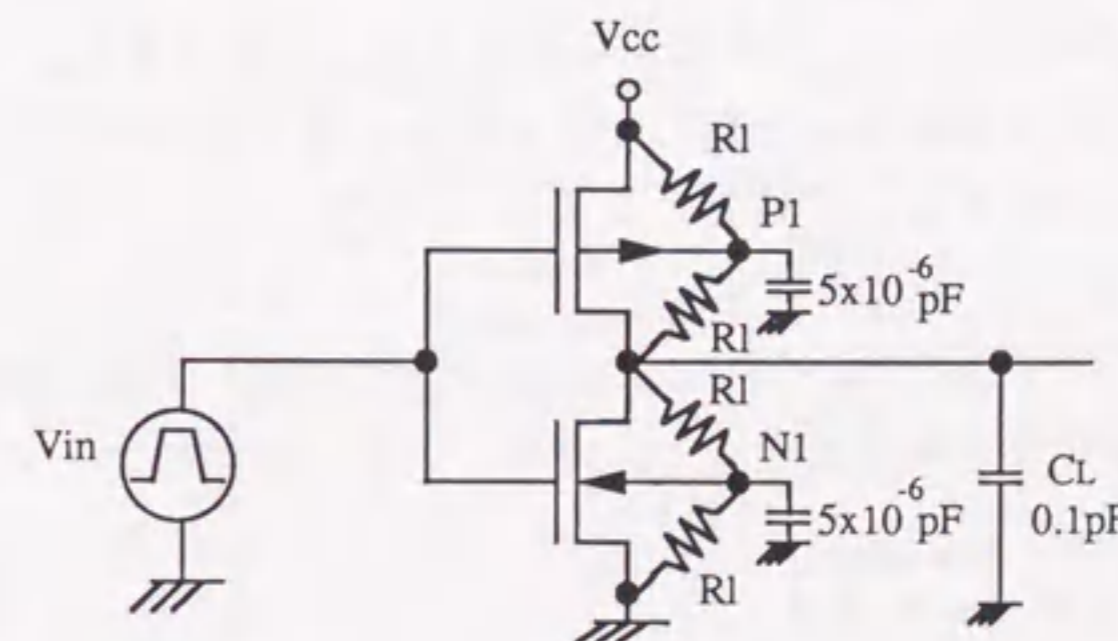


図 3.8 リーク電流を考慮したシミュレーション回路

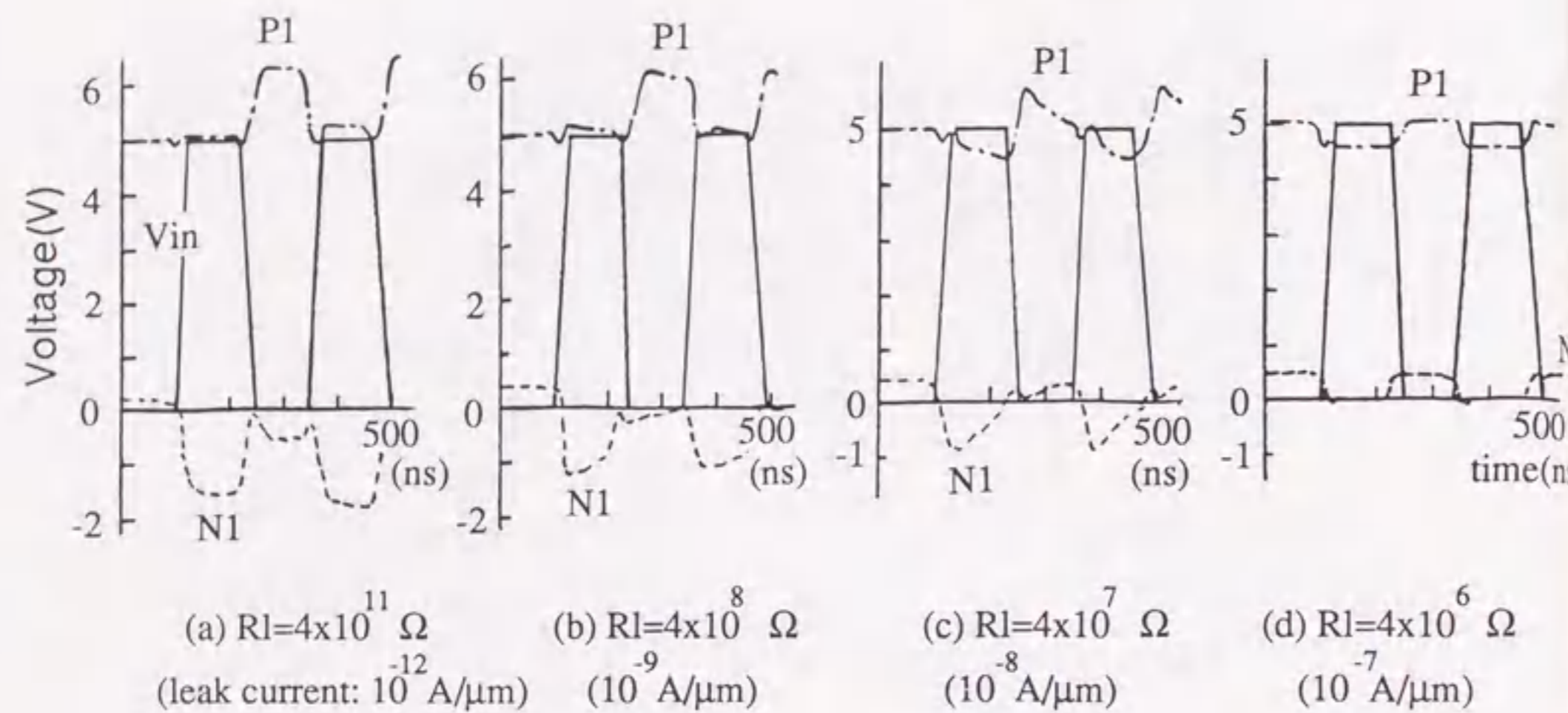


図3.9 リーク抵抗Rlを変化させた時のシミュレーション結果

ク抵抗は、チャンネル幅当りのリーク電流で表わすと $10^{-12} \text{ A}/\mu\text{m}$ から $10^{-7} \text{ A}/\mu\text{m}$ に相当する。SOSのリーク電流のオーダは $10^{-12} \text{ A}/\mu\text{m}$ から $10^{-9} \text{ A}/\mu\text{m}$ であるので、基板電位は図3.9の(a)と(b)の間を挙動すると推測される。

(3) 基板電位の挙動がスレッシュヨルド電圧に及ぼす影響

今までの検討で基板電位の挙動の概略を把握できたが、基板電位が変動するとMOSのスレッシュヨルド電圧が変動する。図3.9(a)からわかるように、トランジスタがオン状態になる時に基板・ソース間に逆バイアス V_B がかかる。基板効果によりスレッシュヨルド電圧 V_{th} は次式のように変化する。

$$V_{th}(V_B) = V_{th}(0) \pm \Delta V_{th}(V_B)$$

ただし、±はそれぞれNMOS、PMOSトランジスタに相当する。

この $\Delta V_{th}(V_B)$ がどの位の値を持つか次に計算する。 $\Delta V_{th}(V_B)$ は

$$\Delta V_{th}(V_B) = K (\sqrt{2\phi_F + V_B} - \sqrt{2\phi_F})$$

と表わされる[3]。

ここに、 $K = \sqrt{2\epsilon_{Si} \cdot \epsilon_0 q N_A} / C_{ox}$ 、 $\phi_F = (kT/q) \ln(N_A/n_i)$

である。 $N_A = 5 \times 10^{15} \text{ cm}^{-3}$ とすると、図3.9のように約1.5Vの逆バイアスがかかった時には、

$$\Delta V_{th}(1.5V) = 0.38V$$

となる。即ち、NMOSについては0.38Vだけ、みかけ上 V_{th} が高くなる時があり、PMOSについては0.38Vだけ、みかけ上 V_{th} が低くなる時がある。

3.2.3 スレッシュヨルド電圧の回路特性に及ぼす影響

CMOS論理ゲートの遅延時間 t_{pd} は

$$t_{pd} = (0.9 C_L / V_{cc}) \times [1 / \{(W/L)_n \cdot \mu_n \cdot C_{ox} (1 - V_{thn} / V_{cc})^2\} + 1 / \{(W/L)_p \cdot \mu_p \cdot C_{ox} (1 - |V_{thp}| / V_{cc})^2\}] \quad (3.1)$$

と表わされる[4]。ここに、 C_L は負荷容量で、添字のp、nはそれぞれPMOS、NMOSを示す。この式からわかるように、上記のようなスレッシュヨルド電圧の変動は、遅延時間を遅くする方向である。

また、スレッシュヨルド電圧は論理スレッシュヨルド電圧 V_{LT} にも次式で示すように影響を与える。

$$V_{LT} = \{\sqrt{\beta} (V_{cc} - |V_{thp}|) + V_{thn}\} / (1 + \sqrt{\beta}) \quad (3.2)$$

ただし、 $\sqrt{\beta} = \sqrt{(W/L)_p \cdot \mu_p / (W/L)_n \cdot \mu_n}$

例えば、入力回路の V_{LT} をTTLコンパチブル条件の $V_{L,max} = 0.8V$ と $V_{L,min} = 2.0V$ の中間値である1.4Vに設計した時、 W/L 、 μ 、 V_{cc} が±10%変動すると、 V_{LT} がどう変化するか求める。ただし、 $|V_{th}|$ の中心値は0.6Vで、±0.2V変動するとする。

(3.2)式より、 $V_{LT} = 1.4V$ の場合には、 $\sqrt{\beta} = 0.267$ となる。したがって、 $V_{LT,max} = 1.86V$ 、 $V_{LT,min} = 0.99V$ と計算される。この場合には一応仕様を満たしているがマージンが少ないため、 V_{th} の変動に充分注意する必要がある。

以上、(3.1)式、(3.2)式からわかるように、 V_{th} と回路特性との関係をまとめると図3.10のように表わすことができる。CMOS/SOSの場合、基板電位が変

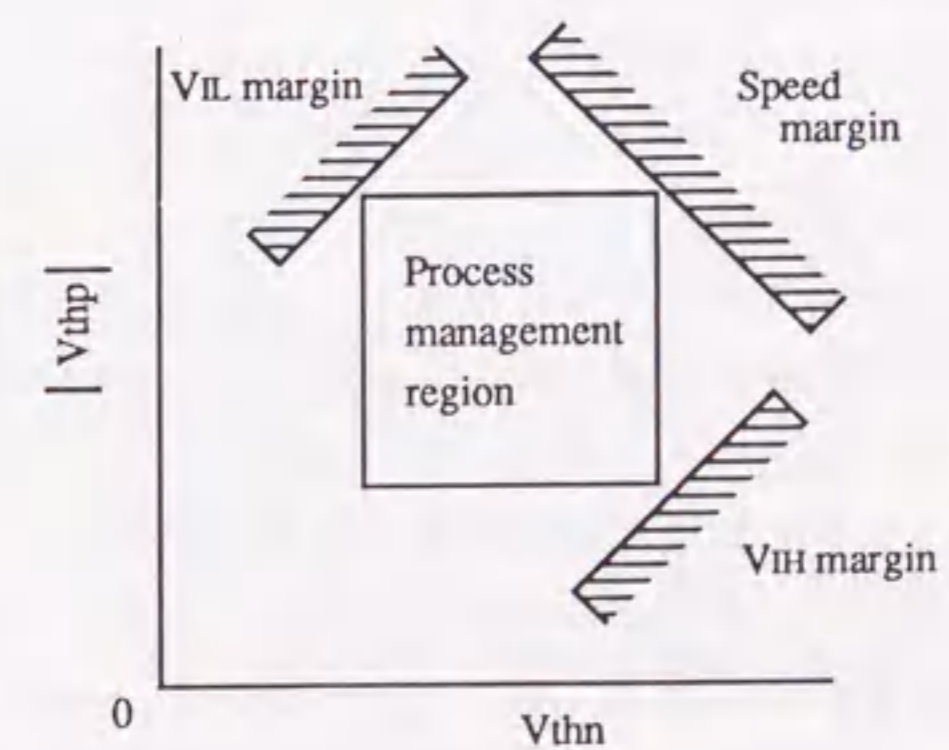


図3.10 Vthと回路特性の関係

動するので、バルクCMOSに比べてスレッショルド電圧がより大きく変動する。従って、スピードや V_{LT} がクリティカルな部分では基板電位を固定する必要があると考えられる。

3.2.4 クロストーク

SOSでは図3.5(a)に示したように $300\mu\text{m}$ 程度の厚さの絶縁体であるサファイア板上に配線が設けられる。このため対地間容量が極めて小さく、配線間容量が無視できなくなり、クロストーク発生の危険性がある。ここでは一つのモデル回路を基にして、それから導かれるCR等価回路でシミュレーションした結果について述べる。

図3.11にモデル回路と入力電圧の時間関係を示す。インバータM2の入力は時刻 $t=0$ で既に5Vが加わり、出力は0Vである。インバータM1の入力は時刻 $t=0$ で5Vから0Vに落ちて、PMOSトランジスタを介してC02が充電される。この時C03に電圧が誘起されるのがクロストークである。この簡易等価回路を図3.12に示す。R01はインバータM1のPMOSのオン抵抗を、R02はインバータM2のNMOSのオン抵抗を示す。C01は配線間容量に、C02及びC03はそれぞれ出力容量と配線容量と次段の入力容量の和に相当する。

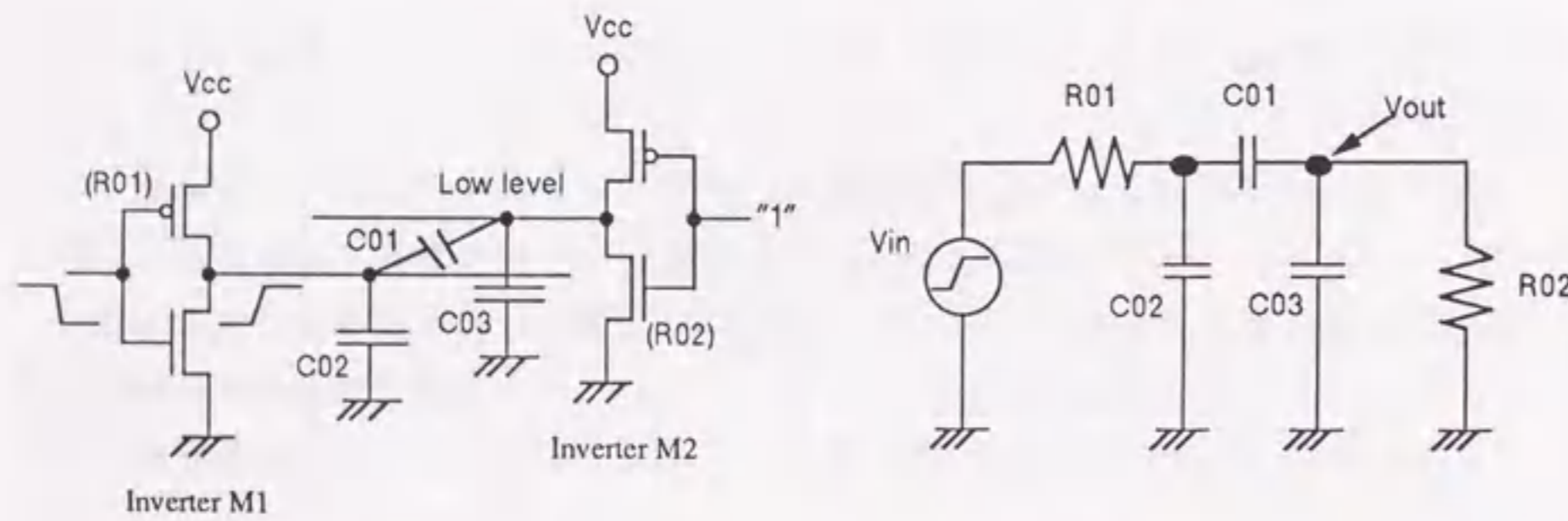


図3.11 クロストークのモデル回路 図3.12 シミュレーションに用いた等価回路

図3.13に入力信号と誘起電圧の関係と各記号の意味を示す。表3.1に抵抗、容量、立上り、および立下り時間を種々変えた場合の誘起電圧を示す。オン抵抗の $5\text{k}\Omega$ から $20\text{k}\Omega$ はリーク電流の項でも述べたように一般的な値である。C01が 0.01pF 程度で、C02とC03が小さいと誘起電圧が大きくなるのがわかる。長さ 1mm の平行配線間容量は、配線の厚さを $1\mu\text{m}$ 、平行平板で間隔を $3\mu\text{m}$ 、間の絶縁体の比誘電率を4と仮定すると、配線間容量C01は 0.012pF である。また、負荷容量C02、C03として 0.1pF から 0.5pF は十分有りうる値であるので、SOSのクロストークは表3.1のNo.8、No.9付近と考えられる。従って、 0.26V 程度が誘起

され得るので十分な注意が必要と考えられる。

以上、SOI技術応用上の問題点を検討してきたが、SOIにおいては、基板電位の変動に伴う回路特性の悪化、クロストークの発生、ダイナミック回路には不適當等注意しなければならない点があることがわかった。

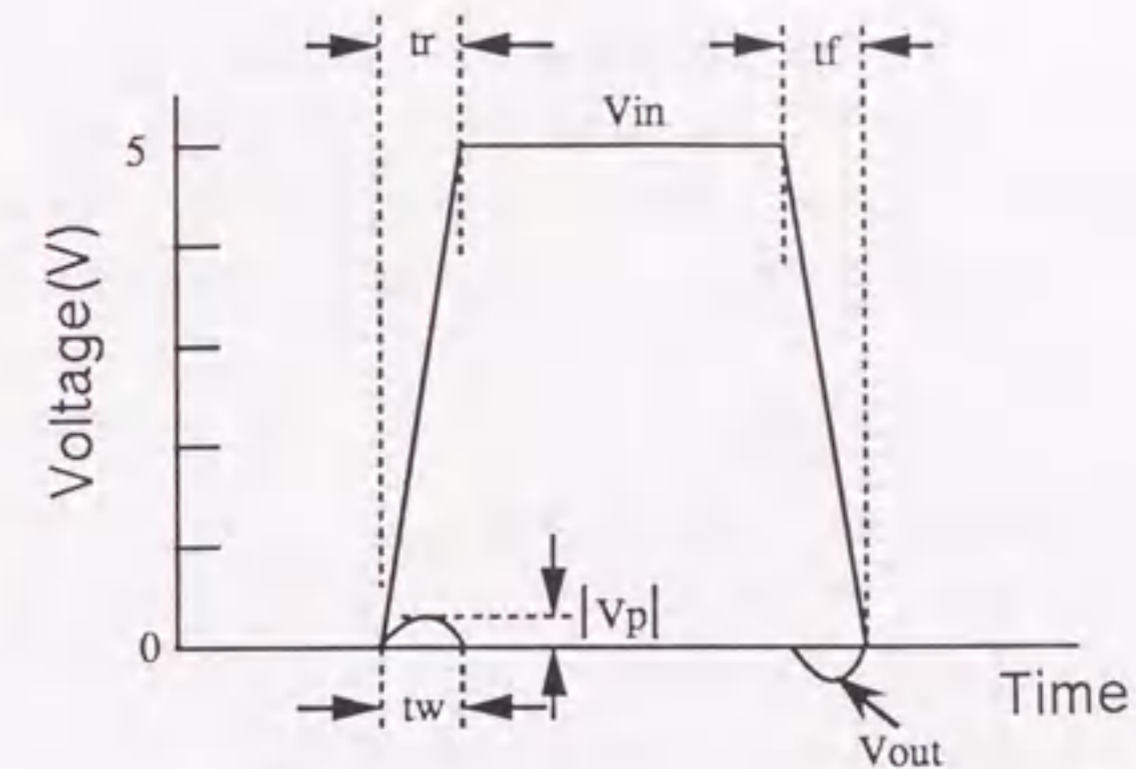


図3.13 入力信号(Vin)と誘起電圧(Vout)の関係

表3.1 クロストークのシミュレーション結果

No	R01	R02	C01	C02	C03	tr	tf	Vp	tw
1	5kΩ	5kΩ	0.001pF	0.0001pF	0.0001pF	10ns	10ns	2.6mV	10ns
2	同上	20kΩ	同上	同上	同上	同上	同上	9.5mV	-
3	同上	同上	0.01pF	0.001pF	0.001pF	同上	同上	0.1V	10ns
4	同上	同上	同上	同上	同上	2ns	2ns	0.52V	2ns
5	同上	同上	0.001pF	同上	同上	同上	同上	0.05V	2ns
6	同上	同上	0.01pF	0.0001pF	0.0001pF	同上	同上	0.52V	2ns
7	同上	同上	同上	0.01pF	0.01pF	同上	同上	0.52V	3ns
8	同上	同上	同上	0.1pF	0.1pF	同上	同上	0.26V	9ns
9	同上	同上	同上	0.5pF	0.5pF	同上	同上	0.06V	50ns

$\begin{array}{|c} \hline \text{-----} \\ \hline \end{array}$ \Rightarrow 出力容量+配線容量+次段の入力容量
 $\begin{array}{|c} \hline \text{=====} \\ \hline \end{array}$ \Rightarrow 配線間容量

3.3 SOIとバルクの比較

SOIはバルクに比べて、(イ) 負荷容量の低減から高速動作が可能、(ロ) 負荷容量の低減から低消費電力動作が可能、(ハ) 絶縁体上にMOSを形成するため高集積化が可能などの長所を有している。ここでは主に動作速度を中心に検討する。

3.3.1 Al①配線容量の比較

前提条件として(イ) 隣接配線間容量を考慮し、平行線率を1.0とする。すなわち、10mm布線すると、それと平行な隣接配線長が20mmである。また、(ロ) Alの2層配線とし、Al①層目とAl②層目の交差率を1.0、すなわち、全て交差するとする。その様子を配線ルールと合わせて図3.14に示す。

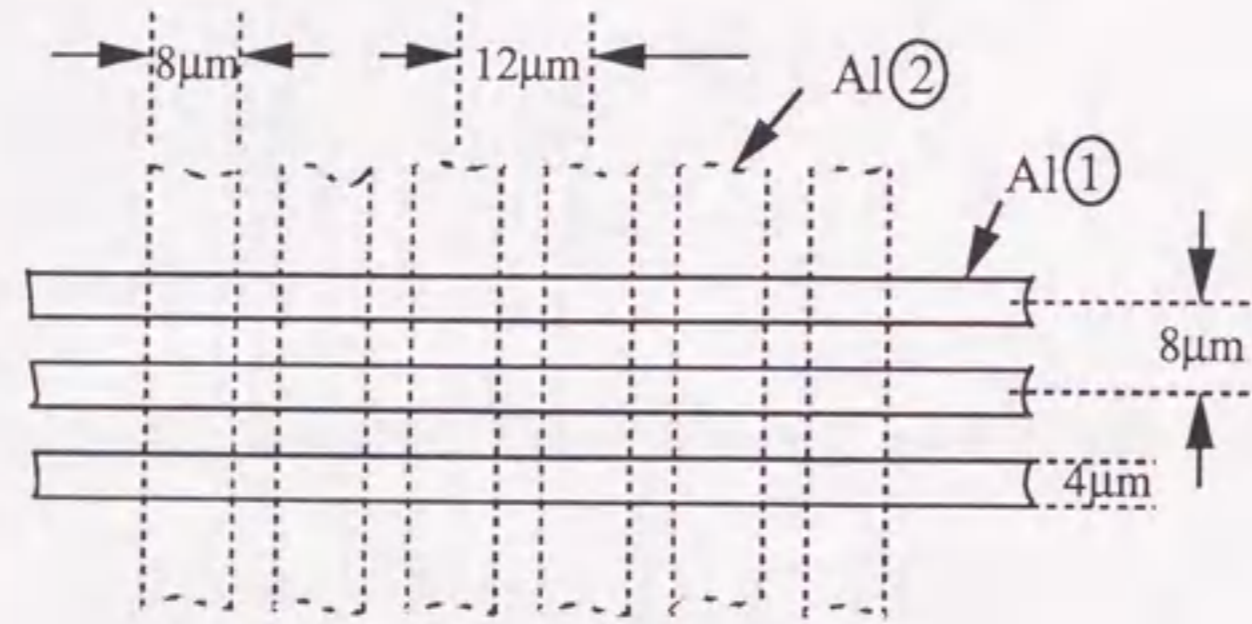


図3.14 Al①とAl②の配線ルール

まず、Al①とAl②間の容量は層間絶縁膜の厚さを $1.8\mu\text{m}$ とすると、1交差当り $6.3 \times 10^{-4} \text{ pF}$ である。Al①が1mm布線される間のAl②との交差数は、交差率1.0で83交差である。従って、交差率1.0で、Al①が1mm布線された時のAl①・Al②間容量は、 $6.3 \times 10^{-4} \times 83 = 0.052 \text{ pF}$ となる。

Al①配線間容量は、Al①の厚さ $1\mu\text{m}$ で、平行平板コンデンサとすると、平行線率1.0で、1mm長当り、 0.018 pF である。

対地間容量は、SOIの場合サファイア板の厚さを $300\mu\text{m}$ とすると、1mm長当り 0.0012 pF となり、バルクでは、 0.12 pF となる。

以上をまとめると

SOIの配線容量/バルクの配線容量

$$\begin{aligned} &= (0.052 + 0.018 + 0.0012) \\ &\quad / (0.052 + 0.018 + 0.12) \\ &= 0.071 (\text{pF/mm}) / 0.19 (\text{pF/mm}) \\ &= 0.37 \end{aligned}$$

となる。すなわち、SOIにとっては最悪の配線条件で、SOIはバルクの37%の配線容量である。

3.3.2 配線長およびファンアウトでのスピードの比較

上記配線条件を用いて、3入力NANDのCMOS/SOSとバルクCMOSの遅延時間をシミュレーションした。ただし、ファンアウトは1で、トランジスタサイズは $W/L = 24/3$ とした。その結果を図3.15に示す。配線負荷の場合、SOSはバルクの2倍近いスピードを有している。

次に、ファンアウト負荷の場合のシミュレーション結果を図3.16に示す。配線長が0mmでファンアウト負荷の場合には、SOSとバルクはほとんど同じであることがわかる。しかし、SOSの移動度はバルクのそれよりも小さいと言われていているので、ファンアウト負荷の場合には、SOSの方が遅くなる可能性が強い。したがって、負荷条件を考えずに単に、SOSはバルクよりも高速であるとするのは危険である。

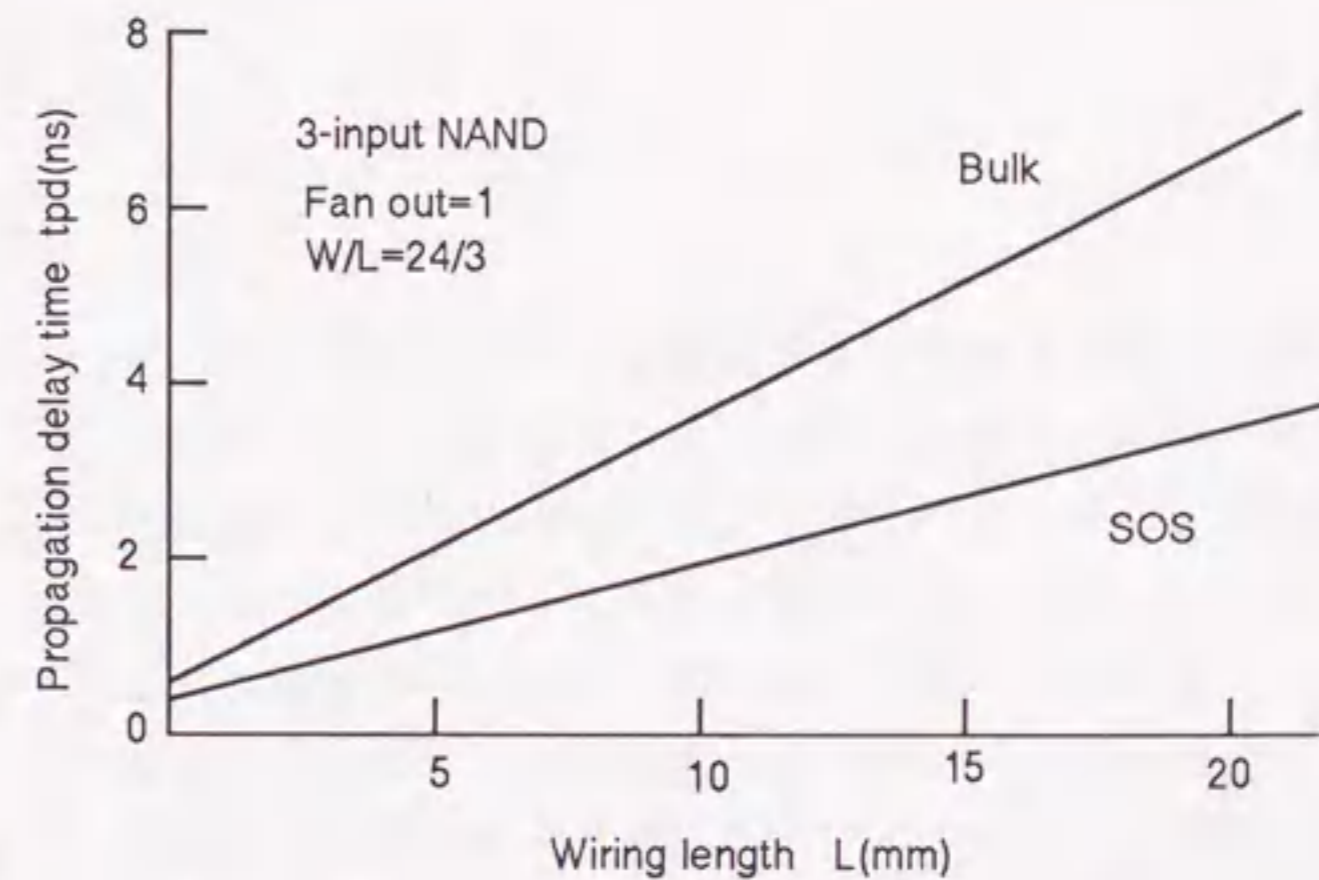


図3.15 3入力NANDのCMOS/SOSとバルクのスピード比較
(配線負荷の場合、 $W/L = 24/3$ 、 $F.O = 1$)

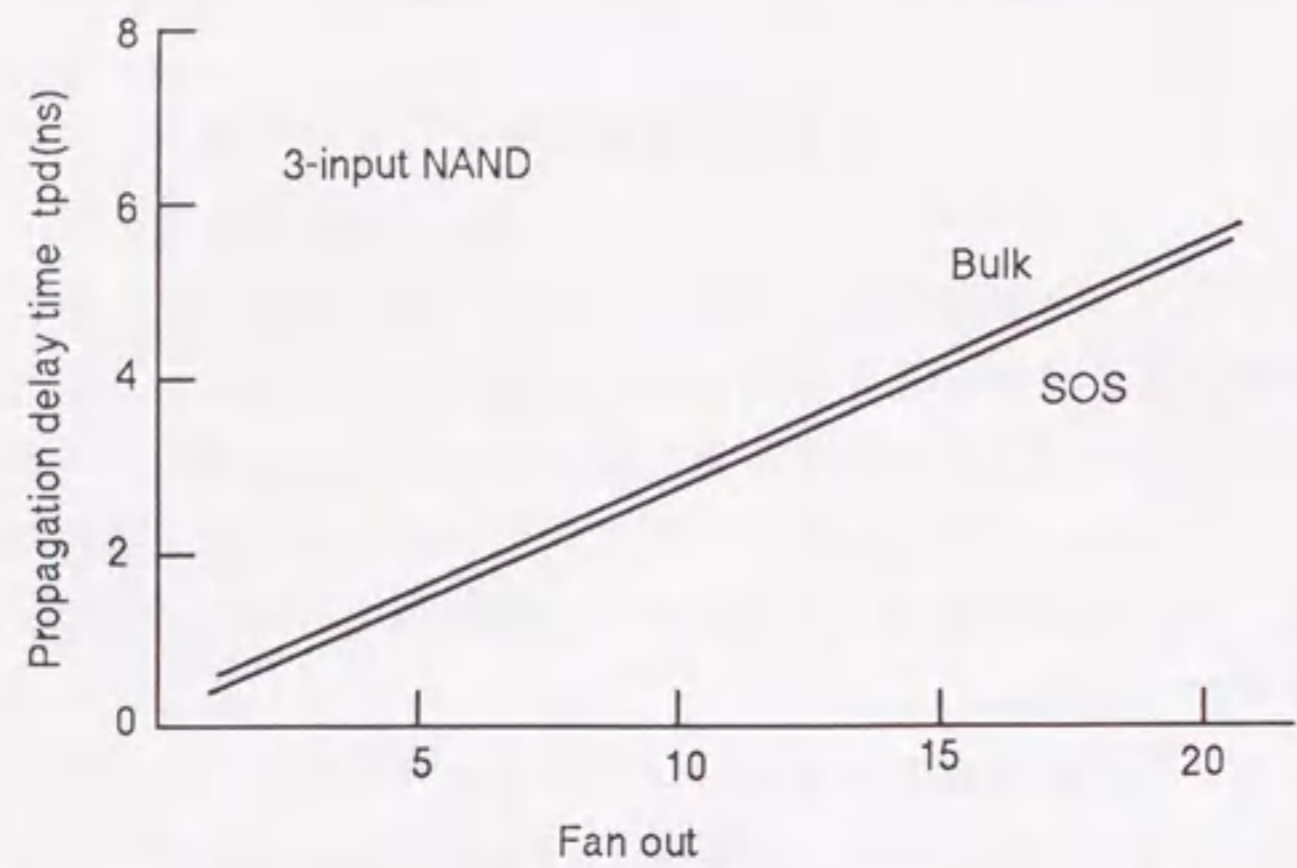


図3.16 3入力NANDのCMOS/SOSとバルクのスピード比較
(ファンアウト負荷の場合、 $W/L=24/3$ 、 $L=0\text{mm}$)

3.3.3 平行線率と交差率を考慮した負荷容量とスピードの比較

上記の検討では、平行線率、交差率を共に1.0と仮定したが、実際のゲートアレイLSIではどの程度になるか、400ゲートのTTLゲートアレイの代表的一例を用いてデータを収集した。そのゲートアレイの配線例を図3.17に示す。A1①はX方向に布線され、A1②はY方向に素子上も布線される。用いるプロセス技術によって、配線と配線の間隔、即ち、配線ピッチが異なるので、データ収集にあたっては配線長そのものではなく格子単位(ピッチ)を用いた。また、一つの信号毎を単位としてデータを集めた。すなわち、図3.17ではX方向にx1とx2があるが、 $(x1+x2)$ に対してデータを集めた。その結果を以下に示す。

図3.18にX方向格子数とA1②との交差数を示す。これは、A1①配線がX方向に布線される間にA1②配線と幾つ交差するかを示すものである。図中の破線はルール上の最大交差数すなわち、交差率1の場合を示す。なおデータの直線は2変数の最小2乗法によって求めたものである。図より交差率は36%である。図3.19はA1①配線長と隣

接平行線長の関係を示す。図中の破線は平行線率1の場合を示す。図より平行線率は51%である。

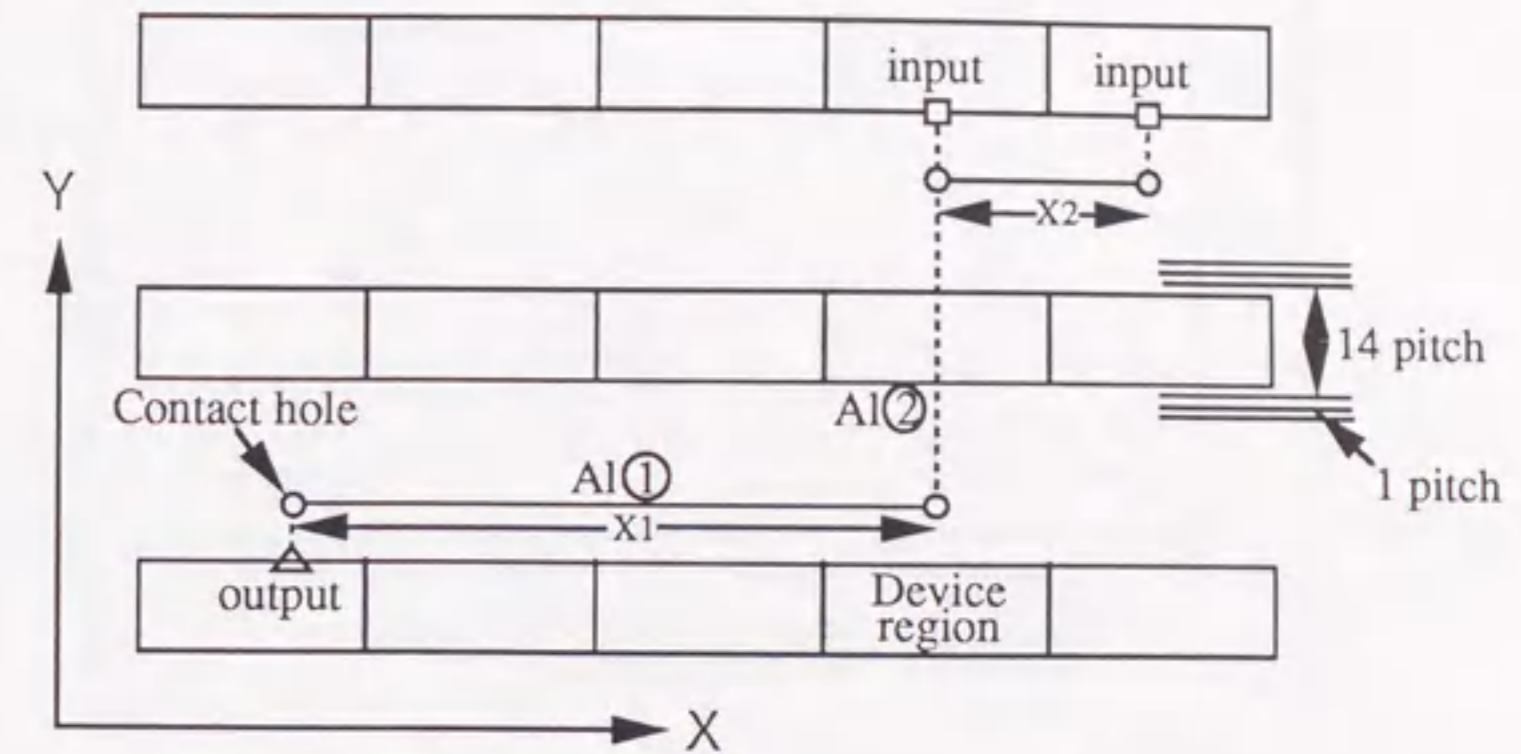


図3.17 TTLゲートアレイの配線例

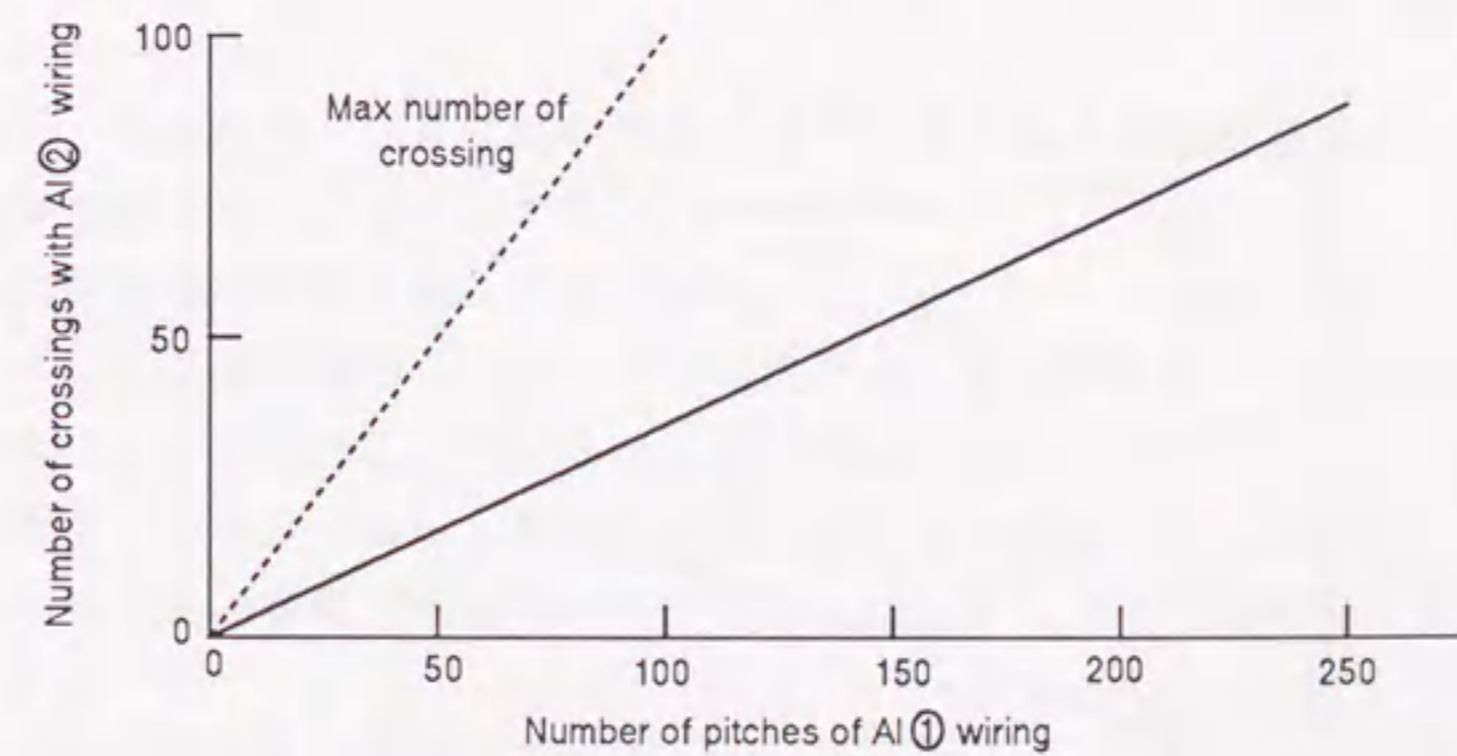


図3.18 A1①配線長とA1②との交差数の関係

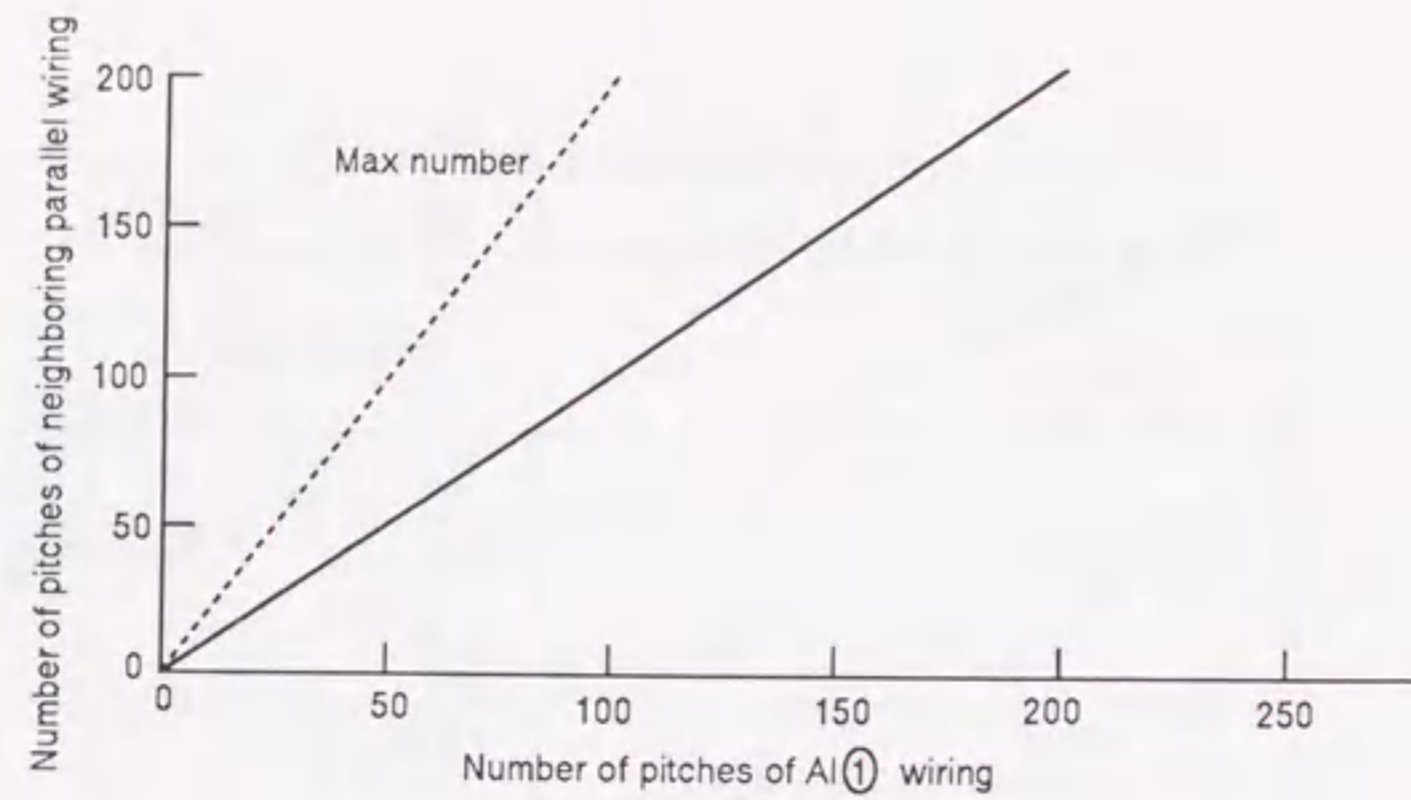


図3.19 Al①配線長と隣接平行線長の関係

図3.20はAl②配線の交差率を示す。すなわち、Al②配線がY方向に布線される間にAl①配線と幾つ交差するかを示すものである。ただし、素子上の交差数は一律7と仮定した。図より交差率は36%である。図3.21はAl②配線長と隣接平行線長の関係を示す。図より平行線率は40%である。

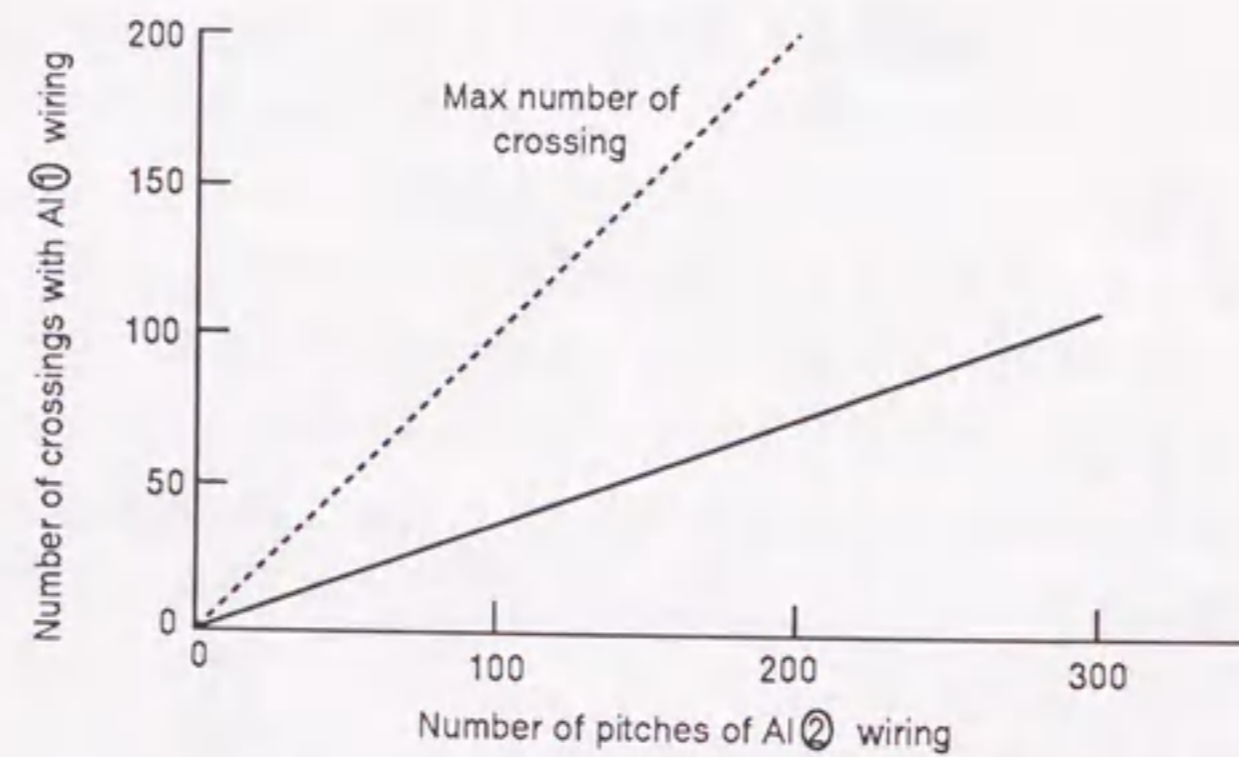


図3.20 Al②配線長とAl①との交差数の関係

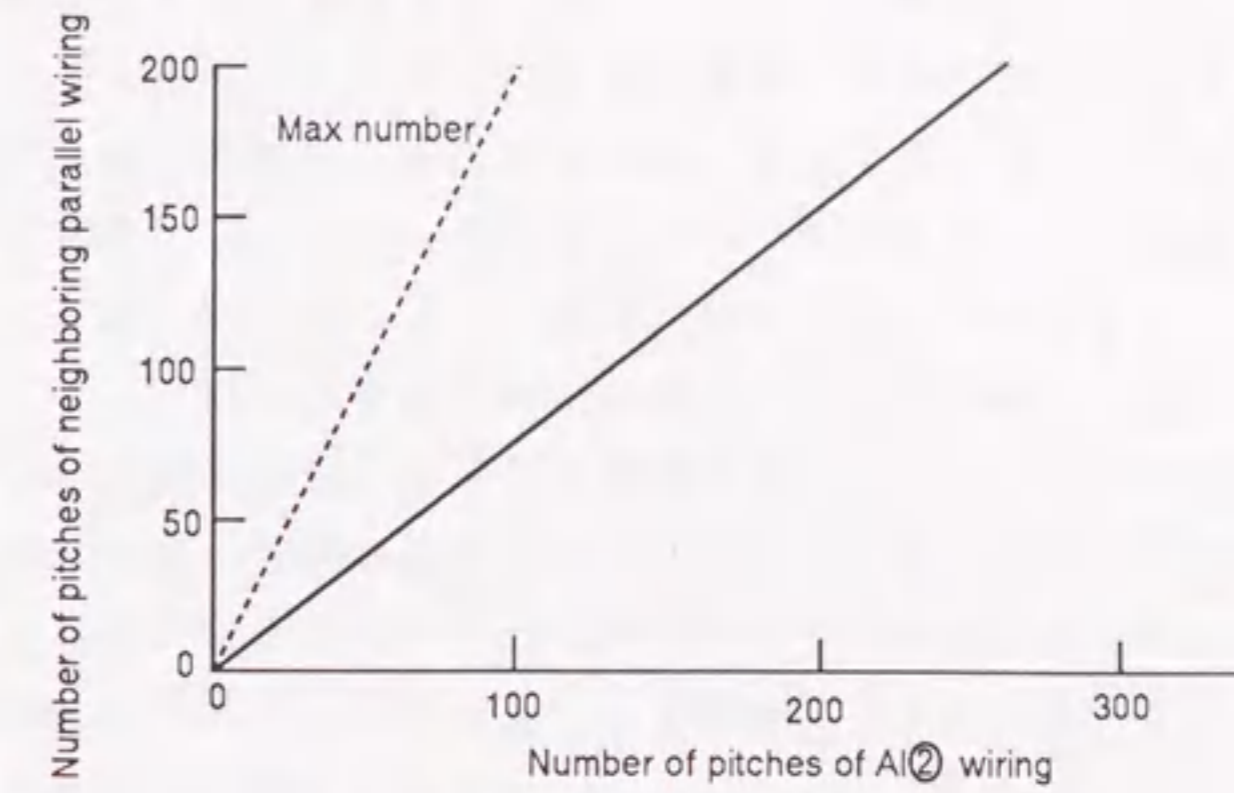


図3.21 Al②配線長と隣接平行線長の関係

以上の結果より、一例ではあるが、交差率は40%程度で、平行線率は40-50%であることがわかった。この場合のSOSの配線容量とバルクの配線容量の比を求めると0.24程度である。

次に、格子数とファンアウトの関係を図3.22に示す。250格子でファンアウトが4程度である。CMOS3μmのAl2層プロセスの場合、250格子で約2.5mmである。

以上を基に、配線長が2.5mmの場合の負荷容量の比を求めてみる。

ただし、入力容量を0.1pFとする。

$$\begin{aligned}
 \text{SOSの負荷容量} &= \text{配線容量} + \text{入力容量} \\
 &= (A1① \cdot A1② \text{間容量} + A1① \cdot A1① \text{間容量} + \text{対地間容量}) + \text{入力容量} \\
 &= 0.052 (\text{pF/mm}) \times 2.5 (\text{mm}) \times \text{交差率} 0.4 \\
 &\quad + 0.018 (\text{pF/mm}) \times 2.5 (\text{mm}) \times \text{平行線率} 0.5 \\
 &\quad + 0.0012 (\text{pF/mm}) \times 2.5 (\text{mm}) + 0.1 (\text{pF}) \times 4 \\
 &= 0.48 \text{ pF}
 \end{aligned}$$

$$\begin{aligned}
 \text{バルクの負荷容量} &= \text{配線容量} + \text{入力容量} \\
 &= 0.052 (\text{pF/mm}) \times 2.5 (\text{mm}) \times 0.4 \\
 &\quad + 0.018 (\text{pF/mm}) \times 2.5 (\text{mm}) \times 0.5 \\
 &\quad + 0.12 (\text{pF/mm}) \times 1.25 (\text{mm}) \\
 &\quad + 0.075 (\text{pF/mm}) \times 1.25 (\text{mm}) + 0.1 (\text{pF}) \times 4
 \end{aligned}$$

$= 0.72 \text{ pF}$

従って、負荷容量の比は0.67である。SOSの移動度はバルクの移動度よりも一般に小さいが、80%とすると、この条件の下では図3.16から推測されるように、SOSはバルクの約1.2倍の高速性を有することになる。

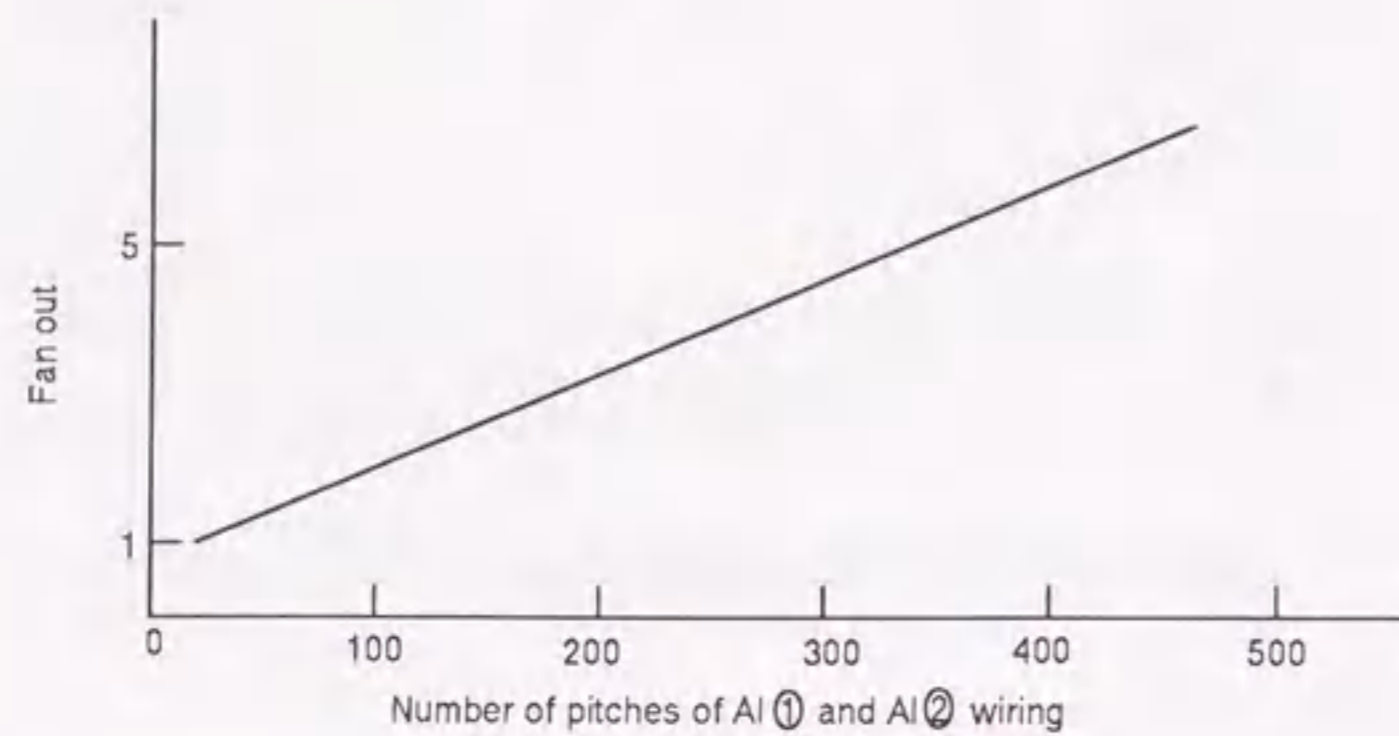


図3.22 ピッチ数とファンアウト数の関係

3.4 SOI技術の応用に関するまとめ

以上、SOI技術の応用について検討した結果、次の点を明らかにした。

(1) SOSはバルクに比べてリーク電流が大きいですが、 $10^{-9} \text{ A}/\mu\text{m}$ 以下ならスタティック回路応用上特に問題はない。

(2) SOIは、配線の対地間容量が小さいため、クロストークとして0.26V程度発生することもあり得るので、LSI構成時には十分な注意が必要である。

(3) SOIでは通常基板をフローティングで使用するが、この基板電位の挙動を検討した結果、スピードおよび論理スレッシュホールド電圧に悪影響を及ぼす可能性のあることが判明した。

(4) ゲートアレイLSIの配線同志の隣接平行線率、交差率を一例について求めてみるとそれぞれ、40-50%であった。そして配線長250格子(格子は配線チャンネル1ピッチ)の時、ファンアウトは4程度であった。この時のSOSの負荷容量はバルクのそれに対して、67%である。

(4) 上記条件下では、SOSはバルクの1.2倍程度の高速性を有すると考えられる。

3.5 BiCMOS技術の概要

1960年代の後半に、CMOSとバイポーラトランジスタを混在させて、CMOS論理ゲートの速度を向上させようという試みがなされた[5]。しかし、当時のLSI技術の未熟さから、論理VLSI技術としてはあまり注目されなかった。一方、1980年代に入り、論理VLSI技術としてはCMOSが主流になり、また計算機などの高速分野ではECLなどのバイポーラ技術が主流になった。それらの半導体技術の進歩と共に、LSIに対する要求も高度化してきた。例えば、CMOSゲートアレイは高集積であるが、特に出力インターフェース回路のスピードや負荷駆動力を更に向上させたいなどの要求が起こり、再びバイポーラ・CMOS複合技術が注目された。その結果、内部回路はCMOSで、入出力インターフェース回路がBiCMOS回路のゲートアレイが開発された[6]。しかし、この形では内部回路の性能はCMOSに依存する。そこで、この考えを更に進め、LSIチップ全体をBiCMOS化してバイポーラトランジスタあるいはCMOS単独では得られない性能領域のLSIを実現するという概念[7]で、新しいバイポーラ・CMOS複合LSI技術を追究することにした。

しかし、実用化に際しては、VLSIを構成する論理ゲートのレイアウト設計手法を確立しなければならないし、また、BiCMOS論理ゲートの性能を把握する必要がある。以下に、VLSIを構成する論理ゲートのレイアウト設計手法、および $2\mu\text{m}$ BiCMOSデバイスを用いて試作した論理ゲートの特性とその解析について述べる[8]。

3.6 BiCMOS回路のセル設計手法

本項では、BiCMOS論理ゲートをレイアウト設計する際の重要な注意点について述べる。

3.6.1 回路構成

図3.23は開発した代表的BiCMOS論理ゲートを示す[7]。それぞれ2入力NANDゲートを示しているが、MOS部の接続法を変えるだけでCMOS回路で構成できるゲートはすべて構成できる。それぞれMOS部で論理を採り、バイポーラトランジスタバッファで負荷を高速に駆動しようとするものである。またCMOS回路と同様、相補動作するので低消費電力特性を有する。Z部はバイポーラトランジスタがオフするときのベース周辺の電荷放電用の素子で、抵抗やNMOSなどで構成する。

本項では、Zタイプの試作結果について論じるが、基本的にはどちらのタイプにもあてはまる。

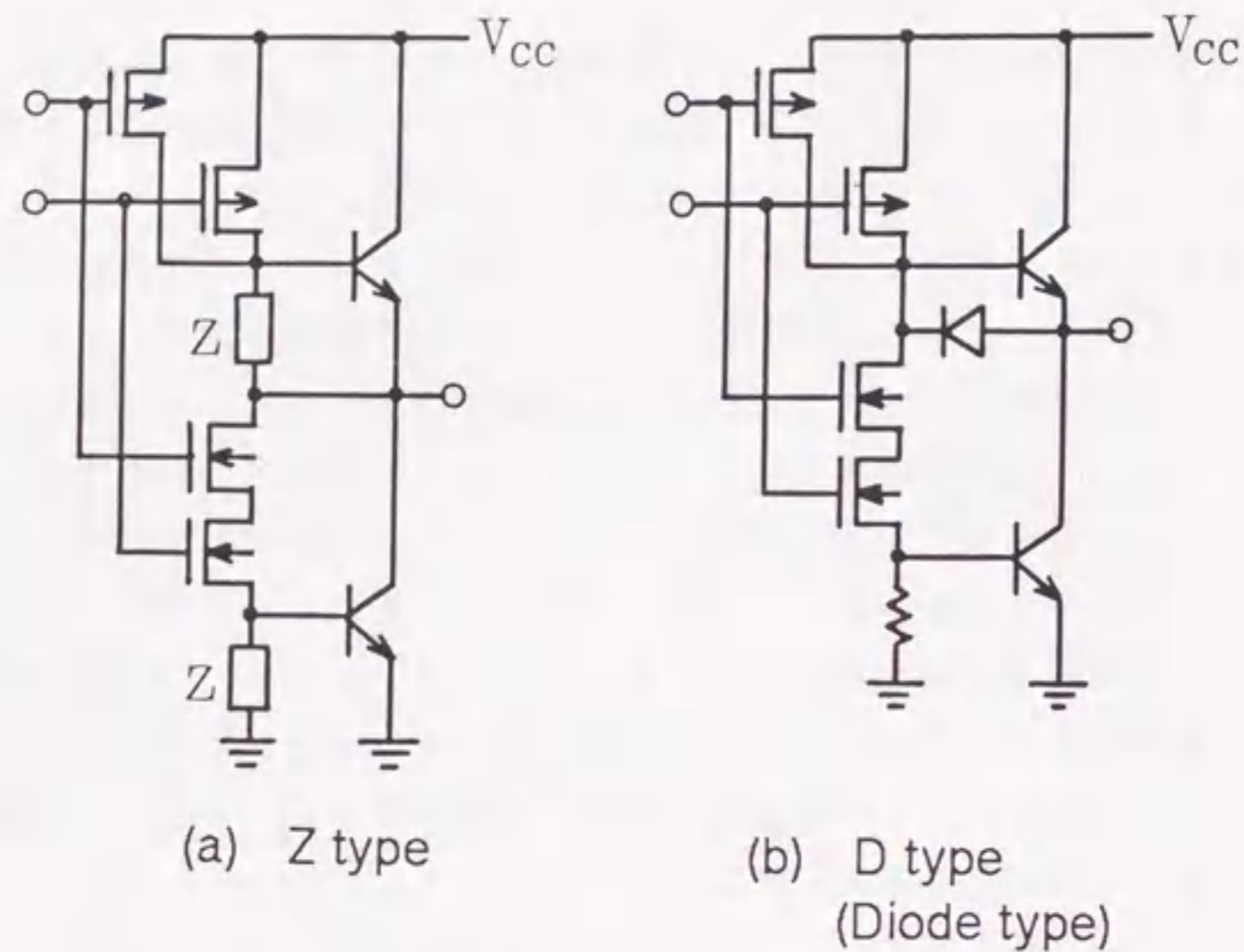


図 3. 23 BiCMOS 論理ゲート

3. 6. 2 セルパターン設計

BiCMOS 論理ゲートをレイアウト設計するにあたり、大きく二つの注意が必要である。この点について以下に述べる。

まず、ラッチアップ対策に関するものである。一般に高速 BiCMOS デバイスは、図 3. 24 にその断面図を示すように P 形基板を用いる。そのため、PMOS は V_{cc} 電位

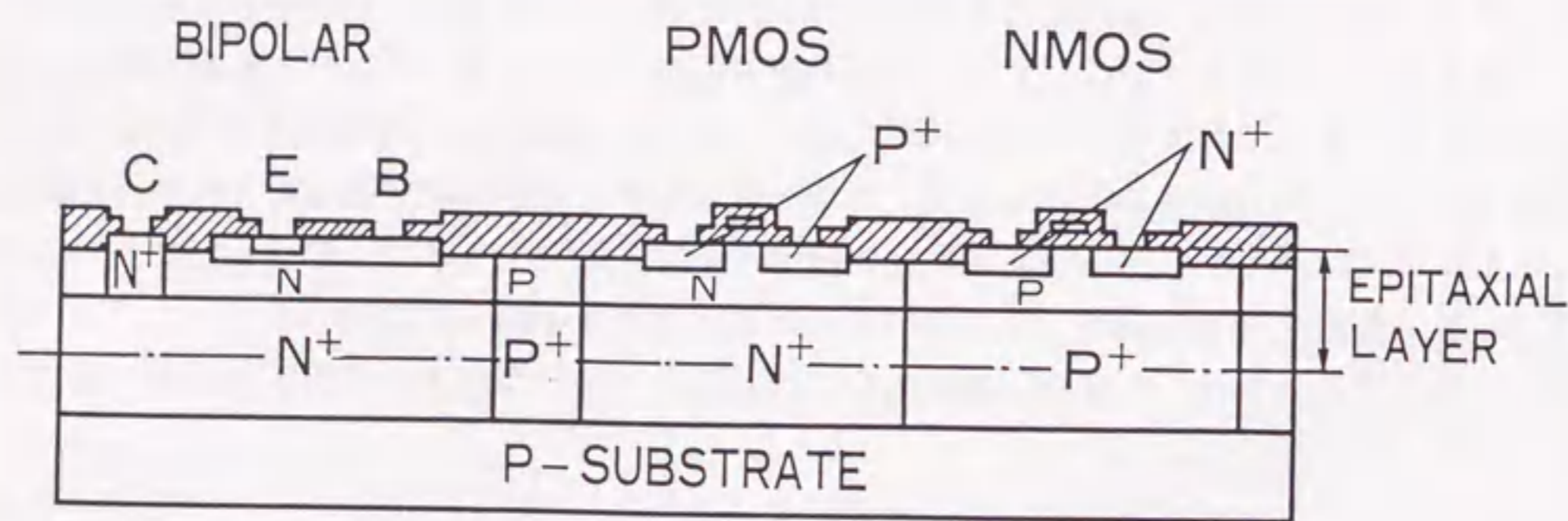


図 3. 24 BiCMOS デバイスの断面図

(+5V) に接続した N 形ウェル内に形成する。一方、トータムボール接続の上側の NPN バイポーラトランジスタのコレクタ、すなわち N ウェルも V_{cc} 電位に接続する。そのため、N ウェルの電位としては、PMOS の N ウェルと上側のバイポーラトランジスタの N ウェルがともに V_{cc} 電位で同一であるので、セル面積縮小のために共用化すると次のような現象が発生する。

図 3. 25 は電源電圧 V_{cc} を 4.5、5.0、5.5、6.0V と変えた場合の 2 入力 NAND ゲートの伝達特性を示す。 $V_{cc}=4.5、5.0$ V までは正常な伝達特性を示すが、少なくとも 5.5V 以上になると入力電位を上昇させても、出力電位が落ちずに電源電流 I_{cc} が急激に増加する現象である。この原因は、図 3. 26 に示した回路図の破線内に示した PMOS と NPN バイポーラトランジスタを同図の断面構造図に示すように、同じ N ウェル内に設けたためである。すなわち、PMOS のソースの P と、N ウェルの N と、ベースの P と、エミッタの N とで、PNPN とサイリスタを構成するため、ラッチアップ現象が発生し、異常動作する。電源電圧が高くなると発生するのは、電源電流 I_{cc} が大きくなるので上側の NPN バイポーラトランジスタのコレクタに相当する N ウェルの電位降下が大きくなり、PMOS のソースの P と、N ウェルの N と、ベースの P とで構成する寄生ラテラル PNP バイポーラトランジスタがオンになり、それがトリガになるためと考えられる。従って、BiCMOS 論理ゲートのセル設計においては、PMOS の形成される N ウェルと NPN バイポーラトランジスタの N ウェルは分離しなければならない。

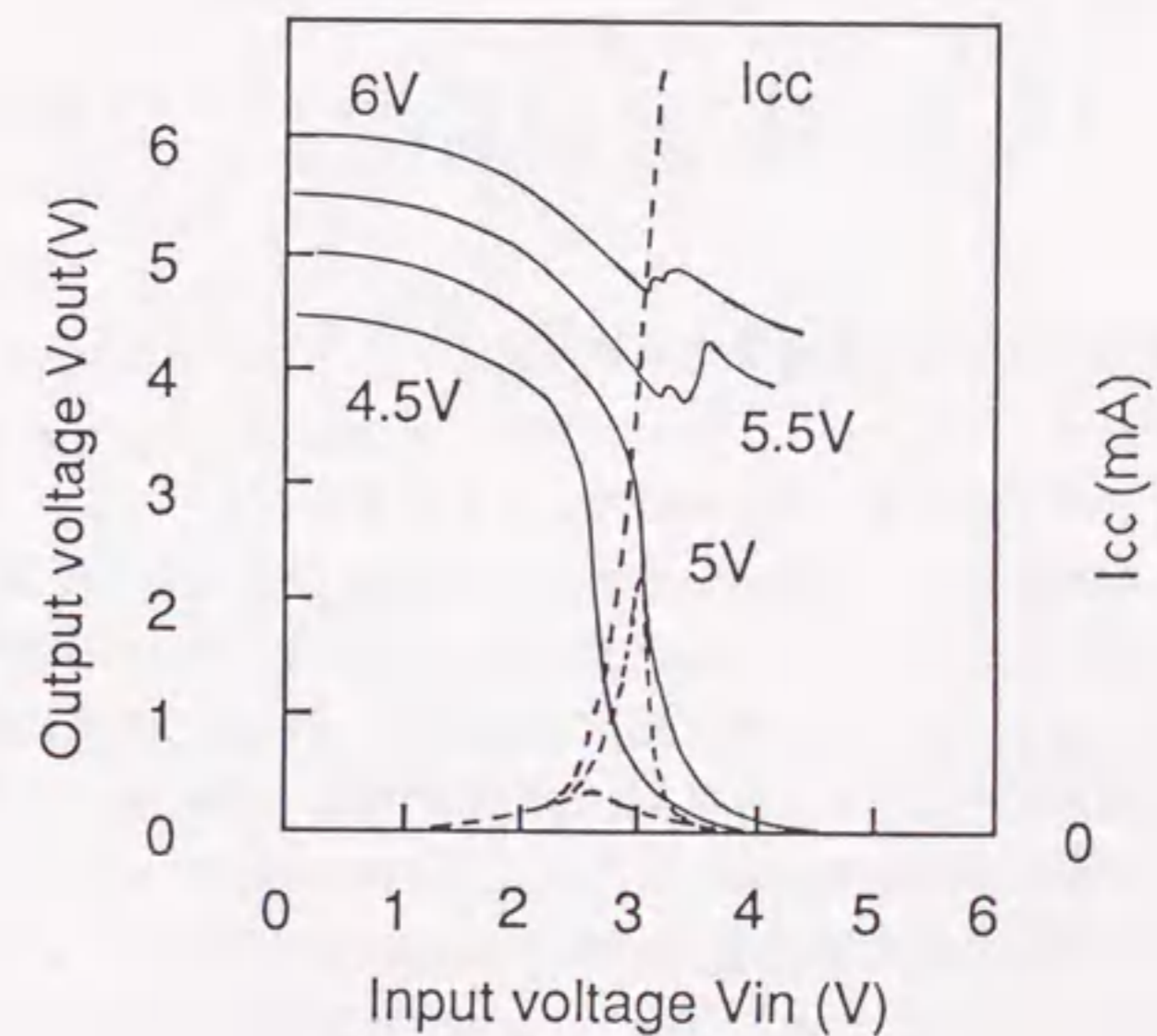


図 3. 25 異常伝達特性

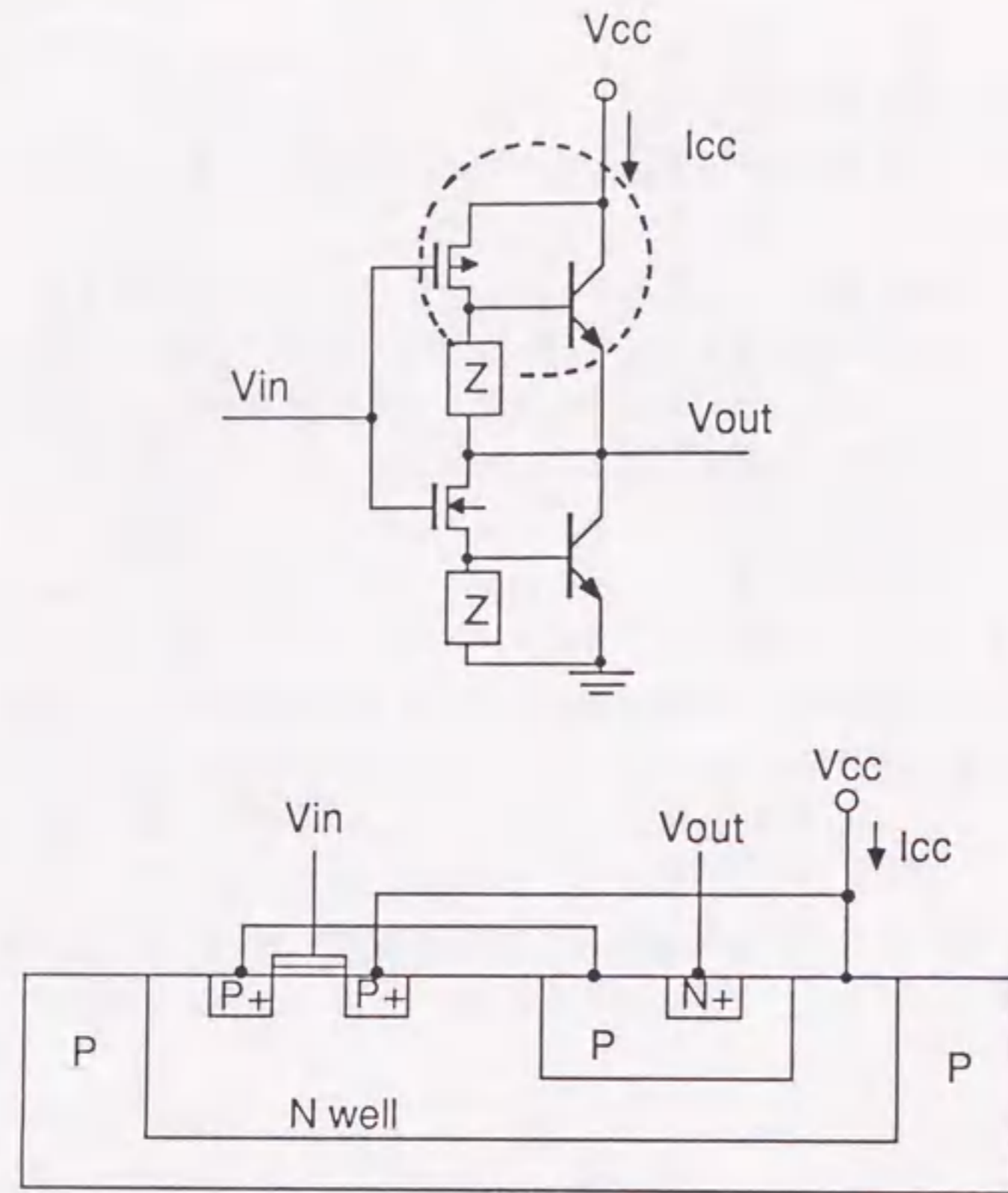


図3.26 PMOSとバイポーラトランジスタ部の断面図

もう一点は、スピード特性に関するものである。BiCMOS技術のゲートアレーへの応用を考えているが、一般にゲートアレーでは、あらかじめマスタチップに並べられている基本セルにアルミ配線を施して各種論理ゲートを構成する。つまり、基本セルのMOS上を論理ゲート構成用のアルミ配線が通る。そのため、MOSのドレインあるいはソース領域にアルミ配線とそれらの領域を接続するコンタクト孔 (CONT) を多数設置すると、他のアルミ配線が短絡を避けるために通れなくなるので、CONTを多数設置できない場合がある。このことがスピードに及ぼす影響について検討した。

図3.27はチャンネル幅 $3.2\mu\text{m}$ のMOSのソースとドレインに各々、CONTを1個設置した場合のCMOS 2入力NANDゲートの実測値と二つのシミュレーション結果A、Bを示す。AはMOSのソースとドレインにレイアウトルールで許す最大数のCONTを設置したMOSの静特性にフィッティングしたパラメータで求めたものである。これに対し、BはCONTを1個しか設置していないMOSの静特性に合うように、Aのパラメータにコンタクト抵抗あるいはソース、ドレイン抵抗に相当する抵抗を図3.27中に示す

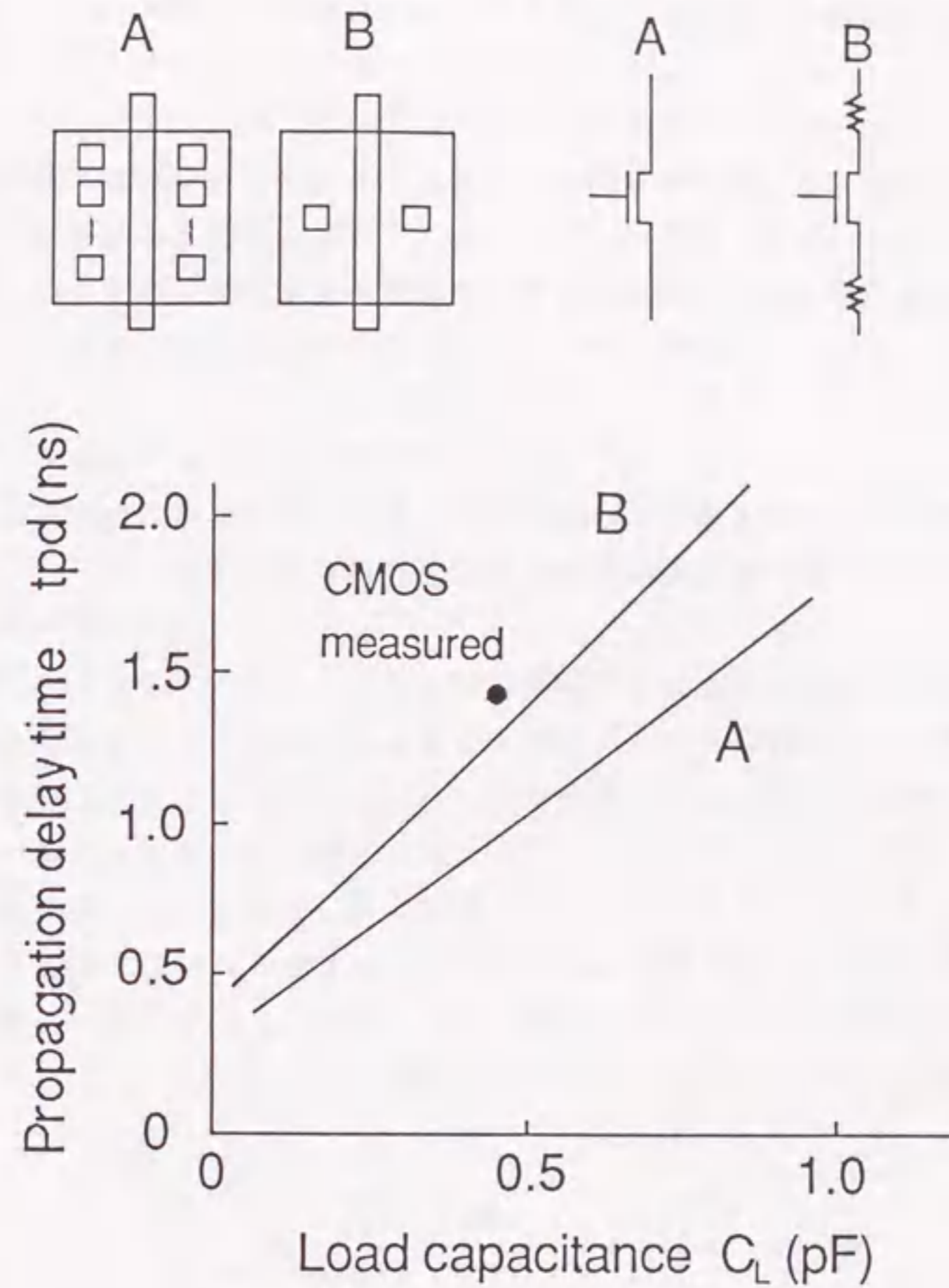


図3.27 コンタクト孔の設置数の遅延時間に及ぼす影響

ように、付加した状態で求めたものである。抵抗値はNMOSの場合、各々 100Ω 、PMOSの場合、各々 150Ω であった。この状態では、シミュレーション値と実測値がほぼ一致している。従って、CONTを多数設置するとAのシミュレーション値まで高速化できることがわかる。このように、設置CONT数はスピードに大きな影響を及ぼす。この例はCMOSゲートについてであるが、このMOS電流をバイポーラトランジスタのベースに供給する高速BiCMOSゲートについても同様のことが言える。従って、BiCMOSゲートアレーの基本セルはバイポーラトランジスタをPMOSとNMOSの両側に配置し、未使用バイポーラトランジスタ上を内部論理構成用配線領域に用いるなど、MOS上に十分な数のCONTが設けられるよう設計して高速化を図る必要がある。

以上述べた知見を基に、 $2\mu\text{m}$ 技術を用い回路TEGを試作した。TEGの内容は、L

SIとしての総合特性の評価を目的とした演算回路の論理およびリングオシレータを中心とする単体特性評価用の回路である。以下、これらの回路を評価して得られた知見について述べる。

3.7 BiCMOSゲート遅延時間のデバイスパラメータおよび動作条件依存性

本項では、リングオシレータ状態でのゲート回路、あるいは各種ゲートの連なった経路でのBiCMOSゲートの遅延時間のデバイスパラメータ依存性、あるいは動作条件依存性の実験結果とそれに対する検討結果について述べる。

デバイスパラメータとしては、MOSの直流特性を決めるゲート長とバイポーラトランジスタの直流特性と共に高周波特性、耐圧を決めるエピタキシャル層厚を中心に検討する。また動作条件については、電源電圧と周囲温度の影響を検討する。

3.7.1 ゲート遅延時間のゲート長依存性

標準的な負荷を接続した2入力NANDで構成したリングオシレータを用いて、遅延時間とゲート長の関係の評価した結果を図3.28に示す。ゲート長としては、ゲート長管理限界値の最大値と最小値の間にある。また、ゲート長以外の要因を分離するため、BiCMOS回路のバイポーラトランジスタ部の特性は同じである。また同一ウェーハ内の同じチップ、すなわち同一MOS特性を持つと考えられるBiCMOS回路とCMOS回路の遅延時間を対応させてプロットしている。なお、CMOS回路のMOSチャンネル幅はBiCMOS回路の駆動MOSと同じ $30\mu\text{m}$ である。

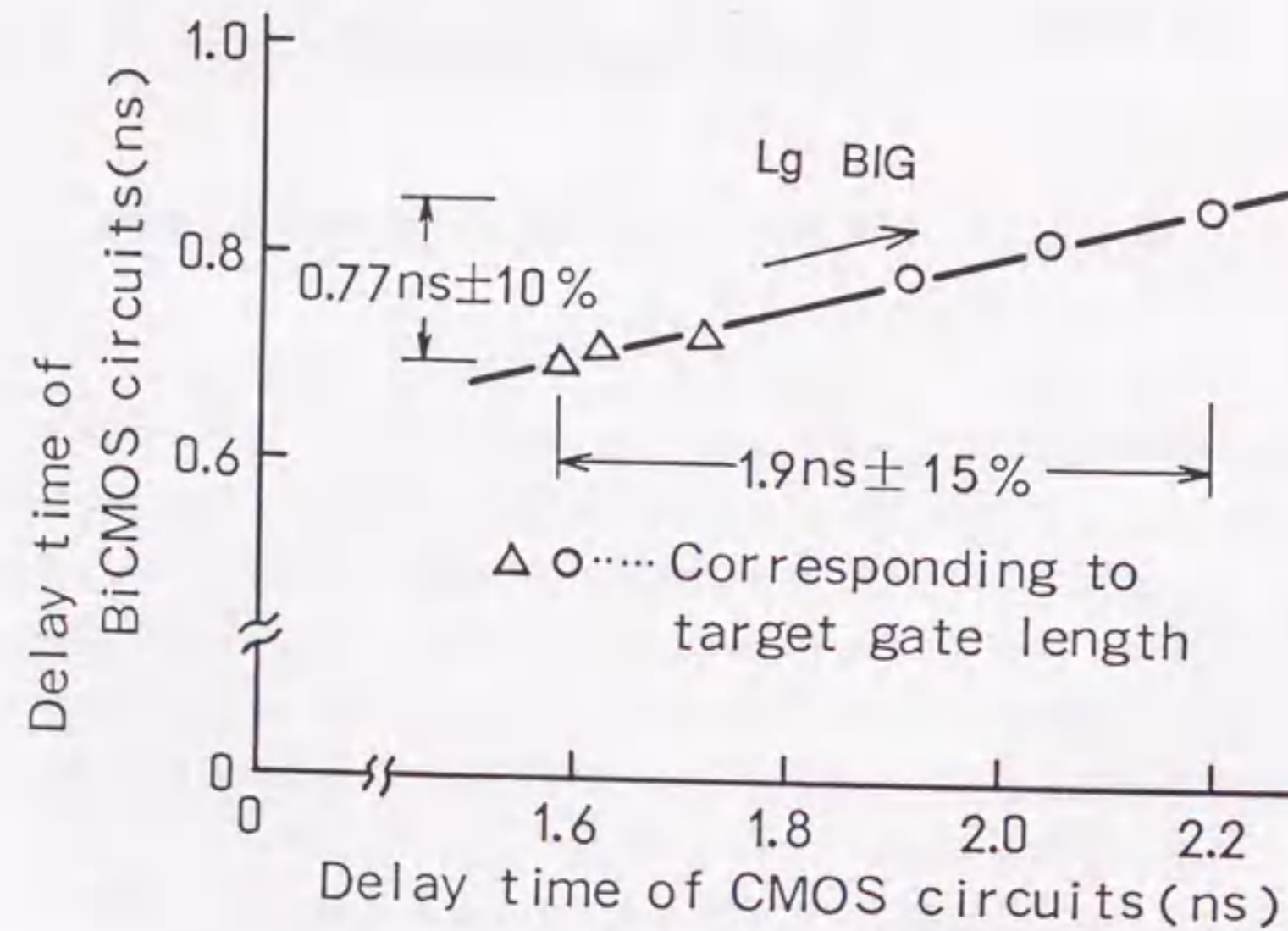


図3.28 遅延時間のゲート長依存性

BiCMOS回路はCMOS回路の2倍以上の速度である。ゲート長が細いほど、ともに速くなっているが、BiCMOS回路の変動量のほうが小さく、対CMOS回路の約26%である。ばらつきもBiCMOSのほうが小さい。

また、MOSのスレッシュホールド電圧を変化させた場合についても評価したので簡単にふれておく。遅延時間とスレッシュホールド電圧の間には強い相関はみられず、スレッシュホールド電圧より強く遅延時間に影響を及ぼすパラメータの存在が示唆された。それについて、MOSのゲート長とゲート遅延時間の関係を示す図3.28と同様の整理をすると同図の線上にはほぼ重なるため、MOS特性のうちでゲート遅延時間に強く影響を及ぼすパラメータはゲート長であることがわかった。なお、この場合のBiCMOS回路の遅延時間の変動量は、対CMOS回路の約39%であった。

このようにMOS特性変動に対しては、BiCMOS回路の遅延時間の変動量のほうがCMOS回路より少ないことがわかった。次に、簡単な回路モデルを用いて、このような特性が得られる理由を考察する。

図3.29に示すように、BiCMOSとCMOSの各2入力NAND回路の各部に寄生容量を付加した回路モデルを考える。簡単のため立上り時間で考える。立下がり時間についても同様である。BiCMOS回路の立上り時間は(3.3)式で与えられる[7]。

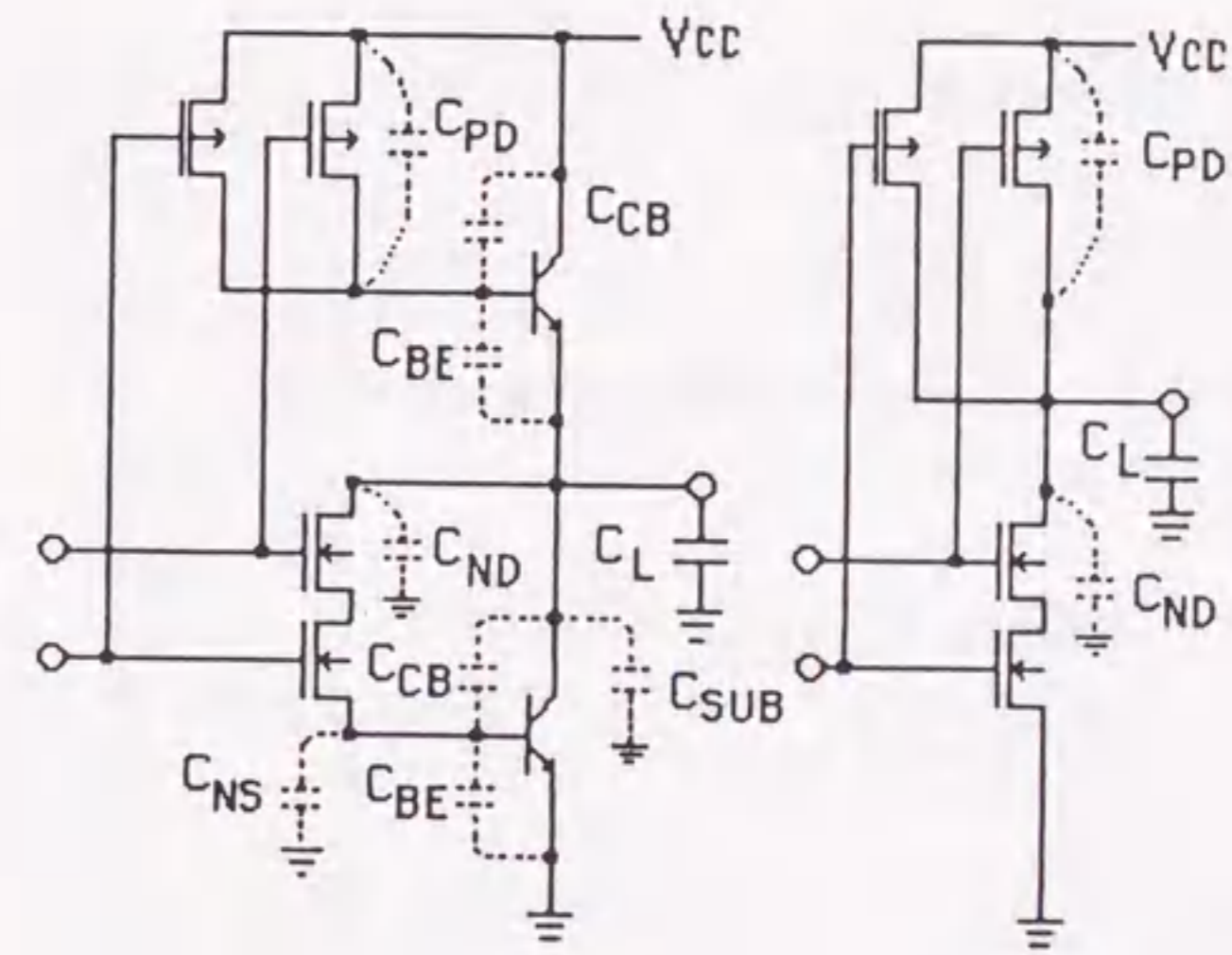


図3.29 解析用回路モデル

$$\begin{aligned}
t_{PLH}(BiCMOS) &= \{V_{BE}(C_{CB}+C_{BE}+C_{PD})+V_{LT}(2C_{CB}+C_{PD})\} / I_{PD} \\
&+ \{V_{LT}(C_{SUB}+C_{ND}+C_L)\} / \beta I_{PD} \quad (3.3)
\end{aligned}$$

ここで、 V_{BE} ：ベース・エミッタ間順電圧、 V_{LT} ：論理スレッショルド電圧、 I_{PD} ：PMOSのドレイン電流、 β ：電流増幅率

また、CMOS回路の立上り遅延時間は(3.4)式で与えられる。

$$\begin{aligned}
t_{PLH}(CMOS) &= V_{LT}(C_{PD}+C_{ND}+C_L) / I_{PD} \quad (3.4)
\end{aligned}$$

従って、MOSとバイポーラトランジスタの各種デバイスパラメータのうちで遅延時間に大きく影響を及ぼす I_{PD} と β が変動した場合の遅延時間の変動量は各々、(3.5)、(3.6)式のようになる。

$$\begin{aligned}
\text{BiCMOS回路の変動量 } \Delta t_{PLH}(BiCMOS) &= \{V_{BE}(C_{CB}+C_{BE}+C_{PD})+V_{LT}(2C_{CB}+C_{PD})\} \\
&\cdot (-\Delta I_{PD} / I_{PD}^2) \\
&+ V_{LT}(C_{SUB}+C_{ND}+C_L) \cdot (-1 / \beta I_{PD}) \\
&\cdot \{(\Delta \beta / \beta) + (\Delta I_{PD} / I_{PD})\} \quad (3.5)
\end{aligned}$$

$$\begin{aligned}
\text{また、CMOS回路の変動量 } \Delta t_{PLH}(CMOS) &= V_{LT}(C_{PD}+C_{ND}+C_L) \cdot (-\Delta I_{PD} / I_{PD}^2) \quad (3.6)
\end{aligned}$$

(3.5)、(3.6)式に $V_{BE}=0.7V$ 、 $V_{LT}=2.5V$ 、評価しているリングオシレータの負荷容量 $970fF$ および各種寄生容量値を代入すると各々、(3.7)、(3.8)式のように表わせる。

$$\begin{aligned}
\text{BiCMOS回路の変動量 } \Delta t_{PLH}(BiCMOS) &= A \cdot [(-1 / 0.84\beta I_{PD}) \cdot \{(\Delta \beta / \beta) + (\Delta I_{PD} / I_{PD})\} \\
&+ 0.13 \cdot (-\Delta I_{PD} / I_{PD}^2)] \quad (3.7)
\end{aligned}$$

ここで、 A ：定数

$$\begin{aligned}
\text{また、CMOS回路の変動量 } \Delta t_{PLH}(CMOS) &= A \cdot (-\Delta I_{PD} / I_{PD}^2) \quad (3.8)
\end{aligned}$$

図3.28は、MOSパラメータの変動に対する影響を調べているので、この場合 β の変動は小さいと考えられる。したがって、(3.7)、(3.8)式より、BiCMOS回

路のCMOS回路に対する変動量は(3.9)式になる。

$$\begin{aligned}
\Delta t_{PLH}(BiCMOS) / \Delta t_{PLH}(CMOS) &= (1 / 0.84\beta) + 0.13 \quad (3.9)
\end{aligned}$$

(3.3)、(3.4)式からわかるように、BiCMOS回路の遅延時間の負荷依存性はCMOS回路の $1/\beta$ になる。図3.30は、同一MOSチャネル幅をもつCMOS 2入力NANDとBiCMOS 2入力NANDの負荷依存性の実測値である。同図より、 β は5.2程度で働いているので、(3.9)式に代入すると、BiCMOS回路の遅延時間の変動量はCMOS回路の36%となる。先に示したように、MOSやバイポーラトランジスタの各部のPN接合容量の変化は無視しているが、ゲート長を変化させた場合の対変動量は26%で、MOSのスレッショルド電圧も変化させた場合の対変動量が39%であるので、実測結果とほぼ一致していると言える。従って、上記の理由でMOS特性の変動に対しては、BiCMOS回路のほうがCMOS回路より、遅延時間の変動量が少ない特性が得られたと考えられる。

また、図3.30から、LSIの中での標準的な負荷容量である $1pF$ 程度では、BiCMOS回路はCMOS回路に比べて、約2倍の高速化が期待できる。

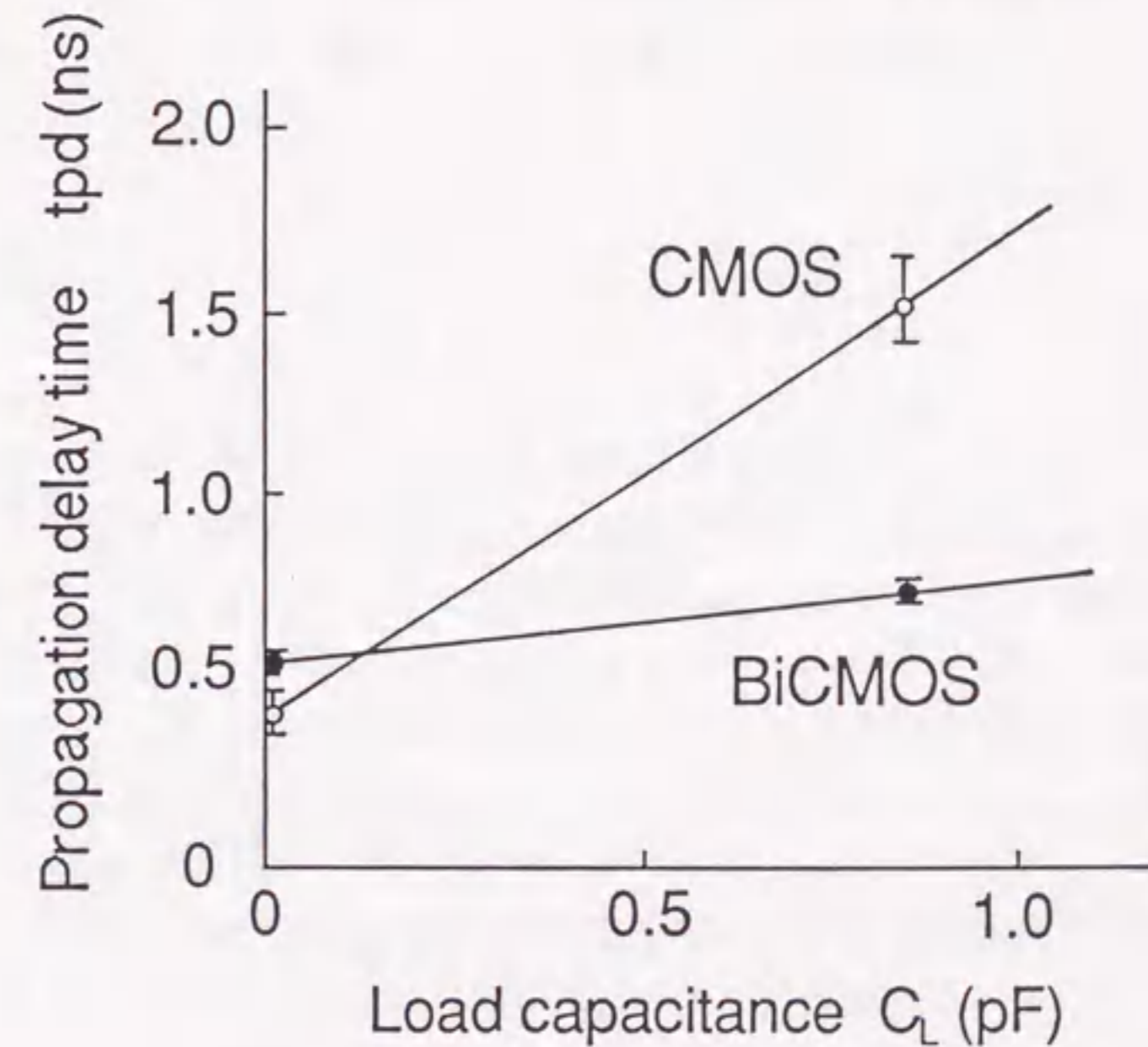


図3.30 遅延時間の負荷依存性

3.7.2 ゲート遅延時間のエピタキシャル層厚依存性

図3.31はエピタキシャル層厚に対する遅延時間の特性をデバイスの特性[9]と合わせて示したものである。遅延時間についてはMOS特性の影響を除くため、同じMOS特性をもつBiCMOSゲートで比較している。エピ厚が $2\mu\text{m}$ から $1.5\mu\text{m}$ になると約 0.15ns 速くなるが、 $1.5\mu\text{m}$ から $1.3\mu\text{m}$ になっても速度の向上は少ない。これは、薄エピ化によってBiCMOSゲートの高速化に寄与するバイポーラトランジスタの電流利得帯域幅積(カットオフ周波数) f_T や、ニー電流 I_k は向上するが、MOSの接合容量も大きくなる。従って、バイポーラトランジスタのベース周辺に寄生する容量が図3.29からわかるように大きくなるので、効果が相殺されるためと考えられる。

また、薄エピ化によってコレクタ・エミッタ間耐圧 BV_{CEO} も低下してくる。エピ厚 $1.5\mu\text{m}$ と $1.3\mu\text{m}$ で BV_{CEO} は各々、約 9V と 7.5V である。一方、回路実動作での最大動作電圧を2入力NANDのリングオシレータを用いて調べた。図3.32にその結果を示す。ゲート長に若干のばらつきがあるので遅延時間の絶対値は図3.31と若干異なるが、エピ厚が薄いほど最大動作電圧が低くなっている。エピ厚 $1.5\mu\text{m}$ では 9V までは正常動作するが、それを越えると遅延時間が大きくなり、電源電流も急増する結果になる。一方、CMOSの場合は少なくとも 13V までは正常に動作しているので、最大動作電圧を 9V 程度にしているのはバイポーラトランジスタであることがわかる。TTLインタフェースをもつLSIを対象にする場合には最大定格 7V が必要である。

以上のエピ厚に対するゲートスピードの依存性及び最大動作電圧から、この例ではエピ厚は $1.5\mu\text{m}$ が適切であることがわかる。

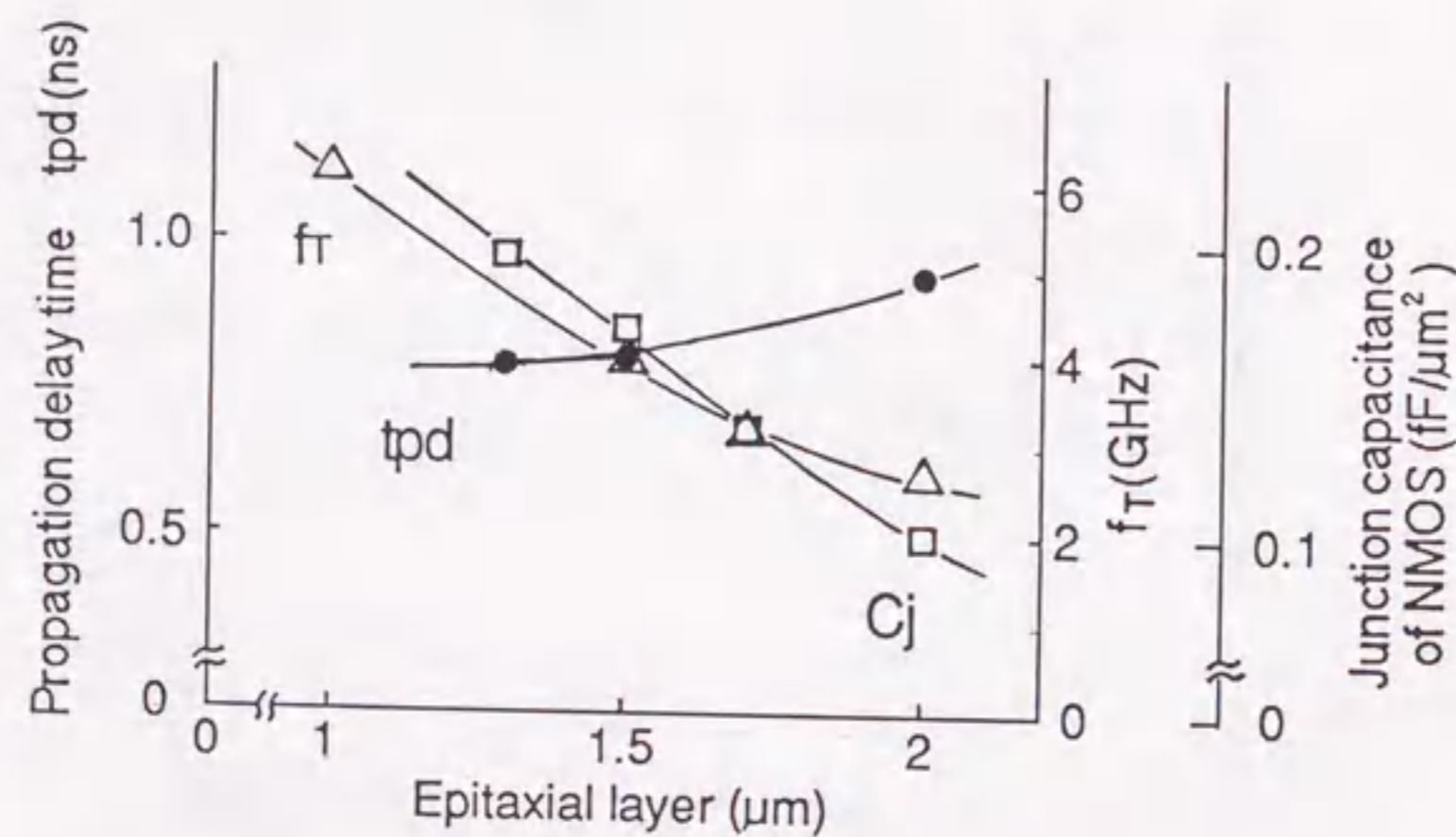


図3.31 遅延時間のエピタキシャル層厚依存性

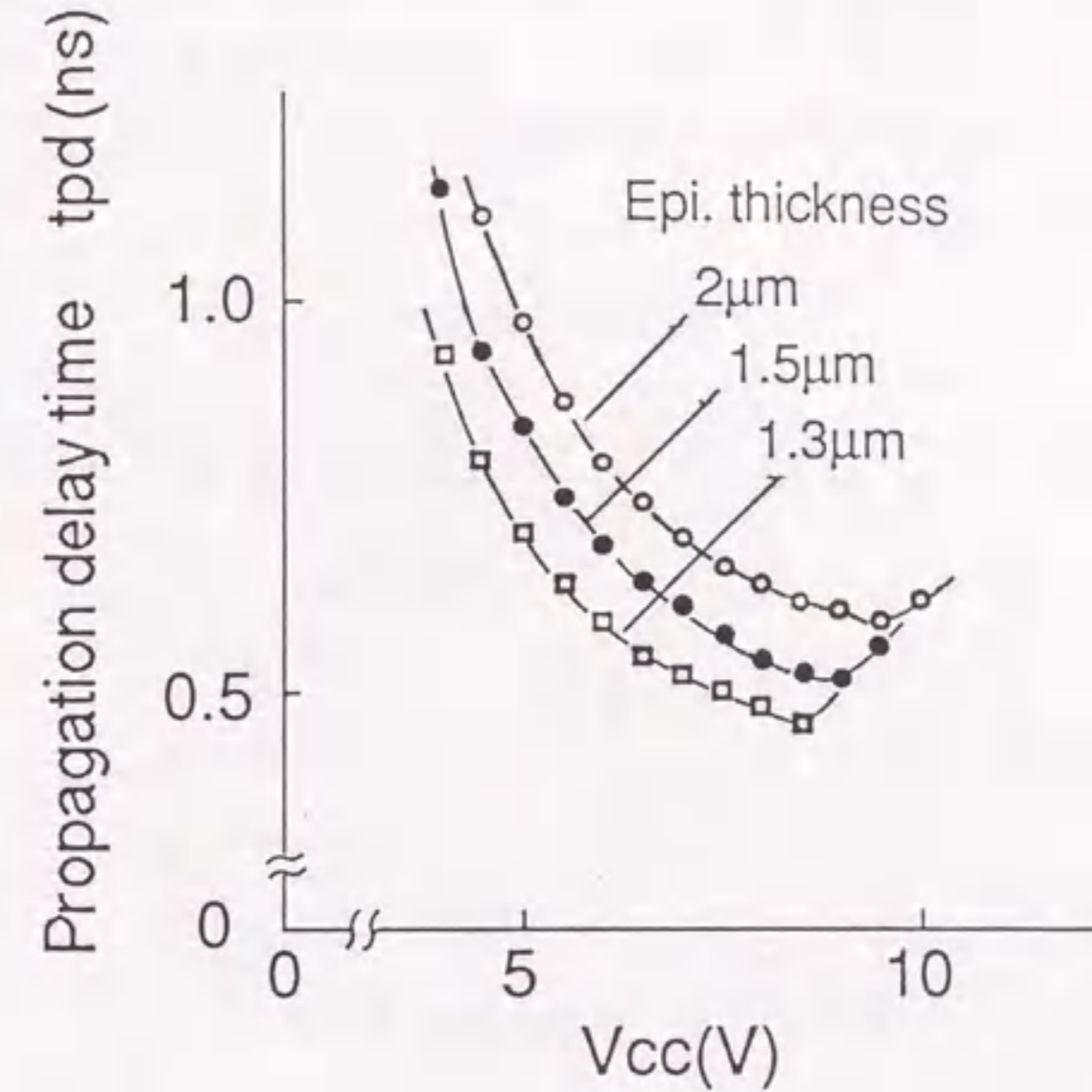


図3.32 論理ゲートの回路耐圧

また、図3.31に示したエピタキシャル層厚は製造時のばらつきよりかなり変動させている。従って、エピ厚が製造上ばらついても特性が大きく変動するということはない。

一方、バイポーラトランジスタの直流電流増幅率 h_{FE} に対するゲート遅延時間の特性についても簡単にふれておく。実験結果では、少なくとも h_{FE} は50以上であればスピードに有意差は見られなかった。BiCMOS回路のような高速動作では電流増幅率 β が、 $\beta = f_T / f$ で表わせる周波数領域で動作し、 β は5~7で働く。つまり、電流増幅率対周波数特性における $6\text{dB}/\text{オクターブ}$ の傾きをもつ線に動作点がある。そのため、この例では、 h_{FE} が50以上あれば、スピードに影響する高コレクタ電流領域での f_T は、 h_{FE} によって、ほとんど変わらず、同じ動作点になるためと推測される。

3.7.3 伝搬遅延時間の動作条件依存性

動作条件依存性については、試作した回路TEGの演算回路から、図3.33に示す代表的な経路を選び実測した。各種ゲート9段で構成した内部論理に入力および出力インタフェース回路を加えた遅延時間は、標準動作条件で13.9 nsである。なお、以後の特性評価ではBiCMOS入出力回路分も加えた総遅延時間を用い、同様の論理を構成したCMOSゲートアレーから得られた結果と比較した。

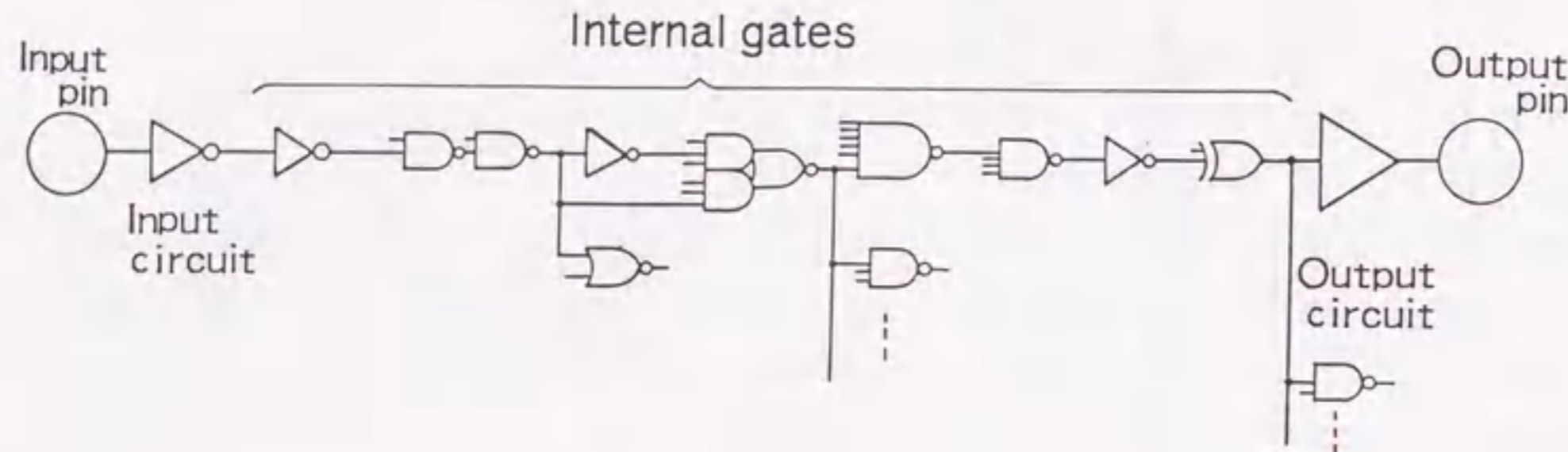


図3.33 代表的な論理経路

図3.34は電源電圧と周囲温度を変化させた場合の遅延時間の依存性を示す。BiCMOS、CMOSともに電源電圧を大きくするほど、また周囲温度を低くするほど高速になる。同図からわかるように、BiCMOSは動作条件に対する遅延時間の依存性をCMOSより若干小さく抑えられる。特に、BiCMOSは温度に対する依存性が、-20℃から75℃の温度範囲で室温に対して、±10%以内と、CMOSに比べて小さい。CMOSは±15%程度である。これについては、MOSのドレーン電流やバイポーラトランジスタの温度特性が得られれば、MOSのデバイス特性に対する依存性で考察したのと同様の手法で考察できる。これに関連して、BiCMOS回路の駆動能力の温度特性に関して、出力電流の温度依存性は、

$$I_{out}(T) \propto 1/\sqrt{T}$$

という報告[10]がある。上式で試算してみると±8%となり、実測結果と一致する。

一方、電源電圧に対する依存性はBiCMOSのほうが低電源電圧側でCMOSより若干大きい。これは次のように考えることができる。

BiCMOS論理ゲートでは、バイポーラトランジスタがトータムポール接続されているので、スピードにきく論理振幅は $V_{cc} - 2V_{BE}$ である。これが次段のゲート電圧となるわけであり、論理を採っているMOSはCMOS回路より低い電源電圧で動作していることになる。従って、電源電圧を下げた場合には実質的な電源電圧変動率がCMOSより大きくなるためと推定できる。特に、下側のバイポーラトランジスタを駆動しているNMOSのゲート、ソース間電圧 V_{gs} は、スピードに寄与する入力電圧 V_{in} においても、

$V_{in} - V_{BE}$ とバイポーラトランジスタのベース・エミッタ間順電圧 V_{BE} 分だけ、CMOSに比べて小さくなっており、電源電圧が下がった場合、駆動電流の低下が大きい。

以上、動作条件に対するゲート遅延時間の依存性について、 $5V \pm 10\%$ 、室温 $\pm 5.0^\circ C$ では、BiCMOSとCMOSの間で顕著な差はなく、CMOSに対してBiCMOSは遜色ないと言える。

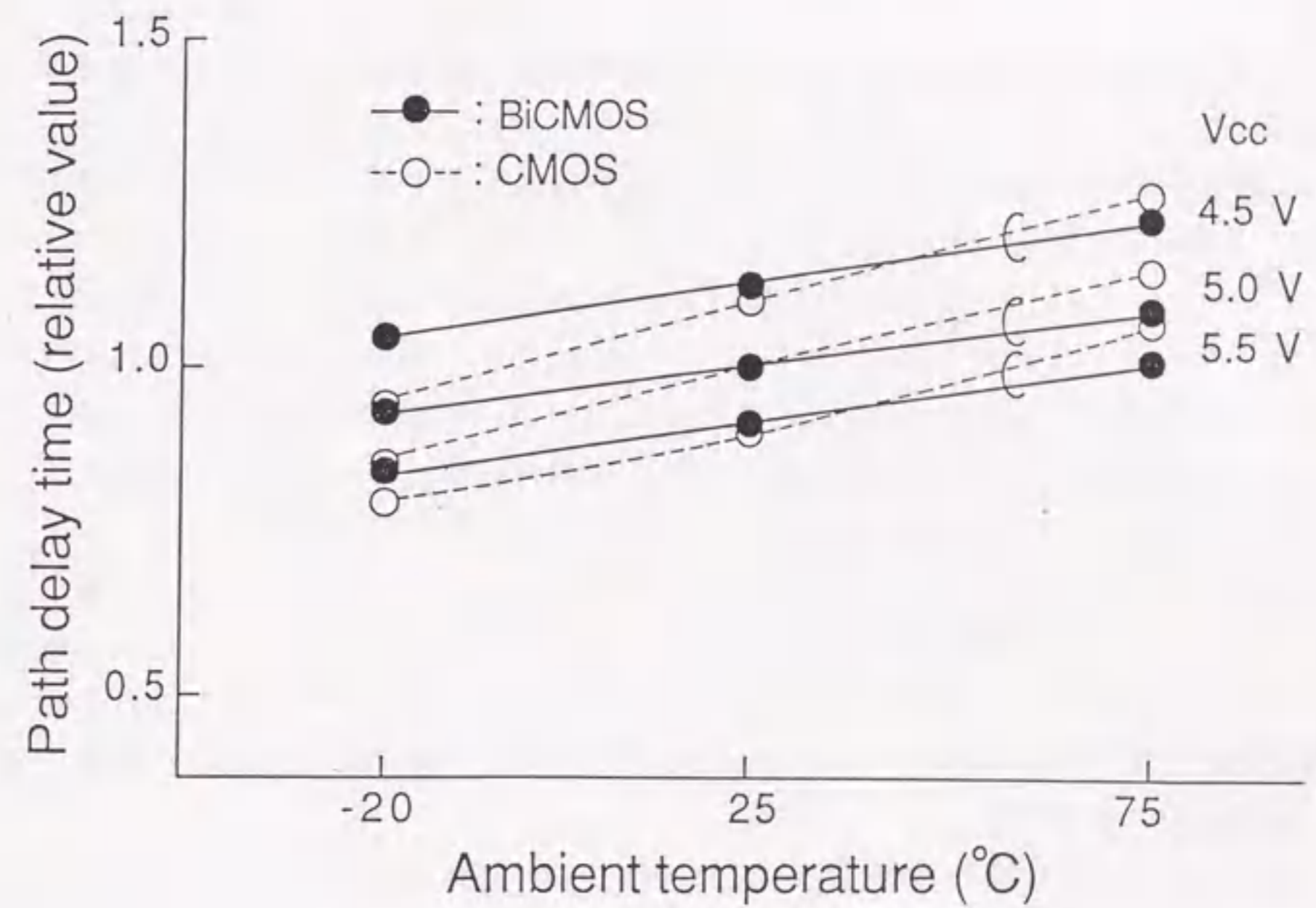


図3.34 遅延時間の動作条件依存性

3.8 BiCMOS技術の応用に関するまとめ

以上、バイポーラトランジスタとCMOSを基本回路内で複合した $2\mu m$ BiCMOS技術を用いて、回路TEGを試作し、それを基に論理ゲートの各種特性を評価した。

まず、論理ゲートの半導体基板へのレイアウト設計手法について次の二点を明らかにした。

(1) PMOSとトータムポール接続している上側のNPNバイポーラトランジスタとのNウェルを共用すると、少なくとも電源電圧が5.5V以上になるとラッチアップ現象が発生する。

(2) BiCMOSのような高速デバイスになってくるとMOS上に設置するコンタクト孔を多くとり、MOS特性を十分に活用することが必要である。

また、試作した回路TEGでは、各種デバイス特性や動作条件に対するゲート遅延時間の依存性をCMOSと比較して評価したが、結果を要約すると次のとおりである。理由についても考察した。

(1) ゲート長で代表させたMOSのデバイス特性の変動に対する遅延時間の変動量はBiCMOS回路のほうがCMOS回路より少ない。

(2) エピタキシャル層厚に関しては、遅延時間および耐圧の関係から最適層厚が見出せる。

(3) 周囲温度と電源電圧の両方を総合した動作条件に対する遅延時間の依存性はCMOS回路と同等か若干優れている。

(4) 標準的な負荷条件では、BiCMOS回路のスピードは、CMOS回路の約2倍のスピードが期待できる。

3.9 むすび

以上、CMOSゲートアレーの性能を上回る高速化技術として、SOI技術とBiCMOS技術の適用について検討してきた。

SOS技術の実用化には各種課題があることがわかった。また、同一加工技術では、バルクプロセスの1.2倍程度の高速性しか持たないことが予想された。SOI技術は、魅力あるLSI技術の一つであるが、微細技術(2 μ m以下のプロセス)になればリーク電流等の問題で長所が生かせないのではないかなどに関する未検討事項もあり、高速化技術として採用に至らなかった。

一方、BiCMOS技術に関しては、実用的BiCMOSゲート回路が考案できた。また、ラッチアップ現象を発生しないセル設計手法が確立できた。また、ゲート回路を試作し、ゲート遅延時間のデバイスパラメータおよび動作条件依存性を実験的に、また、理論的に検討した。その結果、CMOSと同等以上の依存性を有することが確認できた。以上のように、LSI技術として問題なく、ゲートスピードもCMOS回路の2倍程度が期待できたためBiCMOS技術を採用した。

<参考文献>

- [1] G.R.Briggs, S.J.Connor, J.O.Sinniger and R.G.Stewart: "40-MHz CMOS-on-Sapphire Microprocessor", IEEE Trans. Electron Devices, ED-25,8, pp.952-959 (1978).
- [2] R.J.Hollingsworth, A.C.Ipri and C.S.Kim: "A CMOS/SOS 4k Static RAM", IEEE J. Solid-State Circuits, SC-13, pp.664-669 (1978).
- [3] 柳、永田: "集積回路工学(1)", (2)", コロナ社 ('79刊) (1979).
- [4] J.R.Burns: "Switching Response of Complementary-Symmetry MOS Transistor

Logic Circuits", RCA REVIEW, 25,4, pp.627-661 (Dec.1964).

- [5] H.C.Lin, J.C.Ho, R.R.Iyer and K.Kwong: "Complementary MOS-Bipolar Transistor Structure", IEEE Trans. Electron Devices, ED-16,11, pp.945-951 (1969).
- [6] Y.Suzuki, S.Kadono, M.Yoshimura, I.Masuda and M.Iwamura: "A Plastic Packaged 1600 Gate TTL Type Gate Array", Proc.1984 IEEE CICC, pp.472-475 (1984).
- [7] 増田、西尾、池田: "バイポーラCMOS複合による高速論理回路", 電子通信学会論文誌C, J67-C,12, pp.999-1005 (Dec. 1984).
- [8] 西尾、村林、渡辺、池田、上遠野: "VLSI用BiCMOS論理ゲートの試作と評価", 電気学会論文誌C, 109-C,11, pp.805-811 (Nov. 1989).
- [9] T.Ikeda, A.Watanabe, Y.Nishio, I.Masuda, N.Tamba, M.Odaka and K.Ogiue: "High-Speed BiCMOS Technology with a Buried Twin Well Structure", IEEE Trans. Electron Devices, ED-34,6, pp.1304-1310 (June 1987).
- [10] 杉本、原、小柳、宮川: "ECL/TTLにコンパチブルなBi-CMOSゲートアレーの試作と評価", 電気学会論文誌C, 108-C,12, pp.981-988 (Dec.1988).

第4章 プレーン型BiCMOS
ゲートアレーの開発に関する研究

第4章 プレーン型BiCMOS ゲートアレーの開発に関する研究

4.1 はじめに

第4章はCMOSゲートアレーの高性能化のためのBiCMOS技術を用いたゲートアレーの開発について述べる。

各種プロセスを用いた多くのゲートアレーLSIが開発されてきた[1]～[6]。ECLやTTLゲートアレーは高速(0.5～3ns/ゲート)であるが、消費電力が2～6W/チップと大きく冷却が必要となる。そのため、計算機周辺やOA(Office Automation)システムに適した低消費電力なゲートアレーが望まれる。これに応じてCMOSゲートアレーが開発されてきた。CMOS回路は低消費電力であるが、MOSトランジスタの電流駆動能力がバイポーラトランジスタより小さいため、負荷の重いところでは比較的遅い。そこで、筆者らはバイポーラトランジスタとCMOSを複合し、バイポーラトランジスタの高駆動能力とCMOSの低消費電力性、高集積性を兼ね備えた、チップ全面をBiCMOS化した世界初のBiCMOSゲートアレーを開発することにした[7]。BiCMOS論理回路の速度をBiCMOSと同一面積のCMOS回路と比較すると図4.1のようになる。図の上方にはLSI中の各場所における負荷容量の分布を示しているが、0.1pFから数pFに負荷が分布するゲートアレーでは、BiCMOSの効果が充分期待できることが判る。

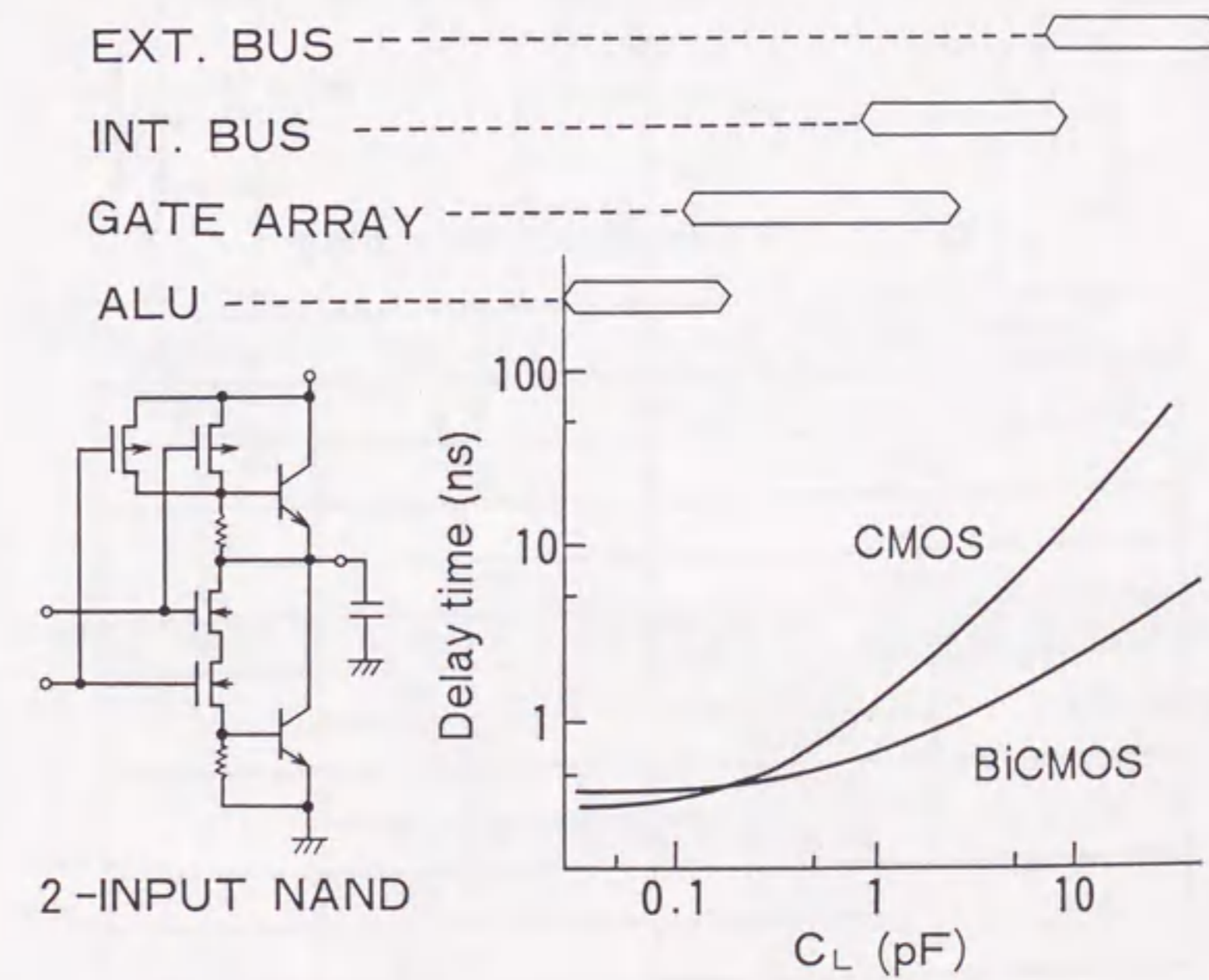


図4.1 BiCMOS回路とCMOS回路の速度比較及び負荷容量分布

4.2 製造技術

図4.2は開発した $2\mu\text{m}$ BiCMOSデバイスの断面図を示す。高性能バイポーラトランジスタに必要な薄いエピタキシャル層厚は埋め込み N^+ 、 P^+ 構造によって達成されている[8]。エピ厚は前章の検討結果、即ち、耐圧とゲート速度の点から $1.5\mu\text{m}$ にしている。

デバイス特性を表4.1に示す。高性能バイポーラトランジスタとCMOSトランジスタが同一チップに形成されている。エミッタ・コレクタ間耐圧 BV_{CEO} は 8.6V でTTL最大定格の 7V を満足している。 $2 \times 3\mu\text{m}$ という微細なエミッタサイズも実現している。MOS特性は、通常の純CMOS $2\mu\text{m}$ プロセスのMOS特性とほぼ同じ特性である。また、TTL出力回路に用いる高性能ショットキーバリアダイオードも形成されている。

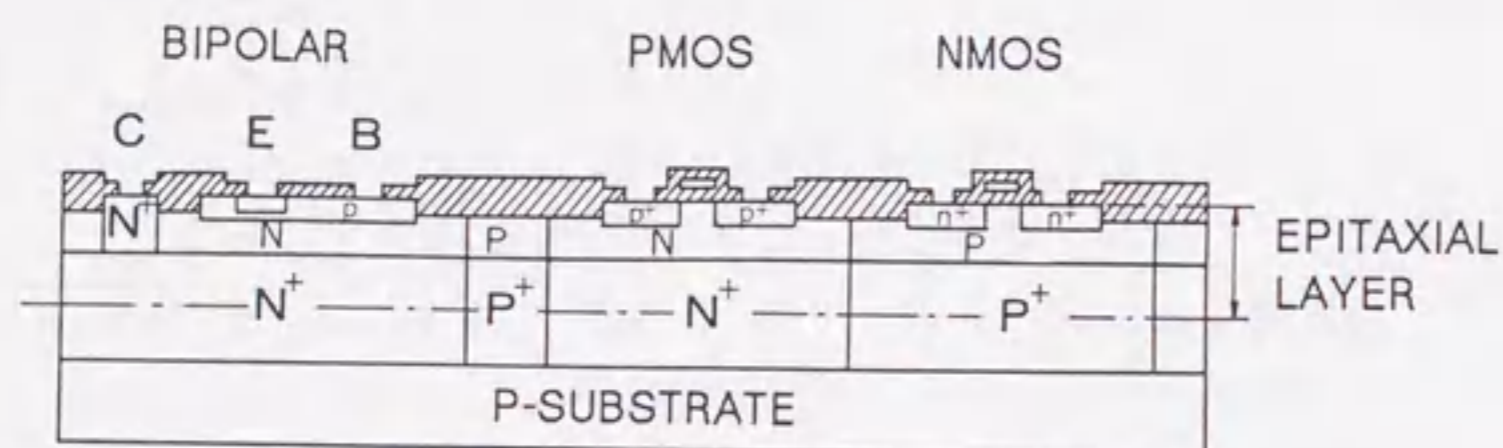


図4.2 BiCMOSデバイスの断面図

表4.1 BiCMOSデバイスの特性

CHARACTERISTICS	VALUE	UNIT	
MIN. EMITTER SIZE	2×3	μm	
h_{FE}	100	—	
f_{T}	3	GHz	
r_{CS}	100	Ω	
BV_{CEO}	8.6	V	
V_{th}	NMOS	0.55	V
	PMOS	-0.55	
β_{omax}	NMOS	50	$\mu\text{S/V}$
	PMOS	15	
SBD	n	1.07	—
	ϕ_{B}	0.75	

4.3 設計技術

4.3.1 内部論理回路

図4.3に開発したBiCMOS論理回路を示す。図中のZは抵抗である。これらはCMOSの低消費電力性とバイポーラトランジスタの高駆動能力を活用しており、次の三つの特徴をもつ。

(a) 高速で、負荷容量に対する遅延時間の依存性が小さい。これはバイポーラトランジスタの高駆動能力特性の活用によっている。

(b) 低消費電力である。これは、CMOS回路と同様にスイッチング時にのみ電流が流れ、DC電流が流れないためである。

(c) MOS部の接続を変えるのみで、CMOS回路で構成できる回路は全て構成可能である。

2入力NAND回路の特性を各種リングオシレータの発振周波数と電源電流を測定し、評価した。図4.4は、図4.3(A)に示した回路の15段リングオシレータの発振波形である。

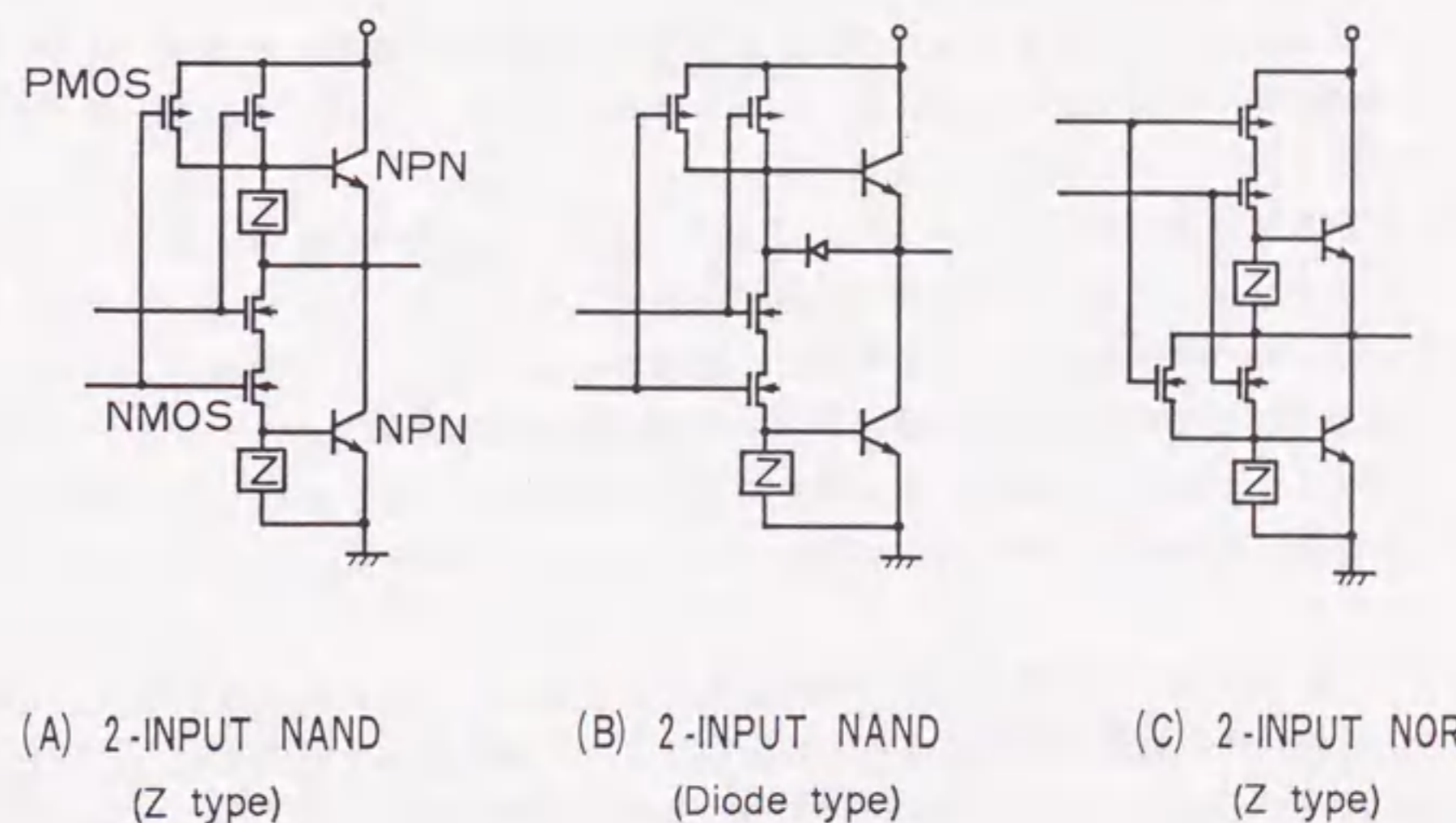
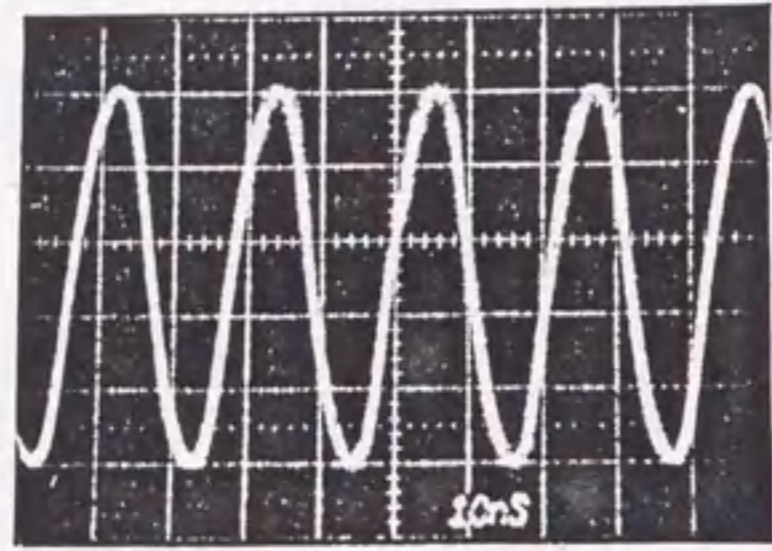


図4.3 BiCMOS回路



1V/div 10ns/div

図4.4 2入力NANDの15段リングオシレータの発振波形

遅延時間特性を図4.5に示す。MOSのチャンネル幅は各々 $30\mu\text{m}$ であり、バイポーラトランジスタのエミッタサイズは 2×3 、 2×5 、および $2\times 10\mu\text{m}$ である。同じMOSサイズをもつCMOS回路の特性も比較のため示している。 2×3 、 2×5 、および $2\times 10\mu\text{m}$ のエミッタサイズをもつZタイプの標準的な負荷容量である 0.85pF における遅延時間はそれぞれ、 0.75 、 0.71 そして 0.69ns である。ダイオードタイプは同じ負荷で 0.82ns と若干遅い。

標準的な負荷容量では、ZタイプのスピードはCMOS回路の約2倍である。しかし、軽い負荷領域では、CMOS回路の方が高速である。そこで、フリップフロップのような複雑な論理回路の内部はCMOSで構成し、配線チャンネルに出る出力部にBiCMOSゲートを用いることにした。負荷容量に対する遅延時間の依存性は、 $0.2-0.29\text{ns/pF}$ である。この値はCMOSに比べて約5.5倍優れている。この小さい依存性は、ゲートの配置、配線がDA(Design Automation)システムで実行されるゲートアレーに向いている。

$2\times 10\mu\text{m}$ エミッタ回路の負荷依存性は $2\times 3\mu\text{m}$ エミッタ回路より小さい。これは、前者は、コレクタ抵抗 r_{cs} が小さく、また、高コレクタ電流領域で高いカットオフ周波数 f_T をもつためである。しかし、 0pF での遅延時間は $2\times 3\mu\text{m}$ エミッタ回路の方が速い。これは、 $2\times 3\mu\text{m}$ エミッタ回路の方が小さいバイポーラトランジスタ接合容量 C_{BE} 、 C_{CB} 、 C_{SUB} をもつためである。

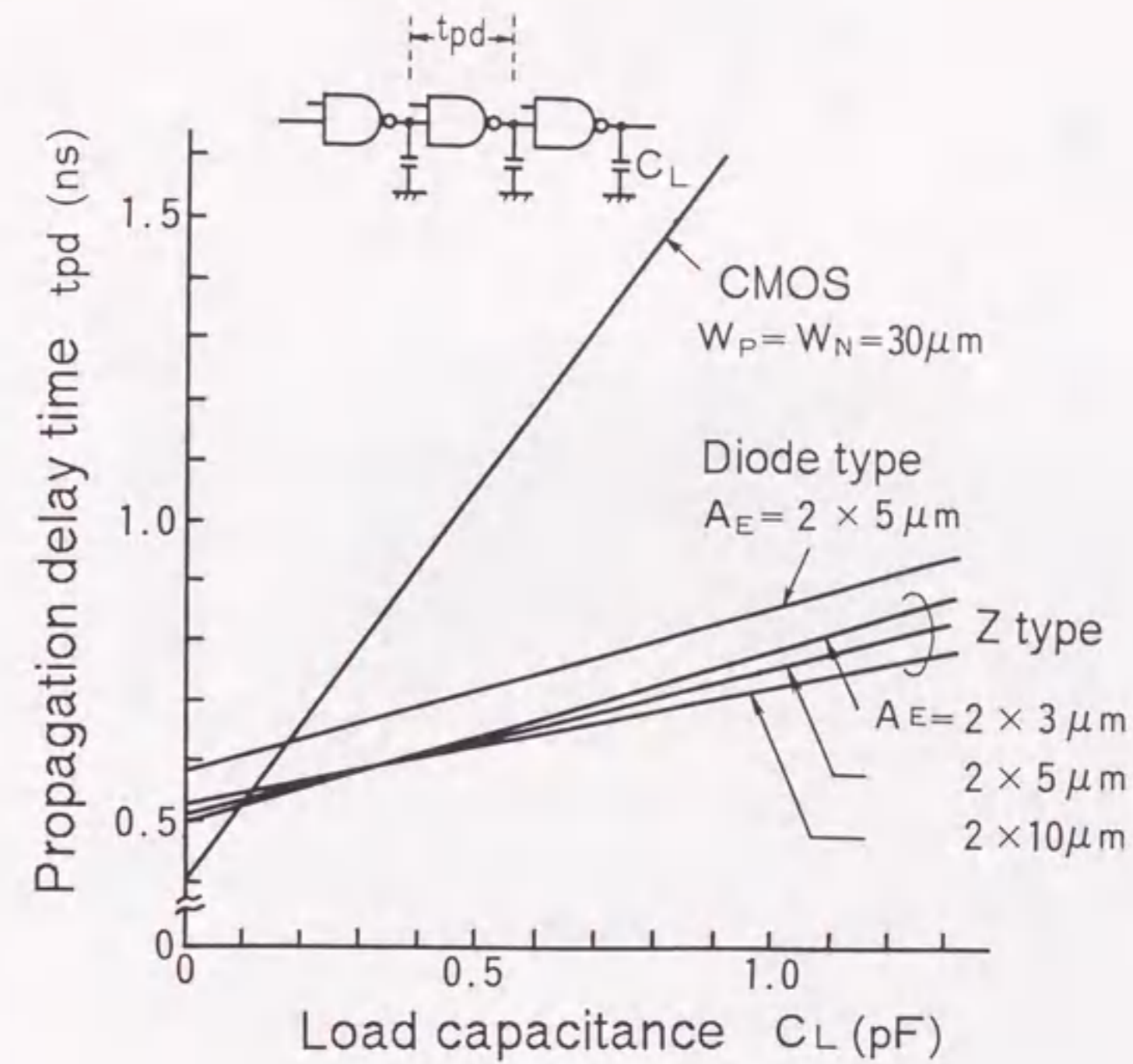


図4.5 遅延時間特性

図4.6は、 4MHz 動作における2入力NAND回路の消費電力特性を示す。BiCMOS回路はCMOS回路と同様にスイッチング時のみ電力を消費する。Zタイプの消費電力は、 0.85pF の負荷時に約 0.25mW/ゲート で、CMOS回路の約2倍である。この値は通常のECLの約 $1/4$ から $1/10$ である。Zタイプの消費電力はZ(抵抗)の値を下げることによって、小さくすることができる。ダイオードタイプの消費電力はCMOSに近い。これは貫通電流が小さく、また、論理振幅が小さいことによる。

開発したゲートアレーの内部回路として、消費電力は若干大きい、ゲートスピードとセル設計の容易さの点から、Zタイプを採用し、エミッタサイズは占有面積も考慮し、 $2\times 5\mu\text{m}$ とした。

標準的な論理ゲートの遅延時間を表4.2に示す。多入力回路あるいはNOR回路においても高速特性が得られている。

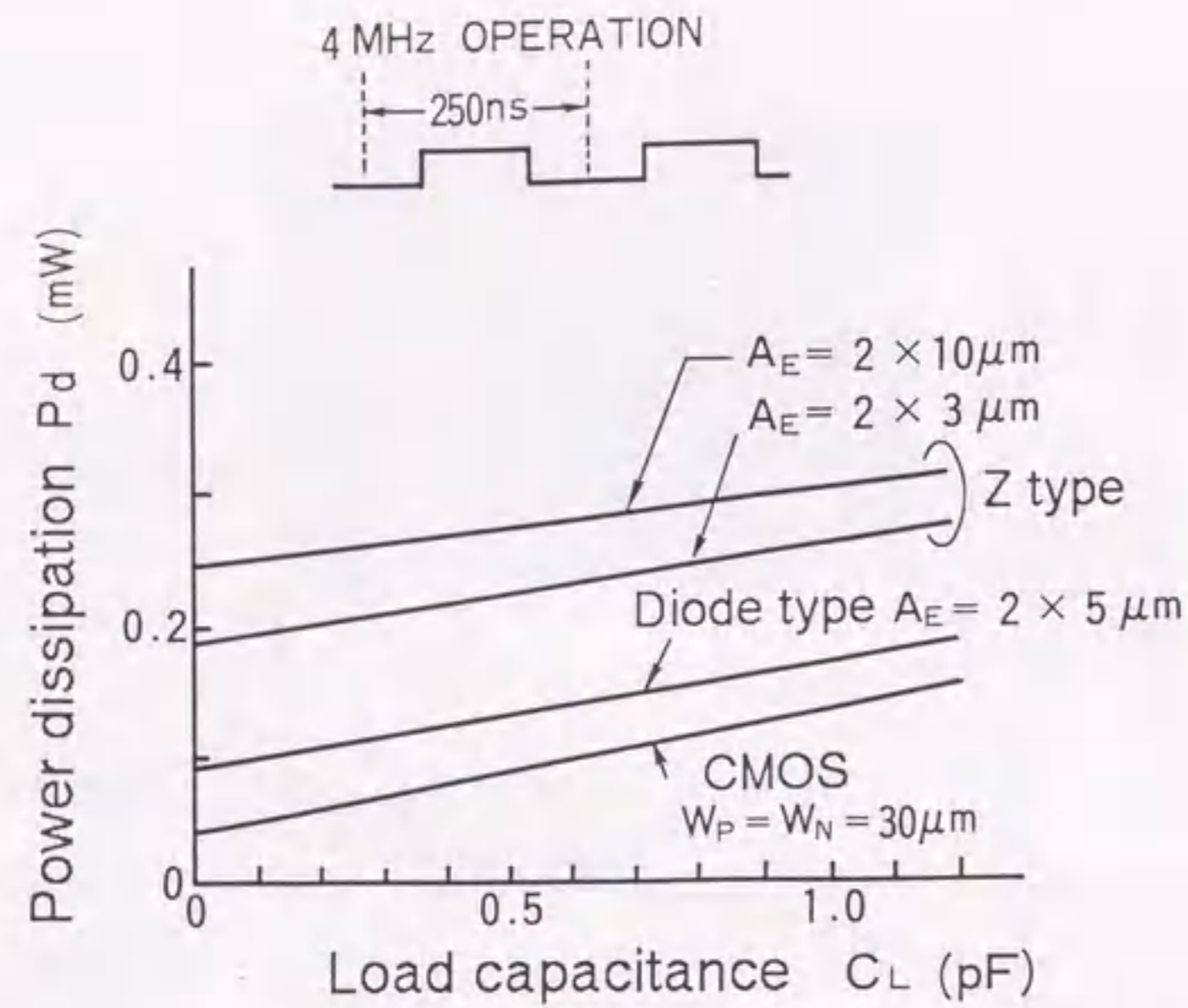


図4.6 消費電力特性

表4.2 論理ゲートの遅延時間

Logic gate	t_{pd} (ns)
2-input NAND	0.71
4-input NAND	0.87
2-input NOR	0.90
4-input NOR	1.17

$C_L = 0.85 \text{ pF}$

4.3.2 基本セル設計

基本セルパターンを図4.7に示す。MOSトランジスタのチャンネル幅はPMOS、NMOSともに $30 \mu\text{m}$ である。バイポーラトランジスタのエミッタサイズは $2 \times 5 \mu\text{m}$ である。図の(B)と(C)に論理回路の構成例として2入力NANDとJKフリップフロップを示す。MOSのソースあるいはドレイン上にコンタクト孔を一つしか設置しない場合には、第3章で検討したように、MOSの電流能力が落ちる。それ故、MOS上に充分

な数のコンタクト孔を設置するよう設計している。また、バイポーラトランジスタをMOSの上下に配置し、4枚のマスク層、すなわち、コンタクト孔、1層目のA1、スルーホール、および2層目のA1を使用者毎に変えるカスタムマスクとしている。従って、論理回路を形成する1層目のA1配線は、未使用のバイポーラトランジスタ上を有効に利用することができる。この基本セルを用いて各種論理回路を構成することができる。

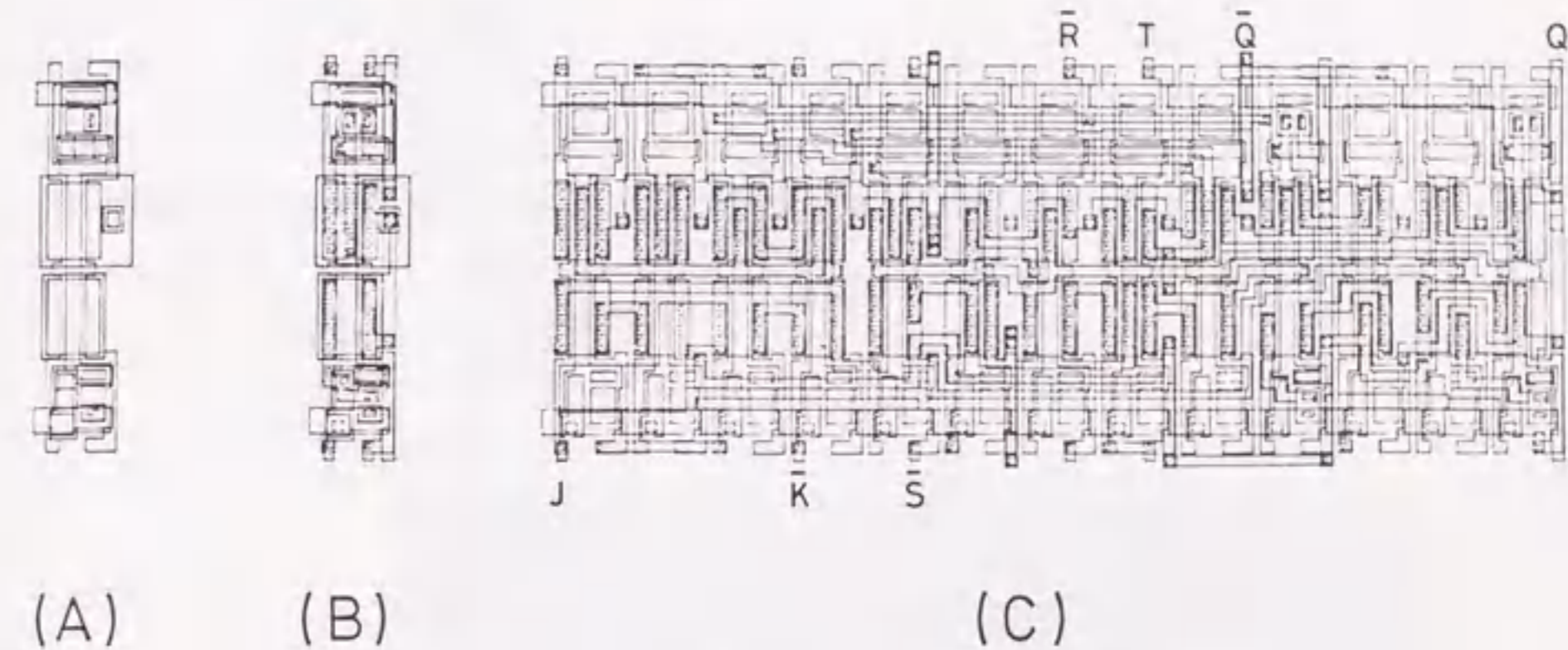


図4.7 基本セルパターンと論理回路構成例

4.3.3 入出力回路

LSIの内部と外部のインタフェースとなる入出力回路も内部回路と同様な考えで実現できる。図4.8と図4.9に入力回路と出力回路の一例を示す。いずれもTTL完全互換性をもつ。内部論理回路と同様、バイポーラトランジスタとCMOSの複合回路で構成し、高速化を図っている。

入力回路は入力部にラテラルPNPバイポーラトランジスタを使用している。TTL入力の入力ロウレベル電流 I_{iL} をPNPバイポーラトランジスタの電流増幅率を利用して低減するためである。PNPバイポーラトランジスタのエミッタのレベルを後段のCMOSインバータとNMOSに伝えて、出力段のトータムポール接続のNPNバイポーラトランジスタを駆動している。

出力回路はスイッチング時の貫通電流を減らすために、BiCMOS論理回路のダイオードタイプと同じ方式を採用している。出力がハイインピーダンスの時は、Q1、Q2トランジスタのベース電位はNMOS N1とN2によってGNDレベルになっている。また、入力がロウレベル、即ち、出力がロウレベルの時に、出力ロウレベルシンク電流 I_{oL} を確保するために、NMOS N3によって、下段のNPNバイポーラトランジスタQ2のベースに電流を供給し続ける。ダイオードD1はNPNバイポーラトランジスタQ2がオフになるときに、そのベース電荷を、CMOSインバータのNMOS N4を通して急速に引き抜くために設けている。そのCMOSインバータ部は配線パターンを変えてNA

NDやNORにすることが可能で、出力回路自体で論理を採ることができる。また、コンタクト孔と1層目のA1パターンを変えることによって、トータムポールバッファやオープンコレクタバッファを構成することができる。

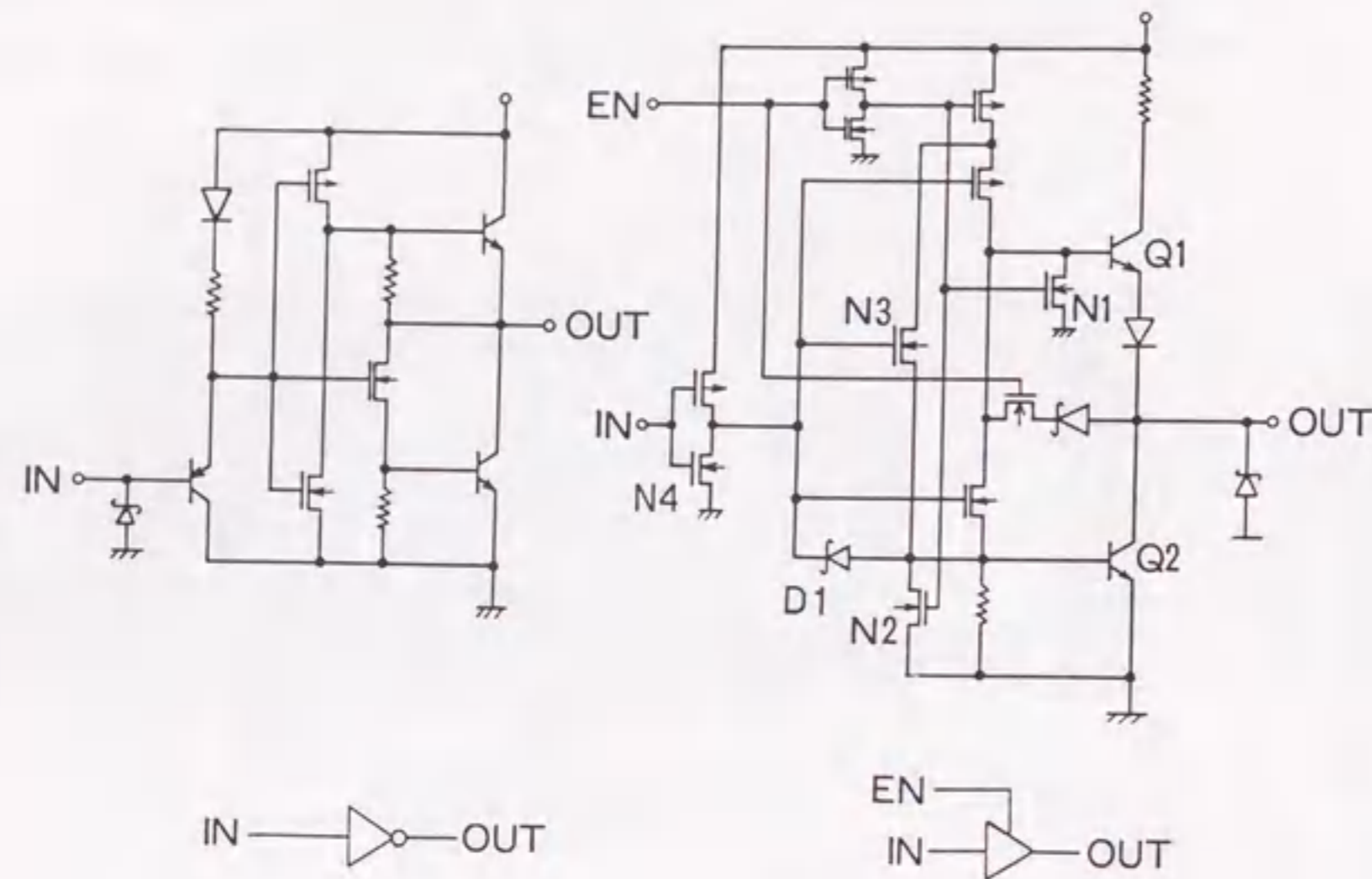


図4.8 入力回路

図4.9 出力回路

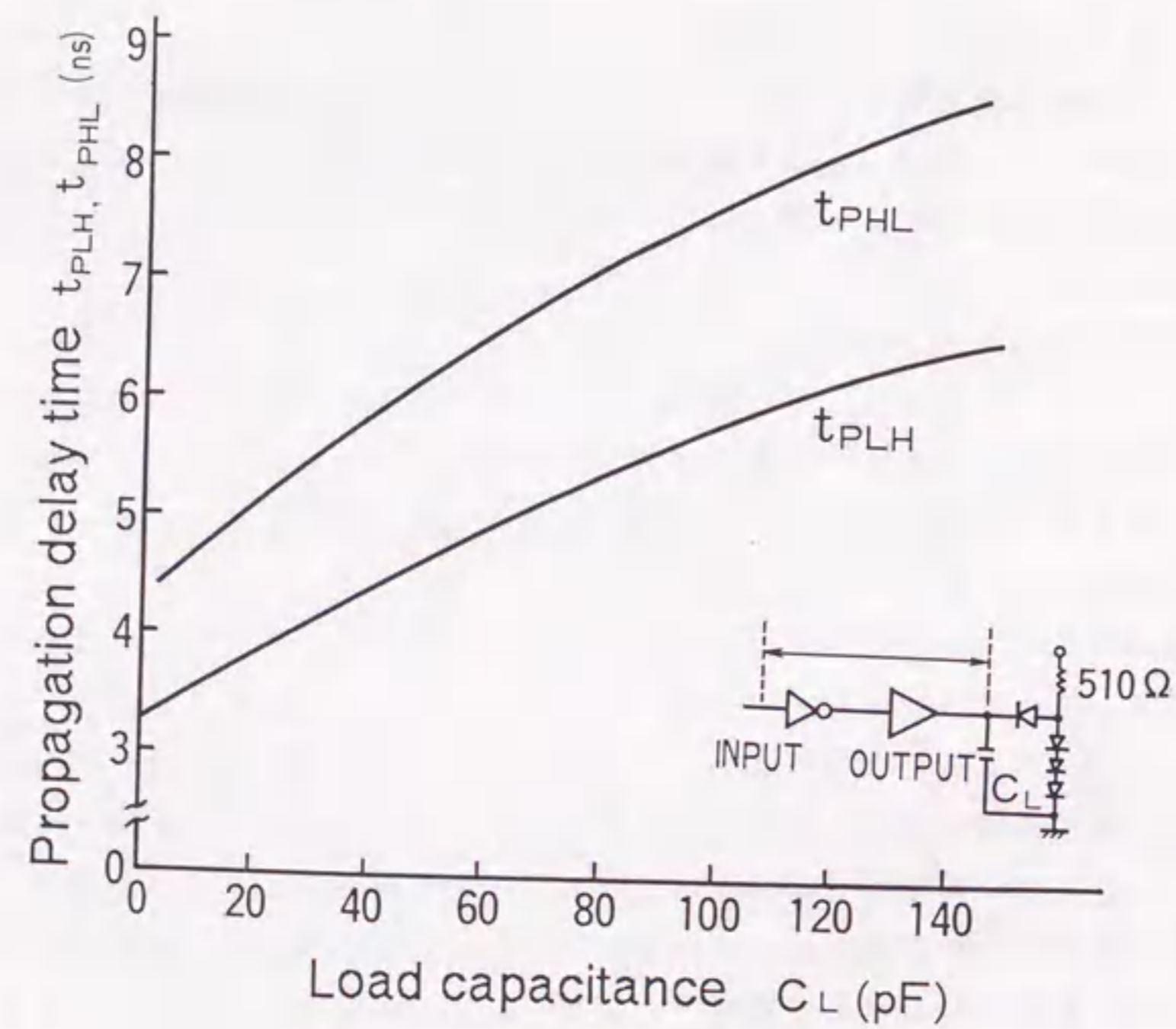


図4.10 入出力回路の伝搬遅延時間特性

図4.10は入力回路と出力回路を直結した入出力回路の遅延時間の負荷依存性を示す。ALS (Advanced Low power Schottky) TTL相当の負荷付きである。15 pF時に4.4 ns、100 pF時に、6.8 nsとショットキーTTL並みに高速である。

4.3.4 チップ構成

図4.11に本ゲートアレイLSIのチップ写真を示す。チップ上に2975個の基本セル(175セル/行×17行)を配置している。基本セル列間には7μmピッチの1層目のA1配線のチャンネルが24本ある。基本セルの周辺には92個の入出力回路のセルが配置されている。それらは、配線パターンをプログラムすることによって、TTL完全互換の入力回路、出力回路、双方向回路のいずれにも設定できる。

マスタチップサイズは7×7mmである。ゲートアレイには配線領域が存在するため、純CMOSゲートアレイに比べて、15-20%の面積増で構成可能となっている。

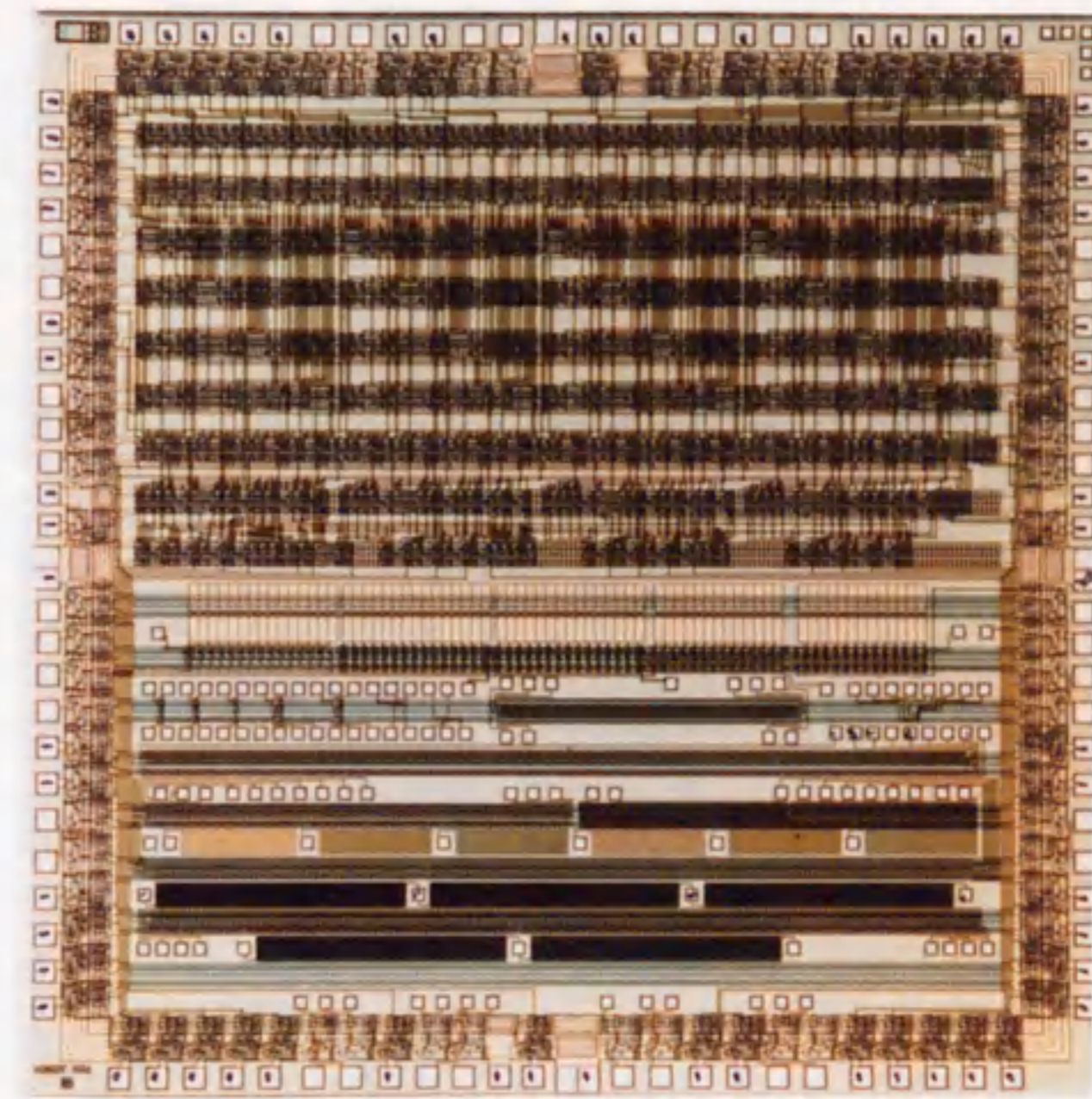


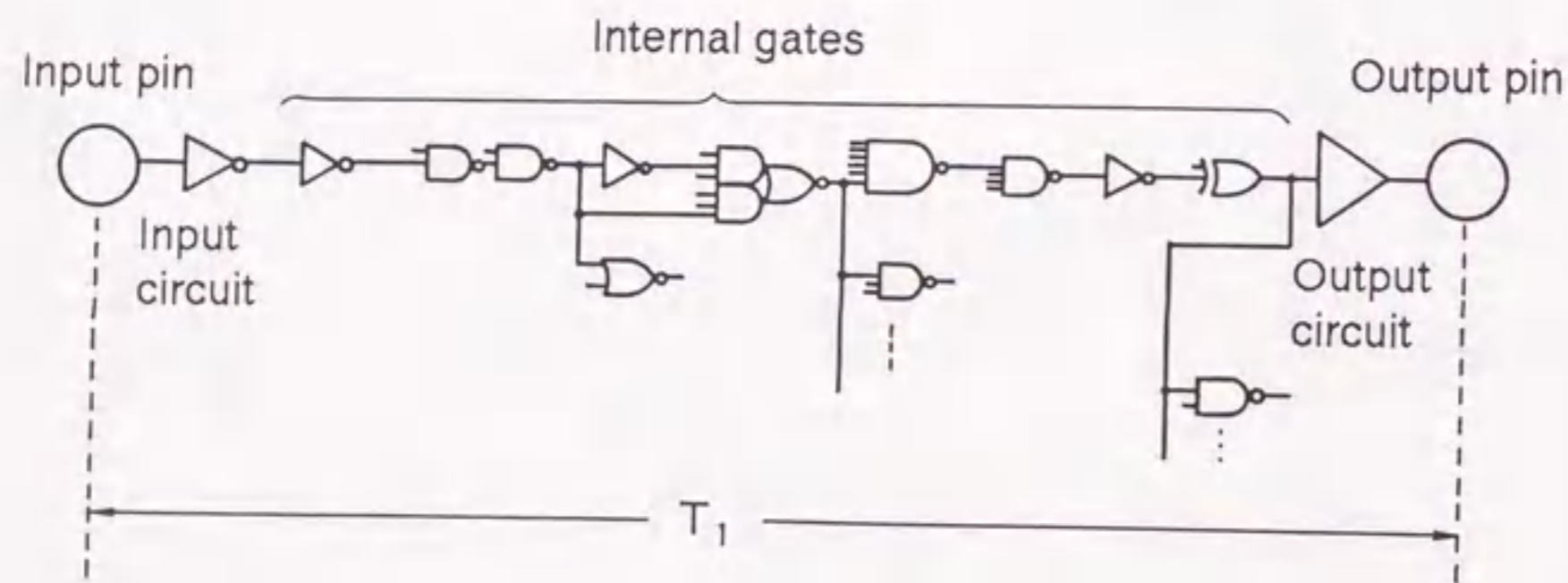
図4.11 16ビットALUに適用したチップ写真

4.4 応用

このゲートアレーを1500ゲートからなり、16ビットのデータレジスタを有する16ビットのALU(Arithmetic and Logic Unit)に応用した。そのチップ写真を図4.11に示す。16ビットALUはチップの上半分に配置し、チップの下半分には各種テスト用素子を配置している。

試作した1500ゲートのALUから代表的なパスを選び、データ入力から70pFの負荷を付けたALU出力までの伝搬遅延時間を実測した。その結果を図4.12に示す。これらのパスのなかには、2入力NAND、EOR、6入力NAND等を含んでいるが、大体ゲートの遅延時間としてサブナノ秒の性能を実現していると言える。

このチップの消費電力は10MHzクロック動作時に、160mWであった。スピード、消費電力、集積度ともに、期待した性能が得られたと考えている。



Path	No. of gates	Average wire length (mm)	Average fan out	T ₁ (ns)	tpd (ns/gate)
1	7	1.88	3.2	14.4	1.16
2	9	1.64	3.5	13.9	0.85
3	11	1.35	2.9	16.4	0.92

図4.12 論理経路の伝搬遅延時間

図4.13はゲートアレーの動向とBiCMOSゲートアレーの位置付けを示す。BiCMOSゲートアレーは超高速、低集積度のECLゲートアレーと、高集積、中速のCMOSゲートアレーのギャップを埋めるものである。なお本ゲートアレーは2μmデバイスを用いているが、微細加工技術が進めばさらに高速化できる。

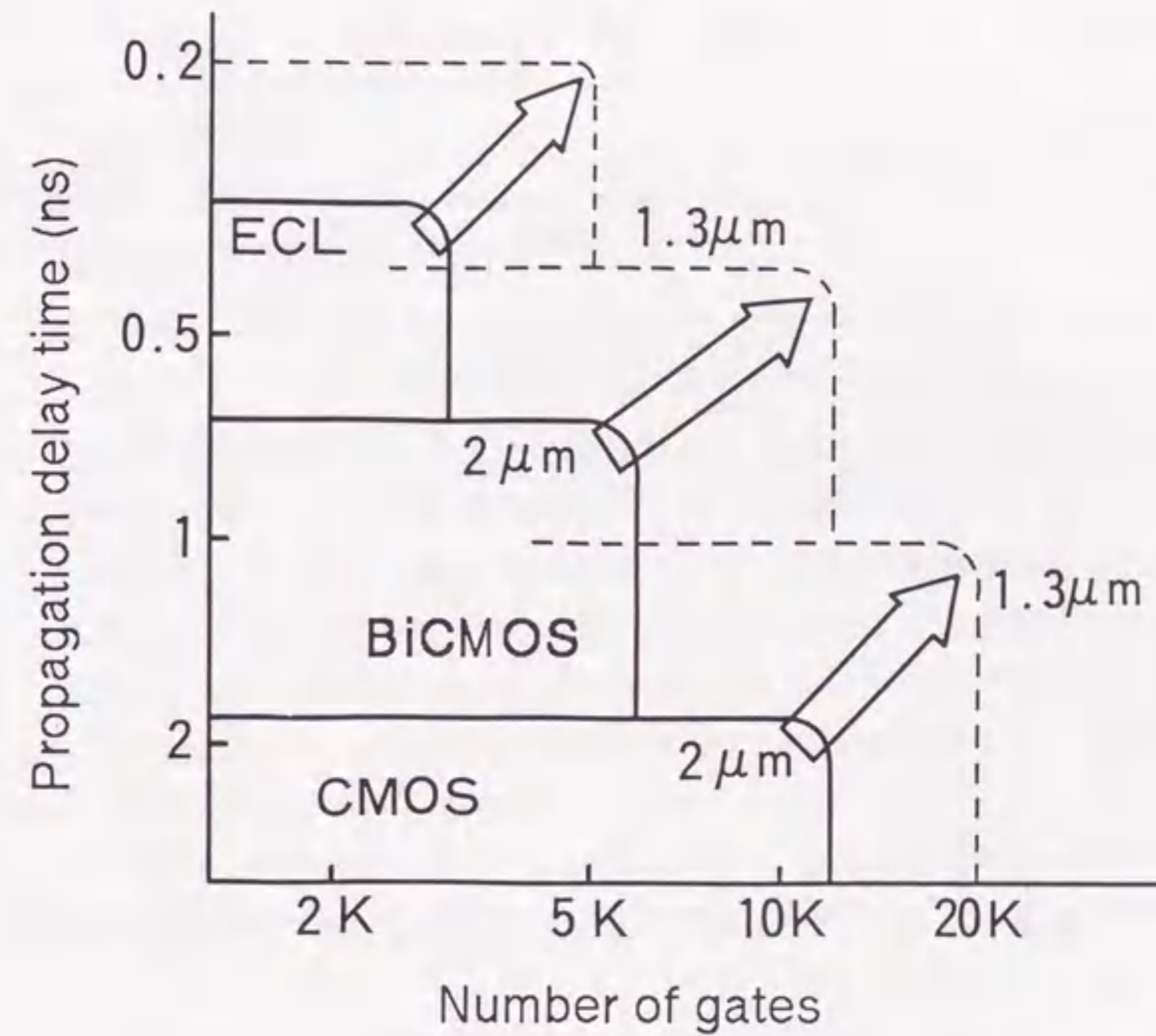


図4.13 ゲートアレーの性能比較と技術動向

次にこのゲートアレーの応用上の効果を考える。表4.3にまとめたが、まず、TTLゲートアレー以上の高速性能をCMOSと同程度の消費電力で実現できたことによる効果が大きい。従来、高速性能を必要とするシステムでは、高速なECLやTTLゲートアレーが広く用いられてきた。しかし、これらのバイポーラゲートアレーの場合、消費電力が大きいという問題があった。このため、プラスチックなどの安価なパッケージを用い500ゲート程度の複数チップに分割するか、あるいは高価であるが、放熱性の良いセラミックパッケージを使用して冷却しながら使用するか、どちらかの方法を探らねばならなかった。これに対し、BiCMOSゲートアレーは、低消費電力であるため、汎用プラスチックパッケージを使用した1チップ化も可能となる。部品数の減少、基板面積の縮小が可能となす、特に冷却装置も使用しないですむため、システムのコスト低減に大きく寄与する。

入出力回路をBiCMOS回路で構成することによる効果も大きい。高速、低消費電力

表4.3 応用上の効果

BiCMOS回路の特徴	効果			主な応用例
	大規模回路の1チップ化	外付けIC不要	電源設計が容易	
高速、低消費電力	○			CPU等の高速システム
高負荷駆動能力	遅延時間の負荷依存性小	○		メモリ周辺回路、インタフェース回路
	負荷大電流の駆動		○	表示装置周辺回路、入出力装置周辺回路
ラッチアップ耐量			○	一般

という以外に、バイポーラ素子のもつ高負荷駆動能力と、バイポーラ素子はCMOS回路に比べて、ラッチアップ現象が生じにくいという特性が効く。負荷駆動能力が高いことは、遅延時間の負荷容量依存性が小さいことと、大きな負荷電流を流すことができることの二通りの意味がある。前者は、多数のRAMから構成されるメモリ群や、多数のICと長い配線が負荷として接続されるインタフェース用バスラインのような大きな負荷を、遅延時間の顕著な増加なしで直接駆動できることを意味する。後者は、表示装置のLED (Light Emitting Diode)のように大きな駆動電流を必要とするものを外付けのバッファ用ICを介さずに直接駆動できることを意味する。つまりメモリ周辺回路、インタフェース回路、表示装置周辺回路、入出力装置周辺回路などとして使用する場合に、外付けバッファ用ICの分だけコストを低減できることになる。

さらにラッチアップ現象を生じないということは、通常の74シリーズのTTL系ICと同じように簡便に使える利点がある。

4.5 むすび

ゲートアレーに用いるBiCMOS内部回路の種類およびデバイスサイズを、遅延時間と消費電力に関する実験結果を基に決定した。決定したZ(抵抗)タイプゲートの各種論理回路を高密度に構成できる基本セルを第3章の知見を活かして開発した。LSIの内部と外部のインタフェースとなる入出力回路も内部回路と同様なBiCMOS複合回路で実現した。入出力回路はTTL完全互換性をもつ。以上より、入出力回路とともに内部回路もBiCMOS複合回路を用いた高性能BiCMOSゲートアレーを開発した。2入力NAND回路の遅延時間は、標準的な負荷の0.85pF時に、0.71nsである。遅延時間の負荷容量依存性は0.24ns/pFである。スピード性能はCMOSの約2倍で、遅延時間の負荷容量依存性はCMOSより、5.5倍優れている。マスタチップサイズはCMOSゲートアレーの15-20%増しである。このゲートアレーで構成した1500ゲートのALUチップの消費電力は、10MHzクロック動作時に160mWである。

本ゲートアレーを基に、1985年半ばに、630ゲートから2550ゲートの6マスタチップ、0.8ns/ゲート、プラスチックパッケージも使用可能な低消費電力のゲートアレーを実用化した。

<参考文献>

- [1] J.G.Posa: "Gate Arrays", Electronics, Sept.25,1980, pp.145-158 (1980).
- [2] T.Itoh, M.Takechi, M.Fujita and K.Ikuzaki: "A 6000-Gate CMOS Gate Array", IEEE ISSCC Digest Tech. Papers, pp.176-177 (Feb. 1982).
- [3] T.Kobayashi, H.Tago, T.Moriya and S.Yamamoto: "A 6K-Gate CMOS Gate Array", ibid., pp.174-175.
- [4] M.Suzuki, S.Horiguchi and T.Sudo: "A 5000-Gate Bipolar Masterslice LSI with 500ps Loaded Gate Delay", IEEE ISSCC Digest Tech. Papers, pp.150-151 (Feb. 1983).
- [5] S.Brenner, T.A.Bartush, D.J.Swietek, D.C.Banker, F.J.Crispi, D.J.Delotto, D.L.Merrill, J.P.Norsworthy, M.-N.Shen and C.D.Waggoner: "A 10,000 Gate Bipolar VLSI Masterslice Utilizing Four Levels of Metal", ibid., pp.152-153.
- [6] T.Saigo, H.Tago, T.Hiwatashi, S.Shima and T.Moriya: "A 20K-Gate CMOS Gate Array", ibid., pp.156-157.
- [7] Y.Nishio, I.Masuda, T.Ikeda, M.Iwamura, K.Ogiue and Y.Suzuki: "A Sub-nanosecond Low Power Advanced Bipolar-CMOS Gate Array", Proc. 1984 IEEE ICCD, pp.428-433 (Oct. 1984).
- [8] T.Ikeda, A.Watanabe, Y.Nishio, I.Masuda, N.Tamba, M.Odaka and K.Ogiue: "High-Speed BiCMOS Technology with a Buried Twin Well Structure", IEEE Trans. Electron Devices, ED-34,6, pp.1304-1310 (June 1987).

第5章 BiCMOSゲートアレーの
高機能化に関する研究

第5章 BiCMOSゲートアレーの高機能化に関する研究

5.1 はじめに

バイポーラトランジスタとCMOSを複合するという考えは古くからあった[1]が、LSI技術の未熟さや、その需要がなかったことなどから、論理LSI技術としては10年余り発展が止まっていた。しかし、バイポーラ技術やMOS技術の進歩と共に、それらのもつ長所、欠点も明らかになり、また、システムニーズも多様化したため、バイポーラCMOS複合技術は新しいLSI技術の一つとして注目をあびつつある。筆者らはバイポーラトランジスタとCMOSを基本回路内で複合して、単独では得られない性能領域のLSIを実現するという着想のもとに、新しいバイポーラCMOS複合LSI技術を追究している[2] - [5]。この技術の究極の目的は、バイポーラトランジスタの高速性とCMOSの低消費電力性を併せもつLSIの実現である。このバイポーラCMOS複合LSIの目的を達成できる高速のバイポーラトランジスタと微細なCMOSを同一ウェーハに作成するデバイス技術が開発され[2][6][7]、更に微細化とその応用が現在進められている。

このBiCMOS技術は第4章で示したように最初にゲートアレーLSIに応用され[8]、その有用性が確認されている[9] - [13]。また、SRAMにも応用され[14][15]、CMOS技術の約2倍高速のものが実用化されている。更にプロセッサやDRAMへの適用も始まっている[16][17]。

さて、LSIの開発において、ターンアラウンド時間短縮の要求は強く、その要求を満たすゲートアレーが急速に普及している。ゲートアレーは当初、計算機分野から発展してきたため、高速性を特徴とするECLやTTLのようなバイポーラ型が中心であった。しかし、応用分野の拡大と共に、高集積、低消費電力を特徴とするCMOS型が普及している。そのCMOS型は微細化によって高速化が進み、今ではTTL型の応用分野を包含するまでになっている。しかし、ECL型とCMOS型の特性、特に動作速度と消費電力、集積度には大きなギャップがある。そこで、第4章で述べたような両者のギャップを埋めるプレーン型のBiCMOSゲートアレーを開発した。一方、ミニコン、通信などの分野では、その高度化に対処するために、高速性と低消費電力性を併せもつBiCMOSゲートアレーの一層の高機能化が望まれている。

そこで、本章では、そういったミニコン等の高速プロセッサに適したゲートアレーのマスター方式およびそれらの具体的構成法について述べる。また、ECL/TTL入出力回路混在型についても述べる。併せて、 $1.3\mu\text{m}$ BiCMOSデバイスを用いて試作したマスターチップ上にメタル配線を施して構成した回路を評価することによって得られた諸特性とその解析についても述べる。

5.2 高機能型ゲートアレーの全体構成と仕様

第3章と第4章で述べたように、 $2\mu\text{m}$ BiCMOS技術を適用した論理回路について、理論的および実験的に解析し、高速性と低消費電力性を両立できることを実証した[4][5][8]。後項で詳細に述べるが、BiCMOS論理回路はCMOSの相補動作を活かした低消費電力性に加え、バイポーラトランジスタの出力段で負荷を強力に駆動し、高速化を図ったものである。ゲートアレーでは論理ゲートの配置およびそれらの間の配線を自動設計システムで行うため、負荷容量に対する遅延時間の変化が少ないBiCMOS論理回路は特に有利である。そこで、内部論理にBiCMOS論理回路を採用し、周辺に配置する入出力回路も同様にBiCMOS回路を用い、さらにRAM内蔵、あるいはECL/TTL入出力回路混在といった新しい形のゲートアレーを図5.1に示す $1.3\mu\text{m}$ BiCMOSデバイスを用いて開発した[11][18][19]。

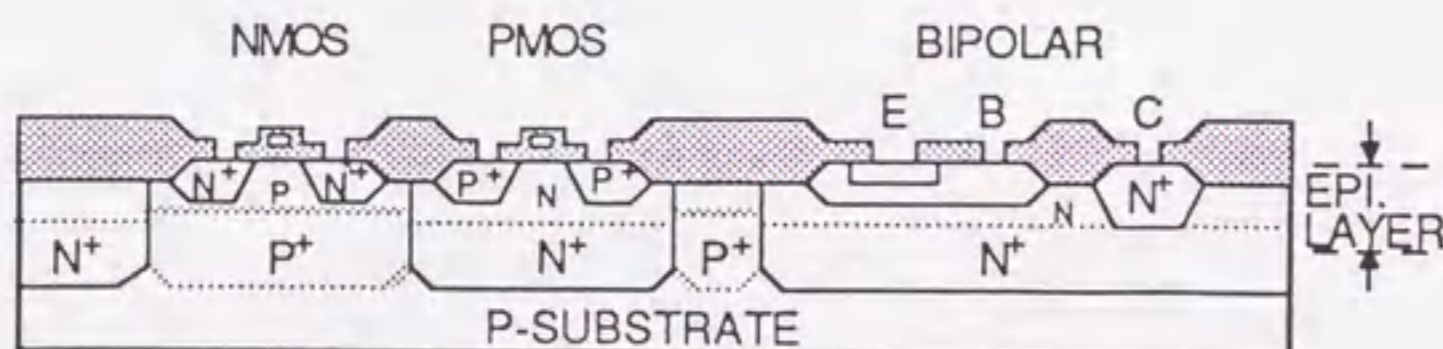


図5.1 BiCMOSデバイス構造

5.2.1 RAM内蔵型に関する検討

$1.3\mu\text{m}$ BiCMOS技術を用いた論理ゲートの遅延時間は $0.4\sim 0.5\text{ns}$ 程度の性能が見込める[20]ので、まず高速で、かつ大規模のミニコン等へ適用するゲートアレーの開発を目標とした。そこで適用対象であるミニコンの構成を分析し、開発すべきマスタチップの方式を検討した。

図5.2にミニコン主要部の構成を示すが、2種類のメモリとランダム論理から構成されている。マイクロプログラムを格納するメモリ1は、ミニコンではRAMで構成するのが一般的であり、大容量である。一方、メモリ2は、レジスタファイルで4kビット程度と小容量であるが、演算処理の並列化によってシステムを高速化するために、データの書き込みと読み出しが同時に実行できるマルチポート構造が一般的である。従って、次の三つのマスタチップが存在すれば、高速プロセッサを効率良く構成できることがわかる。

(1) レジスタファイルを含む演算回路部に適用するマルチポートのRAMを内蔵したマスタチップ。

(2) マイクロプログラムを格納するWCS(Writable Control Storage)部に適用する大容量のRAMを内蔵したマスタチップ。

(3) その他の論理部に適用するゲートのみのマスタチップ。

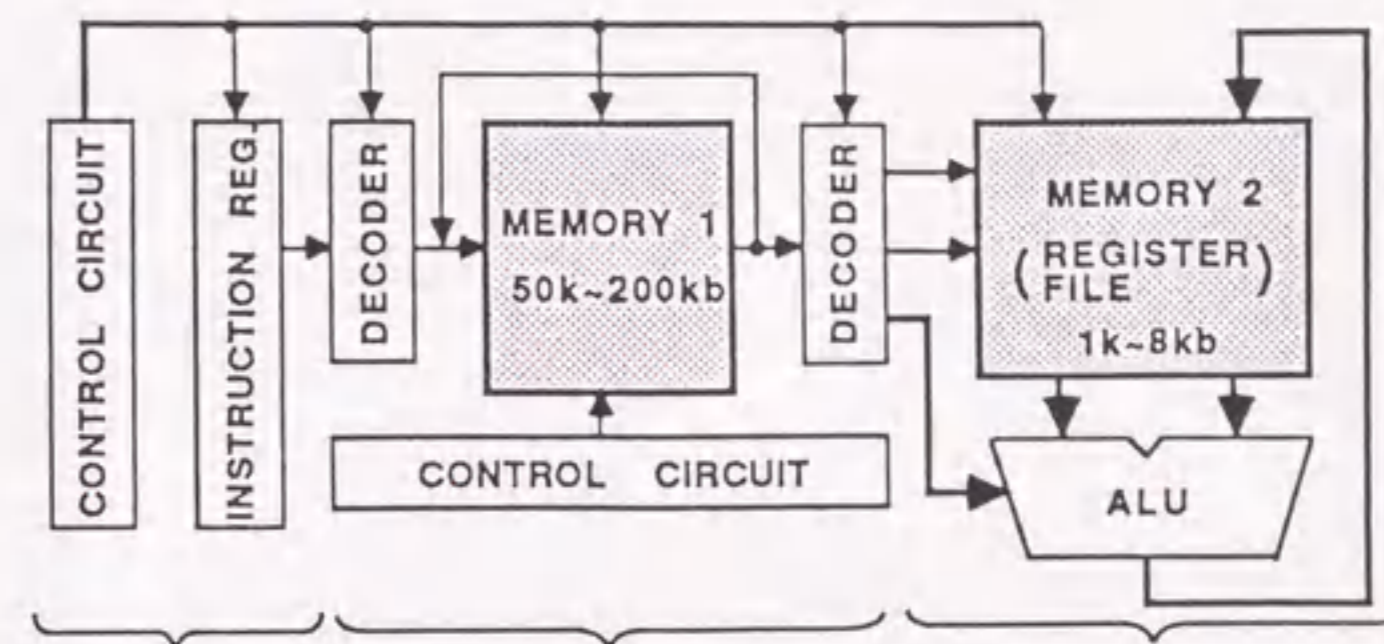


図5.2 ミニコン主要部の構成

ここでは上記(1)のマスタチップをとり上げ開発した。表5.1にその目標仕様を示す。図5.3は試作したチップ写真である。チップの左側にマルチポートRAMを配置している。右側は基本セル群である。

表5.1 ゲートアレーの目標仕様

項目	目標
基本セル数	7560
入出力回路数	182
RAM容量	4608
RAM構成	可変構成 (9ビット×512語) (18ビット×256語) (36ビット×128語)
RAMアクセス時間	10ns
平均ゲート遅延時間	0.45ns
入出力回路レベル	TTL互換

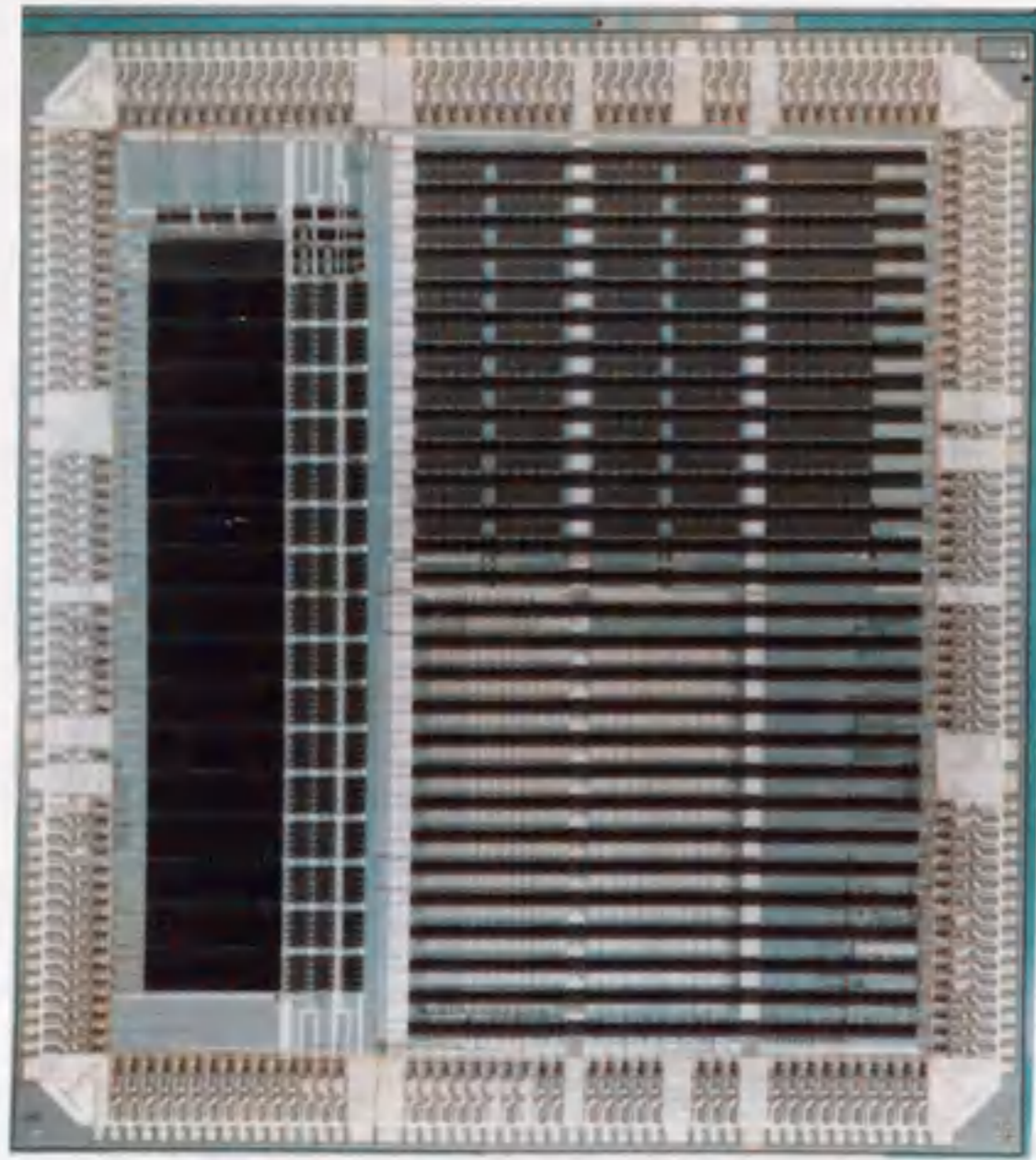


図5.3 試作したゲートアレーのチップ写真

5.2.2 ECL/TTL入出力回路混在型に関する検討

バイポーラトランジスタで構成したECLインタフェースの高速演算処理装置とTTLインタフェースのメモリ等で構成されたシステムにおいては、BiCMOSの特徴を活かしたECL/TTL入出力回路混在型のゲートアレーがあれば、ECLとTTLの変換用のSSI (Small Scale Integrated Circuit) なしでシステムを組むことができる。そこで、ECL/TTL入出力回路混在型の開発にも着手した[21]。

表5.2に混在型の仕様を示す。特徴は入出力レベルとしてECLとTTLが混在可能なことである。

表5.2 ECL/TTL入出力回路混在型の仕様

項目	仕様
基本セル数	3072
入出力回路数	90
入出力回路レベル	ECL/TTL混在
ゲート遅延時間	0.45ns

混在型の電源構成を図5.4に示す。内部回路はGNDとVEE(-)の間で使用する。この主な理由を下記に示す。

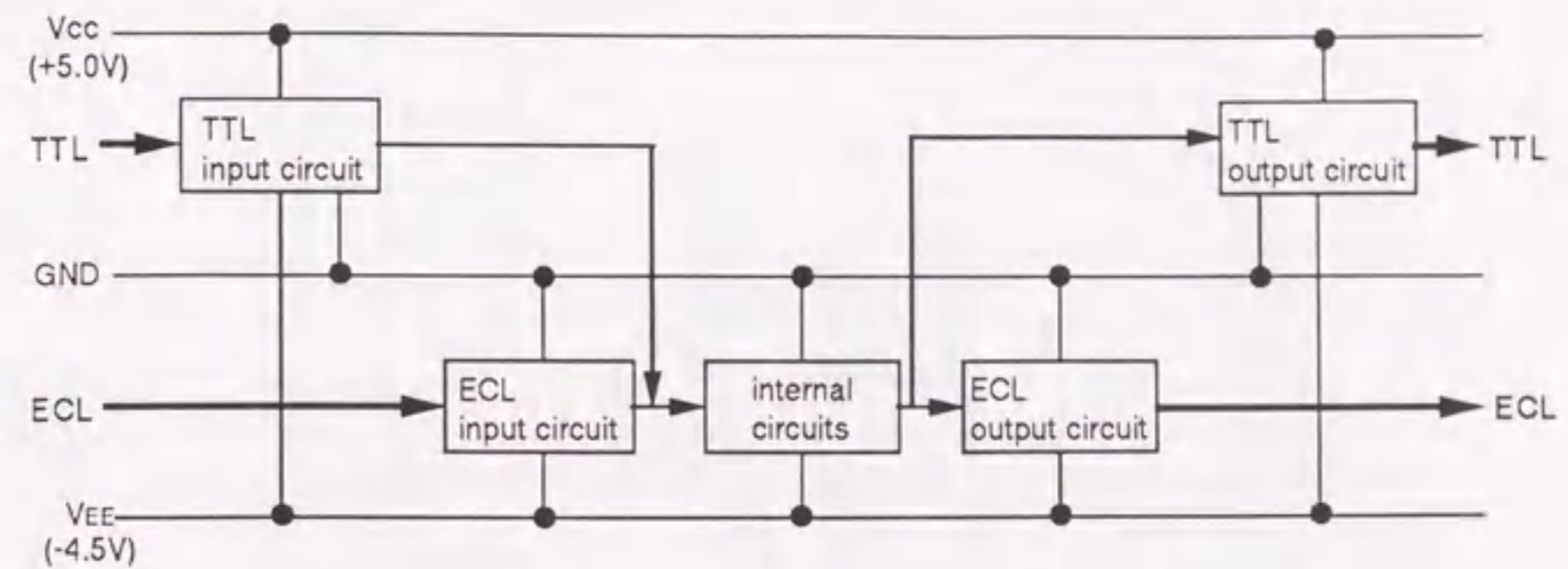


図5.4 混在型の電源構成

(1) NMOSをVcc(+)とGNDの間で使用すると、NMOSのドレーン(0~+5V)とP型基板(-4.5V)の間に約10Vの電圧がかかる場合があり、耐圧が問題となる。

(2) NMOSのソース(0~+5V)とP型基板(-4.5V)が常に逆バイアスになる。従って、基板バイアス効果により、NMOSのスレッショルド電圧が高くなり、ゲート速度の劣化を招く。

図5.4の様に電源構成を採ったので、ECLインタフェースの場合には信号の大きなレベルシフトは必要なく、ECL-CMOSのレベル変換を行うことによって高速なインタフェースが可能である。TTLインタフェースの場合には、TTL信号レベルと負電圧領域レベル間でレベルシフトする必要がある。そのレベルシフト回路はVcc(+)からVEE(-)の電圧が印加されるので耐圧上問題のないバイポーラ素子によって構成している。また、TTL出力回路の最終段にあるVccとGNDの間で動作するBiCMOSバッファ回路のベース電流供給用MOS(後出の図5.10のNMOS N3相当)はPMOSで構成し、耐圧への対策を行っている。

次項以降では、RAM内蔵型の各部の構成と評価結果について詳細に述べる。

5.3 内部回路に関する検討

ここでは、ゲートアレーへの適用を前提に、BiCMOS基本回路の構成と特性について述べる。

5.3.1 内部回路の構成

図5.5は開発した代表的BiCMOS論理ゲートを示す。相補動作論理を採るCMOSと電流駆動能力の大きいバイポーラトランジスタの出力段を組み合わせたものである。このため、高速かつ低消費電力特性をもつ。また、各々、ゲート種は2入力NANDを示しているが、NORゲートやAND-NOR複合ゲートのような多様化や多入力化もCM

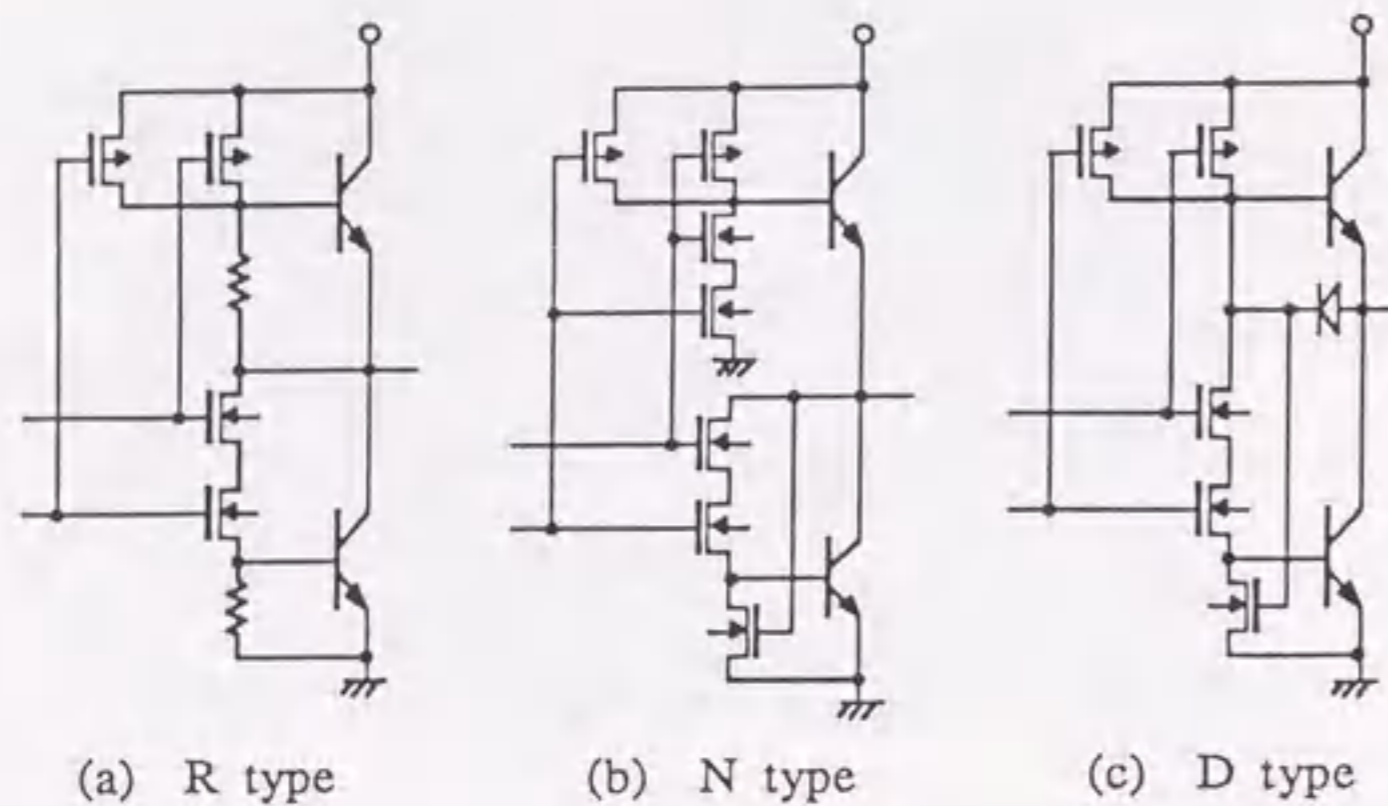


図5.5 BiCMOS論理ゲート

OS回路と同様、MOS部の直並列形態を変えるだけで実現できる。これは各種論理機能を実現しなければならないゲートアレーにとって不可欠なことである。また、各回路とも出力レベルのハイレベル、ロウレベルが各々、ほぼ V_{cc} 電位、あるいはGND電位となるのでCMOS回路と混在させることも可能である。このこともゲートアレーにおいて、CMOS回路とBiCMOS回路の役割分担をさせるうえで重要な特性である。

ところで、このようなBiCMOS回路は高速のバイポーラトランジスタと微細なCMOSを一体化したデバイス構造を得て本来の効果を発揮する[4]。筆者らは既に図5.1に示す独自のデバイス構造を開発し[22]、表5.3に示すデバイス特性をもつバイポーラトランジスタとCMOSを一体化することに成功している。以後の議論は、このデバイスを前提に進める。

さて、図5.5の三つの回路の主な違いはベース周辺の容量の電荷の放電法にある。例えば、出力電位が下がるとき、つまり、上側のバイポーラトランジスタのベース周辺の容量の電荷の放電についてみれば、(a)の抵抗タイプでは、抵抗を介して放電されるが、(b)のNタイプでは引き抜き用のNMOSを介してGNDに放電される。また、(c)のDタイプでは、駆動用のNMOSを介して放電される。開発したゲートアレーでは、第4章のプレーン型BiCMOSゲートアレーと同様に、(a)の抵抗タイプを採用した。その理由は下記による。

表5.3 1.3 μ m BiCMOSデバイス特性

項目		特性
バイポーラ	最小エミッタサイズ	1 \times 2 μ m
	h_{FE}	100
	f_T	6GHz
NMOS	L_g	1.2 μ m
	V_{th}	0.55V
	β_{omax}	80 μ S/V
PMOS	L_g	1.2 μ m
	V_{th}	-0.55V
	β_{omax}	27 μ S/V

(1) 抵抗タイプは、出力レベルが完全に V_{cc} 電位あるいはGND電位になるので次段のゲート回路に直流パスが発生せず低消費電力特性が得られる。これに対して、NタイプやDタイプでは出力レベルが、ハイレベル、ロウレベル共にバイポーラトランジスタのベース・エミッタ間順電圧 V_{BE} 分だけ低下あるいは浮上する。そのため、MOSのスレッシュホールド電圧が0Vの方向にばらついた場合には、次段のCMOS部でDC電流が流れ、消費電力の増加を招く。また、次段の多入力ゲートの静止入力端子のオン状態のMOSのゲート、ソース間電圧が V_{BE} 分だけ小さくなる。したがって、オン抵抗値が大きくなるので、次段の多入力ゲートのスピードが遅くなる。

(2) 抵抗タイプは、スピードの点でDタイプより速く[4]、Nタイプと比べても同等以上である。

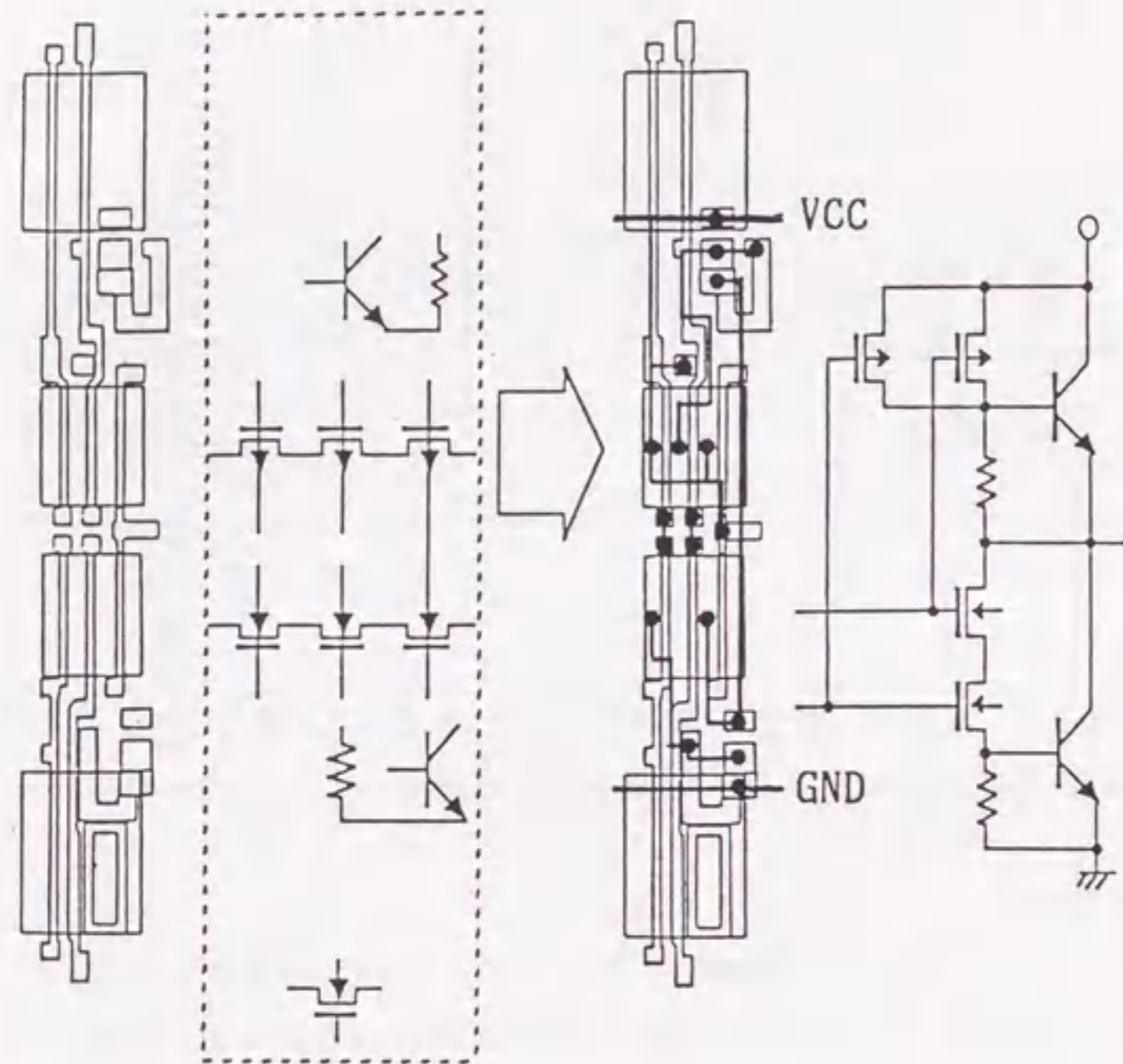
(3) 更に、抵抗タイプは多入力ゲートになっても、バイポーラトランジスタを駆動するMOSの数が増えるのみで、Nタイプのように、引き抜き素子の数を増やす必要がない。こういった理由等で、各種論理ゲートを構成する最小単位である基本セルの設計が他のタイプより小型かつ容易にできる。

(4) また、抵抗タイプの入力容量は駆動用のPMOSとNMOSのゲート容量のみである。これに対してNタイプでは、引き抜き用NMOSのゲート容量が更に加わり、ファンアウト負荷が増加することになる。

5.3.2 基本セル設計

ゲートアレーでは、配線を追加するだけで任意の論理を実現するために、基本セルは標準ICと同じ機能をもつ論理回路に効率よく展開できることが要求される。また、BiCMOS回路ではバイポーラトランジスタとCMOSを複合するため、基本セルの構造は従来のバイポーラトランジスタまたはCMOSのゲートアレーとは大きく異なる。図5.6に、メタル2層配線で、第1メタルと素子との接続用のコンタクトマスクからカスタムマ

スクであることを想定して新たに開発した基本セルの構造を回路図と対比して示す。



(a) Basic cell (b) 2-input NAND pattern

図 5. 6 基本セルの構造

基本セルは、第4章のプレーン型BiCMOSゲートアレーと同様に、PMOSとNMOSの両側にバイポーラトランジスタを配置した構成を採っている。メタル配線を付加することにより、1基本セルで2入力NANDゲート等を構成できる。PMOSとNMOSを二つのバイポーラではさむ構成を採用した理由を以下に説明する。

次項で遅延時間の負荷依存性を示すが、同じMOSチャンネル幅をもつBiCMOS回路とCMOS回路を比較した場合、ファンアウトが1のとき、負荷容量が約0.1pFより小さいとCMOS回路のほうが速い。従って、フリップフロップ等の複雑な論理回路を数個の基本セルを使って構成する場合、配線チャネルに出る部分はBiCMOS回路構成を採るが、内部はCMOS回路で組むほうが有利である。このため、基本セル1個につき、

2個のバイポーラトランジスタを入れているが、未使用のバイポーラトランジスタが必ず数個発生する。一般にはバイポーラトランジスタの使用率は40%程度である。そこで、バイポーラトランジスタをMOSの上下側に配置すると、未使用バイポーラトランジスタの上部を論理回路構成用の内部配線領域や電源配線領域として有効に利用することができる。図5.7にその具体例を示す。また、実効ゲート数を増やすように、PMOSとNMOSは3ペア構成としている。このようにして、バイポーラ素子の付加による実質的な面積増加を押えている。

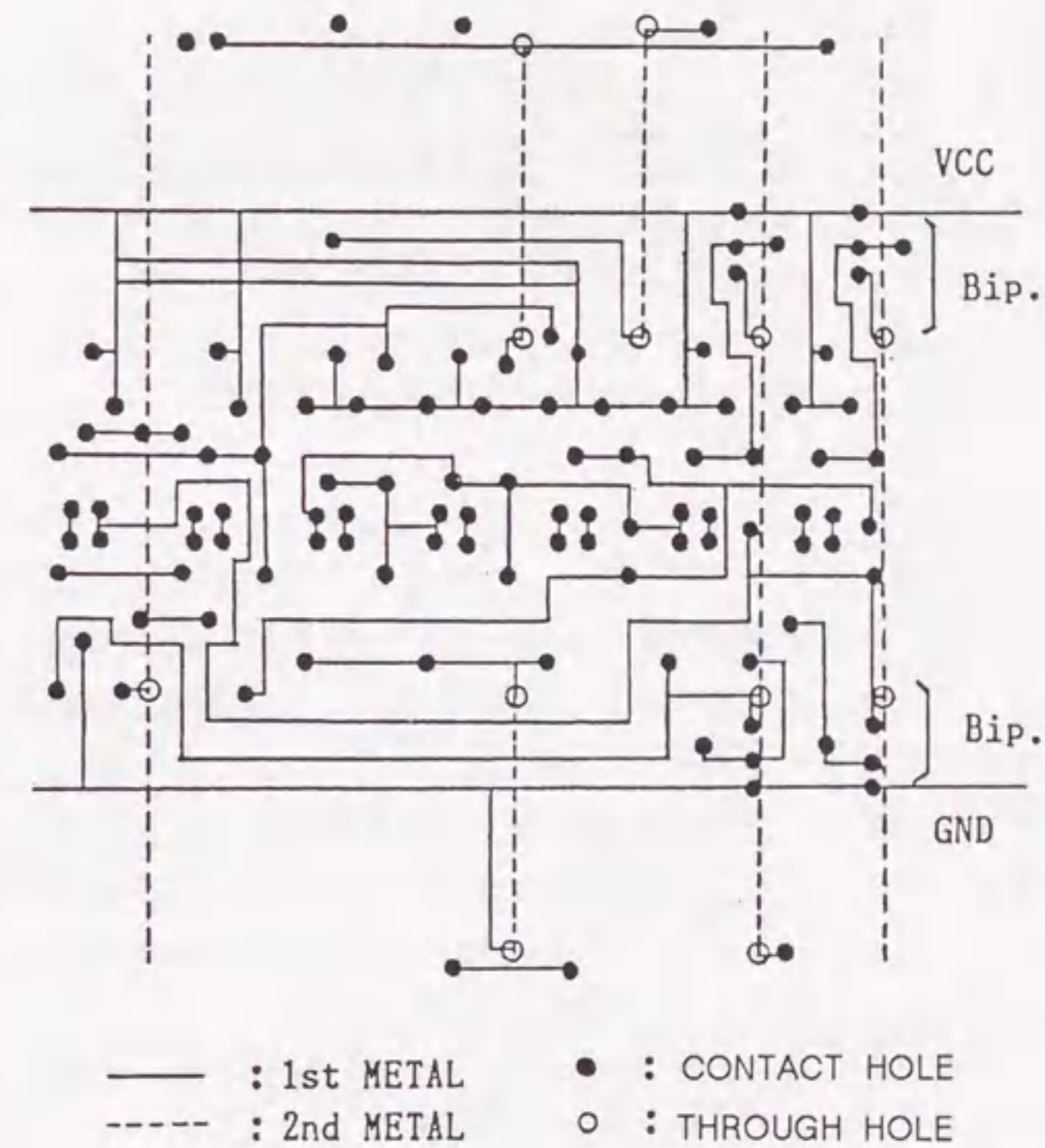


図 5. 7 基本セル内部配線の例

5. 3. 3 ゲート回路の遅延時間と消費電力の評価

図5.8は、図5.6の基本セルで構成した各種ゲートの遅延時間の負荷依存性の実測値を示したものである。比較のため、同じMOSチャンネル幅のCMOS回路の特性も示す。但し、CMOS4入力NORはシミュレーション値である。駆動能力の大きいBiCMOS論理回路は負荷容量の大きい場合に特に有効である。経験的には、ゲートアレーの場合、

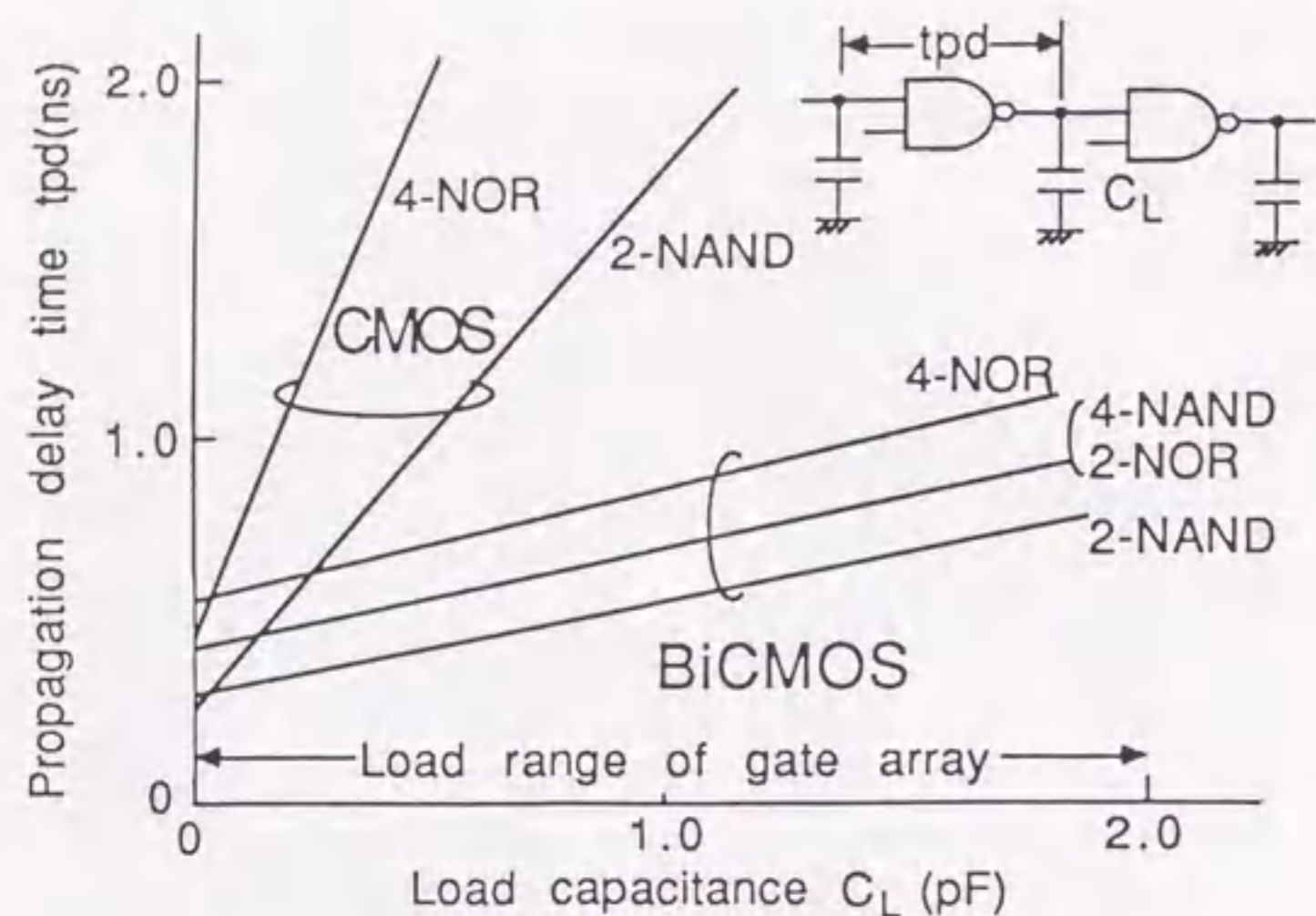


図5.8 論理ゲートの遅延時間特性

負荷は大体、図5.8に示すように、ファンアウト1だけのごく軽い負荷から2 pFの範囲にあり、平均は0.6 pF程度である。従って、BiCMOS 2入力NANDゲートの遅延時間は約0.45 nsと高速であり、CMOSの1/2以下である。また、遅延時間の負荷に対する依存性はゲート種によらず約0.25 ns/pFであり、CMOSの1/6以下である。つまり、実際の負荷範囲での変動幅はCMOSに対して1/6以下に低減できる。また、BiCMOS論理回路の場合、ゲート種による遅延時間の変動が小さい。すなわち、0.6 pFでみると、4入力NORの遅延時間は2入力NANDの60%増であるが、CMOSの場合は100%増となっている。

BiCMOS論理回路の場合、ゲート種によって遅延時間の負荷依存性がほとんど不変であるのは次のように考えることができる。

BiCMOS論理回路の遅延時間 t_{pd} は(5.1)式のように定数 t_0 と負荷容量 C_L に比例する項の和として表わせる[4]。

$$t_{pd} = t_0 + (V_{LT} \cdot C_L) / (\beta \cdot I_D) \quad (5.1)$$

ここで、 β : バイポーラトランジスタの電流増幅率、 V_{LT} : 論理スレッシュホールド電圧、 I_D : ベースに供給するMOS電流。

また、BiCMOSのような高速動作では、電流増幅率 β は、電流利得帯域幅積 f_T とバイポーラトランジスタの動作周波数 f を用いて(5.2)式のように表わせる。

$$\beta = f_T (I_c) / f \quad (5.2)$$

ここで、 I_c はコレクタ電流で、 f_T は I_c の関数である。BiCMOS論理ゲートのように、バイポーラトランジスタのコレクタ電流を数mAで使用している領域では、コレクタ電流が減少すると f_T は増加する[22]。

さて、多入力ゲート等になって、MOS電流 I_D が減少すると、コレクタ電流 I_c が減少し、ゲートのスピードが落ち、バイポーラトランジスタの動作周波数 f が減少しようとする。一方、 I_c が減少すると上記したように f_T は増加する。従って、(5.2)式より、電流増幅率 β は増加する方向になり、(5.1)式の $\beta \cdot I_D$ という項の変化は抑えられる。それ故、ゲート種による遅延時間の負荷依存性はほとんど同じになると考えられる。一方、CMOSはバイポーラトランジスタの β の働きがないので、ゲート種によって、負荷に対する遅延時間の依存性が大きく変わる。結果として、ゲート種による遅延時間の変動も、BiCMOSのほうが、CMOSより小さくなる。

図5.9は、2入力NANDゲートの5MHz動作時の消費電力特性を示す。比較のため、同一セルサイズのCMOS 2入力NANDゲートの消費電力の計算値を示す。CMOSより約1.5倍大きい、ECLゲートの1/5-1/10の低消費電力特性をもつ。従って、大規模のゲートアレイの実現に対して有効であることがわかる。

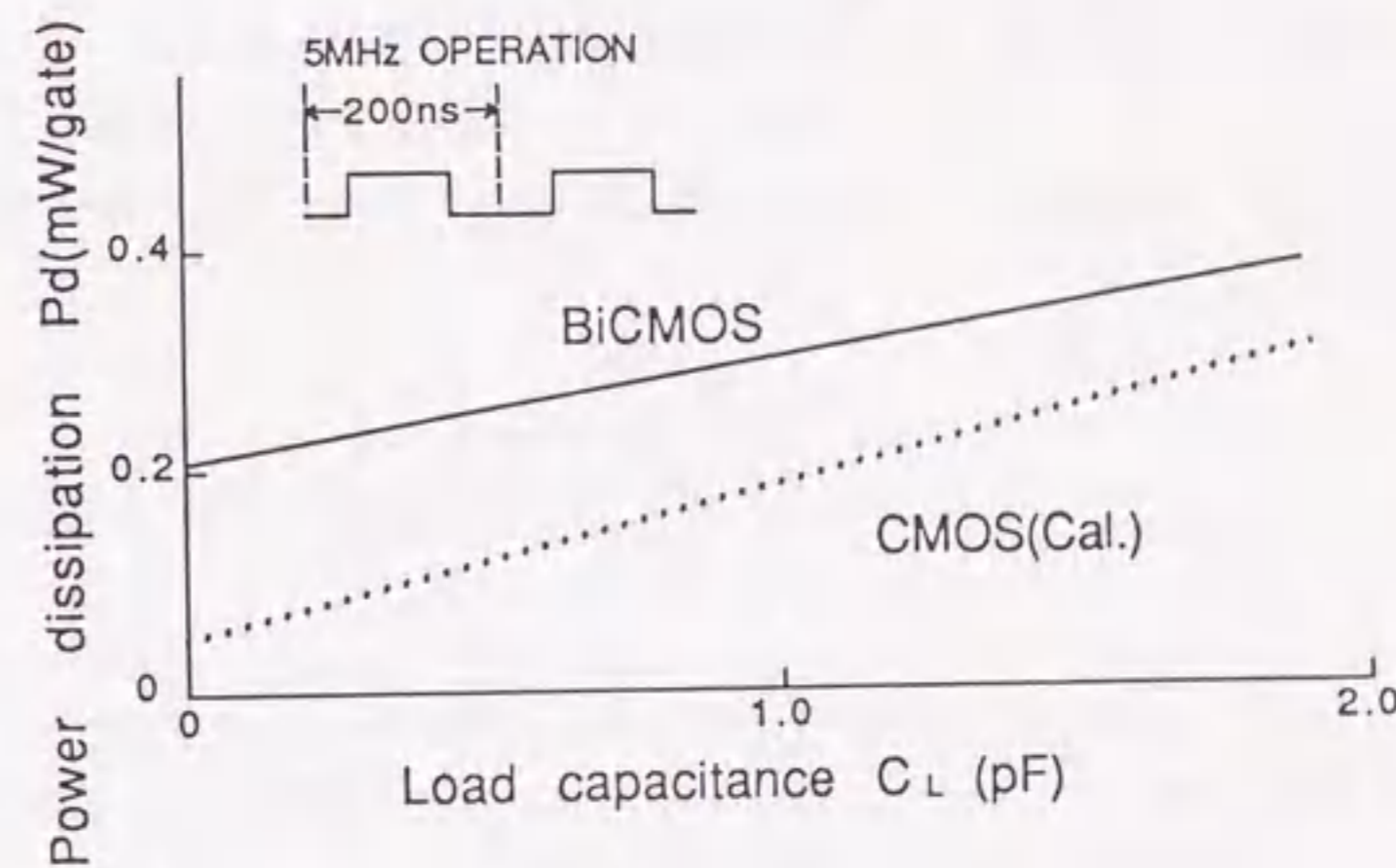


図5.9 消費電力特性

5.4 入出力回路に関する検討

5.4.1 回路構成

LSIの周辺に配置される入出力回路にBiCMOSを適用した場合、インタフェース部にバイポーラ素子を含ませることによって、静電破壊のようにCMOSで問題とされていた事項への対応が容易になる。また、出力段をバイポーラ素子を含むバッファにすることによって、大きな負荷を高速に駆動できる。更に、従来、バイポーラトランジスタで構

成していたTTLまたはECLと完全互換のインタフェースを実現できる。図5.10にTTLと完全互換の入力および出力回路をBiCMOSで構成した例を示す。

入力回路は、インバータ型で、第4章で示したものと同一である。ラテラルPNPバイポーラトランジスタのエミッタに接続されているCMOSインバータの論理スレッショルド電圧は2.1Vに設定し、TTLインタフェースとしている。そして、最終段の内部回路と同等のBiCMOS回路で負荷を強力に駆動する。同様な回路構成で非反転型、シュミット型も構成できる。

一方、出力回路は3状態回路を示す。図5.5(c)のDタイプ回路を基本にして、MOSの端子が出力端子に出ないように制御用の素子を付加した回路構成で、第4章で示したものとほぼ同一である。異なる主な点は、立下がり遅延時間を速めるために、上側のNPNバイポーラトランジスタQ1のベース電荷引き抜き用のNMOS N5を専用に設けたことである。また、出力がロウレベルのときに、出力ロウレベル電流 I_{OL} を確保するために、NMOS N3を介して、下段のNPNバイポーラトランジスタQ2のベースに電流を供給しつづけるが、配線パターンを変えることによって、N3のチャンネル幅を変えることができるようにしており、 I_{OL} 値を可変にしている。出力ハイインピーダンス状態は、Q1、Q2のベースに接続しているNMOS N1とN2によって、各ベース電位をGND電位に落として作り出しているが、その際、出力端子がバスに接続されると、NPNバイポーラトランジスタQ1のベース、エミッタ間に電源電圧分印加され、ベース、エミッタ間耐圧を越える。そのため、ダイオードD1を挿入して耐圧を確保している。ダイオードD1は出力ハイレベル V_{OH} を下げる働きもしており、消費電力の低減および出力がハイレベルからロウレベルに移るときにGND線に生じるノイズ低減の効果もある。

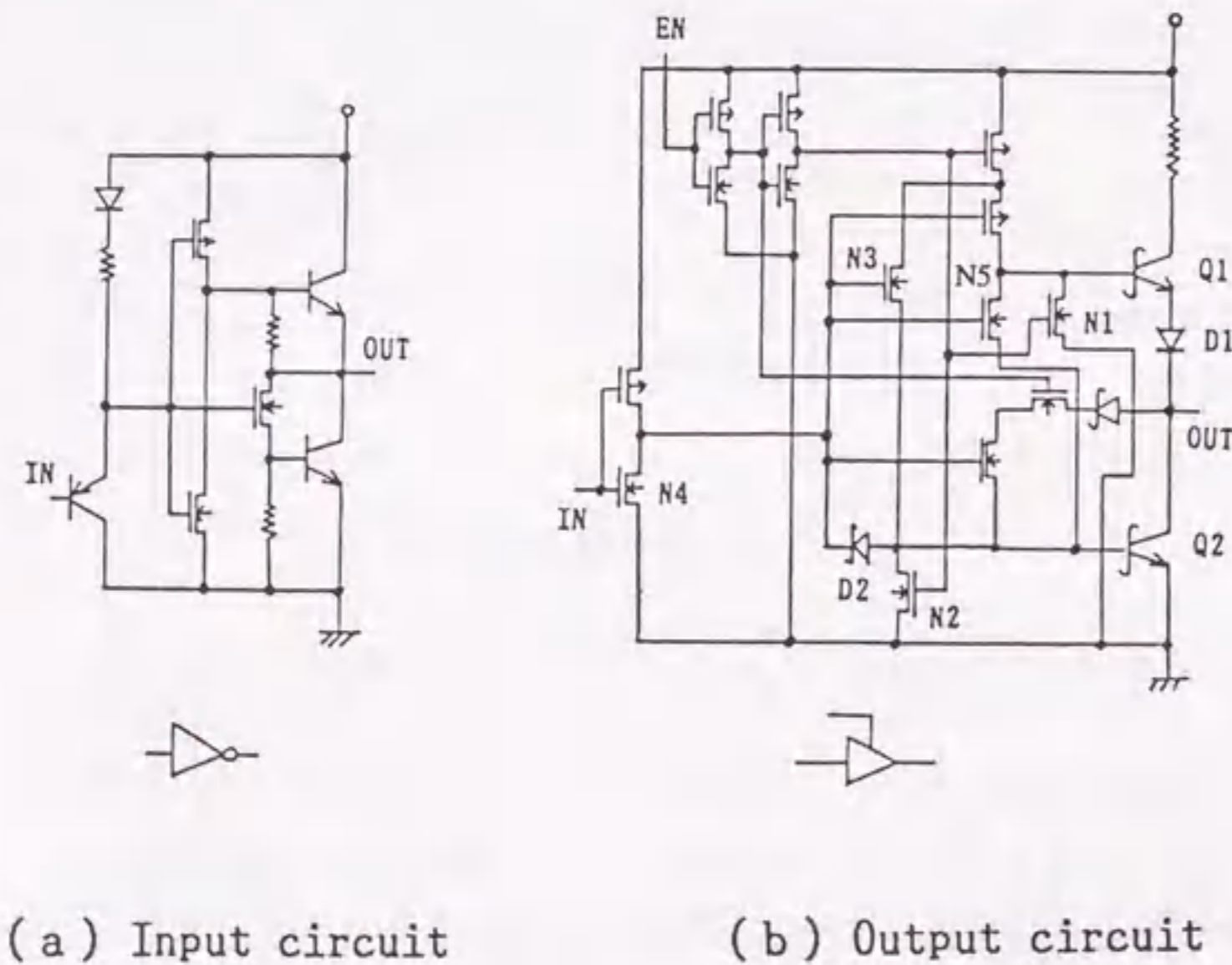


図5.10 入出力回路

5.4.2 入出力回路の遅延時間の評価

次に、入力回路と出力回路を直結して遅延時間を実測した結果について述べる。図5.11はその結果である。出力バッファはトータムポール型でTTL相当の負荷を付けている。15pFと100pF負荷時に3.1ns、5.8nsとアドバンストショットキーTTL並みに高速である。負荷依存性も0.03ns/pFと極めて小さい。

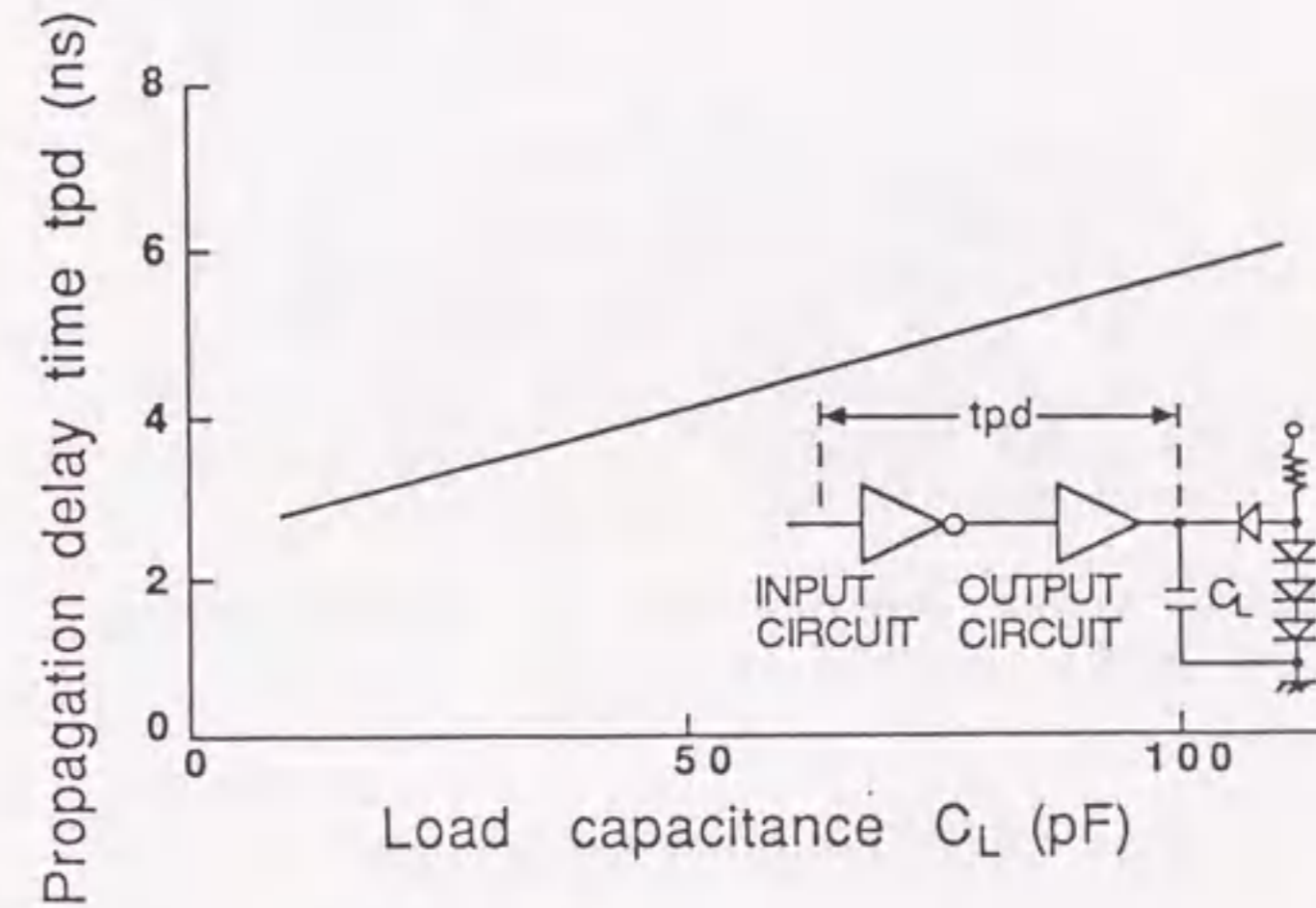


図5.11 入出力回路の遅延時間特性

5.5 内蔵RAMに関する検討

5.5.1 構成と仕様

5.2.1項で述べたように、高速、大規模なミニコン等へゲートアレーを適用するためには、演算データを格納できるRAMを内蔵したマスタチップが効果的である。つまり、RAMを内蔵するとチップインタフェースにおける入出力回路での大きな遅延時間をなくすることができるので、システムの高速度化に有利である。

ここでは、システムの演算回路部の処理速度を向上させるために、内蔵RAMを1ライトと2リードが同時に実行できる3ポート構造とした。また、ゲートアレーの特徴を活かして、配線パターンを変えるのみで、ビット数×語数の構成を変えることができるようにする。これによって、各種システムに適合しやすくなる。更に、高速かつ高密度となるようにメモリセルはCMOS回路で構成し、周辺回路はBiCMOS回路を用いて構成する。

次に、そのRAMの重要な仕様であるアクセス時間について検討する。図5.12(a)に、ゲート遅延時間とそのゲートを用いて構成されたミニコンのマシンサイクル時間の関係を示す。ゲート遅延時間が0.4-0.5nsのゲート回路を用いて構成されるミニコ

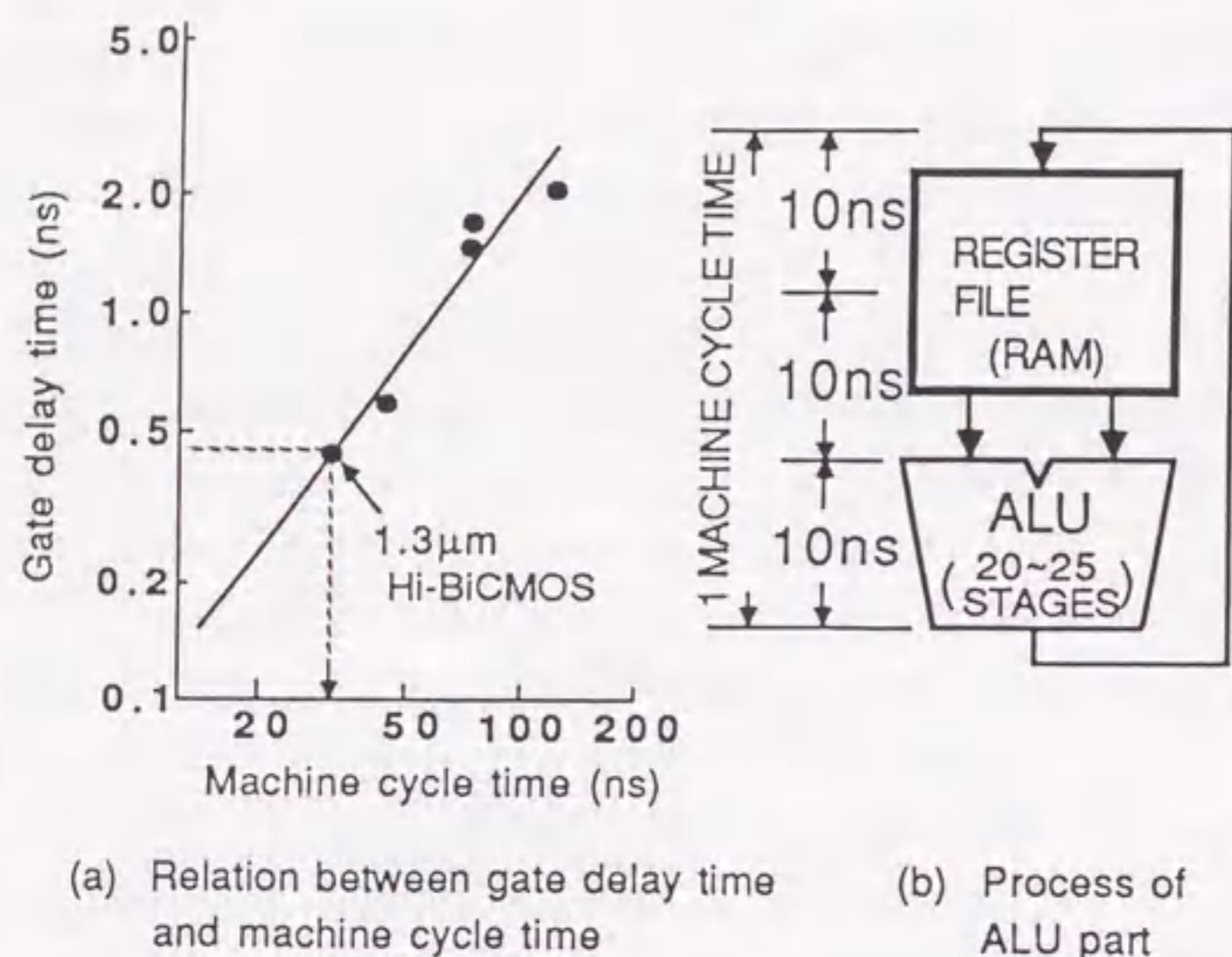


図 5. 12 RAMアクセス時間の検討

ンのマシンサイクル時間は標準値で約30nsである。通常のコネクはこの1マシンサイクル時間で、図5.12(b)に示すように、RAMからデータを読み出し、演算し、そしてRAMに演算結果を書き込む。演算回路の論理段数は20-25段であるので、ゲート遅延時間を0.4-0.5nsとすると、演算に要する時間は約10nsである。従って、RAMの読み出しおよび書き込みに許される時間は20nsとなるので、アクセス時間は10nsが妥当であると判断した。

次に具体的構成について述べる。RAM容量はレジスタファイルとして一般的な4kビットとした。ビット構成として、各種システムに適用できる汎用性をもたせるために、9ビット×512語、18ビット×256語、36ビット×128語と3段階に構成を変えることができるように考えた。そのため、36ビットものセンスアンプをもつことは、センスアンプ部の消費電力が大きくなる。また、通常のメモリのように、一つのデータにつき、ポジとネガのデータ線をもたせることは、マルチポートRAMの場合は得策ではないと判断し、ここでは図5.13(a)に示すように、CMOSレベル出力を出すメモリセル回路を採用した。論理上は読み出し部のCMOSインバータを2個あるいは1個省くこともできるが、信頼度を向上、あるいは、片側読み出し時と両側読み出し時のアクセス時間のアンバランスを回避するために図に示す回路構成としている。

図5.13(b)にそのRAMセルと周辺回路を配置した全体構成を示す。周辺回路は

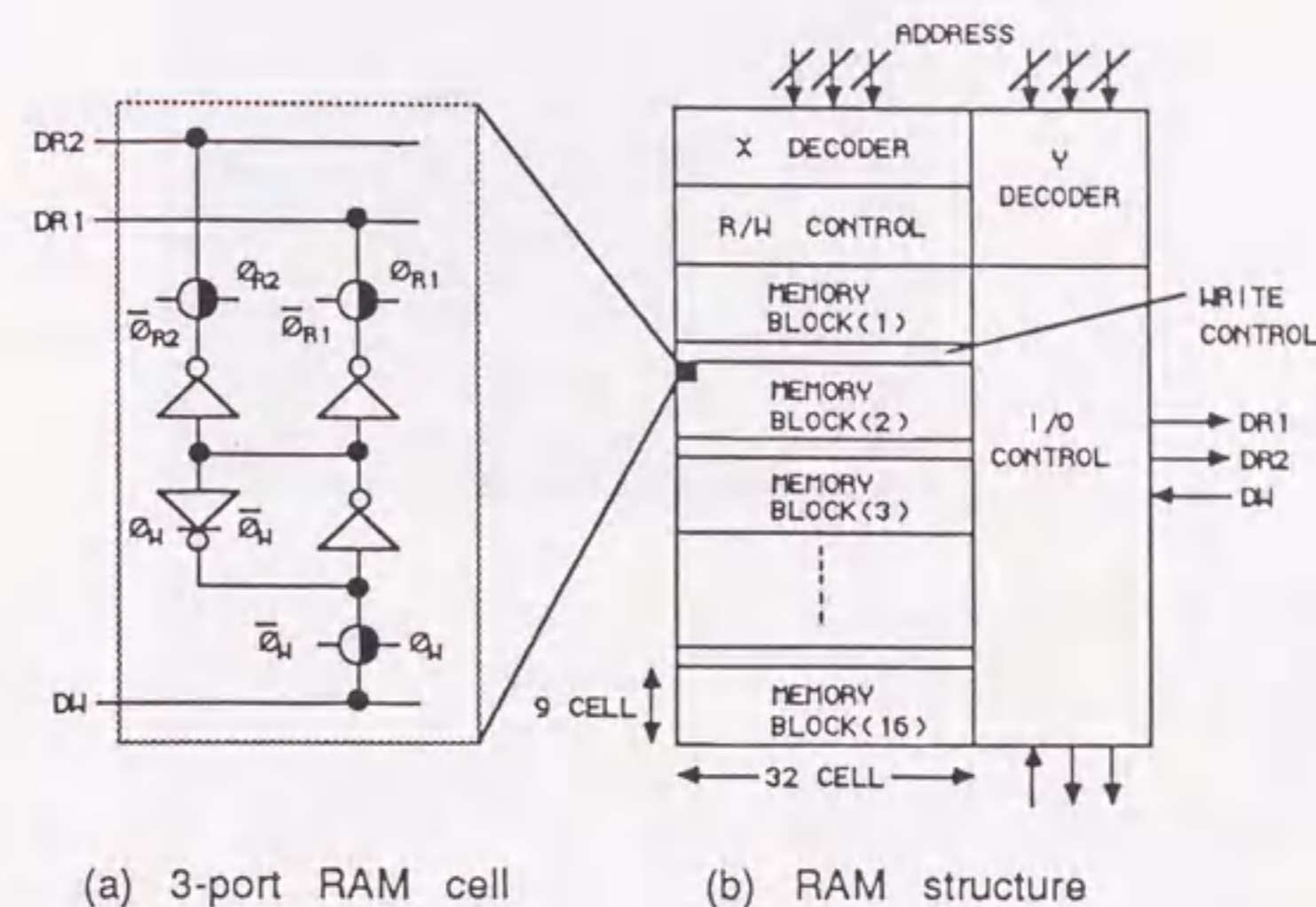


図 5. 13 3ポートRAM構成

すべてBiCMOS回路を採用して高速化を図っている。RAMセルを図の横方向に多数並べると、CMOSメモリセルのデータ線の負荷が重くなり、アクセス時間が大きくなる。そこでゲートアレーのマスターチップとのバランスを考えて、RAMセルを横方向に32個配置し、縦方向に9個配置して1ブロックを形成した。そのブロックを書き込み制御回路をはきんで、16個配置してメモリマトリクスを構成した。デコーダは1ライトと2リードが同時に実行できるように3系統有している。入出力制御回路部はBiCMOS3ステート回路で構成されており、この入出力制御回路部とYデコーダ部とのカスタムマスクに相当する配線パターンを変えることによって、9ビットから36ビットまでビット構成を変えることができる。

5.5.2 アクセス時間の評価

図5.14はアクセス時間が最大になる経路での標準条件($V_{cc}=5V$ 、 $T_a=25^{\circ}C$)におけるアクセス波形を示したものである。10ns以下のアクセス時間を得ており、目標を満足している。この値はゲート遅延時間と整合した値である。

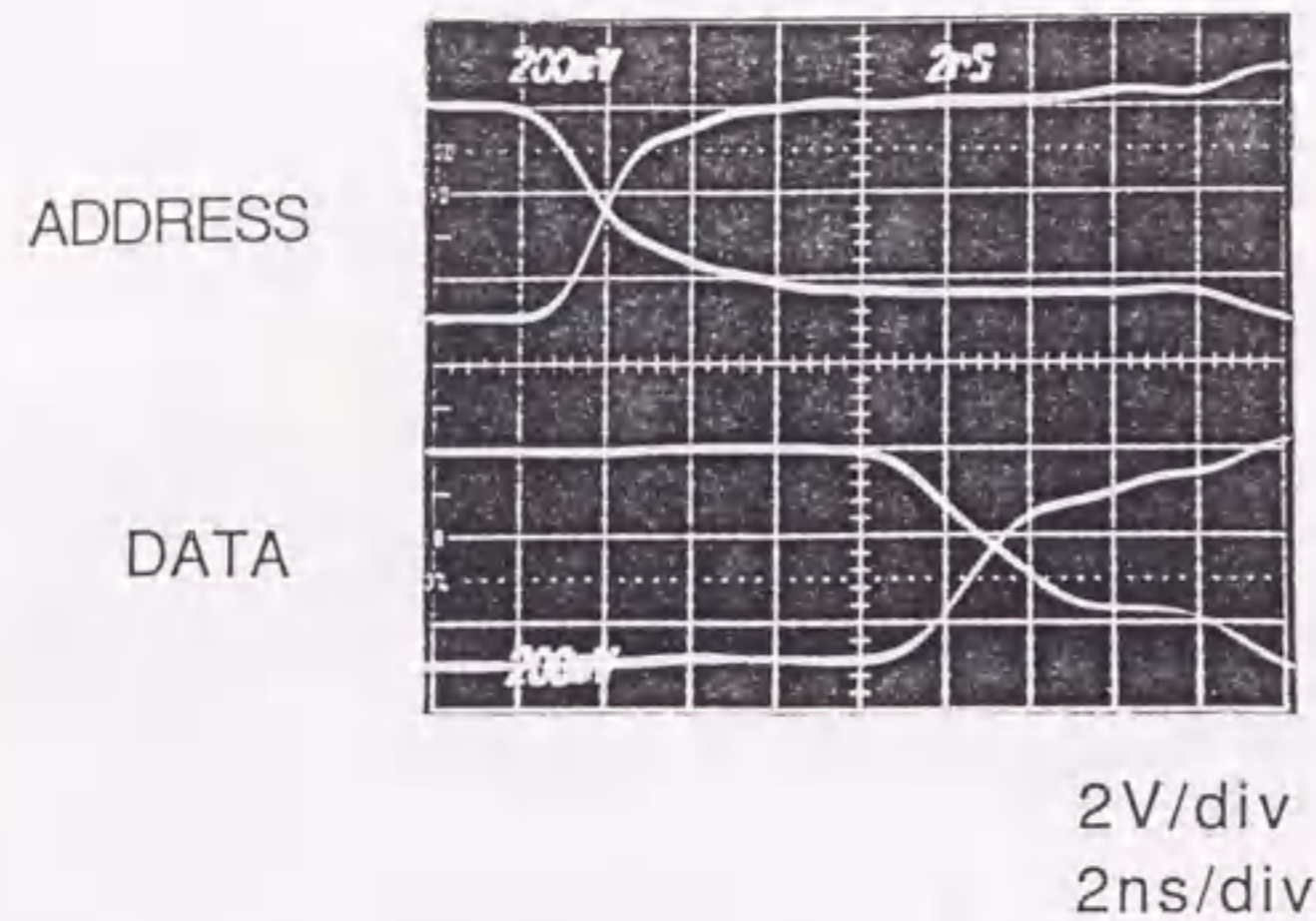


図 5. 14 RAMアクセス波形

5. 6 むすび

バイポーラトランジスタとCMOSを基本回路内で複合した新しい $1.3\mu\text{m}$ BiCMOS技術を用い、ミニコン等の高速プロセッサに適したRAM内蔵型の超高速ゲートアレーと、ECLとTTLが混在したシステムに便利なECL/TTL入出力回路混在型の超高速ゲートアレーを開発した。BiCMOS論理回路では、CMOSの約2倍の速度が低消費電力で得られるが、ゲートアレーの試作に際しては、この論理回路を効率良く実装できるバイポーラトランジスタとCMOSを一体化した新しい形の基本セルを開発した。内蔵RAMは、1ライトと2リードが同時に実行できる3ポートで、容量は4kビットである。そのRAMはゲートアレーの特徴を活かし、ビット構成を変えられるようにして汎用性をもたせている。ECL/TTL入出力回路混在型においては、デバイス耐圧とスレッシュホールド電圧等の点から、内部回路はGNDとVEE(-)の間で使用している。

試作したRAM内蔵型ゲートアレーを評価した結果を要約すると次のとおりであり、目標を満足した。

- (1) 2入力NANDゲートの遅延時間は平均負荷で、 0.45ns である。
 - (2) BiCMOS回路の遅延時間の負荷依存性はゲート種によらず、ほぼ同一である。これは遅延時間を表わすモデル式と、バイポーラトランジスタの電流利得帯域幅積 f_T とコレクタ電流 I_c の関係から理解できる。
 - (3) RAMのアクセス時間は約 10ns であり、内部回路の速度と整合している。
- 以上のような特性に加え、BiCMOS回路は負荷に対する遅延時間の依存性が少ないため、配置、配線を自動設計システムで行うゲートアレーでも、遅延時間の変動を小さく抑えることができ、CMOSとの性能差は更に拡大する。最近、ミニコンを始めとするプロセッサ分野やグラフィックス分野等、多くの分野において、低消費電力で高速のLSI

が期待されている。BiCMOSゲートアレーはこのような要求に応えるものである。

ところで、CMOSは微細化が限界に近づくと共に、技術的困難が増し世代交代が緩やかになると予想される。これに対し、バイポーラトランジスタを複合したBiCMOSは、性能面でCMOSの一代先の性能以上の効果をもたらすので微細技術になれば、更にCMOSに対する優位性が出ると考えられる。しかし、微細化と共に、素子耐圧の低下および集積度の増大によるLSIチップの消費電力の増大が予想される。このため、回路技術、デバイス技術の研究により、低い電源電圧での性能を向上させることが重要になると考えられる。

<参考文献>

- [1] H.C.Lin, J.C.Ho, R.Iyer and K.Kwong: "Complementary MOS-Bipolar Transistor Structure", IEEE Trans. Electron Devices, ED-16, 11, pp.945-951 (Nov.1969).
- [2] 池田、渡辺、本間、平石、西尾、小高: "埋込みウェルを用いた高速Bi-CMOS構造", 昭59信学総全大, 566.
- [3] 西尾、古徳、増田、池田、鈴木、荻上: "高速、低消費電力 バイポーラ・CMOS複合論理回路の評価", 同上, 497.
- [4] 増田、西尾、池田: "バイポーラCMOS複合による高速論理回路", 信学論(C), J67-C, 12, pp.999-1005 (Dec.1984).
- [5] 西尾、村林、渡辺、池田、上遠野: "VLSI用BiCMOS論理ゲートの試作と評価", 電学論C, 109-C, 11, pp.805-811 (Nov.1989).
- [6] H.Higuchi, G.Kitsukawa, T.Ikeda, Y.Nishio, N.Sasaki and K.Ogiue: "Performance and Structure of Scaled-Down Bipolar Devices Merged with CMOS FETs", 1984 IEEE IEDM Technical Digest, pp.761-764 (Dec.1984).
- [7] T.Ikeda, A.Watanabe, Y.Nishio, I.Masuda, N.Tamba, M.Odaka and K.Ogiue: "High-Speed BiCMOS Technology with a Buried Twin Well Structure", IEEE Trans. Electron Devices, ED-34, 6, pp.1304-1310 (June 1987).
- [8] Y.Nishio, I.Masuda, T.Ikeda, M.Iwamura, K.Ogiue and Y.Suzuki: "A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array", Proc.1984 IEEE ICCD, pp.428-433 (Oct.1984).
- [9] H.Nakasiba, K.Yamada, T.Hatano, K.Denda, N.Kusunose, E.Fuse and M.Sasaki: "A Subnanosecond Bi-CMOS Gate-Array Family", Proc.1986 IEEE CICC, pp.63-66 (May 1986).
- [10] P.T.Hickman, F.Ormerod and D.W.Schuker: "A High Performance 6000 Gate BiCMOS Logic Array", ibid., pp.562-564.
- [11] Y.Nishio, F.Murabayashi, I.Masuda, H.Maejima, S.Owaki, K.Yamazaki and S.Kadono: "0.45ns 7K Hi-BiCMOS Gate Array with Configurable 3-Port 4.6K SRAM", Proc.1987 IEEE CICC, pp.203-204 (May 1987).

- [1 2] P.S.Bennett, R.P.Dixon and F.Ormerod: "High Performance BiCMOS Gate Arrays with Embedded Configurable Static Memory", *ibid.*, pp.195-198.
- [1 3] L.-T.Lin, D.Rosky and H.-D.Truong: "A 9100 Gate ECL/TTL Compatible BiCMOS Gate Array", *ibid.*, pp.190-194.
- [1 4] K.Ogiue, M.Odaka, I.Masuda, T.Ikeda, T.Yasui, Y.Suzuku and H.Uchida: "A 15ns/250mW 64K Static RAM", *Proc.1985 IEEE ICCD*, pp.17-20 (Oct.1985).
- [1 5] K.Ogiue, M.Odaka, S.Miyaoka, I.Masuda and K.Tonomura: "13-ns, 500-mW, 64-kbit ECL RAM Using Hi-BiCMOS Technology", *IEEE J.Solid-State Circuits*, SC-21,5, pp.681-685 (Oct.1986).
- [1 6] 堀田、前島、岩村、栗田、上野、増田、堀田: "Hi-BiCMOS 32ビット演算ユニット", *信学論(C)*, J70-C,4, pp.469-478 (Apr.1987).
- [1 7] Y.Kobayashi, M.Oobayashi, K.Asayama, T.Ikeda, R.Hori and K.Itoh: "Bipolar CMOS Merged Structure for High Speed Mbit DRAM", *1986 IEEE IEDM Technical Digest*, pp.802-804 (Dec.1986).
- [1 8] 西尾、村林、古徳、上遠野: "RAM内蔵形Hi-BiCMOSゲートアレー", *信学論(C)*, J71-C,9, pp.1248-1256 (Sept.1988).
- [1 9] 上遠野、西尾: "超高速Hi-BiCMOSゲートアレーHG29M100/HG21T30", *日立評論*, 70,12, pp.77-80 (1988).
- [2 0] 西尾、村林、増田、渡辺、古徳: "1.3 μ m Hi-BiCMOS論理回路の評価", *昭61信学総全大*, 373.
- [2 1] 西尾、村林、古徳、上遠野: "0.45ns 1.3 μ m Hi-BiCMOSゲートアレー", *信学会集積回路研究会資料*, ICD88-71 (1988).
- [2 2] A.Watanabe, T.Ikeda, T.Nagano, N.Momma, Y.Nishio, M.Odaka and K.Ogiue: "High Speed BiCMOS VLSI Technology with Buried Twin Well Structure", *1985 IEEE IEDM Technical Digest*, pp.423-426 (Dec.1985).

第6章 全面敷き詰め型BiCMOS / CMOS混在ゲートアレーの開発に関する研究

第6章 全面敷き詰め型BiCMOS / CMOS混在ゲートアレーの開発に関する研究

6.1 はじめに

BiCMOS技術は、メモリVLSIや論理VLSIに活発に適用されている[1] - [4]。また、1984年以来、ECLゲートアレーとCMOSゲートアレーの速度と集積度のギャップを埋める数多くのBiCMOSゲートアレーが開発されてきた[5] - [19]。最近では、チャンネルレスタイプあるいはsea-of-gatesと呼ばれる3層配線技術をもつゲートアレーがBiCMOSゲートアレー分野で主流になりつつある。ゲートをチップ全面に敷き詰めることによって、高集積化とマクロセルの効率化が図れるためである。また、従来のBiCMOSゲートアレーでは、配線チャンネルに出力される論理回路の出力部は常に、BiCMOSゲートで構成されていた。しかし、第4章や第5章で示したように、軽い負荷領域では、CMOSゲートのスピードと消費電力特性は、BiCMOSゲートより優れている。それ故、負荷の重さに応じて、CMOSゲートとBiCMOSゲートを使い分ければ、BiCMOSゲートアレーの性能は更に向上する。この章では、5V動作0.5 μ mBiCMOS技術を用いた3層メタル配線を有する全面敷き詰め型BiCMOS / CMOS混在ゲートアレーについて述べる[20][21]。

6.2 内部回路に関する考察

図6.1は、CMOSの低消費電力性とバイポーラトランジスタの高駆動能力を活用し

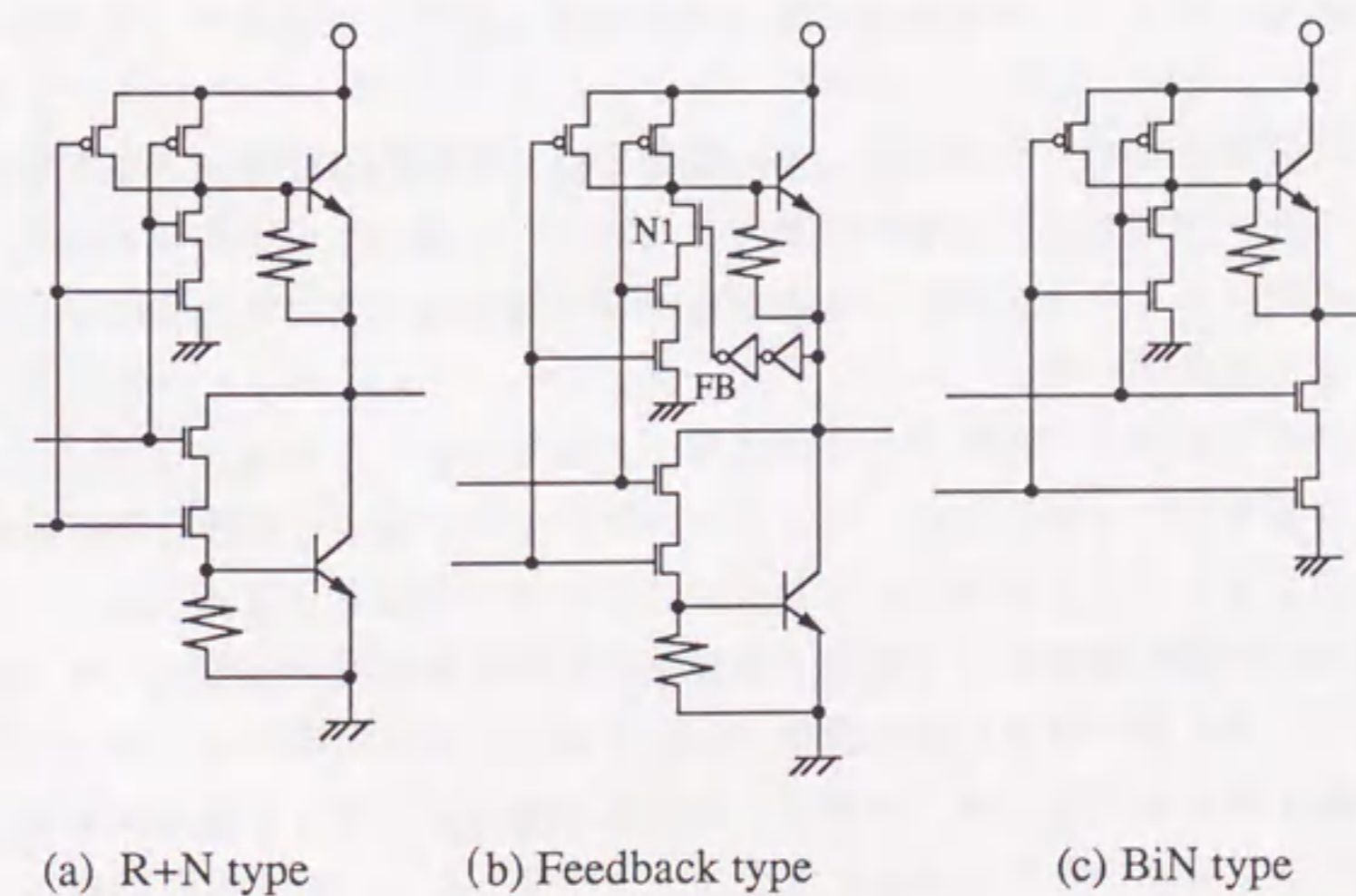


図6.1 BiCMOS論理回路

たBiCMOS回路を示す[18][22]。図では2入力NAND回路を示している。(a)はR+Nタイプである。この回路は抵抗タイプの欠点である以下に述べる点を改良するために、上側のNPNバイポーラトランジスタのベース電荷引き抜き用のNMOSを第5章に示した抵抗タイプに追加したものである。つまり抵抗タイプでは、スピードのために大きい抵抗値のものが一般に使われる。しかし、入力レベルが立上り、出力レベルがハイレベルから立下がるとき、上側のNPNバイポーラトランジスタのベース電位は、バイパス回路の大きな値の抵抗のために出力レベルに追随して下がる。そのため、上側のNPNバイポーラトランジスタはなかなかオフ状態にならず、貫通電流が流れる。その結果、消費電力がCMOSの2倍程度になることもある。引き抜き用のNMOSを追加することによって、出力レベルがハイレベルから立下がるとき、上側のNPNバイポーラトランジスタのベース電位は急速に立下がり、上側のNPNバイポーラトランジスタはすぐにオフ状態になるので、R+Nタイプは、抵抗タイプより低消費電力特性を有する。また、R+Nタイプは、ベース、エミッタ間に抵抗が設置されているので、出力レベルがフル振幅する。しかし、入力が立下がり、上側のNPNバイポーラトランジスタにベース電流を供給するとき、PMOSのドレイン電流の一部が引き抜き用のNMOSのほうへも流れる。この漏れ電流を阻止するようにしたのが、(b)のフィードバックタイプである[22]。フィードバックタイプでは、2個のフィードバックCMOSインバータによって、出力信号を遅延させてFB信号を作っている。入力が立下がり、PMOSのドレイン電流が上側のNPNバイポーラトランジスタのベースに供給されるとき、FB信号はしばらくロウレベルであり、NMOS N1はしばらくオフ状態である。その結果、NMOSへの漏れ電流が阻止され、PMOSからの十分な駆動電流がベースに供給される。従って、高速特性が得られる。

一方、入力が立上り、上側のNPNバイポーラトランジスタがオフになるとき、FB信号はしばらくハイレベルであり、NMOS N1はしばらくオン状態である。それ故、上側のNPNバイポーラトランジスタのベース電荷はN1と引き抜き用NMOSを介して急速に引き抜かれる。従って、貫通電流はR+Nタイプと同様に低減され、低消費電力特性も得られる。

(c)はBiNタイプゲートである。出力段の下側がNMOSで構成されている。NMOSのスレッシュホールド電圧より大きい信号であれば、出力段の下側のNMOSを駆動することができるので、BiNタイプゲートの遅延時間の電源電圧依存性は通常のトータムボール型ゲートより優れている。

次に、今回のゲートアレーに採用する内部BiCMOSゲートを選択する。

4層メタル配線を有する場合には、フィードバックタイプゲートのフィードバック素子は図6.2に示すように、駆動PMOSとNMOSの間に配置し、1層目のメタルと2層目のメタルをセルの内部配線として用い、3層目と4層目をセル間配線として用いることができる。しかし、3層メタル配線技術のゲートアレーにおいては、フィードバックタイプゲートを採用することは難しい。配線チャンネル数が充分にとれず、基本セル使用率が50%以下になってしまうからである。

図6.3は、電源電圧が5V時の2入力NANDゲートの遅延時間の負荷依存性のシミ

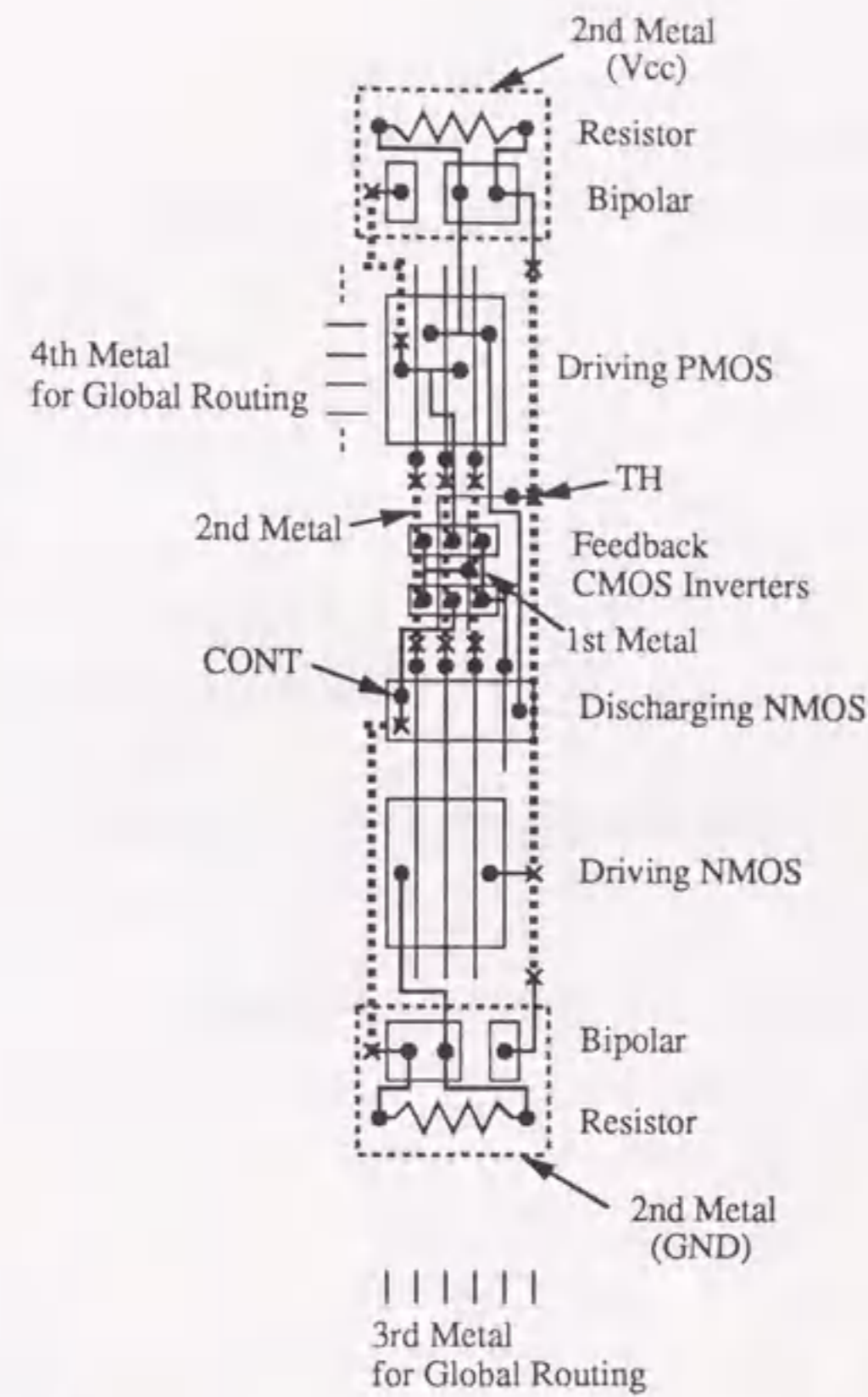


図6.2 4層配線時のフィードバック型ゲートの基本セルパターン

ュレーション結果を示す。比較のため、BiCMOSゲートと同じMOSサイズをもつCMOSの特性も示す。負荷容量が0.3pF以上で、R+Nタイプが最も速い。また、0.14pF以上で、R+NタイプはCMOSより速い。以上のスピード特性、遅延時間の負荷依存性、配線層数、また、遅延時間のプロセス依存性[23]を考慮して、このゲートアレーの内部BiCMOSゲートとして、R+Nタイプゲートを採用することにした。

6.3 実装効率を考慮した基本セル設計

図6.4に示した2つのタイプの基本セルを検討した。後で述べるが、基本セルを用いて構成するRAMセルの構成のしやすさを考慮し、PMOSとNMOSのペアは4入力構成とした。バイポーラトランジスタは、パターンAとBにおいてMOSの上側と下側に配置している。論理回路の出力部分、すなわち、配線チャンネルに出る部分をすべてBiCMOSゲートで構成したとしても、パターンBにおいて、約40%のバイポーラトランジス

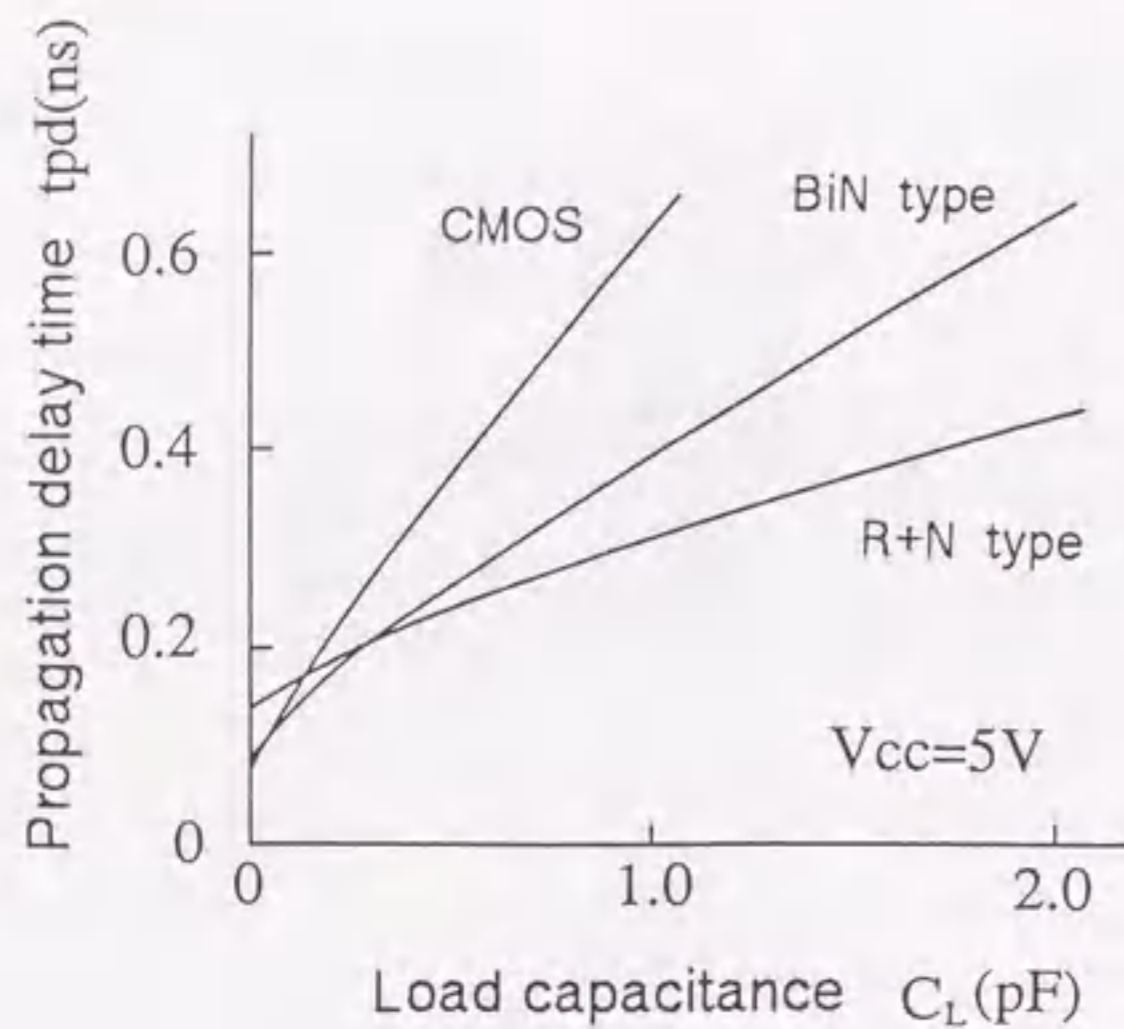


図 6. 3 $V_{cc}=5V$ 時の遅延時間特性

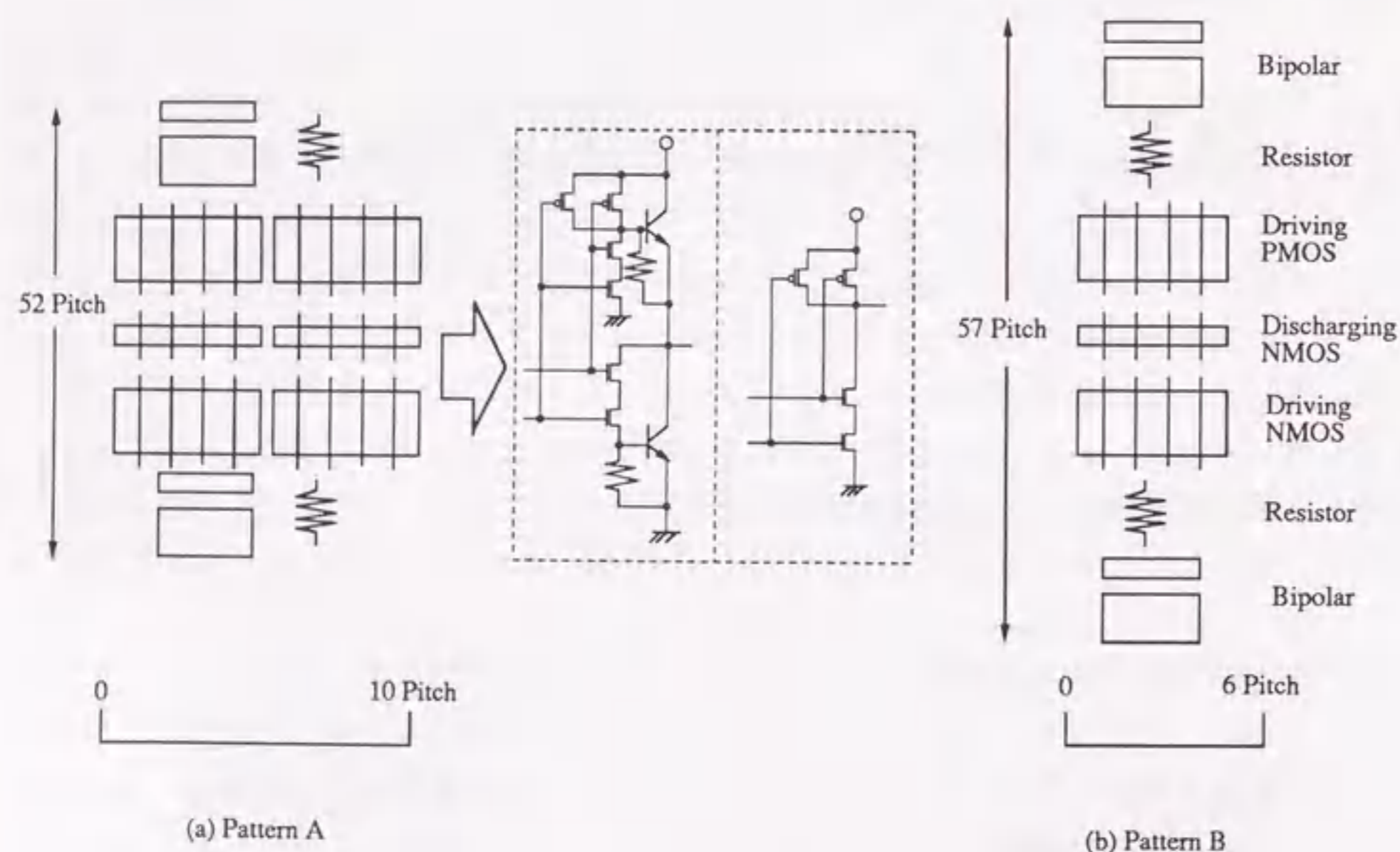


図 6. 4 基本セルパターン

タペアが未使用になることが経験上わかっている。しかし、第5章でも説明したように、未使用バイポーラトランジスタ上は論理回路形成用の配線領域として有効に利用されている。引き抜きNMOSはBiCMOSゲートの構成のしやすさを考慮し、駆動PMOSと駆動NMOSの間に配置している。もし、引き抜きNMOSを駆動NMOSの下側に配置すると、駆動PMOSと引き抜きNMOS間の配線と、駆動NMOSと下側のバイポーラトランジスタ間の配線が長くなる。

バイポーラトランジスタのレイアウトルールから6ピッチ幅になるパターンBにおいては、抵抗をバイポーラトランジスタの横側に配置できないので、抵抗はバイポーラトランジスタの上下に置かれている。それ故、パターンBのセル高はパターンAより高い。パターンAはMOSトランジスタのレイアウトルールから10ピッチ幅になるので、抵抗をバイポーラトランジスタの横側に配置でき、セル高は52ピッチである。

次に、パターンAあるいはBで論理回路群を実現した場合にどちらが効率がよいかを調べる。

まず、論理回路の出力部がすべてBiCMOSゲートで構成される場合に、パターンAあるいはBで論理回路群を実現するときの必要面積を求める。この場合、例えば、BiCMOS 2入力NANDゲートは、パターンAでは10ピッチ必要であり、パターンBでは6ピッチ必要である。今までのゲートアレーの品種展開した論理を寄せ集めた約250kゲートのランダム論理回路がパターンAとBで実現されたとき、物理的占有面積はそれぞれ、49,385,960ピッチ² (52ピッチ×949,730ピッチ)と46,080,738ピッチ² (57ピッチ×808,434ピッチ)となる。一方、基本セル使用率、すなわち、敷き詰めてある基本セル数に対する実際に使用可能なセル数、はパターンAとBでそれぞれ、96%と92%である。基本セル使用率は、配線チャンネル容量に対するゲートの結線に必要な要求配線長の比に関する自動設計の経験から得られる。一般的にその比が50%以下ならば、自動設計による配置、配線が効率良く実行される。ここで、ゲートの結線に必要な要求配線長は、基本セル数、基本セル使用率、回路当りの信号ピン数、配線領域面積等の関数である経験式[24]から求められる。従って、実際の必要面積は、占有面積を基本セル使用率で割って求められ、パターンAの必要面積：パターンBの必要面積は1.0:0.97となる。論理回路の出力部がいつもBiCMOSゲートの場合には、必要面積の点で若干、パターンBのほうがパターンAより有利である。しかし、パターンAでは、図6.4に示しているように、BiCMOSゲートを基本セルの左側に構成し、CMOSゲートを基本セルの右側に小さい面積で構成することができる。それ故、論理回路の出力部にBiCMOSゲートとCMOSゲートが使われたときには、パターンAのほうがパターンBより有利であることが予想される。この点について、以下に確認する。

論理回路の出力部の50%がBiCMOSゲートで、残りの50%がCMOSゲートであると仮定し、パターンAあるいはBで論理回路群を実現するときの必要面積を求める。BiCMOS回路の必要割合は30-50%といわれているので、論理回路の出力部の50%がBiCMOSゲートであるという仮定は妥当である。この場合、例えば、BiCMOS 2入力NANDゲートは、パターンAでは5ピッチ必要であり、パターンBでは6ピッチ必要である。また、CMOS 2入力NANDゲートは、パターンAでは5ピッチ必

要であり、パターンBでは6ピッチ必要である。先程の約250kゲートのランダム論理回路がパターンAとBで実現されたとき、占有面積はそれぞれ、35, 255, 480ピッチ² (52ピッチ×677, 990ピッチ)と46, 080, 738ピッチ² (57ピッチ×808, 434ピッチ)となる。この場合の基本セル使用率はパターンAとBでそれぞれ、82%と92%である。従って、パターンAの必要面積：パターンBの必要面積は1.0：1.16となる。この場合には、必要面積の点でパターンAのほうがパターンBより有利となる。

CMOSゲートとBiCMOSゲートはDA (Design Automation)システムによって、負荷の重さに応じて使い分けられる。図6.5は、軽い負荷(0.1pF)と重い負荷(1pF)でのゲート特性の改善度を示す。BiCMOSゲートとCMOSゲートを使い分けことによって、ゲートアレーの性能が向上する。例えば、150kゲートの60%がBiCMOSゲートでそのうちの半分がCMOSゲートに置き換えられたとすると、約1.6W (0.035mW×45kゲート)の低消費電力化が可能である。このように、BiCMOSゲートとCMOSゲートを使い分けによる効果が期待でき、論理回路を実現した場合、パターンAのほうが有利であったので、このゲートアレーの基本セルとしてパターンAを採用することに決定した。

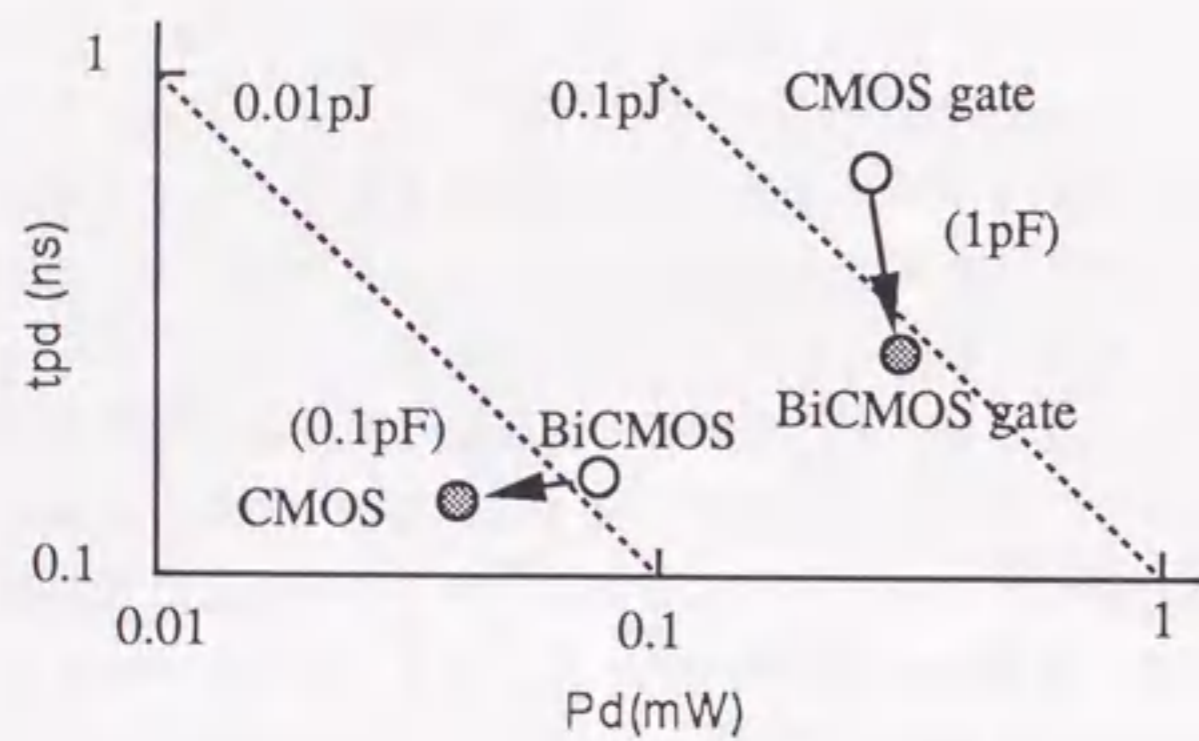


図6.5 ゲート特性の改善

図6.6は基本セルのレイアウトパターンを示す。未使用入力端子の処理の容易性とCMOSゲートの構成のしやすさを考慮し、電源線をCMOSトランジスタの上にも通している。基本セルサイズは $2.2\mu\text{m} \times 114.4\mu\text{m}$ である。

ゲートアレーを高速プロセッサに適用するために、データを格納するオンチップRAMが必要である。図6.7に示したオンチップ用の3ポートRAMセルは、図6.8に示すように一つの基本セルを用いて実現できる。

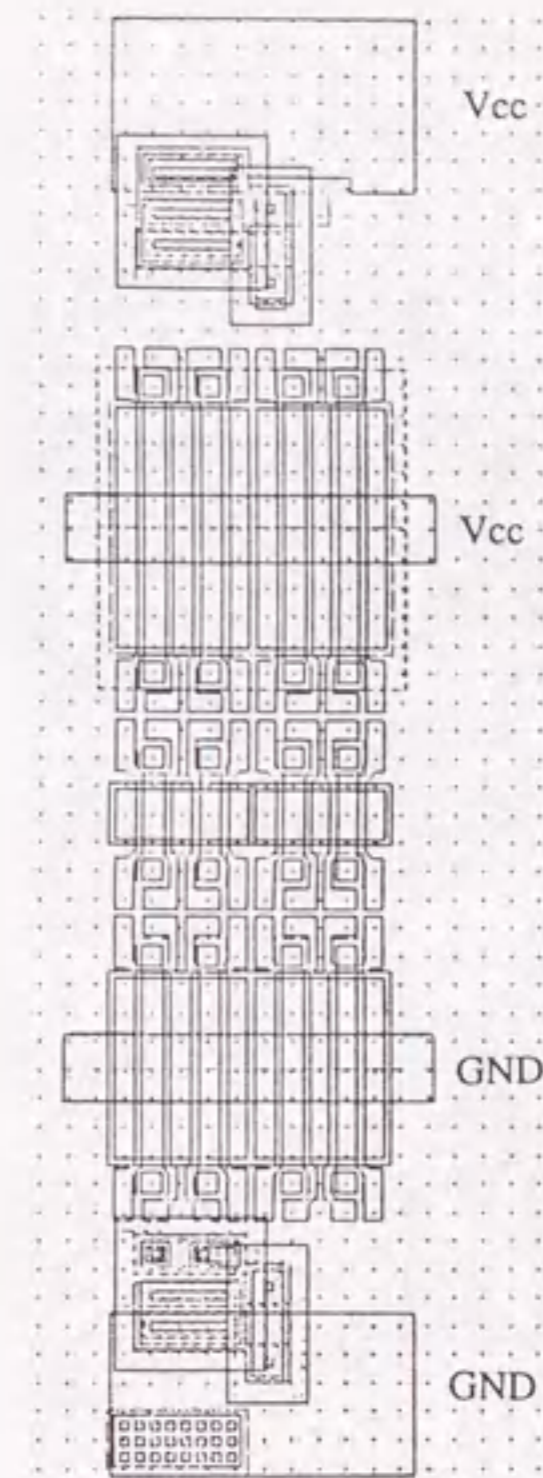


図6.6 基本セルのレイアウトパターン

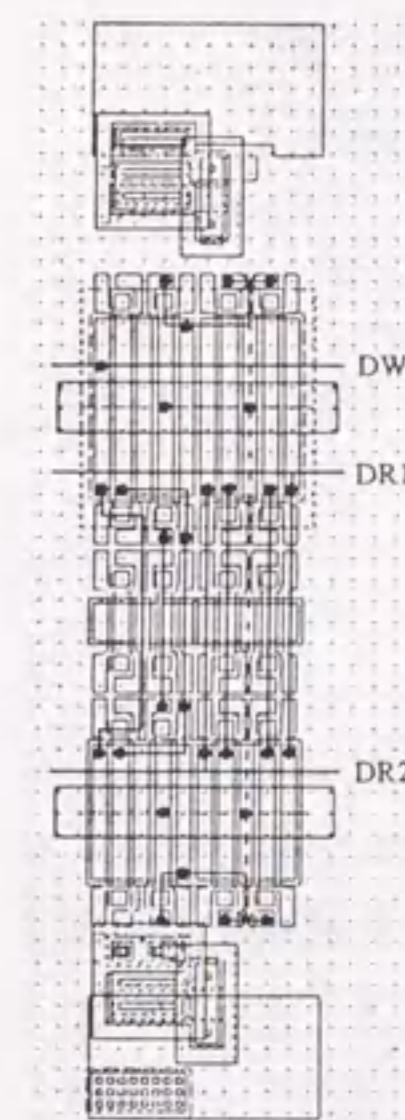
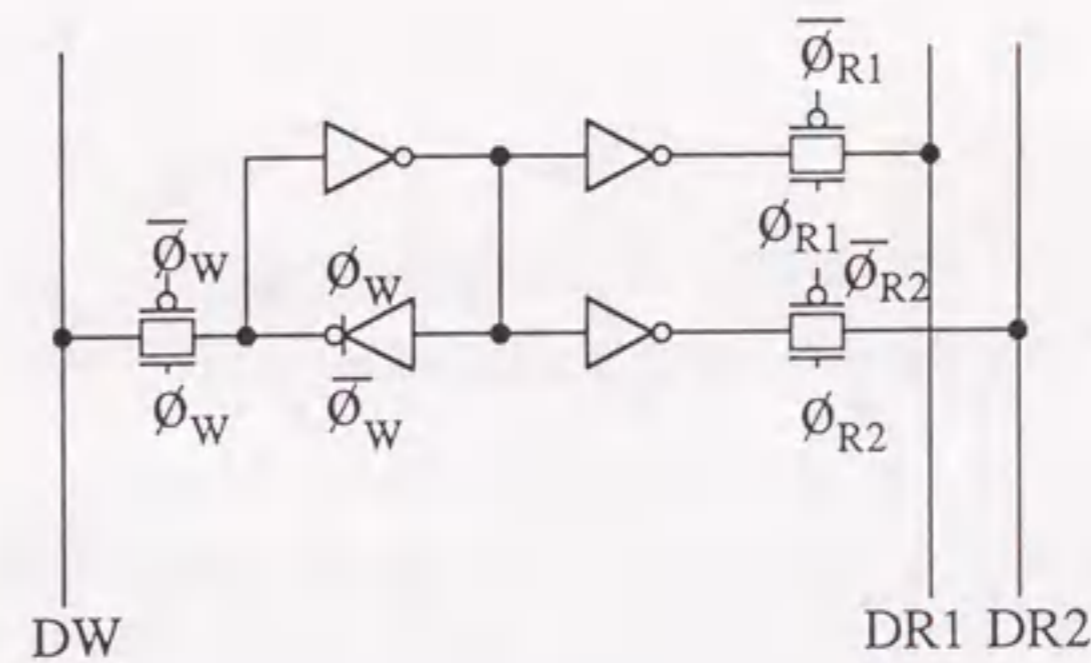


図6.7 3ポートRAMセル回路

図6.8 3ポートRAMセルのレイアウトパターン

6.4 全面敷き詰め型のチップ構成

図6.9は試作したゲートアレーのチップ写真を示す。58kのゲートが固定された配線領域をもたず全面に敷き詰められている。セル間を結線する1層目、2層目、3層目のメタル配線がそれぞれ、水平方向、垂直方向、水平方向に布線されている。基本セルアレーの周辺には、188個の入出力インタフェース回路が配置されている。それらはTTLあるいはECL互換[25]としてプログラムできる。チップサイズは9.57×9.55mmである。



図6.9 ゲートアレーのチップ写真

より大規模なチップ、例えば、250kゲート級のチップの場合には、2層目のメタルからなる垂直方向に布線する電源補強線の他に、3層目のメタルからなる水平方向に布線する電源補強線も必要である。2層目のメタルからなる電源補強線の下にある基本セルは論理ゲートとして使えないので、有効基本セル数が減ってしまうためである。3層目のメタルからなる水平方向の電源補強線の布線法として、図6.10に示すように二通りの方法がある。一つ目は、幾つかの基本セル毎に太い電源補強線を布線する方法で、二つ目は基本セル毎に細い電源補強線を布線する方法である。この二つの方法について、エレクトロマグレーションとIRドロップを考慮し、電源補強線の本数と太さを求めた後、6.3項と同様に基本セル使用率を求めた。その結果、後者の実効基本セル数は前者のそれより

14%高かった。そこで、細い電源補強線を布線する後者の方法を採用する。

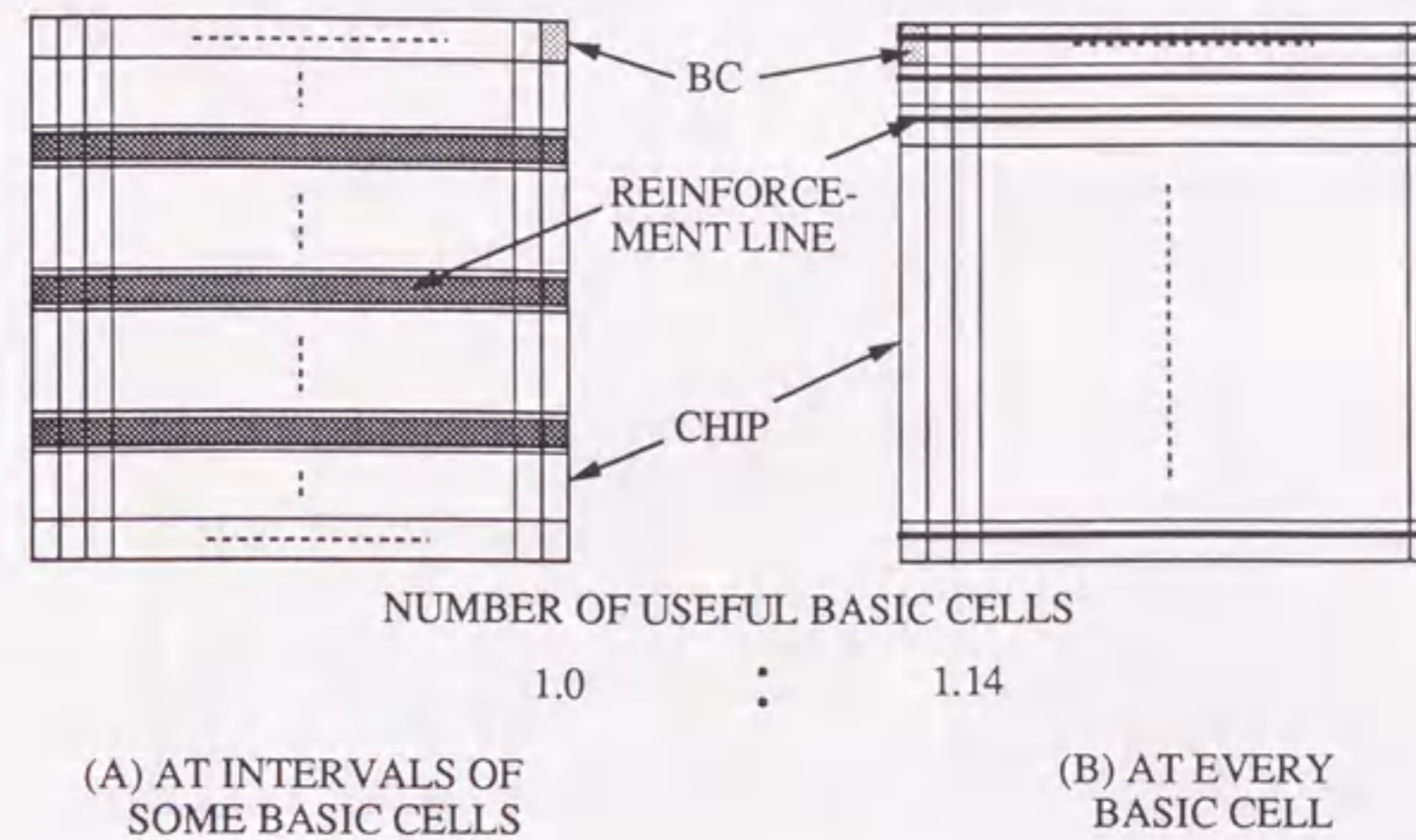


図6.10 3層目メタルによる電源補強線の布線法

図6.11はチップ電源供給構成を示す。内部回路はGNDとVEE(-)線の間に配置した。その理由は、図6.12に開発した0.5μm BiCMOSデバイスの断面図を

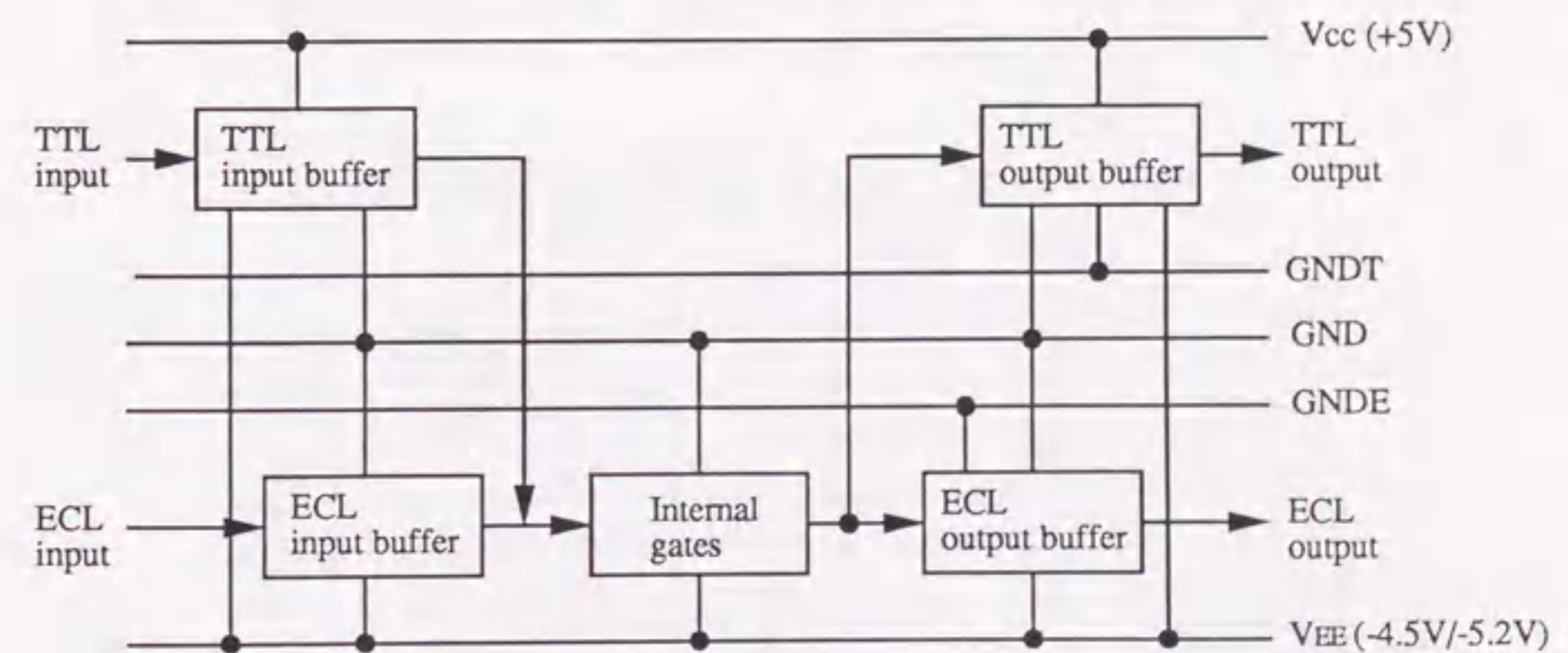


図6.11 チップ電源構成

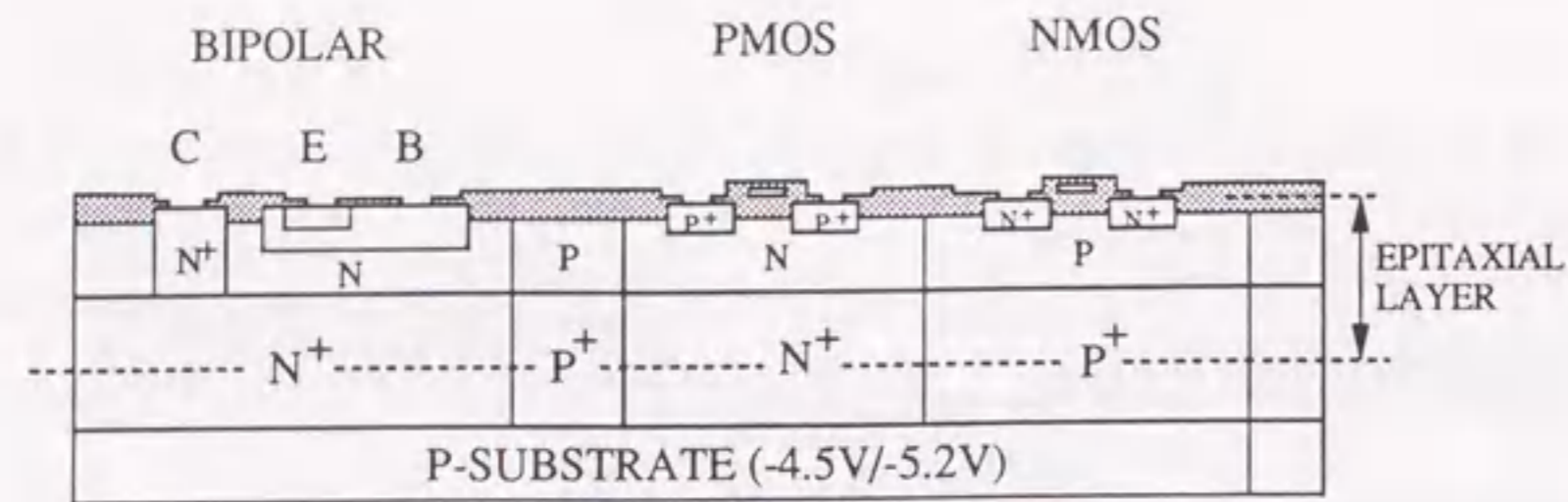


図 6. 12 0.5 μm BiCMOS デバイス構造

示すが、第 5 章で説明したのと同様である。このデバイスに対し、NMOS の P ウェルを P 型基板から分離すると、内部回路を V_{cc} と GND 線に配置できる。しかし、この場合には、高速性を特に要求される ECL インタフェース回路がレベル変換回路によってスピードが遅くなる。また、NMOS を取り囲む領域が大きくなり、プロセスも複雑になると考えられた。それ故、図 6. 12 のようなデバイス構造を採用し、内部回路は GND と VEE (-) 線に配置した。

また、図 6. 11 に示すように、ノイズマージンを増すために、TTL 出力バッファの出力部の大きなサイズの NPN バイポーラトランジスタのエミッタと ECL 出力バッファの出力部の大きなサイズの NPN バイポーラトランジスタのコレクタにそれぞれ接続される GND T 線と GND E 線は、入力回路と内部回路用の GND 線と分離している。

ゲートアレーファミリの特性を表 6. 1 に示す。26k ゲートから 250k ゲートまでの 6 マスタチップが準備される。各メタル配線ピッチは 2.2 μm と微細である。

表 6. 1 ゲートアレーファミリの特性

Basic cell size	22 x 114.4 μm
Number of gates	26k-58k-250k
Number of I/O circuits	128-188-320
First metal pitch	2.2 μm
Second metal pitch	2.2 μm
Third metal pitch	2.2 μm
Interface	TTL/ECL
Supply voltage	5V/-4.5V or -5.2V
Average gate delay time	190ps (Power 2-input NAND)

6. 5 デバイスおよびゲート回路特性

図 6. 12 に示した 0.5 μm BiCMOS デバイスを用いて、図 6. 9 に示したゲートアレーを試作した。デバイス特性を表 6. 2 に示す。11GHz という高いカットオフ周波数が得られている。MOS 特性は純 CMOS デバイスの特性とほぼ同じである。

表 6. 2 0.5 μm BiCMOS デバイスの特性

Device	Item	Value
Bipolar	emitter size	0.6 x 3 μm
	hFE	80
	f _r	11GHz
PMOS	V _{th}	-0.4 V
	I _{ds} (W/L=15/0.6 μm)	3.9mA
NMOS	V _{th}	0.4 V
	I _{ds} (W/L=15/0.6 μm)	6.7mA

図 6. 13 は遅延時間のファンアウト依存性を示す。MOS サイズを通常の倍にしたパワー BiCMOS 2 入力 NAND の遅延時間はファンアウトが 10 で 190 ps である。

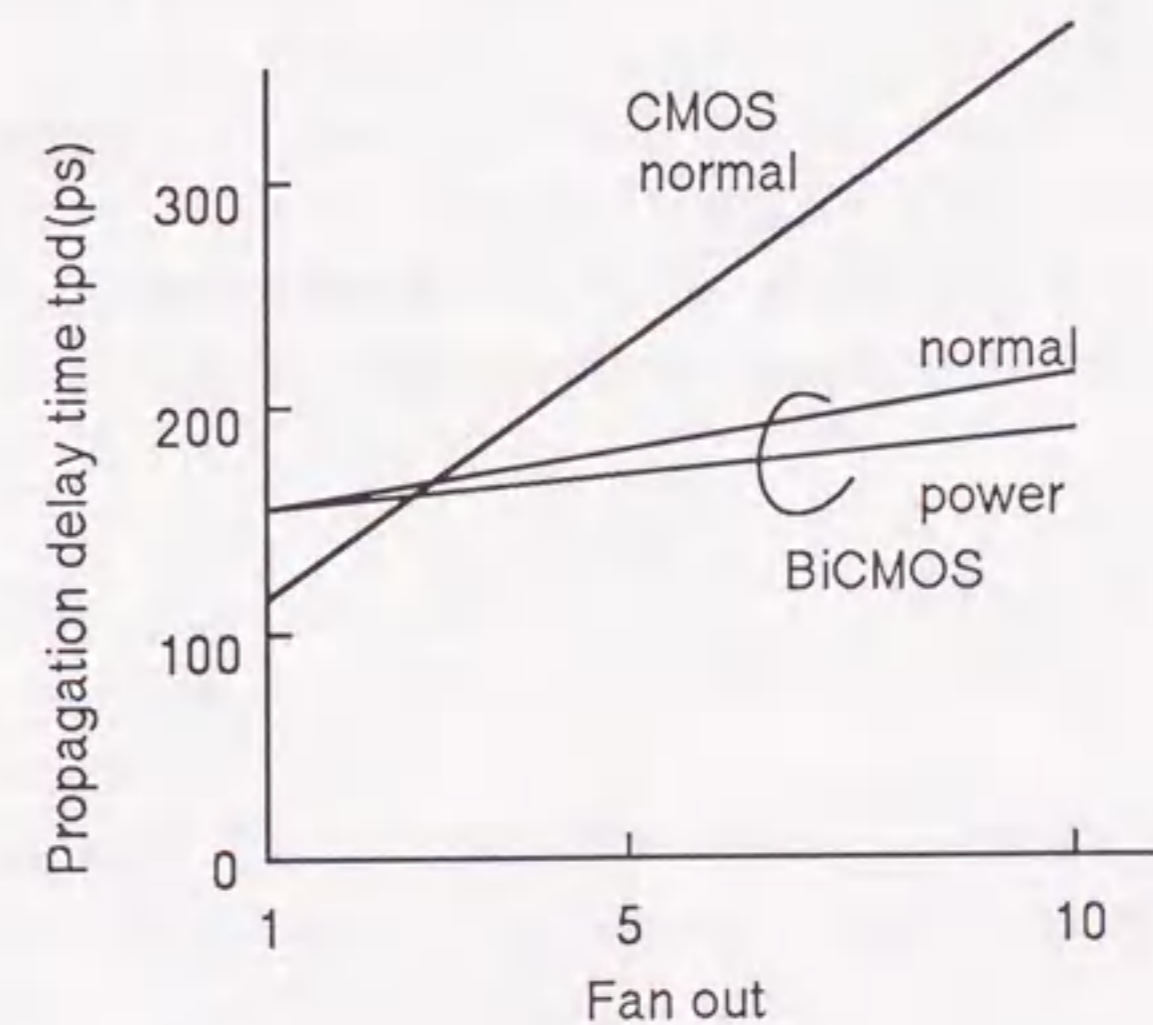


図 6. 13 遅延時間特性

負荷の軽い所では、CMOS NANDのほうが速く、ファンアウトが2で140psを達成している。CMOSゲートは軽負荷でBiCMOSゲートより低消費電力である。従って、BiCMOSゲートとCMOSゲートを負荷の大きさに応じて使いわけることによって、ゲートアレーのスピードと消費電力特性がより良くなる。また、集積密度も向上する。

6.6 むすび

5V動作0.5 μ m BiCMOS技術を用いた3層メタル配線を有する全面敷き詰め型BiCMOS/CMOS混在ゲートアレーを開発した。ゲートをチップ全面に敷き詰めることによって、高集積化とマクロセルの効率化を図っている。また、軽負荷においては、CMOSゲートのスピードと消費電力特性は、BiCMOSゲートより優れている。従って、負荷の重さに応じてCMOSゲートとBiCMOSゲートを選択的に用いることによって、BiCMOSゲートアレーの性能は向上する。そこで、敷き詰め型マスタチップにおいて新しいBiCMOS/CMOS混在の基本セル構造を、ゲートスピード、配線層数、基本セル使用率、マクロセルの構成のしやすさ等を考慮して開発した。開発した基本セルの面積効率は、従来型に対して16%良い。

大規模チップにおける3層目のメタル層による電源供給補強線の布線法を検討した。実効基本セル数の観点から、補強線は基本セル毎に布線する。

チップの電源供給線のGND線に関して、TTLトータムポールバッファ用のGNDT線とECLエミッタフォロア用のGNDE線は、ノイズマージンを増加させるために、入力バッファと内部回路用のGND線と分離している。

BiCMOS 2入力NANDの遅延時間はファンアウトが10で190psである。負荷の軽い所では、CMOS NANDのほうが速く、ファンアウトが2で140psを達成している。このゲートアレーファミリはミニコンピュータ、ワークステーション、グラフィックス装置等の高速プロセッサに応用できる。

次世代においては、デバイス耐圧やLSIチップの消費電力の増大などから、3.3V電源電圧対応のゲートアレーが必要になると考えられる。

<参考文献>

- [1] K.Ogiue, M.Odaka, I.Masuda, T.Ikeda, T.Yasui, Y.Suzuki and H.Uchida: "A 15ns/250mW 64K Static RAM", Proc.IEEE ICCD, pp.17-20 (1985).
- [2] R.Hori, G.Kitsukawa, Y.Kawajiri, T.Watanabe, T.Kawahara and K.Itoh: "An Experimental 35ns 1Mb BiCMOS DRAM", IEEE ISSCC Dig.Tech.Papers, pp.280-281 (1987).
- [3] T.Hotta, I.Masuda and H.Maejima: "CMOS/Bipolar Circuits for 60MHz Digital Processing", IEEE ISSCC Dig.Tech.Papers, pp.190-191 (1986).
- [4] J.Goto, K.Ando, T.Inoue, M.Ishida, M.Yamashita, H.Yamada and T.Enomoto: "A 250MHz 16b 1-Million Transistor BiCMOS Super-High-Speed Video Signal Processor", IEEE ISSCC Dig.Tech.Papers, pp.254-255 (1991).
- [5] Y.Nishio, I.Masuda, T.Ikeda, M.Iwamura, K.Ogiue and Y.Suzuki: "A Sub-nanosecond Low-Power Advanced Bipolar-CMOS Gate Array", Proc.IEEE ICCD, pp.428-433 (1984).
- [6] P.T.Hickman, F.Ormerod and D.W.Schuker: "A High Performance 6000 Gate BiCMOS Logic Array", Proc.IEEE CICC, pp.562-564 (1986).
- [7] H.Nakashiba, K.Yamada, T.Hatano, K.Denda, N.Kusunose, E.Fuse and M.Sasaki: "A Subnanosecond Bi-CMOS Gate-Array Family", *ibid.*, pp.63-66.
- [8] Y.Nishio, F.Murabayashi, I.Masuda, H.Maejima, S.Owaki, K.Yamazaki and S.Kadono: "0.45ns 7K Hi-BiCMOS Gate Array with Configurable 3-Port 4.6K SRAM", Proc. IEEE CICC, pp.203-204 (1987).
- [9] P.S.Bennett, R.P.Dixon and F.Ormerod: "High Performance BiCMOS Gate Arrays with Embedded Configurable Static Memory", *ibid.*, pp.195-198.
- [10] L.-T.Lin, D.Rosky and H.-D.Truong: "A 9100 Gate ECL/TTL Compatible BiCMOS Gate Array", *ibid.*, pp.190-194.
- [11] A.Denda, K.Yamada, T.Hatano, H.Okamura, N.Aoki, M.Ikura, N.Kusunose, H.Ogawa and S.Saigo: "A 270ps/24000gate BiCMOS Gate Array", Proc.IEEE CICC, pp.8.4.1-8.4.4 (1989).
- [12] J.Gallia, A.Yee, I.Wang, K.Chau, H.Davis, S.Swamy, T.Sridhar, V.Nguyen, K.Ruparel, K.Moore, C.Lemons, B.Chae, P.Eyres, T.Yoshino, J.Pozadzides, R.Fine and A.Shah: "A 100K Gate Sub-Micron BiCMOS Gate Array", *ibid.*, pp.8.6.1-8.6.4.
- [13] H.Hara, Y.Sugimoto, M.Noda, T.Nagamatsu, Y.Watanabe, H.Iwai, Y.Niitsu, G.Sasaki and K.Maeguchi: "A 350ps 50K 0.8 μ m BiCMOS Gate Array with Shared Bipolar Cell Structure", *ibid.*, pp.8.5.1-8.5.4.
- [14] F.Murabayashi, Y.Nishio, H.Maejima, A.Watanabe, S.Shukuri, T.Nishida and K.Shimohigashi: "A 0.5 μ m BiCMOS Channelless Gate Array", *ibid.*, pp.8.7.1-8.7.4.

- [1 5] Y.Enomoto, T.Sasaki, S.Tsutsumi and S.Tone: "A 200K Gate 0.8 μ m Mixed CMOS/BiCMOS Sea-of-Gates", IEEE ISSCC Dig.Tech.Papers, pp.92-93 (1990).
- [1 6] K.Kumagai, K.Yoshida, T.Hatano, H.Masuda, H.Nakazato, Y.Tagami and H.Mizumura: "A 150K Gate 250ps BiCMOS SOG with an Emitter-Followered CMOS (ECMOS) Cell", Proc.IEEE CICC, pp.4.3.1-4.3.4 (1990).
- [1 7] T.Hanibuchi, M.Ueda, K.Higashitani, M.Hatanaka and K.Mashiko: "A Bipolar-PMOS Merged Basic Cell for 0.8 μ m BiCMOS Sea-Of-Gates", ibid., pp.4.2.1-4.2.4.
- [1 8] H.Hara, T.Sakurai, M.Noda, T.Nagamatsu, S.Kobayashi, K.Seta, H.Momose, Y.Niitsu, H.Miyakawa, K.Maeguchi, Y.Watanabe and F.Sano: "0.5 μ m 2M-Transistor BipnMOS Channelless Gate Array", IEEE ISSCC Dig.Tech.Papers, pp.148-149 (1991).
- [1 9] K.Asahina, T.Fujii, E.Miyake, T.Hanibuchi, K.Higashitani, M.Ueda and S.Kayano: "BiCMOS 365K Sea-Of-Gates with Bipolar-PMOS Resistor Merged Cell", Proc.IEEE CICC, p.1.2 (1991).
- [2 0] Y.Nishio, N.Oka, S.Takahashi and M.Shibata: "A 190ps 0.5 μ m Mixed BiCMOS/CMOS Channelless Gate Array Family", Proc.IEEE BCTM, pp.206-209(1991).
- [2 1] Y.Nishio, N.Oka, S.Takahashi and M.Shibata: "A Master Chip Design of 0.5 μ m Mixed BiCMOS/CMOS Channelless Gate Array Family", IEICE Trans., E74,11, pp.3749-3756 (1991).
- [2 2] Y.Nishio, F.Murabayashi, S.Kotoku, A.Watanabe, S.Shukuri and K.Shimohigashi: "A BiCMOS Logic Gate with Positive Feedback", IEEE ISSCC Dig.Tech.Papers, pp.116-117 (1989).
- [2 3] 西尾、村林、渡辺、池田、上遠野: "VLSI用BiCMOS論理ゲートの試作と評価", 電気学会論文誌C, 109-C,11, pp.805-811 (1989).
- [2 4] 山田、千葉、中河: "配線長の理論式の導出", 昭52信学総全大, 1341.
- [2 5] 村林、西尾、古徳、上遠野: "Hi-BiCMOS回路と高速論理VLSIへの応用", 電子情報通信学会論文誌C-II, J72-C-II,5, pp.420-427 (1989).

第 7 章 総括

第7章 総括

今日、産業機器、情報機器分野において、LSIは産業の米といわれるほど必須のものになっている。その中でも、ASIC(Application Specific Integrated Circuits)の中心LSIであるゲートアレイLSIは、配線工程のみ、品種展開毎に変えるので、多品種少量生産に向き、ターンアラウンド時間も短いことから、ここ10年来急速に伸びてきた。ゲートアレイLSIの概念は1960年代に発表されたが、まず多品種少量のLSIを用いる電子計算機分野を中心に発展した。計算機分野では高速性が要求されるため、TTLやECLなどのパイボラ技術が用いられていた。しかし、1970年代後半に入り、半導体技術も著しく進歩し、また、それと並行してLSIの適用分野も拡がりをみせてきた。そのような中で、例えば、一般産業分野でも手軽に使える低消費電力特性をもったような新しいゲートアレイが潜在需要としてあった。

そのような要求に応えるため、新しいゲートアレイLSIの開発をめざし、本研究では、ゲートアレイLSIの高性能化に関する研究を推進した。

本研究において得られた結果と知見を以下にまとめる。

第1章 緒言

本研究の背景、並びに、それを踏まえた本研究の動機と目的について述べた。

第2章 CMOSゲートアレイの開発に関する研究

- 1) 開発すべきゲートアレイLSIの目標仕様を、需要調査および技術動向から明らかにした。その目標仕様はゲート遅延時間10ns、集積度2000ゲート、消費電力1W以下である。
- 2) 上記目標仕様を満足するプロセス技術を検討した結果、メタル2層CMOS3 μ m技術が必要と判断した。この選択は正しく、現在の1チップマイクロコンピュータや大容量メモリLSI分野でCMOS技術が主流になっているのと同様に、中速、大規模のゲートアレイ分野ではCMOS技術が主流になっている。
- 3) 上記CMOS技術を用いて、汎用性があり、高密度な基本セルを開発し、CMOSのマスタチップ方式を確立した。
- 4) 開発したマスタチップを用いて、16ビットのALU(Arithmetic and Logic Unit)を試作し評価した。ゲート当りの遅延時間として、5nsという高速な結果が得られ、消費電力が10MHz動作時に0.13mW/ゲートという低消費電力の1600ゲートCMOSゲートアレイを開発した。
- 5) 複数の出力回路の出力が同時に、例えば、ハイレベルからロウレベルに変化すると、LSIが誤動作する場合があった。この原因は、変化時にGND線に電流が集中し、この電流の時間変化率に、GND線のインダクタンスを乗じた電圧だけ、GND電位が浮上し、入力回路の論理スレッショルド電圧が上昇することによる。この対策としては、出力回路

の同時変化数の運用基準の作成、あるいは、LSIチップにおける出力回路と入力回路の電源線の分離が必要である。

第3章 CMOSゲートアレーの高性能化に関する研究

1) CMOSでは、比較的小さい電流駆動能力のために、負荷容量の大きい箇所での高速化が難しい。一方、各種システムはますます高性能化が進み、大規模でかつ高速のゲートアレーも望まれるようになった。そこで、CMOSゲートアレーを上回る高速化技術として、SOI(Silicon On Insulator)技術とBiCMOS技術を取上げ、ゲートアレーへの適用を検討した。

2) SOS(Silicon On Sapphire)については、クロストーク、また、基板をフローティングで使用した場合、その基板電位の挙動に注意が必要であることを明らかにした。

3) また、ゲートアレーの一般的な負荷条件で、隣接平行線率と交差率を考慮した場合、SOSの負荷容量はバルクの67%で、上記条件下ではSOSはバルクの1.2倍の高速性を有すると考えられた。

4) そこで、SOI技術は、バルクに対する性能の向上が小さいことや材料の難しさ等の点から、当面主流にはならないと判断し、採用に至らなかった。

5) BiCMOS技術については、高速、低消費電力で汎用的な実用的BiCMOSゲート回路が考案できたが、トータムポール接続している上側のNPNバイポーラトランジスタと駆動PMOSトランジスタのNウェルを共用すると、ラッチアップ現象を引き起こすことを見出した。

6) その原因として、PMOSのPと、NウェルのNと、ベースのPと、エミッタのNとでPNPNのサイリスタ構造を形成しており、コレクタ抵抗を流れる電流により、PMOSのソースとNウェルとベースとで形成されている寄生PNPバイポーラトランジスタがオンになり、その結果、サイリスタがオンになり、ラッチアップ現象を引き起こしていることを明らかにした。

7) それらの知見に基づき、PMOSのNウェルとNPNバイポーラトランジスタのNウェルを分離することによって、ラッチアップ現象を発生しないセル設計手法を確立した。

8) また、ゲート回路を試作し、各種デバイス特性や動作条件に対する依存性を実験的に、また理論的に検討した。その結果、スピード特性も含め、CMOSゲートと同等以上の依存特性を有することを確認した。

9) 以上のように、バイポーラトランジスタとCMOSを同一チップ上に形成し、基本回路内で複合し、それぞれの素子単独では得られない性能領域のVLSIを実現できる見通しを得、BiCMOS技術を採用した。

第4章 プレーン型BiCMOSゲートアレーの開発に関する研究

1) ゲートアレーの内部回路として、ゲートスピードおよびセル設計の容易さの点から、Zタイプ(抵抗タイプ)ゲートを採用した。

2) 第3章の知見を活かすとともに、各種論理ゲートが効率良く実装できる基本セル方式を確立した。

3) LSIの内部と外部のインタフェースとなる入出力回路も内部回路と同様な考えで構成し、TTL完全互換の入出力回路を実現した。

4) この結果、CMOSに近い低消費電力性と高集積性をもち、CMOSの約2倍の高速性能を有して、超高速、低集積のECLゲートアレーと、中速、高集積のCMOSゲートアレーのギャップを埋めるBiCMOSゲートアレー技術を開発でき、世界初のBiCMOSゲートアレーを実現した。

5) このゲートアレーによって、ゲートアレーの新しい応用分野を開拓することができた。また、このBiCMOS技術は、SRAMやDRAM等のメモリVLSIやマイクロプロセッサ等の論理VLSIにも展開され、今やLSI技術の中の一つの主流技術になっている。

第5章 BiCMOSゲートアレーの高機能化に関する研究

1) 第4章の基本ゲートのみ配置したプレーン型の発展として、更に使い易いゲートアレーを追究した。適用分野であるミニコンピュータの構成を分析し、ミニコンピュータの演算回路部に効率的に適用できるマルチポートRAM内蔵型及び、ECLとTTLが混在したシステムに有効なECL/TTL入出力回路混在型を開発した。

2) ゲートアレーの内部回路として、抵抗タイプ、Nタイプ、Dタイプを比較し、ゲートスピードおよびセル設計の容易さの点等から、第4章と同じ抵抗タイプゲートを採用した。

3) ECL/TTL入出力回路混在型においては、内部回路は、デバイス耐圧とNMOSの基板バイアス効果の点から、GNDとVEE(-)の間で使用する。

4) 2入力NANDゲートの遅延時間は平均負荷で0.45nsである。また、BiCMOS回路の遅延時間の負荷依存性はゲート種によらずほぼ同一であった。これは、遅延時間を表わすモデル式と、バイポーラトランジスタの電流利得帯域幅積 f_T とコレクタ電流 I_c の関係から理解できる。

5) また、BiCMOS回路は負荷に対する遅延時間の依存性が小さいため、配置、配線を自動設計システムで行うゲートアレーでも、遅延時間の変動を小さく抑えることができ、CMOSとの性能差は更に拡大する。

6) RAM内蔵型の内蔵RAMは、1ライトと2リードが同時に実行できる3ポートで、容量は4.6kビットである。そのRAMは、ゲートアレーの特徴を活かし、配線工程において、ワード数×ビット数を変えられるようにして、汎用性をもたせている。また、RAMのアクセス時間の目標値は、内部回路の遅延時間との整合性を考慮して決定した。

第6章 全面敷き詰め型BiCMOS/CMOS混在ゲートアレーの開発に関する研究

1) 基本セルを、固定配線領域を設けずに全面に敷き詰めることによって、基本セルを用いて構成するRAM等のマクロセルが効率良く構成できる。更に、3層以上のメタル配線

技術を応用することによって、集積度も向上する。そこで、メタル3層の全面敷き詰め型を開発した。

2) 従来のBiCMOSゲートアレーでは、論理回路の出力部は全てBiCMOSゲートで構成されていた。しかし、軽負荷部ではCMOSゲートのほうが高速、低消費電力であるため、負荷の重さによって、CMOSゲートとBiCMOSゲートを使い分けると、BiCMOSゲートアレーの性能は更に向上する。この点に着目し、BiCMOS/CMOS混在型の研究を行った。

3) ゲートアレーの内部回路として、抵抗タイプ、フィードバックタイプ、BiNタイプを比較し、ゲートスピードおよび消費電力、メタル層数の点等から、抵抗タイプに引き抜きNMOSを付加したR+Nタイプゲートを採用した。

4) 約250kゲートの論理回路を構成した時の物理的な基本セル占有面積と基本セル使用率を算出し、論理回路を構成した時の実際の必要面積を求め、最適な基本セル構成を開発した。

5) 次世代においては、デバイス耐圧やLSIのチップ消費電力の増大などから、3.3V電源電圧対応のゲートアレーLSIが必要になると考えられる。

以上述べたCMOSゲートアレーとBiCMOSゲートアレーは、ASICの中心LSIとして、実用化されている。ゲートアレーはスタンダードセル方式LSIとともに、ASICの中心LSIとして、ますます発展していくものと思われる。BiCMOS技術は、現在各種VLSIが開発されており、LSIの一つの主流技術になっている。

今後、半導体プロセスの微細化に伴い、上記のような理由でLSIの電源電圧は低電源電圧化の方向である。しかし、今まで示してきたトータムポール型BiCMOSゲートの場合、低電源電圧になるとスピードの劣化が激しい。その理由を以下に示す。

高周波動作すると出力電位のハイレベルが、V_{cc}電位からバイポーラトランジスタのベース・エミッタ間順電圧V_{BE}分だけ電圧降下し、ロウレベルが、GND電位からV_{BE}分電圧浮上する。従って、論理動作するためには、次式が成立しなければならない。

$$V_{IHmin} = V_{ccmin} - V_{BE} \geq V_{BE} + V_{thn} \quad (7.1)$$

$$V_{ILmax} = V_{BE} \leq V_{ccmin} - |V_{thp}| \quad (7.2)$$

$$V_{IHmin} = V_{ccmin} - V_{BE} \geq V_{ILmax} = V_{BE} \quad (7.3)$$

ここで、V_{IHmin}: 動作可能な最小入力ハイ電圧、V_{ccmin}: 動作可能な最小電源電圧、V_{ILmax}: 動作可能な最大入力ロウ電圧、V_{thn}: NMOSのスレッシュホールド電圧、V_{thp}: PMOSのスレッシュホールド電圧である。故に、上記3式より、

$$V_{ccmin} \geq 2V_{BE} + V_{thn} \quad (7.4)$$

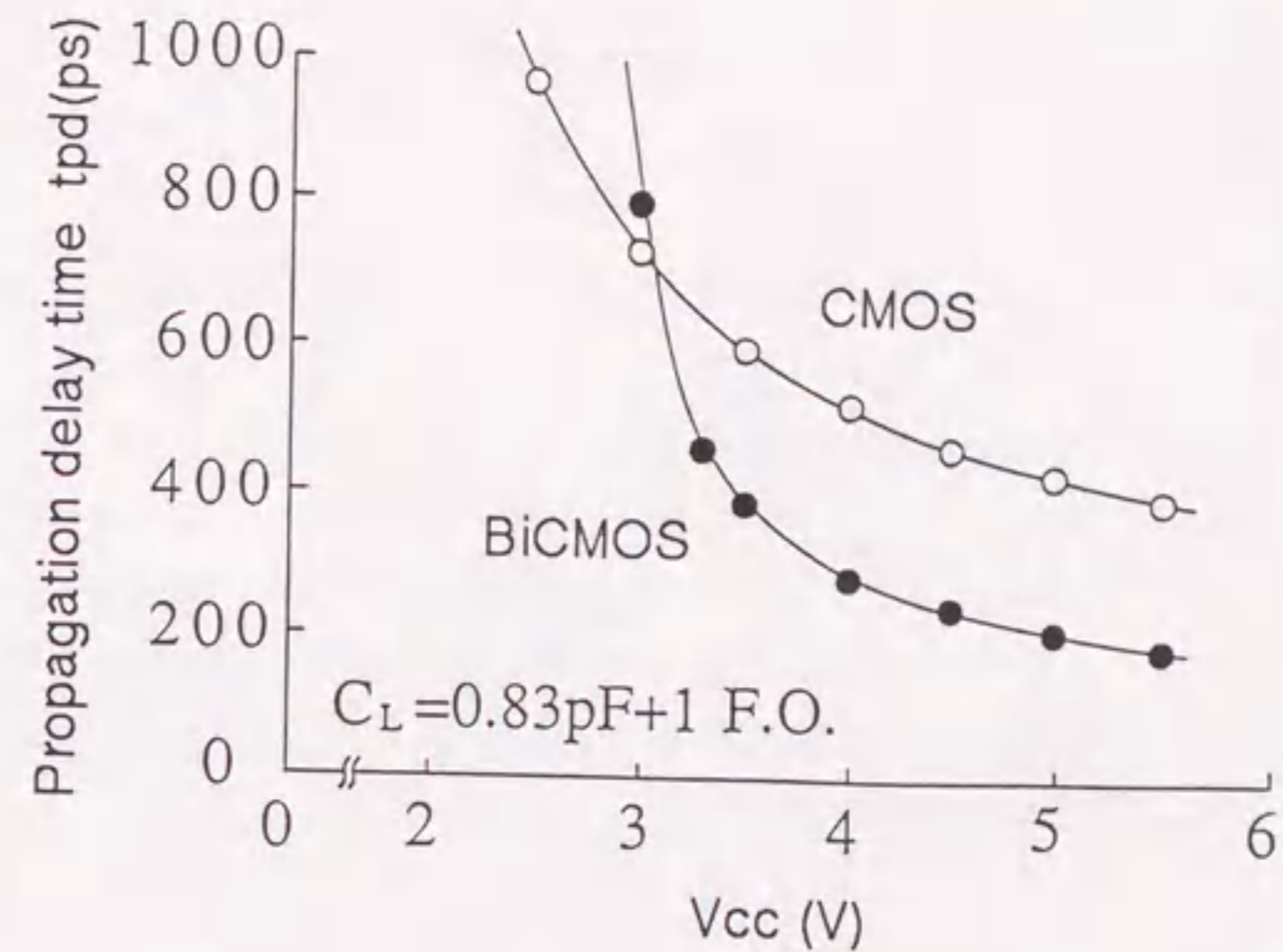
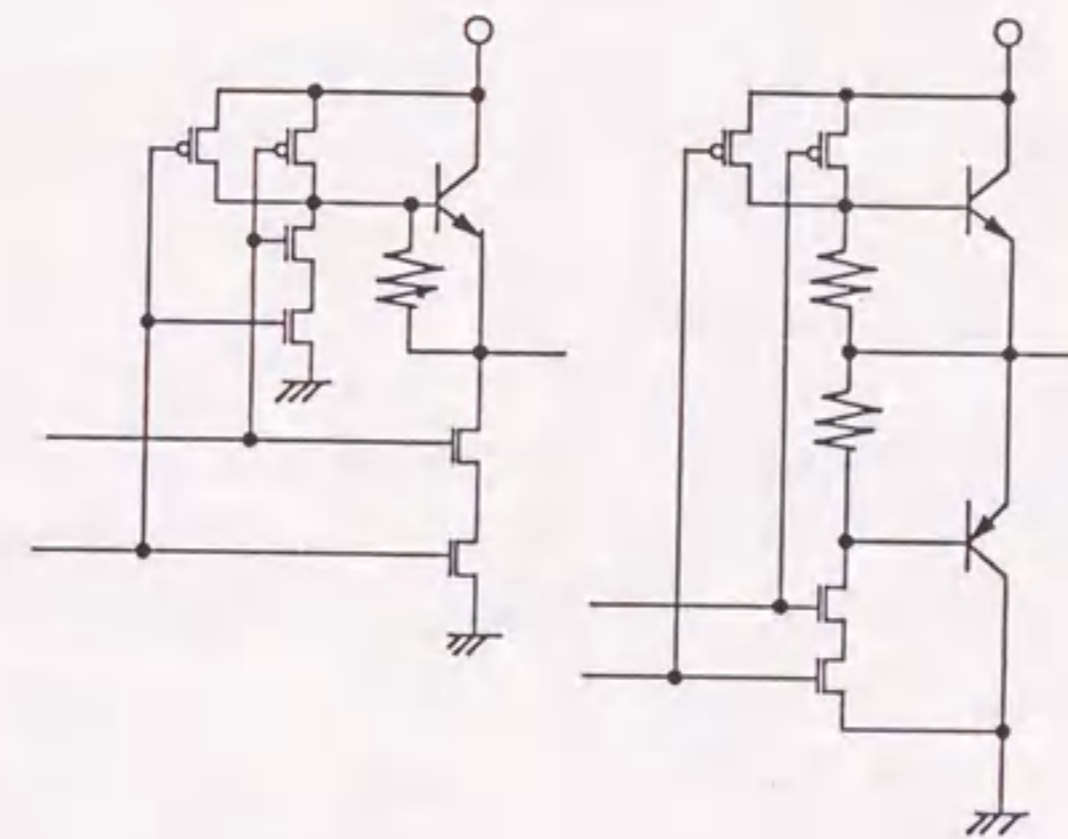


図7.1 遅延時間の電源電圧依存性



(a) BiN type (b) CBiCMOS type

図7.2 低電源電圧向きBiCMOSゲート回路

となり、動作可能な最小電源電圧は、 V_{BE} と V_{thn} をそれぞれ0.8Vとすると、2.4V程度となる。

これに対し、CMOSゲートは同様な考えで

$$V_{ccmin} \geq V_{thn}, \text{あるいは}, V_{ccmin} \geq |V_{thp}|$$

となる。したがって、遅延時間の電源電圧依存性の一例を示すと図7.1のようになり、トータムポール型BiCMOSゲートは、3.3V電源電圧ではその使い道はあるが、それより電源電圧が低下すると性能の劣化が激しくなり使えない。

これを解決する手段として図7.2に示すようなBiNタイプゲートやCBiCMOS (Complementary BiCMOS)タイプゲートが提案されている。BiNタイプゲートの場合、従来のトータムポール型BiCMOSゲートのGND側のバイポーラトランジスタをNMOSに置き換え、NMOSのソース電位をトータムポール型より V_{BE} 分低くしたものである。したがって、上記と同様な考えで、

$$V_{ccmin} \geq V_{BE} + V_{thn}$$

となり、動作可能な最小電源電圧は1.6V程度となる。 V_{thn} は、まだ下げられるので、2-2.5V電源電圧まではその使い道があると考えられる。一方、CBiCMOSタイプゲートは、従来のトータムポール型BiCMOSゲートのGND側のNPNバイポーラトランジスタの代わりにPNPバイポーラトランジスタを導入したものである。この場合には、上記と同様な考えで、

$$V_{ccmin} \geq 2V_{BE}$$

となる。故に、動作可能な最小電源電圧は1.6V程度となり、2.5V電源電圧までは使うことができると考えられる。しかし、PNPバイポーラトランジスタが加わる分プロセスが複雑になるので、プロセス、デバイスの簡略化が必要である。

以上のように、BiCMOSゲート回路については2-2.5V程度の低電源電圧で使用可能な回路は開発されているが、最新の0.5 μ m技術の三代先0.15 μ m技術で電源電圧が1.5V程度になった場合に有効な回路は未だ得られていない。しかし、バイポーラトランジスタの V_{BE} を克服する、つまり、ゲート回路の出力レベルを、高速に電源電圧間フル振幅させる新技術の研究開発により、低電源電圧に有効なBiCMOSゲート回路が開発されると思われる。また、マイクロプロセッサにおけるマクロセルと呼ばれる機能回路の中の演算回路部および、メモリLSIにおけるデータのセンスアンプ部の低電源電圧向きBiCMOS回路、デバイス技術の研究により、BiCMOS技術は、ますます発展していくものと期待されている。

謝 辞

謝 辞

本研究の遂行並びに本論文の作成にあたって、終始懇切な御指導と御鞭撻を賜りました名古屋大学工学部教授工学博士 赤崎勇先生、名古屋大学工学部教授工学博士 澤木宣彦先生、並びに名古屋大学工学部教授工学博士 水谷照吉先生に心から感謝の意を表します。

本論文をまとめるにあたって、数々の有益な御教示および激励をいただいた中部大学工学部長工学博士 岩田幸二先生、(株)日立製作所 日立研究所第8部長工学博士 前島英雄氏、同研究所技術主幹工学博士 植田明照氏に深く感謝致します。

また、LSIの初歩から教えてくださった同社中央研究所技師長工学博士 永田穰氏、また、研究を進めるにあたって、種々の御便宜をいただき、多大の御指導をいただいた同社取締役工学博士 川本幸雄氏、同社日立研究所所長工学博士 西原元久氏、同所副所長工学博士 増田郁朗氏に御礼申し上げます。

さらに、日頃研究推進にあたり惜しみない御協力と大変有益な御討論をいただきました同社デバイス開発センタ 試作部副部長 荻上勝巳氏、プロセス開発部主任技師 池田隆英氏、同社日立研究所 第7部主任研究員 渡辺篤雄氏、第8部主任研究員工学博士 林照峯氏、岩村将弘氏、村林文夫氏、神長保男氏、同社知的所有権本部 特許第1部 古徳正一氏、同社半導体設計開発センタ ロジックIC設計部長 鳥居周一氏、岡則明氏、センタ員 上遠野臣司氏、吉邑昌義氏、同社半導体事業部 第2製品技術部長 大脇征四郎氏、事業部員 鈴木幸郎氏、同社中央研究所 第8部長工学博士 坂東忠秋氏、並びに第7部主任研究員工学博士 樋口久幸氏に厚く御礼申し上げます。

また、日頃より有益な御討論、御協力を頂きました日立エンジニアリング(株)関係諸氏、並びに(株)日立製作所 半導体設計開発センタ、デバイス開発センタ、中央研究所、日立研究所関係諸氏にここに改めて御礼申し上げます。

研究業績

研究業績

1. 学術論文

本論文関係

No.	論文題目	公表の方法および時期	共著者
(1)	バイボ-ラCMOS複合による 高速論理回路	電子通信学会論文誌 C Vol.J67-C No.12 pp.999-1005 (1984)	増田 郁朗 池田 隆英
(2)	High-Speed BiCMOS Technology with a Buried Twin Well Structure (埋め込みツイン ウェル構造 をもつ高速BiCMOS技術)	IEEE Transactions on Electron Devices Vol.ED-34 No.6 pp.1304-1310 (1987)	T. IKEDA A. WATANABE I. MASUDA N. TAMBA M. ODAKA K. OGIUE
(3)	RAM内蔵形超高速 Hi-BiCMOSゲート アレー	電子情報通信学会論文誌 C Vol.J71-C No.9 pp.1248-1256 (1988)	村林 文夫 古徳 正一 上速野 臣司
(4)	Hi-BiCMOS回路と 高速論理VLSIへの応用	電子情報通信学会論文誌 C-II Vol.J72-C-II No.5 pp.420-427 (1989)	村林 文夫 古徳 正一 上速野 臣司
(5)	A Feedback-Type BiCMOS Logic Gate (フィードバック タイプ BiCMOS論理ゲート)	IEEE Journal of Solid-State Circuits Vol.24 No.5 pp.1360-1362 (1989)	F. MURABAYASHI S. KOTOKU A. WATANABE S. SHUKURI K. SHIMOHIGASHI

No.	論文題目	公表の方法および時期	共著者
(6)	VLSI用BiCMOS 論理ゲートの試作と評価	電気学会論文誌 C Vol.109-C No.11 pp.805-811 (1989)	村林 文夫 渡辺 篤雄 池田 隆英 上遠野 臣司
(7)	A Master Chip Design of 0.5 μ m Mixed BiCMOS/CMOS Channelless Gate Array Family (0.5 μ m BiCMOS/ CMOS混在 敷き詰め型 ゲートアレーファミリの マスタチップ設計)	IEICE Transactions on Electronics Vol.E74 No.11 pp.3749-3756 (1991)	N.OKA S.TAKAHASHI M.SHIBATA

2. 国際会議

No.	論文題目	公表の方法および時期	共著者
(1)	A SUBNANOSECOND LOW POWER ADVANCED BIPOLAR-CMOS GATE ARRAY (サブナノ秒 低消費電力 高性能バイポーラCMOS複合 ゲートアレー)	Proceedings of 1984 IEEE ICCD (Inter- national Conference on Computer Design) pp.428-433 (1984)	I.Masuda T.Ikeda M.Iwamura K.Ogiue Y.Suzuki
(2)	PERFORMANCE AND STRUCTURES OF SCALED-DOWN BIPOLAR DEVICES MERGED WITH CMOSFETS (CMOSと複合されたスケール ダウン バイポーラデバイスの 性能と構造)	IEEE IEDM (International Electron Devices Meeting) Technical Digest pp.694-697 (1984)	H.Higuchi G.Kitsukawa T.Ikeda N.Sasaki K.Ogiue
(3)	High Speed BiCMOS VLSI Technology With Buried Twin Well Structure (埋め込みツイン ウェル構造を もつ高速BiCMOS VLSI技術)	IEEE IEDM Technical Digest pp.423-426 (1985)	A.Watanabe T.Ikeda T.Nagano N.Momma N.Tamba M.Odaka K.Ogiue
(4)	0.45ns 7K Hi-BiCMOS Gate Array with Configurable 3-Port 4.6K SRAM (可変構造3ポート4.6k ビットSRAM内蔵 0.45ナノ秒7kゲート Hi-BiCMOS ゲートアレー)	Proceedings of IEEE 1987 CICC (Custom Integrated Circuits Conference) pp.203-204 (1987)	F.Murabayashi I.Masuda H.Maejima S.Owaki K.Yamazaki S.Kadono
(5)	A SUBNANOSECOND Hi-BiCMOS GATE ARRAY SERIES (サブナノ秒Hi-BiCMOS ゲートアレー シリーズ)	Proceedings of The First International Symposium on BI/CMOS pp.17-28 (1987) and Extended Abstract of ECS Spring Meeting Vol.87-1 p.397 (1987)	F.Murabayashi I.Masuda H.Maejima S.Owaki

No.	論文題目	公表の方法および時期	共著者
(6)	A BiCMOS Logic Gate with Positive Feedback (ポジティブ フィードバックを有する BiCMOS 論理ゲート)	1989 IEEE ISSCC (International Solid-State Circuits Conference) Digest of Technical Papers pp.116-117, p.305 (1989)	F.Murabayashi S.Kotoku A.Watanabe S.Shukuri K.Shimohigashi
(7)	A 0.5 μ m BiCMOS CHANNELLESS GATE ARRAY (0.5 μ m BiCMOS チャネルレス ゲートアレー)	Proceedings of IEEE 1989 CICC pp.8.7.1-8.7.4 (1989)	F.Murabayashi H.Maejima A.Watanabe S.Shukuri T.Nishida K.Shimohigashi
(8)	Circuit Technologies for BiCMOS VLSI's as Computer Elements (コンピュータ素子としての BiCMOS VLSI 用回路技術)	Proceedings of 1989 IEEE ICCD pp.318-321 (1989)	H.Maejima T.Bandoh T.Fukushima M.Odaka A.Hotta
(9)	A 190ps 0.5 μ m MIXED BiCMOS/CMOS CHANNELLESS GATE ARRAY FAMILY (190ピコ秒 0.5 μ m BiCMOS/CMOS 混在敷き詰め型 ゲートアレーファミリー)	Proceedings of IEEE 1991 BCTM (Bipolar Circuits and Technology Meeting) pp.206-209 (1991)	N.Oka S.Takahashi M.Shibata

