

報告番号 乙第 5113 号

化合物半導体デバイス用  
ドライプロセス技術に関する研究

三 谷 克 彦



# 目次

## 第1章 序論

1-1 GaAs電子デバイスの位置付け	1
1-2 超高速化, 高集積化のためのプロセス課題	3
1-3 電極プロセスの現状と課題	5
1-4 本研究の目的	9
参考文献	11

## 第2章 選択W-CVD技術によるノンアロイ電極の形成

2-1 まえがき	13
2-2 選択W-CVD技術と評価方法	13
2-3 成膜及び電極特性の評価	19
2-4 まとめ	25
参考文献	29

## 第3章 化合物半導体層への選択W-CVD技術の適用

3-1 まえがき	32
3-2 選択W-CVD処理と膜質の評価方法	34
3-3 W膜の被着特性と膜質の評価	35
3-4 まとめ	41
参考文献	41

## 第4章 選択W-CVD技術によるHBTのプレーナ化

4-1 まえがき	43
4-2 選択W-CVD技術を用いたプレーナ化プロセスの提案	45
4-3 HBTの作製プロセス	45
4-4 HBT試作結果及び検討	50
4-5 まとめ	57
参考文献	57

第5章 ECRプラズマエッチングに因るGaAs損傷	
5-1 まえがき	59
5-2 ECRプラズマ処理及び表面損傷の評価方法	59
5-3 表面損傷とそのメカニズム	63
5-4 まとめ	79
参考文献	80
第6章 ECRプラズマエッチングに因るAlGaAs損傷	
6-1 まえがき	82
6-2 試料構造及び試料の処理方法	82
6-3 表面損傷とアニール処理の影響	85
6-4 まとめ	95
参考文献	96
第7章 SiO <sub>2</sub> 膜スパッタ堆積に因るGaAs損傷	
7-1 まえがき	99
7-2 スパッタ堆積方法と損傷の評価方法	100
7-3 表面損傷とrfパワーの相関	103
7-4 まとめ	114
参考文献	115
第8章 総括	
8-1 本研究で得られた知見	116
8-2 本研究の工学的意義と今後の課題	118
謝辞	120
研究業績	121

## 第1章 序論

### 1-1 GaAs電子デバイスの位置付け

近年の情報及び通信技術の目覚ましい高度化は半導体集積回路技術の進歩なくして語ることはできない。これらの半導体回路の殆どはSi半導体のLSI (large scale integrated circuit)であり、微細加工プロセスを駆使して高集積化及び高速化が図られている。その一方で、近年急速に市場に台頭した携帯電話用のMMIC (monolithic microwave integrated circuit)及び衛星放送受信用の低雑音HEMT (high electron mobility transistor)にはIII-V族化合物半導体の電子デバイスが採用されている。[1],[2] また、市場規模は未だ小さいものの超高速光通信 (10G/b伝送) 用のIC及びスーパーコンピュータ搭載用のLSIの分野においてSiLSIに替わり超高速GaAsIC/LSIが採用されつつある。[3],[4] これら特定の分野において活かされるGaAs電子デバイスの特徴を以下に挙げる。[5]

(1) 電子移動度がSiに比べ高いため、比較的短期間のウェハプロセスで超高速動作可能な電子デバイスが作製できる。

(2) MBE (molecular beam epitaxy) 及びMOCVD (metalorganic chemical vapor deposition) 等のエピタキシャル成長により良好なヘテロ接合を形成することが可能であり、HEMTの超低雑音特性に代表される高性能・高機能電子デバイスを作製できる。

(3) 半絶縁性基板が得られるため、マイクロストリップ線路等の伝送路を同一基板上に容易に形成できる。

(4) 電力付加効率がSiの倍近くあり低電圧動作可能なため、電池動作の移動体通信の端末機用途に好適である。

GaAsとSi電子デバイスの大雑把な棲み分けを回路の動作速度と集積度の観点からマッピングした例を図1-1に示す。[6] 回路の集積化に関しては、DRAM (dynamic random access memory) に代表されるSiのMOSFET (metal oxide semiconductor field effect transistor) の独壇場になっている。超高速化においてGaAs電子デバイスはSiのバイポーラトランジスタと競合する状態にあり、上述した特徴の活かせる分野において優位な展開が可能である。Siのバイポーラトランジスタでは放熱による限界から高速動作、高集積度の両立に限界が見えており、超高速、中規模集積回路の領域においてGaAsデ

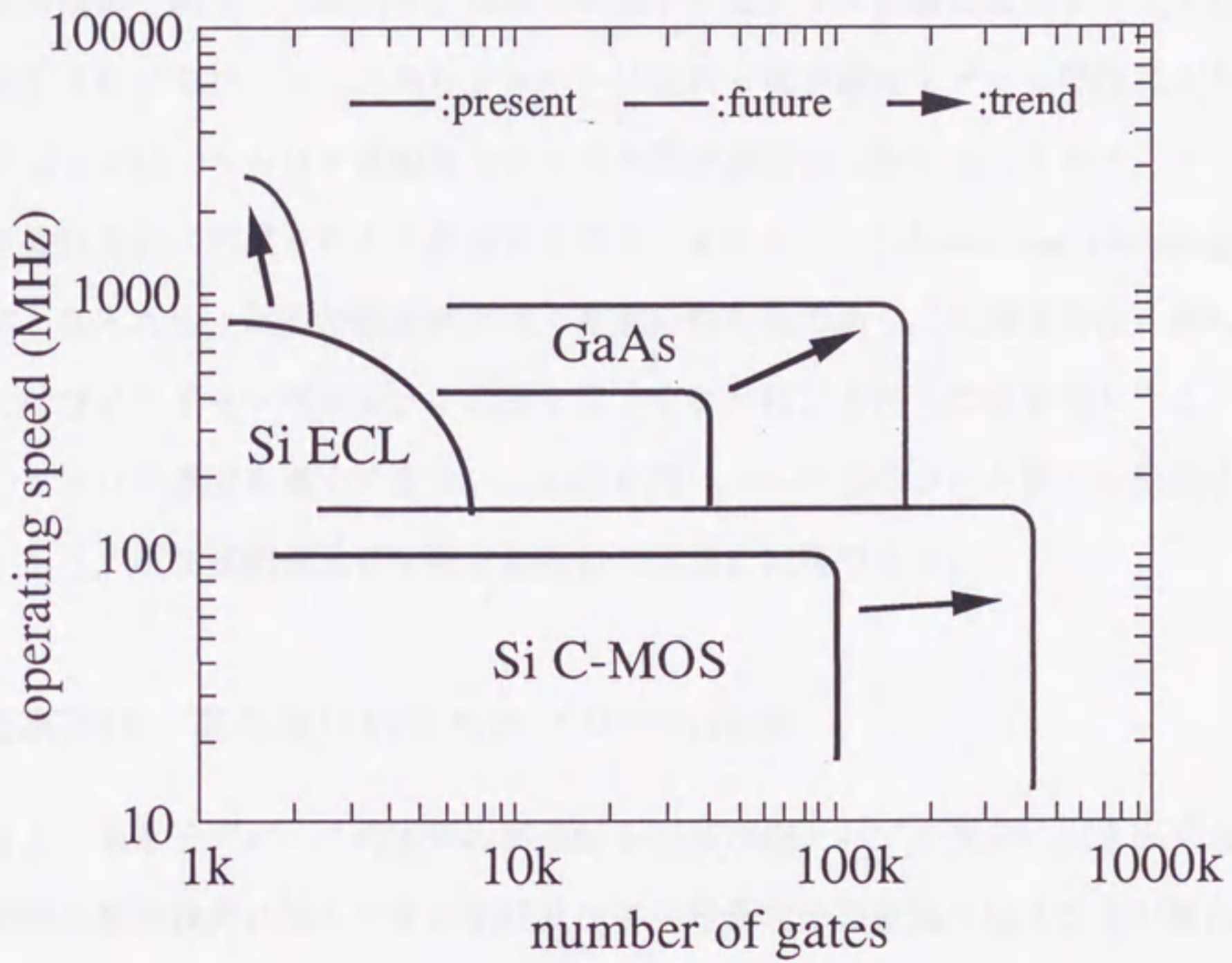


Fig. 1-1 Comparison between GaAs and Si high-speed devices

図1-1 GaAs及びSi高速デバイスの比較

バイスの優位性を確保できる。しかし、現状の殆どのGaAsデバイス/回路ではAu系の電極、配線材料を用いているため、十分に高集積化が進められていない。

現在、実用化されているGaAs系トランジスタは、電界効果型トランジスタ(MESFET: metal semiconductor FET)、高電子移動度トランジスタHEMT、及びヘテロ接合バイポーラトランジスタ(HBT: heterojunction bipolar transistor)であり、これらの典型的な素子断面構造を図1-2に示す。MESFETではチャネル層上にショットキ型ゲート電極が形成されており、ソースからドレインに流れる電子電流をゲート電圧により制御する。HEMTでは、キャリア供給層とチャネル層が空間的に隔てられており、アンドープのヘテロ接合界面に形成される2次元電子ガス(2DEG: 2-dimensional electron gas)がキャリアとなるため、電子移動度が大きく高速動作可能であり、低雑音特性も優れている。HBTではワイドギャップエミッタ構造を用いることにより注入効率を損なうことなくベース層のキャリア濃度を高くできる。そのため薄いベース層のシート抵抗を低減することが可能であり、超高速動作及び高電流駆動力の回路を実現できる。

## 1-2 超高速化、高集積化のためのプロセス課題

GaAs系電子デバイスの本来の高速性を回路性能としても十分に引き出すためには、真性能動部の最適設計に加えて寄生抵抗及び寄生容量成分の低減を図ることが極めて有効である。例えば、MESFETにおける遮断周波数 $f_t$ を高くするためにはゲート・ソース間容量 $C_{gs}$ の低減が有効であり、プロセスにおいてはゲート電極の微細加工がキー・テクノロジーになる。また、最大発振周波数 $f_{max}$ を高くするためには、ソース抵抗 $R_s$ 、ゲート抵抗 $R_g$ 及びドレイン・ゲート間の帰還容量 $C_{dg}$ を低減することが重要である。[7]バイポーラトランジスタであるHBTの遮断周波数 $f_t$ は真性部の構造で概ね決まるが、最大発振周波数 $f_{max}$ の向上を図るためにはベース抵抗 $R_b$ 及びベース・コレクタ容量 $C_{bc}$ の低減が不可欠になる。このような寄生容量及び寄生抵抗の低減を図るためには、(1)デバイス及び電極の微細加工プロセス、(2)低コンタクト抵抗電極の形成プロセス、及び(3)電極間距離の短縮・制御プロセスの構築及び適用を進めていかなければならない。

GaAs系デバイスの高集積化を進める上での最大の障害は、電極及び配線の主材料が

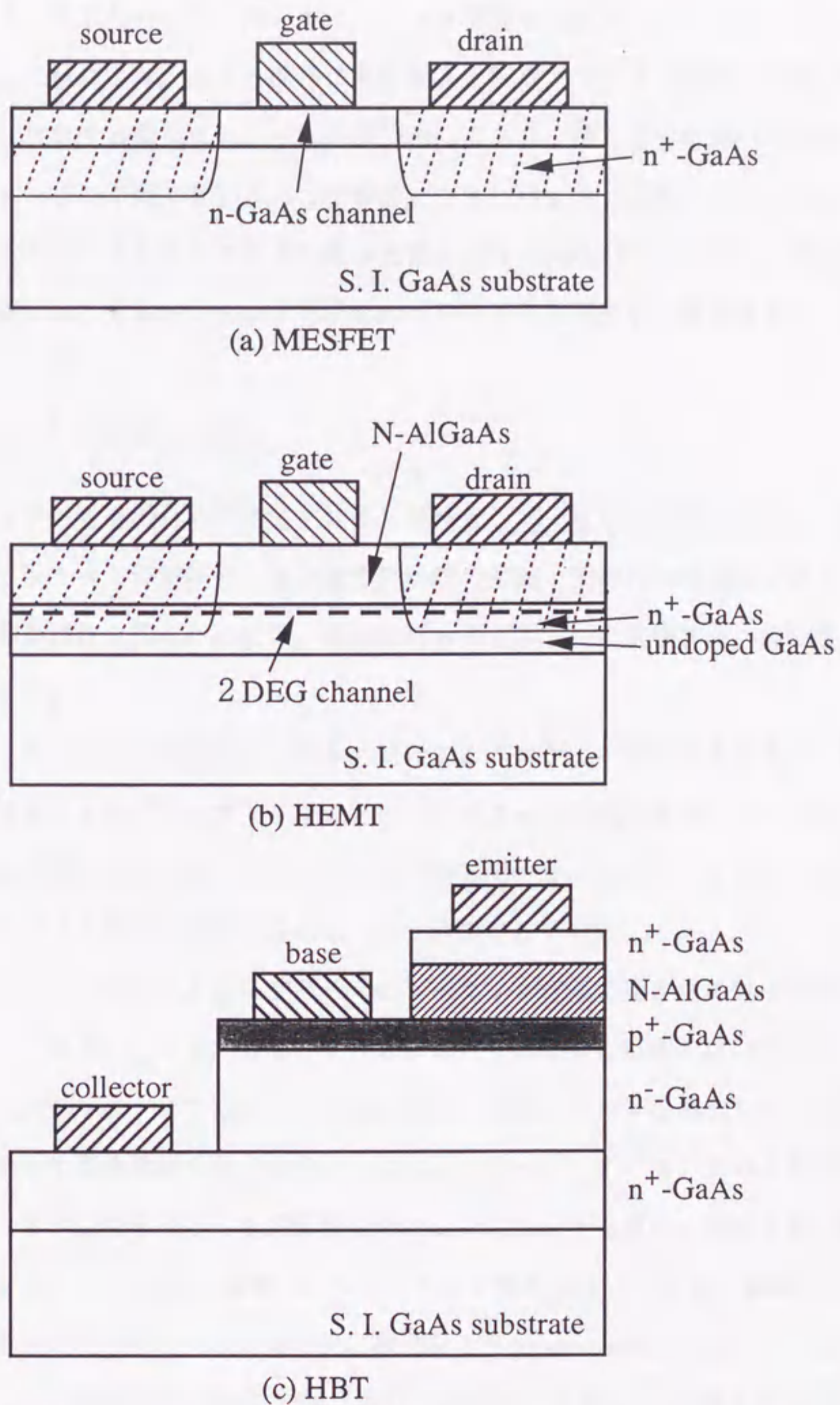


Fig. 1-2 Typical structures of GaAs high speed devices (MESFET, HEMT, HBT)

図1-2 GaAs高速デバイスの典型的な構造 (MESFET, HEMT, HBT)



Auであるためドライエッチングによる微細加工が行えないことである。この問題を解決するためには、Au系以外の材料を用いてオーミック電極を形成するプロセスを構築しなければならない。これにより、Siと同様に高密度Al配線プロセスの適用が可能になる。もう一つの集積化に対する障害はデバイス表面の凹凸であり、続く工程において配線の段切れ及び金属のエッチング残りを引き起こす要因となる。GaAs系電子デバイスの中で縦方向の積層構造を有するHBTではその素子表面における凹凸が大きいため、現在主流であるAu系電極に対してもコンタクト形成部のプレーナ化を進める必要がある。

### 1-3 電極プロセスの現状と課題

超高速GaAsデバイスのための電極プロセス技術として、電極の微細加工技術、極低抵抗オーミックコンタクト形成技術、及び電極間距離の短縮・制御技術が重要である。また、デバイスの高集積化を図るためには、電極材料もAu系以外の電極材料への転換も進めていく必要がある。

GaAsデバイスにおいて微細加工を最も必要とするのはゲート電極形成であり、電子線リソグラフィ技術によるディープ・サブミクロンのパターン形成技術及びドライエッチング加工技術の適用等が検討されている。しかし、一方でプラズマエッチングによるGaAs表面損傷がデバイス特性に影響を与えることも危惧されている。

現在、実用化されているGaAs系デバイスのオーミック電極の殆どがアロイ電極であり、n型GaAsにはAuGe系、p型GaAsにはAuZn系の電極が用いられている。これらの電極膜は通常リフトオフ法により所望の領域に電極パターンを形成し、その後の熱処理により電極と半導体界面を合金化することによりオーミック・コンタクトを形成する。以下、リフトオフ工程をAuGe系電極を例にとり図1-3を用いて説明する。高濃度n型GaAs層上にSiO<sub>2</sub>膜を堆積し、リソグラフィ技術を用いて所望の領域のレジスト膜に開孔部を設ける(図1-3(a))。次にRIE(reactive ion etching)によりSiO<sub>2</sub>膜をエッチングして開孔部を形成した後、希HF水溶液によりSiO<sub>2</sub>膜をサイドエッチングしてオーバハング構造のレジスト膜ステンシルを形成する(図1-3(b))。その後、真空蒸着法によりAuGe/Ni/Au多層膜を形成する(図1-3(c))。次

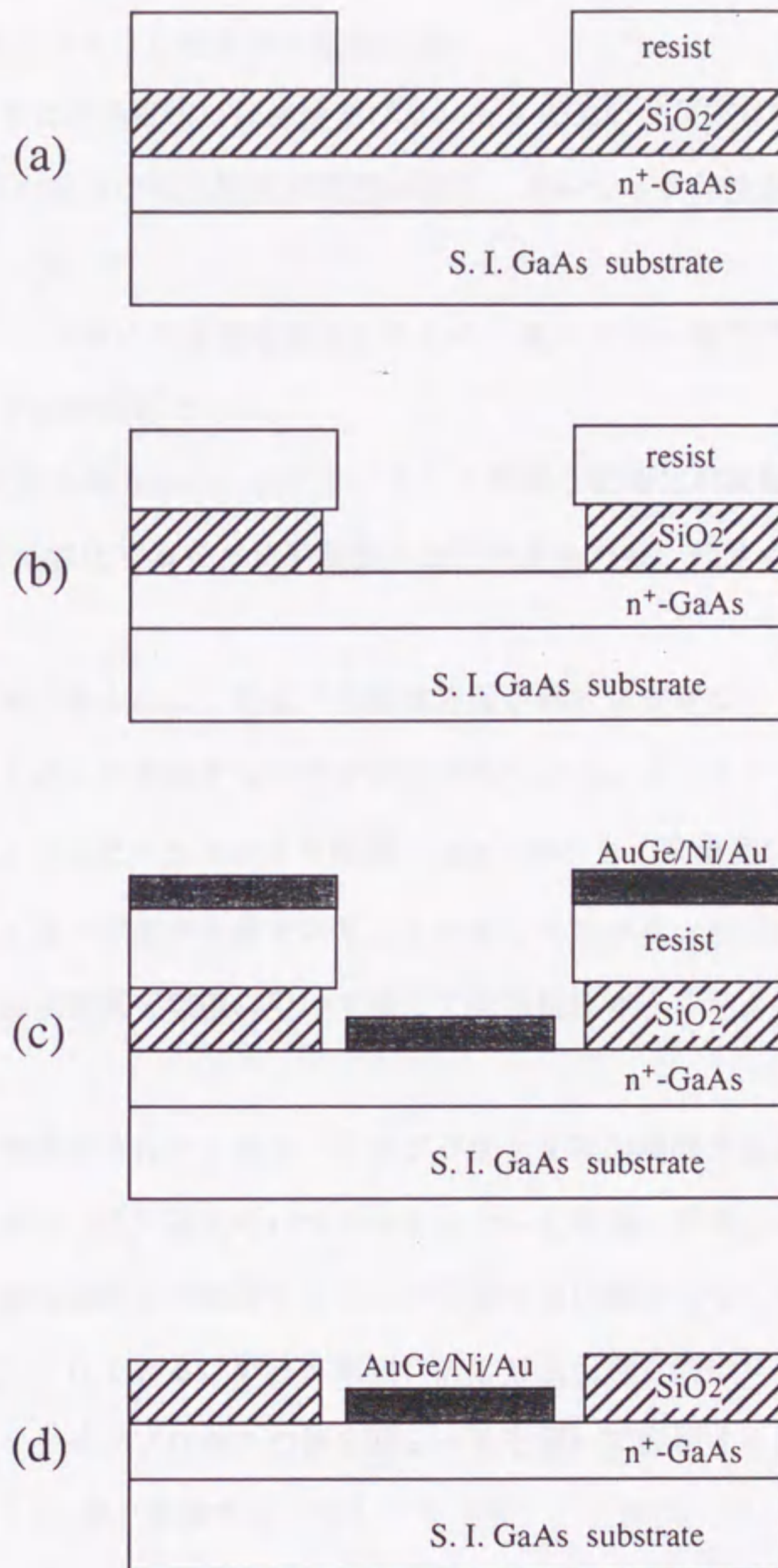


Fig. 1-3 Process steps for lift-off method  
 図 1-3 リフトオフプロセスの概略図

いで、レジスト剥離液を用いてレジスト及びその上に蒸着されたAu/Ge系多層膜をリフトオフ・除去し、所望の領域にのみAuGe系電極パターンを形成する(図1-3(d))。

次いで、N<sub>2</sub>雰囲気中で350℃のアロイ処理を施す。

このようなAu系アロイ系電極には特性及びプロセスにおいて以下に示す短所がある。

(1) 合金化のための最適な熱処理温度範囲が狭く、オーミック特性が合金後の熱履歴にも影響されやすい。[8]

(2) 合金層がスパイク状に半導体を侵食するため、極めて薄い特定の半導体層へのオーミックコンタクト形成が困難である。

(3) Auがベース材であるため、加工性に乏しく電極の微細化が困難である。

(4) GaAs中で活性化するキャリア濃度に上限があるため、十分に低抵抗なコンタクト抵抗が得られない。

これらの問題を解決するために、電極/半導体界面が熱的に安定なノンアロイ電極によりオーミック・コンタクトを形成する技術が研究されている。ノンアロイ・コンタクトの方式としては、GaAsに比べショットキ障壁( $\phi_B$ )が小さく高濃度にドーピング可能なヘテロ・コンタクト層の採用が有効であることが知られている。[9],[10]この技術により、微細加工可能な高融点金属を電極に用いて極めて低抵抗なオーミックコンタクトを実現できる可能性がある。

デバイス寸法が微細化されてくると、リソグラフィ工程の層間の重ね合わせ精度による電極間距離の変動がデバイス特性のバラツキをもたらす原因になる。そこで、電極間距離をリソグラフィ工程に依存せず制御することが可能な自己整合的な(セルフ・アライン)電極形成技術が検討されている。ゲート電極に対して自己整合的にソース、ドレイン電極を形成するセルフアラインプロセスの例を図1-4を用いて説明する。[11]ゲート電極を形成した後、SiO<sub>2</sub>膜を堆積する(図1-4(b))。次に、SiO<sub>2</sub>膜をRIEによりエッチバックしてゲート電極側壁にSiO<sub>2</sub>膜のサイドウォールを残す(図1-4(c))。SiO<sub>2</sub>サイドウォールの幅( $l_{sg}$ )はSiO<sub>2</sub>膜厚とエッチング条件により設計できる。次いで、オーミック電極材であるAuGe/Ni/Au膜を蒸着法により堆積する(図1-4(d))。その後、レジスト膜を塗布、被着して平坦化埋め込みを行う(図1-4(e))。

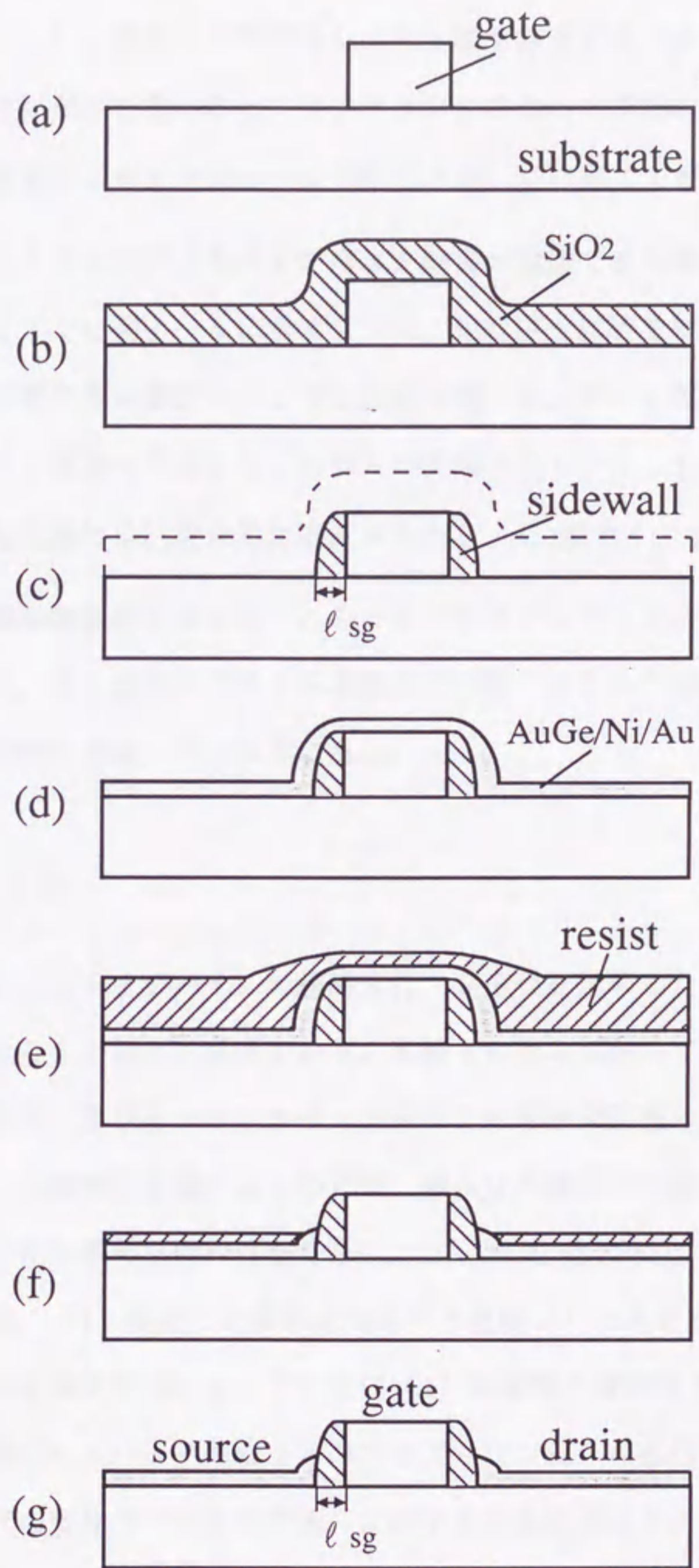


Fig. 1-4 Self-alignment process of gate and source electrodes for GaAs MESFET

図1-4 GaAs MESFETのゲート，ソース電極のセルフアライン形成

次に、イオンミリング技術によりレジスト膜及びAuGe/Ni/Au膜をエッチバックする(図1-4(f))。最後に、不要なレジスト膜を除去する(図1-4(g))。このセルフアラインプロセスを用いると、リソグラフィの合わせ精度によらずソース、ドレイン電極をゲート電極からサイドウォールの幅( $l_{sg}$ )だけ隔てて形成できる。その反面、工程数が増加し、ミリングによるエッチバック制御が困難である等の生産性に課題が残る。SiのMOSFETでは図1-5に示すように、絶縁膜上にWを被着することなくSi、金属上にW膜を堆積できる選択W-CVD技術を用いて、ゲート電極に対して自己整合的にソース、ドレイン電極を形成するプロセスが提案されている。[12] このプロセスにおいてもゲート電極側壁に自己整合的に形成されたSiO<sub>2</sub>膜サイドウォール幅( $l_{sg}$ )がゲート、ソース電極間距離を決める。このセルフアラインプロセスが図1-4に比べて工程が簡単な理由は、Si表面にだけでW堆積反応が起こるという選択W-CVD技術の特徴を活かして電極膜を形成している点にある。

#### 1-4 本研究の目的

上述したようにGaAsデバイスの超高速化、高速化を進めるためには寄生容量及び寄生抵抗を低減することが極めて重要である。電極プロセスにおいては、電極の微細化、コンタクト抵抗の低減、及びセルフアライン方式による電極間距離の短縮・制御等が要求されている。また、高集積化を進めるためには、非Au系電極材の採用、並びに電極コンタクト部のプレーナ化を進めなければならない。

本研究の目的は、(1)前記した要求を満足する電極プロセスを提案し、その適用可能性について基礎的な検討を加えること、及び(2)電極等の微細加工に不可欠なドライエッチング及び絶縁膜のスパッタ堆積などのプラズマプロセスに起因したGaAs及びAlGaAs表面性状の変化(プラズマ損傷)に関する知見を得ることである。

第1の目的に対し、選択W-CVD技術を用いてGaAsデバイスの電極を自己整合的に形成する技術の可能性を調べた。オーミック電極については、ショットキ障壁( $\phi_B$ )が小さく高濃度にドーピング可能なヘテロ・コンタクト層材料を取り上げて検討した。また、選択W-CVD技術を現行のアロイ電極を用いたHBTのコレクタコンタクト孔の埋

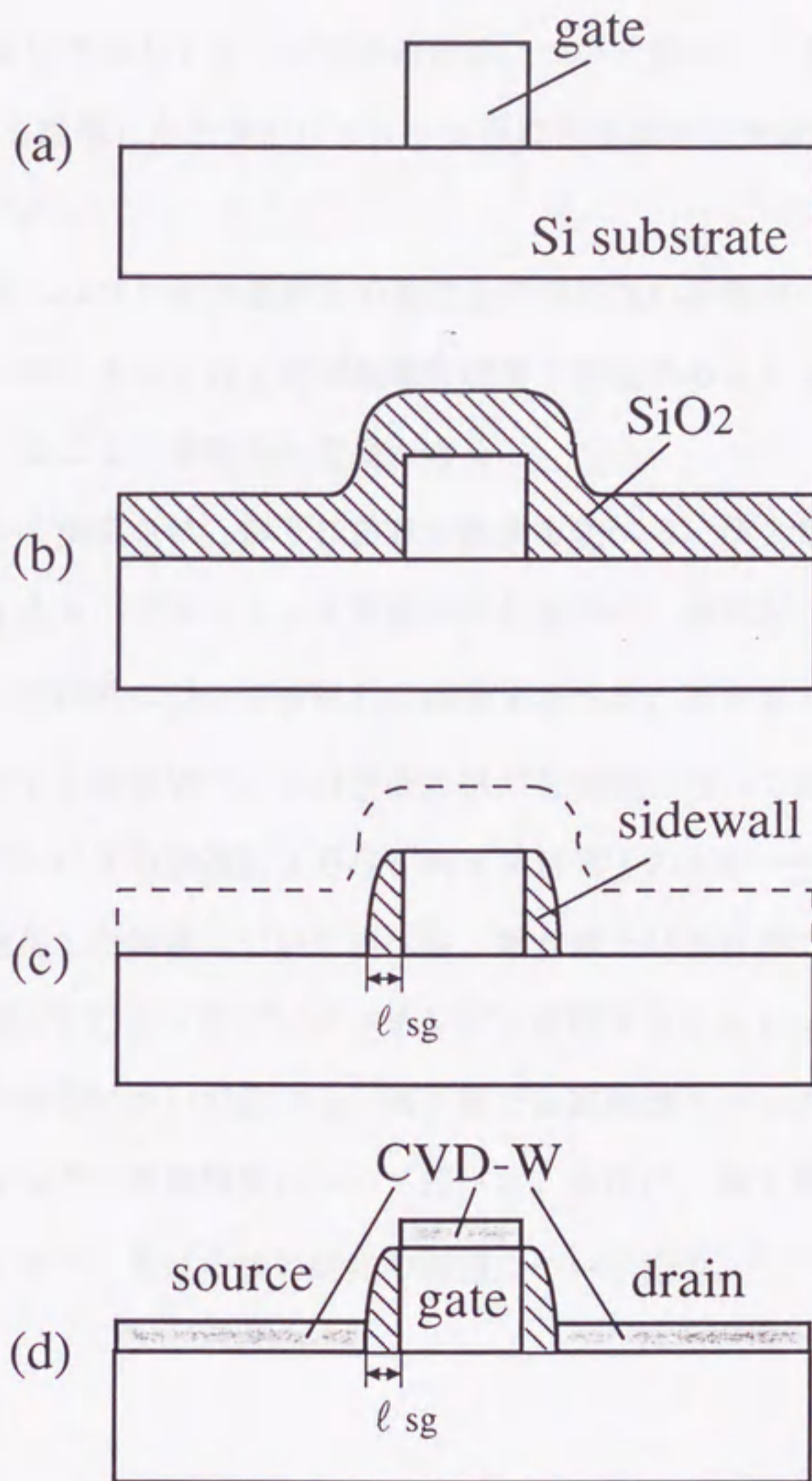


Fig. 1-5 Self-alignment process of gate and source electrodes for Si MOSFET  
 図1-5 Si MESFETのゲート，ソース電極のセルフアライン形成

め込みプレーナ化プロセスを提案し、実際にデバイスの試作及び素子特性の評価を行った。

第2の目的に対し、GaAs系FETのゲート電極の微細加工に用いるマイクロ波プラズマエッチングによるGaAs及びAlGaAs表面性状の電氣的、物理的変化とプロセス条件との相関及びポストアニール処理の効果について調べた。また、高周波スパッタ法によりSiO<sub>2</sub>膜を堆積したときのGaAs表面の物理的及び光学的変化について成膜条件との相関を調べた。

本研究は工学的にはプロセス適用性の検討及び信頼性の評価がベースとなっているが、ドライプロセスにおけるGaAs表面現象を理解・把握するとともに、そのメカニズムに対して考察を加えることに学術的な意義がある。

本論文は8章から構成され、以下に各章の概要を述べる。第2章では、Geコンタクト層を採用したGaAsへのオーミック電極形成を前提に、選択W-CVD技術によるGe層への電極形成の可能性について検討した結果を述べる。第3章では、数種のIII-V族化合物半導体に対する選択W-CVD技術の適用可能性について調べた結果を述べる。第4章では、選択W-CVD技術によるGaAs系HBTのプレーナ化プロセスを提案し、デバイス試作に適用した結果について述べる。第5章及び第6章では、WSiゲート電極の微細加工に好適なECRプラズマエッチングに起因するGaAs及びAlGaAs表面損傷及びアニール効果について述べる。第7章では高周波スパッタ法によりSiO<sub>2</sub>膜を堆積したときのGaAs表面損傷について述べる。最後に、第8章では本論文の総括と工学的意義について述べ、更に今後の研究の課題について記す。

## 参考文献

- [1]. S. Moghe, T. Andrade, and H. Sun: "A Low Cost GaAs Monolithic LNA for TVRO Applications", GaAs IC Symp. Tech. Dig.(1984) 181
- [2]. B. Hughes: "A Temperature Noise Model for Extrinsic FETs", IEEE Trans. Microwave Theory Tech. 40 (1992) 1821

- [3]. M. Ohhata, Y. Yamane, T. Enoki, S. Sugitani, K. Kato, and M. Hirayama: "11 Gb/s multiplexer and demultiplexer using 0.15  $\mu$ m GaAs MESFETs", Inst. Phys. Conf. Ser., No.106, Chapter 12 (1989) 887
- [4]. 西秀敏, 星川龍輔: 「飛躍する G a A s デジタル L S I」, Nikkei Microdevices 4 (1993) 71
- [5]. 平山昌宏: 「総論 現実路線を歩む G a A s I C」, Semiconductor World 11 (1994) 56
- [6]. 福田益美: 「G a A s 今昔物語」, 応用物理 62 (1993) 779
- [7]. S. M. Sze: Physics of Semiconductor Devices (John Wiley & Sons, Inc. 1981) 343
- [8]. M. Heiblum, M. I. Nathan, and C. A. Chang: "Characteristics of AuGe/Ni ohmic contacts to GaAs", Solid State Electron 25 (1982)185
- [9]. R. A. Stall, C. E. C. Wood, K. Board, N. Dandekar, L. F. Eastman, and J. Devlin: "A Study of Ge/GaAs Interface Grown by Molecular Beam Epitaxy", J. Appl. Phys. 52 (1981) 4062
- [10]. J. M. Woodall, J. L. Freeouf, G. D. Pettit, T. N. Jackson and P. Kirchner: "Ohmic contacts to n-GaAs Using Graded Band Gap Layers of GaInAs Grown by Molecular Beam Epitaxy", J. Vac. Sci. Technol. 19 (1981) 626
- [11]. K. Ueno, T. Furutsuka, M. Kanamori, and A. Higashisaka: "High Transconductance GaAs MESFETs Fabricated Using Sidewall-Assisted Self-Alignment Technology (SWAT)", in Extended Abstracts of 17th Conference on Solid State Devices and Material (1985) 405
- [12]. N. E. Miller and I. Beinglass: "CVD Tungsten Interconnect and Contact Barrier Technology", Solid State Technol. 25 (1982) 85



## 第2章 選択W-CVD技術によるノンアロイ電極の形成

### 2-1 まえがき

GaAs系デバイス電極の微細化及び低コンタクト抵抗化を図るために、Ge及びInAs等のオーミック・コンタクト層を採用したノンアロイオーミック電極の形成技術が検討されている。[1]-[3] 図2-1に示すように、Geのショットキ障壁 $\phi_B$ は $\sim 0.45\text{ eV}$ と小さく、Ge/GaAsのヘテロ接合障壁も $\sim 0.08\text{ eV}$ と小さい。[4] Ge層へのドーピングはAsを用いた場合、 $10^{20}\text{ cm}^{-3}$ 以上の高濃度ドーピングが実現できる。[5] また、GeとGaAsの格子定数のずれが0.1%以下であり、MBE(molecular beam epitaxy) 或いはCVD(chemical vapor deposition)により比較的容易にGe/GaAsエピタキシャル成長が行える。Ge-CVD技術を用いるとSiO<sub>2</sub>マスク開孔部から露出したGaAs層に対して選択的にGe層を堆積でき、自己整合プロセスへの適用が可能である。[6] また、Ge層はGaAs能動層に対するコンタクト層としてだけでなく、GaAsエミッタ/Geベース/Geコレクタ構造のHBTへの適用も検討されている。[7]

近年のULSIの電極・配線として注目されている選択W-CVD技術ではSiO<sub>2</sub>等の絶縁膜上にWが被着することなく、Si或いはW膜等の金属上に選択的にW膜を堆積することができる。上述したノンアロイコンタクト層への選択W-CVD技術の適用が可能であれば、GaAsデバイスにおいても自己整合的なオーミック電極形成及び微細なコンタクト孔への電極埋め込み等のプロセスの高度化が図れる。しかし、選択W-CVD技術のGe或いはInAsへの適用可能性については未だ報告された例がない。

本章では、Geをノンアロイコンタクト層とした選択W-CVD技術によるオーミック電極形成の可能性について基礎検討を行った。選択CVDによるW膜の堆積特性、膜質、及びW膜/Ge層の電極特性について評価した結果について述べる。

### 2-2 選択W-CVD技術と評価方法

#### 2-2-1 選択W-CVD反応系の比較

選択W-CVD技術では、一般にWF<sub>6</sub>ガスと還元性ガスの反応によりW膜の堆積を行

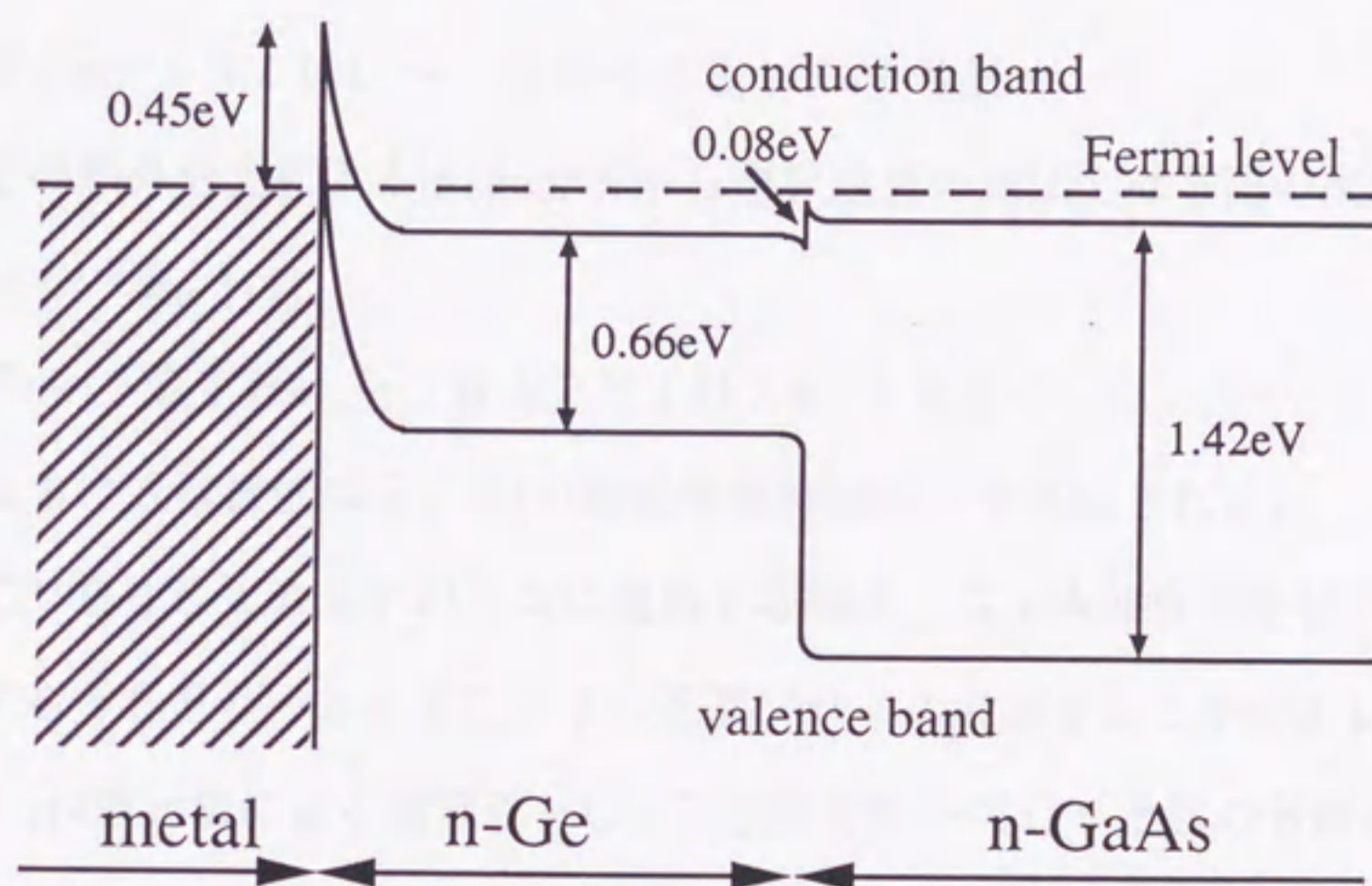


Fig. 2-1 Banddiagram of metal / n-Ge / n-GaAs system

図 2-1 金属 / n-Ge / n-GaAs コンタクトのバンドダイアグラム

い、用いる還元ガスによりH<sub>2</sub>還元法及びSiH<sub>4</sub>還元法に大別できる。WF<sub>6</sub>とH<sub>2</sub>を用いたH<sub>2</sub>還元法ではW膜堆積は以下の反応により進行する。[8]

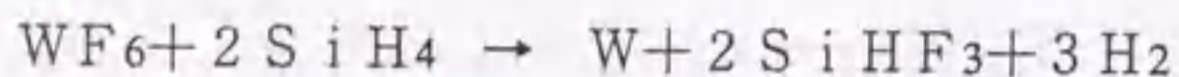


W膜堆積反応の下地材料に対する選択性は表面におけるH<sub>2</sub>の解離吸着特性の差に起因すると考えられている。

WF<sub>6</sub>/SiH<sub>4</sub>によるSiH<sub>4</sub>還元法ではH<sub>2</sub>還元法に比べ低温で高いW膜堆積速度が得られるため実用的である。[9],[10] WF<sub>6</sub>とSiH<sub>4</sub>のW堆積反応としては、従来、以下の反応が支配的であると考えられていた。



しかし、最近の赤外分光によるin situ分析から選択成長の主反応は下記の反応式で進むことが報告されている。[11]



この反応系における選択性はSiH<sub>4</sub>の解離吸着特性により支配される。

選択W-CVDをGaAsデバイスに適用する場合、GaAs自体及びアロイ電極の耐熱性を考慮すると350～400℃以下の低温プロセスであることが好ましい。そのため、本章ではSiH<sub>4</sub>還元法による選択W-CVD技術を用いてGe上へのW膜の堆積特性を検討した。

## 2-2-2 CVD装置の概略

枚葉式減圧CVD装置（テルサムコ社，モデル2400）を用いてW膜の堆積特性の検討を行った。減圧CVD装置の概略構成を図2-2に示す。rf誘導加熱方式によりグラファイトサセプタを加熱，温度制御した。排気系はメカニカルブースターポンプ（MBP）とロータリポンプ（RP）を採用している。リアクタ内の圧力は容量式真空計（P）とコンダクタンスバルブを用いて自動圧力制御（APC（automatic pressure control））を行っている。マスフローコントローラ（MFC）によりWF<sub>6</sub>ガス及SiH<sub>4</sub>（4%）/N<sub>2</sub>ガスの流量は各々制御した。CVDの選択性を確保するためには，W膜の堆積反応を試料表面上に限定して反応生成物の影響を極力低減することが必要である。[12] そこで，図2-3に示すようにリアクタは二重構造の石英管を用いて冷却水を循環させコールドウォール型

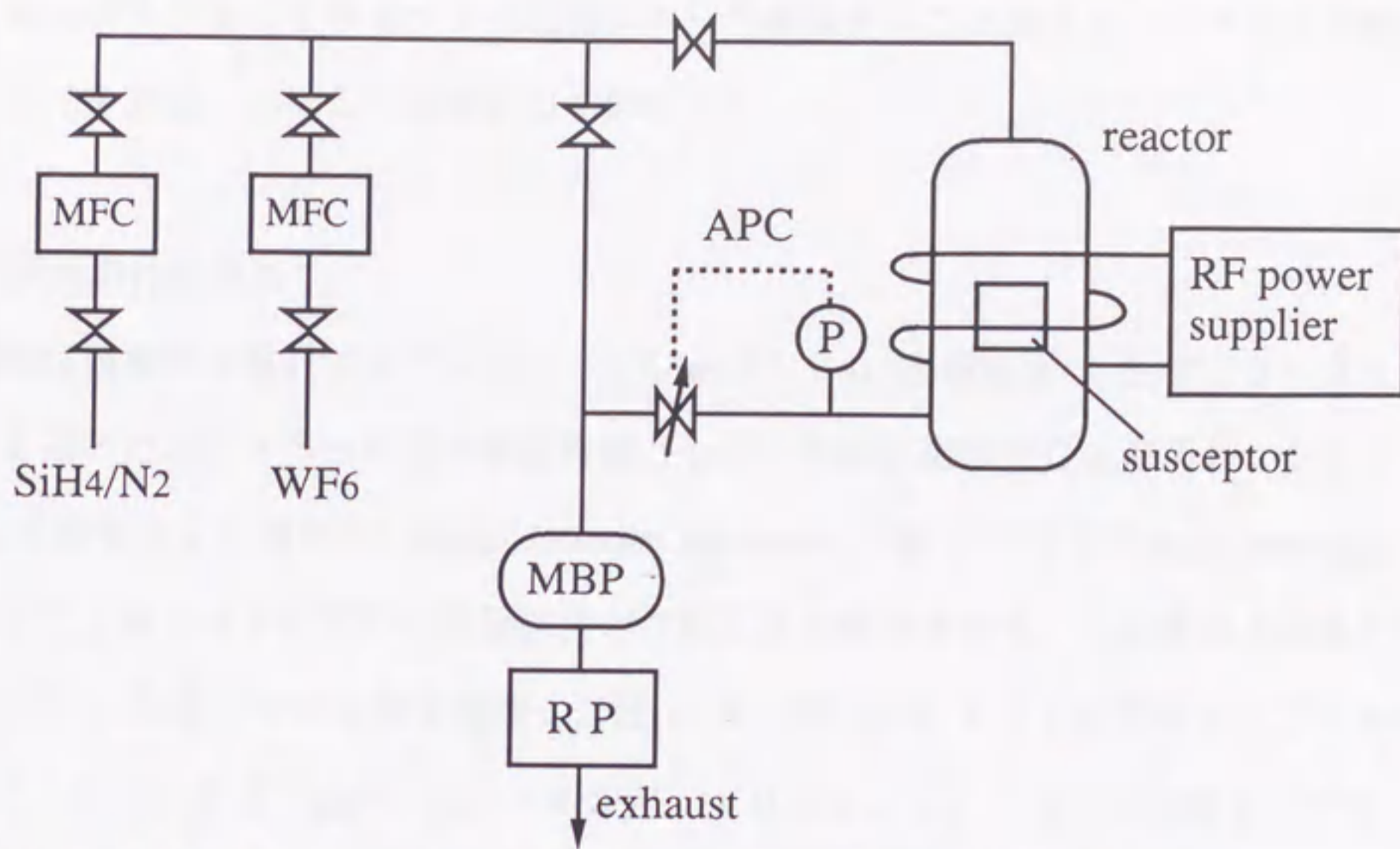


Fig. 2-2 Diagram of LPCVD system for selective W-CVD  
 図 2 - 2 選択W-CVDに用いた減圧CVD装置の概略図

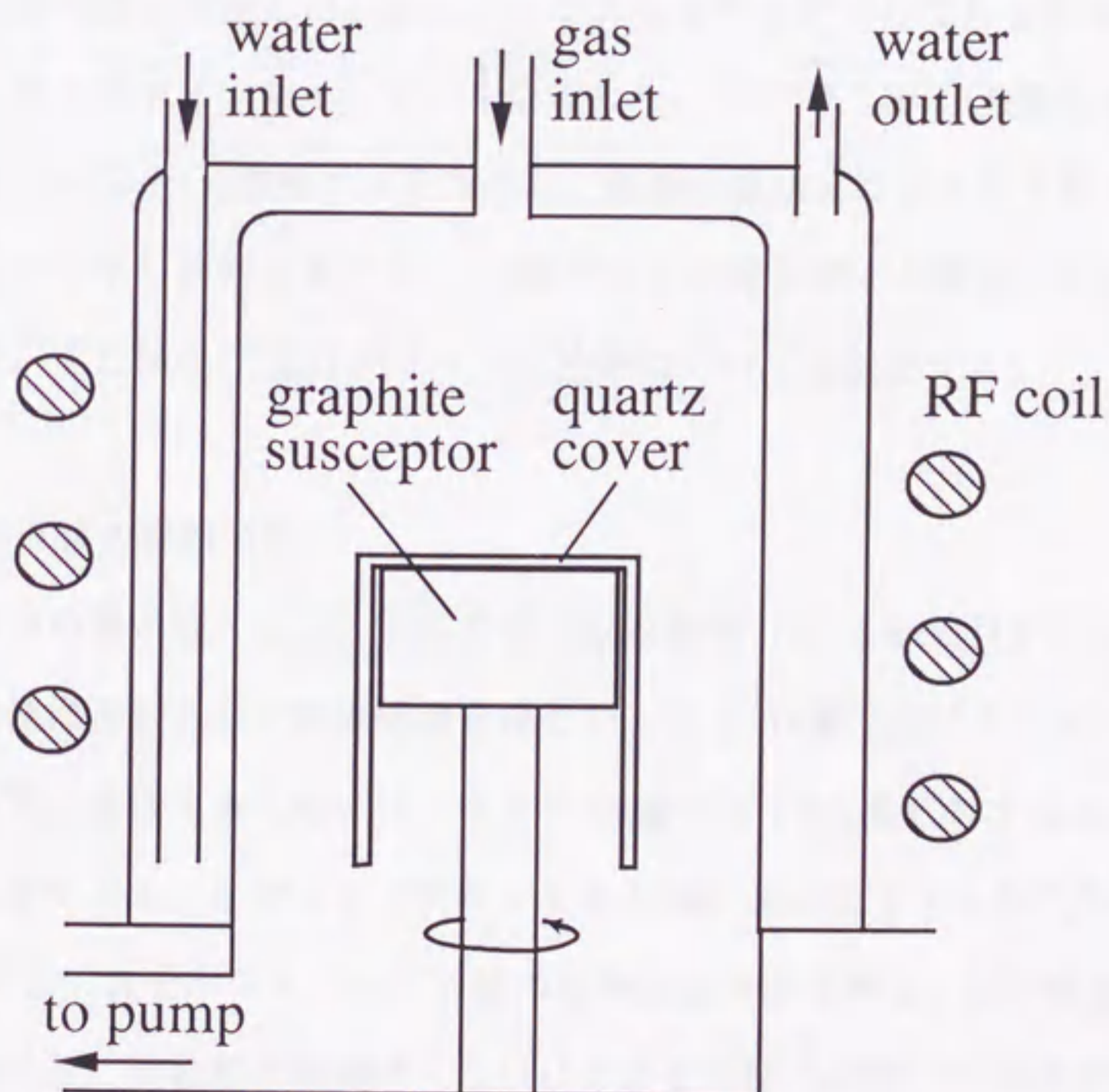


Fig. 2-3 Structure of CVD reactor  
 図 2 - 3 リアクタの概略図

とし、またグラファイトサセプタも石英カバーで被覆することにより、リアクタ内壁及びグラファイト表面におけるW堆積反応を抑制した。

### 2-2-3 試料の作製方法

W膜の堆積特性の検討にはアンドープのGe(100)基板表面(抵抗率 $10\sim 20\ \Omega\cdot\text{cm}$ )を用いた。CVD-W膜の電極特性として、W膜と高濃度Ge層間のコンタクト抵抗率 $\rho_c$ を評価するためのTLM(transmission line model)に基づくTEG(test element group)を作製した。図2-4にTLM評価試料の作製工程の概略を示す。Ge基板上に熱CVD法によりSiO<sub>2</sub>膜50nm厚を堆積した後、イオン注入法によりn型不純物としてAs(ドーズ量： $10^{14}$ ,  $10^{16}\ \text{cm}^{-2}$ , 注入エネルギー： $100\ \text{keV}$ )、p型不純物としてB( $10^{15}$ ,  $5\times 10^{15}$ ,  $10^{16}\ \text{cm}^{-2}$ ,  $30\ \text{keV}$ )を導入し、RTA(rapid thermal annealing)法によりN<sub>2</sub>(100%)雰囲気中で $600\sim 700^\circ\text{C}$ 、 $15\sim 30$ 秒アニール処理をして表面に高濃度Ge層を形成した。次に、レジストをマスクにしてGeをエッチングしてTLMパターンのメサアイソレーションを形成した。次いで、SiO<sub>2</sub>膜を堆積した後、レジストをマスクにSiO<sub>2</sub>膜をエッチングして電極形成用のコンタクト孔を形成した。次いで、選択W-CVD技術によりSiO<sub>2</sub>膜マスクの開孔部から露出したGeに対してW膜を被着した。TLMのTEGパターン寸法等については後述する。

### 2-2-4 CVD-W膜の堆積方法

選択W-CVDの前処理として、試料を希HF水溶液(0.5wt% HF)に30秒間浸漬した後、流水洗浄及びスピンドライ処理を施した。SiH<sub>4</sub>還元法によるW-CVDにおいて良好な選択性を確保するためには、SiH<sub>4</sub>流量のWF<sub>6</sub>流量に対する比(R)を留意して設定する必要がある。Rが1より大きくなると選択性が低下する傾向があるが、SiH<sub>4</sub>流量を少なくしてRを小さくするとW膜の堆積速度が低下する。[9] 最適な流量比Rは、試料(下地材質、W被着の面積率)及びリアクタ内壁の状態(W付着状況)等により変わる。ここでは、流量比を $R=0.4$ に設定した以下のCVD条件を適用した。WF<sub>6</sub>ガス流量： $2\ \text{sccm}$ 、SiH<sub>4</sub>ガス流量： $0.8\ \text{sccm}$ 、N<sub>2</sub>ガス流量： $20\ \text{sccm}$ 、全ガス圧力： $0.12\ \text{Torr}$ 、基板温度： $320^\circ\text{C}$ 、堆積時間： $2$ 分(W膜厚 $0.5\ \mu\text{m}$ 相当)である。

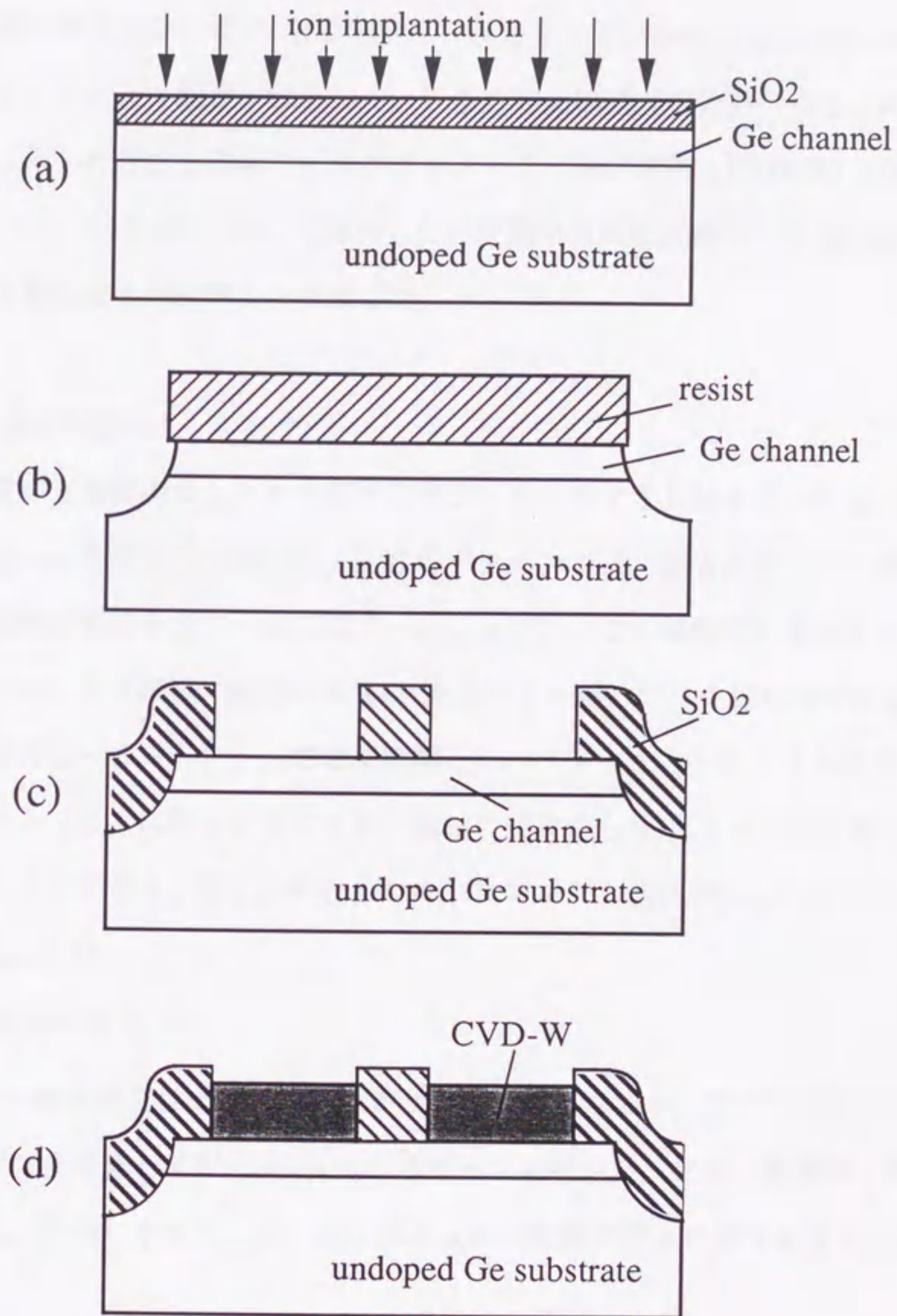


Fig. 2-4 Fabrication steps for TLM test element group

図 2 - 4 TLM評価試料の作製工程

ここで、堆積時間はSiH<sub>4</sub>ガスの供給時間により制御した。

#### 2-2-5 W膜質の評価方法

CVD-W膜の表面モフォロジ、断面形状及び膜厚をSEM(scanning electron microscopy) (日立: S800) により観察・評価した。W膜の結晶構造及び定性分析をX線回折法により評価した。用いた分析装置はディフラクトメータ (理学電機: RAD-III) であり、光源はCuK $\alpha$  ( $\lambda=0.154056\text{nm}$ ) を採用した。W膜の電気抵抗率は、4探針測定法により求めたシート抵抗値とW膜厚から算出した。

#### 2-2-6 電極特性の評価方法

W膜と高濃度Ge層間のコンタクト抵抗は図2-5に示すTLMモデルに基づくTEG (test element group) を用いて評価した。TEGパターンでは、幅Wのチャンネル層上に距離Lだけ隔てて電極が形成されている (図2-5 (a))。この電極間の電気抵抗は電極/チャンネル層のコンタクト抵抗に起因するR<sub>c</sub>とをチャンネル層のシート抵抗分であるR<sub>sh</sub>に分けて考える (図2-5 (b))。電極間距離Lをパラメータとしたときの電気抵抗の変化は凡そ図2-5 (c) に示すようになり、縦軸の切片からR<sub>c</sub>、グラフの勾配からR<sub>sh</sub>を各々求めることができる。TLMモデルでは、コンタクト低効率 $\rho_c$ は下式により求めることができる。[13]

$$\rho_c = R_c^2 W^2 / R_{sh}$$

シート抵抗R<sub>sh</sub>の評価精度はチャンネル幅Wが狭いほど高くなるが、TEG作製プロセスの精度及びマージンを考慮してW=10 $\mu\text{m}$ のパターンを用いた。また、電極間の間隔Lは電気抵抗の変化が評価しやすいように2~32 $\mu\text{m}$ の範囲で倍々に長さを変えている。

### 2-3 成膜及び電極特性の評価

#### 2-3-1 W膜質及び選択性

SiH<sub>4</sub>還元法によるW-CVD処理を2分間施したGe基板表面には図2-6の断面SEM写真に示すように約0.6 $\mu\text{m}$ 厚のW膜が堆積している。これまでAl等の金属及

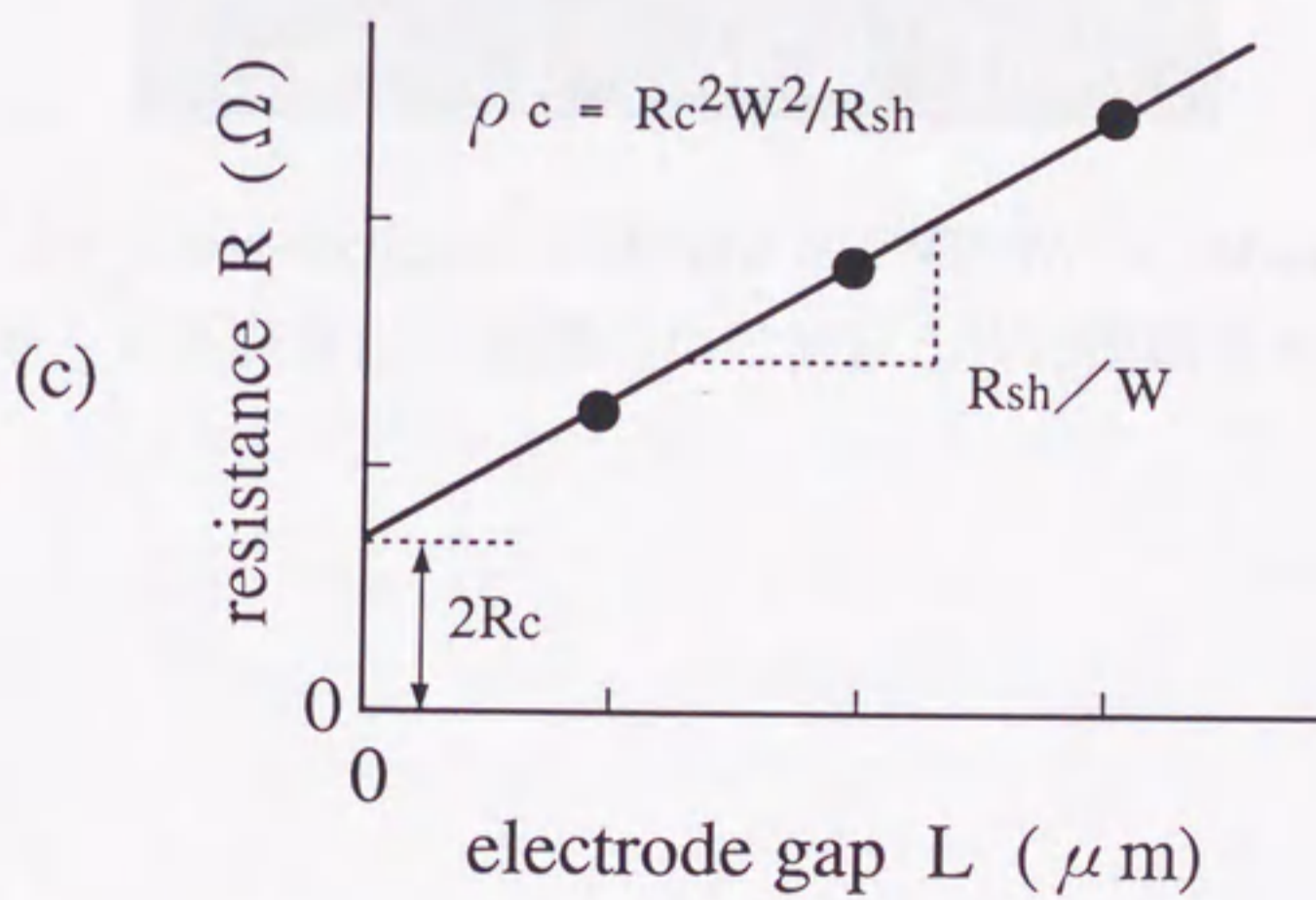
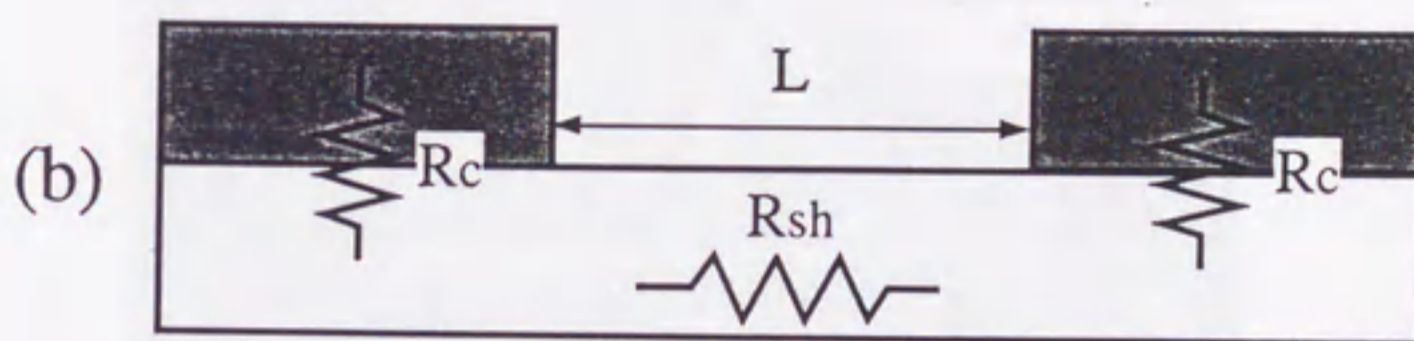
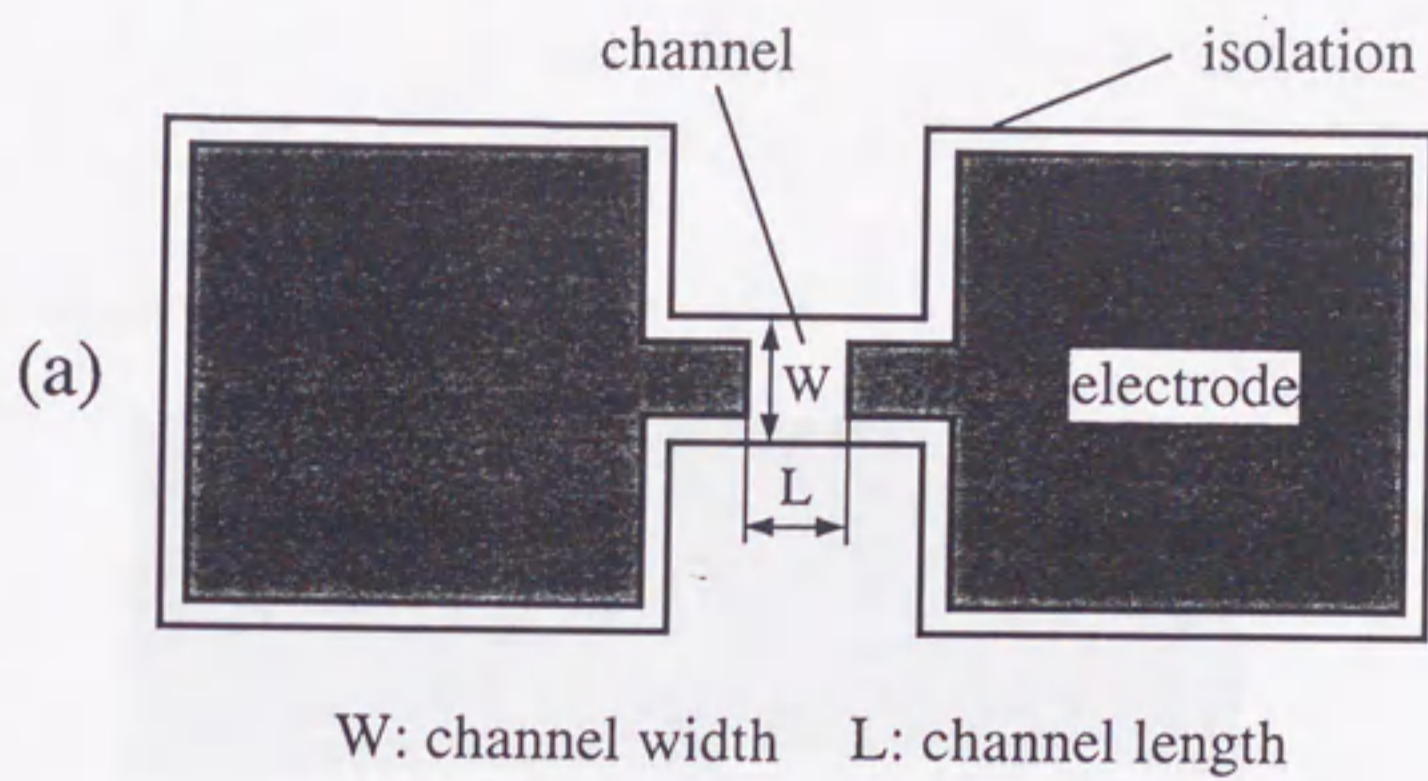


Fig. 2-5 TLM test pattern and evaluation of  $\rho_c$   
 図 2-5 TLM評価パターンとコンタクト抵抗率  $\rho_c$



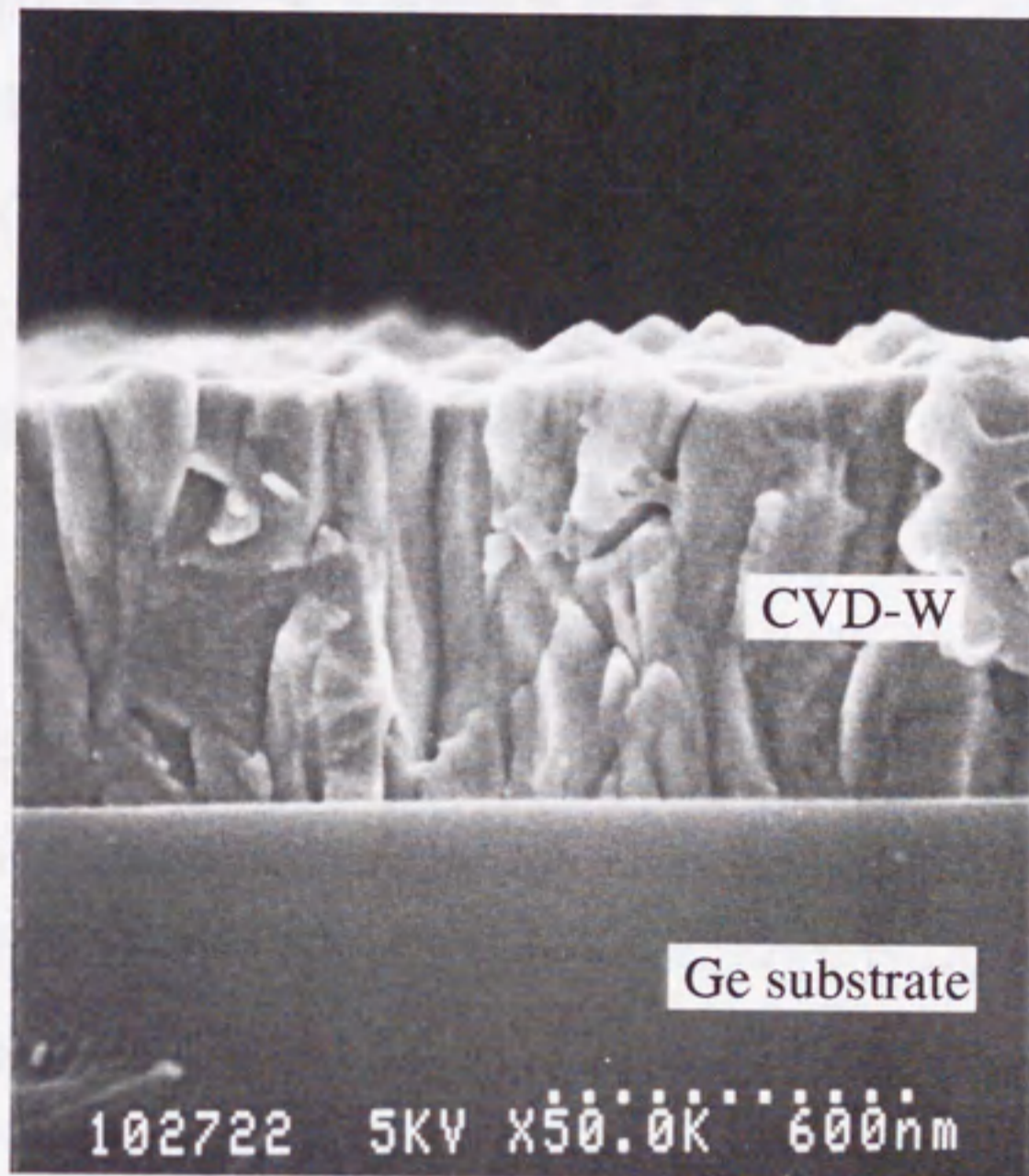


Fig. 2-6 Cross-sectional SEM view of CVD-W/ Ge substrate

図 2-6 Ge 基板の上に堆積した CVD-W の断面 SEM 写真

びSi半導体上ではWF<sub>6</sub>/SiH<sub>4</sub>系によりW膜が堆積すること知られてたが、Ge半導体上においても同様にWの被着が可能であることが初めて確認された。この系におけるW膜の堆積反応としては、前述したSiH<sub>4</sub>によるWF<sub>6</sub>の還元反応過程の他に基板構成元素のGeによるWF<sub>6</sub>の還元反応も起こりえる。WF<sub>6</sub>とSiの間では、Si還元反応により基板表面が表面酸化膜を通して不均一に侵食されることが報告されている。[14]

W膜/Ge基板の界面は平滑であり基板表面の侵食もないことから、Wの被着反応としてGeによるWF<sub>6</sub>の還元反応は支配的ではないと推定される。また、CVD膜の断面はW特有の柱状のグレイン構造であり、表面モフォロジはグレインを反映した細かい凹凸であることが分かる。CVD-W膜の定性分析及び結晶構造解析を行うために、X線回折法(XDS)を用いて評価した。図2-7にGe基板上のCVD-Wに対するX線回折パターンを示す。これから、CVD-W膜は $\alpha$ -W相からなり、 $\beta$ -W相(主ピークの $2\theta: 35, 44, 75^\circ$ )或いはWSi<sub>2</sub>( $40, 45, 46^\circ$ ), W<sub>5</sub>Si<sub>3</sub>( $38, 43, 45^\circ$ )等は存在しないことが分かる。また、表2-1に示すようにGe上に堆積したCVD-W膜はJCPDS(Joint Committee on Powder Diffraction Standard)のランダム配向系のWに比べてW(100)方向への配向が大きいことが分かる。CVD-W膜のシート抵抗と膜厚より求めた電気抵抗率は $42 \mu\Omega \cdot \text{cm}$ であり、通常のWの抵抗率 $8 \mu\Omega \cdot \text{cm}$ に比べて高いことが分かった。SiH<sub>4</sub>還元法によりSi上に堆積したW膜では、抵抗率とW膜中のSi及びFの含有量に相関があることが報告されている。[15],[16]

SiO<sub>2</sub>膜マスクを形成したGe基板にSiH<sub>4</sub>還元法W-CVD技術を適用して選択性の確認を行った。図2-8に示すSEM写真から分かるようにSiO<sub>2</sub>膜マスクにW被着することなく、Ge表面にのみに選択的W膜が形成されていることが分かる。SiH<sub>4</sub>還元法による選択W-CVD技術を用いて、Ge表面に選択的なW膜形成を行うことが可能であることを初めて明らかにした。

### 2-3-2 電極特性の評価

Ge上に堆積したW膜によるコンタクト抵抗率 $\rho_c$ をTLMモデルに基づくTEGパターンを用いて評価した。この評価方法は、Kelvin抵抗法に比べて試料作製の工程数も少なく、ホトリソグラフィ工程も容易である。[17] CVD-W膜と高濃度n型及びp型Ge

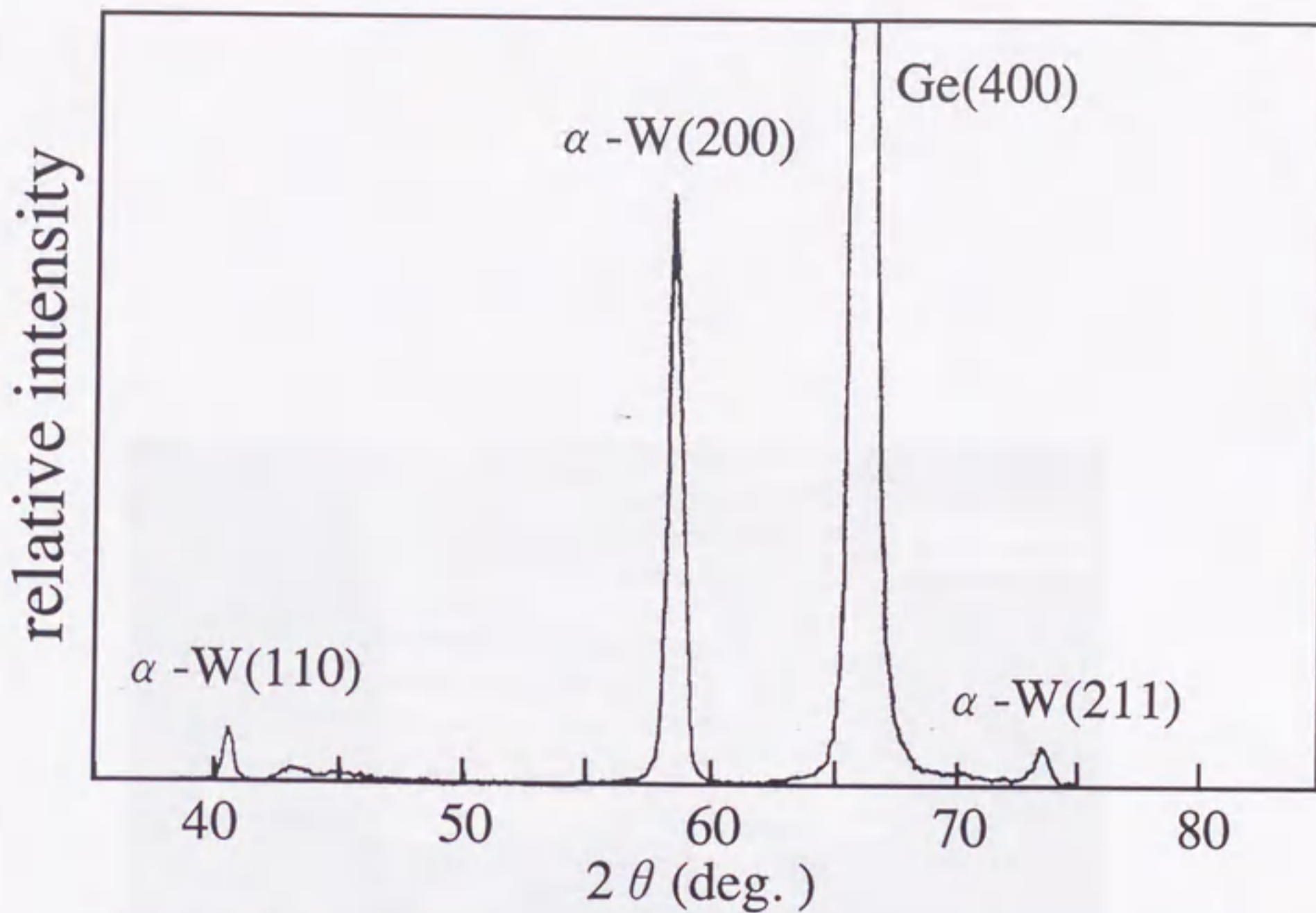


Fig. 2-7 X-ray diffraction pattern for CVD-W on Ge substrate  
 図 2-7 Ge 基板の上に堆積した CVD-W の X 線回折パターン

表 2-1 Ge 基板上 CVD-W 膜の配向性

Table 2-1 Orientation of CVD-W film on Ge substrate

	(110)	(200)	(211)	(220)
CVD-W film on Ge	0.09	0.86	0.05	0.03
Random orientation structure of W *	0.69	0.10	0.16	0.05

\*The data of the Joint Committee of Powder Diffraction Standards

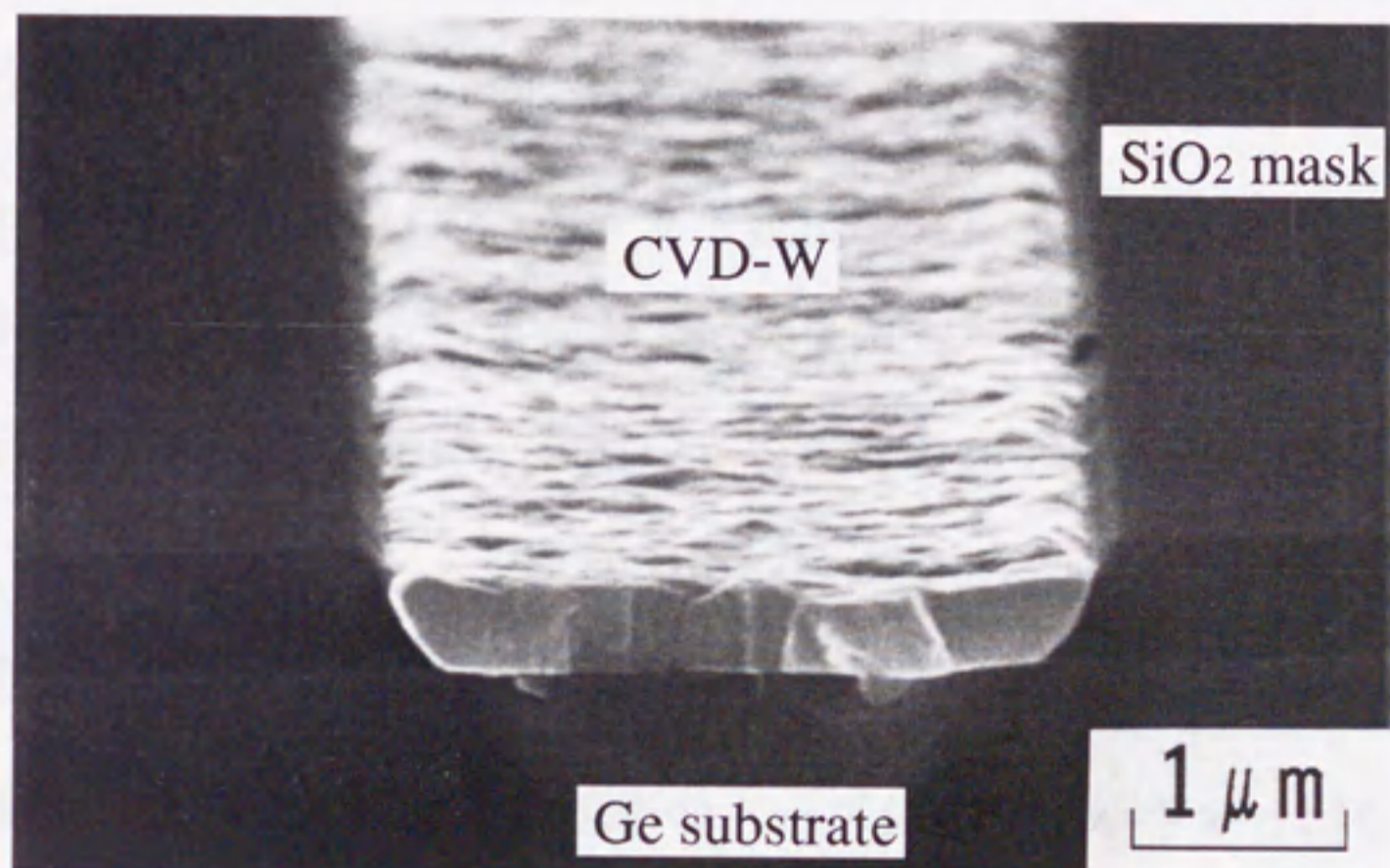


Fig. 2-8 SEM view of selectively-deposited W film on Ge substrate

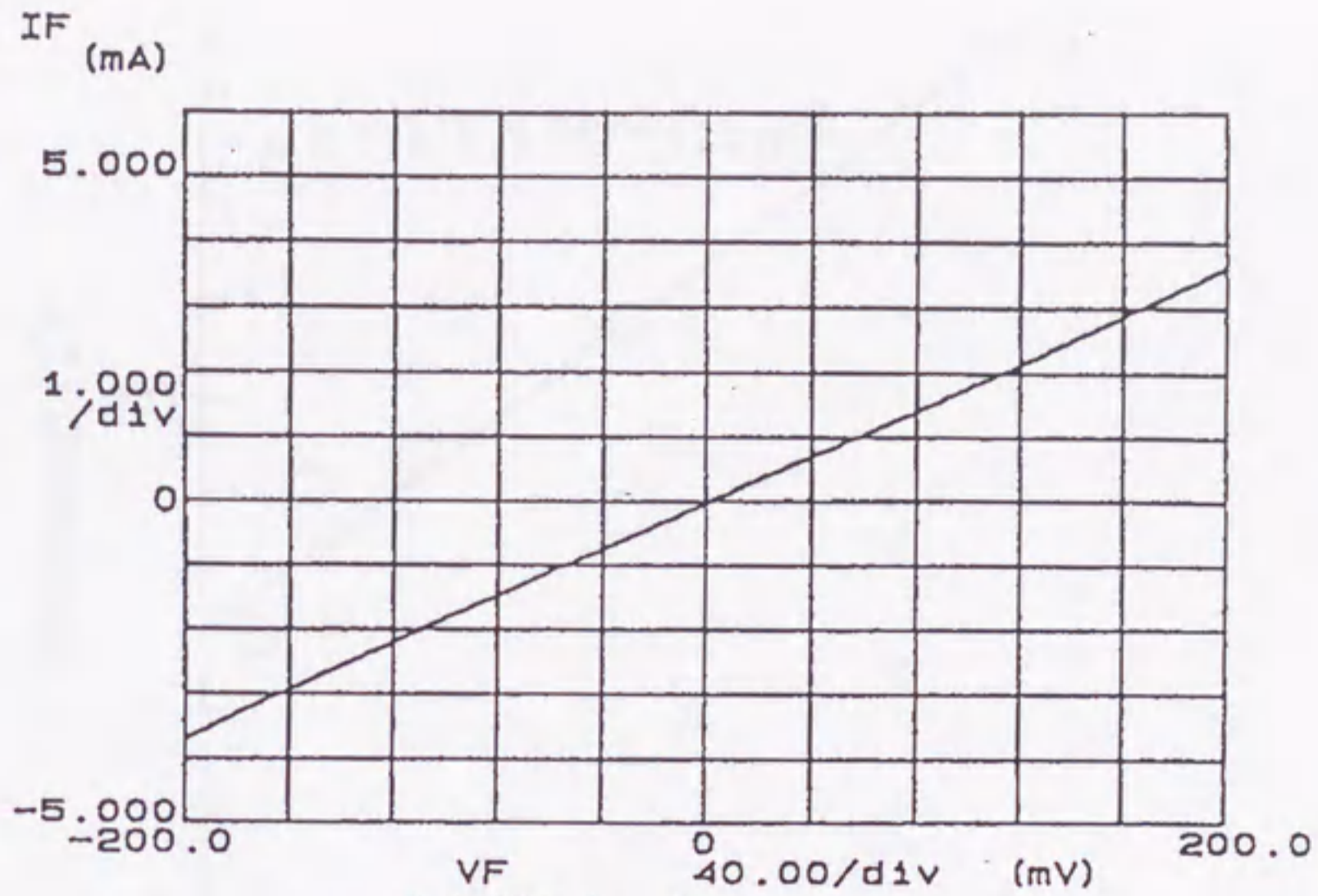
図 2 - 8 Ge 上に選択的に堆積した W 膜の SEM 写真

のTEGパターン(Geチャンネル幅 $10\ \mu\text{m}$ , 電極間距離 $4\ \mu\text{m}$ )における室温のI-V特性を図2-9(a)及び(b)に示す。何れの場合も原点を通る線形特性をしており, 選択W-CVD技術により形成した電極と高濃度Geコンタクト層の間に良好なノンアロイオーミック接触が実現していることが分かる。n型及びp型Ge試料において電極間距離をパラメータにしたときの抵抗値の変化及びコンタクト抵抗率を図2-10(a)及び(b)に各々示す。n型Ge層とCVD-W電極のコンタクト抵抗率は $1.1 \times 10^{-5}\ \Omega \cdot \text{cm}^2$ と若干高めである。一方, 高濃度p型Ge層とCVD-W電極のコンタクト抵抗率は $4.4 \times 10^{-8}\ \Omega \cdot \text{cm}^2$ と十分に小さい値が得られていることが分かる。図2-11にn型及びp型Ge層試料におけるコンタクト抵抗率と高濃度層形成に用いたイオン注入のドーズ量との関係を示す。何れの場合もドーズ量が大きくなるにつれ, コンタクト抵抗率が小さくなることが分かる。特に, p型Ge層試料の高ドーズ領域でのコンタクト抵抗率低減が著しい。これは, コンタクト層の不純物濃度(N)が高い領域では, コンタクト抵抗率 $\rho_c$ が不純物濃度Nに対して $\exp(\phi_B/\sqrt{N})$ の係数で急激に低下することに因ると考えられる。[18] 逆に, コンタクト抵抗率のドーズ依存性の小さいn型Ge層試料では, イオン注入及びアニール条件の最適化が不十分なためGe最表面のキャリア濃度が高くなっていないことが予想される。

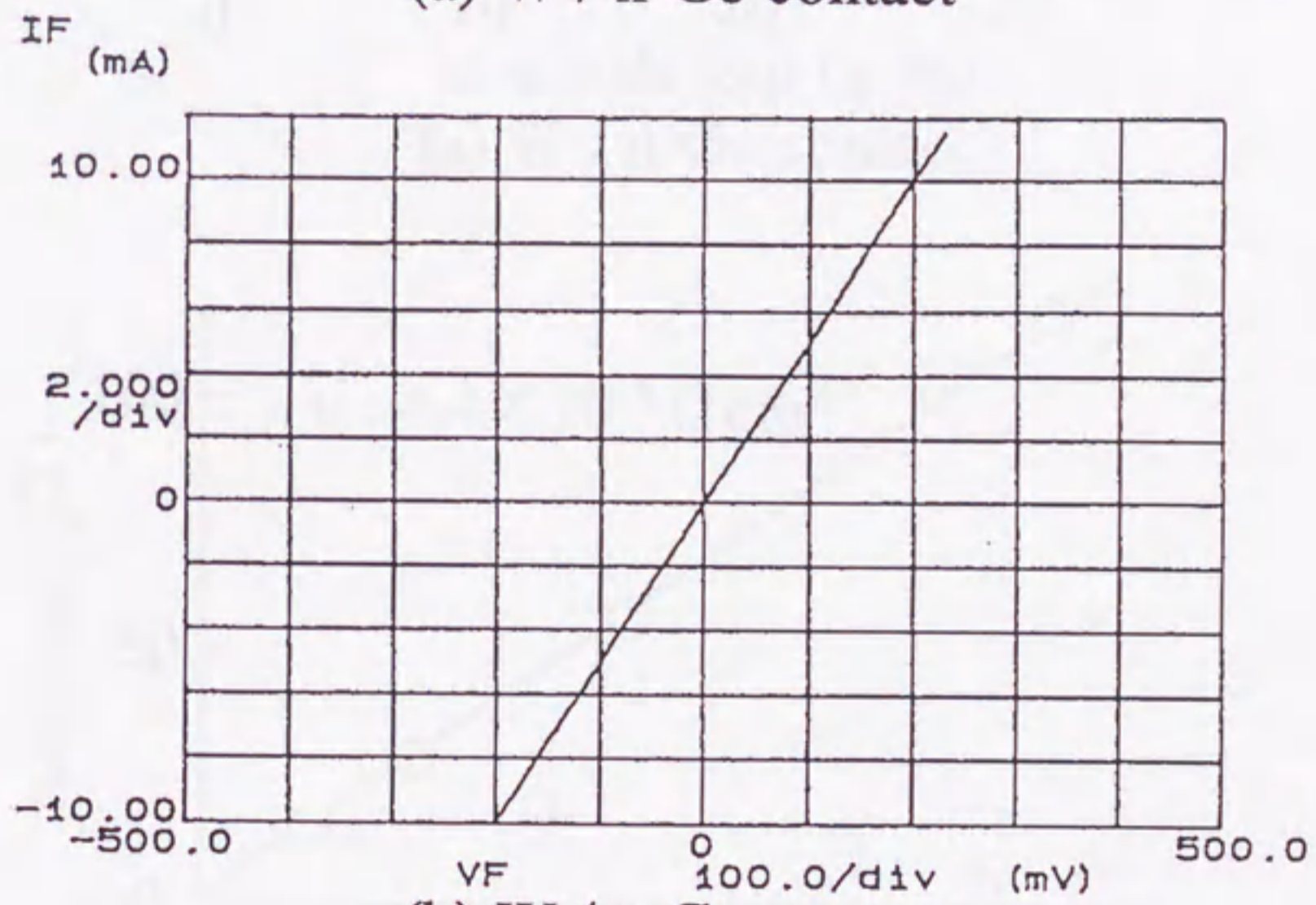
本研究では便宜的にイオン注入により高濃度コンタクト層を形成しているが, 実際のデバイス作製ではエピタキシャル成長法を用いてGeコンタクト層を形成することになる。従って, 上述した技術の実用化を進めて行くためには高濃度Geエピタキシャル層採用によるCVD-W電極とGeコンタクト層のコンタクト抵抗率の低減を確認する必要がある。

## 2-4 まとめ

GaAsのノンアロイコンタクト層となるGe層に選択W-CVD技術を適用し自己整合的な電極形成プロセスを構築するための第一段階として, Ge基板を用いてSiH<sub>4</sub>還元法の選択W-CVD技術の適用可能性及び電極特性について検討した。その結果, 以下に示す結論を得た。



(a) W / n-Ge contact



(b) W / p-Ge contact

Fig. 2-9 I - V characteristics of CVD-W / Ge contact

図 2 - 9 CVD-W / Ge コンタクトの I - V 特性

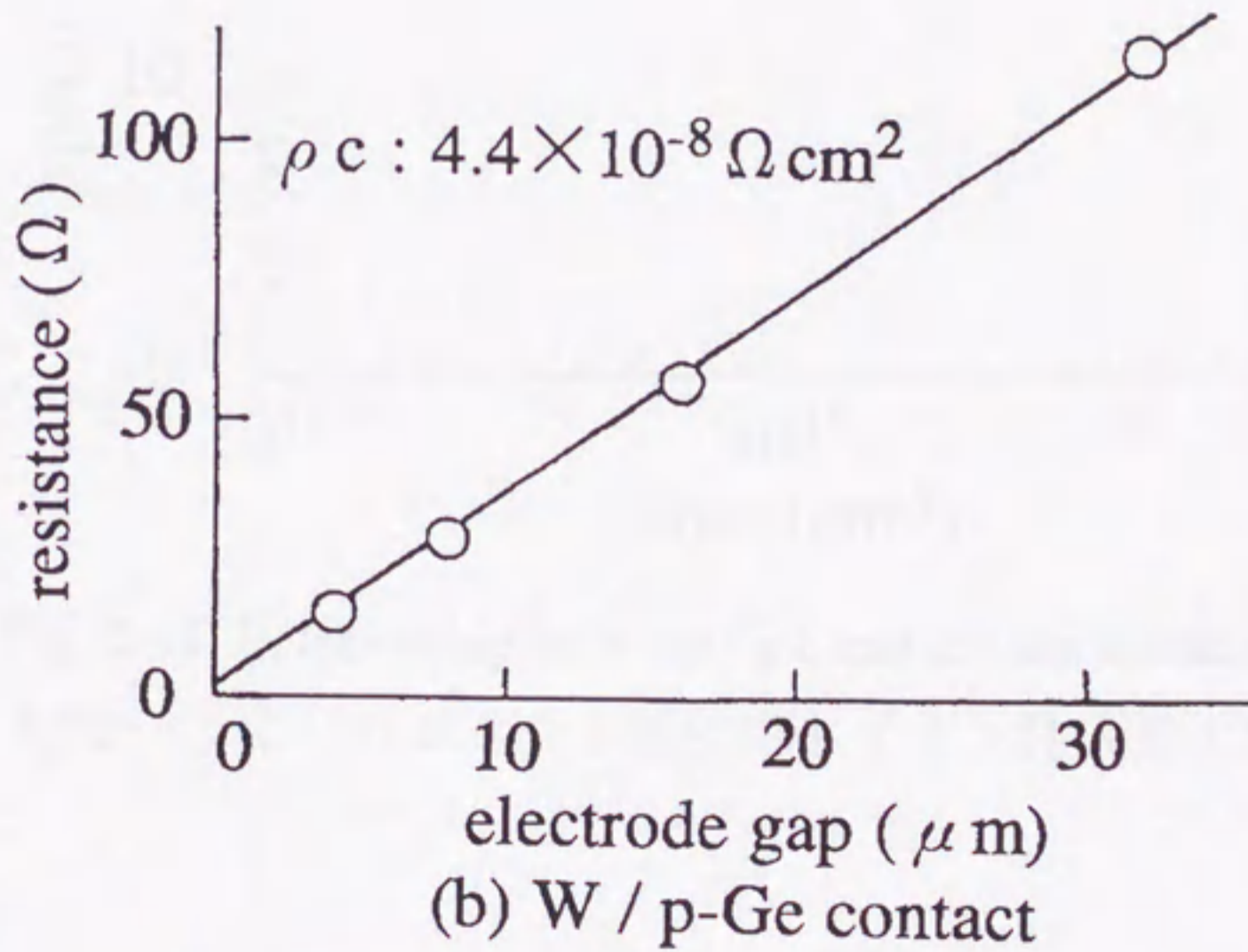
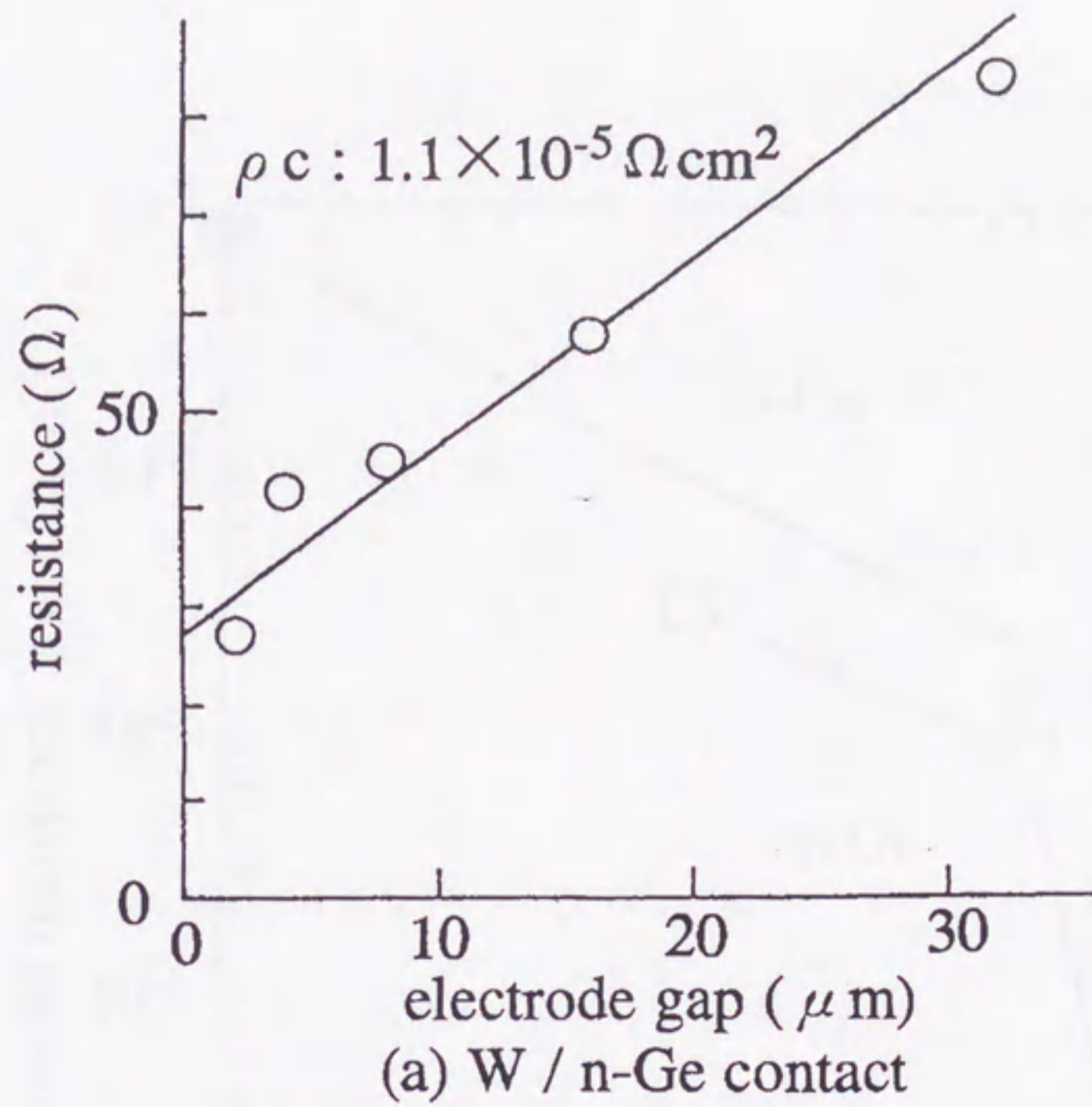


Fig. 2-10 Evaluation of CVD-W / Ge specific contact resistance

図 2-10 CVD-W/Geコンタクト抵抗率の評価

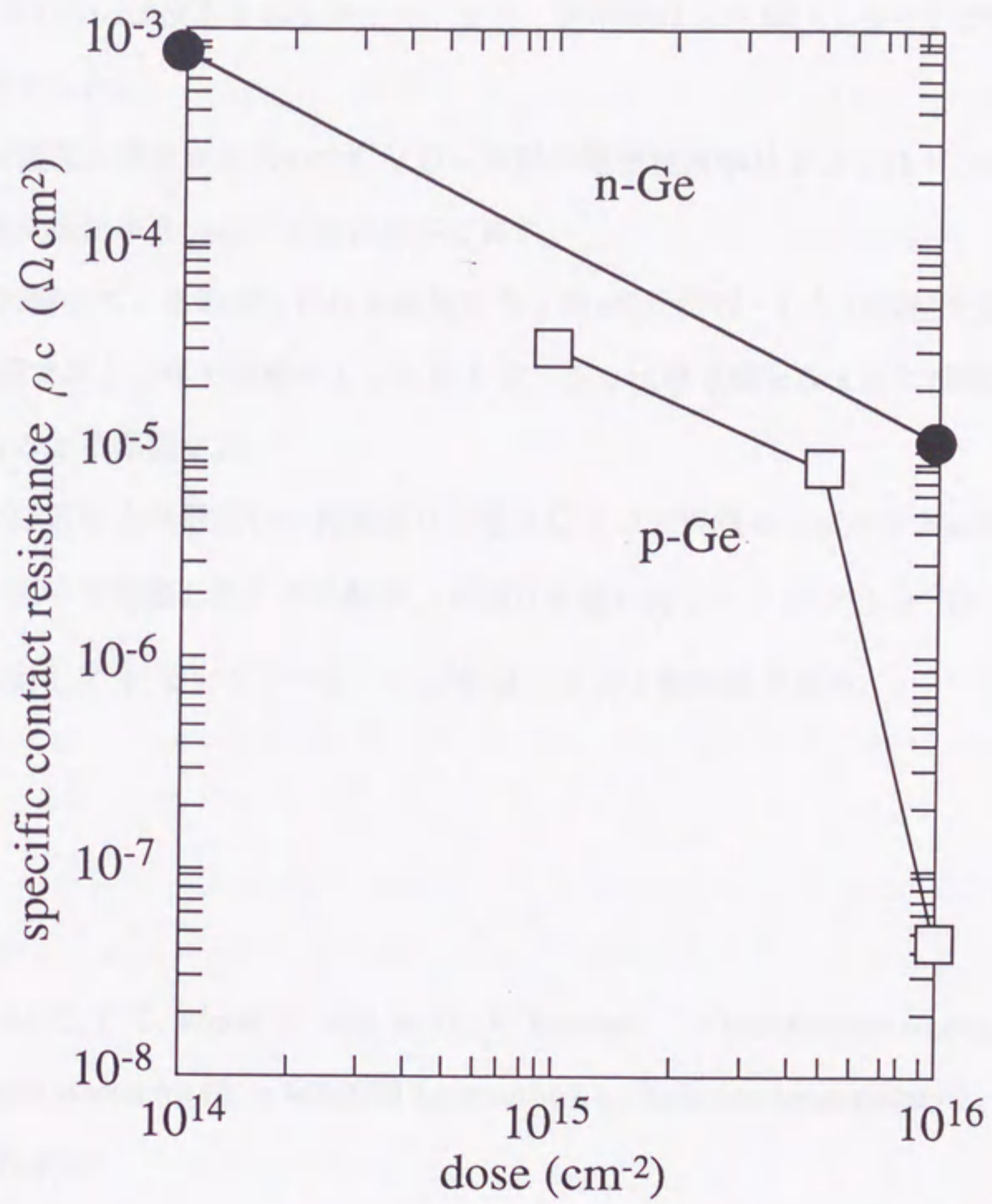


Fig. 2-11 Relationship between  $\rho_c$  and ion implantation dose

図 2-11 コンタクト抵抗率とイオン注入量の関係



(1)  $WF_6/SiH_4$ 系の選択W-CVD技術を用いて、 $320^\circ C$ の低温でGe上にW膜を堆積することが可能であることを初めて確認した。

(2) X線回折法によりCVD-W膜を分析した結果、 $\alpha$ -W相だけからなり $\beta$ -W相及び $WSi_2$ ,  $WSi_3$ は検出されなかった。また、配向性は $\alpha$ -W(100)が支配的であることが分かった。

(3) シート抵抗と膜厚から求めたCVD-W膜の電気抵抗率は $42 \mu\Omega \cdot cm$ であり、通常のWの電気抵抗率 $8 \mu\Omega \cdot cm$ に比べて高い。

(4)  $SiO_2$ 膜マスクを形成したGe基板に $SiH_4$ 還元法W-CVD技術を適用した結果、 $SiO_2$ 膜マスクにWを被着することなく $0.5 \mu m$ 厚W膜をGe上に堆積することが可能であることを確認した。

(5) イオン注入により形成した高濃度Ge層とCVD-W膜のコンタクト抵抗率をTLMパターンを用いて評価した。その結果、n型Ge層に対して $1.1 \times 10^{-5} \Omega \cdot cm^2$ 、p型Ge層に対して $4.4 \times 10^{-8} \Omega \cdot cm^2$ のコンタクト抵抗率を得た。

## 参考文献

- [1]. W. J. Devlin, C. E. C. Wood, R. Stall, and L. F. Eastman: "A molybdenum source, gate and drain metallization system for GaAs MESFET layers grown by molecular beam epitaxy", J. Appl. Phys. 52 (1981) 4062
- [2]. R. A. Stall, C.E.C. Wood, K. Board, N. Dandekar, L. F. Eastman, and J. Devlin: "A study of Ge/GaAs interfaces grown by molecular beam epitaxy", J. Appl. Phys. 52 (1981) 4062
- [3]. S. L. Wright, R. F. Marks, S. Tiwari, T. N. Jackson, and H. Baratte: "In situ contacts to GaAs based on InAs", Appl. Phys. Lett. 49 (1986) 1545
- [4]. J. M. Ballingall, C.E.C. Wood, and L. F. Eastman: "Electrical measurements of the conduction band discontinuity of the abrupt Ge-GaAs <100> heterojunction", J. Vac. Sci. Technol. B1 (1983) 675

- [5]. R. Stall, C. E. C. Wood, K. Board, and L. F. Eastman: "Ultra low resistance ohmic contact to n-GaAs" , Electron Lett. 15 (1979) 800
- [6]. Y. Yamane, Y. Takahashi, H. Ishii, and M. Hirakawa: "Selective formation of ohmic contacts to n-GaAs" , Electron Lett. 23 (1987) 382
- [7]. D. K. Jades and D. L. Feucht: "The realization of a GaAs-Ge wide band gap emitter transistor" , IEEE Trans. Electron Devices ED-16 (1969) 102
- [8]. E. K. Broadbent, C. L. Ramiller: "Selective low pressure chemical vapor deposition of tungsten hexafluoride" , J. Electrochem. Soc. 131 (1984) 1427
- [9]. T. Ohba, S. Inoue, and M. Maeda: "Selective CVD Tungsten Silicide for VLSI Applications" , IEDM Technical Digest (1987) 213
- [10]. H. Kotani, T. Tsutsumi, J. Komori, and S. Nagano: "A Highly Reliable Selective CVD-W Utilizing SiH<sub>4</sub> Reduction for VLSI Contacts" , IEDM Technical Digest (1987) 217
- [11]. N. Kobayashi, H. Goto and M. Suzuki: "Study on Mechanism of Selective Chemical Vapor Deposition of Tungsten Using in-situ Infrared Spectroscopy and Auger Electron Spectroscopy" , J. Appl. Phys. 69 (1991) 1013
- [12]. C. M. McConica and K. Cooper: "Tungsten Nucleation on Thermal Oxide during LPCVD of Tungsten by the Hydrogen Reduction of Tungsten Hexafluoride" , J. Electrochem. 135 (1988) 1003
- [13]. G. K. Reeves, H. B. Harrison: "Obtaining the specific contact resistance from transmission line model measurements" , IEEE Electron Device Lett. EDL-3 (1982) 111
- [14]. H. H. Busta and C. H. Tang: "Film Thickness Dependence of Silicon Reduced LPCVD Tungsten on Native Oxide Thickness" , J. Electrochem. Soc. 131 (1986) 1195
- [15]. M. Suzuki, N. Kobayashi, K. Mukai, and S. Kondo: "Characterization of Silane-reduced Tungsten Film Grown by CVD as a Function of Si Content" , J. Electrochem. Soc. 137 (1990) 3213
- [16]. T. Suzuki, N. Misawa, T. Hara, T. Ohba, and T. Furusawa : "Resistivity, Contact Resistance and Fluorine Contents of Selective CVD Tungsten Films Using Silane Reduction" , Tungsten and Other Advanced Metals for VLSI/ULSI Applications V (1989) 267

[17]. W. M. Loh, K. Saraswat, and R. W. Dutton : "Analysis and Scaling of Kelvin Resistors for Extraction of Specific Contact Resistance" , IEEE Electron Device Letters EDL-6 (1985) 105

[18]. S. M. Sze: Physics of Semiconductor Devices (John Wiley & Sons, Inc. 1981) 304

### 第3章 化合物半導体層への選択W-CVD技術の適用

#### 3-1 まえがき

次世代ULSI (ultra large scale integrated circuit) 配線技術として注目されている選択W-CVD技術を用いると絶縁膜上にWが被着することなくSi 或いはW等の金属にW膜を堆積できる。この技術は、微細なコンタクト孔の埋め込み技術だけでなく、MOSFETの自己整合的なソース・ドレイン電極形成技術として注目されている。[1] この選択CVDの特徴を活かした電極形成技術の適用はGaAs系デバイスの高性能化を進める上でも有効であると考えられる。しかしながら、選択CVD技術を用いてGaAs系電子デバイスにW電極を形成した例は報告されていない。GaAs系デバイスにおけるW電極には大きく2通りの適用がある。第1はFETのゲート電極としてのショットキ型コンタクト電極であり、特にデジタル用FETの作製プロセスにおいて電極の耐熱性が活かされている。[2] 第2はFETのソース、ドレイン電極及びHBTの各電極に用いられるオーミックコンタクト電極である。W電極を用いてGaAsにオーミックコンタクトを形成する場合、ショットキ障壁 ( $\phi_B$ ) の小さいノンアロイコンタクト層を介在させる必要がある。第2章ではGeコンタクト層の適用可能性について述べたが、化合物半導体であるInAs及びInGaAs層ノンアロイコンタクト層を用いてn型GaAsにオーミックコンタクトを形成する技術が検討されている。[3]-[5] 金属/n-InAs/n-InGaAs組成傾斜層/GaAsのバンドダイアグラムを図3-1に示す。InAsと金属の界面ではフェルミレベルが伝導帯内にピンングされショットキ障壁を形成しないため金属との接触抵抗が小さい。InGaAs組成傾斜層を挿入することによりバンドギャップの異なるGaAsとInAsのエネルギーバンドを滑らかにつないでヘテロ界面での接触抵抗を回避している。一方、p型GaAsへのコンタクトには、GaSbノンアロイコンタクト層を用いる方法[6],[7]とp型不純物にCを用いて $10^{20} \text{ cm}^{-3}$ 以上に超高濃度ドーピングしたGaAs層に直接オーミック接触を形成する方法[8]がある。GaSbノンアロイコンタクト層を用いたときの金属/p-GaSb/p-GaSbAs組成傾斜層/p-GaAsのバンドダイアグラムを図3-2に示す。[9] GaSbと金属の界面ではフェルミレベルが価電子帯端にピンングされるため、電極界面に正孔が蓄積され金属との接触抵抗が小さい。

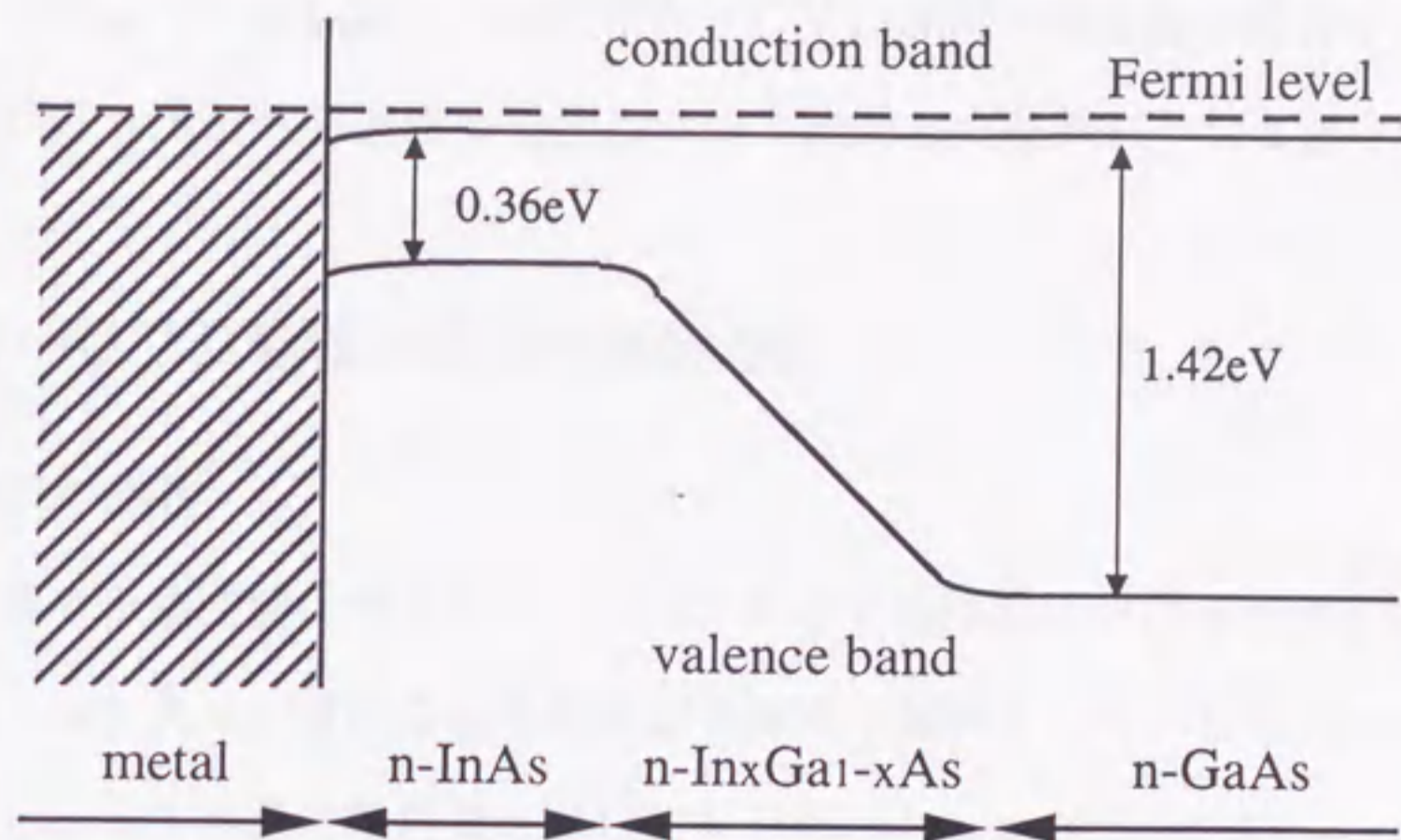


Fig. 3-1 Banddiagram of metal / n-InAs / n-InGaAs / n-GaAs system  
 図3-1 金属/n-InAs/n-InGaAs/n-GaAsコンタクトのバンドダイアグラム

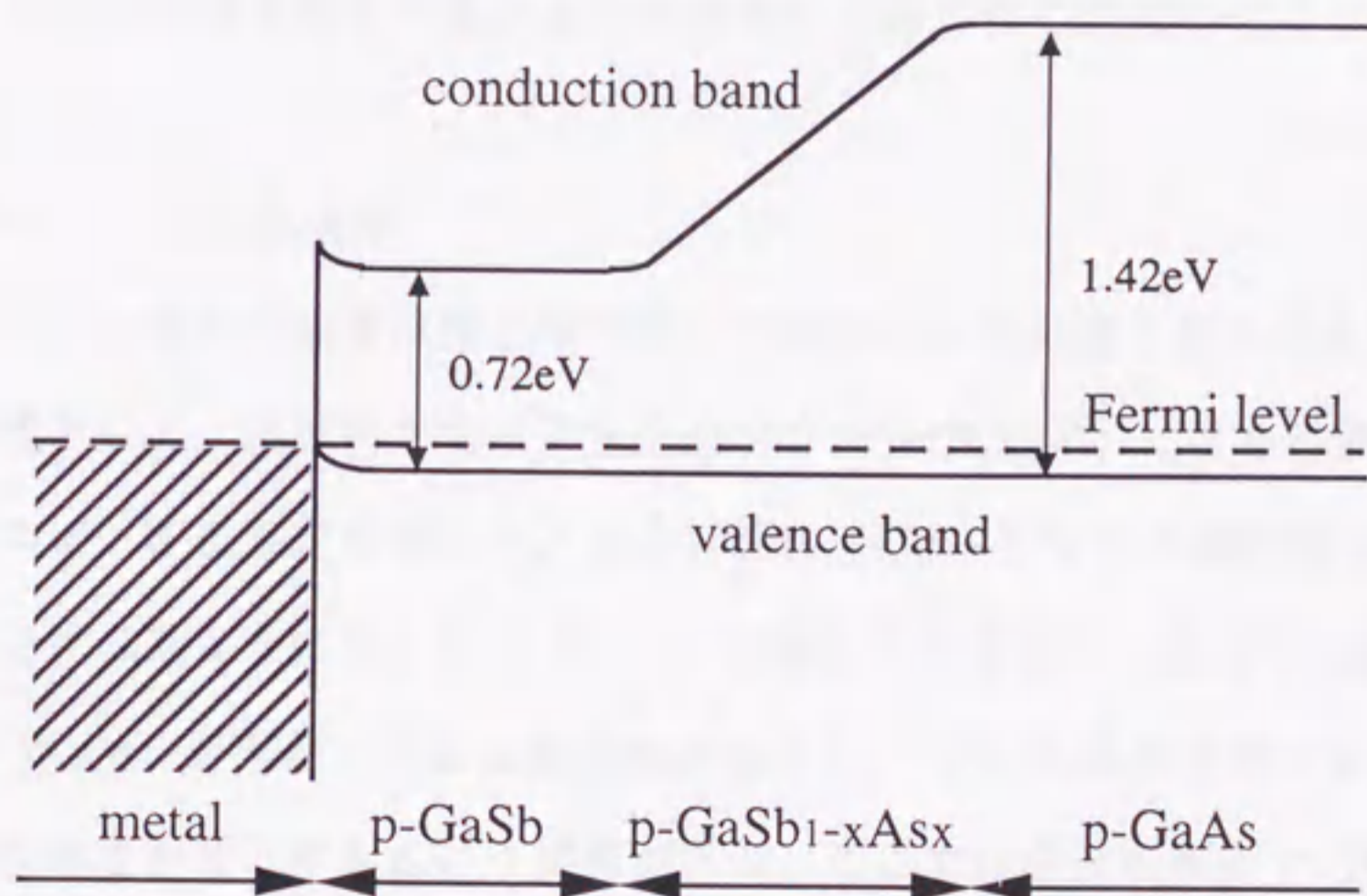


Fig. 3-2 Banddiagram of metal / p-GaSb / p-GaSbAs / p-GaAs system  
 図3-2 金属/p-GaSb/p-GaSbAs/p-GaAsコンタクトのバンドダイアグラム

GaAsSb組成傾斜層の役割はバンドギャップの異なるGaAsとGaSbのエネルギーバンドを滑らかにつなぐことである。

本章では、WF<sub>6</sub>/SiH<sub>4</sub>系による選択W-CVD技術の化合物半導体であるGaAs, InAs, 及びGaSbへの適用可能性について検討した結果について述べる。

## 3-2 選択W-CVD処理と膜質の評価方法

### 3-2-1 各種試料の準備

CVD-W膜の堆積特性はWF<sub>6</sub>/SiH<sub>4</sub>ガスと下地材料における表面反応により決まる。GaAs, InAs, 及びGaSb表面を有する試料として, GaAs(100)基板, InAs/InGaAs組成傾斜層をMOCVD(metal organic chemical vapor deposition)法により成長したGaAs 2°オフ(100)基板, 及びGaSb(100)基板自体を各々用いた。また, 第2章において選択W-CVDの適用が可能であることを明らかにしたGe(100)基板自体も比較のために併せて用いた。上記した全試料を一斉にW-CVD装置のサセプタ上に投入できるように, 各々1cm□程度の大きさに劈開した。これにより, 選択W-CVD処理条件を揃えて各下地材料表面によるW膜の堆積特性を比較できる。

### 3-2-2 選択W-CVD処理条件

選択W-CVDに用いた装置は第2章で用いた減圧CVD装置と同一である。選択W-CVDの前処理として, 各試料を希HF水溶液(0.5wt% HF)に30秒間浸漬した後, 流水洗浄及びスピンドル乾燥処理を施した。SiH<sub>4</sub>還元法W-CVDの選択性を確保するためには第2章で述べたようにSiH<sub>4</sub>とWF<sub>6</sub>の流量比Rを留意して設定する必要がある。R(SiH<sub>4</sub>/WF<sub>6</sub>)が大きくとると選択性が低下し, SiH<sub>4</sub>流量を絞るとRを小さくとるとW膜の堆積速度が低下するという関係がある。ここでは各試料表面でのW膜堆積の有無の確認に重点を置いて, 第2章で用いた条件(R=0.4)に比べてSiH<sub>4</sub>流量が大きくW膜堆積の起こりやすいCVD条件(R=0.6)を採用した。従って, 選択性の確保という点ではプロセスマージンが小さい条件になる。以下にSiH<sub>4</sub>還元法W-CVDの主な条件を示す。WF<sub>6</sub>ガス流量: 2 sccm, SiH<sub>4</sub>ガス流量: 1.2 sccm, N<sub>2</sub>ガス流量:

20 sccm, 全ガス圧力: 0.12 Torr, 基板温度: 320°C, 堆積時間: 2分

また, 全ての試料に同一バッチで希HF水溶液処理及び選択W-CVD処理を施した。

### 3-2-3 CVD-W膜の評価方法

CVD-W膜の断面形状及び膜厚をSEM(scanning electron microscopy) (日立: S800)を用いて観察・評価した。CVD-W膜内及び基板界面の不純物の深さ方向プロファイルをSIMS(secondary ion mass spectroscopy)を用いて分析した。また, W膜の結晶構造をX線回折法(XDS)により検討した。用いた分析装置はディフラクトメータ(理学電機: RAD-III)であり, 光源はCuK $\alpha$  ( $\lambda=0.154056$  nm)である。

## 3-3 W膜の被着特性と膜質の評価

### 3-3-1 各種化合物半導体層に対するCVD-W膜の被着特性

SiH<sub>4</sub>還元法W-CVD技術をGaAs, InAs, GaSb及びGe試料に適用したときのCVD-W膜厚の堆積時間依存性を図3-3に示す。GaAs及びInAs表面上ではW被着反応が起きないが, GaSb(100)基板上ではGe(100)基板と同様にCVD-W膜の堆積反応が進行していることが分かる。ここではGaSb基板自体にW-CVD処理を適用しているが, W膜の堆積反応はGaSb表面で起こっており図3-2に示したp-GaSb/p-GaSbAs組成傾斜層/p-GaAs系の試料表面に対してもW膜の堆積が可能であると考えられる。その場合のW膜とp-GaSbの接触抵抗はフェルミレベルの価電子帯端へのピンング効果により理論上は小さい。また, GaAsSb組成傾斜層採用によりGaAsとGaSbのエネルギーバンドも滑らかにつなぐことができる。これらのことは, 選択W-CVD技術をp型GaSb系コンタクト層/p型GaAsに適用することによりノンアロイオーミック電極形成が可能であることを示唆する。

次に, SiO<sub>2</sub>膜マスクを形成したGaSb基板にSiH<sub>4</sub>還元法選択W-CVD技術を適用し選択性について確認した。図3-4に示すように周辺のSiO<sub>2</sub>膜マスク上にW被着することなく, 開孔部より露出したGaSb表面に約0.6  $\mu$ m厚のCVD-W膜が堆積している。第2章で用いた条件(R=0.4)に比べSiH<sub>4</sub>流量の大きいCVD条件

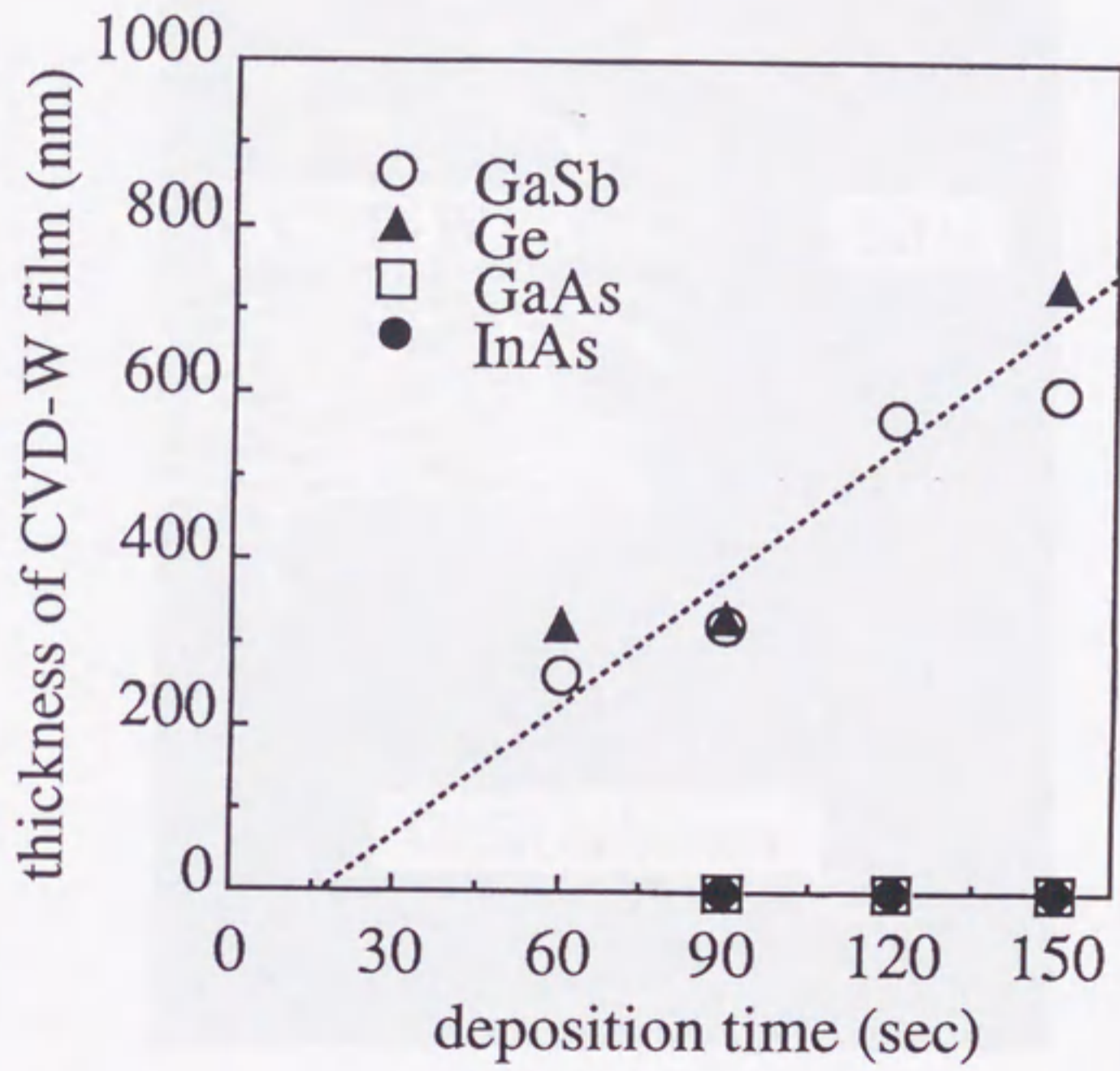


Fig. 3-3 Deposition time dependence of CVD-W film thickness

図 3 - 3 CVD-W膜厚の堆積時間依存性



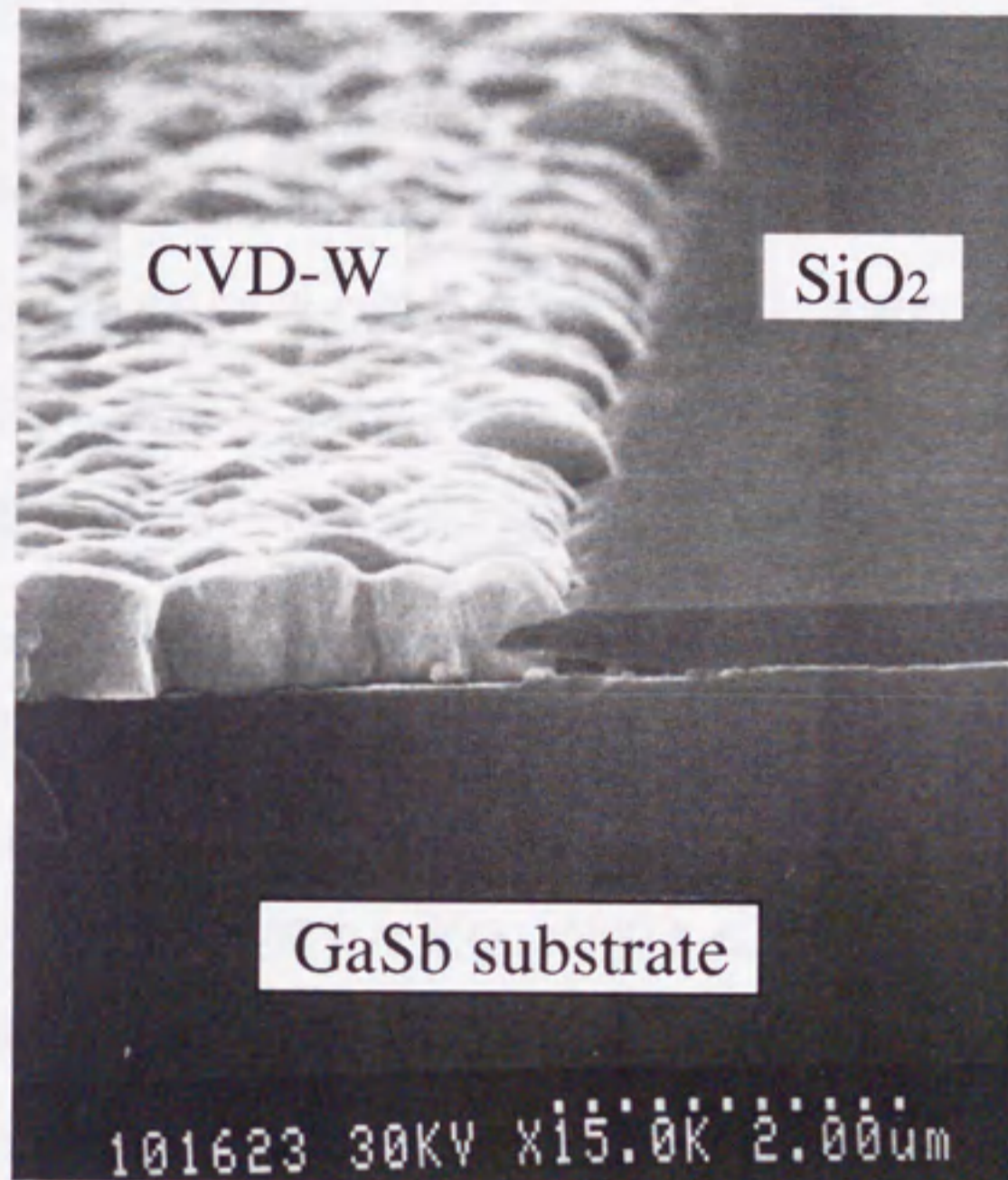


Fig. 3-4 SEM view of selectively-deposited W film on GaSb

図3-4 GaSb上に選択的に堆積したW膜のSEM写真

( $R = 0.6$ ) 適用しているが、選択性について問題がないことが分かった。

また、CVD-WとGaSb層の界面は平滑であり、基板表面の侵食も観察されない。第2章で述べたCVD-W/Ga基板の場合と同様に、Wの被着反応として基板構成元素とWF<sub>6</sub>の直接的な還元反応が支配的ではないことを示唆している。

### 3-3-2 GaSb上CVD膜の評価

GaSb上に堆積したCVD-W膜の膜質をSIMS及びX線回折法により評価した。図3-5にCVD-W/GaSbの深さ方向の元素(W, O, F, Sb)のプロファイルを示す。W或いはGaSbのバルクの信号の強度が半減した箇所を便宜的にW/GaSb界面と見なし図3-5中に示した。界面近傍におけるプロファイルの変化が比較的緩やかなのは、図3-4に示したようにW膜表面の凸凹が大きいため界面近傍が不均一にスパッタエッチングされることに因る。また、O及びFがGaSb中で見かけ上高く見えるのはSIMS感度がGaSb中の方がWに比べて高いためと推定される。W膜/GaSb界面におけるOのピークはGaSb表面酸化膜に起因していると考えられる。GaSb酸化膜がCVD-W前の希HF水溶液処理では十分に除去されていないか、或いはCVD-W処理の前に再び表面が酸化したためと考えられる。このようなGaSb酸化膜が存在しても図3-4に示したようなCVD-Wの連続膜の堆積が可能であることが分かる。このことはGaSb表面に存在する酸化物は僅かであり、界面が不均一にスパッタエッチングされるためOピーク幅が広がっていることを示唆する。Fも同様にCVD-W/GaSb界面においてピークが観察されている。これはW被着初期にGaSb表面に吸着したWF<sub>x</sub>が十分に解離しないままCVD膜に取り込まれたためと推定される。図3-6にX線回折法によりGaSb基板上のCVD-W膜の構造を分析した結果を示す。これから、SiH<sub>4</sub>還元法を用いてGaSb上に堆積したCVD-W膜はβ-W相或いはW<sub>5</sub>Si<sub>3</sub>は含まずα-W相のみから構成されていることが分かった。また、GaSb上のCVD-W膜の配向は表3-1に示すようにランダム配向系(JCPDSデータ)に比べて(110)方向への配向が大きく、Si上に堆積したCVD-W膜(含有Si < 2 atom%)の配向と類似している。[10]

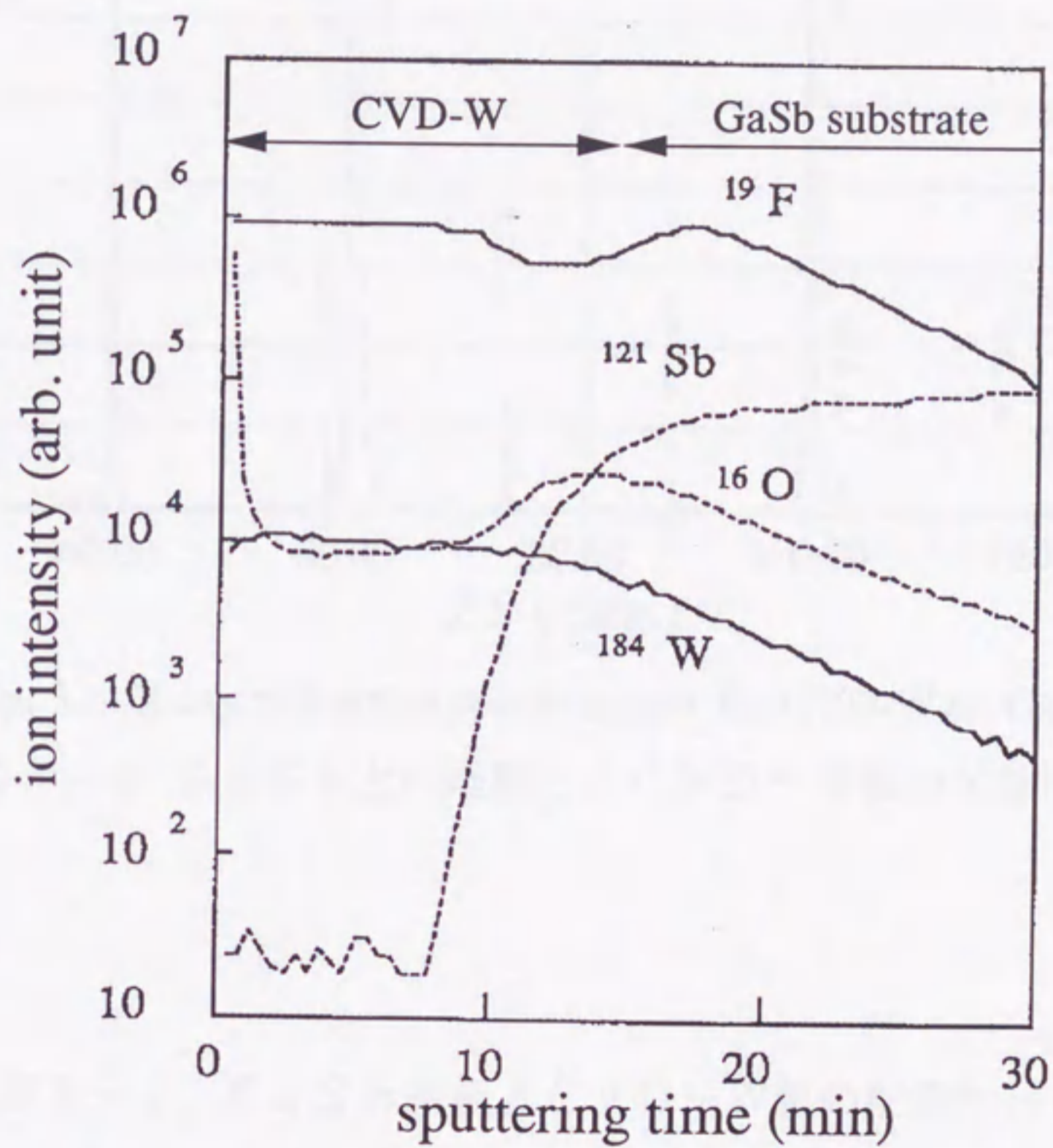


Fig. 3-5 SIMS depth profiles for CVD-W / GaSb

図3-5 CVD-W/GaSbのSIMSプロファイル

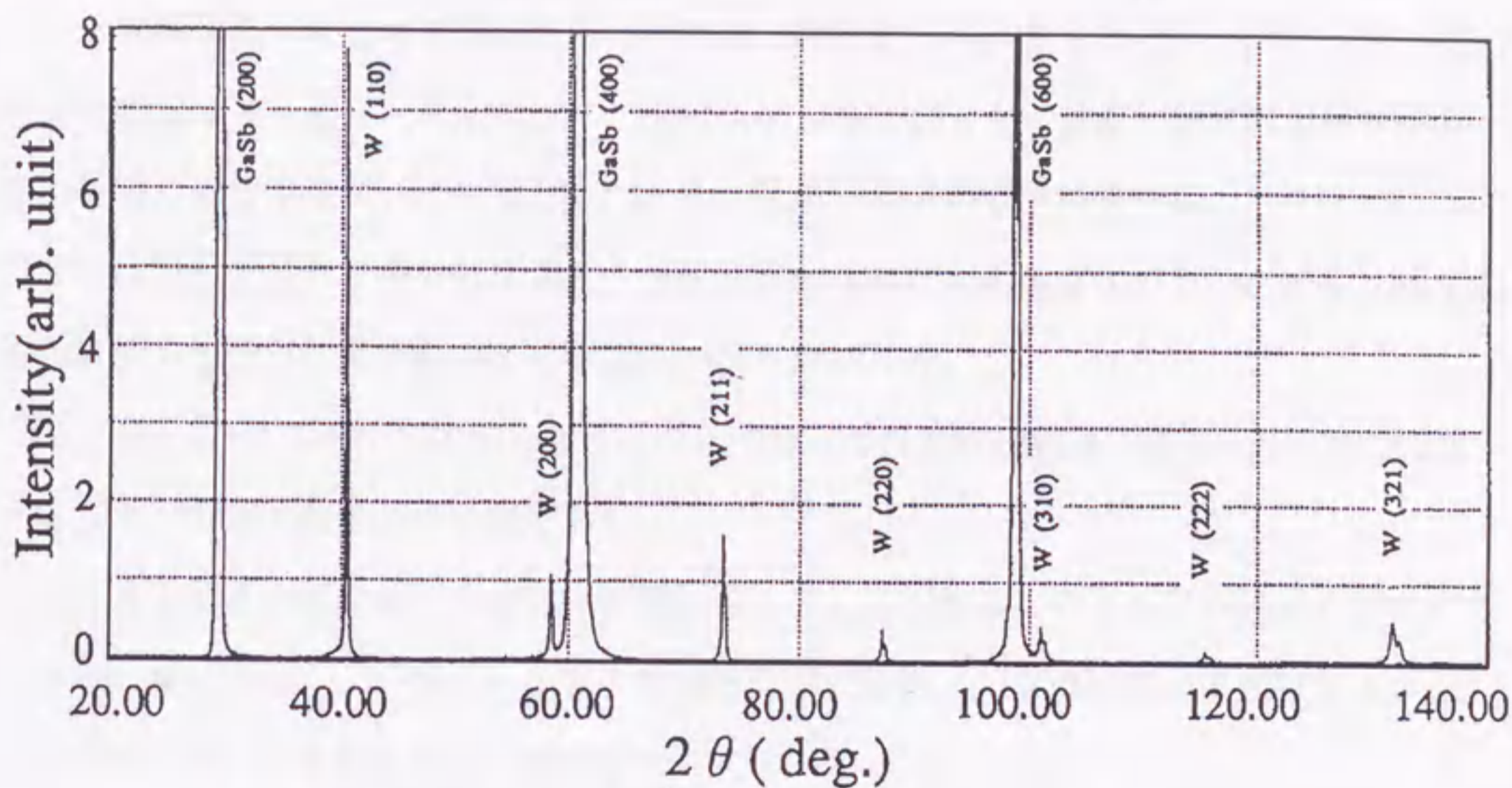


Fig. 3-6 X-ray diffraction spectroscopy for CVD-W on GaSb

図3-6 GaSb上に堆積したCVD-W膜のX線回折

表3-1 GaSb基板上CVD-W膜の配向性

Table 3-1 Orientation of CVD-W film on GaSb substrate

	(110)	(200)	(211)	(220)	(310)	(222)	(321)
CVD-W film on GaSb	0.65	0.09	0.14	0.03	0.04	0.01	0.04
Random orientation structure of W *	0.59	0.09	0.14	0.05	0.06	0.02	0.05

\*The data of the Joint Committee of Powder Diffraction Standards

### 3-4 まとめ

選択W-CVD技術を活かした自己整合的なGaAs系デバイスのゲート電極及びオーミック電極形成プロセスを構築するための第一段階として、SiH<sub>4</sub>還元法W-CVD技術によるGaAs基板、InAsエピタキシャル層（GaAs基板）及びGaSb基板でのW膜の堆積特性について検討した。その結果、以下に示す結論を得た。

(1) 検討したCVD条件によると、上記したIII-V族化合物半導体の中でGaSb層上のみW膜の堆積が可能であることを初めて明らかにした。

(2) SiO<sub>2</sub>マスクから露出したGaSbに対して良好な選択性を確保してW膜を堆積することが可能であることを確認した。

(3) SIMS分析によりCVD-W膜/GaSb基板界面にO及びFが僅かに存在していることが分かった。OはGaSbの表面酸化膜に起因し、Fは解離が不十分なWF<sub>x</sub>がCVD膜に取り込まれたものと推定される。

(4) X線回折法によりGaSb基板上のW膜は $\alpha$ -W相からなり(110)方向の配向が大きいことが分かった。

選択的なW膜堆積が可能なGaSbはp-GaAsに対する良好なオーミックコンタクト層として利用できる。本研究では便宜的にGaSb基板により選択W-CVDの堆積特性及び膜質について評価したが、次の段階としてp-GaSbエピタキシャル層の試料を用いてCVD-W膜による電極特性について評価することが課題である。

### 参考文献

- [1]. N. E. Miller and I. Beinglass: "CVD Tungsten Interconnect and Contact Barrier Technology", Solid State Technol. 25 (1982) 85
- [2]. N. Yokoyama, T. Ohnishi, K. Odani, H. Onodera, and M. Abe: "Ti/W Silicide Gate Technology for Self-Aligned GaAs MESFET VLSIs", Technical digest of Intern. Electron Devices Meeting (1981) 80

- [3]. S. L. Wright, R. F. Marks, S. Tiwari, T. N. Jackson, and H. Baratte: "In situ ohmic contacts to GaAs based on InAs" , *Appl. Phys. Lett.* 49 (1986) 1545
- [4]. T. Nittono, H. Ito, O. Nakajima, and T. Ishibashi: "Non-Alloyed Ohmic Contacts to n-GaAs Using Compositionally Graded  $\text{In}_x\text{Ga}_{1-x}\text{As}$  Layers" , *Jpn. J. Appl. Phys.* 27 (1988) 1718
- [5]. J. M. Woodall, J. L. Freeouf, G. D. Pettit, T. N. Jackson and P. Kirchner: "Ohmic contacts to n-GaAs Using Graded Band Gap Layers of GaInAs Grown by Molecular Beam Epitaxy" , *J. Vac. Sci. Technol.* 19 (1981) 626
- [6]. M. A. Rao, E. J. Caine, S. I. Long, and H. Kroemer: "An (Al,Ga)As/GaAs heterostructure bipolar transistor with nonalloyed graded-gap ohmic contacts to the base and emitter" ,*IEEE Electron Device Lett.* EDL-8, (1987) 30
- [7]. B. Tadayon, C. S. Kyono, M. Fatemi, S. Tadayon, and J. A. Mittereder: "Extremely low specific contact resistivities for p-type GaSb, grown by molecular beam epitaxy" , *J. Vac. Sci. Technol.* B13 (1995) 1
- [8]. M. Weyers, N. Putz, H. Heinecke, M. Heyen, H. Luth, and P. Balk: "Intentional p-type Doping by Carbon in Metalorganic MBE of GaAs" , *J. Electron. Mater.* 15 (1986) 57
- [9]. L. L. Chang and J. L. Freeouf, "Ohmic contacts to p-type semiconductors", *IBM Tech. Discl. Bull.* 24 (1982) 4065
- [10]. M. Suzuki, N. Kobayashi, K. Mukai, and S. Kondo, "Characterization of Silane-reduced Tungsten Film Grown by CVD as a Function of Si Content" , *J. Electrochem. Soc.* 137 (1990) 3213

## 第4章 選択W-CVD技術によるHBTのプレーナ化

### 4-1 まえがき

ヘテロ接合バイポーラトランジスタ (HBT) はワイドギャップエミッタ構造の採用により電流利得を低下させることなくベース層のキャリア濃度を高くすることができる。従って、ベース層を薄くしても高濃度化することにより低ベース抵抗を実現できる。HBTの製作には、MBE (molecular beam epitaxy) 法などの結晶成長におけるヘテロ界面及び薄膜厚制御の高度化が不可欠である。AlGaAs/GaAsをエミッタ・ベース接合に採用したnpn型HBTは高い電流駆動力を活かして超高速デジタル及びアナログ回路への適用が検討されている。[1]-[4] HBTの高速性の指標である遮断周波数 $f_t$ はエミッタからコレクタに向かう電子のベース走行時間 $\tau_B$ とコレクタ走行時間 $\tau_c$ により概ね決まる。各々の走行時間を短縮するためにはベース層及びコレクタ層の厚さを薄くすることが有効であるが、コレクタ耐圧を確保するためにはコレクタ層はあまり薄くできない。[5] そのため、コレクタ構造の改良により、電子のオーバーシュート効果を活かしてコレクタ走行時間 $\tau_c$ の短縮を図る技術が提案されている。[6]

従来のメサ型HBTの典型的な作製プロセスを図4-1に示す。MBE (molecular beam epitaxy) 法等により基板上にサブコレクタ、コレクタ、ベース、スペーサ、エミッタ、及びキャップ層を順次積層する。次にレジストマスクを用いてメサエッチングを施しエミッタ・ベース接合領域を限定しベース層を露出させる (図4-1 (a))。同様に、メサエッチングによりベース・コレクタ接合領域を限定し、サブコレクタ層を露出させる (図4-1 (b))。次いで、SiO<sub>2</sub>膜をスペーサとして用いたリフトオフ法を用いて、キャップ層及びサブコレクタ層上にAuGe系のオーミック電極を形成する (図4-1 (c))。同様に、外部ベース領域にAuZn系のオーミック電極を形成する (図4-1 (d))。上記プロセスにより作製したメサ型HBTでは、素子表面の凹凸、特にベース、コレクタ電極面の高低差が大きく、配線の段切れが懸念される。このため、縦型積層構造のHBTは、同一平面上に電極を具備するFETに比べ高集積化が困難になる。従って、HBTの高集積化を実現するためには、素子表面、特にコレクタ電極取り出し部のプレーナ化技術が重要になる。

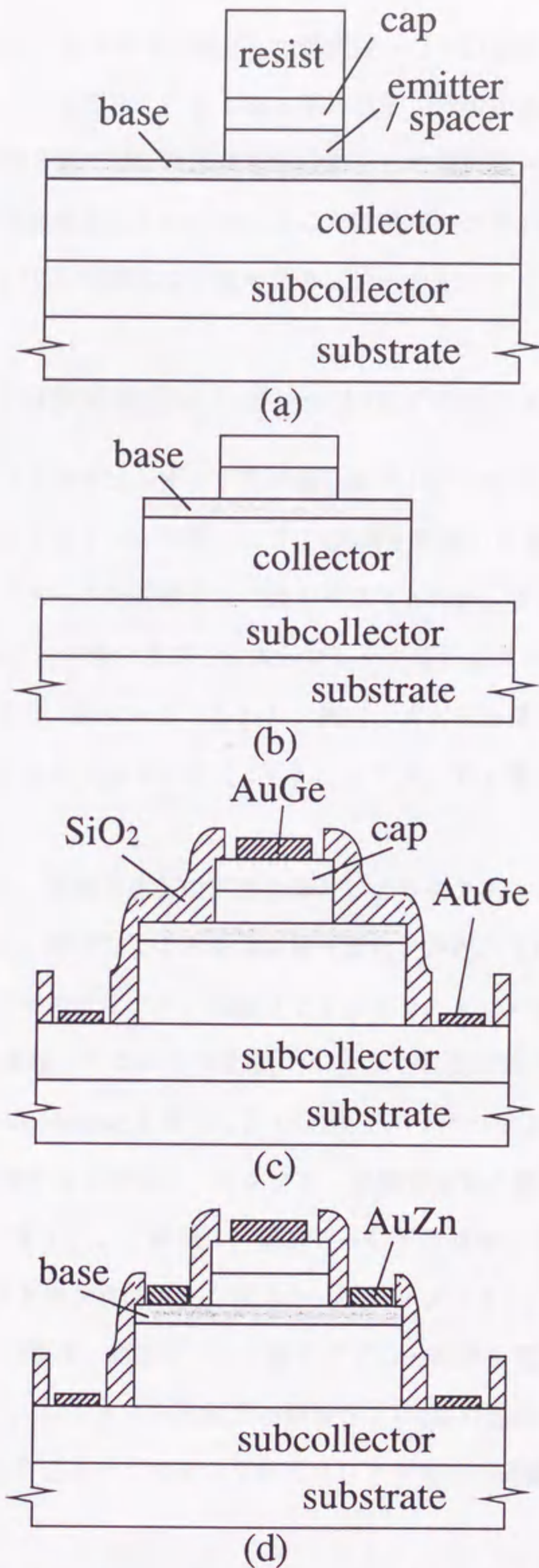


Fig. 4-1 Fabrication steps of conventional mesa HBT  
 図4-1 従来のメサ型HBTの作製工程



本章では、HBTのプレーナ化技術として選択W-CVD技術を用いたコレクタコンタクト孔の埋込みプロセスを提案し、GaAs系HBTの作製に適用して素子特性の評価を行った。第2章及び第3章では、次世代電極技術として選択W-CVD技術による各種コンタクト層への適用性を検討しているが、ここでは従来のアロイ電極を具備したGaAs系HBTに選択W-CVD技術による埋め込みプレーナ化のメリットを活かしている。

#### 4-2 選択W-CVD技術を用いたプレーナ化プロセスの提案

提案したHBTのコレクタコンタクト孔の埋込みプレーナ化プロセスの工程を図4-2を用いて説明する。GaAsベース層上にSiO<sub>2</sub>膜を堆積した後、コレクタコンタクト孔形成用のレジストパターンを形成する(図4-2(a))。レジスト膜をマスクにしてSiO<sub>2</sub>膜、GaAsベース層、及びGaAsコレクタ層を順次エッチングしてコレクタコンタクト孔を形成する(図4-2(b))。次に、AuGe系のコレクタ電極及びPt膜を蒸着、リフトオフした(図4-2(c))。ここで、Pt膜を選定・形成した理由は以下の3点である。

(1) 触媒性があり、W被着反応の下地金属として好適であることが確認された。[7]

(2) 貴金属であり、前工程による表面変質(酸化)が起こりにくい。

(3) GaAsプロセスではゲート電極(Ti/Pt/Au)材料等で実績がある。

CVD-SiO<sub>2</sub>膜を堆積してコレクタ電極、コンタクト孔及び周辺を覆う(図4-2(d))。次に、RIE(reactive ion etching)を用いてSiO<sub>2</sub>膜をエッチバックすることにより、Pt膜上のSiO<sub>2</sub>膜を除去すると同時に、コンタクト孔側面に自己整合的に側壁SiO<sub>2</sub>膜を形成する(図4-2(e))。最後に、選択W-CVD技術によりPt膜上に選択的にW膜を堆積してコレクタコンタクト孔を埋込む(図4-2(f))。このとき、コンタクト孔側面の側壁SiO<sub>2</sub>膜は、高濃度ベース層とCVD-W膜を電氣的に絶縁している。また、本プロセスでは、コンタクト孔側面の側壁SiO<sub>2</sub>膜の形成及び選択CVDによるW埋込み工程の何れも自己整合プロセスでありコレクタ電極の微細化にも対応できる。

#### 4-3 HBTの作製プロセス

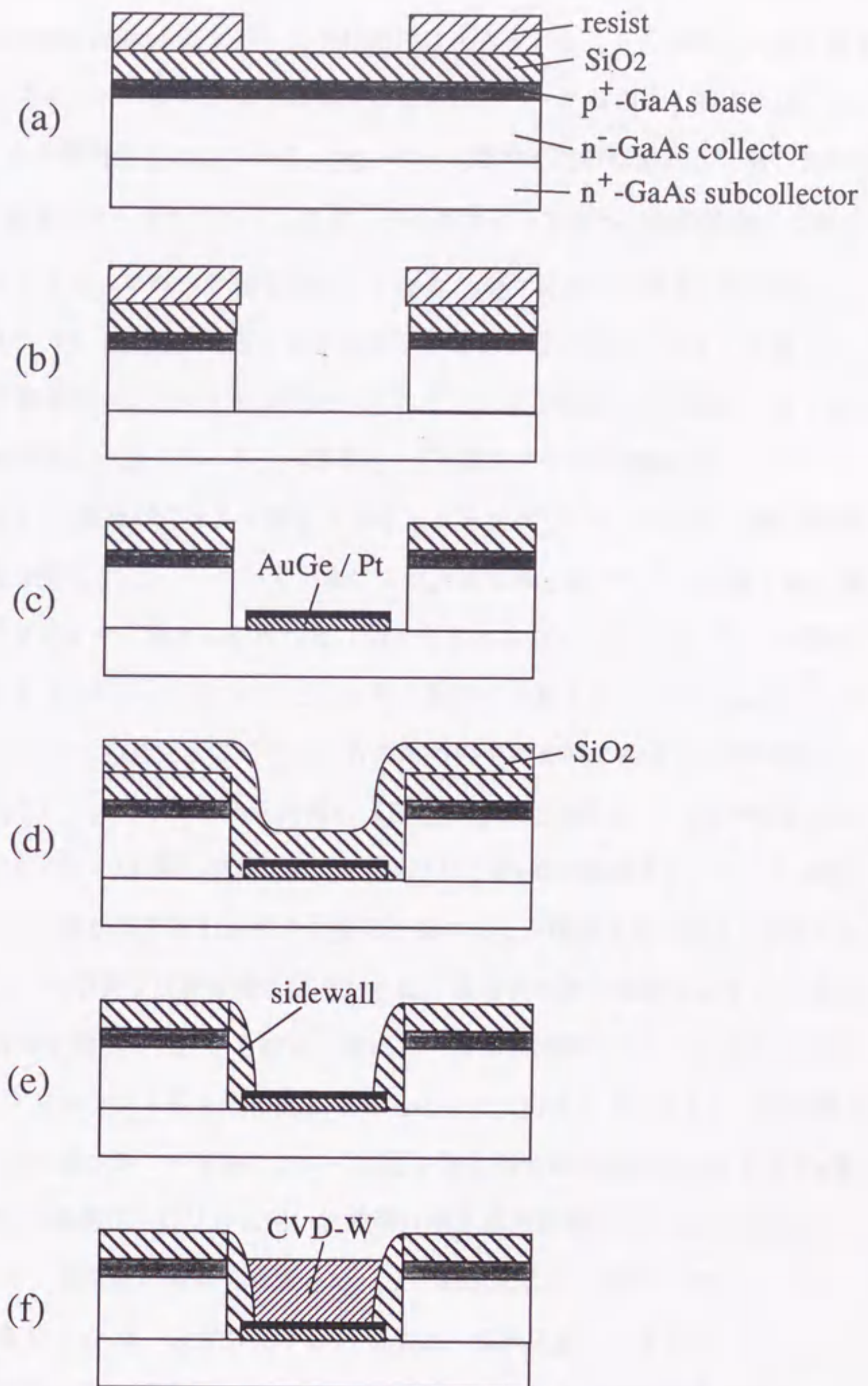


Fig. 4-2 Planarization process for collector contact hole using selective W-CVD  
 図4-2 選択W-CVDを用いたコレクタコンタクト孔埋め込みプロセス

試作したHBTのエピタキシャル層構造を表4-1に示す。これらのエピタキシャル層はMBE(molecular beam epitaxy)法を用いて半絶縁性GaAs(100)基板上に順次積層したものである。エミッタサイズ効果を抑制するために、ベース層のAl組成xは、 $x=0.1$ から $x=0.0$ の傾斜組成としている。[8] ベース層の不純物にはBeを用いて $3 \times 10^{19} \text{cm}^{-3}$ の高濃度にドーピングしている。また、Beのエミッタ層への拡散を防ぐためにアンドープのAlGaAsスペーサ層を採用している。[9] HBTの作製工程を図4-3に示す。レジストマスクを用いてGaAsキャップ層をドライエッチングした後、AlGaAsエミッタ層をウエットエッチングしてエミッタメサを形成した(図4-3(a))。レジストマスクを除去した後、 $0.5 \mu\text{m}$ 厚のSiO<sub>2</sub>膜をメサ上に堆積した。レジストマスクを用いてSiO<sub>2</sub>膜及びGaAs層をドライエッチングしてサブコレクタ層に到達するコンタクト孔を形成した。リフトオフ法により、AuGe系コレクタ電極とPt膜(50nm)をサブコレクタ層上に形成した(図4-3(b))。次いで、SiO<sub>2</sub>膜を堆積した(図4-3(c))。CHF<sub>3</sub>/C<sub>2</sub>F<sub>6</sub>ガスを用いたRIE(reactive ion etching)を用いてSiO<sub>2</sub>膜をエッチバックしてCVD-Wのための下地金属であるPt膜を露出させた(図4-3(d))。コンタクト孔内面には自己整合的に側壁SiO<sub>2</sub>膜が形成される。RIE工程によりSiO<sub>2</sub>膜の表面にはCF<sub>x</sub>及びSiF<sub>x</sub>等が形成され、これらが選択W-CVDのときにW核成長を引き起こす要因となることが確認されている。[10] そこで、SiO<sub>2</sub>膜上への不要なW膜被着を防ぐために、希HF水溶液処理によりCF<sub>x</sub>及びSiF<sub>x</sub>等のF化合物を除去した。引き続き、選択W-CVD技術によりPt膜上にW膜を堆積してコレクタコンタクト孔を埋め込んで平坦化した(図4-3(e))。選択W-CVD技術はAuGe系コレクタ電極のアロイ温度より低温でW堆積が可能なSiH<sub>4</sub>還元法を用いた。[11] 選択W-CVDに用いた装置は第2章及び第3章で用いた減圧CVD装置と同一である。選択性の確保を考慮して、以下に示すCVD条件を用いた。

SiH<sub>4</sub>/WF<sub>6</sub>流量比：0.6，全ガス圧：0.12 Torr，基板温度：320℃

コンタクト孔に自己整合的に形成された側壁SiO<sub>2</sub>膜がCVD-W膜と高濃度p型ベース層を電氣的に絶縁している。次に、AuGe系エミッタ電極及びAuZn系ベース電極をキャップ層及びベース層上にリフトオフ法を用いて各々形成した(図4-3(f))。これらの電極にN<sub>2</sub>雰囲気中で390℃，2分間アロイ処理を施した。

表 4-1 HBTのエピタキシャル層構造  
 Table 4-1 Epitaxial layers employed for the HBT

Layer		Thickness (nm)	Doping ( $\text{cm}^{-3}$ )	AlAs fraction
Cap	$n^+$ GaAs	200	Si : $5 \times 10^{18}$	—
Emitter(1)	n AlGaAs	50	Si : $1 \times 10^{18}$	0.05-0.3
Emitter(2)	n AlGaAs	100	Si : $1 \times 10^{18}$	0.3
Spacer	i AlGaAs	15	—	0.1
Base	$p^+$ AlGaAs	100	Be : $3 \times 10^{19}$	0.1-0.01
Collector	i GaAs	400	—	—
Subcollector	$n^+$ GaAs	600	Si : $5 \times 10^{18}$	—

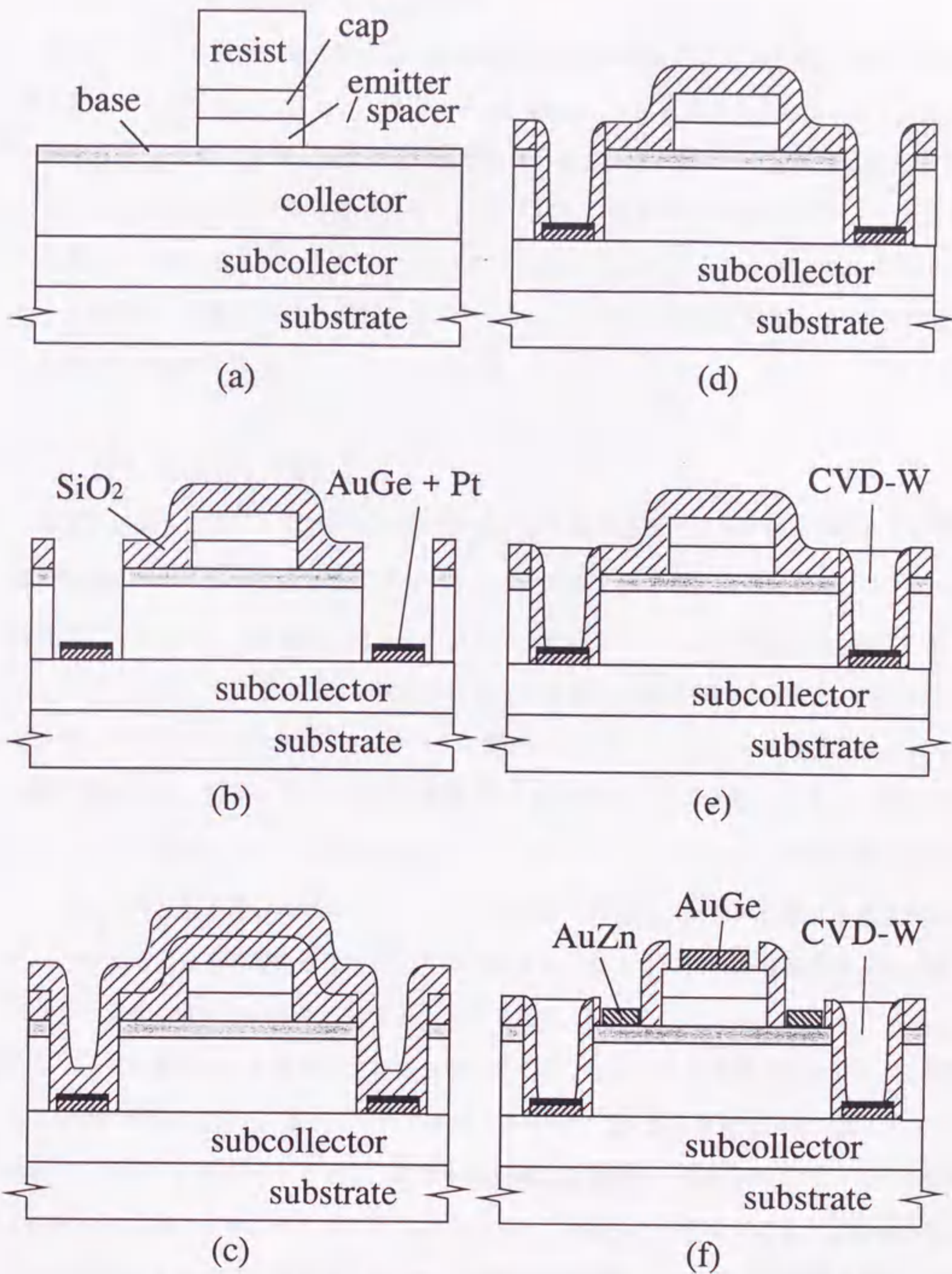


Fig. 4-3 Fabrication steps of the planar HBT

図4-3 プレーナ化HBTの作製工程

## 4-4 HBTの試作結果及び検討

### 4-4-1 CVD-Wの選択性及び埋込み形状

選択W-CVD技術により埋め込み平坦化されたコレクタコンタクト孔の断面SEM写真を図4-4に示す。これから、周辺のSiO<sub>2</sub>膜上にW膜被着することなくコンタクト孔が約0.8 μmのCVD-W膜で埋め込まれている。[10] 図4-5に試作したHBTの上面SEM写真を示す。素子周辺のSiO<sub>2</sub>膜上にWの被着はなくW膜はコレクタコンタクト孔だけを埋め込んでおり、W-CVDの選択性が良好であることが分かる。エミッタ、ベース電極は、選択W-CVD工程後にAuGe, AuZn系電極を各々リフトオフ法により形成したものである。

### 4-4-2 試作したHBTの特性

選択W-CVD法によりコレクタコンタクト孔を埋め込みプレーナ化したHBTの直流電流特性について測定評価した。エミッタ・ベース接合領域の面積が $1.2 \times 10^{-7} \text{ cm}^2$ のHBT素子をエミッタ接地したときのコレクタ電流I<sub>C</sub>-コレクタ電圧V<sub>CE</sub>特性を図4-6に示す。コレクタ電流の高い領域では発生する熱の影響で負の微分抵抗が現われている。図4-7にコレクタ電流I<sub>C</sub>及びベース電流I<sub>B</sub>のベース・エミッタ電圧V<sub>BE</sub>に対する依存性を示す。図4-8にコレクタ電流I<sub>C</sub>と電流利得β ( $\equiv \partial I_C / \partial I_B$ ) の関係を示す。コレクタ電流3 mA (電流密度 $2.5 \times 10^4 \text{ A/cm}^2$ ) において電流利得βが約150と良好な値が得られている。これらの特性は、電極及び結晶性に特に不具合が生じていなければHBTの層構造設計により概ね決まる。ここで得られた電流利得βは、従来のプレーナ化していないメサ型HBTと同等である。[12]

CVD-W膜はベース層及びコレクタ層に穿ったコンタクト孔を埋め込んでおり、側壁SiO<sub>2</sub>膜が高濃度ベース層とコレクタ電極上のW膜を電氣的な絶縁を担う(図4-2)。ベース・コレクタ接合ダイオードの電流-電圧特性を評価し、選択W-CVD工程の影響を検討した。図4-9に示すようにベース・コレクタ接合は良好なダイオード特性を有し、逆方向耐圧も13 V以上ある。これから、側壁SiO<sub>2</sub>膜によるW膜と高濃度p型ベース層の電気絶縁が良好であることが分かる。

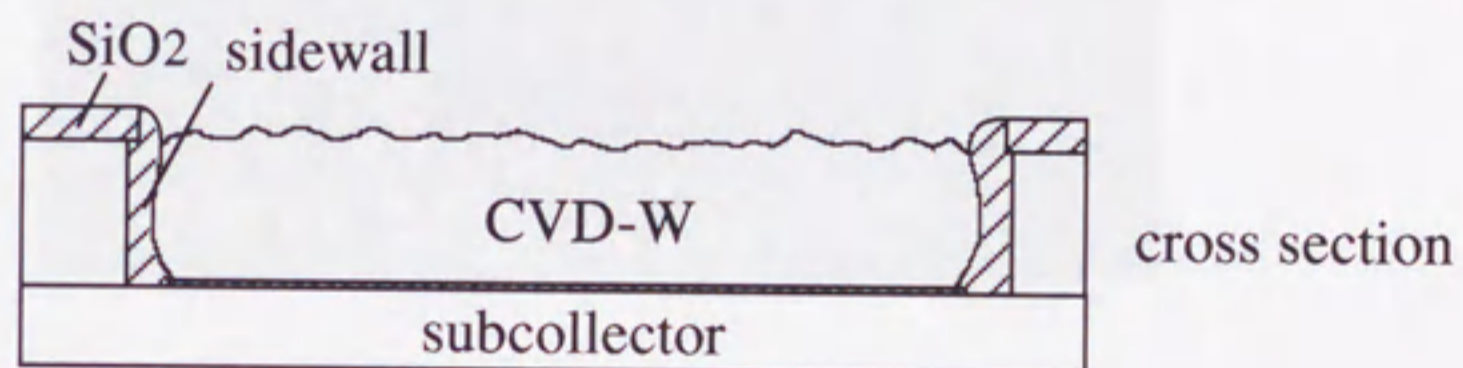
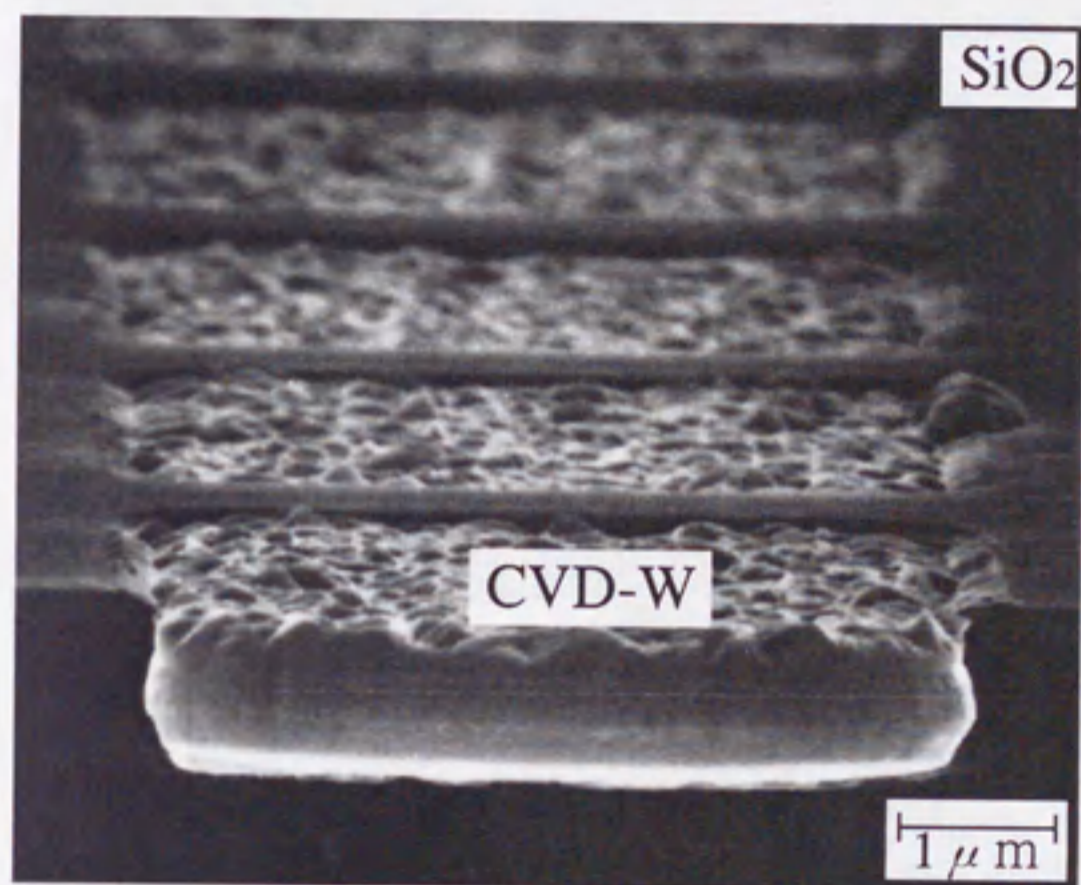


Fig. 4-4 Cross-sectional view of contact holes buried with selective CVD-W films

図 4 - 4 選択 C V D - W 膜により埋め込まれたコンタクト孔の断面

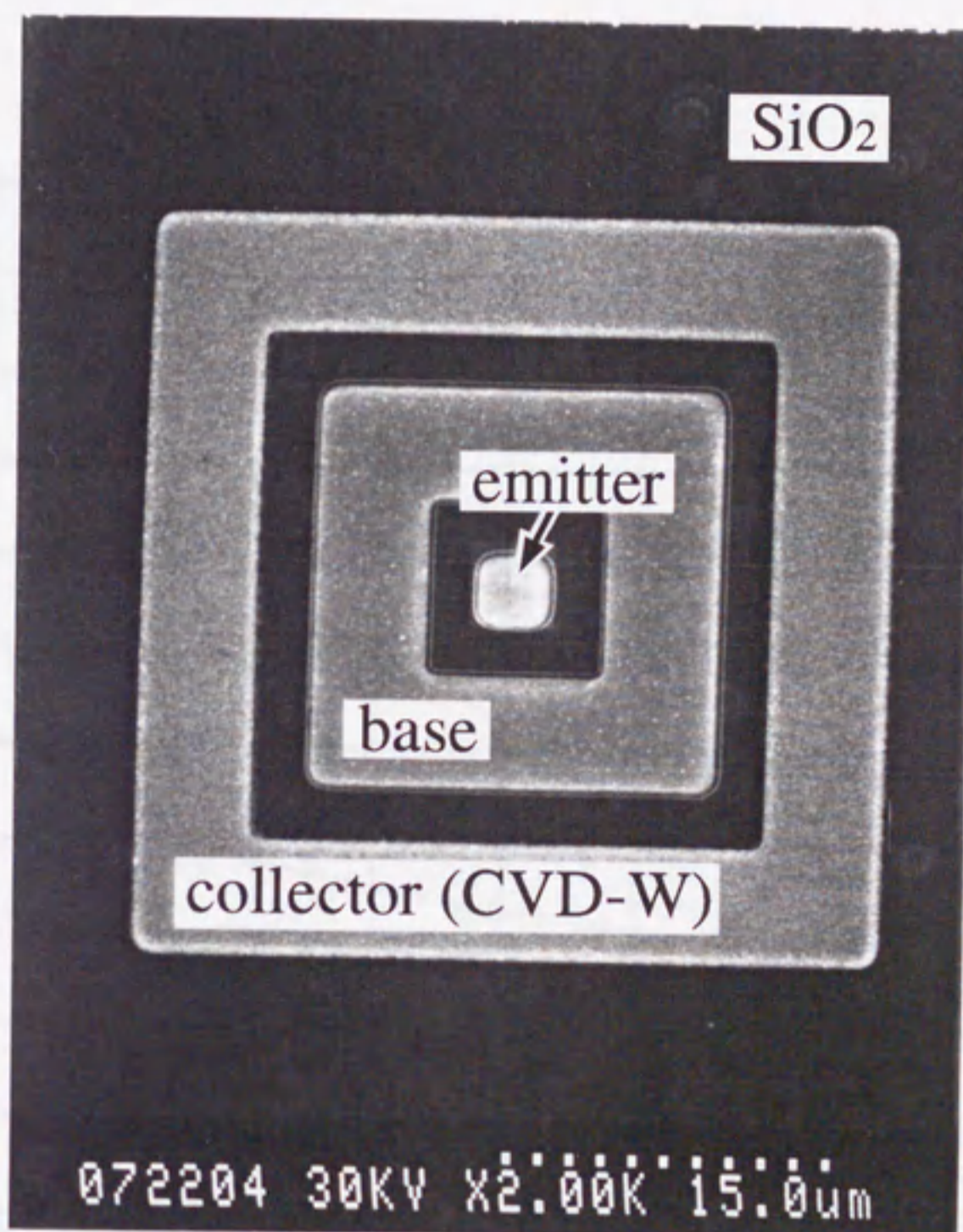


Fig. 4-5 Top view of the planar HBT

図4-5 プレーナHBTの上面



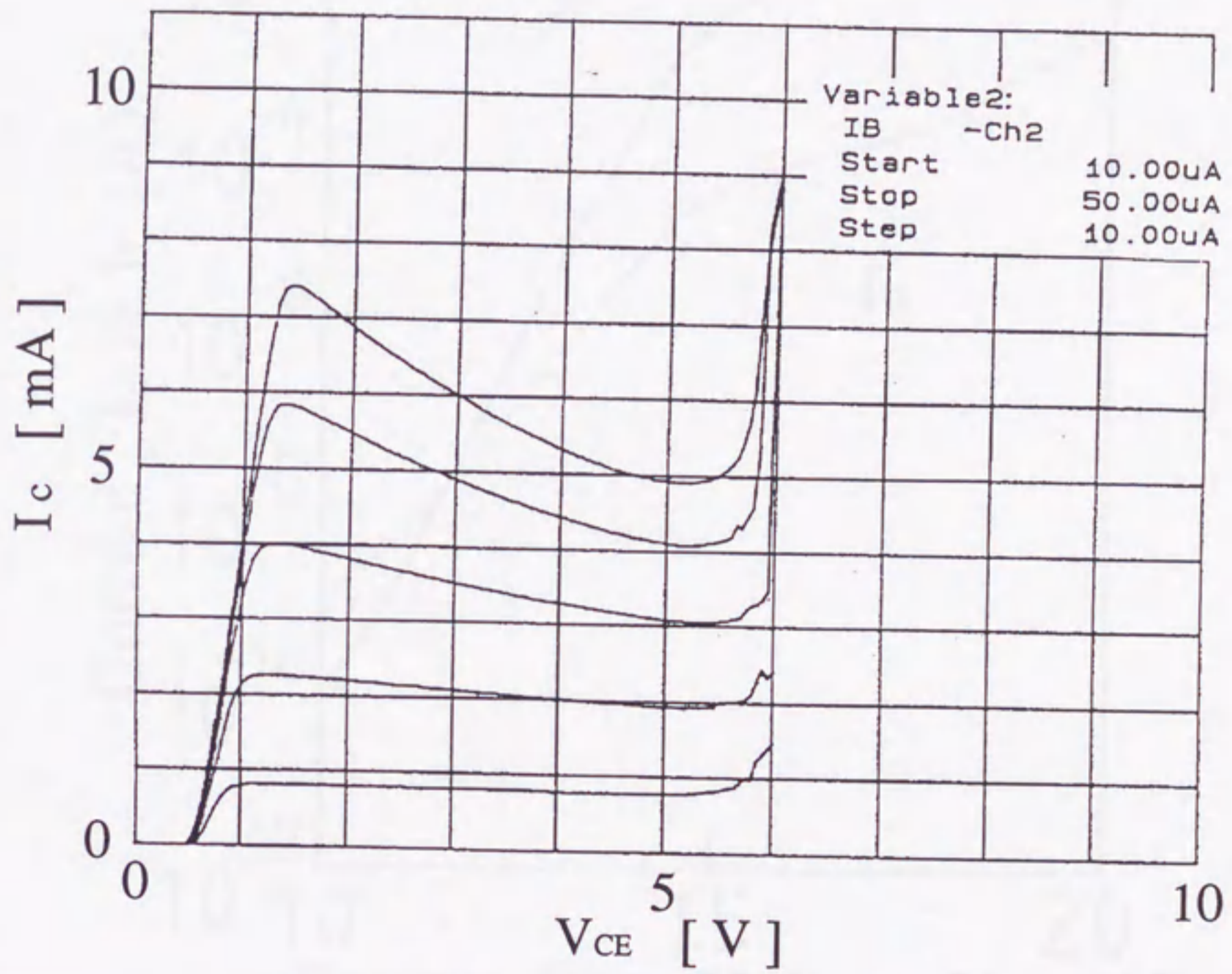


Fig. 4-6 Collector I - V characteristics

図4-6 コレクタ電流-電圧特性

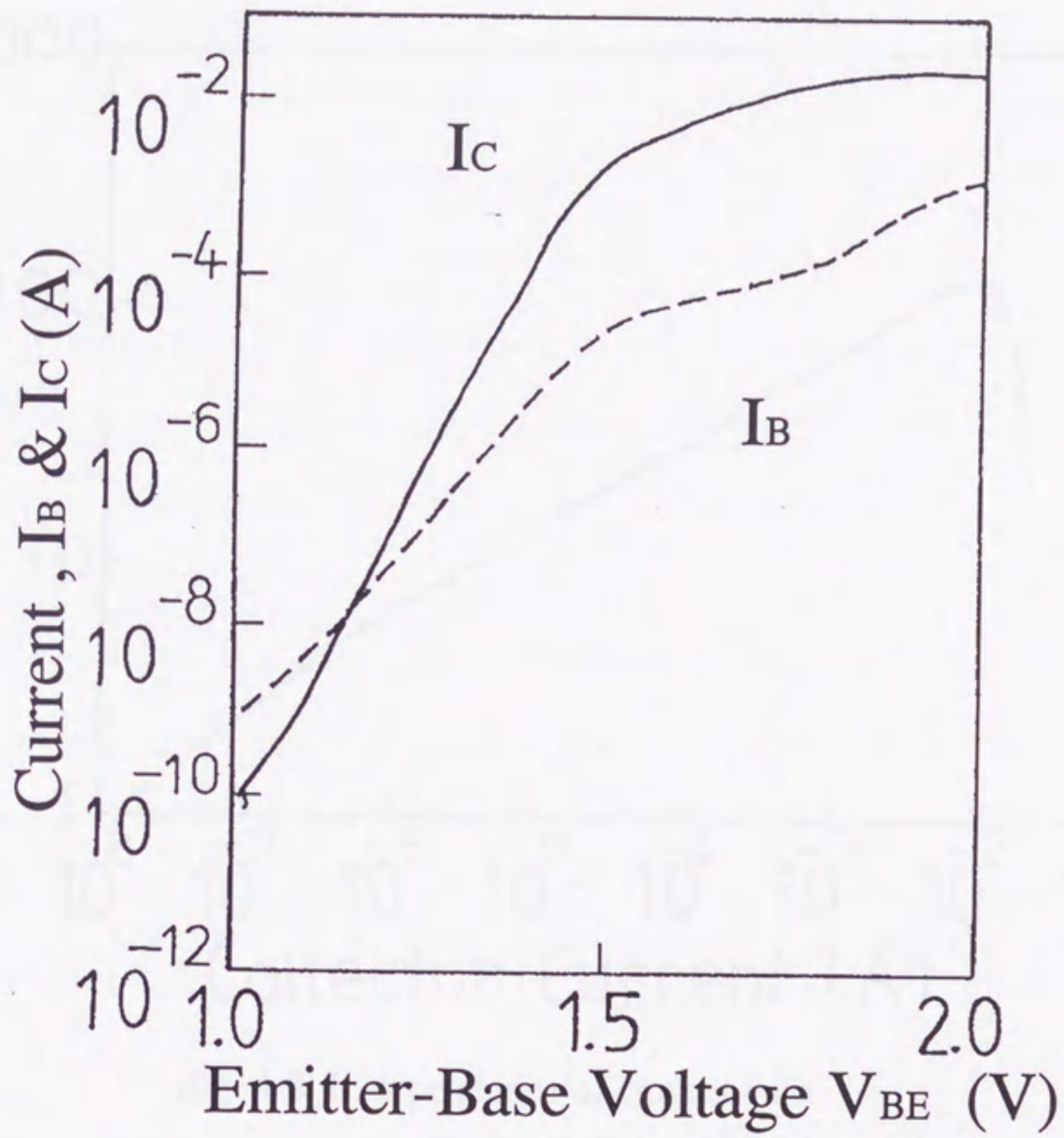


Fig. 4-7  $V_{BE}$  dependence of  $I_C$  and  $I_B$

図4-7  $I_C$ 及び $I_B$ の $V_{BE}$ 依存性

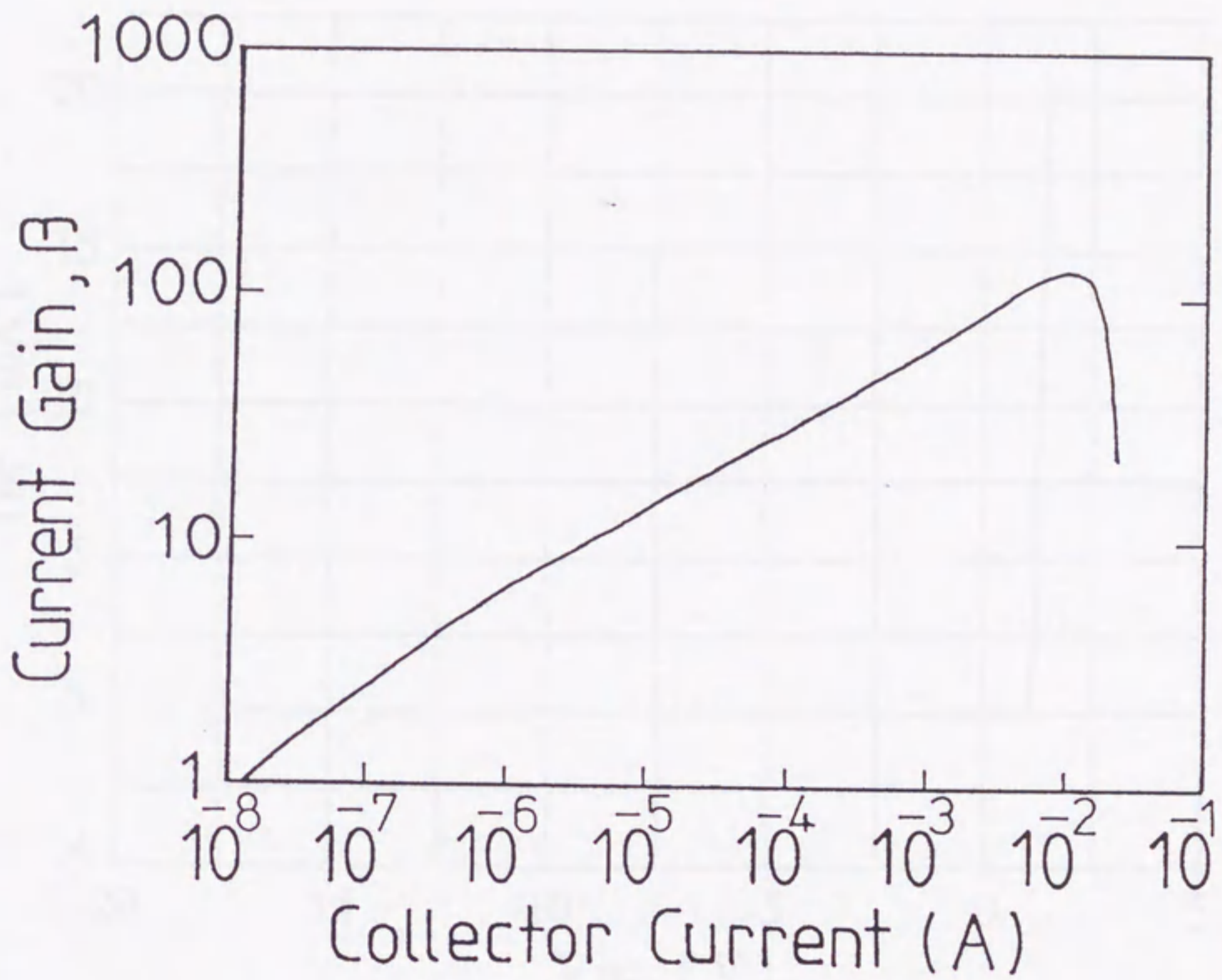


Fig. 4-8  $I_c$  dependence of current gain

図4-8 電流利得の  $I_c$  依存性

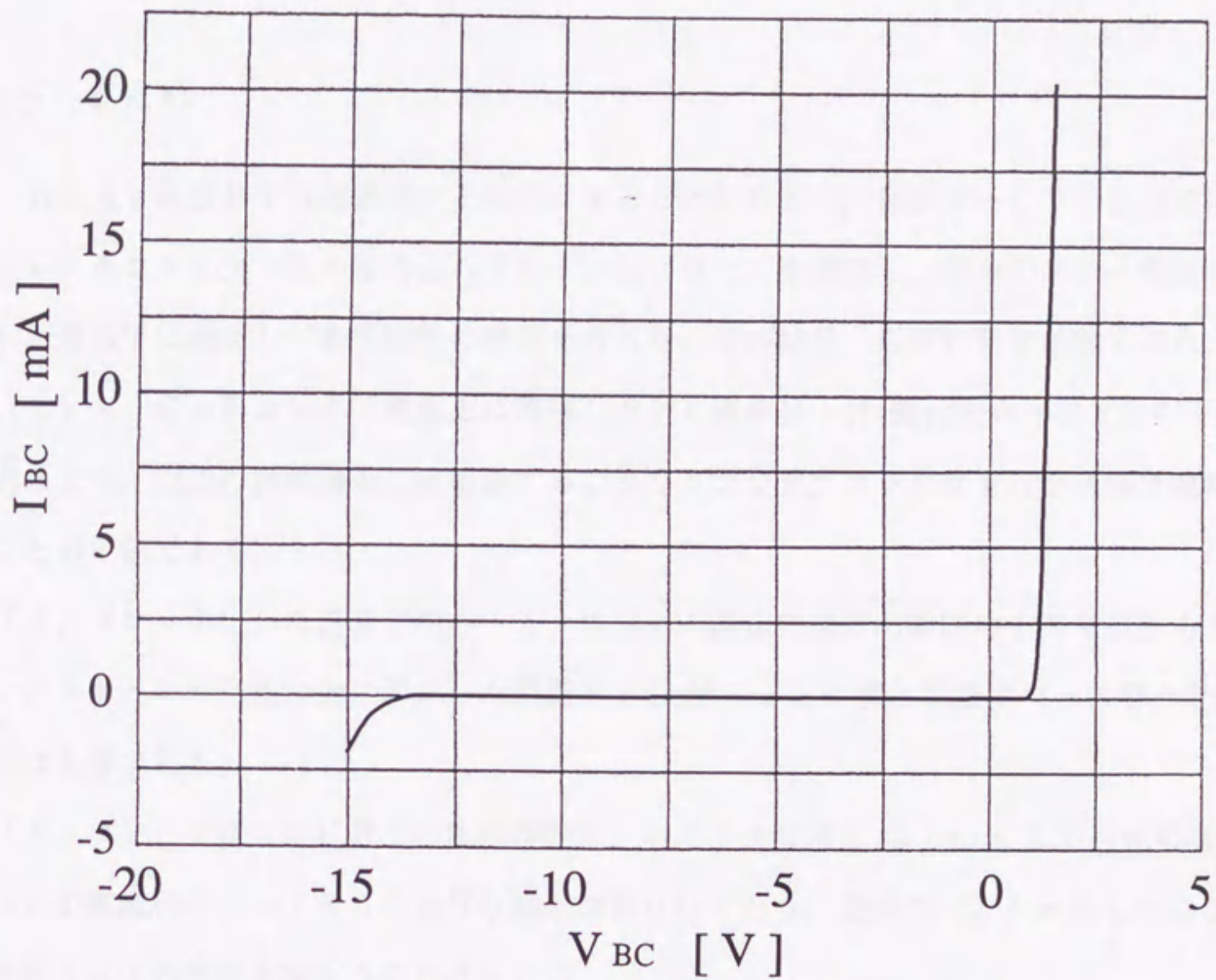


Fig. 4-9 I-V characteristic of base-collector diode

図4-9 ベース-コレクタ間の電流電圧特性

上述したように、選択W-CVDによりプレーナ化HBTでは、従来のプレーナ化していないメサ型HBTのデバイス特性を損なうことなく、コレクタコンタクト部の埋め込みプレーナ化を実現している。これにより、メサ型HBTの高集積化を進める上で障害となる素子表面凹凸における配線の段切れを解消することが可能である。

#### 4-5 まとめ

GaAs系HBTの高集積化を容易にすることを目的に、選択W-CVD技術を用いたコレクタコンタクト孔の埋め込みプレーナ化プロセスを提案し、従来のアロイ電極を具備したHBTに適用して素子特性の評価を行った。その結果、以下に示す結論を得た。

(1) AuGe系コレクタ電極上に堆積したPt膜をSiH<sub>4</sub>還元法W-CVDの下地材料として、周辺の絶縁膜上にW被着することなくコレクタコンタクト孔をW膜で埋め込みことが可能である。

(2) プレーナ化したHBTのベース・コレクタ接合の逆方向耐圧は1.3V以上あり、コンタクト孔に自己整合的に形成した側壁SiO<sub>2</sub>膜によるW膜と高濃度ベース層の電気絶縁は良好である。

(3) プレーナ化したHBTの直流特性は、エミッタ寸法3.5μm×3.5μmの素子において電流利得β≒150の良好な結果が得られており、従来のプレーナ化していないメサ型HBTの特性を損なうことはない。

提案したプロセスによりHBTの性能は向上しないが、HBTの高集積化を進める上で有効な技術となる。また、GaAs系デバイスに選択W-CVD技術を適用した初めての例である。

#### 参考文献

[1]. M. E. Kim, A. K. Oki, G. M. Gorman, D. K. Umemoto, and J. B. Camou:

“GaAs Heterojunction Bipolar Transistor Device and IC Technology for High-Performance Analog and Microwave Applications”, IEEE Trans. Microwave Theory and Tech. MTT-37 (1989)1286

[2]. M. Madihian, S. Tanaka, N. Hayama, A. Okamoto, and K. Honjo: “Application of

- AlGaAs/GaAs HBT's to High-Speed CML Logic Family Fabrication" , IEEE Trans. Electron Devices ED-36 (1989) 625
- [3]. T. Ishibashi, Y. Yamauchi, O. Nakajima, K. Nagata, and H. Ito: "Self-aligned AlGaAs/GaAs heterojunction bipolar transistors for high-speed digital circuits" in IEDM Tech. Dig. (1986) 86
- [4]. H. Kroemer: "Heterojunction bipolar transistors and integrated circuits", Proc. IEEE 70 (1982) 13
- [5]. S. M. Sze: Physics of Semiconductor Devices (John Wiley & Sons, Inc. 1981)159
- [6]. T. Ishibashi and Y. Yamauchi: "A Possible Near-Ballistic Collection in an AlGaAs/GaAs HBT with a Modified Collector Structure" , IEEE Trans. Electron Devices ED-35 (1988)401
- [7]. 三谷克彦, 増田宏, 望月和浩, 草野忠四郎, 高橋進: 「SiH<sub>4</sub>還元によるW-CVD膜厚の下地金属依存性」, 第36回応用物理学関係連合講演会予稿集第2分冊 (1989) 719
- [8]. H. Ito: "Generation-recombination current in the emitter-base junction of AlGaAs/GaAs HBT's" , Jpn. J. Appl. Phys. 25 (1986) 1400
- [9]. R. J. Malik, F. Capasso, R. A. Stall, R. A. Kiehl, R. W. Ryan, R. Wunder, and C. G. Bethea: "High-gain, high-frequency AlGaAs/GaAs graded band-gap bipolar transistors with a Be diffusion setback layer in the base" , Appl. Phys.Lett. 46 (1985) 600
- [10]. 三谷克彦, 高橋由夫, 増田宏, 望月和浩, 草野忠四郎: 「選択W-CVDによるHBT平坦化プロセス」, 第38回応用物理学関係連合講演会予稿集第3分冊 (1991) 1170
- [11]. T. Ohba, T. Suzuki, T. Hara, Y. Furumura, and K. Wada: "Selective CVD tungsten silicide for VLSI applications" , in IEDM Tech. Dig. (1987)213
- [12]. C. Kusano, H. Masuda, K. Mochizuki, Y. Ishikawa, M. Kawata, K. Mitani, and M. Miyazaki: "AlGaAs/GaAs HBT's for 10-Gb/s IC's Using a New Base Ohmic Contact Fabrication Process" , IEEE Trans. Electron Devices ED-40 (1993)25

## 第5章 ECRプラズマエッチングに因るGaAs損傷

### 5-1 まえがき

GaAs系超高速デバイスであるMESFET (metal semiconductor field effect transistor), HEMT (high electron mobility transistor), HIGFET (heterostructure insulated gate field effect transistor)等の作製にはドライエッチング技術が広く用いられる。これらのデバイスには, MOCVD法(metal organic chemical vapor deposition), MBE法(molecular beam epitaxy)により表面近傍に形成した極めて薄い能動層が採用されている。そのため, 金属及び絶縁膜等のドライエッチング工程においてFETの能動層はプラズマ損傷を受けやすい。デバイス表面におけるエッチング損傷は, ショットキ障壁の低減或いは能動層におけるキャリア密度の低減という形で超高速デバイスの特性に影響を及ぼす。プラズマエッチングによる表面損傷の現われ方は一般に用いた装置, ガス種, 及びrfバイアス等のエッチング条件に依存する。

GaAs系の超高速FETの作製工程の中でゲート電極の微細加工が最も重要な工程であり, デバイス特性に大きな影響を変える。ECR (electron cyclotron resonance)プラズマエッチングは高異方性, 高速エッチングという点からゲート電極の微細加工に適している。ドライエッチングにおける選択性及び加工形状の改善を目的に,  $\text{CHF}_3$ ,  $\text{C}_2\text{H}_4$ 等の堆積性ガスをエッチングガスに添加することが多い。図5-1に $\text{SF}_6$ と $\text{CHF}_3$ の混合ガスのECRプラズマエッチング技術によりGaAs基板上にWSi電極を形成した例を示す。レジストマスクを用いて $0.25\ \mu\text{m}$ 幅のWSi電極の微細加工が実現可能であることが分かる。

本章では, W, WSi系のゲート電極加工に用いられる $\text{SF}_6/\text{CHF}_3$ ガスのECRプラズマエッチングに因るGaAs表面近傍の電氣的及び物理的な損傷について検討した。また, GaAs表面損傷層におけるキャリアの枯渇メカニズムについても考察を加えた。

### 5-2 ECRプラズマ処理及び表面損傷の評価方法

#### 5-2-1 試料の準備

半絶縁性基板上に成長したn型GaAs層のシート抵抗の変化によりプラズマ損傷の評

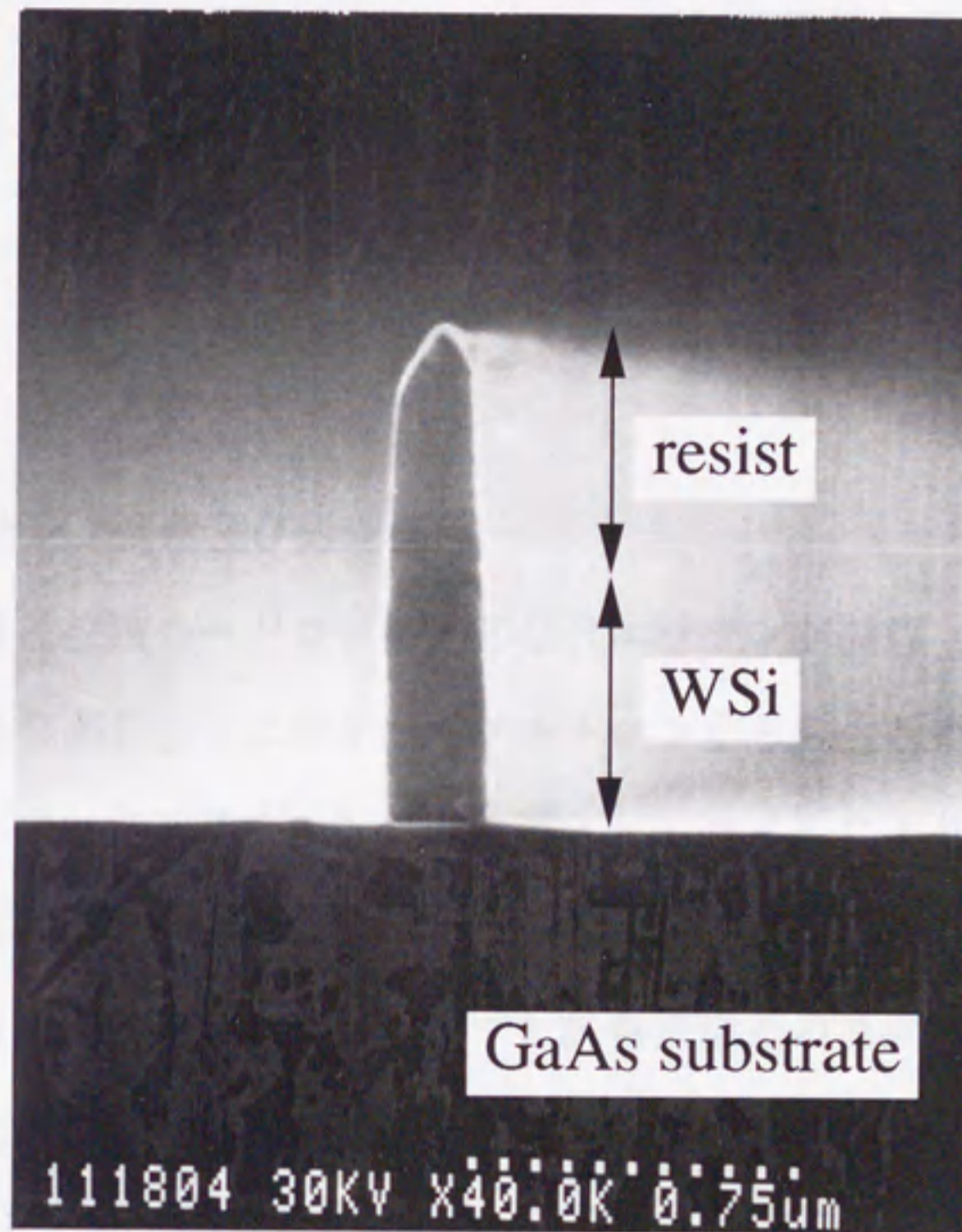


Fig.5-1 0.25  $\mu$  m WSi gate electrode formed by ECR plasma etching

図5-1 ECRプラズマエッチングにより加工した  
0.25  $\mu$  m WSi ゲート電極



価を行うことができる。n型GaAs層の不純物濃度が高く低抵抗なほど、損傷に対するシート抵抗の変化が大きい。また、n型GaAs層の厚さは薄いほど表面損傷の影響が大きく現われるが、ここではMESFETの能動層の厚さと同程度の100nmに設定した。MOCVD法により半絶縁性GaAs(100)2°オフ基板にSiドープ( $2 \times 10^{18} \text{ cm}^{-3}$ )したn型GaAs層(厚さ100nm)を電氣的損傷評価用の試料として用いた。(100)2°オフ基板がMOCVDに用いられる理由はGaAsアンドープ層のキャリア密度が(100)基板を用いた場合に比べ低くできるからであり、上記試料においては直接的な影響はない。

#### 5-2-2 ECRエッチング装置及び処理条件

検討に用いた装置は枚葉ロードロック式ECRエッチング装置(日立:M206)であり、主要部の概略図を図5-2に示す。マグネトロンから発生したマイクロ波(2.45GHz)を導波管を用いて石英チャンバ内に導入し、コイルにより形成した磁場(875gauss)との間でECRにより高密度プラズマを発生させる。また、試料台にRFバイアス(13.56MHz)を印加してプラズマと試料表面との直流バイアスを制御できる構造になっている。上述した試料に対して以下に示す条件によりプラズマ処理を施した。

ガス流量: SF<sub>6</sub> 10 sccm, CHF<sub>3</sub> 60 sccm, 全ガス圧: 10 mTorr, 基板温度: 20°C, RFパワー: 40 W ( $0.91 \text{ W/cm}^2$ ), マイクロ波パワー: 500 W

これは図5-1に示した0.25 μm幅のWSiゲート電極の加工に好適なエッチング条件である。プラズマ処理時間が長くなるとGaAs表面損傷が大きくなることが報告されている。[1] そこで、プラズマ処理時間は通常のオーバーエッチング時間に相当する20秒間にした。RFパワーとマイクロ波パワーは、各々15~60W, 100~500Wの範囲で変えて検討を行った。また、ガス種による効果を検討するために、SF<sub>6</sub>単独プラズマ, CHF<sub>3</sub>単独プラズマ, 及びHeプラズマ処理を施したときの表面損傷を比較した。プラズマ損傷のアニールによる回復状況を検討するために、プラズマ処理後の試料をSiウェハで挟んでN<sub>2</sub>(100%)雰囲気中で450°C(30分)の炉アニール処理を施した。

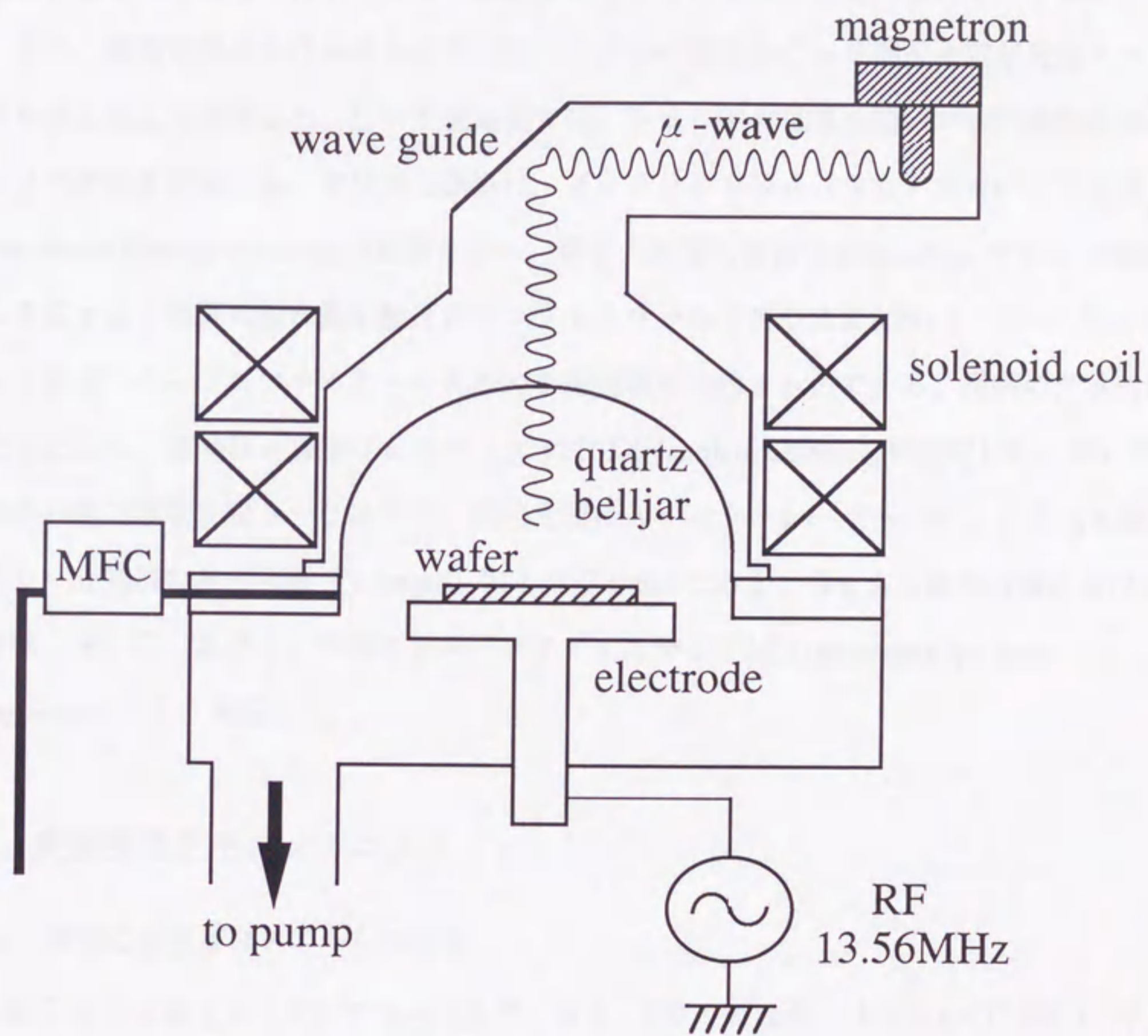


Fig. 5-2 Schematic diagram of ECR etching system

図5-2 ECRエッチング装置の概略図

### 5-2-3 評価方法

電氣的な損傷の評価方法として、n型GaAs層のシート抵抗の変化を渦電流測定方式によるソノゲージ300(テンコール社)を用いて評価した。この測定方法では、試料に電極を形成する必要がなく、基板も含めた試料全体のシート抵抗値を評価できる。ここでは半絶縁性GaAs基板を用いており、測定値はそのままn型GaAs層のシート抵抗になる。また、表面近傍におけるキャリアプロファイルの変化をC-V測定と電気化学エッチングを繰り返して測定した。C-V測定法では、ショットキ電極を用いて空乏層端近傍のキャリア密度を評価する。物理的な損傷は、H-9000NA(日立)を用いてTEM(transmission electron microscope)観察を行い、格子欠陥等の有無を評価した。プラズマ処理によるGaAs表面の削れ量を触針式プロファイラーDEKTA K3030(スローン社)を用いて測定した。プロファイラーの実効的な測定精度は約5nmである。損傷の光学的評価方法として、液体He温度(4.2K)でのPL(photoluminescence)を測定した。用いた測定系の構成概略を図5-3に示す。励起光源はArイオンレーザーの514.5nm線であり、分光器の焦点距離(f length)は1000mmである。GaAs表面近傍における不純物(H, F, 及びS)の深さ方向プロファイルをSIMS(secondary ion mass spectroscopy)により測定した。

## 5-3 表面損傷とそのメカニズム

### 5-3-1 電氣的損傷及びアニールの効果

n型GaAs層(Siドープ $2 \times 10^{18} \text{ cm}^{-3}$ , 100nm厚)をSF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理に露したときのシート抵抗の増加率(未処理:約200Ω/□)を図5-4に示す。これから、rfパワー及びマイクロ波パワーの何れも高くなるほど、シート抵抗の増加率が高くなることが分かる。

プラズマ処理によりGaAs表面近傍のキャリアが枯渇することが報告されている[2]-[5]。図5-5にSF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理後及び未処理のGaAs表面近傍のキャリアプロファイルを示す。未処理のGaAsにおいて表面から70nm以上の深い領域でキャリア枯渇が観測されている。これはn型GaAs層/基板界面からの空乏層(約30nm

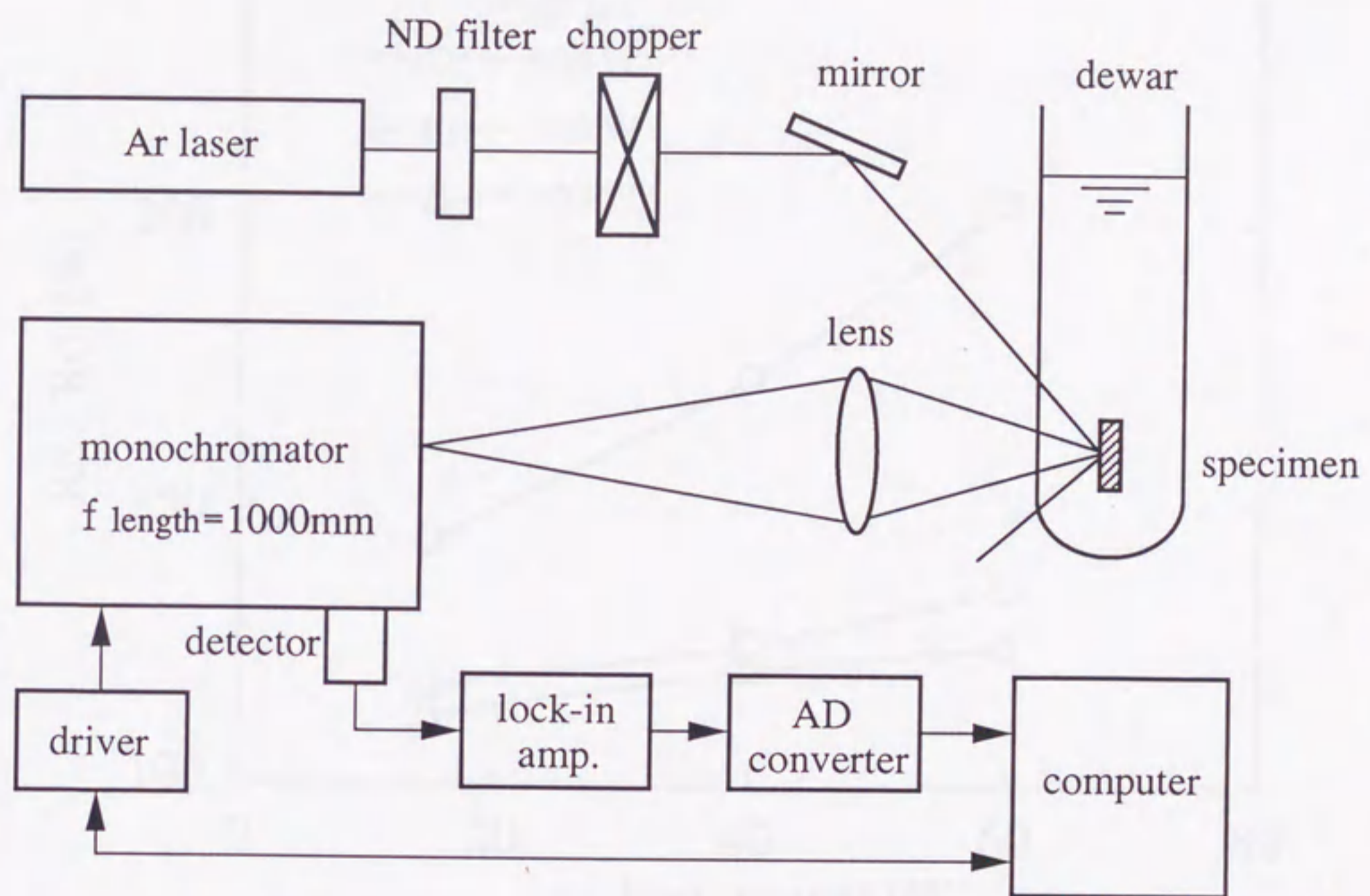


Fig. 5-3 Schematic diagram of 4.2K-photoluminescence measurement system

図5-3 4.2Kフォトルミネセンス測定系の構成図

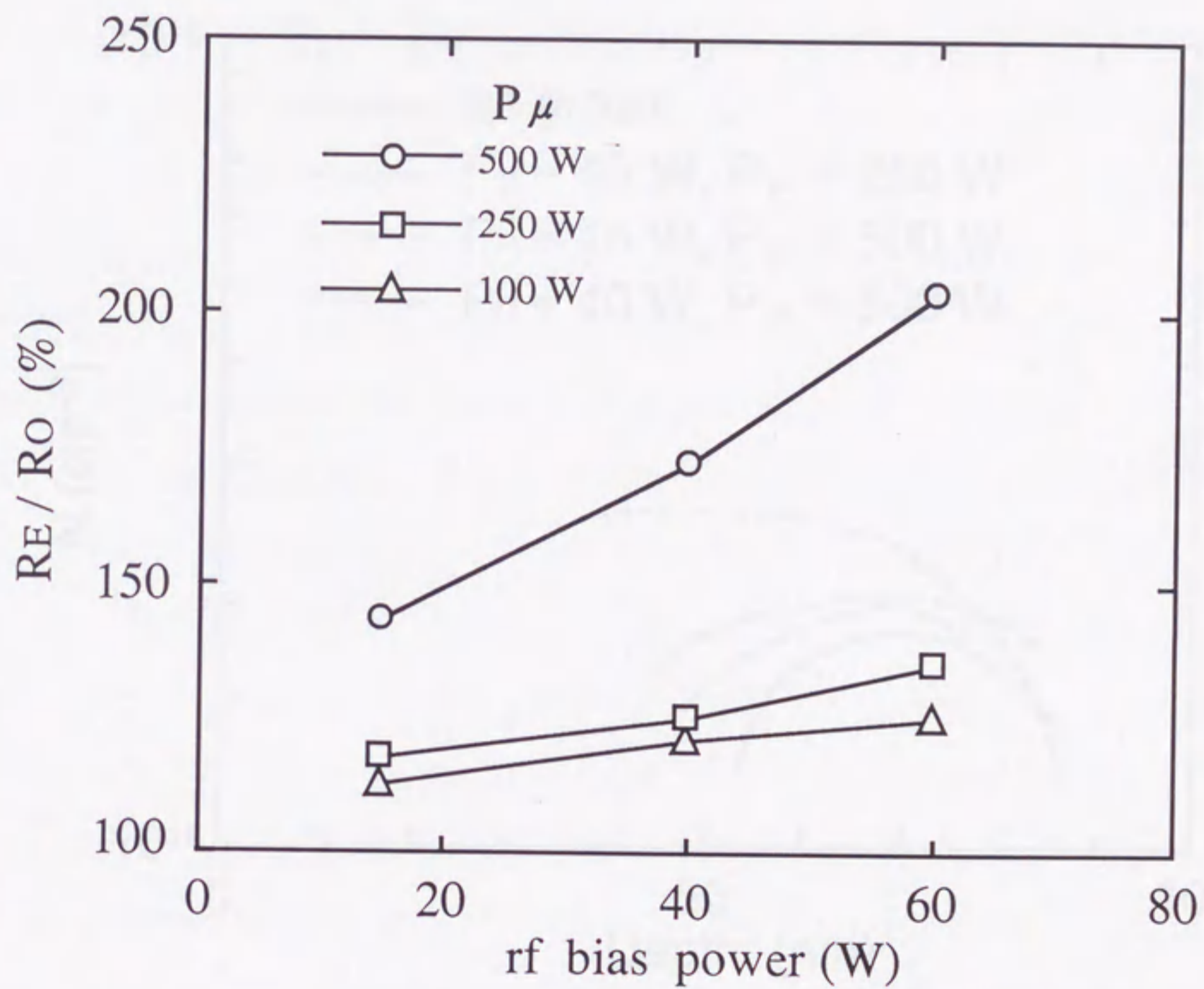


Fig. 5-4 Relationship between the percentage change in GaAs layer and the plasma exposure condition

図5-4 GaAsシート抵抗の変化とプラズマ処理条件の関係

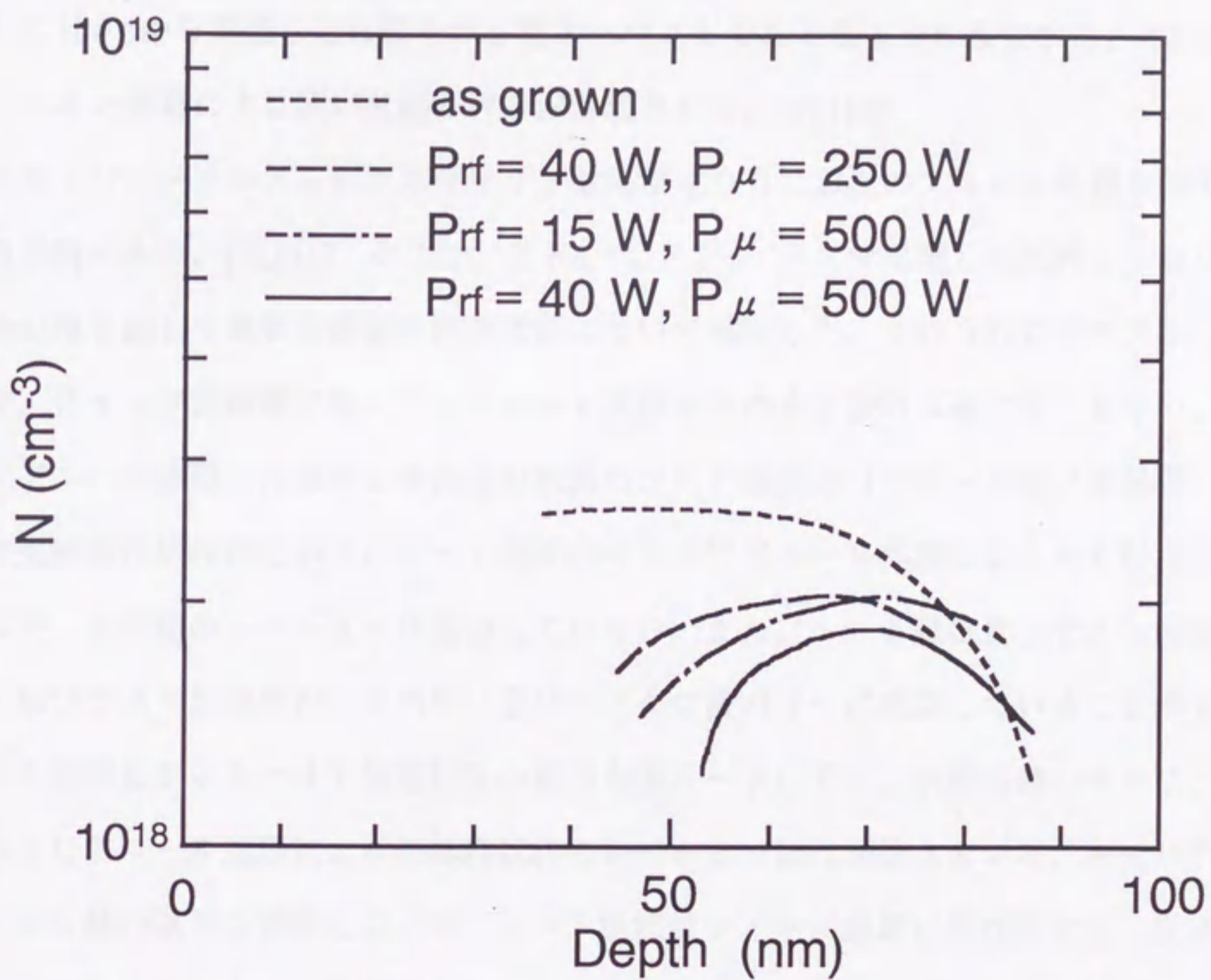


Fig. 5-5 Carrier profiles for the plasma-exposed GaAs layers

図5-5 プラズマ処理を施したGaAs表面のキャリアプロファイル

厚)に因ると考えられる。プラズマ処理を施した試料では表面から60-70nmの深さまで新たなキャリア枯渇が観測された。キャリア枯渇は表面側で顕著であり、rfパワー及びマイクロ波パワーの何れも高くなるほど、キャリア枯渇量は大きい。SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理に因るGaAs表面でのキャリア枯渇のメカニズムとして以下の2つが考えられる。

(1) CHF<sub>3</sub>から解離したH原子がn型ドーパントであるSiを中性化する。[5]-[8]

(2) イオン衝撃により深い欠陥レベルが形成される。[9],[10]

これら2つのメカニズムによるキャリア枯渇は400℃以上のアニール処理を施すと回復する傾向がある。[7],[11] そこで、SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理した試料に450℃アニール処理を施して電氣的損傷の回復状況について検討した。450℃以下のアニールであれば、キャップ保護膜が無くてもGaAs表面からのAs抜けは殆ど起こらない。図5-6にアニール処理した試料と未処理の試料のシート抵抗比(アニール後/未処理)のプラズマ処理条件依存性を示す。シート抵抗は450℃アニール処理によりある程度まで低減するが、未処理のレベルまでは回復していない。また、シート抵抗比(アニール後/未処理)はプラズマ処理時のrfパワー及びマイクロ波パワーに依存していることが分かる。アニール処理によるキャリア枯渇状況の変化を図5-7に示す。表面近傍のキャリア密度は450℃アニール処理により未処理試料のレベルまでほぼ回復している。キャリア密度はチャネル層の厚さに依存しないが、シート抵抗はチャネル層厚に反比例する。従って、図5-6に示したアニール処理後のシート抵抗の不完全な回復は、プラズマ処理によりチャネル層の厚さが減少したことによる可能性がある。

### 5-3-2 物理的損傷とスパッタエッチング

rfバイアスを印加したエッチングでは高エネルギーのイオンが試料表面に衝撃して結晶表面に構造的な欠陥を誘起することが考えられる。CCl<sub>2</sub>F<sub>2</sub>ガス系のRIEによりエッチングしたGaAs表面は高分解能TEM観察からアモルファス化していることが報告されている。[12],[13] ECRエッチング装置を用いてSF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理したときのGaAs表面の物理的、構造的損傷についてTEMを用いて評価した。TEM観察用の試料は、機械研磨とArイオンによるシニング(入射角10°)により電子線が透過す

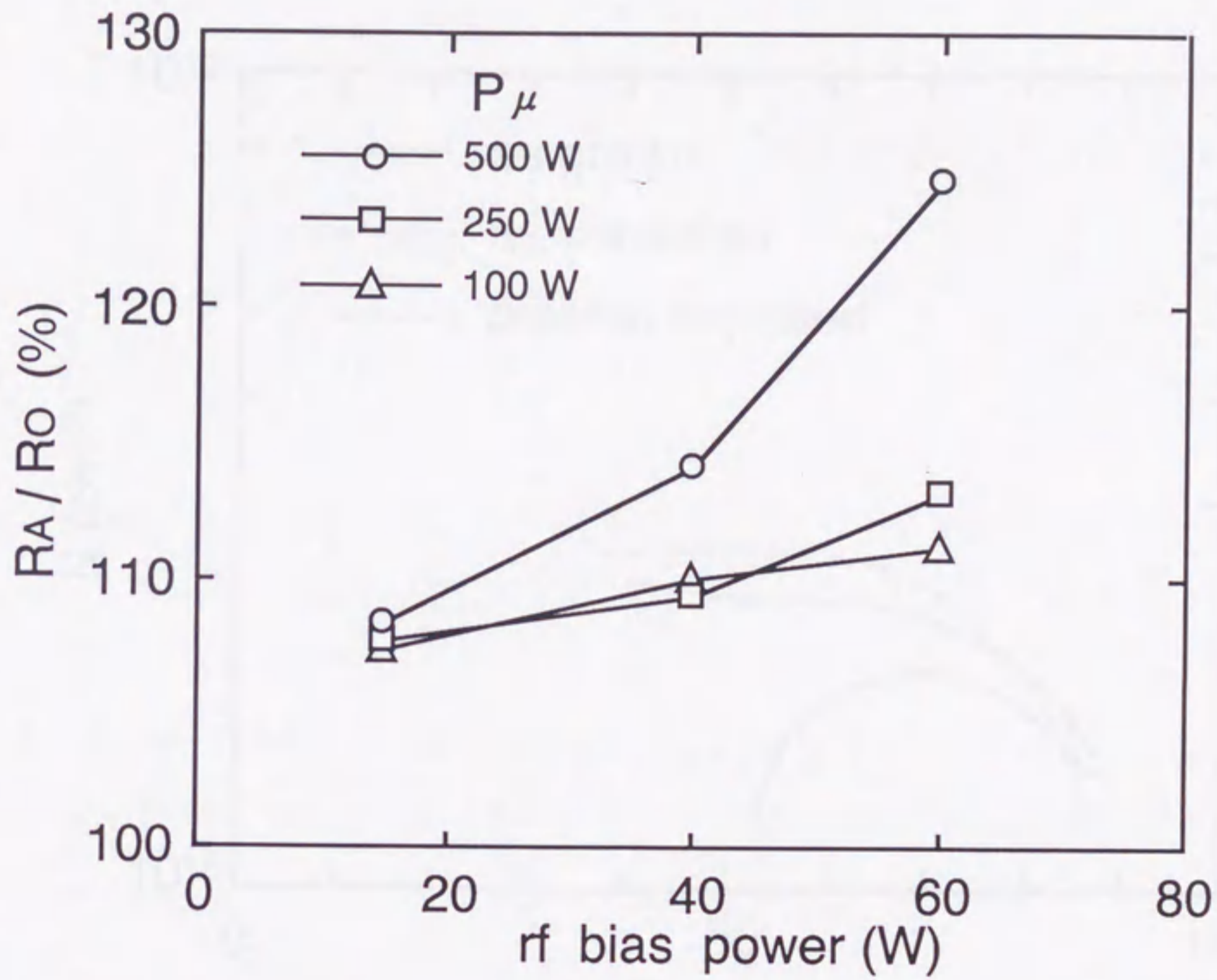


Fig. 5-6 Relationship between the ratio of sheet resistance after annealing to that before plasma exposure and the plasma exposure condition

図5-6 シート抵抗比 [アニール後/プラズマ処理前] とプラズマ処理条件の関係



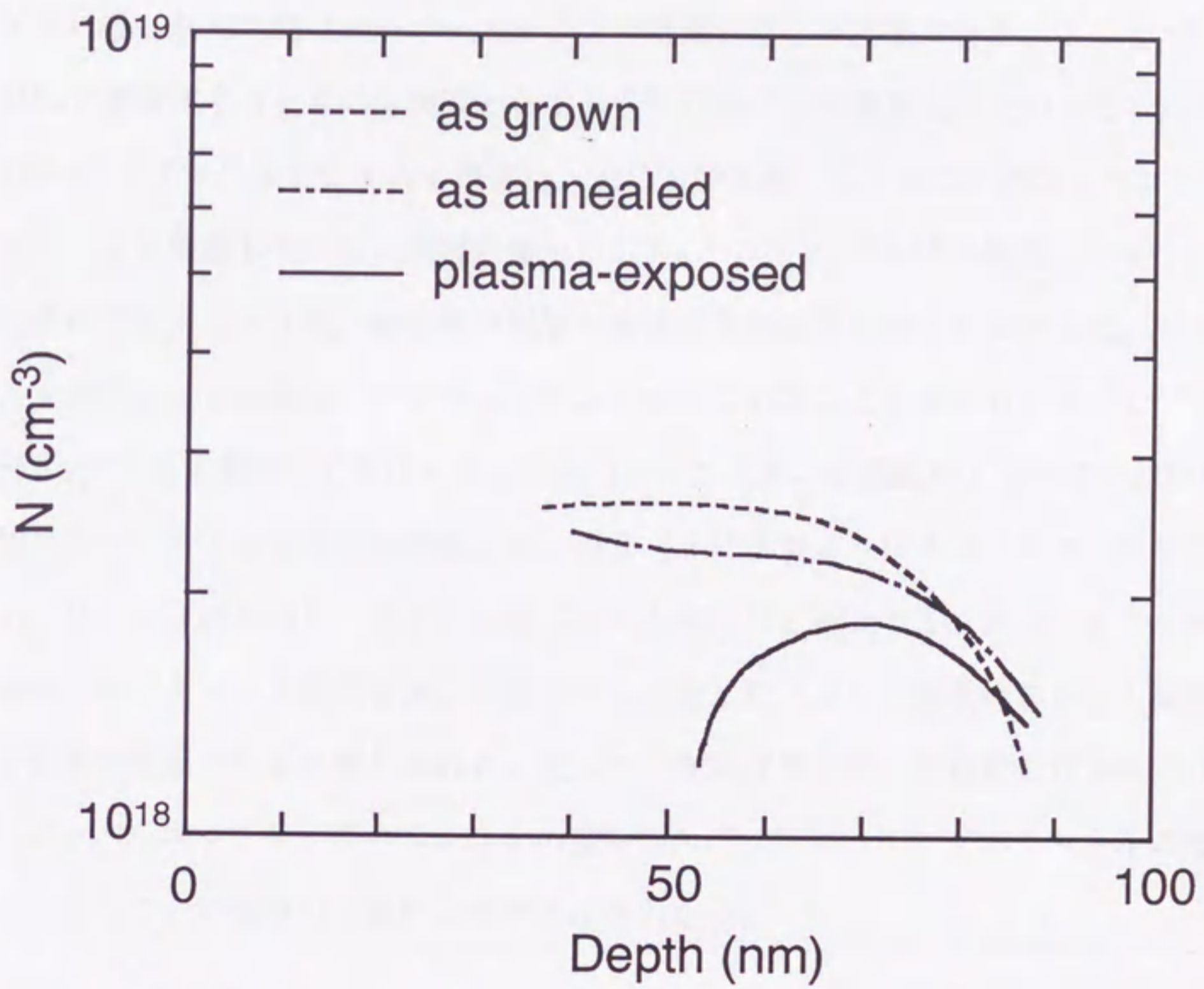


Fig. 5-7 Carrier profiles for a control GaAs and for a GaAs layer exposed to plasma before and after annealing

図5-7 未処理, プラズマ処理, ポストアニール処理後のGaAs層におけるキャリアプロファイル

るまで薄層化する。加工表面全体は2-3 nm程度非晶質化するが、TEM明視野像のコントラストには現われない。従って、断面TEM観察において、プラズマ処理した表面近傍とバルク基板に結晶構造的な顕著な差があれば、明暗及びコントラストとして現われる。SF<sub>6</sub>/CHF<sub>3</sub>プラズマエッチングによりWSi膜(50 nm厚)をパターンニングしたときのGaAs表面の断面TEM明視野像を図5-8に示す。このときGaAs表面が直接プラズマに曝された時間(オーバーエッチング時間)は20秒間である。ここで、SiO<sub>2</sub>膜は試料を薄層化する時の保護膜として光CVD法により堆積したものである。SF<sub>6</sub>/CHF<sub>3</sub>プラズマによるGaAs損傷は、光CVD工程(300℃, 約20分)では回復しないことを確認している。明視野像からSF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理によるGaAs表面近傍のアモルファス化、転位等の顕著な構造的欠陥は見い出されなかった。しかし、GaAs表面は5 nm程度スパッタエッチングされていることが分かる。そこで、SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理によるGaAsのスパッタエッチング速度のrfパワー及びマイクロ波パワーに対する依存性を評価した。図5-9に示すようにスパッタエッチング速度はrfパワーにほぼ比例し、マイクロ波パワーも高いほど増大する。スパッタエッチングによるGaAsチャネル層厚の減少が図5-6に示したアニール処理後のシート抵抗の不完全な回復の原因であると考えられる。従って、表面近傍に薄い能動層を有するデバイスでは、オーバーエッチング中のGaAsの僅かなスパッタエッチングがチャネルの抵抗を変えてしまうことに留意して設計しなければならない。

### 5-3-3 軽元素侵入の影響

SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理を施したGaAs表面近傍のキャリア枯渇はH原子によるSiドナーの中性化及びイオン衝撃による欠陥レベルの形成によると考えられる。何れの機構が支配的であるかを検討するために、CHF<sub>3</sub>単独プラズマ、SF<sub>6</sub>単独プラズマ、及びHeプラズマ処理を各々施したGaAs表面のキャリア枯渇量を比較した。各ガスによるプラズマ処理(rfパワー40 W, マイクロ波パワー500 W)時の自己直流バイアスV<sub>dc</sub>の絶対値を表5-1に示す。図5-10に各プラズマ処理後のGaAs表面近傍のキャリアプロファイルを示す。ここで、Heプラズマ処理を施したn型GaAs層は200 nm厚であり、測定範囲に基板界面からの空乏層の影響は現われていない。CHF<sub>3</sub>プラ

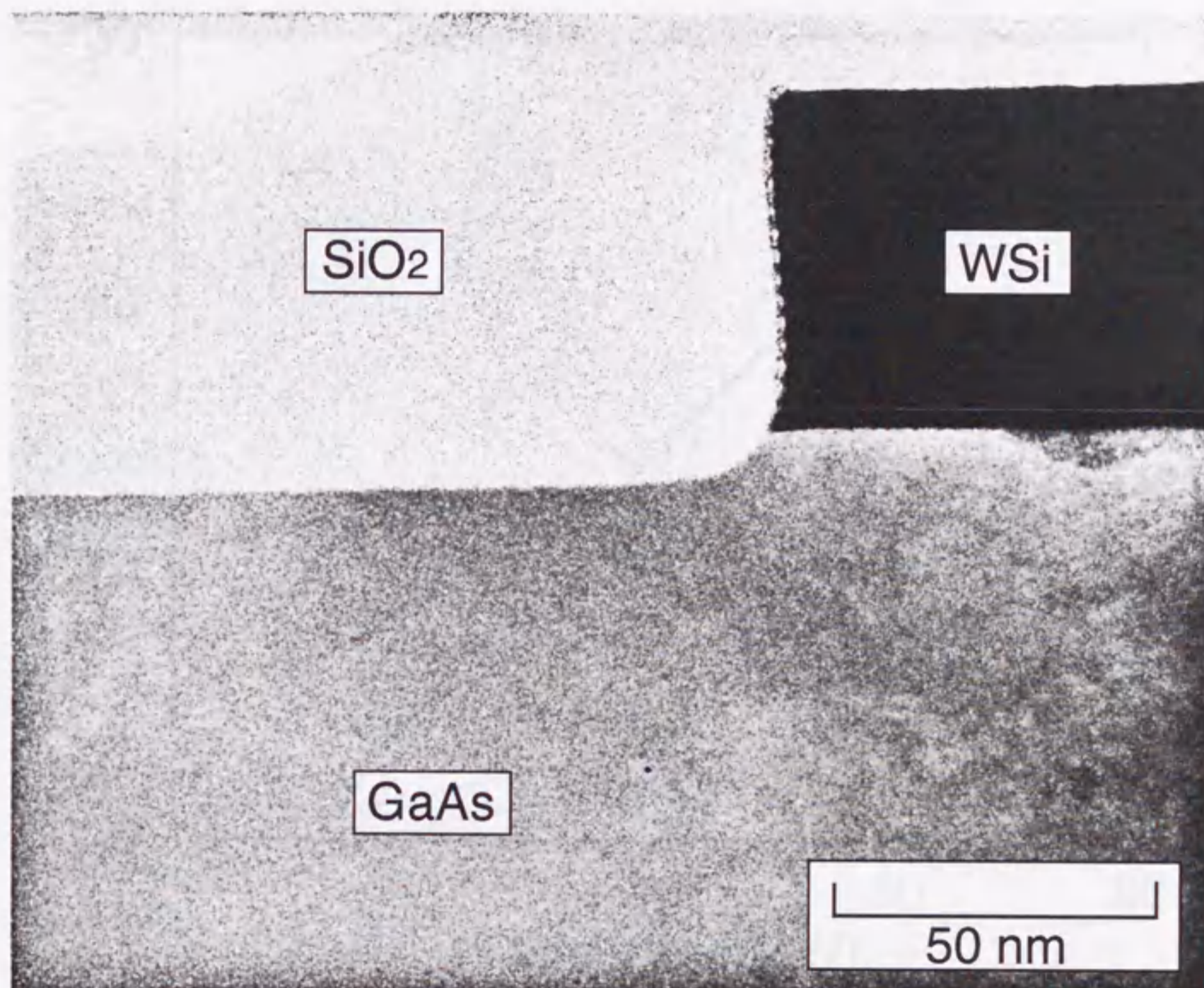


Fig. 5-8 Cross-sectional TEM view of the plasma-exposed GaAs surface near the etched WSi layer

図5-8 プラズマ処理したGaAs表面の断面TEM写真 (WSiパターン近傍)

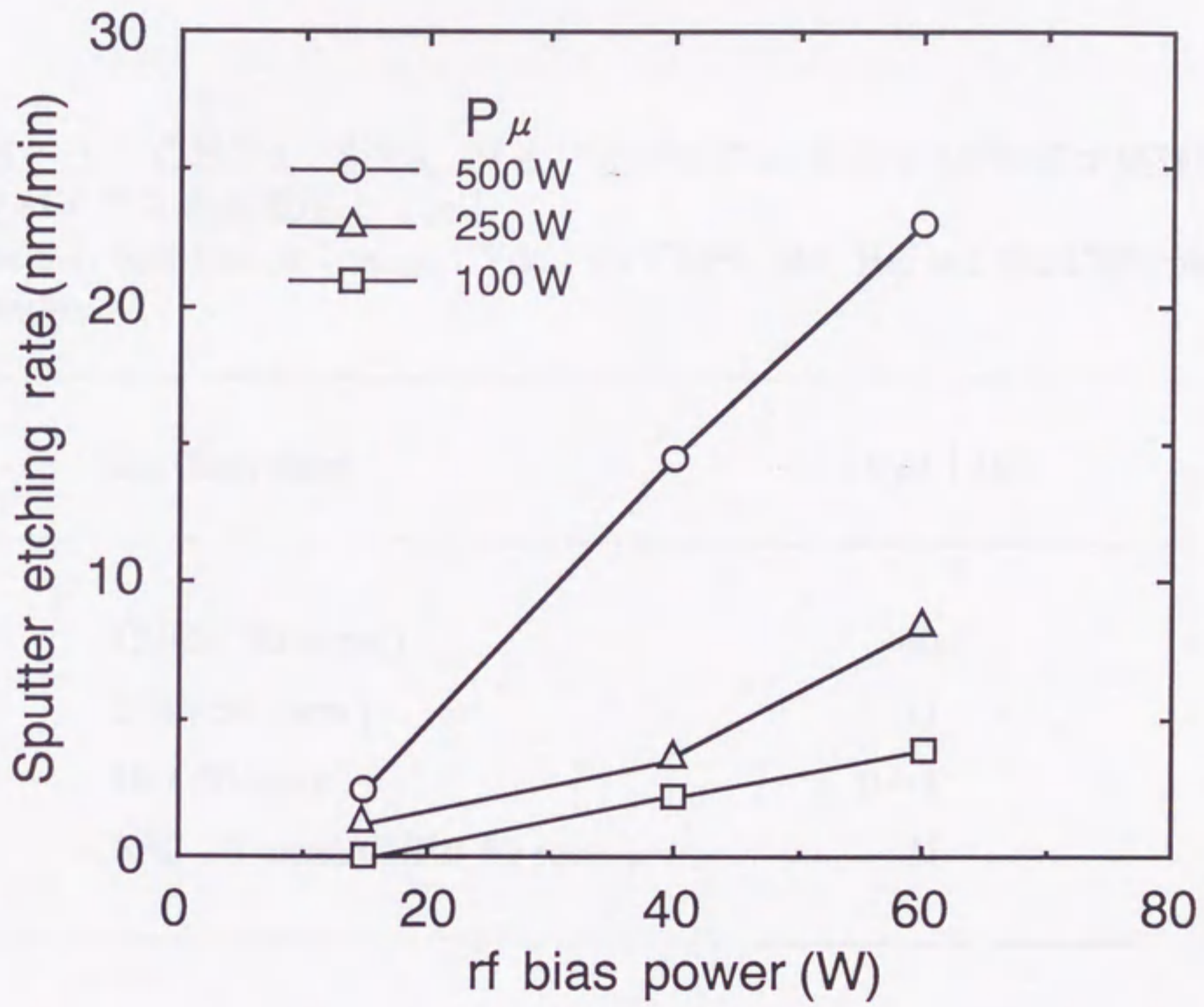


Fig. 5-9 Sputter etching rate versus plasma-exposure condition

図5-9 スパッタエッチ速度とプラズマ処理条件

表.5-1 CHF<sub>3</sub>, SF<sub>6</sub>, He, 及びSF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理時の  
自己バイアス直流電圧 | V<sub>dc</sub> |

Table 5-1. Self-bias dc voltage | V<sub>dc</sub> | for CHF<sub>3</sub>, SF<sub>6</sub>, He, and SF<sub>6</sub>/CHF<sub>3</sub> plasma exposure.

Gas (flow rate)	V <sub>dc</sub>   (V)
CHF <sub>3</sub> ( 50 sccm )	40
SF <sub>6</sub> ( 50 sccm )	11
He ( 50 sccm )	0~1
SF <sub>6</sub> ( 10 sccm)/CHF <sub>3</sub> ( 60 sccm )	21

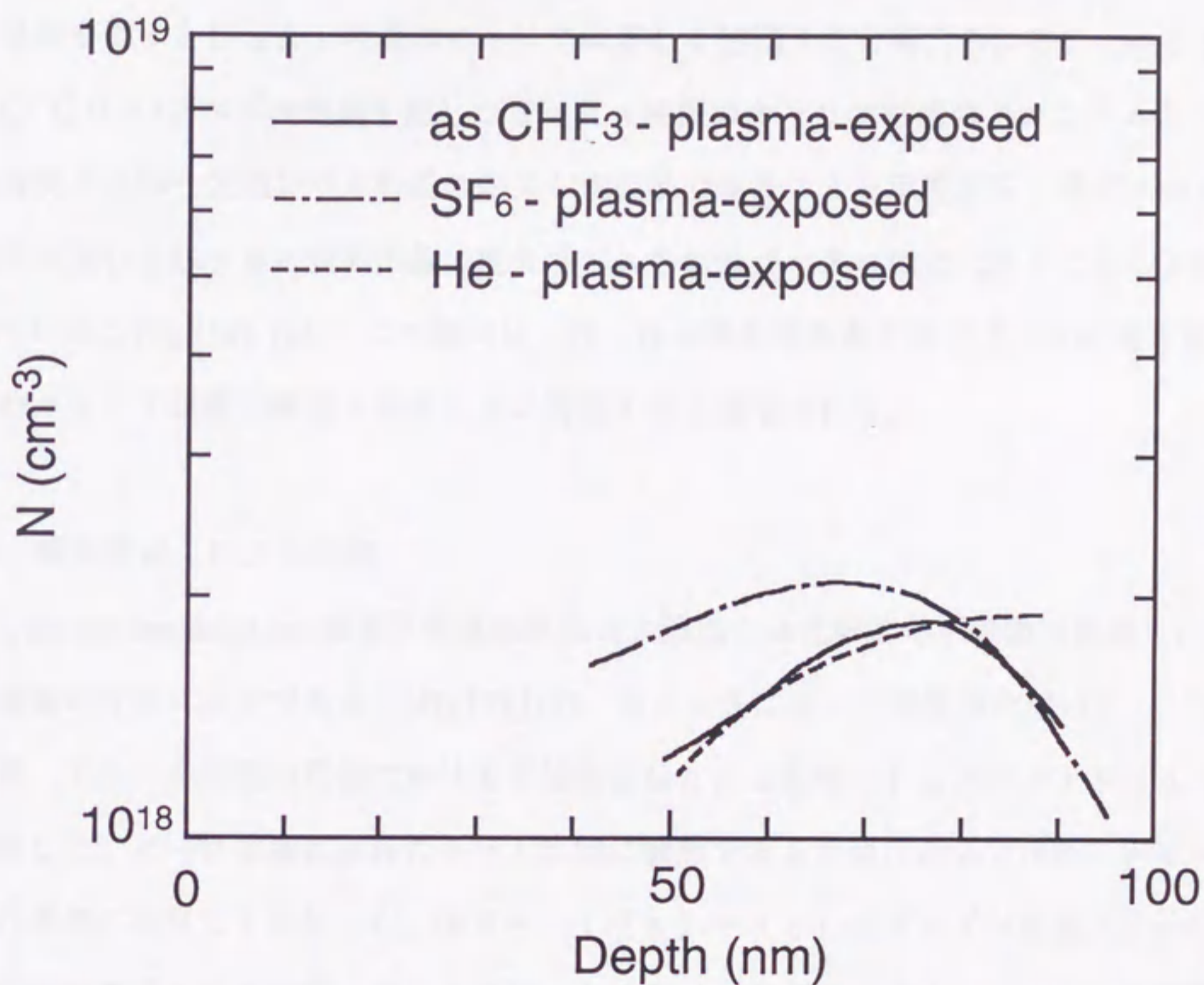


Fig. 5-10 Carrier profiles for CHF<sub>3</sub>-plasma-exposed, SF<sub>6</sub>-plasma-exposed, and He-plasma-exposed GaAs layer

図5-10 CHF<sub>3</sub>, SF<sub>6</sub>, 及びHeプラズマ処理したGaAs表面のキャリアプロファイル

ズマ処理を施したGaAs表面のキャリア枯渇量はSF<sub>6</sub>プラズマ処理を施した場合より大きい。この理由は、H原子による影響があること及びV<sub>dc</sub>の絶対値もSF<sub>6</sub>プラズマ処理に比べて大きいことに因ると考えられる。一方、Heプラズマ処理を施したGaAsではH原子による影響も無くV<sub>dc</sub>の絶対値も小さいが、キャリア枯渇量はCHF<sub>3</sub>プラズマ処理の場合と同程度に大きい。従って、H或いはHe等のような軽元素を含むECRプラズマ処理を施すとGaAs表面のキャリアは著しく枯渇すると考えられる。このことは、SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理を施したGaAs表面のキャリア枯渇のメカニズムとして、軽元素侵入に伴う欠陥レベル形成の効果が支配的であることを示唆する。希ガスのプラズマ処理を施したGaAs表面損傷の度合はガスの質量が小さいほど大きくなることが報告されている。[3], [10], [14] この傾向は、H, He等を含むECRプラズマ処理を施したときのキャリア枯渇が顕著であることに関連すると推定される。

#### 5-3-4 軽元素侵入による欠陥

PL(photo-luminescence)測定は半導体結晶の欠陥或いは化学的な不純物に関連したプラズマ損傷の評価に有効である。[4],[12],[15] 図5-3に示した測定系を用いて、プラズマ処理、アニール処理の前後における半絶縁性GaAs基板のPLスペクトル(4.2K)を比較した。ピーク強度は試料のセット状態に敏感であるため、ここでは新しいピークの出現の有無に注目して検討した。図5-11(a)~(c)にプラズマ処理(5min)した半絶縁性GaAs基板、ポストアニール処理(450℃, 30min)した試料、及び未処理の試料からの4.2K-PLスペクトルを示す。図5-11(a)に示す領域では各試料において1.512eV付近にエキシトンに関連した複数のピークが観測され、試料間における有意な差は無い。[16] 図5-11(b)に示す領域では各試料において同様に1.493eV付近に残留炭素に起因した2つのピークが観測されている。図5-11(c)に示す領域では、1.454eV付近の各試料に同様に現われるピークと、プラズマ処理後の試料においてのみ1.25~1.43eVの領域に新しく出現したスペクトルがある。前者はLO(longitudinal optical)フォノンに関連している可能性がある。[17] 後者はスペクトルの幅の広さ及び構造の複雑さから、プラズマ処理により導入された欠陥複合体(defect-complex)が起源であると推定される。また、注目すべきは、このスペクトル

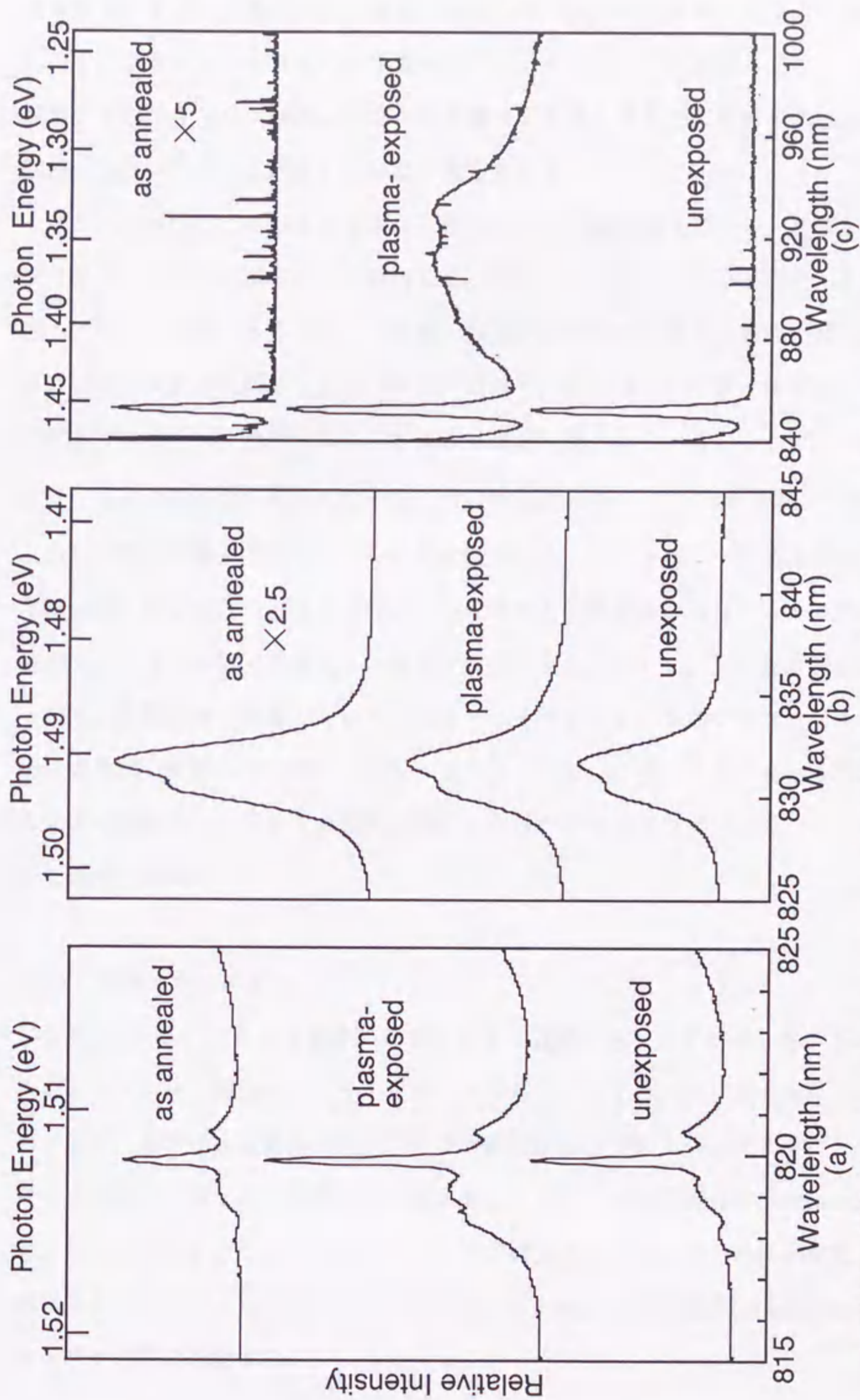


Fig. 5-11 4.2K photoluminescence spectra for SF<sub>6</sub>/CHF<sub>3</sub> plasma-exposed S.I. GaAs before and after annealing and for unexposed (control) GaAs

図5-11 SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理, ポストアニール処理, 及び未処理のS.I. GaAs における  
4. 2Kフォトルミネセンス



は450℃アニール処理により完全に消滅していることである。プラズマ処理により出現した1.25~1.43 eVの領域のスペクトルとキャリア枯渇のアニール処理に対する振舞いから、キャリア枯渇はプラズマ処理により導入された欠陥複合体(defect-complex)に関連した深いレベルに起因していると推定される。

プラズマ処理によりGaAs表面に侵入した不純物元素(H, F, 及びS)の深さ方向プロファイルをSIMSにより分析した。SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理(20")後、ポストアニール処理(450℃, 30分)後及び未処理のGaAs表面近傍のH, F, 及びSのプロファイルを図5-12(a), (b), 及び(c)に各々示す。プラズマ処理後の試料ではH, F, 及びS何れもGaAs表面に侵入している。ここで、Hの侵入深さは20~30 nmと浅く見えているが、Hの検出限界が10<sup>19</sup> cm<sup>-3</sup>と高いことを考慮するとさらに深い領域まで侵入している可能性がある。ポストアニール処理を施した場合の振舞いは、以下に述べるように侵入した元素ごとに異なる。Hはアニール処理により未処理のレベルまで拡散・消滅しているが(図5-12(a)), Fは部分的には減少しているが未だ表面近傍に残留している(図5-12(b))。Sのプロファイルはアニール処理により殆ど変化していない(図5-12(c))。このようなアニール処理に対する侵入元素の挙動から、GaAs表面に侵入したHがキャリア枯渇(図5-7)に関連していると推定される。

### 5-3-5 損傷メカニズム

SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理によるGaAs表面のキャリア枯渇メカニズムは、上述したポストアニール前後のキャリアプロファイル, 1.25~1.43 eVの領域のPLスペクトル, 及び侵入元素のプロファイルの変化から以下のように考えることができる。プラズマ処理中にGaAs表面にHが侵入することにより欠陥複合体(defect-complex)を形成し、これに関連する深いレベルにキャリアが捕獲されてキャリア枯渇が生じる。侵入したHは450℃アニール処理により外部拡散するため、欠陥複合体(defect-complex)も消滅しキャリア枯渇が回復する。

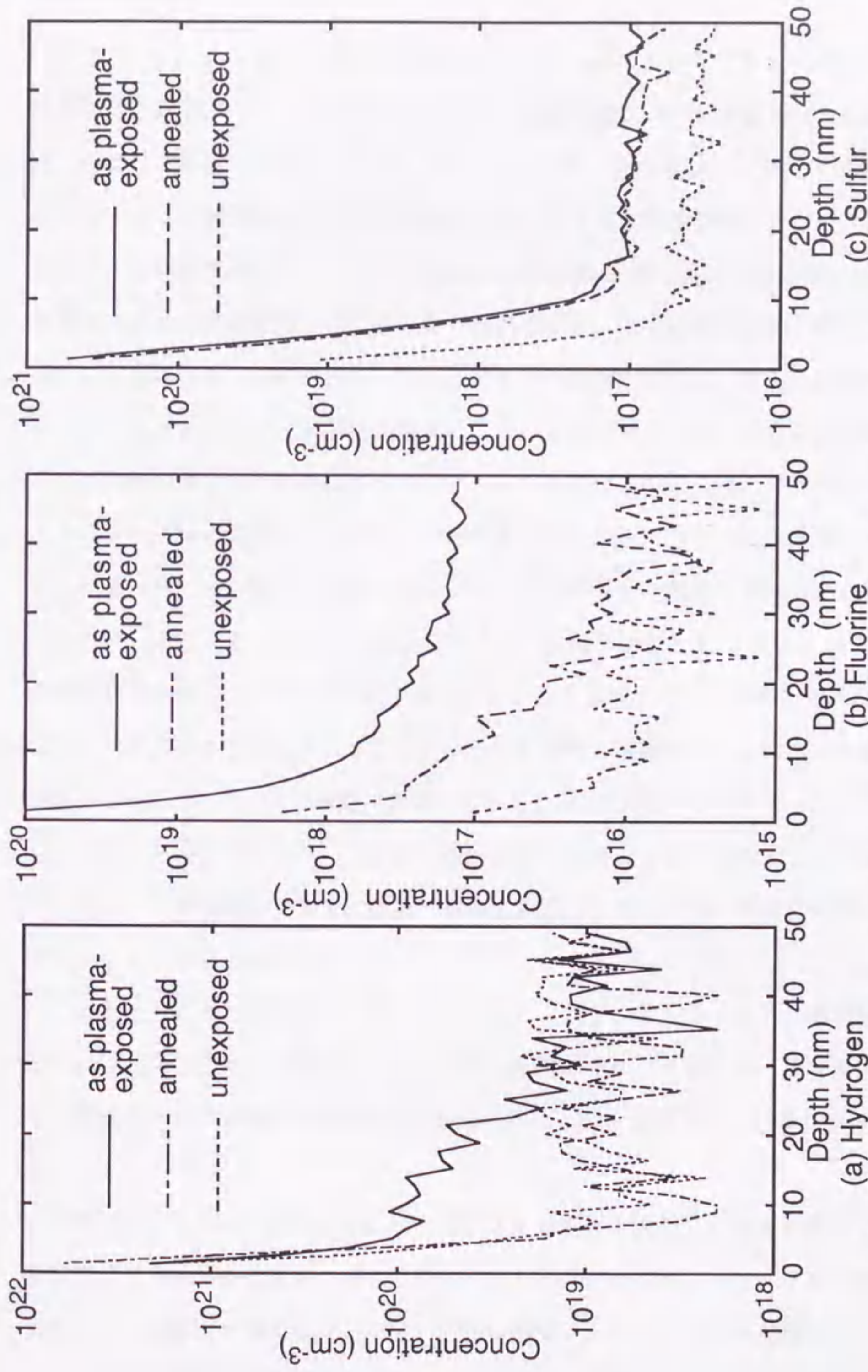


Fig. 5-12 SIMS depth profiles of (a) hydrogen, (b) fluorine, and (c) sulfur for plasma-exposed GaAs before and after annealing and for unexposed (control) GaAs

図5-12 SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理, ポストアニール処理, 及び未処理のGaAs表面のSIMS深さ分析 ((a) Hydrogen, (b) Fluorine, (c) Sulfur)

#### 5-4 まとめ

Siドープしたn型GaAs層にSF<sub>6</sub>/CHF<sub>3</sub>系のECRプラズマ処理を施したときの表面損傷及びアニール処理に対する損傷の回復状況について評価を行った。また、ガス種、特にHの影響に注目してSF<sub>6</sub>、CHF<sub>3</sub>及びHeガス単独のプラズマ処理を施したときのGaAs表面損傷について比較検討した。GaAs表面損傷のメカニズムを考察するために、液体窒素温度におけるPL(photo-luminescence)測定及び表面近傍における不純物プロファイルの評価を行った。これらの検討の結果、以下に示す結論を得た。

- (1) n型GaAs層にSF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理を施すと、キャリア枯渇及びスパッタエッチングによりシート抵抗が増大し、その増加率はプラズマ処理条件に依存する。
- (2) 表面のキャリア枯渇は450℃アニール処理により未処理のレベルまで回復する。
- (3) プラズマガス種によるキャリア枯渇量の比較から、HによるSiドナーの中性化より軽元素(H, He等)の衝撃・侵入がキャリア枯渇の支配的な要因であると推定された。
- (4) PL測定(4.2K)の結果、プラズマ処理を施すと1.25~1.43eV領域に欠陥複合体(defect-complex)に起因するスペクトルが出現することが確認された。
- (5) 上記スペクトルは450℃のアニールを施すと消滅することから、欠陥複合体(defect-complex)がキャリア枯渇に関連していると推定した。
- (6) SIMS分析により、プラズマ処理によりGaAs表面に侵入したHは450℃アニールにより未処理レベルまで拡散・消滅するが、Fは部分的に表面近傍に残留し、Sのプロファイルは殆ど変わらない。
- (7) 上述したキャリア枯渇、PL測定(4.2K)、及びSIMS分析の結果に基づき、SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理によるGaAs表面のキャリア枯渇は、Hが侵入することにより形成された欠陥複合体(defect-complex)の深いレベルに関連しているというモデルを提案した。

本章では、SF<sub>6</sub>/CHF<sub>3</sub>系のECRプラズマ処理を施したGaAs表面での電氣的、物理的、及び光学的な現象に関して新しい知見を得ているが、キャリア枯渇をもたらす要因については推測の域を出ていない。今後の課題として、プラズマ処理により導入される欠陥の分析及び欠陥に起因する深いレベルの評価を合わせて進めていく必要がある。

## 参考文献

- [1]. S. Shin, H. Chung, C. Chen, and K. Tan: "Damage induced by CHF<sub>3</sub>+C<sub>2</sub>F<sub>6</sub> plasma etching on Si-implanted GaAs(100)" , J. Appl. Phys. 62 (1987) 1729
- [2]. T. Hara, H. Suzuki, A. Suga, T. Terada, and N. Toyoda: "Radiation damage of gallium arsenide induced by reactive ion etching" , J. Appl. Phys. 62 (1987) 4109.
- [3]. S. W. Pang: "Surface Damage on GaAs Induced by Reactive Ion Etching and Sputter Etching" , J. Electrochem. Soc. 133 (1986) 784
- [4]. N. Susa: "Comparisons of GaAs, Tungsten, and Photoresist Etch Rate and GaAs Surface Using RIE with CF<sub>4</sub>, CF<sub>4</sub>+N<sub>2</sub>, and SF<sub>6</sub>+N<sub>2</sub> Mixtures" , J. Electrochem. Soc. 132 (1985) 2762
- [5]. S. J. Pearton, U. K. Chakrabarti, and W. S. Hobson, "Reactive ion etching induced damage in GaAs and AlGaAs using C<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>/Ar or CCl<sub>2</sub>F<sub>2</sub>/O<sub>2</sub> gas mixtures" , J. Appl. Phys. 66 (1989) 2061
- [6]. S. J. Pearton, J. W. Corbett, and T. S. Shi: "Hydrogen in Crystalline Semiconductors" , Appl. Phys. A43 (1987) 153
- [7]. J. Chevallier, W. C. Dautremont-Smith, C. W. Tu, and S. J. Pearton: "Donor neutralization in GaAs(Si) by atomic hydrogen" , Appl. Phys. Lett. 47 (1985) 108
- [8]. W. C. Dautremont-Smith, J. C. Nabity, V. Swaminathan, M. Stavola, J. Chevallier, C. W. Tu, and S. J. Pearton: "Passivation of deep level defects in molecular beam epitaxial GaAs by hydrogen plasma exposure" , Appl. Phys. Lett. 49 (1986) 1098
- [9]. S. W. Pang, G. A. Lincoln, R. W. McClelland, P. D. DeGraff, M. W. Geis, and W. J. Piacentini: "Effects of dry etching on GaAs" , J. Vac. Sci. & Technol. B1 (1983) 1334
- [10]. K. L. Seaward and N. J. Moll: "Semiconductor damage from inert and molecular gas plasmas" , J. Vac. Sci. & Technol. B10 (1992) 46
- [11]. H. F. Wong, D. L. Green, T. Y. Liu, D. G. Lishan, M. Bellis, E. L. Hu, P. M. Petroff, P. O. Holtz, and J. L. Merz: "Investigation of reactive ion etching induced damage in GaAs-AlGaAs quantum well structures" , J. Vac. Sci. & Technol. B6 (1988) 1906
- [12]. S. J. Pearton, M. J. Vasile, K. S. Jones, K. T. Short, E. Lane, T. R. Fullowan, A. E. Von Neida, and N. M. Haegel: "Reactive ion etching of GaAs with CCl<sub>2</sub>F<sub>2</sub>:O<sub>2</sub>: Etch rates, surface chemistry, and residual damage" , J. Appl. Phys. 65 (1989) 1281

- [13]. G. F. McLane, M. Meyyappan, M. W. Cole, and C. Wrenn: "Magnetron reactive ion etching of GaAs: Residual damage study" , J. Appl. Phys. 69 (1991) 695
- [14].D. G. Lishan, H. F.Wong, D. L. Green, E. L. Hu, J. L. Merz, and D. Kirillov : "Dry etch induced damage in GaAs investigated using Raman scattering spectroscopy" , J. Vac. Sci. & Technol. B7 (1989) 556
- [15]. C. Constantine, D. Johnson, S. J. Pearton, U. K. Chakrabarti, A. B. Emerson, W. S. Hobson, and A. P. Kinsella: "Plasma etching of III-V semiconductors in CH<sub>4</sub>/H<sub>2</sub>/Ar electron cyclotron resonance discharge" , J. Vac. Sci. & Technol. B8 (1990) 596
- [16]. M. Hata, N. Fukuhara, Y. Zempo, M. Isemura, T. Yako, and T. Maeda: "Residual impurities in epitaxial layers grown by MOVPE" , J. Cryst. Growth 93 (1988) 543
- [17]. G. S. Pomrenke, Y. S. Park, R. L. Hengehold, and M. T. Maclin: "Luminescence characteristics of the 1.4 eV silicon related complex in gallium arsenide" , Physica 116B (1983) 414

## 第6章 ECRプラズマエッチングに因るAlGaAs損傷

### 6-1 まえがき

AlGaAs/GaAsヘテロ接合を活かしたHEMT (high electron mobility transistor) 或いはHBT (heterojunction bipolar transistor)は高速アナログ・デジタル回路用のキー・デバイスとして注目されている。[1],[2] これらのデバイスの高性能化には微細加工による寄生容量及び抵抗の低減が有効であり、素子の作製工程において電極、絶縁膜、及び半導体結晶のドライエッチング技術がよく用いられる。しかし、プラズマに曝されることによりチャネルであるGaAs層の表面には損傷が誘起されることが知られている。[3]-[7] 第5章では、WSiゲート電極の微細加工に有用なSF<sub>6</sub>/CHF<sub>3</sub>系ガスを用いたECR (electron cyclotron resonance)プラズマエッチングに因るGaAs表面損傷について検討した結果を述べた。一方、AlGaAs/GaAsのヘテロ接合系についてもプラズマ照射の影響を受けることが知られており、プラズマ損傷の深さを評価する試料として検討されている。[8]-[10] また、HEMTのn型AlGaAs層はヘテロ界面のアンドープGaAsへのキャリア供給を担っており、チャネル層ではないがAlGaAsにおけるプラズマ損傷がデバイス特性に影響を与えることが考えられる。これらの系における損傷メカニズムを理解するためには、AlGaAs層とGaAs層におけるプラズマ損傷を分離して把握する必要がある。

そこで、本章ではAlGaAs層のプラズマ損傷を把握することを目的として、第5章と同じECRプラズマ処理を施したときのAl<sub>x</sub>Ga<sub>1-x</sub>As層 (x=0.30, 0.15)の損傷とアニールによる回復状況をGaAs損傷と比較しながら検討した。また、アニールによるAlGaAs層シート抵抗増大のメカニズムについて、電氣的、物理的、及び光学的な評価結果に基づき考察を加えた。

### 6-2 試料構造及び試料の処理方法

#### 6-2-1 試料の準備

電氣的評価には、図6-1に示す構造のAlGaAs試料をMOCVD (metalorganic chemical vapor deposition)法により成長したものを用いた。n型AlGaAs層のプラズマ

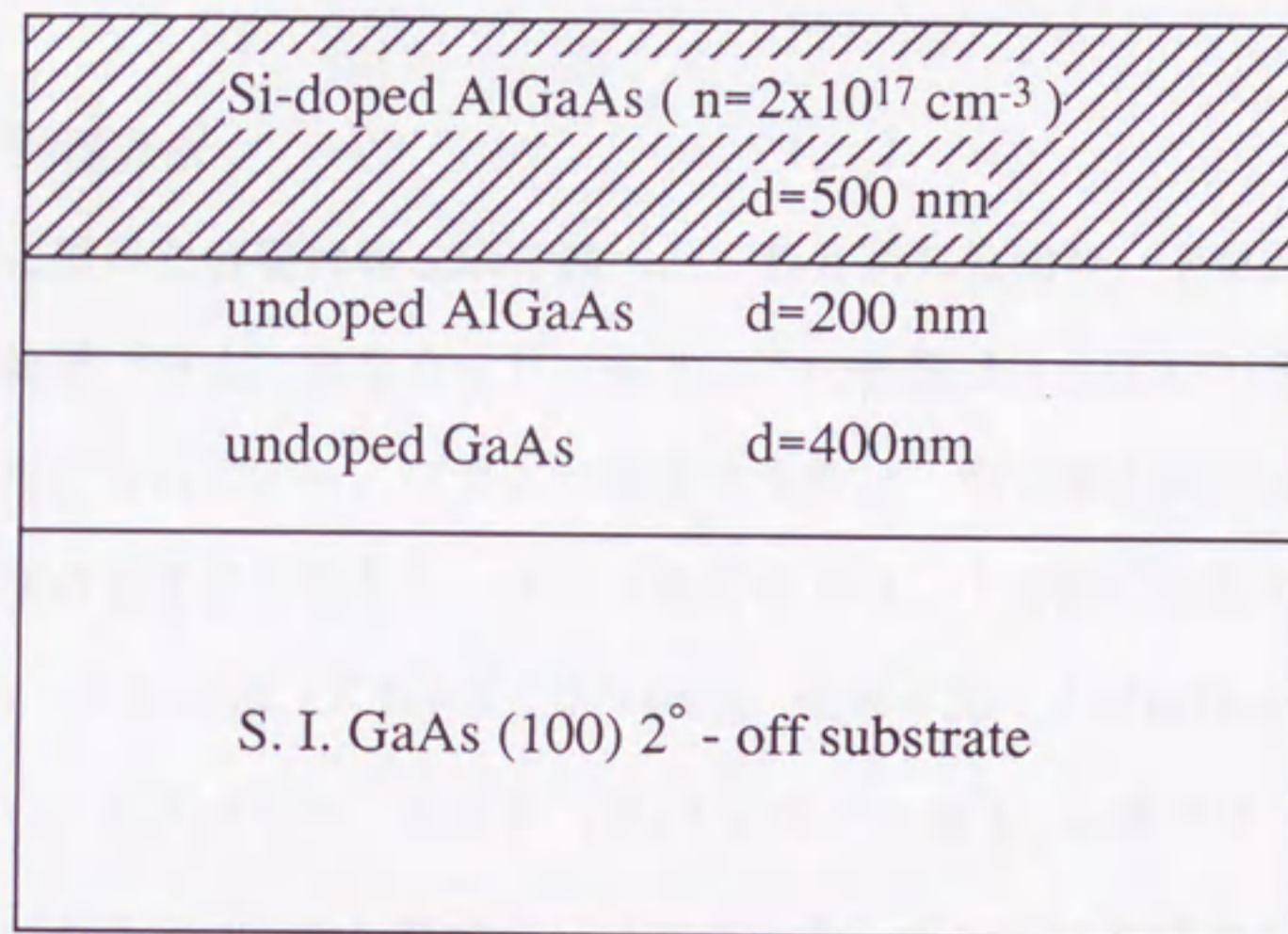


Fig. 6-1 Layer structure of AlGaAs sample

図6-1 AlGaAs試料の構造

処理によるシート抵抗の変化を評価しやすくするために、SiドープAlGaAs層及びスペーサ層を厚くすることによりAlGaAs/GaAs界面の2次元電子ガスの影響を抑えている。GaAs試料は同じくMOCVD法により成長したSiドープn型GaAs (100nm厚)を用いた。光学的評価にはGaAs(100)2°オフ基板にMOCVD法により成長したAlGaAs(Siドープ, 2 $\mu$ m厚)を用いた。(100)2°オフ基板を用いるとGaAsアンドープ層のキャリア密度が(100)基板に比べ低くできるというメリットがある。

### 6-2-2 プラズマ処理方法

プラズマ処理に用いた装置は第5章で述べたものと同じ枚葉ロードロック式ECRプラズマエッチング装置(日立, M206)である。この装置はAl及びWSi等のメタルの微細加工に広く用いられている。プラズマ処理の条件は、第5章と同じ0.25 $\mu$ m幅のWSiゲート電極の加工に好適なエッチング条件であり、1分間の処理を施した。

ガス流量: SF<sub>6</sub> 10 sccm, CHF<sub>3</sub> 60 sccm, 全ガス圧: 10 mTorr,

基板温度: 20 $^{\circ}$ C, RFパワー: 40 W (0.91 W/cm<sup>2</sup>),  $\mu$ 波パワー: 500 W

このときの自己バイアス(V<sub>dc</sub>)は約20 Vであった。また、プラズマのガス種に対する依存性を検討するためにSF<sub>6</sub>(50 sccm)プラズマ及びHe(50 sccm)プラズマに対しても同様の条件で処理を施した。

### 6-2-3 アニール処理方法

試料をSi基板に挟み、炉アニールによりN<sub>2</sub>(100%)雰囲気中450, 600 $^{\circ}$ C(30分間)の熱処理を施した。第5章で、450 $^{\circ}$ Cアニール処理がGaAsの損傷回復に有効であることを示した。600 $^{\circ}$ C以上の高温でアニールするとAs抜けが顕著になるため、アニール処理前に光CVD-SiO<sub>2</sub>膜(50nm)を表面保護膜として形成した。光CVD工程において試料は300 $^{\circ}$ C(20分間)の熱処理に曝されており、300 $^{\circ}$ Cのアニール処理相当の影響を受けることを考慮しなければならない。

### 6-2-4 評価方法



電氣的な損傷の評価方法として、試料のシート抵抗変化を渦電流測定方式によるソノゲージ300 (テンコール社) を用いて測定した。また、表面近傍におけるキャリアプロファイルの変化をC-V測定と電気化学エッチングを繰り返して測定した。試料の表面近傍における不純物 (H, C, F, 及びS) の深さ方向プロファイルをSIMS (secondary ion mass spectroscopy) により測定した。損傷の光学的評価方法として液体He温度 (4.2 K) でのPL (photo-luminescence) を測定した。

### 6-3 表面損傷とアニール処理の影響

#### 6-3-1 電氣的損傷

$\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) 及び  $\text{GaAs}$  層を  $\text{SF}_6/\text{CHF}_3$  プラズマ処理した時のシート抵抗の変化及びポストアニールによる変化を温度を変えて評価した。図6-2に示すように  $\text{AlGaAs}$  のシート抵抗は  $\text{GaAs}$  と同様にプラズマ処理によりシート抵抗が増大している。 $\text{SF}_6/\text{CHF}_3$  プラズマ処理による  $\text{AlGaAs}$  シート抵抗増大のメカニズムとしては、H原子によるSiドナーの中性化[4],[11] 或いはイオン衝撃による深いレベルの形成が考えられる。後者は軽元素を含むガスのプラズマ処理の場合に顕著である。[5],[12] プラズマ処理した  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) に  $300^\circ\text{C}$  のアニール処理を施すとシート抵抗はさらに増大するが、プラズマ処理を施した  $\text{GaAs}$  では変化しない。 $450^\circ\text{C}$  のポストアニール処理を施すと、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.15$ ) と  $\text{GaAs}$  のシート抵抗は低減しプラズマ損傷は回復しているが、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) のシート抵抗はプラズマ処理後よりさらに高くなっている。 $600^\circ\text{C}$  ポストアニール処理を施しても、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) のシート抵抗は未処理のレベルまで低下していない。一方、プラズマ処理していない  $\text{AlGaAs}$  のシート抵抗は図6-2に示すように  $300^\circ\text{C}$ ,  $450^\circ\text{C}$  のアニール処理では変化しない。これはこの温度領域では熱劣化・変成による  $\text{AlGaAs}$  シート抵抗の増大は起こらないことを示す。しかし、 $600^\circ\text{C}$  アニール処理を施すとプラズマ処理を施していない  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) シート抵抗は増大している。この原因として、酸化或いはAs抜けによる表面の熱劣化が考えられる。また、 $600^\circ\text{C}$  のアニール処理を施すと、

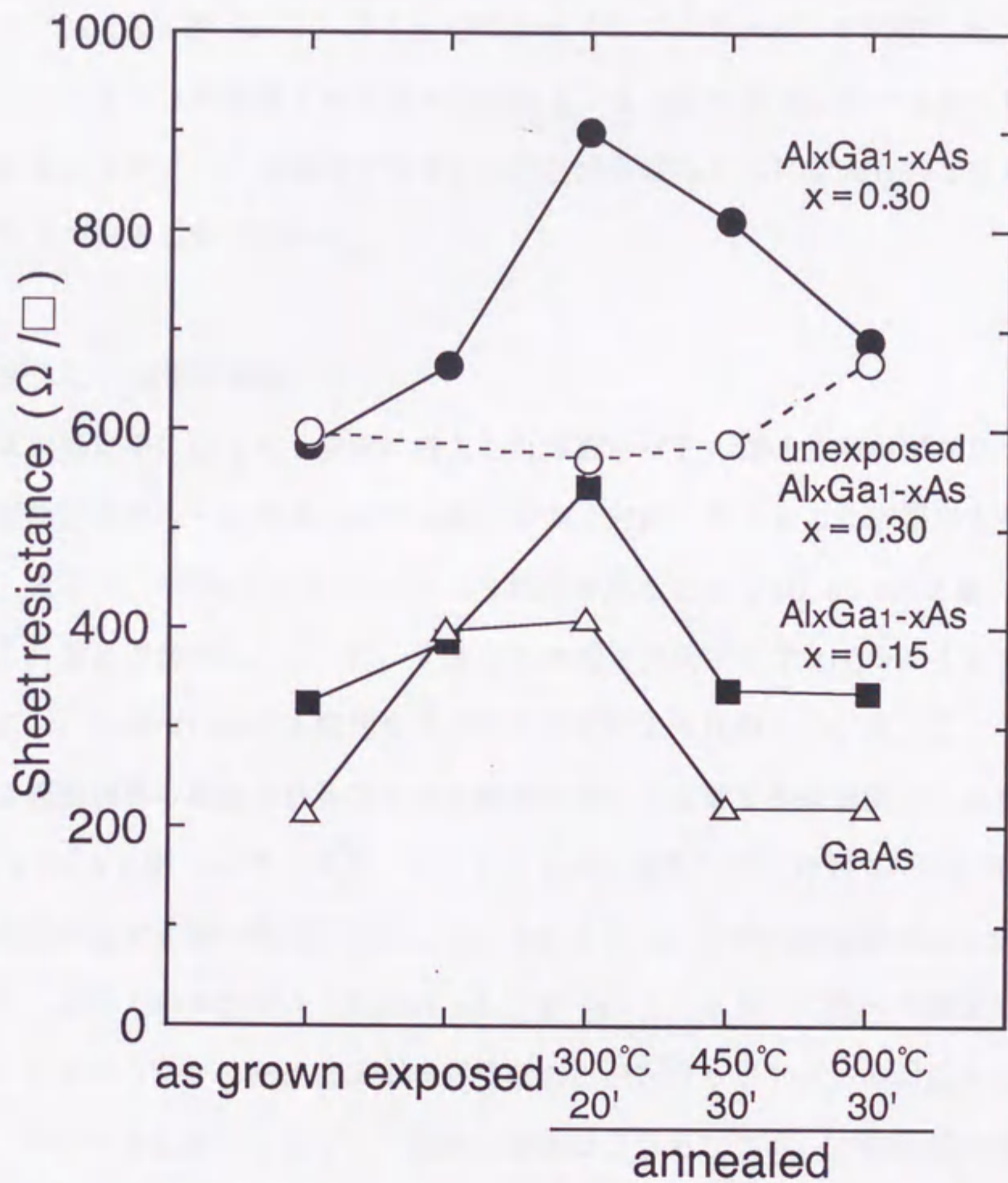


Fig. 6-2 Sheet resistances for Al<sub>x</sub>Ga<sub>1-x</sub>As (x=0.30, 0.15) and GaAs before and after SF<sub>6</sub>/CHF<sub>3</sub> plasma exposure and annealing as a function of temperature  
 図6-2 SF<sub>6</sub>/CHF<sub>3</sub>プラズマ処理及びアニールによるAl<sub>x</sub>Ga<sub>1-x</sub>As (x=0.30, 0.15)シート抵抗の変化

$\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) のシート抵抗がプラズマ処理の有無によらず同程度になっていることから、プラズマ損傷は  $600^\circ\text{C}$  アニールによりほぼ回復していると推定できる。これらのことから  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30$ ) プラズマ損傷は  $450^\circ\text{C}$  アニールでは回復せず逆に悪化しており、 $\text{GaAs}$  損傷に対するアニール処理効果とは全く対照的な挙動であることが分かる。次にプラズマ処理前後及び  $450^\circ\text{C}$  ポストアニール処理後の  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) 中のキャリアプロファイルを測定した。図6-3に示すようにプラズマ処理後では表面から深さ  $170\text{nm}$  の領域においてキャリアが枯渇している。ポストアニール処理後ではキャリア枯渇領域はさらに拡大し約  $300\text{nm}$  の深さにまで及んでいることが分かる。

### 6-3-2 侵入した元素の挙動

プラズマ処理中に  $\text{GaAs}$  表面に侵入した  $\text{H}$  或いは  $\text{F}$  の深さ方向のプロファイルとキャリア枯渇状況のアニール前後における変化が良く対応していることが報告されている。

[3],[13] そこで、 $\text{SF}_6/\text{CHF}_3$  プラズマ処理を施した  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) 表面近傍の  $\text{H}, \text{C}, \text{O}, \text{F}$  及び  $\text{S}$  の深さ方向プロファイルの  $300, 450^\circ\text{C}$  ポストアニール前後における変化を SIMS 分析により比較した。 $\text{H}, \text{C}, \text{O}$  及び  $\text{S}$  の深さ分布は検出限界の範囲では各アニール前後において有意な差は観測されなかった。一方、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) 中に侵入した  $\text{F}$  は図6-4に示すようにアニール処理を施すと深い領域に拡散している。さらに、 $\text{F}$  の内部拡散は  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) 中の方が  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.15$ ) に比べて顕著であり、両試料において  $450^\circ\text{C}$  アニールによる内部拡散の方が  $300^\circ\text{C}$  アニールに比べて顕著である。しかし、アニール処理によるシート抵抗の増大は  $300^\circ\text{C}$  アニール処理後の方が顕著であることから (図6-2),  $\text{F}$  の内部拡散は高抵抗化の直接的な要因ではないと考えられる。

### 6-3-3 ガス種による相違

$\text{SF}_6/\text{CHF}_3$  プラズマ処理による  $\text{AlGaAs}$  損傷及びポストアニールによるシート抵抗増大のメカニズムを解明するために、 $\text{SF}_6$  プラズマ処理及び  $\text{He}$  プラズマ処理を施した試料を用いて比較・検討した。 $\text{SF}_6/\text{CHF}_3$ ,  $\text{SF}_6$ , 及び  $\text{He}$  プラズマ処理を施

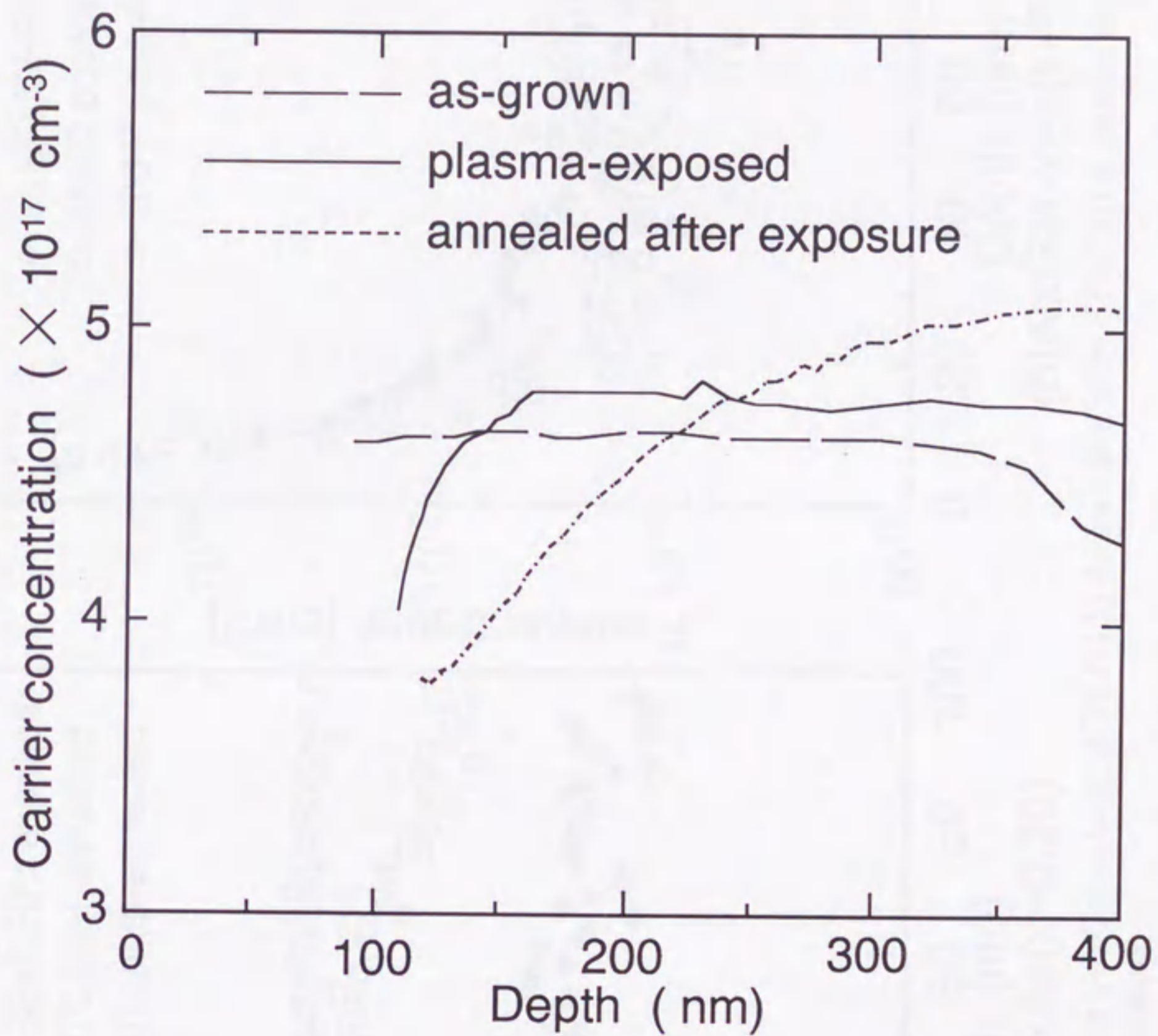


Fig. 6-3 Carrier profiles for  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30$ ) before and after  $\text{SF}_6/\text{CHF}_3$  plasma exposure and after post-annealing

図 6-3 プラズマ処理前後及びアニール後の  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30, 0.15$ ) 表面のキャリアプロファイル

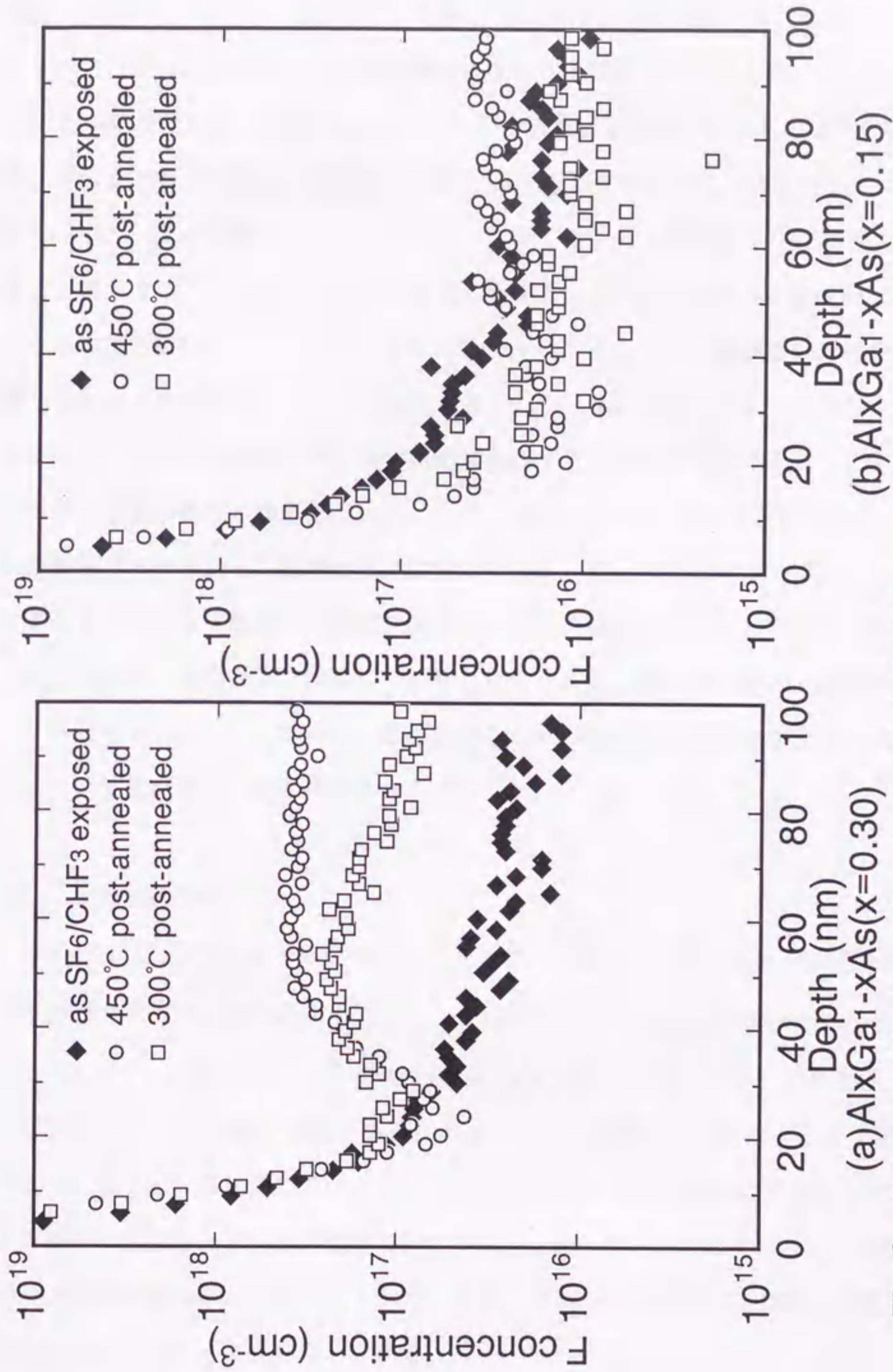


Fig. 6-4 F depth profiles for Al<sub>x</sub>Ga<sub>1-x</sub>As (x=0.30, 0.15) before and after SF<sub>6</sub>/CHF<sub>3</sub> plasma exposure and after post-annealing

図6-4 プラズマ処理前後及びアニール後のAl<sub>x</sub>Ga<sub>1-x</sub>As (x=0.30, 0.15) 表面のF深さ方向プロファイル

した  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) 及び未処理の試料に対して、アニール処理 ( $300, 450, 600^\circ\text{C}$ ) を施したときのシート抵抗の変化を図 6-5 に示す。 $\text{SF}_6/\text{CHF}_3$  及び  $\text{He}$  プラズマ処理によるシート抵抗の増大は  $\text{SF}_6$  プラズマ処理の場合に比べ顕著である。このことは  $\text{CHF}_3$  から解離した  $\text{H}$  或いは  $\text{He}$  のような軽元素の衝撃・侵入がプラズマ損傷の支配的な要因であることを示唆する。 $\text{He}$  プラズマ処理を施した  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) のシート抵抗は  $300^\circ\text{C}$  アニールにより著しく増大する。 $450^\circ\text{C}$  アニールを施した場合、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) ではさらに高抵抗化し、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.15$ ) では未処理のレベルまでほぼ回復している。 $600^\circ\text{C}$  アニールを施すと  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) の損傷も回復している。このような  $\text{He}$  プラズマ損傷に及ぼすアニール処理の効果は、 $\text{SF}_6/\text{CHF}_3$  プラズマ損傷の場合と類似している。一方、 $\text{SF}_6$  プラズマ処理及びポストアニールを施した試料におけるシート抵抗の増加は僅かである。以上の結果から、ポストアニール処理による  $\text{AlGaAs}$  層シート抵抗の増大はプラズマ処理中に侵入した  $\text{CHF}_3$  からの  $\text{H}$  或いは  $\text{He}$  のような軽元素に関連していると考えられる。軽元素の侵入に伴う深い準位がキャリア枯渇をもたらし、アニール処理によりこれらの準位の空間的な分布が広がったためキャリア枯渇が増大したと推定される。

#### 6-3-4 光学的な評価

$\text{SF}_6/\text{CHF}_3$  プラズマ処理及びポストアニール後の  $\text{AlGaAs}$  中の欠陥及び化学的な不純物の状況を評価するために、 $4.2\text{K}$  における  $\text{PL}$  (photoluminescence) を測定した。図 6-6 に  $2\ \mu\text{m}$  厚の  $\text{Si}$  ドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30$ ) の未処理、 $\text{SF}_6/\text{CHF}_3$  プラズマ処理後、及び  $450^\circ\text{C}$  ポストアニール後の  $\text{PL}$  スペクトルを示す。図 6-6 (a) では、各試料において  $1.85\sim 1.87\text{eV}$  の領域にドナーと中性アクセプタの遷移に起因したピークが観測されている。[14] プラズマ処理、アニール処理に伴いピーク位置が低エネルギー側にシフトしており、アニール後のシフトが最も顕著である。この再結合エネルギーは下式で表わされる。

$$E = E_g - (E_A + E_D) + e^2/\epsilon R \quad (1)$$

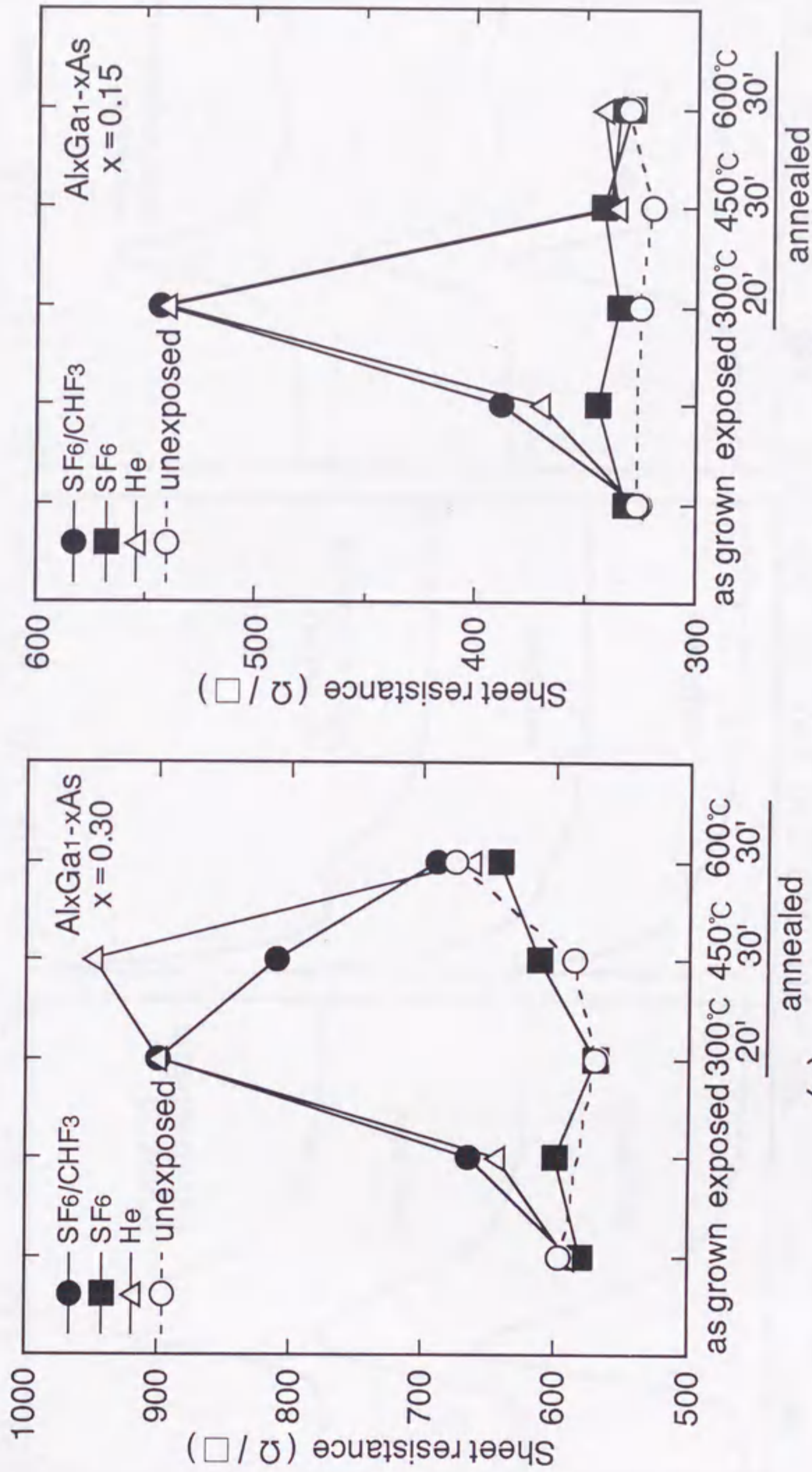


Fig. 6-5 Sheet resistances for Al<sub>x</sub>Ga<sub>1-x</sub>As (x=0.30, 0.15) before and after SF<sub>6</sub>/CHF<sub>3</sub>, SF<sub>6</sub>, and He plasma exposure and annealing as a function of temperature

図6-5 SF<sub>6</sub>/CHF<sub>3</sub>, SF<sub>6</sub>, 及びHeプラズマ処理及びアニールによるAl<sub>x</sub>Ga<sub>1-x</sub>As (x=0.30, 0.15)シート抵抗の変化

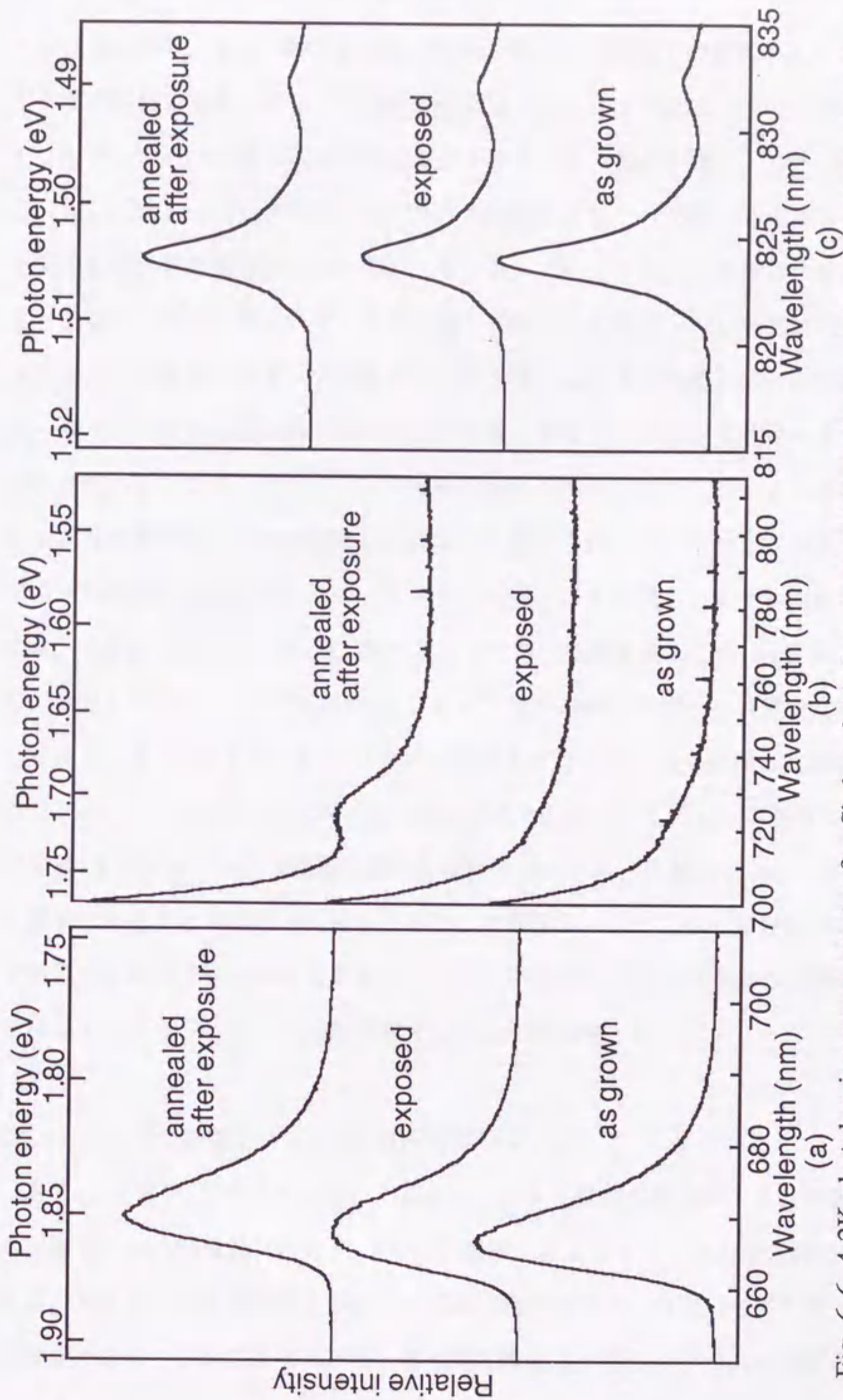


Fig. 6-6 4.2K photoluminescence spectra for Si-doped  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30$ ) before and after  $\text{SF}_6/\text{CHF}_3$  plasma exposure and after  $450^\circ\text{C}$  annealing

図6-6 未処理,  $\text{SF}_6/\text{CHF}_3$ プラズマ処理, ポストアニール処理後の  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30$ ) の 4.2 K フォトルミネセンス



ここで、 $E_g$  はバンドギャップ、 $E_A$  及び  $E_D$  はアクセプタ及びドナーのバンド端からのイオン化エネルギー、 $e$ ,  $\epsilon$ , 及び  $R$  は各々電子の電荷、低周波での誘電率及びドナーとアクセプタ間の距離である。キャリア密度が低くなると、ドナーとアクセプタ間の距離  $R$  が増大して PL ピークが低エネルギー側にシフトするという報告がある。[14] 従って、図 6-6 (a) に示したピークシフトもプラズマ処理、アニール処理によるキャリア密度の減少を反映している可能性がある。図 6-6 (b) では、アニール処理後の試料においてのみ 1.70 eV 付近に新しいピークが出現している。このピークの起源は同定できないが、アニール後の顕著なキャリア枯渇をもたらす深いレベルに関連している可能性がある。図 6-6 (c) では、各試料において 1.49 eV と 1.51 eV 付近に 2 つのピークが観測されている。これらは AlGaAs 中の深いレベル、或いは GaAs 基板中の欠陥エキシトン及び炭素アクセプタ遷移に起因すると推定されるが、何れもプラズマ処理、ポストアニール処理による変化はない。アニール処理により出現したピークの起源を検討するために、SF<sub>6</sub>/CHF<sub>3</sub>、SF<sub>6</sub>、及び He プラズマ処理を施した Al<sub>x</sub>Ga<sub>1-x</sub>As 層 ( $x=0.30$ ) のアニール処理後の 1.70 eV 付近におけるピーク強度を比較した。図 6-7 に示すように SF<sub>6</sub>/CHF<sub>3</sub> プラズマ処理及び He プラズマ処理した試料のピーク強度は SF<sub>6</sub> プラズマ処理した試料に比べ顕著である。また、このピーク強度の大きい SF<sub>6</sub>/CHF<sub>3</sub> 及び He プラズマ処理を施した試料では、アニール処理によるシート抵抗の増大も顕著であることが分かる (図 6-5)。これから、1.70 eV 付近のピークはキャリア枯渇をもたらす深い準位に関連し、アニール処理により深い準位の空間的な分布が拡大することにより PL ピーク強度が増大したものと推定される。

#### 6-3-5 プラズマ損傷及びアニール効果のメカニズム

SF<sub>6</sub>/CHF<sub>3</sub> プラズマ処理による AlGaAs 表面の損傷はイオンの衝撃・侵入による欠陥レベルの形成及び CHF<sub>3</sub> からの H 原子による Si ドナーの中性化によると考えられる。He プラズマ処理によるシート抵抗の増大が SF<sub>6</sub>/CHF<sub>3</sub> プラズマ処理の場合と同程度であることから、H 及び He 等の軽元素侵入の効果がプラズマ損傷の支配的な要因であると推定される。また、300~450℃ ポストアニールを施すとキャリア枯渇領域が拡大して AlGaAs 層シート抵抗が増大する。He プラズマ処理した AlGaAs 層

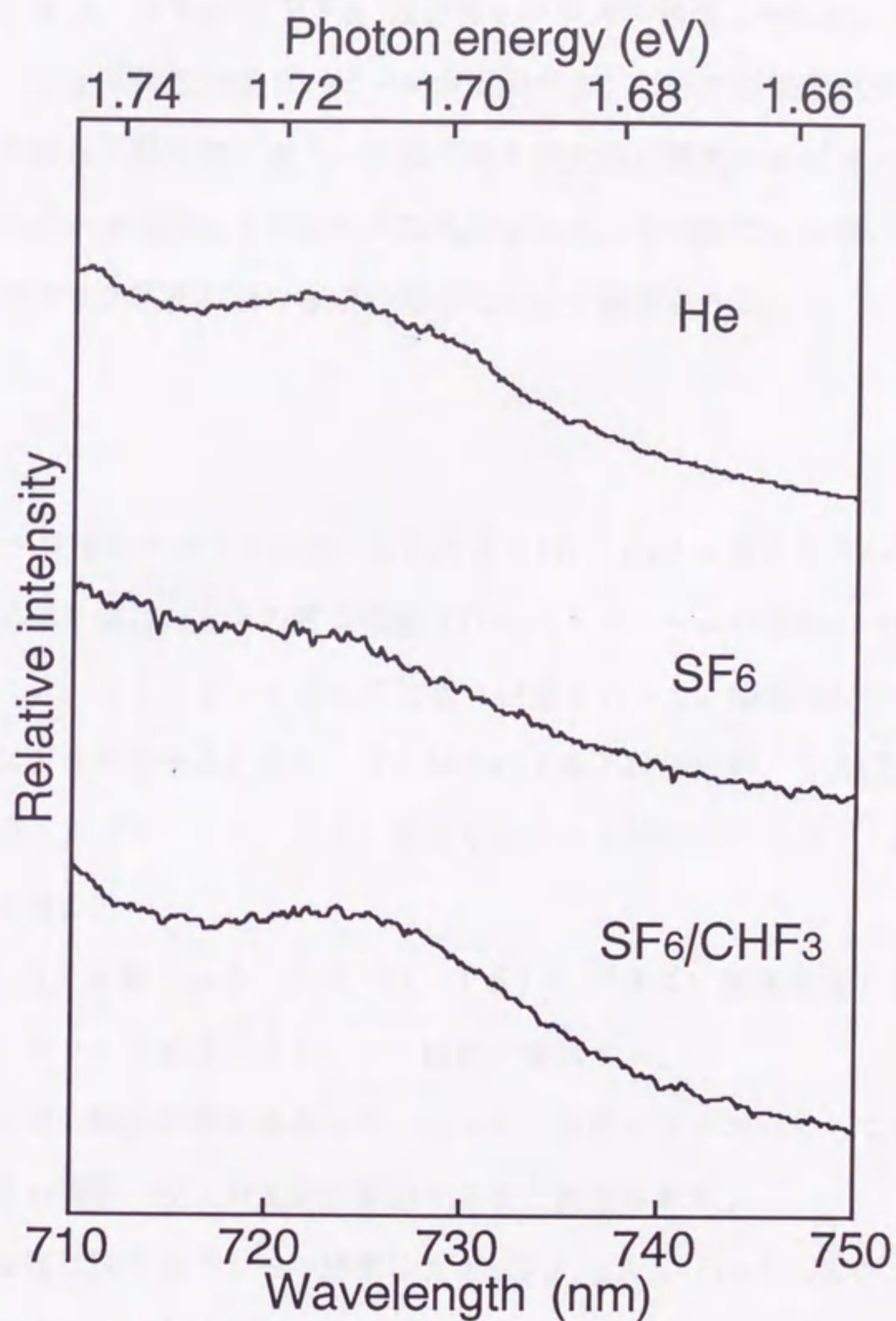


Fig. 6-7 4.2K photoluminescence spectra for SF<sub>6</sub>/CHF<sub>3</sub>, SF<sub>6</sub>, and He plasma exposed Al<sub>x</sub>Ga<sub>1-x</sub>As(x=0.30) after 450°C anneal

図6-7 SF<sub>6</sub>/CHF<sub>3</sub>, SF<sub>6</sub>, 及びHeプラズマ処理後アニールした Al<sub>x</sub>Ga<sub>1-x</sub>As(x=0.30)の4.2Kフォトルミネセンス

も  $\text{SF}_6/\text{CHF}_3$  プラズマ処理の場合と同様にアニールによりシート抵抗が増大することから、シート抵抗増大はプラズマ処理中に侵入した軽元素に関連すると推定される。PL測定 (4.2 K) から、 $\text{SF}_6/\text{CHF}_3$ 、及びHe プラズマ処理した試料にアニール処理を施すと 1.70 eV 付近に新しいピークが出現する。ピークの位置がプラズマのガス種に依らないことから、軽元素の侵入・拡散に伴う点欠陥に関連するピークと考えられる。従って、ポストアニール処理によるシート抵抗の増大は、点欠陥による深い準位の空間的分布が広がり、キャリア枯渇が深い領域に及んだためと推定される。

#### 6-4 まとめ

GaAs 系ヘテロ接合デバイスに用いられる  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層に  $\text{SF}_6/\text{CHF}_3$  系の ECR プラズマ処理を施したときの表面損傷及びポストアニールの効果について Al 組成比 ( $x=0.30, 0.15, 0$ ) を変えて比較・評価を行った。損傷及びアニール効果に対するメカニズムを考察するために、SIMS による不純物分析、 $\text{SF}_6$  及び He プラズマ処理との比較、及び PL (4.2 K) 測定などによる検討を行った。これらの結果、以下に示す結論を得た。

(1)  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) にプラズマ処理を施すと、GaAs 層の場合と同様にキャリア枯渇によりシート抵抗が増大する。

(2) プラズマのガス種依存性の結果から、キャリア枯渇メカニズムとして GaAs の場合と同様に軽元素の衝撃・侵入が支配的要因であると推定される。

(3) プラズマ損傷に対するアニール効果は  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30, 0.15$ ) と GaAs では後述するように対照的である。300°C アニールにより  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30, 0.15$ ) 損傷はさらに悪化するが、GaAs 損傷は変化しない。さらに 450°C アニールを施しても、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30$ ) 損傷は依然、悪化している。一方、GaAs 及び  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.15$ ) 損傷は 450°C アニールにより回復する。

(4) プラズマ処理により  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.30, 0.15$ ) 中に侵入した F はアニール処理を施すとさらに深い領域に拡散する。F の内部拡散は  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層

( $x=0.30$ ) 中の方が  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 ( $x=0.15$ ) に比べて顕著である。しかし、アニール処理によるシート抵抗変化の温度依存性と対応せず、F の内部拡散は高抵抗化の直接的な要因ではないと推定される。

(5) He プラズマ処理した  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.30$ ) も  $\text{SF}_6/\text{CHF}_3$  の場合とにアニールによるシート抵抗が増大することから、シート抵抗の増大は侵入した軽元素の挙動に関連していると考えられる。

(6) 4.2 K の PL 測定結果から、アニール後のシート抵抗増大は軽元素の侵入に関連した深い準位 (ピーク位置:  $1.70\text{ eV}$  付近) の存在領域が拡大したことによると推定される。

上述したように、 $\text{SF}_6/\text{CHF}_3$  系の ECR プラズマ処理による  $\text{AlGaAs}$  損傷は、第5章で述べた  $\text{GaAs}$  損傷と同じメカニズムによりキャリア枯渇が生じている。しかし、アニール処理を施したときシート抵抗、キャリア枯渇状態、及び侵入した F の挙動などについては、 $\text{AlGaAs}$  損傷と  $\text{GaAs}$  損傷では対照的な変化を示す。この理由として、プラズマ処理により侵入した格子間原子及び誘起された点欠陥のアニールに対する振舞いが  $\text{AlGaAs}$  と  $\text{GaAs}$  中では異なるため、深い準位に関連する点欠陥の挙動の相違が損傷 (シート抵抗、キャリア枯渇状態) の回復特性に差をもたらすと推測できる。しかし、これらの議論において  $\text{AlGaAs}$  と  $\text{GaAs}$  の本質的な相違は不明であり、メカニズムについても推測の域を出ていない。今後の課題として、両材料系における欠陥の挙動と深い準位との相関について更に詳細に評価、解明していく必要がある。

## 参考文献

[1]. M. E. Kim, A. K. Oki, G. M. Gorman, D. K. Umemoto, and J. B. Camou:

“GaAs Heterojunction Bipolar Transistor Device and IC Technology for High-Performance Analog and Microwave Applications” IEEE Trans. Microwave Theory and Tech. MTT-37 (1989) 1286

[2]. Y. Watanabe, K. Kajii, Y. Asada, K. Odani, T. Mimura, and M. Abe: “A High-Speed HEMT 1.5K Gate Array” IEEE Trans. Electron Devices ED-34 (1987) 1253

- [3]. S. J. Pearton, U. K. Chakrabarti, and W.S. Hobson: "Reactive ion etching induced damage in GaAs and AlGaAs using C<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>/Ar or CCl<sub>2</sub>F<sub>2</sub>/O<sub>2</sub> gas mixtures" , J. Appl. Phys. 66 (1989) 2061
- [4]. S. Shin, H. Chung, C. Chen, and K. Tan: "Damage induced by CHF<sub>3</sub>+C<sub>2</sub>F<sub>6</sub> plasma etching on Si-implanted GaAs(100)" , J. Appl. Phys. (1987) 1729
- [5]. K. L. Seaward and N. J. Moll: "Semiconductor damage from inert and molecular gas plasmas" , J. Vac. Sci. & Technol., J. Vac. Sci. Technol. B10 (1992) 46
- [6]. T. Hara, J. Hiyoshi, H. Hamanaka, M. Sasaki, F. Kobayashi, K. Ukai, and T. Okada: "Damage formed by electron cyclotron resonance plasma etching on a gallium arsenide surface" , J. Appl. Phys. 67 (1990) 2839
- [7]. S. J. Pearton, M. J. Vasile, K.S. Jones, K.T. Short, E. Lane, T. R. Fullowan, A. E. Von Neida, and N. M. Haegel: "Reactive ion etching of GaAs with CCl<sub>2</sub>F<sub>2</sub>:O<sub>2</sub>: Etch rates, surface chemistry, and residual damage" , J. Appl. Phys. 65 (1989) 1281
- [8]. Y. Takeuchi, H. Soga, Y. Ueno, T. Kanayama, Y. Sugiyama, and M. Tacano: "In-depth distribution of ion irradiation defects evaluated by mobility of Al<sub>0.3</sub>Ga<sub>0.7</sub>As/GaAs two-dimensional electron gas" , Appl. Phys. Lett. 61 (1992) 2084
- [9]. V. Swaminathan, M. T. Asom, U. K. Chakrabarti, and S. J. Pearton: "Electron cyclotron resonance plasma-induced damage in AlGaAs/GaAs/AlGaAs single quantum wells" , Appl. Phys. Lett. 58 (1991) 1256
- [10]. H. F. Wong, D. L. Green, T. Y. Liu, D. G. Lishan, M. Bellis, E. L. Hu, P. M. Petroff, P. O. Holtz, and J. L. Mertz: "Investigation of reactive ion etching induced damage in GaAs-AlGaAs quantum well structures" , J. Vac. Sci. Technol. B6 (1988) 1906
- [11]. W. C. Dautremont-Smith, J. C. Nabity, V. Swaminathan, M. Stavola, J. Chevallier, C. W. Tu, and S. J. Pearton: "Passivation of deep level defects in molecular beam epitaxial GaAs by hydrogen plasma exposure" , Appl. Phys. Lett. 49 (1986) 1098
- [12]. S. W. Pang, G. A. Lincoln, R. W. McClelland, P. D. DeGraff, M. W. Geis, and W. J. Piacentini: "Effects of dry etching on GaAs" , J. Vac. Sci. Technol. B1 (1983) 1334

[13]. N. Susa: "Comparisons of GaAs, Tungsten, and Photoresist Etch Rate and GaAs Surface Using RIE with CF<sub>4</sub>, CF<sub>4</sub>+N<sub>2</sub>, and SF<sub>6</sub>+N<sub>2</sub> Mixtures" , J. Electrochem. Soc. 132 (1985) 2762.

[14]. J. M. Ballingal and D. M. Collins: "Photoluminescence of shallow acceptors in Al<sub>0.28</sub>Ga<sub>0.72</sub>As" , J. Appl. Phys. 54 (1983) 341

## 第7章 SiO<sub>2</sub>膜スパッタ堆積に因るGaAs損傷

### 7-1 まえがき

化合物半導体にスパッタ堆積技術を適用すると、表面に電氣的、光学的、構造的、及び化学組成的な変化を伴う損傷が誘起されることが報告されている。[1]-[3] スパッタ堆積技術はプラズマプロセスという点では第5章及び第6章で述べたドライエッチング技術と共通しているが、バイアスを試料と対向するターゲット側に印加している点では対照的である。ターゲットに高周波を印加するSiO<sub>2</sub>スパッタ堆積技術を半導体レーザの端面コーティングに適用すると、ダイオードのリーク電流が増大するという報告がある。[4] 従って、スパッタ堆積技術もドライエッチングと同様に表面損傷が化合物半導体デバイスの特性劣化を招く可能性がある。そのため、スパッタ堆積条件と損傷度合の相関及び損傷のメカニズムについて把握し、デバイス及びプロセスを設計する上で考慮していかなければならない。

誘電体膜の高周波スパッタリング堆積法では、損傷の度合がターゲットに印加するrfパワーに強く依存することが知られている。しかし、InPにSiO<sub>2</sub>膜をスパッタ堆積したときの表面損傷について、対照的なrfパワー依存性が報告されている。TakahashiらはSiO<sub>2</sub>膜を堆積したときのInP表面の変成層をエリプソメトリ法を用いて評価し、rfパワーが高いほど変成層の厚さが増加すると報告している。[5] 一方、Dautremont-SmithらはRBS (Rutherford backscattering) 法によりInP表面の構造的な損傷を変位したIn原子の面積密度により評価し、rfパワーが低いほど損傷が顕著になると報告している。[6] 両者の相違はスパッタ装置・条件或いは損傷評価方法が異なることによる可能性もある。このようにスパッタ堆積条件と表面損傷の相関及び損傷のメカニズムは十分に解明されていない。

本章では、SiO<sub>2</sub>膜をスパッタ堆積したときのGaAs表面損傷についてTEM (transmission electron microscopy)を用いて構造的な損傷を、分光エリプソメトリ法を用いて光学的な損傷を各々評価した。また、スパッタ損傷のメカニズムについても損傷のrfパワー依存性及びSiO<sub>2</sub>膜堆積速度依存性の結果に基づき議論している。

## 7-2 スパッタ堆積方法と損傷の評価方法

### 7-2-1 スパッタ堆積装置と堆積条件

高周波スパッタ堆積技術を用いてSiO<sub>2</sub>膜をGaAs(100)基板上に堆積した。SiO<sub>2</sub>膜の堆積には、図7-1に示すように試料と対向するターゲット(カソード)に13.56MHzを印加するrfダイオード型スパッタ堆積装置(ANELVA社, SPF-631B)を用いた。この図では簡単のためSiO<sub>2</sub>を堆積するときの概略構成を示しているが、実際の装置では他に2個ターゲットがあり、試料ステージの回転位置と高周波印加の選択により3種類の成膜が可能である。また、SiO<sub>2</sub>の膜厚は水晶振動式の膜厚モニタを用いて制御した。SiO<sub>2</sub>の堆積条件はレーザの試作(端面コーティング)に適用している下記条件をベースに用いた。

ターゲット材: SiO<sub>2</sub>, スパッタ雰囲気: Ar(100%) 2mTorr

ターゲットとステージの間隔: 6cm, ステージ温度: 約20℃(水冷)

rfパワー: 300W(1.7W/cm<sup>2</sup>)

尚、rfパワーについては、スパッタ損傷との相関を評価するために、150~600W(0.85~3.4W/cm<sup>2</sup>)の範囲で変えて堆積した。

### 7-2-2 GaAs表面損傷の評価方法

SiO<sub>2</sub>膜(120nm厚)を堆積したGaAs表面の構造的な損傷をTEM(日立H-9000-UHR)を用いて明視野像及び高分解格子像による観察を行った。SiO<sub>2</sub>膜堆積によるGaAs表面光学変成層の厚さを分光エリプソメータ(Jobin Yvon社 UVISEL)を用いて評価した。測定系の構成図を図7-2に示す。分光エリプソメトリでは下式で表わせる複素反射率 $\rho$ を光のエネルギーの関数として測定する。

$$\rho = \tan\Psi \cdot \exp(i\Delta) = R_p/R_s \quad (1)$$

ここで、 $R_p$ と $R_s$ は光入射面に平行(p)及び垂直(s)成分に対する反射係数であり、 $\tan\Psi$ は振幅比、 $\Delta$ は位相差を表わす。測定は、1.5~5.0 eVの範囲で行い、光の入射角は75°である。SiO<sub>2</sub>膜を堆積したGaAs系を光学的には、SiO<sub>2</sub>膜/GaAs表面損傷層/GaAs層の3相モデルとして評価した。損傷層は深さ方向に漸次的に変化して



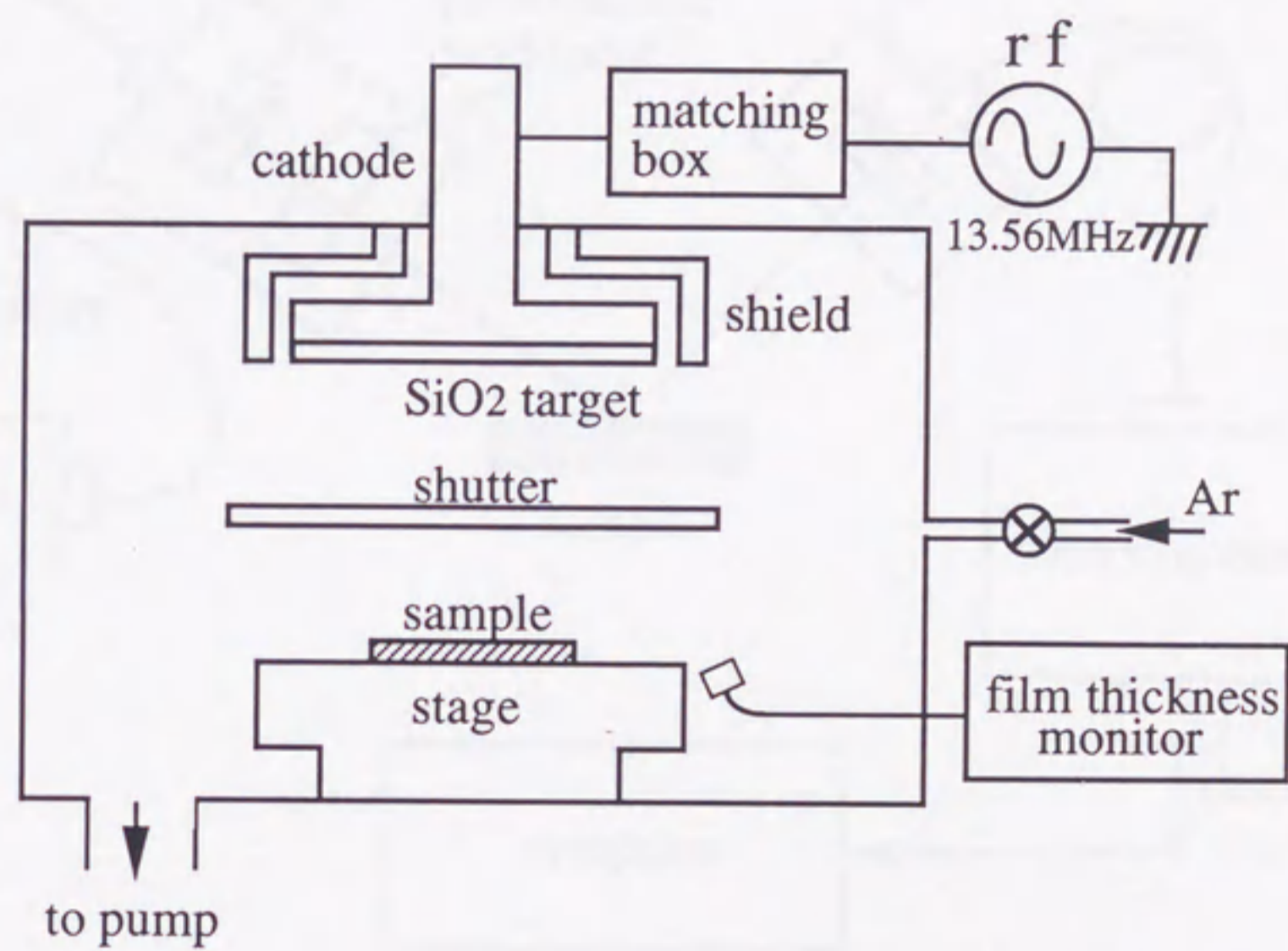


Fig. 7-1 Schematic diagram of rf sputter deposition system

図7-1 rfスパッタリング装置の概略図

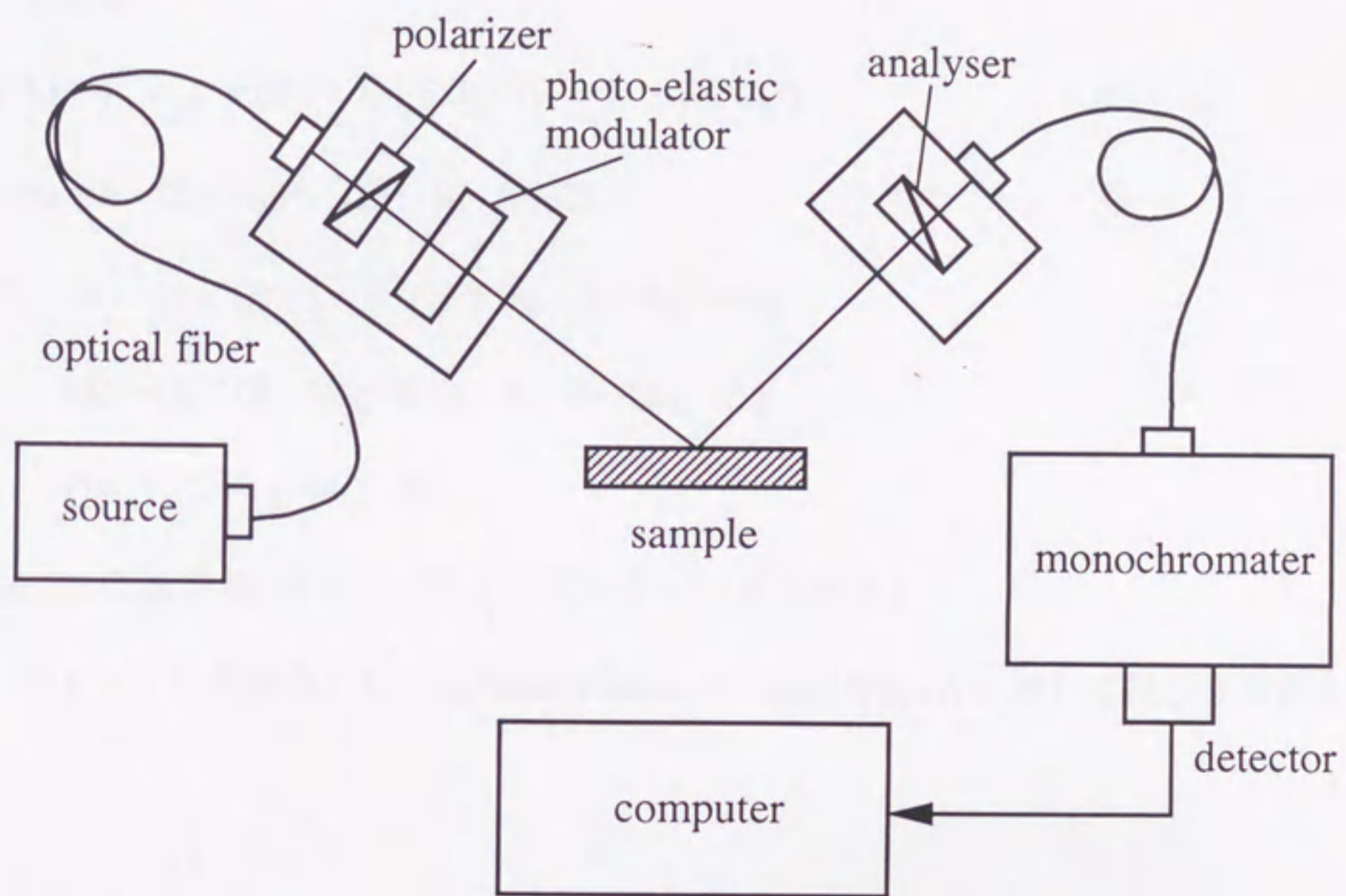


Fig. 7-2 Schematic diagram of spectroscopic ellipsometer

図7-2 分光エリプソメーターの構成図

いると考えられるが、ここでは簡単のため均一な損傷層を仮定して損傷の度合と堆積条件の相関を評価した。SiO<sub>2</sub>膜及びGaAsに対する光学定数はデータベースとして得られるが、GaAs損傷層の光学定数は複雑であり、普遍的なものは得られていない。[7],[8]ここでは、GaAs損傷層に対してアモルファス分散モデルによる近似を用いて、測定値 $I_m = \sin^2 \Psi \cos \Delta$ と計算値 $I_c = \sin^2 \Psi \cos \Delta$ をフィッティングして損傷層厚と光学定数を求めた。アモルファス分散モデルでは屈折率 $n$ 及び消衰係数 $k$ はエネルギー $E$ の関数として以下の式で表わされる。

$$n(E) = \sqrt{\epsilon_{\infty} + (BO \cdot E + CO) / (E^2 - B \cdot E + C)} \quad (2)$$

$$k(E) = A \cdot (E - E_g)^2 / (E^2 - B \cdot E + C) \quad (3)$$

ここで、 $BO = (A/Q) \cdot [-B^2/2 + E_g \cdot B - E_g^2 + C]$

$$CO = (A/Q) \cdot [(E_g^2 + C) \cdot B/2 - 2E_g \cdot C]$$

$$Q = (1/2) \cdot \sqrt{4C - B^2}$$

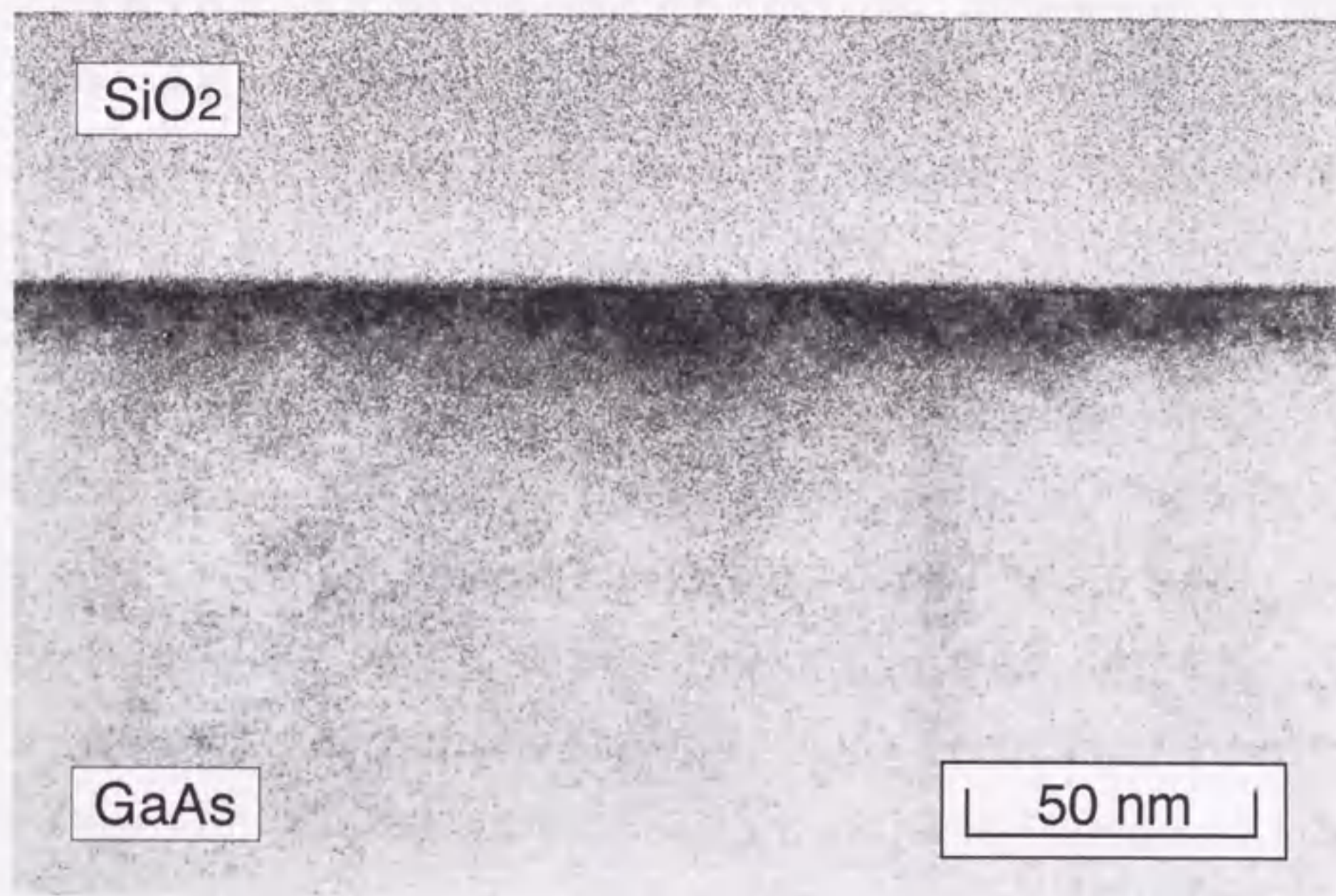
$\epsilon_{\infty}$ ,  $A$ ,  $B$ ,  $C$ , 及び  $E_g$  はフィッティングパラメータである。

フィッティングの最適化には、 $I_m = \sin^2 \Psi \cos \Delta$  と  $I_c = \sin^2 \Psi \cos \Delta$  に対して最小自乗法を適用した。

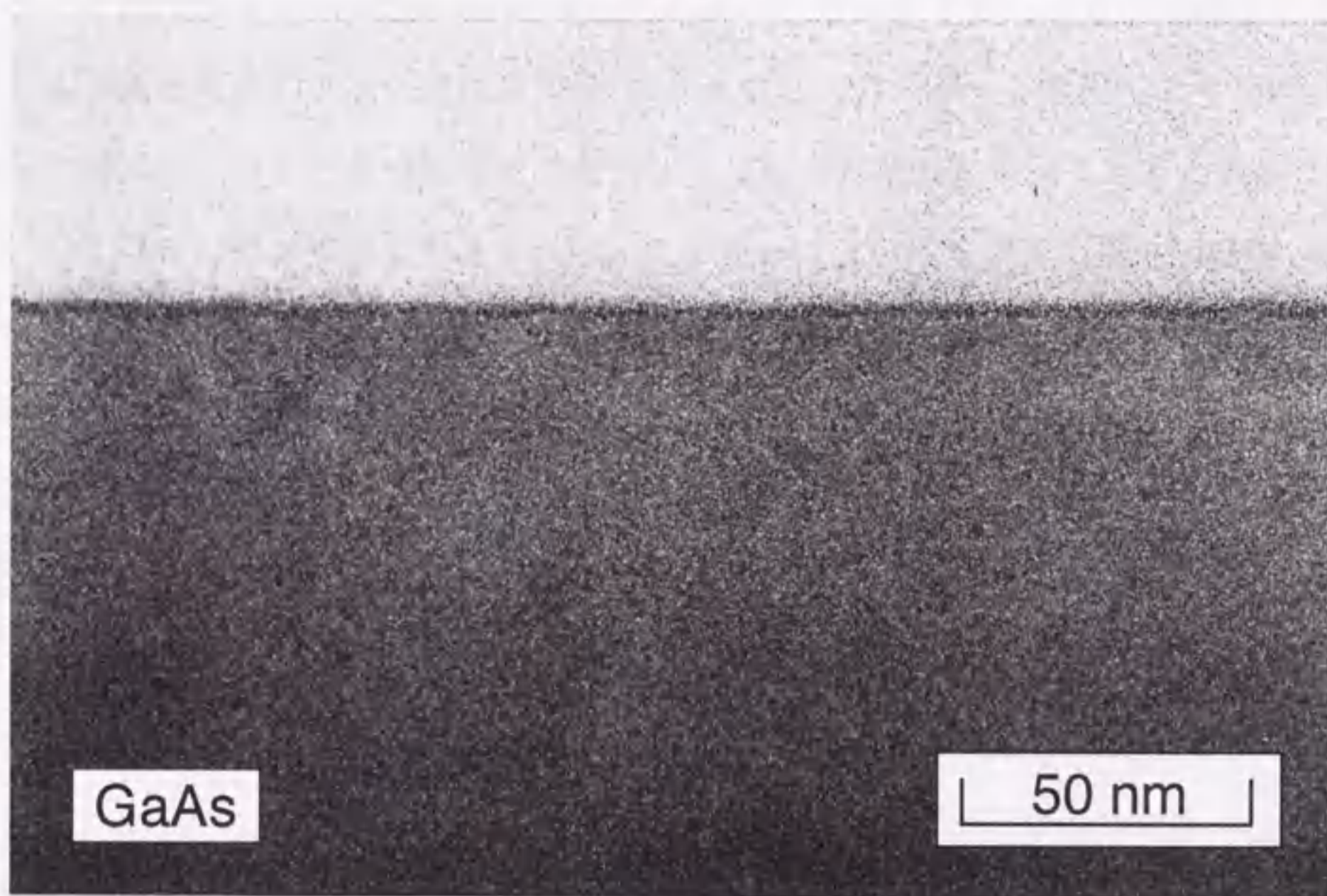
### 7-3 表面損傷とrfパワーの相関

#### 7-3-1 構造的な損傷

rfスパッタ堆積時には基板表面には数種のエネルギー粒子が衝撃するため単結晶材料の表面では格子欠陥の導入或いはアモルファス化が起こる可能性がある。rfパワー300W (1.7W/cm<sup>2</sup>)でSiO<sub>2</sub>膜(120nm厚)をスパッタ堆積したGaAsの表面及び未処理のGaAsの表面(control)の断面TEM明視野像を図7-3(a)及び(b)に各々示す。スパッタ堆積によりGaAs表面に約7~9nm厚の変成層が形成されていることが分かる。このような変成層はイオン注入した結晶のアモルファス化された領域の近傍において観測されている。[9] TEM明視野像で観察されたGaAs表面変成層がスパッタ損傷の度合を反映する可能性がある。しかし、変成層は斑点の領域として観察されフロ



(a)



(b)

Fig. 7-3 Cross-sectional TEM bright-field images of (a) SiO<sub>2</sub>-deposited GaAs and (b) bare GaAs(control)

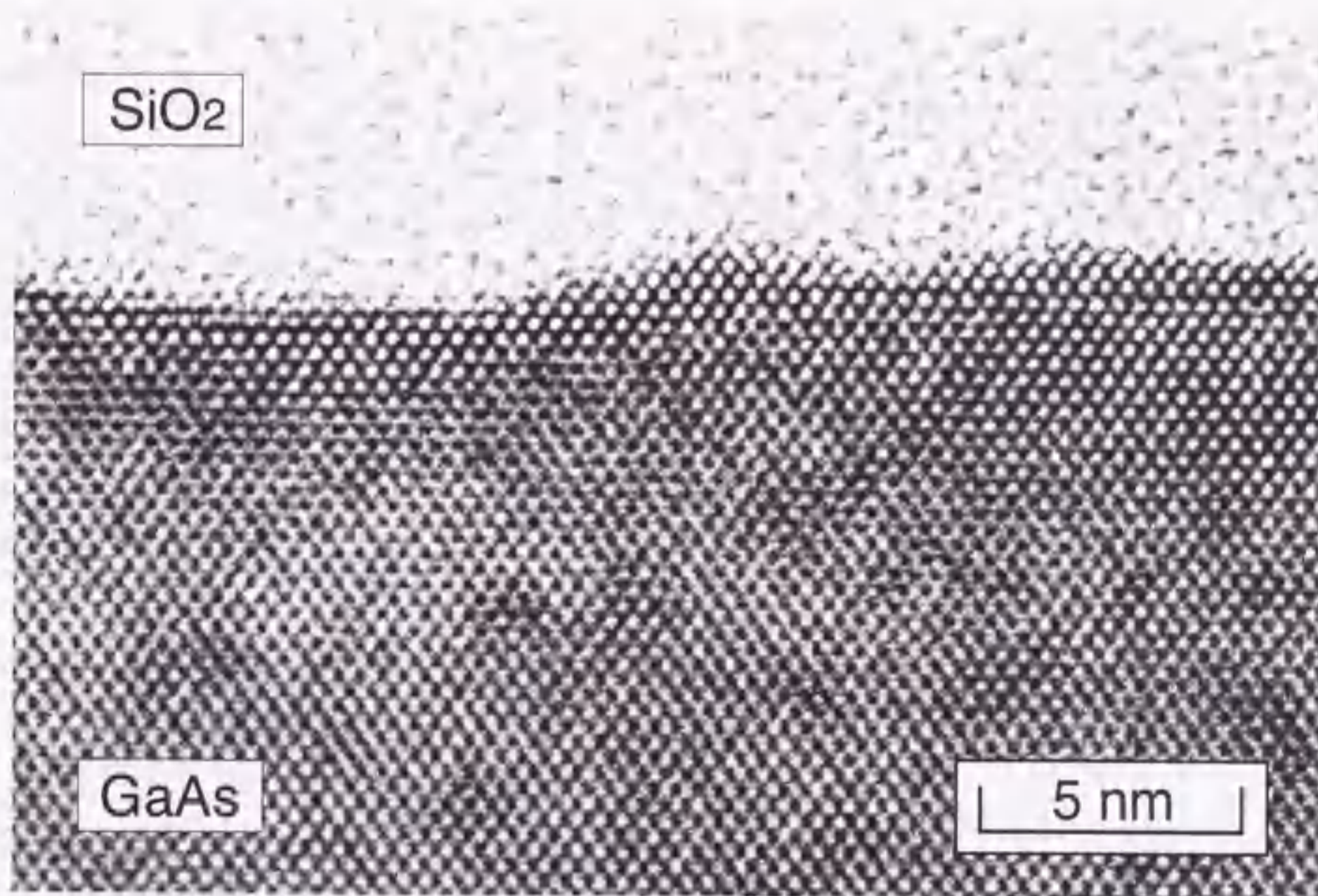
図7-3 断面TEM明視野像：(a) SiO<sub>2</sub>を堆積したGaAs, (b) 堆積前のGaAs(control)

ントが不明瞭であること及びサンプル毎に等厚干渉縞の現われ方が異なるため、変成層の厚さを厳密、客観的に測定することは困難であった。

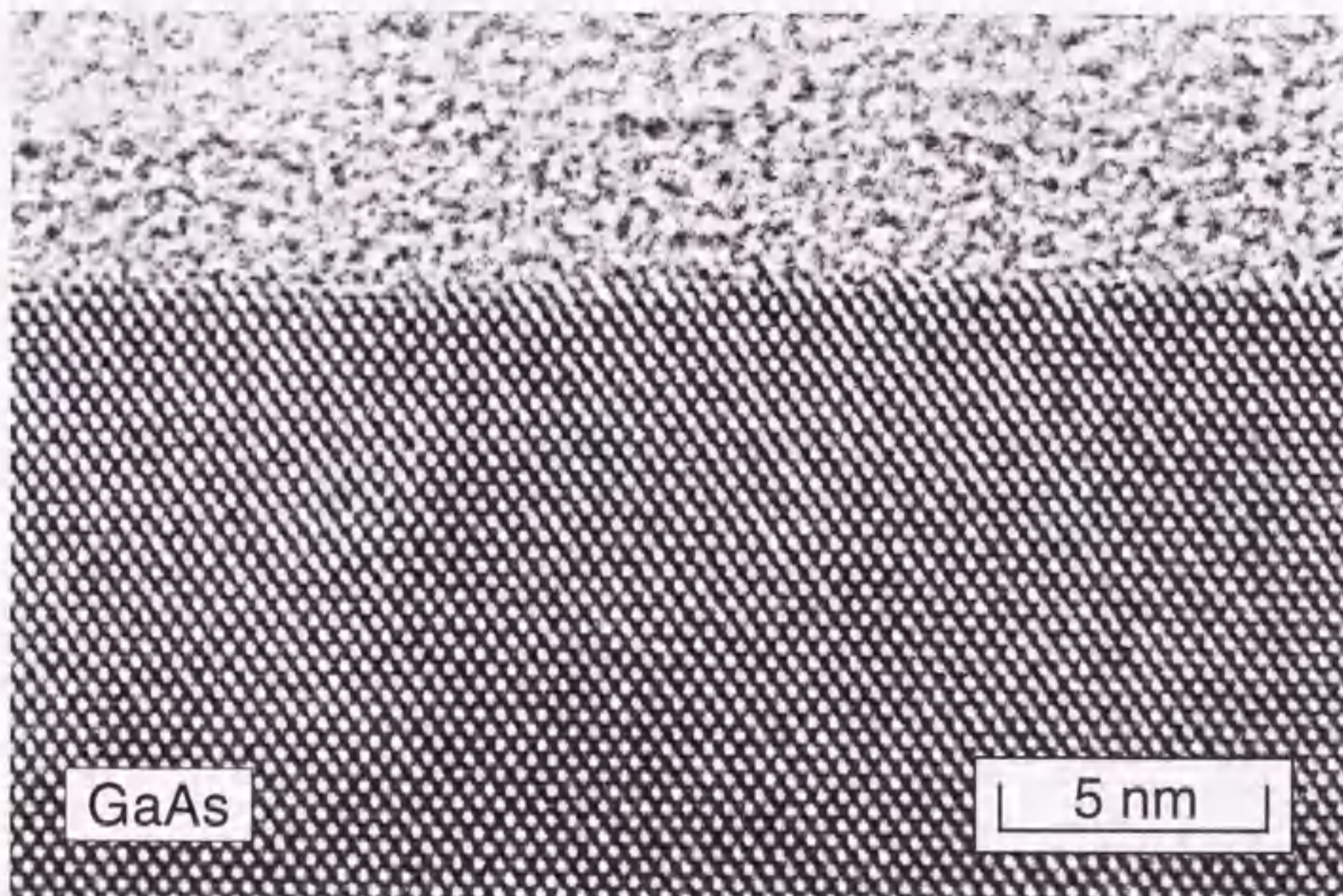
SiO<sub>2</sub>膜を堆積したGaAs及び未処理のGaAs表面の断面TEM高分解能格子像を図7-4(a)及び(b)に各々示す。SiO<sub>2</sub>膜堆積したGaAs表面には顕著な格子欠陥は無いが、SiO<sub>2</sub>/GaAs界面の凹凸が未処理(control)に比べて増大していることが分かる。界面の凹凸は高エネルギー粒子の衝撃によりGaAs表面が不均一にスパッタエッチングされたためか、界面でSiO<sub>2</sub>とGaAsのミキシングが生じたためと考えられる。これらの現象はGaAs表面に入射する粒子のエネルギー或いは総量が大きいかほど顕著になると考えられる。従って、界面の凹凸は入射粒子に因るスパッタ損傷の度合を反映すると推定される。この凹凸は格子間隔をスケールにして厳密に評価することができる。スパッタ損傷のrfパワー依存性をSiO<sub>2</sub>/GaAs界面凹凸(peak-to-peak)により評価した。rfパワー150W(0.85W/cm<sup>2</sup>), 300W(1.7W/cm<sup>2</sup>)でSiO<sub>2</sub>膜堆積したときの凹凸及び未処理(control)の凹凸を図7-5に示す。スパッタ堆積をしていないGaAs基板表面の初期の凹凸は約0.4nmであり、スパッタ堆積により表面の凹凸はさらに増大し、150Wで堆積した方が300Wで堆積した場合よりも大きいことが分かる。図7-5に併せて示したAl<sub>2</sub>O<sub>3</sub>/GaAsにおいても同様の傾向が確認されている。従って、スパッタ堆積によるGaAs表面損傷はrfパワーが高いほど低減すると考えられる。この傾向はDautremont-Smithらの構造的な損傷に関する報告と一致している。

### 7-3-2 光学的な損傷

SiO<sub>2</sub>膜をスパッタ堆積したInP表面では光学定数が変化することが知られている。そこで、分光エリプソメトリ法を用いてSiO<sub>2</sub>膜のスパッタ堆積によりGaAs表面に形成される光学的な変成層の厚さを評価した。簡単のため、表面変成層は深さ方向に対して均一な層であると仮定して、SiO<sub>2</sub>/変成層/GaAsの3層モデルにより評価した。TEM明視野像における変成層の様相がアモルファス周辺領域で観察される様相と類似していることから、変成層の光学特性はアモルファスGaAsの光学定数である程度近似できると仮定した。[9] 7-2-2で述べたアモルファス半導体分散モデルを用いて光学定数のフィッティングパラメータと変成層の厚さを換え最小自乗法により測定値 $I_m = \sin^2 \Psi \cos \Delta$



(a)



(b)

Fig. 7-4 Cross-sectional TEM lattice-images of (a) SiO<sub>2</sub>-deposited GaAs and (b) bare GaAs(control)

図7-4 断面TEM格子像：(a) SiO<sub>2</sub>を堆積したGaAs, (b) 堆積前のGaAs(control)

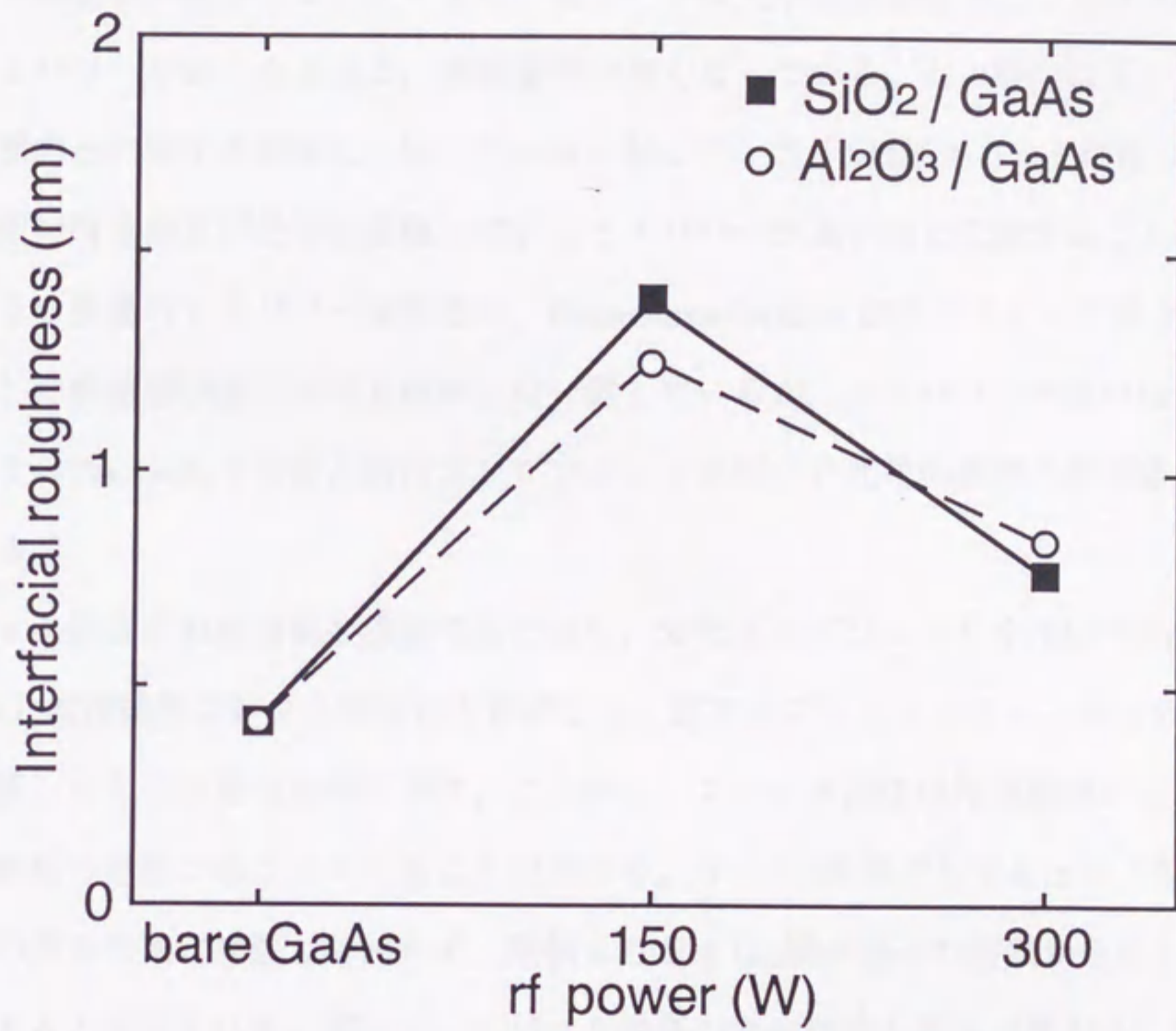


Fig. 7-5 Rf power dependence of interfacial roughness [SiO<sub>2</sub>/GaAs]  
That for Al<sub>2</sub>O<sub>3</sub>-sputter-deposited GaAs is also shown.

図7-5 SiO<sub>2</sub>/GaAs界面凹凸のrfパワー依存性

と計算値 $I_c = \sin 2\Psi \cos \Delta$ をフィッティングした。rfパワー300WでSiO<sub>2</sub>膜(120nm)を堆積したGaAsに対するフィッティング結果を表7-1に示す。前述のモデルにより求められた光学変成層の厚さは4.1nmである。この値はモデルの高度化により若干増減すると考えられる。損傷のスパッタリング条件に対する依存性を光学変成層の厚さにより簡便に評価することができる。図7-6に光学的損傷層のrfパワー依存性を示す。rfパワーが高くなるほど、損傷層厚が薄くなっている。この傾向はSiO<sub>2</sub>/GaAs界面凹凸に関する結果と一致している。従って、SiO<sub>2</sub>膜スパッタ堆積に因るGaAs表面の構造的及び光学的損傷は何れもrfパワーが高いほど低減することがわかる。このような損傷のrfパワー依存性は、Dautremont-Smithらがラザフォード後方散乱により評価した構造的損傷における傾向とは一致しているが、rfパワーが高いほど損傷が大きいとするTakahashiらの多入射角エリプソメトリを用いた光学的損傷の評価結果とは対照的である。

スパッタ損傷の形成過程を検討するために、分光エリプソメトリを用いて光学損傷層厚のSiO<sub>2</sub>堆積膜厚に対する依存性を評価した。図7-7にrfパワー300WでSiO<sub>2</sub>膜を堆積したときの評価結果を示す。これから、スパッタ損傷は堆積膜厚が50nm以下の堆積初期の過程で起こっていることが分かる。SiO<sub>2</sub>膜厚が50nm以上厚くなると損傷層の厚さは殆ど増加しておらず、堆積したSiO<sub>2</sub>膜が粒子の衝撃からGaAs表面を保護すると推定される。従って、スパッタ損傷の度合は約50nm厚のSiO<sub>2</sub>が堆積するまでの所要時間、即ちSiO<sub>2</sub>膜の堆積速度に関係する可能性がある。SiO<sub>2</sub>膜のスパッタ堆積速度は図7-8に示すようにrfパワーが高いほど増大することがよく知られている。図7-9にSiO<sub>2</sub>膜のスパッタ堆積速度と損傷層の厚さの関係を示す。損傷層の厚さは堆積速度にほぼ反比例している。損傷の保護に有効なSiO<sub>2</sub>膜厚がrfパワーが高いほど薄くなるということは考えにくい。従って、SiO<sub>2</sub>膜の堆積速度が速いほど、基板表面が入射粒子の影響を受ける時間が短くなり損傷の度合が小さいと推定される。上述した損傷厚の堆積速度依存性から、損傷形成メカニズムとして非堆積性粒子の基板への入射・衝撃が支配的であると推定できる。スパッタ雰囲気中の具体的な非堆積性粒子としては中性Ar, Arイオンが挙げられる。従って、rfパワーが高いほどスパッタ損傷が低減する傾向を前記メカニズムのモデルを用いて以下のように説明できる。rfパワー



表7-1 SiO<sub>2</sub>膜(120nm厚)/GaAsに対するフィッティング結果  
 Table 7-1 Fitting results for 120nm-thick-SiO<sub>2</sub>-deposited GaAs

SiO <sub>2</sub> thickness (nm)	121.2
Thickness of damaged layer (nm)	4.14
Parameters in the amorphous dispersion model (in eqs. (2) and (3))	$\epsilon_{\infty} = 4.77$ $A = 0.407$ $B = 5.87$ $C = 9.61$ $E_g = 1.42$

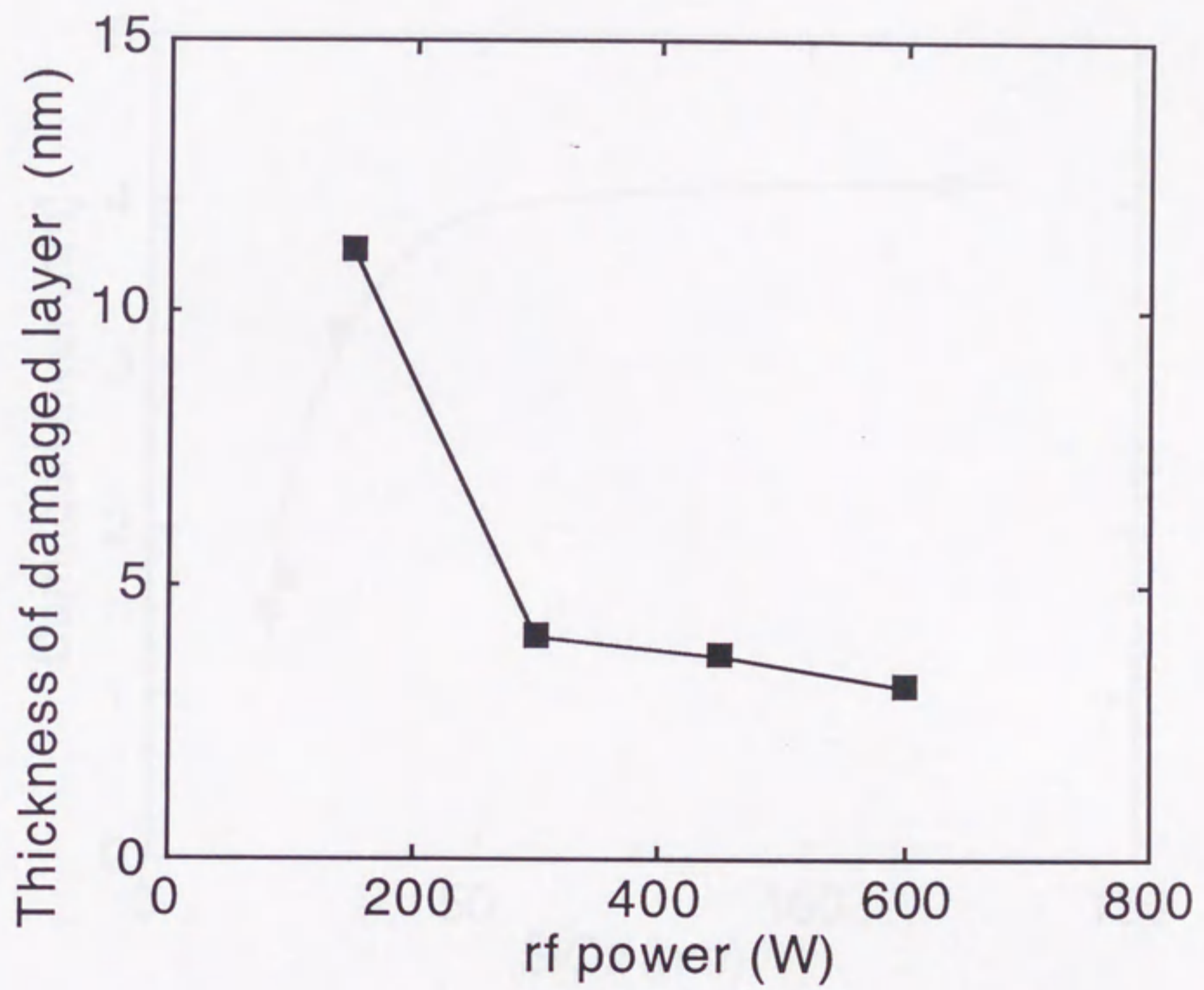


Fig. 7-6 Rf power dependence of the thickness of damaged layer

図7-6 損傷層厚のrfパワー依存性

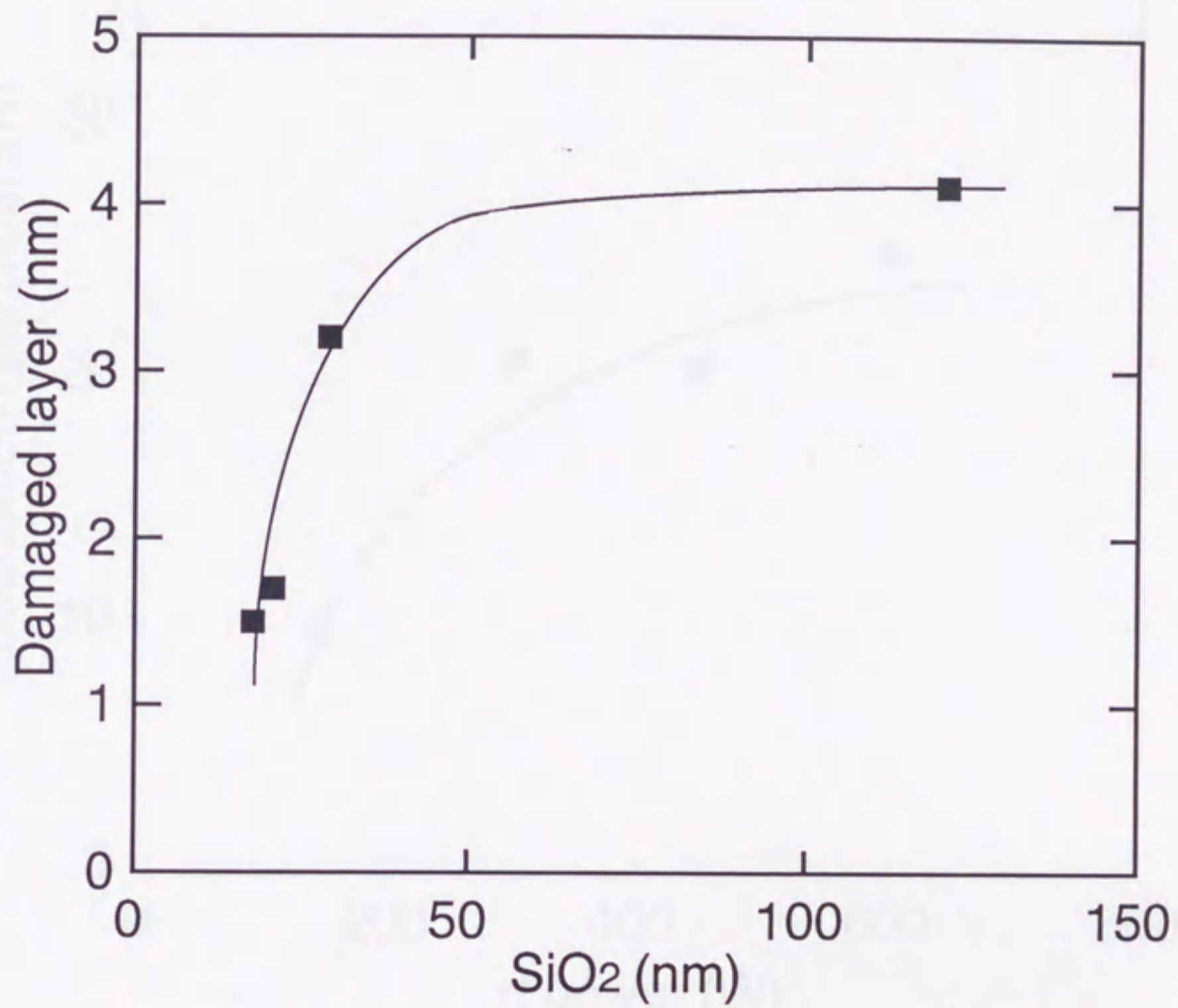


Fig. 7-7 Relationship between deposited SiO<sub>2</sub> thickness and thickness of damaged layer

図7-7 SiO<sub>2</sub>堆積膜厚と損傷層厚の関係

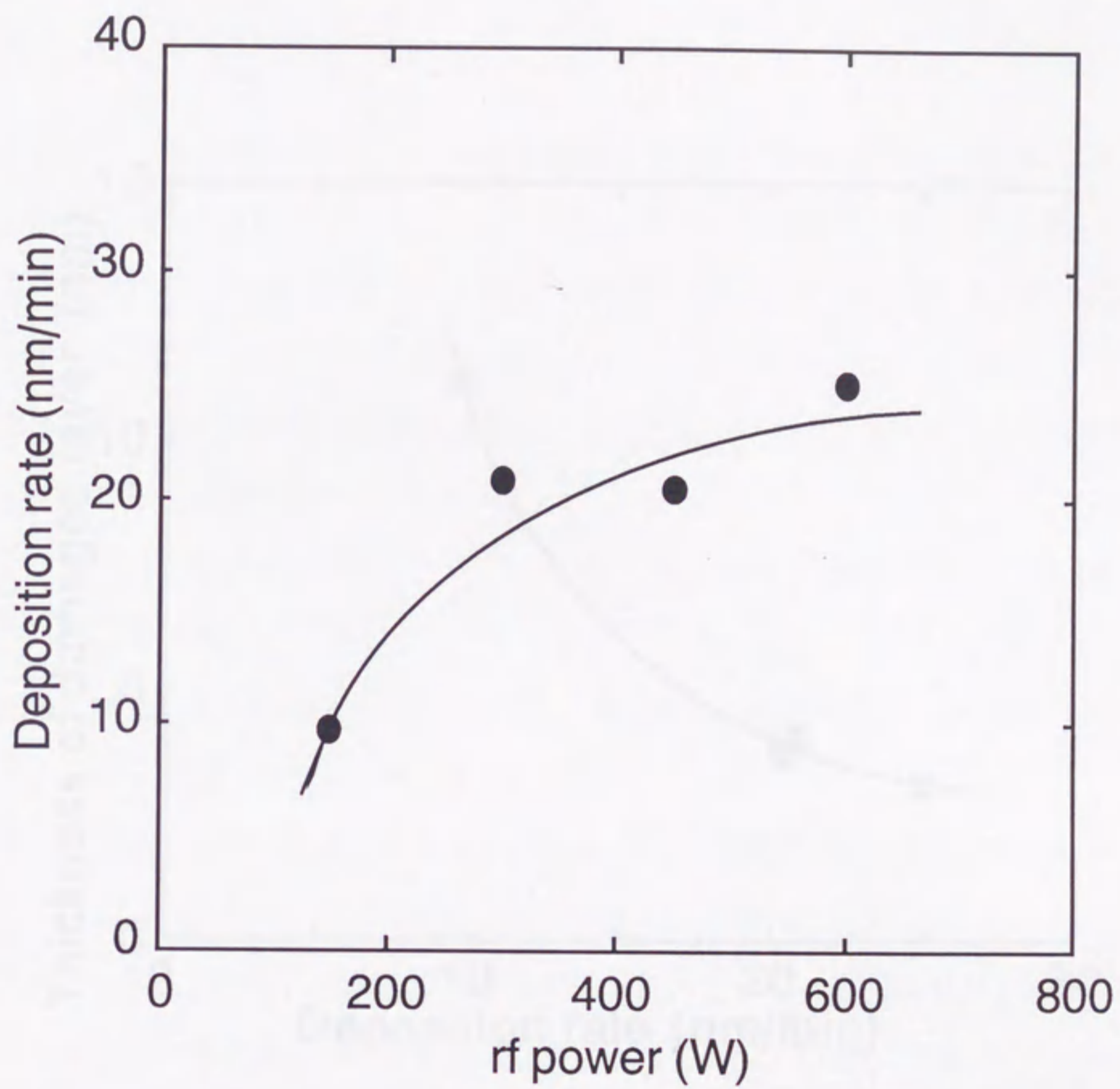


Fig. 7-8 Rf power dependence of sputter deposition rate of SiO<sub>2</sub>

図7-8 SiO<sub>2</sub>堆積速度のrfパワー依存性

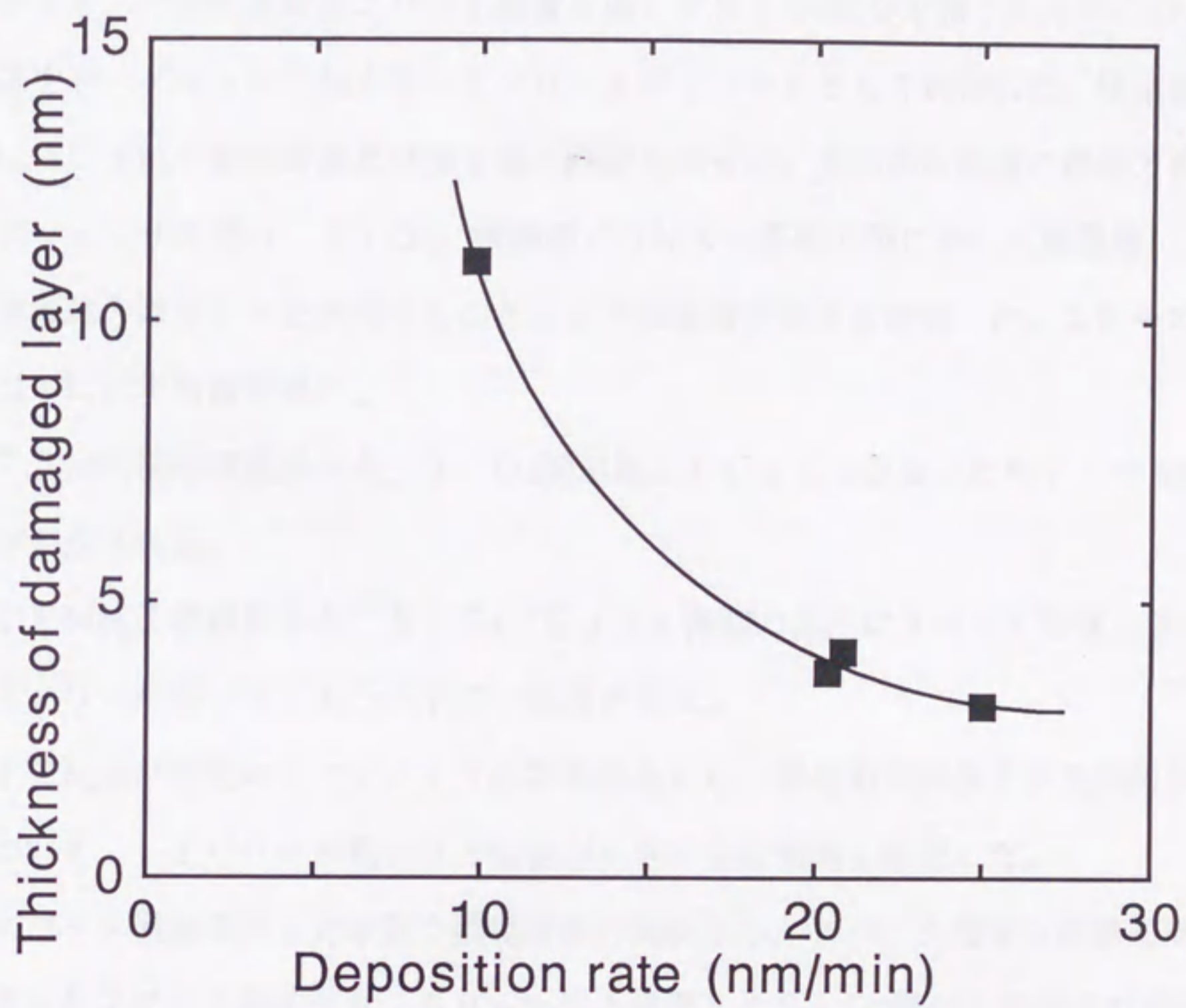


Fig. 7-9 Relationship between SiO<sub>2</sub> deposition rate and thickness of damaged layer

図7-9 SiO<sub>2</sub>堆積速度と損傷層厚の関係

が高いほど堆積速度が速くなり、GaAs表面が中性Ar, Arイオン入射・衝撃の影響を受ける時間が短縮されることにより損傷の割合も低減する。

#### 7-4 まとめ

rfダイオード型の高周波スパッタ装置を用いてSiO<sub>2</sub>膜を堆積したときのGaAs表面損傷をターゲットに印加するrfパワーをパラメータとして評価した。構造的な損傷の評価にはTEMの明視野像及び格子像の観察を行った。光学的な損傷の評価方法には分光エリプソメトリを用い、SiO<sub>2</sub>/損傷層/GaAs基板の系において損傷層にアモルファス半導体分散モデルを適用することにより損傷層の厚さを評価した。これらの検討の結果、以下に示す結論を得た。

- (1) TEM明視野像観察から、SiO<sub>2</sub>膜堆積したGaAs表面には約7~9nm厚の変成層が形成される。
- (2) TEM格子像観察から、SiO<sub>2</sub>/GaAs界面の凹凸はスパッタ堆積に伴い増大し、rfパワーが高いほど凹凸が小さい傾向がある。
- (3) TEM及び分光エリプソメトリの評価結果から、構造的な損傷及び光学的な損傷の割合について、rfパワーが高いほど損傷が小さくなる傾向を確認した。
- (4) スパッタ堆積膜厚と光学的な損傷層厚の関係から、スパッタ損傷は成膜初期に基板に衝撃する粒子により形成され、50nm以上堆積したSiO<sub>2</sub>膜は入射粒子の衝撃からGaAs表面を保護すると推定される。
- (5) 光学的損傷層厚と堆積速度の関係から、スパッタ損傷の形成には成膜初期におけるAr等の非堆積性粒子の衝撃が主に関与していると結論される。
- (6) 損傷のrfパワー依存性は、GaAs表面がAr等による衝撃を受ける時間が堆積速度に概ね反比例することにより説明できる。

上述したスパッタ表面損傷は第5章及び第6章で述べたドライエッチング損傷と同様にGaAs系デバイスの特性に影響を与えることが危惧される。しかし、スパッタ堆積技術では、試料と対向するターゲットにrfパワーを印加していること、及び堆積膜が損傷に対し保護膜となる点において、ドライエッチングと異なることに留意しなければならない。

## 参考文献

- [1]. N. M. Pearsall, T. J. Coutts, R. Hill, G. J. Russell, and K. J. Lawson: "Surface damage to InP substrates during R.F. sputtering" , *Thin Solid Films* 80 (1981) 177
- [2]. S. Naseem and T. J. Coutts: "Indium tin oxide/gallium arsenide solar cells" , *J. Appl. Phys.* 58 (1985) 4463
- [3]. W. C. Dautremont-Smith and L. C. Feldman: "Surface structural damage produced in InP(100) by R.F. plasma or sputter deposition" , *Thin Solid Films* 105 (1983) 187
- [4]. K. Wakita and S. Matsuo: "Small Surface Damage Facet Coating on InGaAsP/InP Laser by ECR Plasma Deposition" , *Jpn. J. Appl. Phys.* 23 (1984) L556
- [5]. Y. Takahashi, S. Sakai, M. Umeno, and S. Hattori: "Ellipsometric Studies on Sputter-Damaged Layer in InP" , *Jpn. J. Appl. Phys.* 21 (1982) 1689
- [6]. W. C. Dautremont-Smith and L. C. Feldman: "Structural damage produced in InP(100) surfaces by plasma-employing deposition techniques" , *J. Vac. Sci. & Technol.* A3 (1985) 873
- [7]. M. Erman, J. B. Theeten, P. Chambon, S. M. Kelso, and D. E. Aspnes: "Optical properties and damage analysis of GaAs single crystals partly amorphized by ion implantation" , *J. Appl. Phys.* 56 (1984) 2664
- [8]. M. Erman and J. B. Theeten: "Analysis of ion-implanted GaAs by spectroscopic ellipsometry" , *Surf. Sci.* 135 (1983) 353
- [9]. J. S. Williams and J. M. Poate: *Ion Implantation and Beam Processing*, ed. J. S. Williams and J. M. Poate (Academic Press, Sydney, 1984) 4

## 第8章 総括

### 8-1 本研究で得られた知見

本研究では、GaAs化合物半導体デバイスの超高速化、高集積化を進めるための電極形成プロセス技術の検討及びプラズマプロセスに起因する表面損傷の評価を行っている。まず、低コンタクト抵抗、非Au電極材料の採用、及びセルフアラインプロセスを同時に満足する電極形成技術として、選択W-CVD技術のノンアロイコンタクト層への適用可能性について初めて検討した。また、従来のアロイ電極を用いたヘテロ接合バイポーラトランジスタの高集積化を容易にするために、選択W-CVD技術を適用したプレーナ化プロセスを提案し、デバイスの試作及び特性評価を行った。また、ゲート電極の微細加工に用いるECRドライエッチングによるGaAs及びAlGaAs表面損傷について評価し、キャリア枯渇及びアニール効果のメカニズムに対して考察を加えた。同じくプラズマプロセスであるSiO<sub>2</sub>膜のスパッタ堆積によるGaAs表面損傷についても検討を加え、損傷形成のメカニズムを考察した。以下、本研究で得られた主な知見を各章毎に簡単に纏めて述べる。

まず、第1章では、GaAs電子デバイスの特徴及び位置付けについて概観し、デバイスの高性能化のための電極プロセスにおける課題を示して本研究の目的を明確にした。

次に、第2章ではGaAsへの選択的なオーミックコンタクト形成を目的として、Geノンアロイコンタクト層への選択W-CVD技術の適用を検討した。SiH<sub>4</sub>還元法選択W-CVD技術によりSiO<sub>2</sub>マスクから露出したGe表面に選択的なW膜堆積が可能であることを初めて明らかにした。TLM法により評価したCVD-W/Geのコンタクト抵抗率はn型Geに対して $1.1 \times 10^{-5} \Omega \cdot \text{cm}^2$ 、p型Geに対して $4.4 \times 10^{-8} \Omega \cdot \text{cm}^2$ を得た。ドーパント濃度が高いほどコンタクト抵抗率が低くなることも確認されており、さらに高濃度なGe層に選択W-CVDを適用することにより低抵抗なノンアロイ電極を形成できると考える。

第3章では、GaAs、InAs、及びGaSbに対して選択W-CVD技術を適用し、ゲート電極及びオーミック電極形成の可能性について検討した。SiH<sub>4</sub>還元法選択W-CVD技術を適用した場合、前記化合物半導体の中で唯一GaSb表面だけW膜堆積反応



が起ることを初めて明らかにした。また、良好な選択性を実現できることも確認した。

次いで、第4章ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタのコレクタコンタクト孔を選択W-CVD技術により埋め込み平坦化するプロセスを提案した。CVD-Wの下地材料はAuGe系コレクタ電極上のPt膜である。また、CVD-Wとp型ベース層の電氣的絶縁のためにコンタクト孔の内壁に自己整合的にSiO<sub>2</sub>膜側壁を形成している。プレーナ化プロセスを適用したヘテロ接合バイポーラトランジスタの特性として、エミッタサイズ $1.2 \times 10^{-7} \text{ cm}^2$ の素子において電流利得 $\beta$ 約150 ( $I_c = 2.5 \times 10^4 \text{ A/cm}^2$ )を得ており、素子特性の劣化を招くことなくプレーナ化できることを確認した。これは選択W-CVD技術を超高速GaAs系デバイス作製プロセスに適用した初めての結果である。

第5章では、WSiゲート電極の微細加工に有用なSF<sub>6</sub>/CHF<sub>3</sub>ガス系ECRドライエッチングに因るGaAs表面における電氣的及び物理的損傷を評価し、また、損傷のメカニズムについても考察を加えた。エッチング損傷モードとして表面近傍のキャリア枯渇と表面のスパッタエッチングがあり、特に後者はアニールにより回復しないためGaAsチャネル層が薄いデバイスの場合には注意を要することを示した。また、キャリア枯渇のメカニズムとしては、HによるSiドナーの中性化よりも、軽元素の侵入に伴う欠陥複合体 (defect-complex) が支配的な要因であると推定した。

第6章では、AlGaAsにSF<sub>6</sub>/CHF<sub>3</sub>ガス系ECRプラズマ処理を施したとき表面損傷及びアニールの効果について検討した。プラズマ処理により高抵抗化したAl<sub>x</sub>Ga<sub>1-x</sub>As ( $x = 0.30, 0.15$ )は、300~450℃のアニール処理によりさらに高抵抗化しており、GaAs損傷(第5章)とは異なることを指摘した。アニール処理によるAl<sub>x</sub>Ga<sub>1-x</sub>As ( $x = 0.30$ )層の高抵抗化は、キャリア枯渇領域の深さ方向への拡大に因ることを明らかにした。また、キャリア枯渇領域の拡大に対して、プラズマ処理中にAlGaAsに侵入した軽元素に起因する深い準位がアニール処理により領域を拡大するというメカニズムを考案した。

第7章では、GaAs表面にSiO<sub>2</sub>膜をスパッタ堆積したときの物理的及び光学的損傷を評価し、損傷形成のメカニズムについて考察を加えた。rfパワーが高

いほど、スパッタ損傷の程度が小さくなることが分かった。損傷はSiO<sub>2</sub>膜堆積の初期段階に急激に形成され、厚い堆積膜は損傷形成に対して保護膜となることを明らかにした。損傷層厚の堆積速度依存性から、スパッタ損傷はGaAs表面に入射する中性Ar或いはArイオン等の非堆積性粒子の衝撃により形成されるというモデルを提案した。

## 8-2 本研究の工学的意義と今後の課題

本研究における工学的意義について以下に述べる。

(1) 選択W-CVD技術によりGe或いはGaSb上にW膜の堆積が可能であることを初めて明らかにした。この技術は、超高速GaAs系デバイスのセルフアライン電極形成プロセスを構築するときの有用な指針或いはヒントになる。

(2) 選択W-CVD技術をAlGaAs/GaAs系HBTのプレーナ化プロセスに適用し、その有効性を確認した。GaAs系電子デバイスに選択W-CVD技術を適用した初めての例であり、W-CVDの選択性を活かした他のGaAs系デバイス及びプロセスへの展開が可能であることを示している。

(3) ECRプラズマエッチングによるGaAs表面近傍のキャリア枯渇はアニールにより回復可能であるが、僅かなスパッタエッチングの影響はチャンネル層が薄い場合には無視できないことを示した。

(4) AlGaAsプラズマ損傷はGaAs損傷のようにアニールにより単純に回復せず、却って悪化する場合があることを示した。このことはAlGaAs/GaAs系デバイスの作製プロセスを構築する上で見落としがちな重要な留意点である。

(5) SiO<sub>2</sub>膜のスパッタ堆積によるGaAs表面損傷は、rfパワーが高く堆積速度が速いほど、小さくなる傾向を確認した。このことはスパッタ損傷を低減するための方向付けを示している。

最後に本研究の今後の課題及び問題点について以下に述べる。

(1) 選択W-CVD技術のGe及びGaSbへの適用可能性を明らかにしたが、各表面におけるW被着反応メカニズム等は本研究では検討していない。W膜の堆積反応のin situ

分析等を行い表面反応のメカニズムを把握することが、プロセスの信頼性の向上を図るときに重要になる。

(2) プラズマ処理時に侵入した軽元素に関連した欠陥の挙動がキャリア枯渇現象或いはアニールによる AlGaAs 損傷拡大の要因になると推定した。しかし、このメカニズムは幾つかの分析データの傍証に基づくものであり推測の域を出ておらず、点欠陥等の直接的な評価及びそれらと深い準位との相関を明らかにしていく必要がある。

## 謝 辞

本論文を完成するにあたり、名古屋大学大学院工学研究科電気工学専攻教授 水谷照吉先生には終始懇切丁寧なご指導及びご鞭撻を賜りました。ここに深く感謝の意を表します。また、名古屋大学大学院工学研究科電子工学専攻教授 澤木宣彦先生、同大学大学院工学研究科量子工学専攻教授 水谷孝先生には多大なご指導と有益なご討論を頂きました。心より感謝申し上げます。本研究は、(株)日立製作所中央研究所及び光技術開発推進本部(現情報通信事業部)で行われたものであります。研究の機会を与えて下さいますとともに、ご教示を賜りました、(株)日立製作所中央研究所所長 中村道治博士、前同所主任研究員 大内博文博士(現日立電線株式会社)、同社生産技術研究所所長 松村宏善博士、同社半導体事業部半導体技術開発センタ長 増原利明博士に深謝いたします。また、本研究の遂行及び論文の作成に当たり、有益なご指導と激励を賜りました、前(株)日立製作所中央研究所主任研究員高橋進博士(現日立電線株式会社)に深謝いたします。また、本研究の遂行に当たり有益なご討論を賜りました、(株)日立製作所デバイス開発センタ主任技師 柳沢寛博士、同社中央研究所主任研究員 今村慶憲氏、同社半導体事業部主任技師 小林伸好博士に感謝いたします。また、同社光技術開発推進本部(現情報通信事業部)における研究の機会を与えて下さいました情報通信事業部光伝送本部本部長 前田稔博士、同事業部主任技師 市来正浩氏に感謝申し上げます。また、同推進本部における研究の遂行にあたり、ご指導を賜りました情報通信事業部主任技師 伊藤和弘氏、河野敏弘氏に感謝いたします。

また、本研究の遂行にあたり、ご協力、ご討論頂きました(株)日立製作所中央研究所主任研究員 葛西淳一博士、研究員 河田雅彦氏、増田宏氏、望月和浩博士、同社半導体事業部主任技師 山根正雄博士、草野忠四郎博士、及び日立超LSIエンジニアリング株式会社 小田浩人氏に感謝いたします。本研究で用いた試料の作製にあたり、(株)日立製作所中央研究所第1部(現電子デバイス部)、光技術開発推進本部(現情報通信事業部)において、ウェハプロセスを担当して頂いた方々に深くお礼を申し上げます。

また、本論文の作成にあたり、激励を賜りました(株)日立製作所笠戸工場技術顧問長友克明博士、同開発センタ長 大木博博士に感謝いたします。

## 研究業績

### 1. 学会誌

NO.	題 目	公表の方法及び時期	著 者
1	Planar AlGaAs/GaAs Heterojunction Bipolar Transistors Fabricated Using Selective W-CVD	IEEE, Electron Device Letters, Vol. 13. No.4 (1992) pp.209-210	<u>K. Mitani</u> , H.Masuda, K. Mochizuki, C. Kusano
2	Selective Metallisation on Ge for Ohmic Contact to GaAs	Electronics Letters, Vol. 29, No.7 (1993) pp. 589-590	<u>K. Mitani</u> , Y. Imamura
3	Selective W Deposition on GaSb Layers Using SiH <sub>4</sub> Reduction of WF <sub>6</sub>	Electronics Letters, Vol. 29, No.22 (1993) pp. 1992-1993	<u>K. Mitani</u> , Y. Imamura
4	Damage induced by exposing AlGaAs layers to electron cyclotron resonance SF <sub>6</sub> /CHF <sub>3</sub> plasma	Applied Physics Letters, Vol. 65, No. 9 (1994) pp. 1165-1167	<u>K. Mitani</u> , H. Oda, Y. Imamura
5	GaAs Radiation Damage Induced by Electron Cyclotron Resonance Plasma Etching with SF <sub>6</sub> /CHF <sub>3</sub>	Japanese Journal of Applied Physics, Vol.34, No.8A (1995) pp. 3970-3975	<u>K. Mitani</u> , H. Oda, J. Kasai, Y. Imamura
6	Damage in a GaAs Surface Caused by RF-Sputter Deposition of SiO <sub>2</sub>	Japanese Journal of Applied Physics, Vol.34, No.9A (1995) pp. 4649-4652	<u>K. Mitani</u> , T. Kawano
7	Effects of Annealing on Damage in AlGaAs Induced by Electron Cyclotron Resonance SF <sub>6</sub> /CHF <sub>3</sub> Plasma Etching	Journal of The Electrochemical Society, Vol.143, No.3 (1996), pp. 1151-1155	<u>K. Mitani</u> , H. Oda, Y. Imamura, J. Kasai

## 2. 国際会議

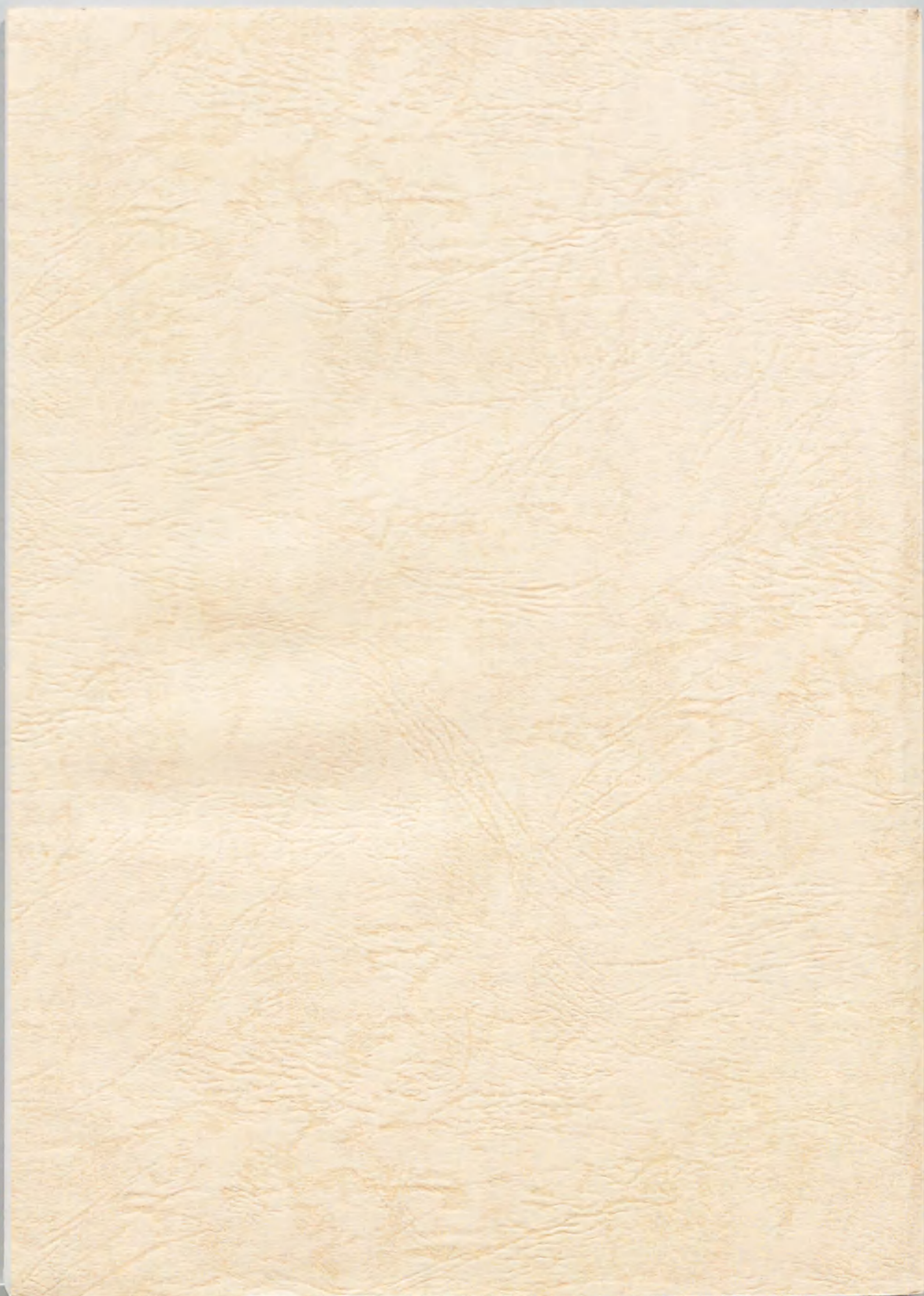
NO.	題 目	公表の方法及び時期	著 者
1	Planarization Technique of AlGaAs/GaAs HBT Using Selective W-CVD	176th Electrochemical Society Meeting(1990)	K. Mitani, H. Masuda, K. Mochizuki, C. Kusano, H. Yanazawa

## 3. 解説

NO.	題 目	公表の方法及び時期	著 者
1	選択W-CVDを用いたGaAs HBTのプレーナ化	月刊Semiconductor World, 8月号 (1991)pp. 48-51	三谷克彦, 増田宏, 望月和浩, 草野忠四郎

## 4. 口頭発表

応用物理学会 11件



Inches 1 2 3 4 5 6 7 8  
cm 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

# Kodak Color Control Patches

© Kodak, 2007 TM: Kodak



# Kodak Gray Scale



© Kodak, 2007 TM: Kodak

**A** 1 2 3 4 5 6 **M** 8 9 10 11 12 13 14 15 **B** 17 18 19

