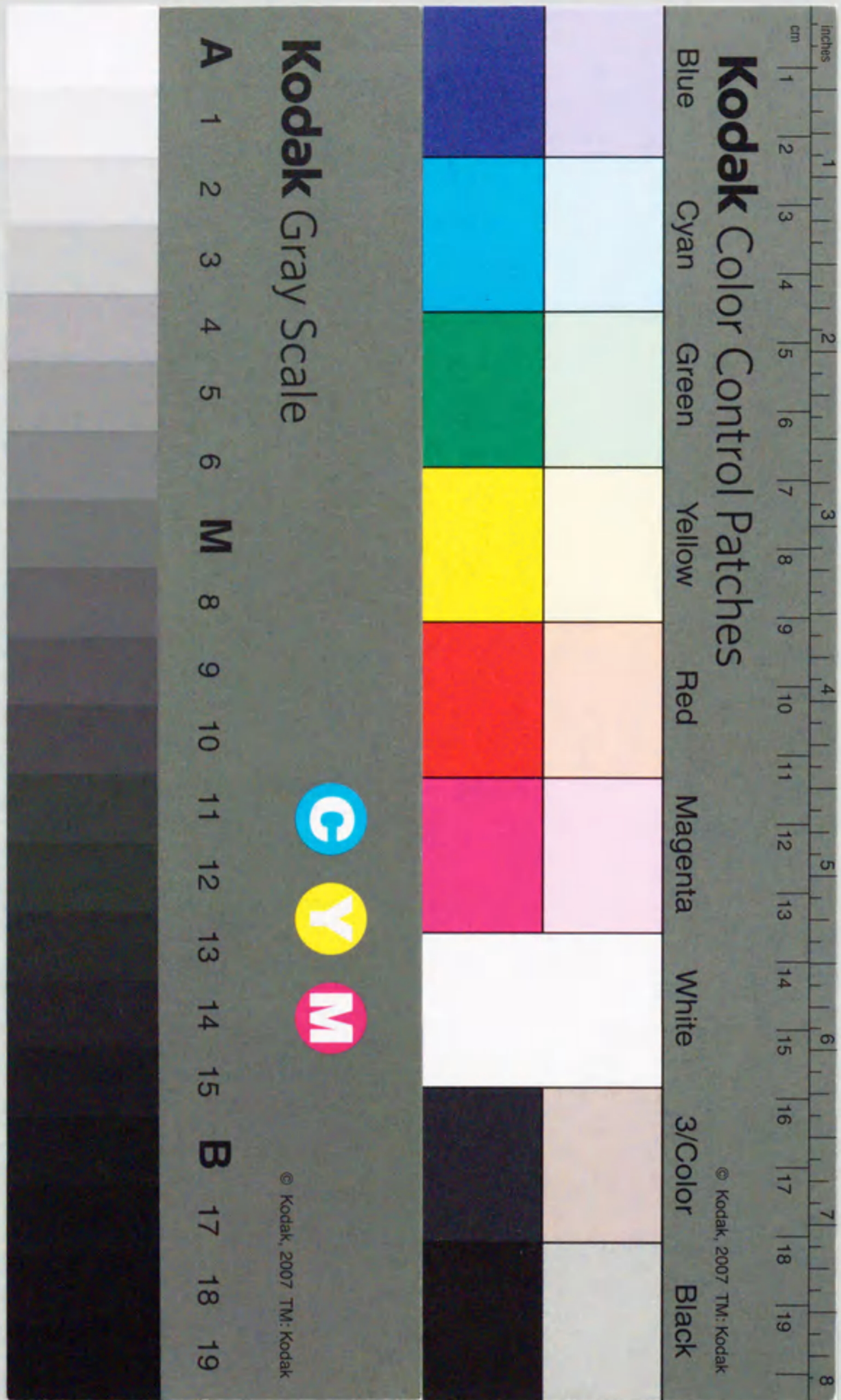


報告番号 乙第 5484 号

Nb系ジョセフソン記憶回路の研究

永澤 秀一



Nb系ジョセフソン記憶回路の研究

永澤 秀一

目次

第1章 序論	1
1.1 はじめに	1
1.2 本研究の背景	2
1.3 Nb系ジョセフソン記憶回路の研究	4
1.4 本研究の目的	7
1.5 本論文の構成	7
参考文献	9
第2章 Nb系製造プロセス技術の開発	12
2.1 はじめに	12
2.2 Nb系製造プロセスの特徴	15
2.2.1 ポリスチレンを用いたエッチバック平坦化技術	15
2.2.2 テーパエッチング技術	19
2.3 1KビットRAMの製造プロセス	22
2.3.1 デバイス構造	22
2.3.2 製造プロセス工程	23
2.3.3 製造プロセスの評価	26
2.4 結言	30
参考文献	31
第3章 1KビットRAMの動作実証	32
3.1 はじめに	32
3.2 ジョセフソン記憶回路の測定技術	32
3.3 1KビットRAMの構成	36
3.4 要素回路の動作評価	37
3.4.1 回路定数	37
3.4.2 ゲート回路	38
3.4.3 記憶セル	39
3.5 1KビットRAMの動作評価	46
3.5.1 特定アドレスに対する機能試験	47
3.5.2 フェイルビットマップの測定	48

3.5.3 アクセス時間の測定	50
3.6 結言	54
参考文献	55
第4章 4KビットRAMの動作実証	56
4.1 はじめに	56
4.2 4KビットRAMの構成	56
4.3 製造プロセス上の改善点	57
4.4 設計上の改善点	59
4.4.1 記憶セル	59
4.4.2 抵抗結合型極性切換ドライバ回路	61
1) 構成と動作原理	61
2) 測定評価	63
4.4.3 AND回路を付加した抵抗負荷型センス回路	65
4.5 測定治具の改善	67
4.6 4KビットRAMの動作評価	70
4.6.1 特定アドレスに対する機能試験	70
4.6.2 フェイルビットマップの測定	72
4.6.3 アクセス時間の測定	77
4.7 結言	79
参考文献	80
第5章 磁束トラップの防止技術と4KビットRAMへの適用	82
5.1 はじめに	82
5.2 測定治具	83
5.3 SQUID評価回路	84
5.4 外部残留磁場に起因した磁束トラップ	86
5.4.1 モートの原理	86
5.4.2 モート形状の最適化	86
1) グランド面の分割	86
2) ドット形状のモート	90
3) 細長いスリット形状のモート	90

5.5 サーマルカレントに起因した磁束トラップ	94
5.5.1 サーマルカレントの原因	94
5.5.2 測定評価	94
5.6 4KビットRAMへの適用	96
5.6.1 4KビットRAMのモート構造	96
5.6.2 フェイルビットマップの測定	96
5.6.3 3インチウエーハ内の歩留まり	103
5.7 結言	106
参考文献	108
第6章 記憶回路の高速クロック動作	109
6.1 はじめに	109
6.2 256ワード16ビットRAMの設計	110
6.2.1 構成と特徴	110
6.2.2 256RAMブロックの設計	113
1) 入力信号増幅回路	113
2) データ・リードライト信号変換回路	115
3) 電源回路	117
6.3 測定評価方法の改善	118
6.4 256RAMブロックの高周波クロック動作	122
6.4.1 低周波での機能試験	125
6.4.2 高周波クロックでの測定評価	126
6.5 256ワード16ビットRAM全体の高周波クロック動作	131
6.6 結言	135
参考文献	137
第7章 記憶回路の大容量化、高速化、低消費電力化	139
7.1 はじめに	139
7.2 記憶セルの小型化	139
7.2.1 小型化の設計のポイントと試作	139
7.2.2 測定評価	142
7.3 ドライバ回路の高速化	145

7.3.1 回路設計	146
1) 回路構成と動作原理	146
2) 回路定数の決定	148
7.3.2 シミュレーション	149
7.3.3 試作と測定評価	152
7.4 デコーダ回路の低消費電力化	153
7.4.1 回路設計	154
7.4.2 試作測定評価	158
7.5 16KRAMの設計	159
7.6 結言	162
参考文献	165
第8章 総括	166
8.1 本研究で得られた成果	166
8.2 今後の課題	168
1) 製造プロセス技術	169
2) 設計技術	169
3) 測定評価技術	171
8.3 超伝導記憶回路の優位性	171
参考文献	174
謝辞	175
付録	176
(付録A) ジョセフソン素子	176
(付録B) ジョセフソン記憶回路の特徴	178
(付録C) 磁束量子転移型記憶セル	181
本研究に関する業績	184
本研究に関する発表論文	184
本研究に関する国際会議発表	185
本研究に関連した共著論文	186

第1章 序論

1.1 はじめに

現代は、情報マルチメディアの時代といわれている。一般家庭に於いてもパーソナルコンピュータが普及し、インターネットを介して世界中の情報をいながらにして引き出すことができるようになってきている。今後さらにネットワークの発展により、急速に扱う情報量も増大すると考えられる。現在でも、大容量の動画像の処理や伝送にはハード的な制約から困難な場合が多いことから、ますます交換機やパーソナルコンピュータ等の信号処理能力の向上に対する要求は強まるものと考えられる。また、計算物理や計算化学などのミクロの分野の複雑な計算や地球規模の気象変動といった高度なシミュレーションを可能にするために、スーパーコンピュータの性能向上への要求もさらに強まるものと考えられる。このような要請に答えるため、現在サブマイクロンからさらにナノメータ領域にも迫る微細化技術を用いて半導体素子の性能向上を計る研究も行われているが、量子限界にも近づきつつあり飛躍的に単体素子の性能を向上させることは困難な状況になっている。そのため、半導体素子の並列化によりシステム全体としての性能向上を目指す研究も行われている。しかし、これも実際には並列化による素子数の増大で消費電力が急激に増大し、チップの冷却のために高密度実装が妨げられるため、システム全体としての性能を飛躍的に向上させることも困難になってきている。

そのため、現在の半導体素子の機能を遥かに凌駕する単体機能の優れた超高速デバイスが強く求められている。この有力な技術の一つとしてジョセフソン素子を利用した超伝導技術がある。ジョセフソン素子(付録A参照)は、半導体素子とは根本的に異なる超伝導現象に基づいて動作する素子であり、原理的にも半導体素子を遥かに凌駕する超高速性と低消費電力性を持つ。このような優れた特性を持つジョセフソン素子は、早くから超高速コンピュータの基本素子として期待され、ジョセフソン素子を用いた高性能なジョセフソンコンピュータの研究開発が多方面で行われてきた。そして、ジョセフソンコンピュータを実現する上で必要不可欠なキーデバイスとしてジョセフソン記憶回路の研究がある。本研究は、このジョセフソン記憶回路の開発に関する研究である。

本章では、1.2節で本研究の背景として、本研究を始めるまでのジョセフソン集積回路に関する研究と問題点について述べ、1.3節で本研究も含めてこれまでに開発されたNb系ジョセフソン記憶回路について紹介する。1.4節で本研究の目的について述べる。1.5節では、本論文の構成を述べる。

1.2 本研究の背景

超伝導現象をエレクトロニクスに応用する研究は、ジョセフソン効果の発見以降急速に高まった。ジョセフソン効果は、1962年にB.D. Josephsonにより理論的に予言され[1]、翌年P.W. AndersonとJ.M. Rowellによって実験的に検証された[2]。このジョセフソン効果を利用した素子は、2つの超伝導体間に弱結合部を設けた構造を持つことからジョセフソン接合とも呼ばれている。ジョセフソン素子(付録A参照)は、その単体性能の超高速性と低消費電力性により、超高速コンピュータの基本素子として期待され、研究開発されてきた。1966年に、このジョセフソン接合をデジタル素子に応用して超高速のコンピュータを開発するという提案がIBMのJ. MatisooやW. Anackerらによりなされ[3-5]、70年代にはIBMの超伝導の研究グループを中心にジョセフソンコンピュータの開発に向けた多くの先駆的な研究が行われた。化学的にも機械的にも極めて不安定な鉛接合にインジウム(In)、金(Au)、ビスマス(Bi)などを混ぜ合わせることでかなりの安定性をもって使用できるまでにした鉛合金接合、超伝導量子干渉計(SQUID (Superconducting QUantum Interference Device)又はインタフェロメタと呼ぶ)を基本とした各種論理ゲート、ジョセフソン接合とそれを含む超伝導ループを基本構造とする記憶セル等の要素回路が開発された。これらの要素回路で構成された論理回路や記憶回路及びトランスフォーマ、ジョセフソンレギュレータ等の電源回路の開発と、これらをボード上に配置する実装技術及びジョセフソンコンピュータを構成するためのシステム技術の研究も行われた。このような材料技術、デバイス技術から集積化、実装、そしてシステム化技術にいたるまで、ジョセフソンコンピュータを実現する上で必要となるあらゆる技術の研究が行われた。これらの成果は、1980年に出版されたIBMのR&Dジャーナルのジョセフソンコンピュータ技術の特集号[6]に詳しくまとめられている。

本研究の研究対象とするジョセフソン記憶回路の研究についてももう少し詳しく述べる。ジョセフソン記憶セルの基本構造は、ジョセフソン接合とそれを含む超伝導ループで構成される。この超伝導ループに減衰しない超伝導電流(磁束量子)を流し、ジョセフソン接合でこの超伝導電流を制御して、例えば超伝導ループに超伝導電流が流れているかいないか或いは超伝導電流の向きを情報の“1”と“0”に対応させることで記憶動作が可能になる(付録B参照)。このような方式のジョセフソン記憶回路は、1969年にIBMのW. Anackerにより提案され[4]、その後、70年代にH.H. Zappe、W.H. Henkels、P. Gueret、S.M. Farisらにより研究開発された。読み出しの方式で分類すると、次の2種類の記憶セルが開発された。1つは超伝導ループに蓄えた情報を非破壊で読み出すことが可能なNDRO(non-destructive readout)型記憶セル[7-8]と、もう1つは読み出しにより超伝導ループの情報が破壊されるDRO(destructive readout)型記憶セル[9-10]である。情報を非破壊で読み出すため高速動作が可能なNDRO型記憶セルを

用いて4Kビットの容量を持つ高速のキャッシュメモリの開発が行われた[11-14]。一方、DRO型記憶セルは、読み出しにより情報が破壊されるので再書き込みが必要となり高速動作には向かないが構造が簡単で小型化が容易なため大容量のメインメモリの開発に用いられ、16Kビットの容量を持つメインメモリの開発が行われた[15-16]。これらの開発は、IBMで開発された鉛合金接合を用いた製造プロセス[17]により試作されたが、残念ながら部分回路の動作評価に留まりメモリ全体の動作の確認には至らなかった。

IBMは、これらの技術の集大成として3次元高密度実装を基本とするジョセフソンコンピュータのプロトタイプモデル(Cross Sectional Model)を構成し、マシンサイクル3.7nsの高速動作を実証した[18]。このモデルでも、記憶回路は単に遅延線で置き換えて評価された。

このような多くの先駆的な成果にもかかわらず、IBMは1983年にジョセフソンコンピュータの開発プロジェクトを中止すると発表して世界を驚かせた。この中止の理由としては、当時いろいろなことが言われたが主に次の点によるものと聞いている。第1に、IBMが中心になって開発した鉛合金技術によるジョセフソン接合の特性の制御性、安定性が十分でなく大規模集積回路の開発が困難であることと、第2に日進月歩に発展しているシリコン半導体集積回路の性能に対して、将来ジョセフソン集積回路の優位性を保つこと困難になると判断したことと、第3にジョセフソンコンピュータを実現する上で必要不可欠と考えられたジョセフソン記憶回路(4KビットRAM(Random Access Memory))が動作しなかったことである。

一方、日本でも1970年代の後半から主要な研究機関でジョセフソン素子の研究が始められた。そして、IBMがプロジェクトの中止の発表を行う少し前の1981年から通産省の大型プロジェクト「科学技術用高速計算システムの研究開発」を中心にジョセフソン集積回路の研究が本格的に開始された。当時、日本に於いても鉛合金接合技術を用いて論理回路や記憶回路の研究が行われていた。当時かなりの規模でジョセフソン集積回路の研究を行っていたNTTは、IBMのプロジェクトの中止の発表後、鉛合金接合技術による1KビットRAMの開発[19]を最後に集積回路の研究から撤退した。この様に、日本に於いてもIBMのプロジェクトの中止の発表は大きな影響を与えたが、不安定な鉛合金技術に変わる信頼性の高いニオブ(Nb)系プロセス技術やインターフェロメタゲートに変わる抵抗結合型ゲート等の新しい回路技術を開発することで、IBMがプロジェクト中止の理由とした上記問題点は解決できると判断し、研究開発が継続された。

このような状況から、新しいNb系プロセス技術の開発とジョセフソンコンピュータを開発する上でキーデバイスとなる高速ジョセフソン記憶回路の開発、特にその動作実証及び信頼性評価が強く求められていた。本研究の内容は、Nb系ジョセフソン記憶回路の開発を目的として1986年から1997年にかけてNECの研究所で行った研究をもとにまとめたものである。

1.3 Nb系ジョセフソン記憶回路の研究

前節では、本研究を始めるにあたっての主に1985年までの研究の背景を述べたが、ジョセフソン記憶回路の研究は本研究期間中も幾つかの研究機関で行われている。ここでは、1986以降Nb系プロセス技術により試作されたジョセフソン記憶回路について本研究の成果も含めて紹介する。

表1-1に、これまでにNb系プロセス技術により試作されたジョセフソン記憶回路を示す。記載した年次は、論文が発表された年月に基づいて記した。従って、実際の試作及び学会発表等は1-2年前に行われたものもある。前節で記した1983年のNTTの鉛合金プロセスによる1KビットRAMの試作[19]を最後に、その後数年間は記憶回路(RAM)の発表はなされなかった(もちろん、この間記憶セルや要素回路等の小規模回路の発表は行われている)。1987年になってNbプロセス技術の確立により初めて1KビットRAMの開発が可能になった[20]。本研究で行ったこの1KビットRAMが、世界で初めてNbプロセス技術により開発したジョセフソン記憶回路となった[21-22]。サブナノ秒(570ピコ秒のアクセス時間)の高速動作と13mWの低消費電力性というジョセフソン記憶回路が持つ高いポテンシャルを実証することが出来た。また、超伝導記憶回路としては初めてLSIメモリテストを用いてマーチングによるフェイルビットマップの測定を行い、最高68%のビットイールドを確認することが出来た。その後、富士通の鈴木らにより容量結合型記憶セルを用いた4KビットRAM[23]、ETLの黒沢らにより可変しきい値型記憶セルを用いた1KビットRAMの試作評価が行われた[24]。富士通の鈴木らの4KビットRAMは、部分的な動作の確認に留まりビットイールドの測定評価には至っていない。一方、ETLの黒沢らの1KビットRAMは、初めて100%のビットイールドを示し、ジョセフソン記憶回路の信頼性を評価した。しかし、この実験は、磁束トラップ等の影響があるため、トラップ抜きを行って数回測定を行いその都度正常動作ビットを累積して、全てのビットが正常動作することを確認したものである。従って、磁束トラップの影響を完全に排除しているのではなく、1回の測定で100%のビットイールドが得られたわけでもない。1991年には、NECの田原らにより磁束量子転移型記憶セルを用いた4KビットRAM[25]が報告されたが、残念ながらビットイールドは1%程度と非常に小さいものであった。この原因としては、一部要素回路の動作マージンが小さいといった設計上の問題とリフトオフを中心とした製造プロセス上の問題、及び磁束トラップや電源ノイズ等の測定評価上の問題があった。そのため、その後本研究でこれら4KビットRAMの問題を取り上げ、設計上とプロセス上の問題を解決することで1994年に最大84%と大幅にビットイールドが改善した4KビットRAMを発表した[26-27]。この4KビットRAMでは、一部新しい要素回路の開発と動作電流レベルを上げたことで、最小アクセス時間は380ピコ秒に減少させることが出来た。しかし、ここでは依然とし

て磁束トラップの問題は解決されておらず、ビットイールドは磁束トラップの程度に応じて大きく変化した。このため、その後磁束トラップの影響を排除する方法を研究し、その結果を4KビットRAMに適用してほぼ完全動作といえるビットイールド99.8%の動作を確認して1995年に発表した[28]。この間、1993年には、HypressのP. F. Yuhらにより3つのSQUIDゲートからなるバッファ型記憶セルを用いた2KビットRAMが発表されている[29]。1996年には、本研究に於いて、ジョセフソン記憶回路の研究レベルの実用化を目的として、トランスフォーマとレギュレータから成る電源回路をオンチップ上に付加した256RAMを試作し、512MHzの高周波クロックでの動作を確認し発表した[30]。翌年には高周波クロックでの測定評価方法を改善することで、この256RAMが世界で初めて1GHz以上の高周波クロックで動作することを確認した[31]。同時に、256ワード16ビット構成のRAM全体に2Aを越える高周波電流を供給して、256ワード16ビットRAMが620MHzまでの高周波クロックで動作することを確認し報告した[31]。

表1-1 Nb系プロセスにより試作されたジョセフソン記憶回路

Year	Author	Size	Cell	Access Time	Power Dissipation	Bit Yield	Paper
1988	Nagasawa et al. (NEC)	1K	Henkels Type (NDRO)	570 ps	13 mW	68%	[21-22]
1989	Suzuki et al. (fujitsu)	4K	Capacitively coupled (DRO)	590 ps	19 mW	no data	[23]
1991	Kurosawa et al. (ETL)	1K	Variable threshold (DRO)	520 ps	1.9 mW	100%	[24]
1991	Tahara et al. (NEC)	4K	Vortex transitional (NDRO)	580 ps	6.7 mW	~ 1%	[25]
1993	P.F. Yuh (Hypres)	2K	Buffered cell (NDRO)	740 ps	1.6 mW	42%	[29]
1994	Nagasawa et al. (NEC)	4K	Modified VT (NDRO)	380 ps	9.5 mW	84%	[26,27]
1995	Nagasawa et al. (NEC)	4K	Modified VT (NDRO)	380 ps	9.5 mW	99.8%	[28]
1996	Nagasawa et al. (NEC)	256	Modified VT (NDRO)	512 MHz	1.6 mW	100%	[30]
1997	Nagasawa et al. (NEC)	256	Modified VT (NDRO)	1.07GHz	9.5 mW	100%	[31]
1997	Nagasawa et al. (NEC)	4K	Modified VT (NDRO)	620 MHz	26 mW	no data	[31]

1.4 本研究の目的

本研究の目的は、まずジョセフソン集積回路の信頼性の向上に向けて、従来の鉛合金系製造プロセスに変わる新しいNb系製造プロセスの開発と、ジョセフソンコンピュータの実用化に向けて、その実現上必要不可欠となる高速ジョセフソン記憶回路の性能実証と信頼性の評価及びジョセフソン記憶回路の測定評価技術の確立を目的として行ったものである。

第1にジョセフソン1KビットRAMの開発に於いては、従来使用してきた鉛合金系プロセス技術に変えて、信頼性の高いNb/AIOx/Nb接合を用いた新しいNb系プロセスの開発とこのNb系プロセスにより試作した1KビットRAMの動作実証及び動作実証に必要とされるジョセフソン記憶回路の測定評価方法の確立を目的とした。

第2に、ジョセフソン4KビットRAMの開発に於いては、さらに高速化、大容量化に加えて、ビットイールド100%を目的としたRAMの完全動作の実証と磁束トラップやノイズ等に対する信頼性評価を主目的とした。

第3に、ジョセフソン記憶回路の実用化に向けて、トランスフォーマ等の電源回路及び超伝導マイクロプロセッサ等の外部回路との接続を念頭においたインターフェイス回路を含んだジョセフソン256ワード16ビットRAMを設計し、1GHz領域でのジョセフソン記憶回路の高速クロック動作の実証を目的とした。

第4に、今後さらにジョセフソン記憶回路の高速化と大容量化及び低消費電力化を目的として、記憶セルの小型化、ドライブ回路の高速化、デコーダ回路の低消費電力化を行い、これらの検討をもとにジョセフソン16KビットRAMの設計試作を行った。

1.5 本論文の構成

本論文は、次の8章で構成されている。

第1章では、本研究の背景としてこれまでのジョセフソン記憶回路の研究を紹介し、その問題点をまとめると共に、本研究の目的について述べる。

第2章では、従来の鉛合金プロセスに変えて新たに開発したNb系製造プロセス技術について述べる。

第3章では、このNb系プロセスを用いて世界で初めて開発したジョセフソン1KビットRAMについて、その測定評価方法及び測定結果について述べる。

第4章では、ジョセフソン記憶回路の完全動作の実証を目的に、設計上及び製造プロセスの改善により新たに開発したジョセフソン4KビットRAMについて述べる。

第5章では、超伝導集積回路で大きな問題となっている磁束トラップの問題に関して、残留外

部磁場に起因した磁束トラップとサーマルカレントに起因した磁束トラップを分離して評価し、残留外部磁場に対してはモート構造の最適化より、サーマルカレントに対しては緩冷却を定量的に評価することにより磁束トラップの影響を排除した測定結果について述べる。さらに、この最適化された磁束トラップの影響の排除方法を4KビットRAMに適用した測定結果について述べる。

第6章では、記憶回路のGHzの高周波クロックでの動作実証を目的として新たに開発した、トランスフォーマとレギュレータからなる電源回路を含んだ256ワード16ビットRAMの設計と高周波クロックでの測定評価について述べる。

第7章では、ジョセフソン記憶回路のさらなる大容量化と高速化の観点から、記憶セルの小型化、ドライバ回路の高速化、デコーダ回路の低消費電力化について述べ、これらの要素回路の検討をもとに設計した16KビットRAMについて述べる。

最後に、第8章で、本研究のまとめと今後の課題及び展望について述べる。

参考文献

- [1] B. D. Josephson, "Possible new effects in superconductive tunneling, Phys. Lett., vol. 1, pp. 251-253, 1962.
- [2] P. W. Anderson and J. M. Rowell, "Probable observation of the Josephson superconducting tunneling effect," Phys. Rev. Lett., vol. 10, pp. 230-232, 1963.
- [3] J. Matisoo, "Subnanosecond pair-tunneling to single-particle tunneling transitions in Josephson junction," Appl. Phys. Lett., vol. 9, pp. 167-168, 1966.
- [4] W. Anacker, "Potential of superconductive Josephson tunneling technology for ultrahigh performance memories and processor," IEEE Trans. Magn., vol. MAG-5, pp. 968-975, 1969.
- [5] W. Anacker, "Computing at 4 degrees Kelvin," IEEE spectrum, vol. 16, pp. 26-37, May 1979.
- [6] IBM J. Res. Develop., vol. 24, no. 2, Mar. 1988 (Special issue on Josephson computer technology).
- [7] H. H. Zappe, "A subnanosecond Josephson tunneling memory cell with nondestructive readout," IEEE Solid-State Circuits, vol. SC-10, no. 1, pp. 12-19, 1975.
- [8] W. H. Henkels, "Fundamental criteria for the design of high-performance Josephson nondestructive readout random access memory cells and experimental confirmation," J. Appl. Phys., vol. 50, no. 12, pp. 8143-8168, Dec. 1979.
- [9] H. H. Zappe, "A single flux quantum Josephson junction memory cell," Appl. Phys. Lett., vol. 25, no. 7, pp. 424-426, Oct. 1974.
- [10] P. Gueret, Th. O. Mohr, and P. Wolf, "Single flux-quantum memory cells," IEEE Trans. Magn., vol. MAG-13, no. 1, pp. 52-55, Jan. 1977.
- [11] S. M. Faris, W. H. Henkels, E. A. Valsamakis, H. H. Zappe, "Basic design of a Josephson technology cache memory," IBM J. Res. Develop., vol. 24, no. 2, pp. 143-154, Mar. 1988.
- [12] W. H. Henkels, L. M. Geppert, J. Kadlec, P. W. Epperlein, H. Beha, W. H. Chang, and H. Jaeckel, "Josephson 4K-bit cache memory design for a prototype signal processor. I. General overview," J. Appl. Phys., vol. 58, no. 6, pp. 2371-2378, Sep. 1985.
- [13] W. H. Henkels, L. M. Geppert, J. Kadlec, P. W. Epperlein, H. Beha, W. H. Chang, and H. Jaeckel, "Josephson 4K-bit cache memory design for a prototype signal processor. II. Cell array and drivers," J. Appl. Phys., vol. 58, no. 6, pp. 2379-2388, Sep. 1985.
- [14] W. H. Henkels, L. M. Geppert, J. Kadlec, P. W. Epperlein, H. Beha, W. H. Chang, and H. Jaeckel, "Josephson 4K-bit cache memory design for a prototype signal processor. III.

- Decoding, sensing and timing." J. Appl. Phys., vol. 58, no. 6, pp. 2389-2399, Sep. 1985.
- [15] R. F. Broom, P. Gueret, W. Kotyczka, Th. O. Mohr, A. Moser, A. Oosenbrug, and P. Wolf, "Model for a 15 ns 16K RAM with Josephson junction," IEEE J. Solid-State Circuits, vol. SC-14, no. 4, pp. 690-699, Aug. 1979.
- [16] P. Gueret, A. Moser, and P. Wolf, "Investigation for a Josephson computer main memory with single-flux-quantum cells," IBM J. Res. Develop., vol. 24, no. 2, pp. 155-166, Mar. 1988.
- [17] J. H. Greiner et al., "Fabrication process for Josephson integrated circuits," IBM J. Res. Develop., vol. 24, no. 2, pp. 195-205, Mar. 1980.
- [18] M. B. Ketchen, D. J. Herrell, and C. J. Anderson, "Josephson cross-sectional model experiment," J. Appl. Phys., vol. 57, pp. 2550-2574, 1985.
- [19] M. Yamamoto, Y. Yamauchi, K. Miyahara, K. Kuroda, F. Yanagawa, and A. Ishida, "An experimental nanosecond Josephson 1K RAM using 5- μ m Pb-alloy technology," IEEE Electron Device Letters, vol. EDL-4, no. 5, pp. 150-152, 1983.
- [20] S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida and S. Tahara, "Nb multilayer planarization technology for a subnanosecond Josephson 1K-bit RAM," IEEE Trans. Mag., vol. 25, no. 2, pp. 777-782, Mar. 1989.
- [21] Y. Wada, S. Nagasawa, I. Ishida, M. Hidaka, H. Tsuge, and S. Tahara, "A 570 ps, 13 mW Josephson 1kb RAM," ISSCC Digest of Technical Papers, pp. 84-85, Feb. 1988.
- [22] S. Nagasawa, Y. Wada, M. Hidaka, H. Tsuge, I. Ishida, and S. Tahara, "570ps 13 mW Josephson 1-Kbit NDRO RAM," IEEE J. Solid-State Circuits, vol. 24, pp. 1363-1371, 1989.
- [23] H. Suzuki, N. Fujimaki, H. Tamura, T. Imamura, and S. Hasuo, "A 4K Josephson memory," IEEE Trans. on Mag., vol. 25, pp. 783-788, 1989.
- [24] I. Kurosawa, H. Nakagawa, S. Kousaka, M. Aoyagi, and S. Takada, "A 1-Kbit Josephson random access memory using variable threshold cells," IEEE J. Solid-State Circuits, vol. 24, pp. 1034-1040, 1989.
- [25] S. Tahara, I. Ishida, S. Nagasawa, M. Hidaka, H. Tsuge, and Y. Wada, "4-Kbit Josephson nondestructive read-out RAM operated at 580psec and 6.7mW," IEEE Trans. Mag., vol. 27, pp. 2626-2633, 1991.
- [26] S. Nagasawa, Y. Hashimoto, H. Numata, S. Tsuchida, and S. Tahara, "380ps, 9.5mW Josephson 4Kbit RAM," Electronics Letters, vol. 30, no. 10, pp. 761-762, May 1994.
- [27] S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara, "A 380ps, 9.5mW Josephson 4-Kbit

- RAM operated at high bit yield." IEEE Trans. on Appl. Superconductivity, vol. 5, no. 2, pp. 2447-2452, June 1995.
- [28] S. Nagasawa, H. Numata, C. Kato, and S. Tahara, "Evaluation of trapped magnetic flux for Josephson 4-Kbit RAMs", Extended abstracts of ISEC'95, 7-3, pp. 192-194, 1995.
- [29] Perng-Fei Yuh, "A 2-Kbit superconducting memory chip," IEEE Trans. Appl. Superconductivity, vol. 3, pp. 3013-3021, 1993.
- [30] 永沢、沼田、橋本、田原、「ジョセフソン記憶回路の高周波クロック動作」、電子情報通信学会 信学技報、SCE96-20、pp. 13-18、1996。S. Nagasawa, H. Numata, Y. Hashimoto, and S. Tahara, "High-frequency clock operation of Josephson memories," ISEC'97 Extended Abstracts, D31, pp. 290-292, 1997.
- [31] 永沢、沼田、橋本、田原、「ジョセフソン256ワード16ビットRAMの高周波クロック動作」、電子情報通信学会 信学技報、SCE97-30、pp. 25-30、1997。

第2章 Nb系製造プロセス技術の開発

2.1 はじめに

NECに於いても、1981年から通産省の大型プロジェクト「科学技術用高速計算システムの研究開発」の一環としてのジョセフソン集積回路の研究が本格的に開始され、新たに抵抗結合型論理ゲート(RCJL: Resistor Coupled Josephson Logic) [1]やそれらを用いた4ビットの加算器[2]、乗算器[3]といったコンピュータの基本となる要素回路が鉛合金を用いた製造プロセスにより試作された。これらの比較的小規模の要素回路は、不安定な鉛合金プロセスではあったが数回の試作で動作させることができた。記憶回路に関しても、当初は鉛合金を用いたプロセスを念頭に置いてジョセフソン1KビットRAMの設計[4]が行われ、その基本要素である記憶セル、AND-OR回路、NOT回路及びデコーダ回路の動作は鉛合金プロセスにより評価することが出来た[5]。しかし、比較的大きな集積回路となる1KビットRAM全体は、鉛合金プロセスにより何度も試作を行ったが、正常動作の確認には至らなかった。この理由としては、高密度化を目的として縦型構造のSQUIDを使用するために3層配線構造を必要としたことに加えて、抵抗結合型論理回路にはない記憶回路特有のインダクタンスの正確な制御という製造プロセス上の困難さがあった。即ち、2層配線構造で形成できる抵抗結合型論理ゲート(RCJL)を基本ゲートとする乗算器等の論理回路に比べて、3層配線構造を必要とする記憶回路では素子の凹凸段差に起因した配線の断線や配線間のショートが生じ易いという問題と、抵抗結合型の論理回路ではプロセス上の制御パラメータとしては主に抵抗値と接合の臨界電流値の2つであるが、インダクタンスからなる超伝導ループを主体とする記憶回路では、上記2つのパラメータに加えてインダクタンスを正確に制御する必要があり、製造プロセスもより高度なものが求められていた。

従来の鉛合金系製造プロセス[6]には、鉛合金接合が化学的にも機械的にも安定性にかけるという問題点以外にも、素子表面の凹凸段差に起因した配線の断線や配線間のショートといった大きな問題があった。これは、配線等の金属層や絶縁層等のほとんど全ての層の形成にリフトオフ法を用いていたことに起因している。図2-1に、この従来から用いられているリフトオフ工程を示す。リフトオフ法では、まず形成したいパターン以外の領域にフォトレジストの反転パターン(レジストステンシル)を露光・現像により形成する。この際、フォトレジスト表面のクロロベンゼン処理法や2層レジスト法などを用いて図に示した様なオーバーハング形状のレジストステンシルを形成する(a)。次に、所望の膜厚の薄膜(ここでは鉛合金の下部配線層)を蒸着する(b)。次に、有機溶媒(アセトン)に浸してフォトレジストと共にフォトレジスト上の薄

膜を除去することでフォトレジストが形成されていなかった部分に薄膜パターンを形成する。この際、フォトレジストの側壁部に付着した蒸着物が残りやすく、パターン側壁部の突起(バリ)が残ることがある(c)。このリフトオフ法は、上記した様に成膜と同時にパターン形成もできるので便利な方法であったが、上記パターン側壁部の突起(バリ)が残り易いという問題点があった。この上に絶縁層を介して上部配線を形成しても、この突起(バリ)に起因して上下配線間のショートが生じ易くなる。また、縦型のSQUIDを形成するためには、少なくとも3層の超伝導配線層が必要となるが、このような多層配線構造を実現するためには、下部配線層の段差に起因した上部配線層の断線やショート等をさけるため上部配線層及び層間絶縁膜の厚さを厚くする必要がある。図2-2に、リフトオフ法を用いた従来の鉛合金系製造プロセスによる典型的な素子構造の断面概略図を示す。図に示した様に、上部にいくほど配線層及び絶縁膜層の厚さが大きくなっている。超伝導グランド面上の絶縁層の厚さHと配線の線幅Wとの比(H/W)が1より十分小さい領域では、配線のインダクタンスはほぼ絶縁層の厚さに比例して増大する。このため、最上部の配線層のインダクタンスが大きくなり回路の高速化が困難になるといった問題や、絶縁層の厚さが大きいために上下配線間の相互インダクタンスが小さくなり、そのため磁気結合型の素子では所望の相互インダクタンスを得るために素子の面積が大きくなり小型化が困難になるといった問題点もあった。

そのため、信頼性の高いNb/AlOx/Nb接合技術[7]の確立に伴い、この接合技術を用いたジョセフソン記憶回路のための新しいNb系製造プロセスを開発することが急務であった。

本章では、このような従来の鉛合金系製造プロセスの問題点を解決するために新たに開発したジョセフソン記憶回路のためのNb系製造プロセス技術について述べる。このNb系製造プロセスは、当面するジョセフソン1KビットRAMの開発を目的に開発したものであり、後に開発する4KビットRAM及び16KビットRAM等の製造プロセスとは全く同じではない。しかし、これらの製造プロセスも本章で述べる1KビットRAMのための製造プロセス技術を基本にして、それぞれのRAMの設計方針に基づいて変更又は改善を行ったものである。製造プロセス上のこれら変更点は、それぞれの章でその都度述べることにする。

以下、2.2節ではこのNb系製造プロセス技術の特徴とそのキーププロセスとなるポリスチレンを用いたエッチバック平坦化技術[8]とコンタクトホール形成方法としてのテーパエッチング技術[8]について述べる。2.3節では、これらの技術を基本にして開発した1KビットRAMの製造プロセス[9]について述べる。2.4節で結言を述べる。

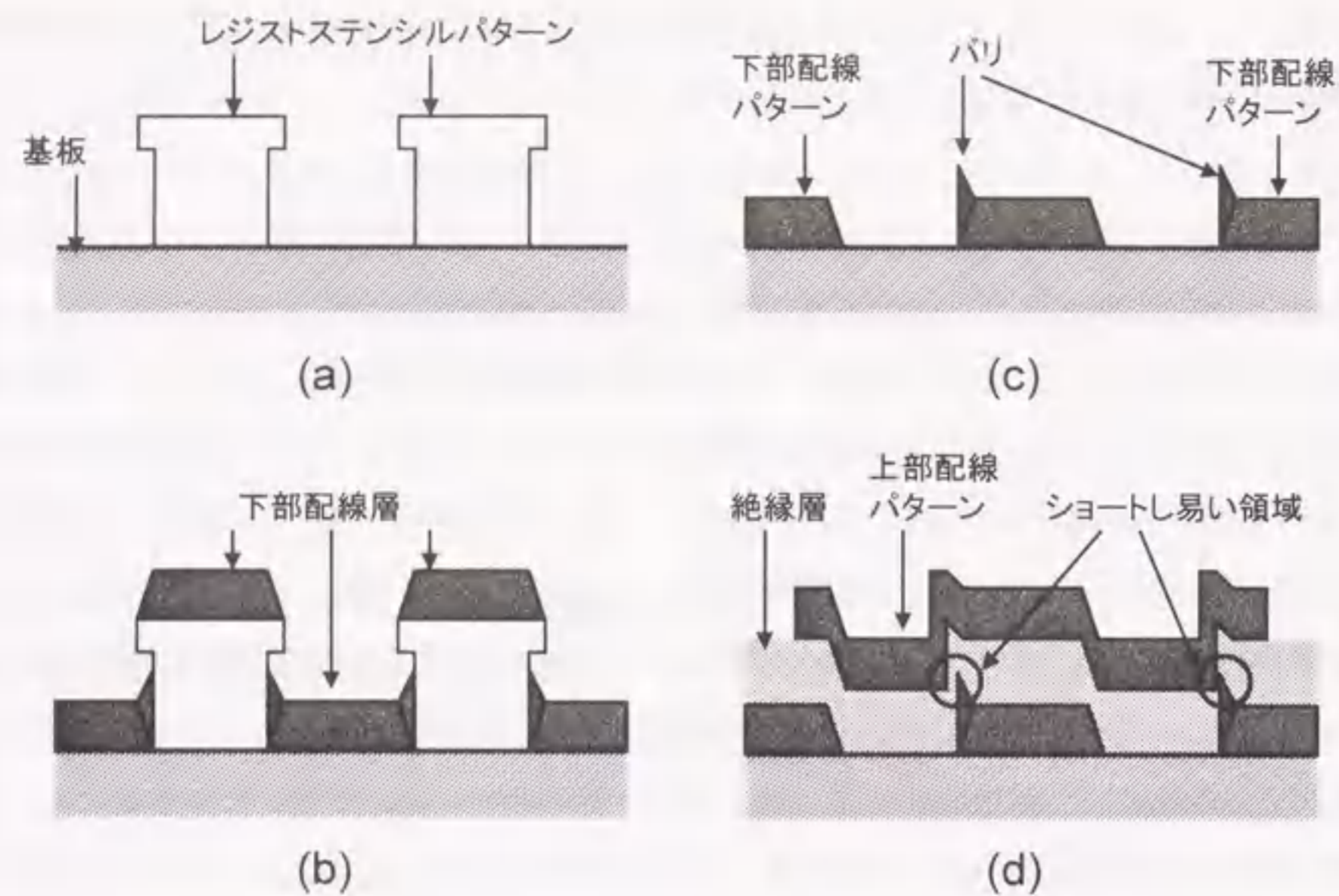


図2-1 リフトオフ工程

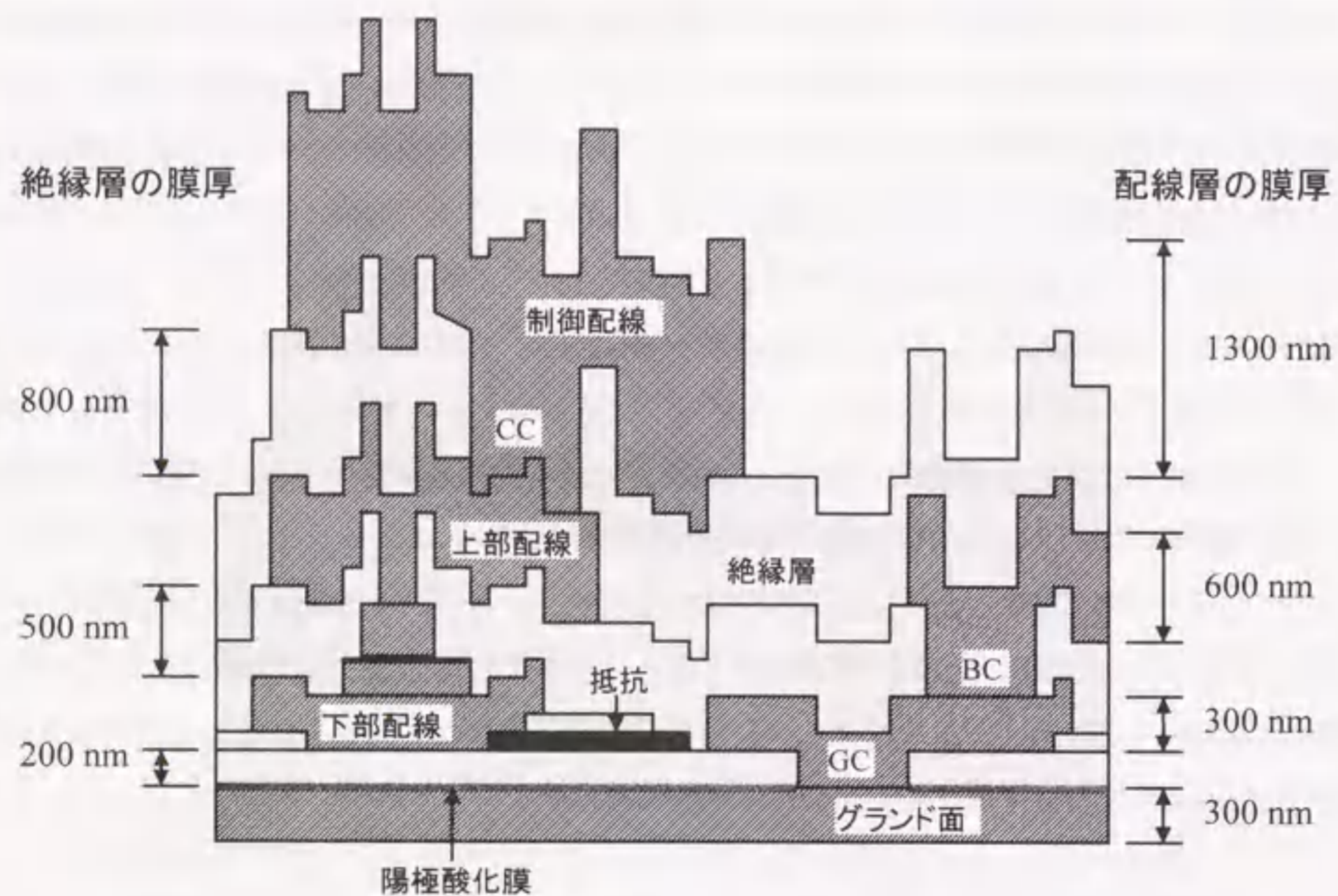


図2-2 従来の鉛合金系プロセスによる典型的なデバイス構造の断面概略図

2.2 Nb系製造プロセスの特徴

大規模で高速動作可能なジョセフソン記憶回路を開発するためには、段差部での断線及び層間のショート無くし、且つ配線の低インダクタンス化が計れる多層平坦化構造を実現することが重要である。3層配線構造を必要とする1KビットRAMのデバイス構造では、この様な観点から各層で完全な平坦化を行い多層完全平坦化構造の実現を目標とした。平坦化技術としては、半導体ではSiO₂を摂氏800度程度でアニールするリフロー技術や400度程度で形成するスピニングラス(SOG)技術などもあるが、ジョセフソン接合は高温に弱いため比較的低温(摂氏200度以下)で行うことが可能なエッチバック平坦化技術を採用した。

また、配線間のコンタクトホールは、テーパエッチングにより傾斜(テーパ)を付けて形成することで、その後埋め込み等の特別なプロセス工程を行わずに、上部配線の形成と同時にコンタクトが形成できるようにした。なお、コンタクトホールをこの様に傾斜(テーパ)を付けて形成することは、傾斜の分だけコンタクトのパターンが大きくなる。1KビットRAMのデバイス構造(図2-9参照)では、絶縁層の膜厚が最も大きい下部配線と上部配線間のBCコンタクト(絶縁層の膜厚500nm)の場合に45度の傾斜を付けると各辺で0.5μm大きくなる。このことは高集積化にとって不利ではあるが、目標とする1KビットRAMのデバイス構造の最小配線幅は3μmであるので、この設計ルールの範囲内では特に問題はない。ジョセフソン接合には信頼性が高く良好な接合特性の得られるNb/AIO_x/Nb接合を、抵抗体としてはモリブデン(Mo)を、絶縁層にはSiO₂を使用した。なお、1KビットRAMの試作では、基板として2インチのSiウエーハを使用し、フォトリソパターン形成にはコンタクト露光装置を用いた。

次に、1KビットRAMの製造プロセスを説明する前に、この製造プロセスで基本となるポリスチレンを用いたエッチバック平坦化技術とテーパエッチング技術についてももう少し詳しく説明する。

2.2.1 ポリスチレンを用いたエッチバック平坦化技術

エッチバックという平坦化方法は、凹凸段差のある絶縁膜の上にフォトリソなどの有機膜をスピン塗布して平坦な表面を形成した後、反応性イオンエッチング(RIE: Reactive Ion Etching)を用いて上から一様にエッチングすることで絶縁膜の凹凸を除去して平坦化する方法である。一様にエッチングするためには、絶縁膜と有機膜のエッチング速度が等しくなることが重要である。加えて、このエッチバック後の絶縁膜の平坦性は、スピン塗布法により形成された有機膜の平坦性が絶縁膜に転写されるともいえるので、凹凸段差に対する有機膜の塗布後の平坦性が特に重要になる。今回は、この有機膜としては、フォトリソに比べて非常に良好な平坦

性の得られる低分子量のポリスチレンを用いた[10]。この低分子量のポリスチレンは、被平坦化パターンのサイズ依存性が小さいことを特徴とするが、それでも数10 μm 以上の大きなパターンでは平坦性が悪くなる。本研究のジョセフソン記憶回路では、ジョセフソン接合の大きさは、10 μm 以下であるのに対して、Nb電極や配線等はそれ以上の大きさになるものも多い。従って、接合部の平坦化と配線層の平坦化には少し異なった方法を用いた。

まず、接合部の平坦化を例として、被平坦化パターンが全て10 μm 以下の場合のエッチバック平坦化方法を説明する(図2-3)。まず、Nb下部配線に膜厚550nmの3層のNb/AlOx/Nb接合層を形成し(a)、接合面積を規定するフォトリソ1をマスクにしてRIEにより接合のNb上部電極を形成する(b)。次に、上部電極よりひとまわり大きいフォトリソ2をマスクにしてRIEによりAlOxバリア層とNb下部電極を形成して、被平坦化パターンとして接合部を形成する(c)。次に、接合部の膜厚よりも厚くSiO₂絶縁膜をRFマグネトロンスパッタにより堆積する(d)。この上にポリスチレン溶液を回転数2000rpmでスピン塗布し、窒素雰囲気中の180度での30分間のベーキングによりポリスチレンの上部表面を平坦化する(e)。次に、ポリスチレンとSiO₂絶縁膜のエッチングレートが等しい

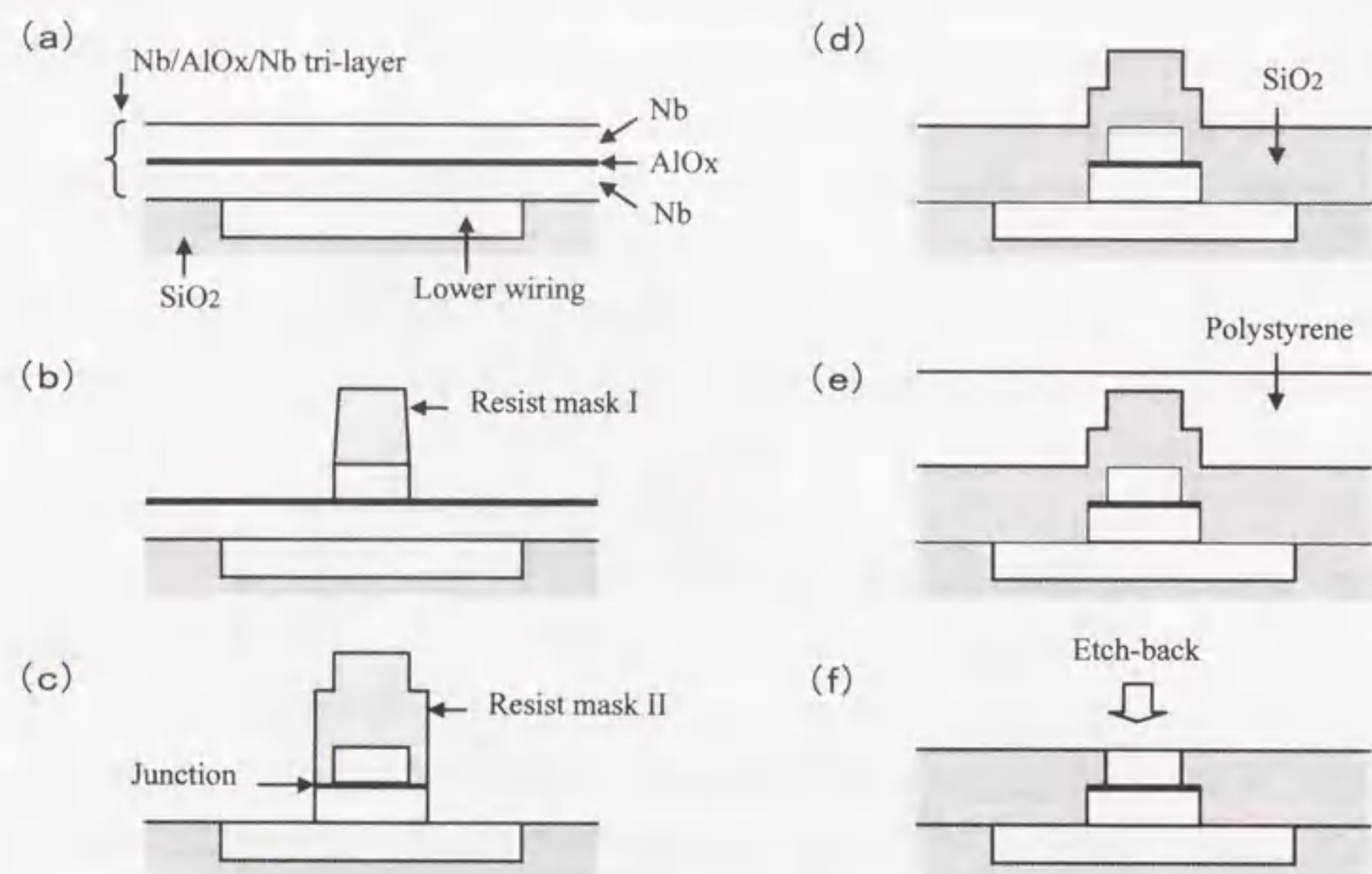


図2-3 接合部のエッチバック平坦化方法

エッチング条件で、Nb/AlOx/Nb接合の上部表面が露出するまでCF₄/O₂混合ガスを用いたRIEによりエッチング(このエッチングをエッチバックと呼んでいる)を行い、図(f)の様に平坦化することができる。

次に、配線層の平坦化を例として、被平坦化パターンが数10 μm 以上の大きなパターンを含む場合のエッチバック平坦化方法を説明する(図2-4)。数10 μm 以上の大きなパターンではポリスチレンの平坦性が悪くなるため、この様な大きなパターンの凹凸がないようにする必要がある。このために、まずリフトオフ法により配線パターン以外の部分に配線パターンと同じ膜厚のSiO₂を形成する(a~d)。この時、リフトオフを行うためのレジストステンシルとして、配線パターン(Nb配線)をRIEで加工するために用いたレジストマスクをそのまま利用する。そのためRIEの際には、このレジストマスクが変質してリフトオフが困難にならないようにRIEの条件(エッチングのガス圧、パワー、及び基板冷却温度等)を制御してエッチング中のレジストの温度が130 $^{\circ}\text{C}$ 以上に上昇しないように注意した(レジストの温度が130 $^{\circ}\text{C}$ を越えると、レジストが変質硬化して有機溶剤に解けなくなり、除去できなくなる)(a, b)。また、先にリフトオフの問題点としてパターン側壁部にバリが生じやすいと記したが、このバリを無くしリフトオフを容易にするために、リフトオフの前にバッファードフッ酸によるSiO₂のウエットエッチングを行う[11]。パターン側壁部にスパッタにより形成されたSiO₂膜は、クラックが入り且つ平坦部に比べて膜質も劣化しているため、等方的なウエットエッチングにより側壁部のSiO₂が選択的に除去される(c)(この様に側壁部のSiO₂を選択的に除去するので、図2-1で示した様なオーバーハング形状のレジストステンシルを必要としない)。実際には、平坦部のSiO₂もエッチングされるが、側壁部に形成されたSiO₂に比べれば非常に僅かであり、前もってこの分を考慮して少し厚くSiO₂を形成しておく。このウエットエッチングとリフトオフにより、凹凸段差は配線パターン側壁部に残る僅かな溝だけにする事が出来る(d)。この溝の幅は、全て1 μm 以下と非常に小さいため、この溝に対しては接合部の場合と同様のエッチバック平坦化を行うことが出来る(e, f)。

また、上記エッチバックの終点検出は、エッチング速度から計算したエッチング時間とNbの上部表面の白色の金属光沢の顕微鏡によるその場観察、或いは終点検出のためのマーカ層の挿入と発光分析[12]等により行った。

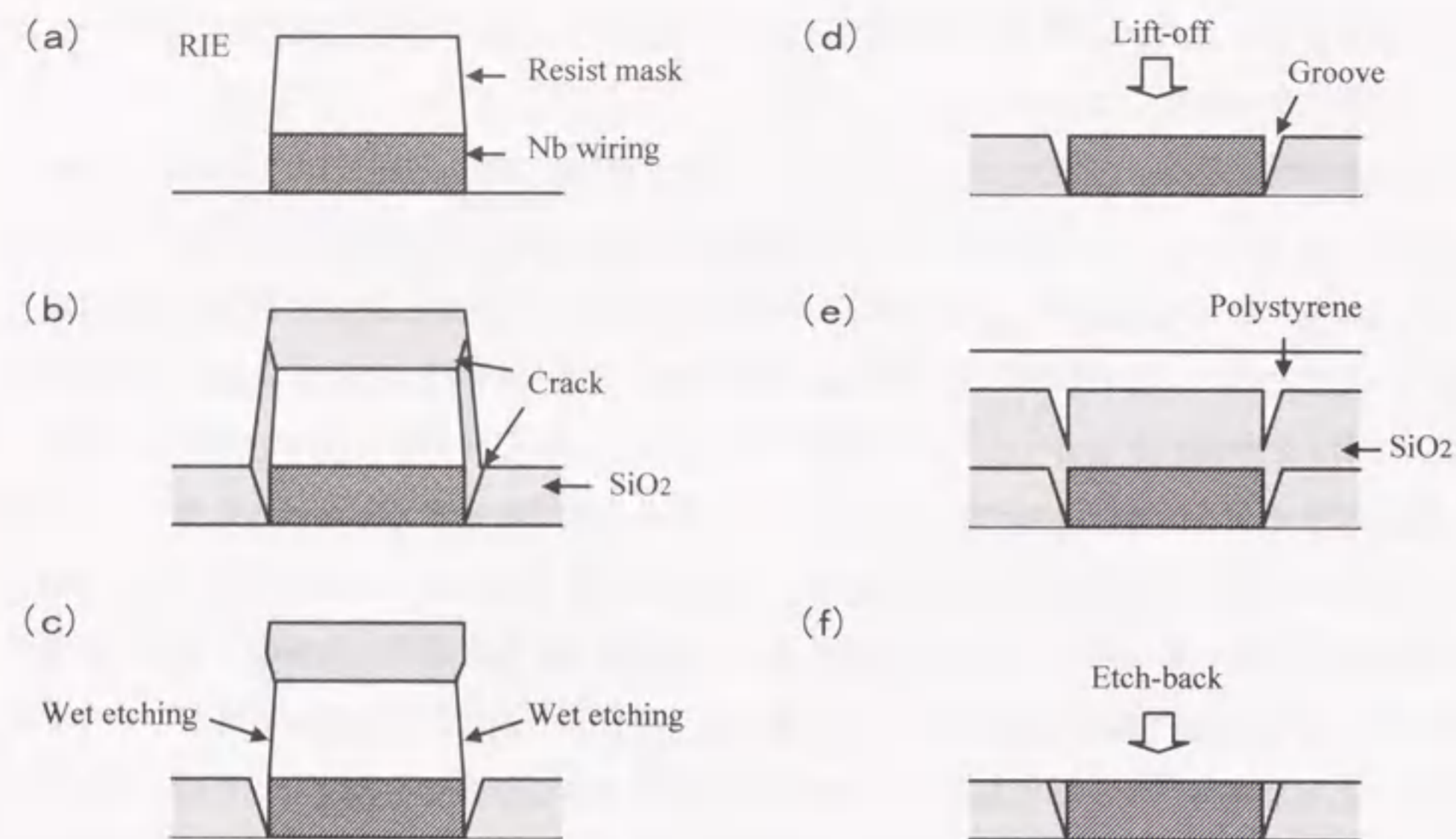


図2-4 配線層のエッチバック平坦化方法

図2-5は、 CF_4/O_2 混合ガスを用いたRIEによるポリスチレン、 SiO_2 、Nbのエッチングレートを示した図である。横軸は、 CF_4 ガスに対する O_2 ガスの分圧を示し、縦軸はエッチングレートを示す。このときの全ガス圧は5.0 Pa、高周波電力は100 Wである。エッチング基板にはポリプロピレンを用いた。試料(ウエーハ)は、ポリプロピレン基板にシリコングリースで密着され、基板冷却を行うことで間接的に試料が冷却されたため、エッチング中ウエーハの温度は約摂氏20度(ウエーハの表面にサーモテープを張りつけて測定した)に保たれている。酸素分圧が増加するにつれて SiO_2 のエッチングレートはほとんど変化しないが、ポリスチレンのエッチングレートは急激に増加し、酸素分圧が0.45 Pa ($CF_4: 30 \text{ sccm}$, $O_2: 3.0 \text{ sccm}$)のときポリスチレンと SiO_2 のエッチングレートが等しくなっている。エッチバックは、この条件で行う。このときのポリスチレンと SiO_2 絶縁膜のエッチングレートは28 nm/minであり、Nbに対して約2倍に選択比をとることができた。

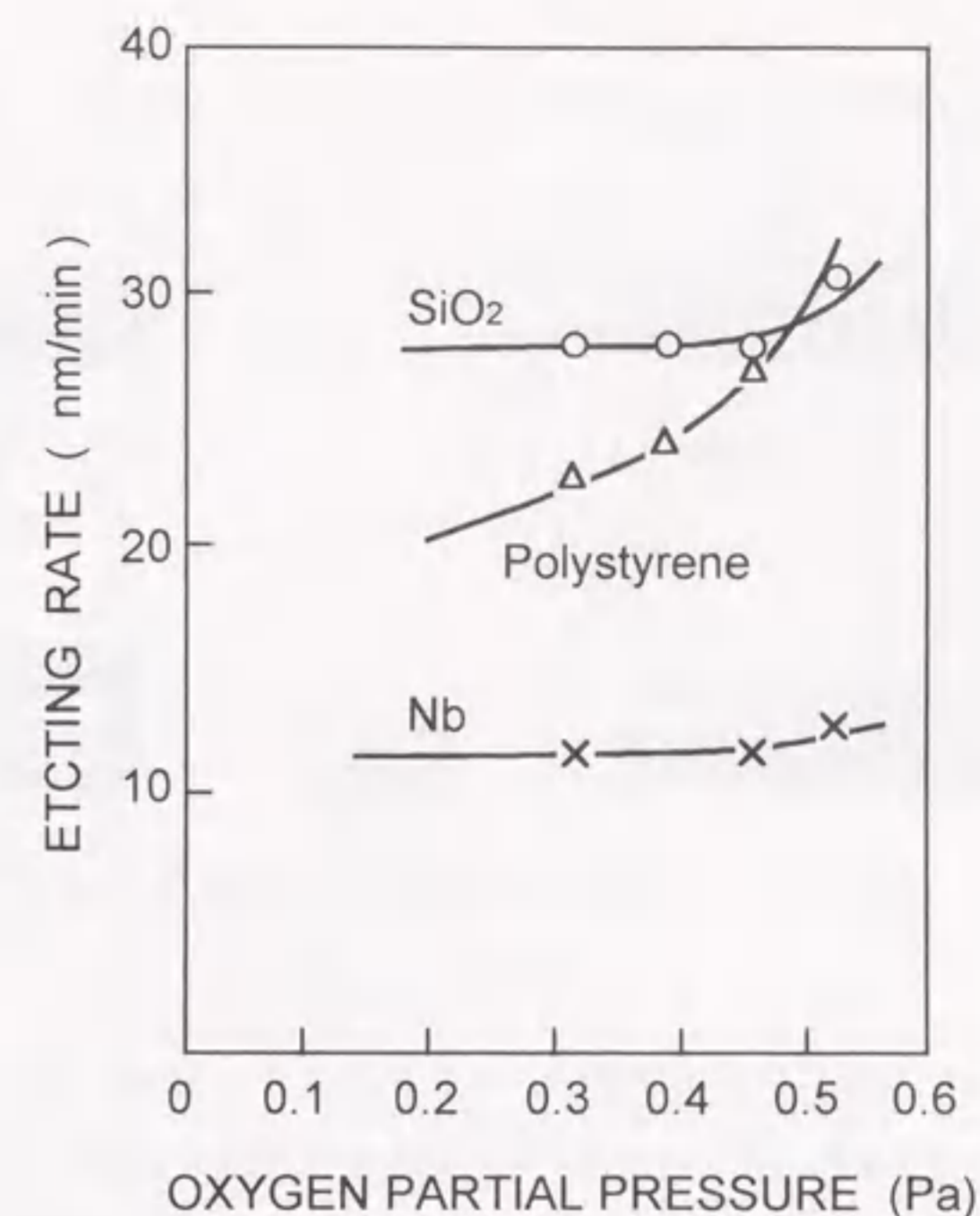


図2-5 エッチング速度の酸素分圧依存性

2.2.2 テーパエッチング技術

下部配線層と上部配線層間のコンタクトホール形成を例として説明する(図2-6)。Nb下部配線層上に膜厚500 nmの SiO_2 層間絶縁層を形成した後、この上にフォトレジストによりコンタクトホールを規定する膜厚1500 nmのステンシルを形成し(a)、窒素雰囲気中の摂氏120度での30分間のベーキングにより、ステンシル側壁部を(b)図のように丸める。コンタクトホールの傾斜(テーパ)の角度は、次に行うRIEのエッチング条件に大きく依存するが、この様にレジストステンシル側壁部を丸めることで、傾斜の角度の小さな(45度以下)コンタクトホールの形成が容易になる。次に、 CHF_3/O_2 混合ガスを用いたRIEによりテーパ形状のコンタクトホールを形成する(c)。コンタクトホールを形成した後、10分間のArスパッタクリーニングを行い、真空を破ることなく連続してNb膜をスパッタ成膜する。その後、RIEによりNb上部配線パターンを形成する(d)。これにより、Nb下部配線層と上部配線層間の超伝導コンタクトを形成することができる。

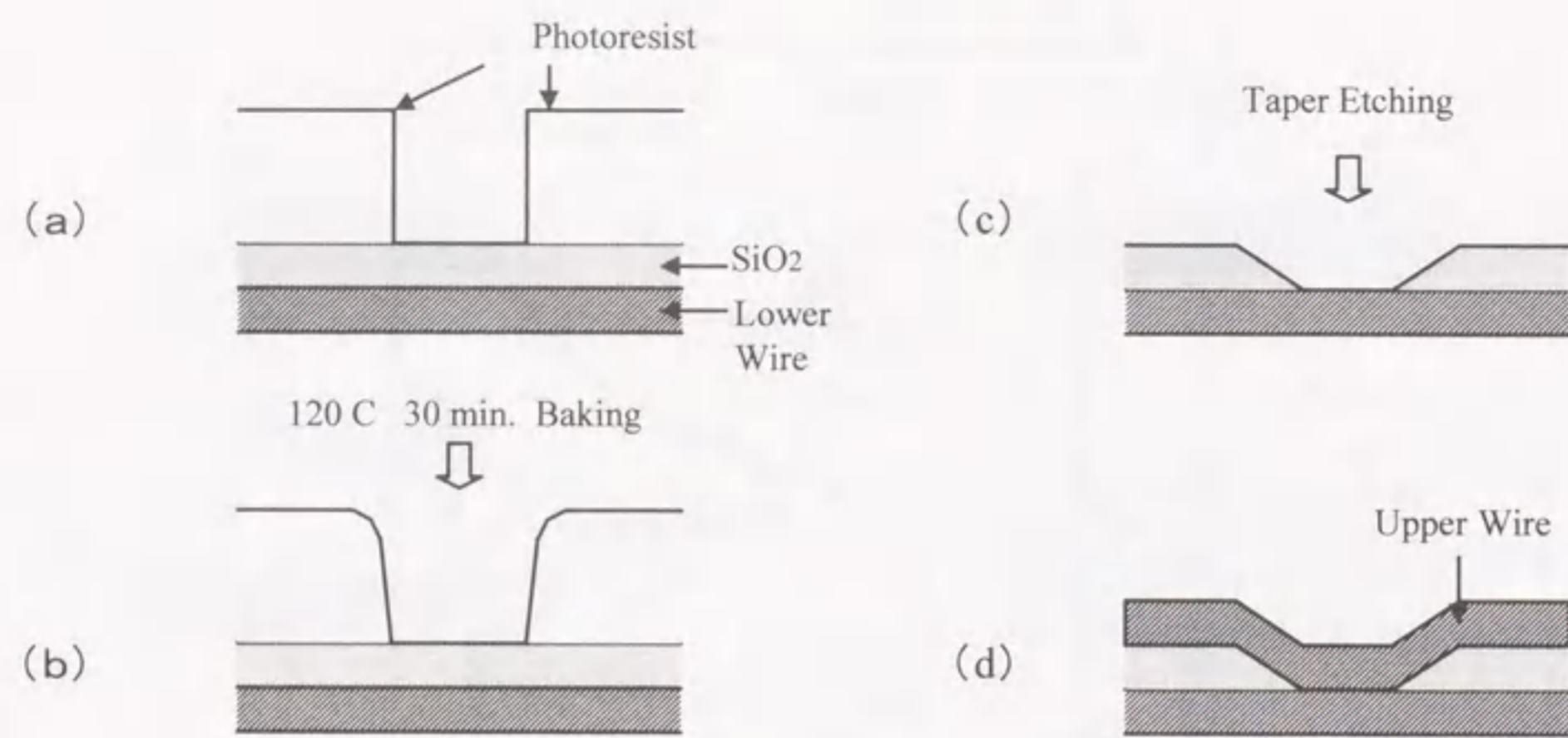


図2-6 コンタクトホールの特パエッチング

図2-7は、CHF₃/O₂混合ガスを用いたRIEによるフォトレジスト、SiO₂、Nbのエッチングレートを示した図である。横軸は、CHF₃ガスに対するO₂ガスの分圧を示し、縦軸はエッチングレートを示す。このときの全ガス圧は3.0 Pa、高周波電力は100 Wである。エッチング基板にはポリプロピレンを用いた。試料は、エッチバックと同様に基盤冷却により間接的に冷却され、エッチング中一定の温度に保たれている。酸素分圧が増加するにつれてフォトレジストのエッチングレートは増加し、反対にSiO₂のエッチングレートは減少している。

テーパの形状は、主に塗布したフォトレジストの膜厚と酸素分圧に依存しており、酸素分圧が増加するにつれて大きなテーパがつくようになる。今回用いた条件は、酸素分圧1.0 Pa (CHF₃: 15 sccm, O₂: 8.3 sccm)で、フォトレジスト及びSiO₂のエッチングレートは共に22 nm/minで、Nbのエッチングレートに比べて約7倍の選択比がとれている。このようにNbに対してエッチングの選択比が十分にとれているため、エッチングの終点検出を容易に行うことができた。このエッチング条件で、約45度のテーパをつけることができた。図2-8に、テーパエッチングにより形成したコンタクトホールの断面SEM写真を示す。これは膜厚500 nmのSiO₂絶縁層に大きさ4 μm角のコンタクトホールを形成した場合のSEM写真で45度以下のテーパ形状が得られていることが解る。

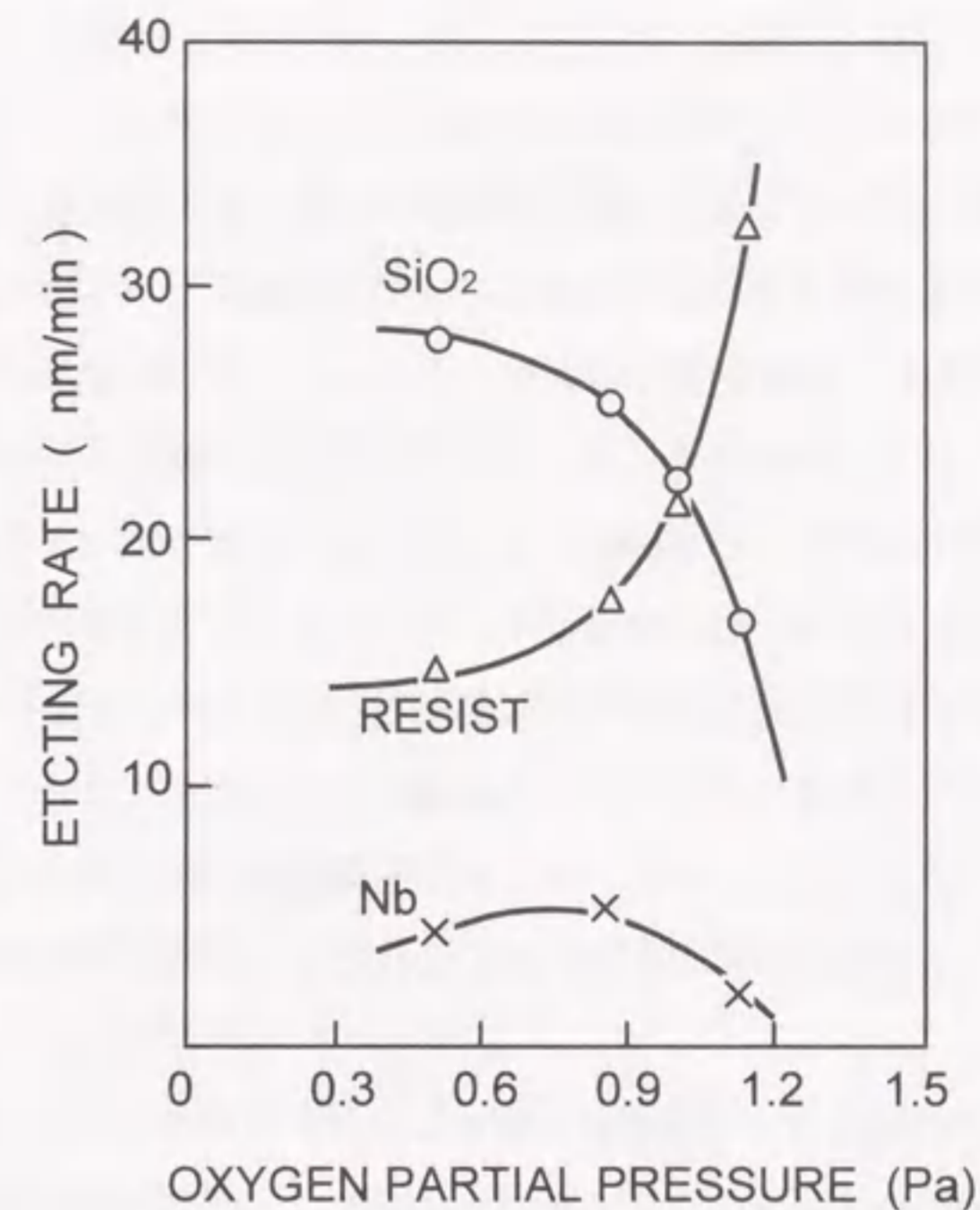


図2-7 エッチング速度の酸素分圧依存性

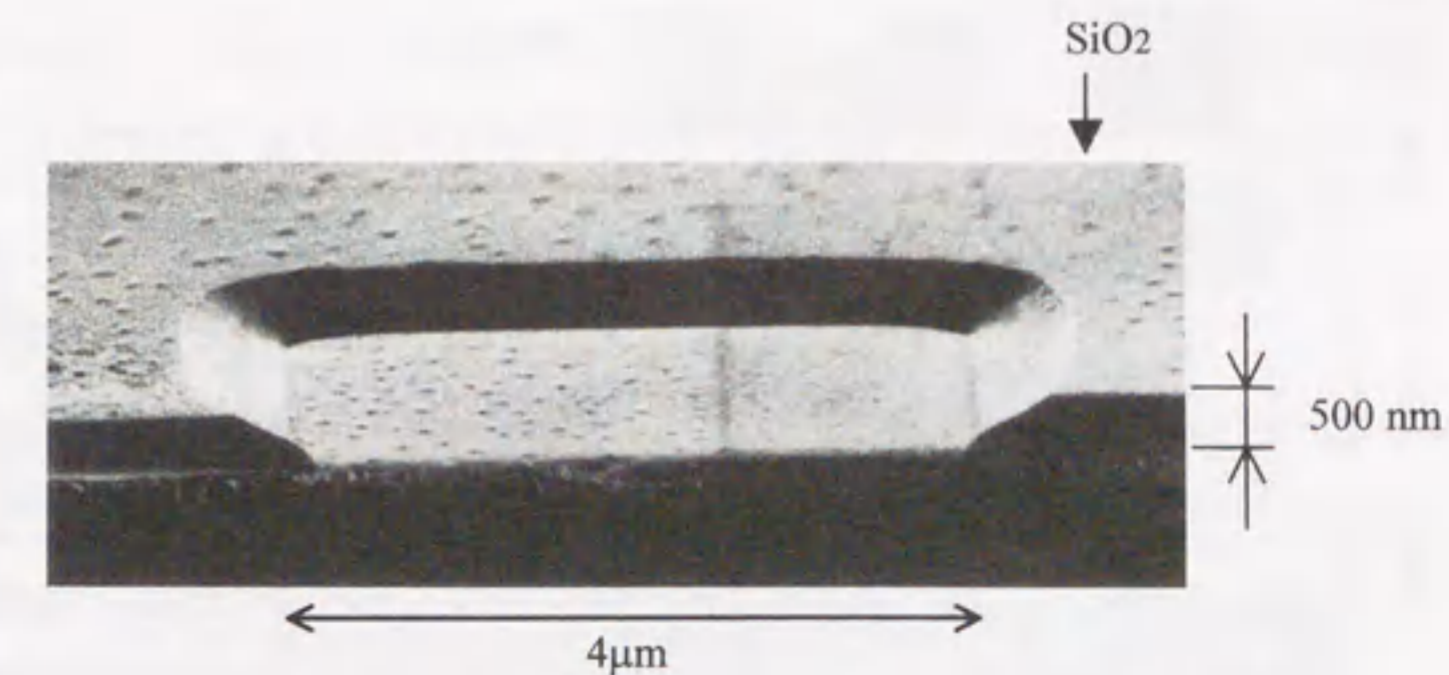


図2-8 コンタクトホールのSEM写真

2.3 1KビットRAMの製造プロセス

2.3.1 デバイス構造

図2-9は、1KRAMのデバイス構造の断面概略図である。Nb接地面上に、3層のNb配線層とNb/AIOx/Nb接合層とMo抵抗層とSiO₂絶縁層とから構成されている。Nb配線層の膜厚は下部配線層及び上部配線層では共に300nm、制御配線層では400nmである。Mo抵抗層の膜厚は、80nmである。SiO₂層間絶縁層の膜厚は、接地面と下部配線間及び上部配線と制御配線間では共に200nm、接合部では500nmである。接合部で500nmと厚くした理由は、記憶セル部で磁気結合型インターフェロメタを使用しているために、下部配線と上部配線から構成される超伝導ループと制御配線との相互インダクタンスを小さな面積で得て記憶セル自体の小型化を計るためである。各配線間のコンタクトは、テーパエッチングにより形成した。このとき形成されたコンタクトホールと配線部及び接合部の段差は、ポリスチレンを用いたエッチバックにより完全に平坦化される。これにより図のような多層膜の完全平坦化構造を実現できる。

なお、1KビットRAMの製造プロセスでは、プロセスパラメータは以下の値を目標としてプロセスを開発した。最小接合サイズ3.0μm角のジョセフソン接合で臨界電流値が0.1mAになるように接合の臨界電流密度は1100A/cm²、シート抵抗は1.5Ω/□と、最小線幅及び最小スペース間隔は1.5μmとした。

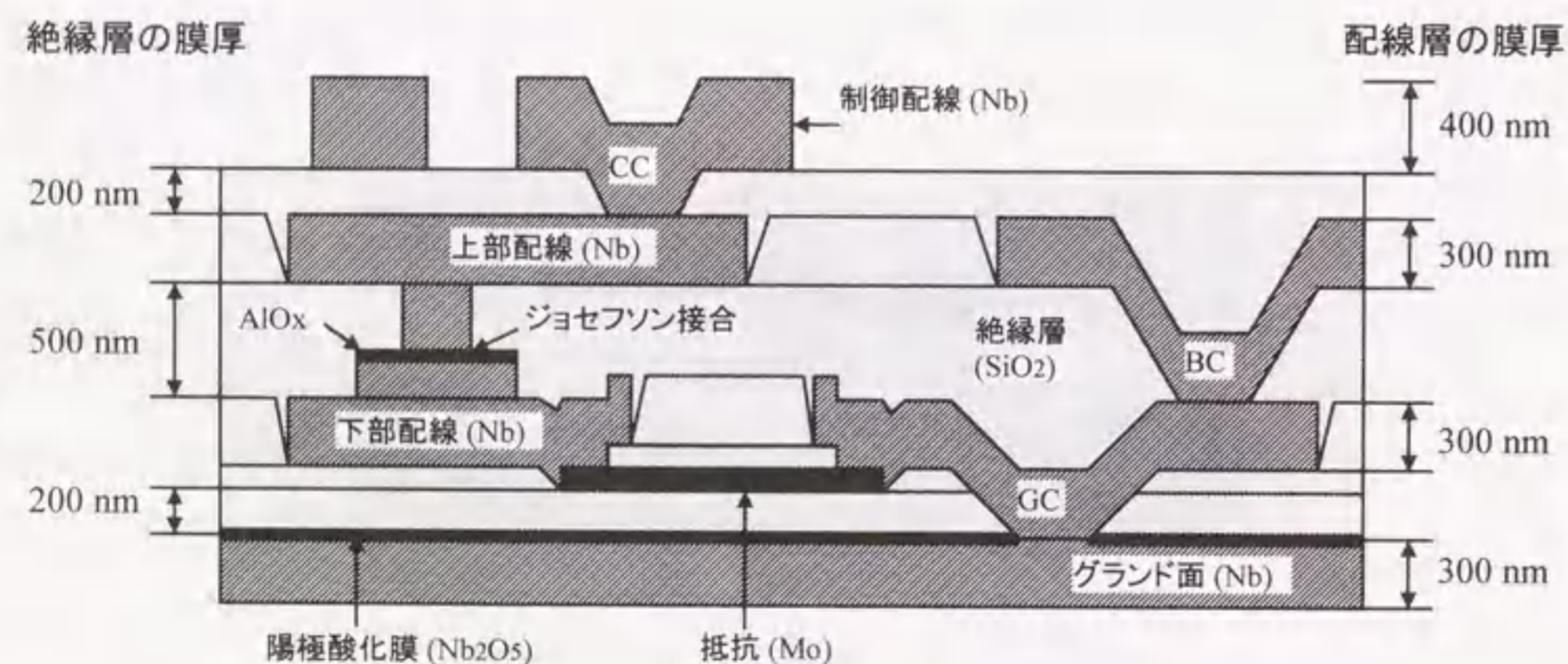


図2-9 1KRAMのデバイス構造の断面概略図

2.3.2 製造プロセス工程

1KビットRAMの製造工程について詳しく述べる。図2-10に1KビットRAMの製造工程の概略図を示す。この工程における全てのNb膜とSiO₂膜及びMo膜は、Arガスを用いたRFマグネトロンスパッタ法により成膜した。また、全てのNb膜は、CF₄ガスを用いたRIEによりエッチングし、パターンを形成した。これらの成膜条件及びエッチング条件を表2-1と表2-2に示す。

- (1) Nb接地面（グラウンド面）の形成（図2-10(a)）
表面を熱酸化した2インチSiウエーハ上に膜厚300nmのNb膜を堆積する。
- (2) 絶縁層（I₁）の形成（図2-10(b)）
Nb接地面の表面をウエーハ全面にわたり陽極酸化して膜厚30nmのNb₂O₅からなる絶縁層（I₁）を形成する。
- (3) Nb接地面（グラウンド面）の加工
RIEによりNb接地面にスクライプラインを形成する。
- (4) 絶縁層（I₂）の形成（図2-10(c)）
膜厚200nmのSiO₂をウエーハ全面に堆積する。
- (5) Mo抵抗層の形成と平坦化（図2-10(d)）
膜厚80nmのMo層を堆積し、SF₆ガスを用いたRIEにより抵抗体パターンを形成する。エッチングの際に用いたフォトリソは除去せず、次に膜厚80nmのSiO₂をウエーハ全面に堆積し、リフトオフにより抵抗層の平坦化を行う。
- (6) 抵抗の保護層の形成（図2-10(e)）
後の工程でRIEによりNb下部配線パターンを形成する際のエッチングに対する抵抗体パターンの保護層として、膜厚60nmのSiO₂パターンをリフトオフにより形成する。
- (7) GCコンタクトの形成（図2-10(f)）
テーパエッチングによりNb接地面へのコンタクトホールを形成する。
- (8) Nb下部配線層の形成と平坦化（図2-10(g)）
膜厚300nmのNb層を堆積し、RIEにより下部配線パターンを形成する。フォトリソは除去せず、膜厚330nmのSiO₂をウエーハ全面に堆積し、リフトオフによりNb下部配線層の平坦化を行う。
- (9) Nb/AIOx/Nb接合層の形成と平坦化（図2-10(h)）

<Nb/AIOx/Nb三層膜の成膜>

Nb下部電極層を膜厚200nm堆積し、十分水冷した後Eガン蒸着によりAl膜を6nm堆積する。接合の臨界電流密度は、Al膜の自然酸化の条件、特に酸素ガス圧に大きく依存

する。臨界電流密度 1100 A/cm^2 を得るために、酸素ガス圧 3.3 Pa で 10 分間の自然酸化を行い Al_2O_3 を成長させる。その後、 Nb 上部電極層を膜厚 350 nm 堆積する。これらの工程は真空を破ることなく連続して行われる。この臨界電流密度は、上記酸素ガス圧に大きく依存するが、その他にも自然酸化時の基板温度や接合のパターン形成時のエッチング条件（特にエッチング中の温度）にも依存するものと考えられる。これらのパラメータを、試作ごとに大きく変動しないように制御することで、現在のところ接合の臨界電流値のウェーハごと（ラン・トゥー・ラン）のバラツキは約 $\pm 15\%$ 以内になっている。

<接合部の形成>

パターニングした後、 RIE により接合部の面積を規定する Nb 上部電極を形成する。続いて上部電極より幅の広いフォトレジストステンスルを用いて、 RIE によりそれぞれ Al と Nb を Ar ガスと CF_4 ガスでエッチングして上部電極よりも一回り大きなトンネル障壁と Nb 下部電極を形成する。

<接合部の平坦化>

膜厚 700 nm の SiO_2 をウェーハ全面に堆積する。次に、 $\text{Nb}/\text{AlOx}/\text{Nb}$ 接合部の上部表面が現れるまでエッチングを行い接合部の平坦化を行う（エッチバック）。

(10) BCコンタクトの形成 (図2-10(i))

テーパエッチングにより下部配線層と上部配線層間のコンタクトホールを形成する。

(11) Nb上部配線層の形成 (図2-10(j))

次に、膜厚 300 nm の Nb 膜を堆積し、 RIE により Nb 上部配線パターンを形成する。この際のフォトレジストは除去せずに、膜厚 330 nm の SiO_2 を堆積してリフトオフにより Nb 上部配線層の平坦化を行う。さらに、膜厚 400 nm の SiO_2 をウェーハ全面に堆積し、先のリフトオフにより生じたパターン側壁部の溝をエッチバックにより完全に埋め込む。

(12) 絶縁層 (I3) の形成 (図2-10(k))

膜厚 200 nm の SiO_2 をウェーハ全面に堆積する。

(13) CCコンタクトの形成 (図2-10(l))

テーパエッチングにより上部配線層と制御配線層間のコンタクトホールを形成する。

(14) Nb制御配線層の形成 (図2-10(m))

膜厚 400 nm の Nb 膜を堆積し、 RIE により Nb 制御配線パターンを形成する。

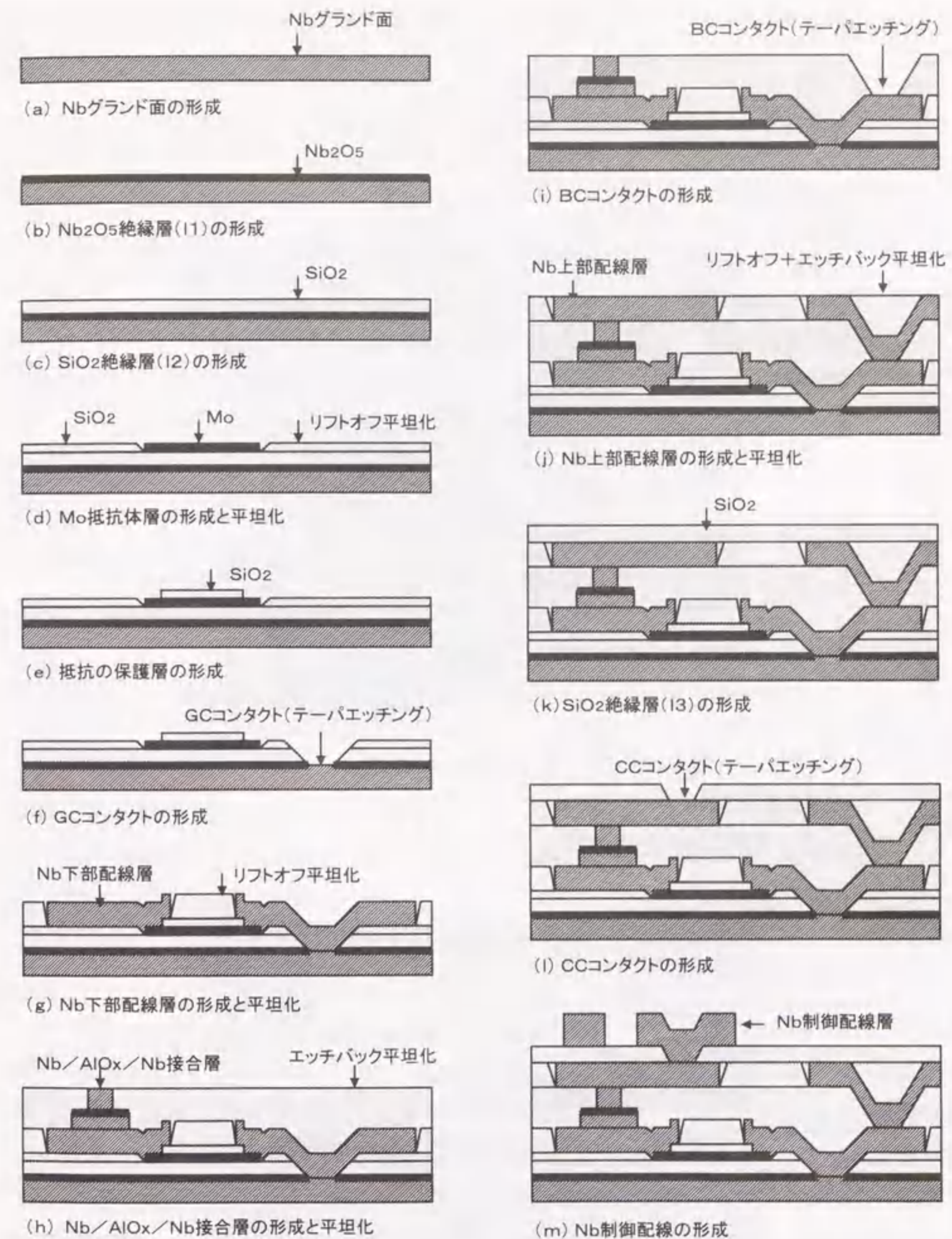


図2-10 1KRAMの製造工程の断面概略図

表2-1 成膜条件

項目	Nb	SiO ₂	Mo
成膜装置	SPF-420HL (アネルバ製)	SPF-530H (アネルバ製)	SPF-530H (アネルバ製)
到達真空度(Pa)	2.0×10^{-5}	1.5×10^{-4}	1.5×10^{-4}
成膜方法	RFスパッタ	RFスパッタ	RFスパッタ
ガス	Ar	Ar	Ar
ガス圧(Pa)	1.33	0.22	0.44
高周波電力(W)	1000	500	500
成膜速度(nm/min)	120	39.3	70

表2-2 エッチング条件

項目	Nb	SiO ₂	Mo
エッチング装置	DEM-451 (アネルバ製)	DEM-451 (アネルバ製)	DEM-451 (アネルバ製)
到達真空度(Pa)	1.0×10^{-4}	1.0×10^{-4}	1.0×10^{-4}
エッチング基板	石英	ポリプロピレン	石英
ガス	CF ₄	CF ₄ 又はCHF ₃	SF ₆
ガス圧(Pa)	5.0	0.22	5.0
高周波電力(W)	100	100	50
エッチング速度(nm/min)	85	28	180

2.3.3 製造プロセスの評価

ここでは、以上述べた多層平坦化プロセスの評価を行うために、SEMによる素子断面の平坦性の観察と1KビットセルアレイTEG回路を用いた配線間の断線やショート及び絶縁耐圧測定を行った。

図2-11は、1KビットRAMの記憶セルの平面SEM写真である。記憶セルの大きさは、65μm角である。非常に平坦性が良いために下部のパターンの段差に起因した上部配線の段差や下部配線等がほとんど見られない。図2-12は、記憶セルの書き込みゲート(3接合SQUID)の断面SEM写真である(図2-11に示したA-B間での断面)。各層での段差は、多層平坦化技術により初期段差の十分の一以下に平坦化することができた。これにより上部配線と

制御配線間のSiO₂層間絶縁層の膜厚は、図のような多層構造にもかかわらず200nmと非常に薄くすることができた。

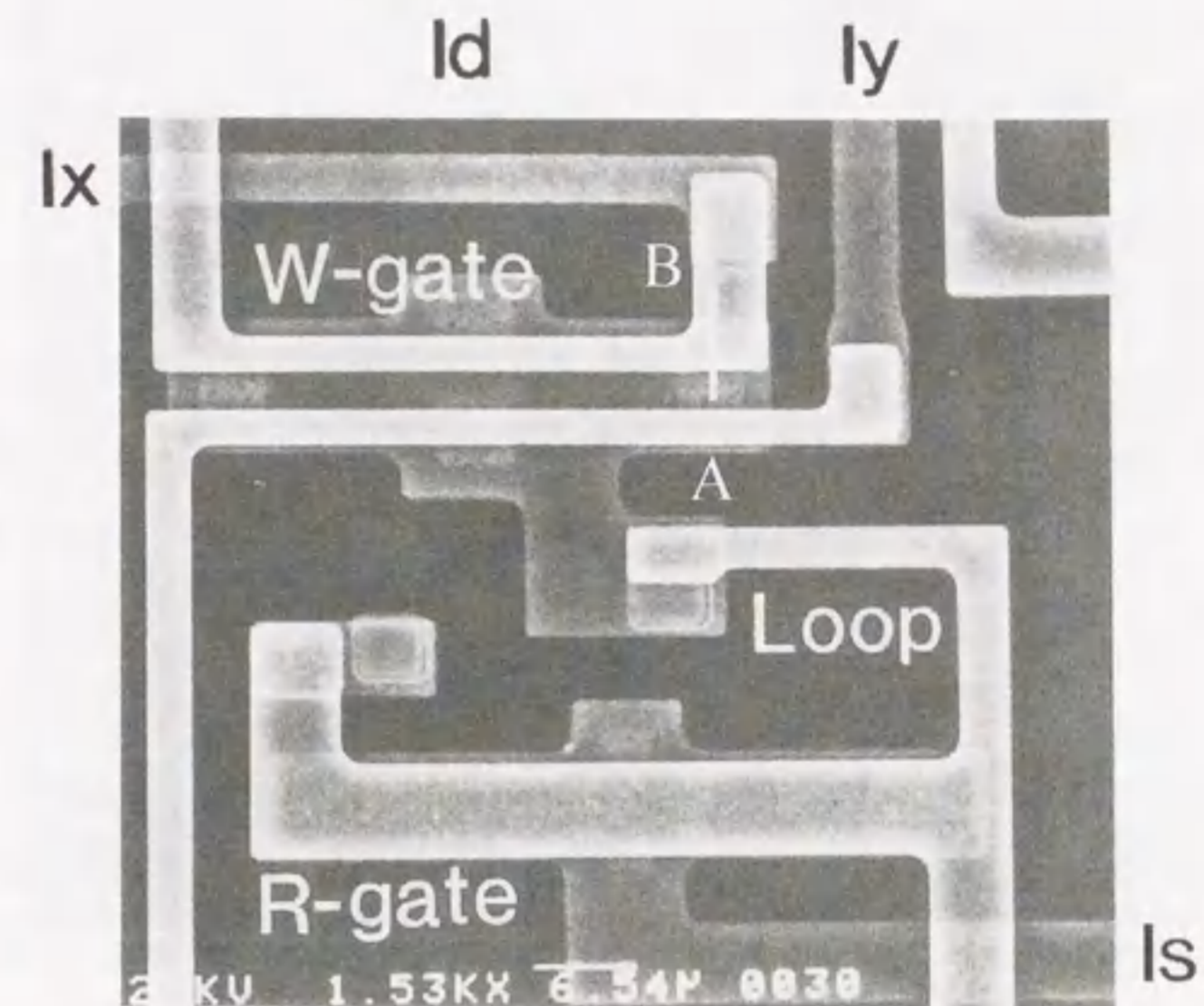


図2-11 1KRAMの記憶セルのSEM写真

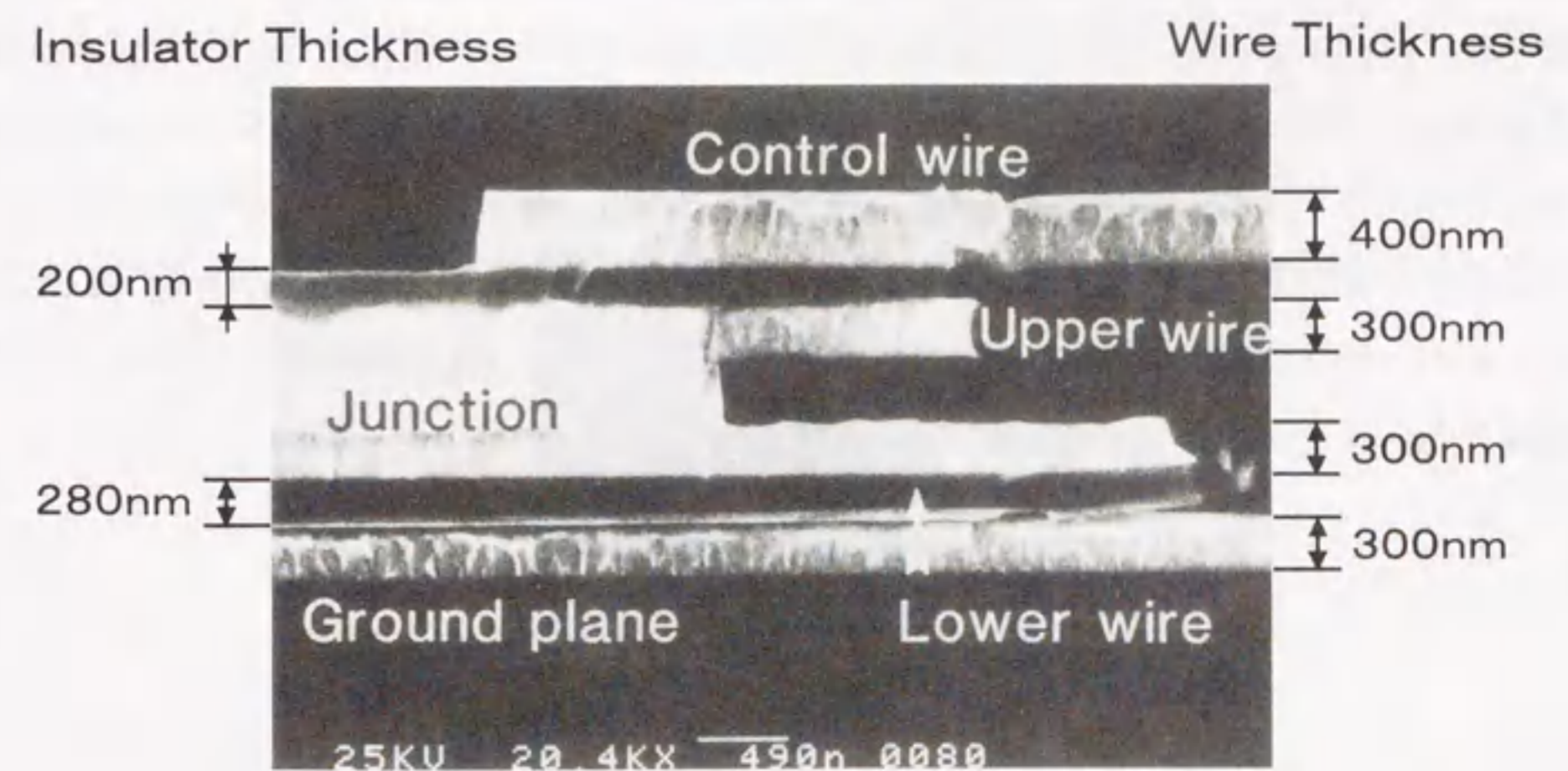


図2-12 1KRAMの記憶セルの書き込みゲート断面SEM写真

次に、配線間の断線やショート及び絶縁耐圧といった電気的な特性を評価した。図2-13に、このための1Kビット記憶セルアレイからなる評価回路の顕微鏡写真を示す。この回路は、実際の1KビットRAMの32行32列の記憶セルアレイ部のみを取り出して、室温プローブで導通試験ができるように各制御配線に図の様に224個のパッドを設けてある。これらの制御配線には、次の4種類の制御配線がある(第3章の図3-7の記憶セルの等価回路図参照)。記憶セルの書き込みゲートと磁気的に結合している2本の制御配線(X線とY線)と、記憶セルループが直列に接続されている制御配線(D線)と、読み出しゲートが直列に接続されている制御配線(S線)がある。これらのパッド間の導通試験を行うことで、1KビットRAMのデバイス構造における各制御配線の断線や配線間のショートを試験することが出来る。試験できるパッド間の組み合わせは、たくさんあるが手動の室温プローブで導通試験を行わなければならないので、配線間のショートに関しては隣接したY線とD線間及びパターン面積の最も大きなD線とグランド面間、14本のX線と14本のY線間のみに限って測定した。断線に関しては、全ての制御配線を測定した。全体で336個所の導通試験を行った。さらに、2インチウエーハ上で任意に抽出した6チップを測定し、計2016箇所の導通試験を行った。その結果、D線に1チップしかも1箇所のみ断線があっただけで、他の2015箇所には全く断線及びショート等は見られなかった。このように、多層平坦化プロセスにより配線の断線及び配線間のショートによる欠陥を殆ど無くすることが出来た。

次に、これらの制御配線間の絶縁耐圧を測定した。制御配線間に6V/秒のランプレートで電圧を印加し、印加した電圧に対するリーク電流をXYプロッタで測定した。リーク電流が急激に増大したときの電圧から絶縁耐圧を求めた。絶縁破壊時の電圧と電流をXYプロッタで読み取り測定した。図2-14は、Y線とD線間の絶縁耐圧の分布を示した図である。Y線とD線は書き込みゲート部で最も接近しており、先に図2-12で示したようにこの間のSiO₂絶縁膜の膜厚は200nm(Upper wireとControl wire間)である。従って、この絶縁耐圧は主にこの間の絶縁耐圧を意味する。33箇所測定したが、40V以上の絶縁耐圧(絶縁破壊電界強度2.0MV/cm)が得られており、この値はパワーバスの電圧が10mV程度であるジョセフソン集積回路を動作させるうえで十分な値である。

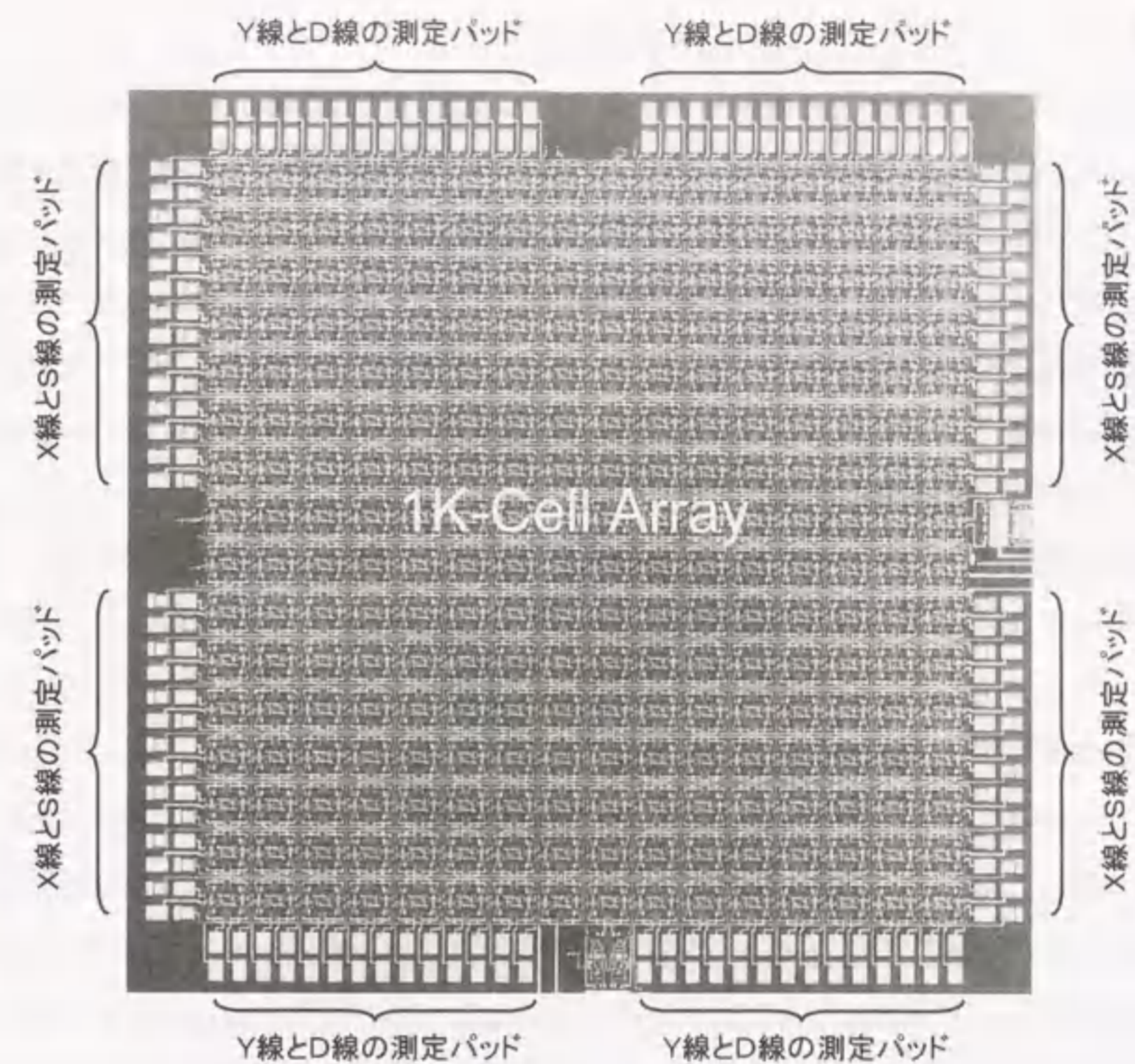


図2-13 1KRAMセルアレイTEG回路のSEM写真

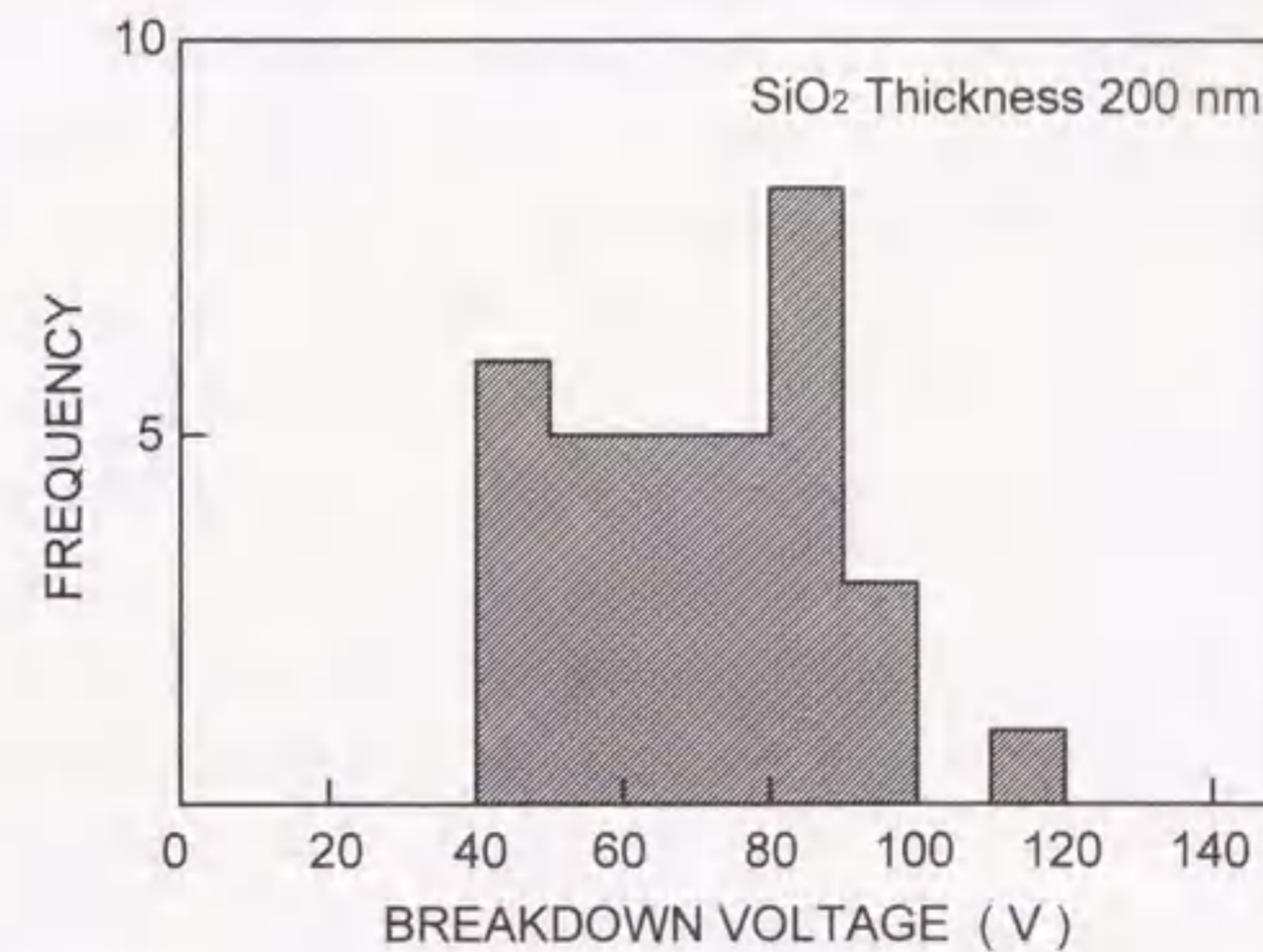


図2-14 1KRAMセルアレイTEG回路のY線とD線間の絶縁耐圧の分布

2.4 結言

従来の鉛合金系製造プロセスに変わるジョセフソン記憶回路のための新しいNb系製造プロセスを開発した。素子表面の凹凸段差に起因した配線の断線や配線間のショートを防ぐために、低分子量ポリスチレンを用いたエッチバック平坦化技術を開発した。配線間のコンタクトを容易に形成するために、テーパエッチング技術を開発した。そして、信頼性の高いNb/AlO_x/Nb接合技術を基に、ポリスチレンを用いたエッチバック平坦化技術により各層で平坦化を行い、多層平坦化構造を実現して3層配線構造を必要とする1KビットRAMの製造プロセスを開発した。1Kビット記憶セルアレイからなる評価回路をこの製造プロセスで試作し、断面SEM写真による平坦性の評価と、室温プローバによる導通試験及び絶縁耐圧試験の結果から、この新しく開発したNb系製造プロセスがジョセフソン1KビットRAMを開発する上で十分な信頼性のある製造プロセスであることを確認した。今後、記憶回路の大容量化に伴い、ここで述べた多層平坦化構造を実現する製造プロセスはますます重要になると考えられる。

なお、先にも記したがこのNb系製造プロセスは、当面するジョセフソン1KビットRAMの開発を目的に開発したものであり、後に開発する4KビットRAM及び16KビットRAM等の製造プロセスとは全く同じではない。しかし、これらの製造プロセスも本章で述べたNb系製造プロセス技術とデバイス構造を基本にして、それぞれのRAMの設計方針に基づいて変更又は改善を行ったものである。製造プロセス上のこれら変更点は、それぞれの章に記載した。

参考文献

- [1] J. Sone, T. Yoshida, and H. Abe, "Resistor coupled Josephson logic," *Applied Physics Letters*, vol. 40, pp. 741-744, 1982.
- [2] J. Sone, T. Yoshida, H. Abe, "A high-speed four-bit full adder with a resistor coupled Josephson logic," *IEEE Electron Devices Lett.*, vol. EDL-4, pp. 428-429, Dec. 1983.
- [3] J. Sone, J. S. Tsai, and H. Abe, "A 280-ps Josephson 4-bit × 4-bit parallel multiplier," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 5, pp. 1056-1060, Oct. 1985.
- [4] Y. Wada, M. Hidaka, S. Nagasawa, I. Ishida, "AC- and DC-powered subnanosecond 1-kbit Josephson cache memory design," *IEEE J. Solid-State Circuits*, vol. 23, no. 4, pp. 923-932, Aug. 1988.
- [5] Y. Wada, S. Nagasawa, I. Ishida, "280-ps 6-bit RCJL decoder using high-drivability and unit circuit for a 1-kbit Josephson cache memory," vol. SC-22, no. 5, pp. 892-898, Oct. 1987.
- [6] J. H. Greiner et al., "Fabrication process for Josephson integrated circuits," *IBM J. Res. Develop.*, vol. 24, no. 2, pp. 195-205, Mar. 1980.
- [7] H. A. Huggins and M. Gurvitch, "Preparation and characteristics of Nb/Al-oxide-Nb Josephson junctions," *J. Appl. Phys.*, vol. 67, p. 2103, 1985.
- [8] S. Nagasawa, H. Tsuge, and Y. Wada, "Planarization technology for Josephson integrated circuits," *IEEE Electron device letters*, vol. 9, no. 8, pp. 414-416, Aug. 1988.
- [9] S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida and S. Tahara, "Nb multilayer planarization technology for a subnanosecond Josephson 1K-bit RAM," *IEEE Trans. Magn.*, vol. 25, no. 2, pp. 777-782, Mar. 1989.
- [10] H. Gokan, M. Mukainaru, and N. Endo, "A uniform polymer coating technique for an etch back planarization process using low molecular polymers," *J. Electrochem. Soc.*, vol. 135, pp. 1019-1021, April 1988.
- [11] I. Ishida, S. Tahara, Y. Ajisawa, and Y. Wada, "Lift-off planarization process for Josephson IC multilevel interconnections," *Extended Abstracts of the 19th SSDM*, pp. 443-446, 1987.
- [12] T. Inoue, M. Hidaka, and S. Nagasawa, "End-point detection method in etch-back planarization process for Josephson integrated circuits," *Japanese J. Appl. Phys.*, vol. 30, No. 2A, pp. L192-L194, Feb. 1991.

第3章 1KビットRAMの動作実証

3.1 はじめに

ジョセフソン1KビットRAMの開発に於いては、第1に従来使用してきた鉛合金系プロセス技術に変わる新しいNb系プロセスの開発（これについては第2章に記した）と、第2にこのNb系プロセスにより試作した1KビットRAMの動作実証及び動作実証に必要なとされるジョセフソン記憶回路の測定評価方法の確立を目的とした[1, 2]。従って、本章ではジョセフソン記憶回路のための測定評価方法と、この評価方法による1KビットRAMの測定評価を中心に述べる。

以下、3.2節ではジョセフソン記憶回路の測定技術について述べる。3.3節で1KビットRAMの構成について簡単に述べる。3.4節では、要素回路の動作評価について述べ、3.5節で1KビットRAMの動作評価について述べる。3.6節で結言を述べる。

3.2 ジョセフソン記憶回路の測定技術

ジョセフソン記憶回路及びその基本ゲート回路や記憶セルの機能試験を行うためにジョセフソンメモリテストシステムを開発した。ジョセフソン記憶回路も機能的には半導体の記憶回路と同じ動作を行う。従って、原理的にはジョセフソン記憶回路の動作の測定には、半導体の記憶回路の測定に用いるLSIメモリテストを使用することが出来る。しかし、次の様な半導体素子とは本質的に異なった幾つかの相違点がある。まず、半導体は室温で動作するが、ジョセフソン記憶回路は4.2Kという極低温の液体ヘリウム中で動作する。半導体のバイアス電源が直流であるのに対して、ジョセフソン記憶回路では交流のクロック信号そのものをバイアス電源として使用する。さらに、半導体の記憶回路が数Vの電圧で動作するのに対してジョセフソン記憶回路は数mVという僅かな電圧で動作する。この様な相違点があるため、半導体用のLSIメモリテストを使用するにあたってはインターフェイスなど幾つかの工夫を行う必要がある。

図3-1に、この様なインターフェイスを考慮して作製したジョセフソンメモリテストシステムの概略図を示す。LSIメモリテスト、液体ヘリウムデューワー、磁気シールド、チップホルダー、ノイズフィルター、減衰器、増幅器、パルスジェネレータ等で構成されている。LSIメモリテストによりプログラムされた試験パルスパターンを発生し、ノイズフィルターと減衰器を通して入力波形と電流レベルを調整して測定チップに入力する。このLSIメモリテストの出力電圧は、50Ω負荷に対して最大1.5Vであるため、1KビットRAMのバイアス電源のように数100mAの矩形波の電流が必要な場合には、数台のパルスジェネレータにLSIメモリテストからトリガをかけて同期させて使用した。測定チップからの出力信号は、差動増幅器で100

倍以上に増幅されLSIメモリテスト内のコンパレータで検出される。試験パルスパターンの振幅は、LSIメモリテストのプログラムにより自動的に制御される。コンパレータで検出された出力結果は、ラインプリンタに出力される。これらの装置とサンプルホルダー間は、同軸ケーブルで接続し、ケーブル間や外部からのノイズ等が極力入らないように注意した。この測定システムでは、数10KHzの低周波での機能試験を主目的としたため、全ての入力信号には、2000pF以上のキャパシタンスから成るフィルターを通して、入力パルス信号の立ち上がり時のオーバーシュートや同軸ケーブルを介しての高周波ノイズ等を完全にカットした。

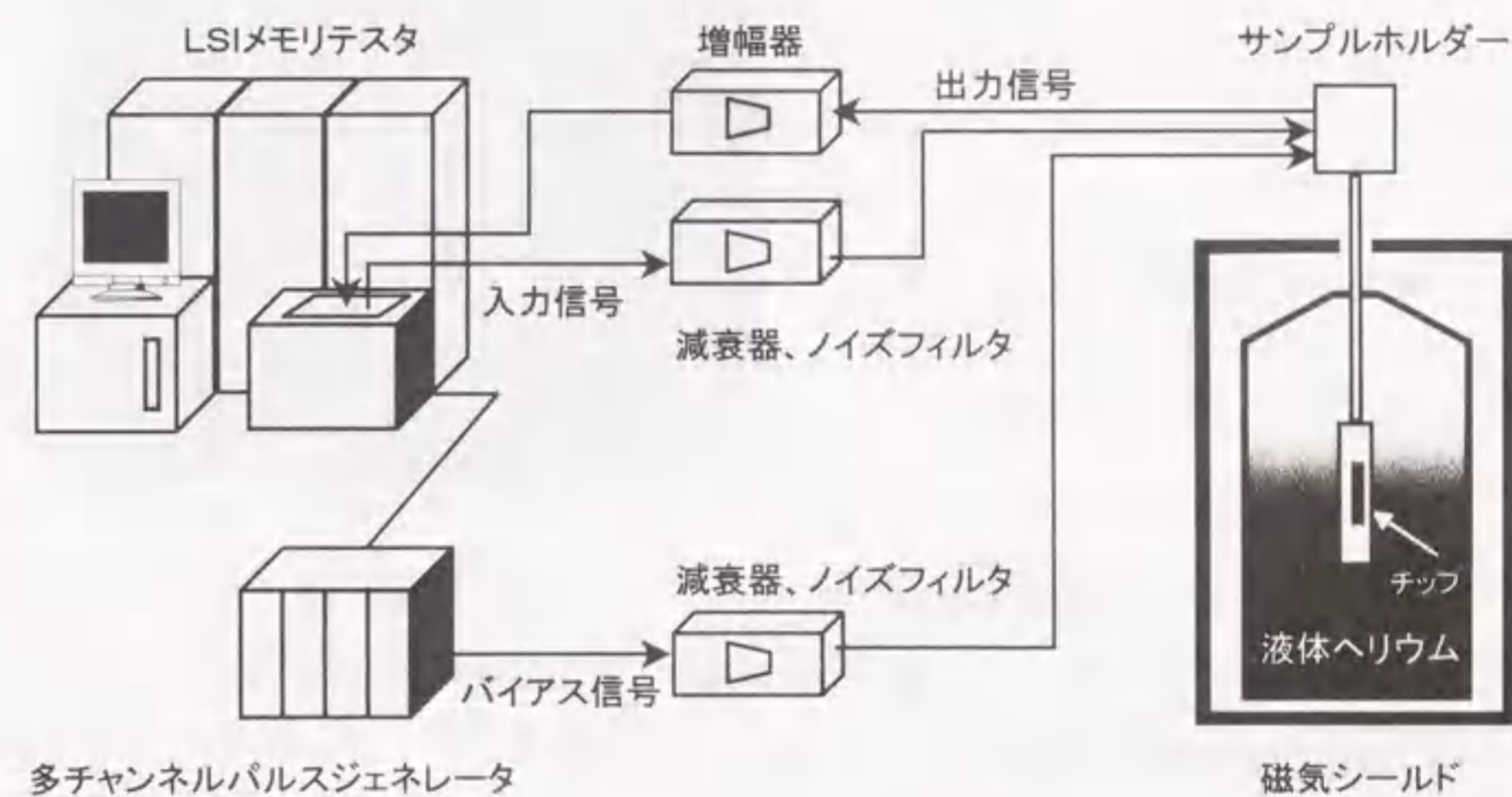


図3-1 ジョセフソンメモリテストシステム

ジョセフソン記憶回路は、磁場に対して非常に高感度であり、誤動作の原因になるため磁気シールドを用いている。図3-2は、この磁気シールドの写真である。これは、3重のパーマロイからなる磁気シールドで、内部に直径50cm高さ1m程度の液体ヘリウムデューワーを入れることができる。上部には3重のパーマロイの蓋ができる様になっているが、測定治具を上部から挿入できるように中心部に直径約10cmの穴が開いている。この磁気シールドにより、磁気シールドの底から上に約10cmから50cm程度の狭い範囲でのみ水平方向の残留磁場を最小値20μG程度にすることが出来る。

図3-3にサンプルホルダーの概略図を示す。評価チップを取り付ける先端のプリント基板部と、このプリント基板に接続された44本の同軸ケーブルを内包するエポキシガラス又はベークライトから成る支柱部と、上部のコネクタボックス部から構成されている。プリント基板は、厚さ100μmのエポキシ板の両面に厚さ50μmのBeCuが接着されており、片面をグランド面

図3-2 磁気シールド

3重のパーマロイで作製されている。



としてインピーダンス50Ωの44本のマイクロストリップ線路が形成されている。このマイクロストリップ線路の一端が同軸ケーブルにハンダ付けされ、他端がパッドになるようにプリント基板から先端部を浮かせてバネ性を持たせてある。このパッド部にフェイスダウンでチップを圧着して取り付ける。チップと直接接するサンプルホルダー先端部は、特に注意を払って全て非磁性材料で作製した。この圧着方式のサンプルホルダーは、要素回路や1KビットRAMなど多くの評価チップの測定に用いた。第4章の4KビットRAMでも、初期の測定には使用したがピン数の増大に伴って接触不良がしばしば生じたため、セラミックパッケージとワイヤーボンディングを用いた新しいサンプルホルダーを作製した。これについては、後ほど第4章で説明する。

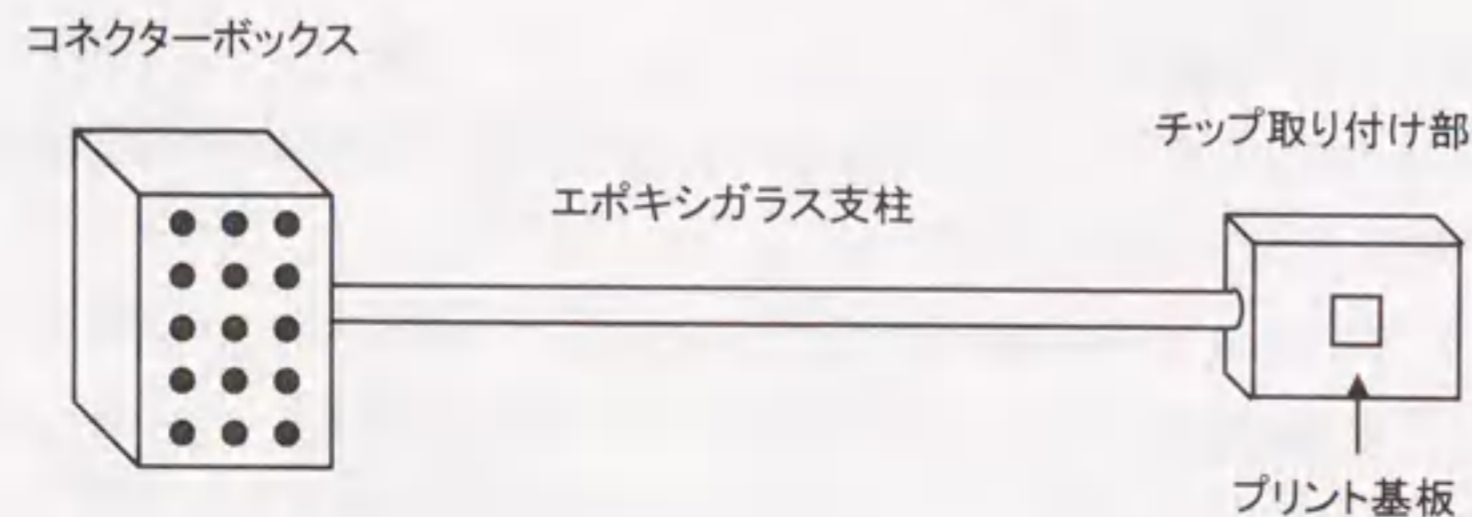


図3-3 サンプルホルダーの構成図

次に、ジョセフソン記憶回路を評価するための試験パルスパターンについて説明する。記憶回路の動作を評価するためには、アドレス信号、データ信号、読み出し/書き込み信号（以後R/Wと略す）等の入力信号に対して逐次出力を期待値と比較し、不良を検出する。Nビットの記憶回路には、 2^N のデータの状態があり、加えてアドレス、データ、R/Wの論理状態を加えると無限に近い試験パターンが存在する。現実には、あらゆる状態を組み合わせた試験パターンにより試験を行うことは不可能である。そのため、効率的に記憶回路を試験するために、マーチング、ギャロピング、ウォーキングといった幾つかのテストパターンが提案されている[3]。ここでは、半導体のメモリの試験にも最も一般的に使用されているマーチングテストパターンを用いた。

図3-4にマーチングのシーケンスを示す。まず、全ての記憶セルに“0”を書き込み、その後あるビットの記憶セルの“0”を読み出し、続いてそのビットに“1”を書き込むという動作を最初のビットの記憶セルから最後のビットの記憶セルまで繰り返し、次にあるビットの記憶セルの“1”を読み出し、続いてそのビットに“0”を書き込むという動作を最後のビットの記憶セルから最初のビットの記憶セルまで繰り返し行うというシーケンスをさらにデータを反転して行う。この試験パターンは、デコーダ回路の誤動作によるアドレス系の不良、記憶セルとセンス回路の不良、及び読み出し動作の次にすぐ書き込み動作を行うため書き込み動作の影響といった検出に有効であるという特徴がある。一般のマーチングのシーケンスでは、あるアドレスに対して読み出し、書き込み、読み出し（RWR）というシーケンスを行うが、ここではジョセフソン記憶回路の被破壊読み出し動作を確認するために、読み出しを2回続けて行う図のようなRRWというシーケンスを用いた。このマーチングパターンに対してフェイルビットマップの測定を行った。

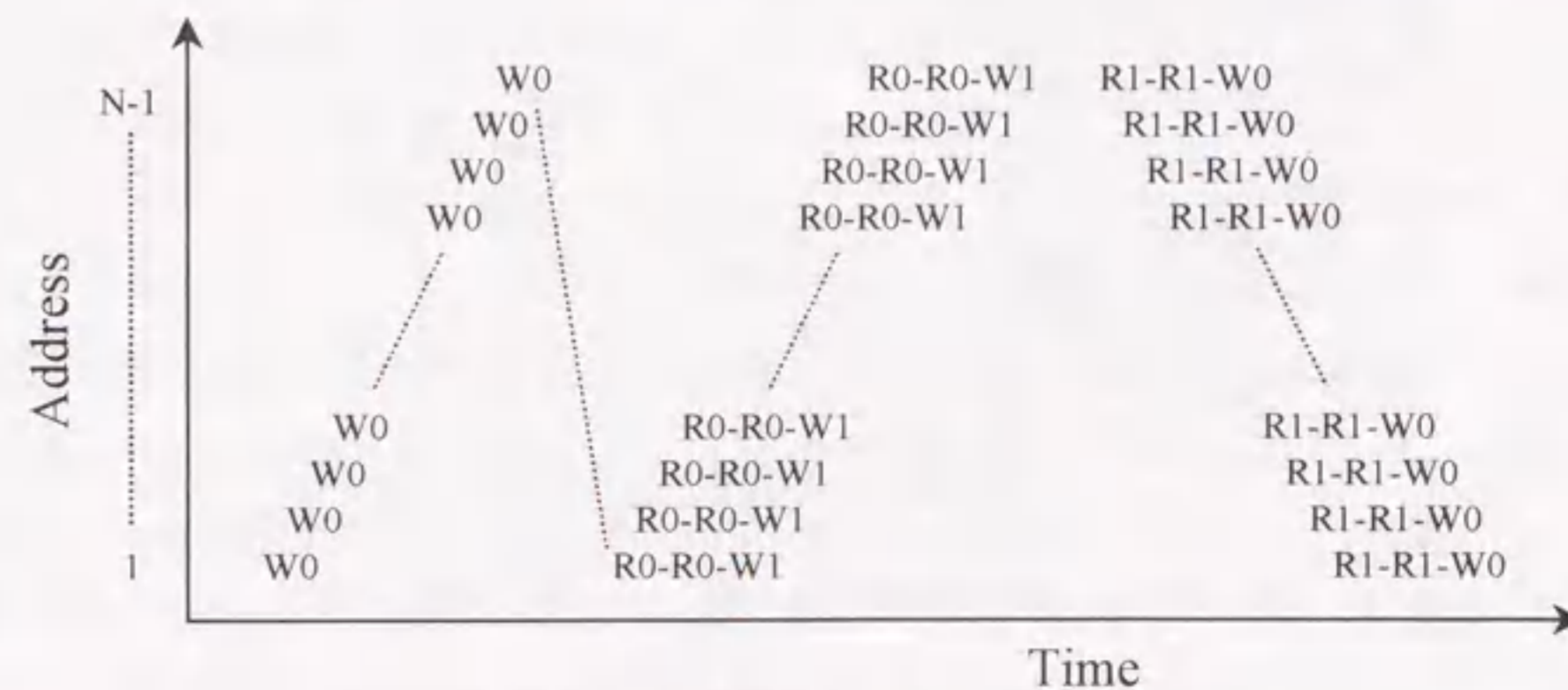


図3-4 マーチングのシーケンス

W0: データ“0”の書き込み、W1: データ“1”の書き込み、R0: 読み出し(期待値“0”)、R1: 読み出し(期待値“1”)

これらの測定は、数10KHzの低周波での記憶回路の完全な機能試験を目的とした。アクセス時間の測定方法は3.5.3節で、高周波クロックでの測定評価については第6章で詳しく述べる。

3.3 1KビットRAMの構成

1KビットRAMは、当初鉛合金プロセスを念頭に於いて設計された。この回路設計は、文献[4]に詳しく記されているので、ここでは構成を簡単に説明するに留める。

図3-5に示したように1KRAMは、32×32ビットのメモリセルアレイと周辺回路から構成されている。周辺回路は、X、Yデコーダ回路とX、Yドライバ回路とセンス回路及びX、Y、Dリセット回路とから構成されている。これらの周辺回路の基本ゲートとして抵抗結合型論理回路(RCJL)が用いられている。X、Yデコーダ回路には、それぞれ6個否定回路(NOT)が含まれている。否定回路は、アドレス信号と読み出し/書き込み信号(R/W)の補信号を発生する。このため外部からXとYのそれぞれ5ビットのアドレス信号及びR/W信号、データ信号、リセット信号、タイミング信号をチップに加えることでRAMを動作させることができる。図3-5に示したように、周辺回路への給電は各部の動作を評価するために幾つかの電源線路から供給されている。

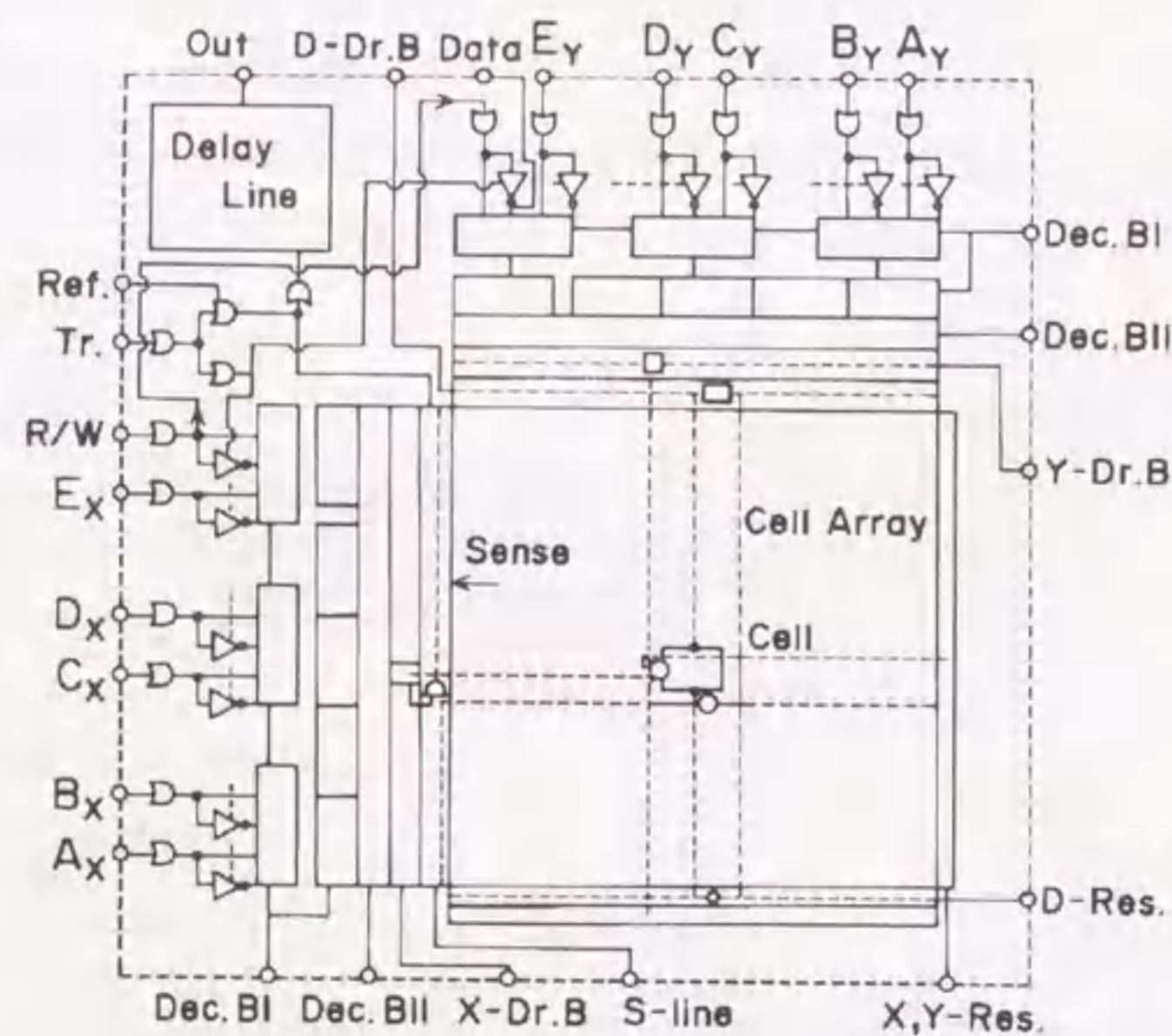


図3-5 ジョセフソン1KビットRAMのブロック構成図

アドレス信号(Ax,Bx,Cx,Dx,Ex,Ay,By,Cy,Dy,Ey)、データ信号(Data)、R/W信号(R/W)、タイミング信号(Tr.)
リセット信号(X,Y-Res.)、バイアス電源(Dec.BI, Dec.BII, X-Dr.B, Y-Dr.B, S-line)、出力信号(Out)

鉛合金プロセスに対応した設計からNb系製造プロセスに対応した設計への主な変更点は、デバイス構造の違いに起因したレイアウト設計の変更にある。特に、多層の平坦化構造により絶縁層の厚さが大きく変わるため、以前の鉛合金プロセスに対応したレイアウトパターンではインダクタンスの値が大きく変化する。このため、インダクタンスの値が重要になる記憶セルのレイアウトパターンは、新しいデバイス構造に合わせてほとんど変更した。加えて、鉛合金接合のギャップ電圧は、2.6mVであるが、Nb/AlOx/Nb接合のギャップ電圧は2.8mVと少し大きくなっているため、動作電流レベル(バイアス電流や入出力電流レベル)を同じにするためにバイアス抵抗や負荷抵抗の値を約1.08倍に大きくした。

3.4 要素回路の動作評価

1KビットRAMの機能試験に先立って、RAMで使用されている幾つかの回路定数と基本ゲート及び記憶セルを測定評価した。これらの評価用の回路は、1KビットRAMチップと同一ウェーハ上の評価チップ上に設けられている。

3.4.1 回路定数

接合特性は、接合を200個直列に接続した回路の電流電圧特性から評価した。接合の臨界電流密度は、 $1030\text{A}/\text{cm}^2$ と測定され、ほぼ設計値 $1100\text{A}/\text{cm}^2$ を実現することができた。この臨界電流密度 $1100\text{A}/\text{cm}^2$ は、 $3\mu\text{m}$ 角の最小接合で臨界電流値0.1mAが得られるように設定した。ここで、最小接合サイズを $3\mu\text{m}$ 角にした根拠は、製造プロセス技術に起因しており、この時用いた1KビットRAMの製造プロセス技術では臨界電流値の標準偏差 σ が3~4%以下の接合を実現するためには、接合サイズを $3\mu\text{m}$ 角以上にする必要があった。1KRAMでは約1万個のジョセフソン接合を使用するが、標準偏差 σ が3~4%という値は1万個の内99.7%のジョセフソン接合の臨界電流値が $\pm 10\%$ (3σ)以内に収まるということに対応する。また、最小接合の臨界電流値を0.1mAに設定した理由は、4.2Kの熱ノイズを十分に許容できる動作電流レベルにするためである(詳しくは、付録Aに記した)。接合の標準偏差(接合の臨界電流値のバラツキの程度を示す値)とVm(接合の臨界電流値とサブギャップ抵抗の積)は、それぞれ面積 $7.9\mu\text{m} \times 7.5\mu\text{m}$ の接合では2.5%、43mV、面積 $4.0\mu\text{m} \times 4.0\mu\text{m}$ の接合では3.8%、40mVであった。抵抗は、2つのMoの評価パターン($10\mu\text{m} \times 40\mu\text{m}$ 、 $2.5\mu\text{m} \times 100\mu\text{m}$)を4端子法で測定することにより評価した。測定したシート抵抗値は、1.2~1.3 Ω であり、設計値(1.2 Ω)とほぼ一致した。

3.4.2 ゲート回路

記憶セルの書き込みゲートと読み出しゲート、周辺回路で使用するAND-OR-BUFゲート、OR-BUFゲート、NOTゲート等の基本ゲート回路を測定評価した。

書き込みゲートは、2本のコントロール配線を有する対称型3接合SQUID（量子干渉計）から構成されている。読み出しゲートは、1本のコントロール配線を有する対称型3接合SQUIDから構成されている。図3-6は、コントロール電流とバイアス電流に対する記憶セルの書き込みゲート（a）と読み出しゲート（b）のしきい値特性を測定したシュムプロット図である。この図では、電圧状態の領域がドットでプロットされている。コントロール配線とSQUIDのループとの間の相互インダクタンス（M）、しきい値特性の1周期に対するコントロール電流値（ I_{cp} ）を用いて関係式（ $M \cdot I_{cp} = 2\Phi_0$ ）より評価することができる。図よりこの周期に対するコントロール電流値は、書き込みゲートでは3.40mA、読み出しゲートでは1.95mAであることが解る。従って、相互インダクタンス（M）は、書き込みゲートでは1.12pH、読み出しゲートでは2.12pHと求まる。これらの測定値は、設計値の約90%の値である。

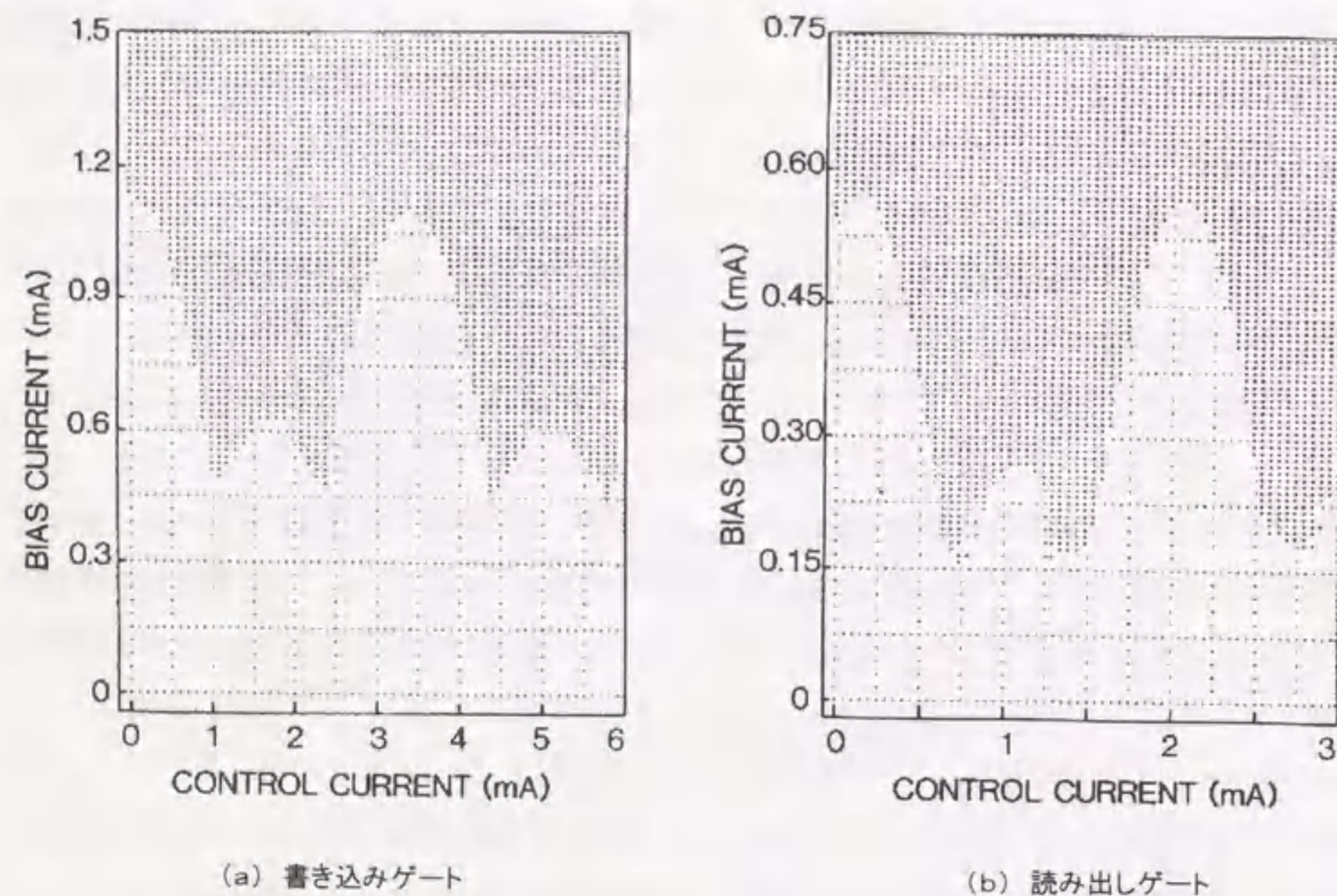


図3-6 記憶セルの書き込みゲート(a)と読み出しゲート(b)のしきい値特性を測定したシュムプロット図

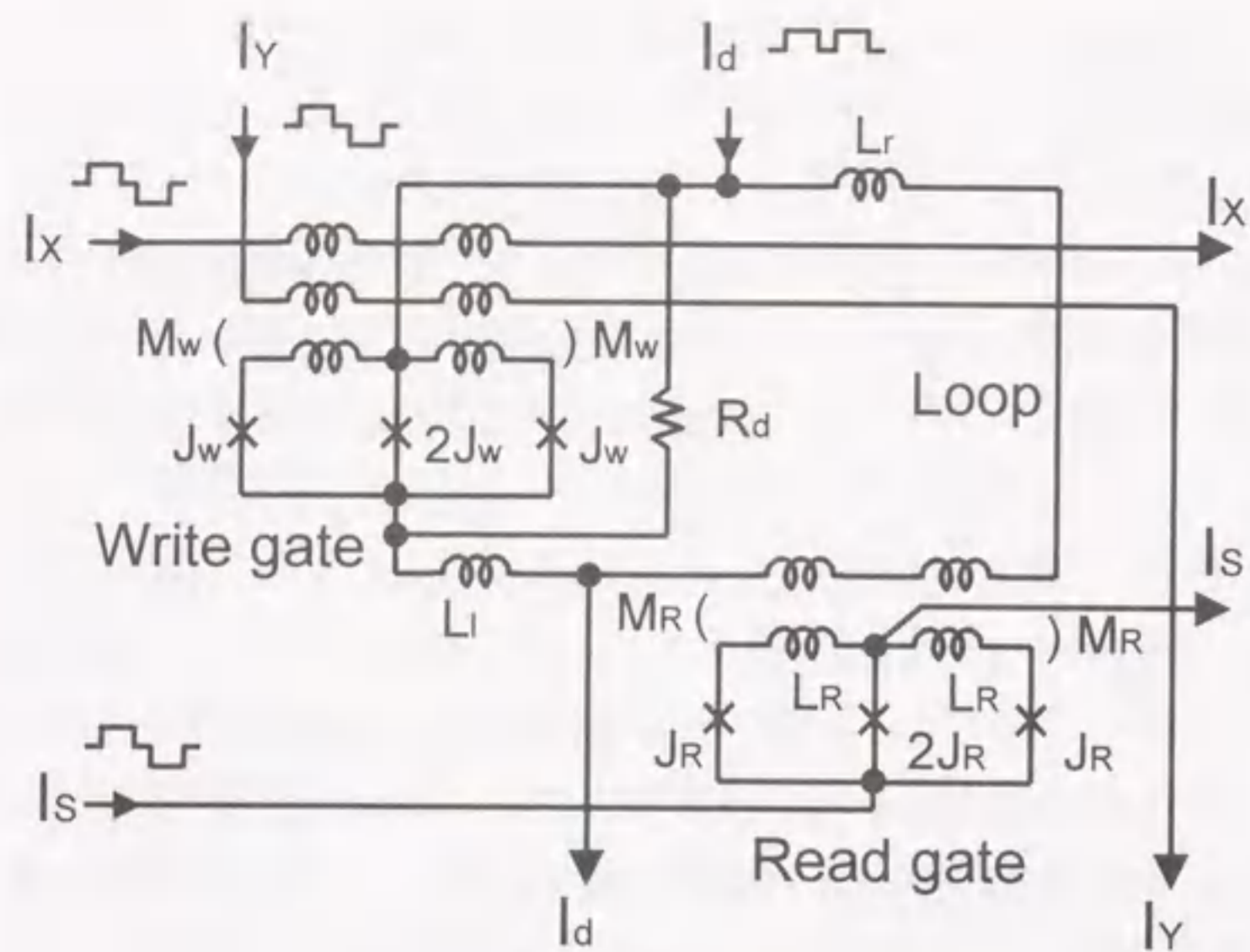
また、ゲートが電圧状態にスイッチできる最小のバイアス電流値（これをフロアポイントと定義する）は、書き込みゲートではかなり高くなっている。これは、書き込みゲートのループのインダクタンスが設計値に比べて大きくなっているためと考えられる。

AND-OR-BUFゲート、OR-BUFゲート、NOTゲート等の基本ゲート回路の動作特性は、文献[4]に詳しく記したので、ここでは今回の試作における動作マージンの測定結果だけを示す。OR-BUFゲートのバイアス電流に対する動作マージンは、 $\pm 3.3\%$ であった。AND-OR-BUFゲートの動作マージンは、バイアス電流に対して $\pm 2.9\%$ 、入力電流に対して $\pm 4.6\%$ であった。これらの値はほぼ設計値どおりの値である。一方、NOTゲートの動作マージンは、バイアス電流と入力電流に対してそれぞれ $\pm 2.3\%$ であった。この値は設計値（ $\pm 2.9\%$ ）に比べて少し小さくなってしまった。動作マージンの設計値は、回路の準静的な動作解析から求めた。この準静的な動作解析では、ジョセフソン接合を単に臨界電流値以上の入力電流により超伝導状態から高抵抗状態に移る単なるスイッチと見なすことでキルイホッフの法則を適用して、バイアス電流と入力信号電流に対する正常動作領域を求めている。従って、この準静的な動作領域にはジョセフソン接合の動的な効果（例えば、ジョセフソン接合が電圧状態に移った時のACジョセフソン効果など）は考慮されていないが、NOT回路ではこの動的な効果の影響が大きいため測定した動作マージンが設計値に比べてかなり小さくなってしまったものと考えられる。なぜなら、NOT回路ではジョセフソン接合が直列に接続された構成で、この上下のジョセフソン接合のどちらか一方のみが電圧状態にスイッチし、他方のジョセフソン接合は超伝導状態を維持することが正常動作の基本である。このような動作では、一方のジョセフソン接合がスイッチした際の動的な影響により他方のジョセフソン接合が電圧状態にスイッチするという誤動作が発生しやすいため動作領域を小さくしていると考えられる。

3.4.3 記憶セル

1KビットRAMの記憶セルは、3接合SQUIDからなる書き込みゲートと、この書き込みゲートを含んだ超伝導ループと、この超伝導ループに磁気的に結合した3接合SQUIDからなる読み出しゲートとダンピング抵抗とから構成される。基本的な構成は、IBMのW.H. Henkelsらが提案している記憶セル[5]とほぼ同じであるが、両極性の交流電源で動作させるために、読み出しゲートには対称な3接合SQUIDを採用した。図3-7に、この記憶セルの等価回路とSEM写真を示す。回路定数の設計値を併せて図中に記した。セルサイズは、 $6.5\mu\text{m}$ 角である。

記憶セルの機能動作は、データ電流（ I_d ）とセンス電流（ I_s ）とコントロール電流（ I_x 、 I_y ）を入力して測定した。記憶セルの動作領域を評価するために、幾つかの入力パルスパターンを記憶セルに加えて試験を行った。



$Ll = Lr = 8.3 \text{ pH}$, $Rd = 2 \Omega$, $Lw = 0.69 \text{ pH}$, $Mw = 0.62 \text{ pH}$, $Lr = 1.43 \text{ pH}$, $MR = 1.23 \text{ pH}$, $I_{0W} = 0.3 \text{ mA}$, $I_{0R} = 0.15 \text{ mA}$ (I_{0W} , I_{0R} : critical currents of Jw , Jr)

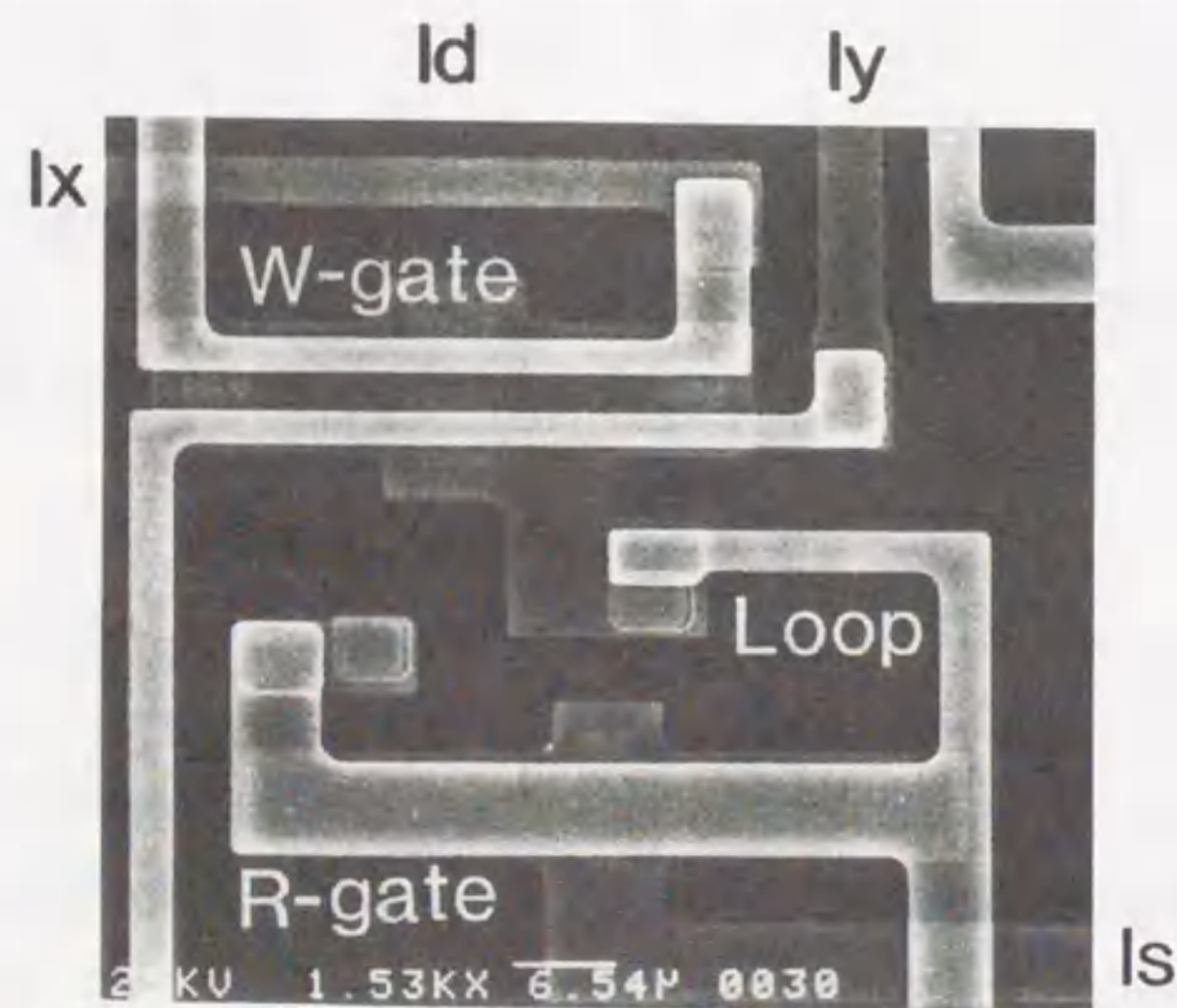


図3-7 記憶セルの等価回路図とSEM写真
サイズ: $65 \mu\text{m} \times 65 \mu\text{m}$

図3-8 (a)、(b)、(c)、(d)は、それぞれ入力パルスパターン: $\{0W, R, R\}$ 、 $\{1W, R, R\}$ 、 $\{1W, 0W, R, R\}$ 、 $\{1W, R, R, 0W, R, R\}$ に対して測定された動作領域を示すシムプロット図である。ここで、0Wはデータ“0”の書き込み動作を、1Wはデータ“1”の書き込み動作を、Rは読み出し動作を示す。データ“1”は、データ電流 (I_d) とコントロール電流 (I_x , I_y) を記憶セルに入力することにより書き込まれる。ここで、データ電流 (I_d) は、コントロール電流 (I_x , I_y) の立ち下がりよりも遅く零に立ち下げる必要がある。データ“0”は、コントロール電流 (I_x , I_y) のみを記憶セルに入力することにより書き込まれる。書き込まれたデータは、データ電流 (I_d) とセンス電流 (I_s) を記憶セルに入力することにより読み出される。ここで、読み出しにデータ電流 (I_d) が加えられているが、この理由はこの記憶セルではデータ電流に列方向 (Y方向) の選択信号としての役割も付加させていることにある。従って、RAMを構成した時には行方向 (X方向) の選択信号としての役割も有するセンス電流 (I_s) と列方向 (Y方向) の選択信号としての役割も有するデータ電流 (I_d) により選択された記憶セルの読み出しが行われる。“1”と“0”の書き込み (W) の後、読み出し (R) を2回行っているのは、記憶セルの被破壊読み出し動作を確認するためである。図では、データ電流とセンス電流に対する記憶セルの動作領域がドット印でプロットされている。図3-8 (a) の曲線Aは、“0”書き込みにより記憶セルの超伝導ループに磁束が蓄えられていない時のデータ電流 (I_d) に対する読み出し動作時の読み出しゲートのしきい値特性を示す。“1”書き込みにより記憶セルの超伝導ループに幾つかの磁束量子が蓄えられている時は、磁束の量子化現象に起因して段階状のしきい値特性を示すようになり、図3-8 (b) の測定結果に良く現れている。しきい値曲線Aは、超伝導ループに蓄えられた磁束量子の数が1個、2個、3個に対応して、それぞれ点線で示された曲線B、C、Dに移動する。ここで、同じセンス電流値 (I_s) に対して、蓄えられた磁束量子1個に対応するデータ電流 (I_d) のシフト量 $I_d(\Phi_0)$ は、次の関係式で表すことができる。

$$(Ll/L) \cdot I_d(\Phi_0) = I_{cir}(\Phi_0) \quad (1)$$

ここで、 L は超伝導ループのインダクタンスであり、超伝導ループの左と右の分枝のインダクタンスをそれぞれ Ll と Lr で表すと、 $L = Ll + Lr$ である。 $I_{cir}(\Phi_0)$ は、磁束量子1個保持するために超伝導ループに流れる電流値である。超伝導ループに対する磁束の量子化条件から $I_{cir}(\Phi_0)$ は、

$$I_{cir}(\Phi_0) = \Phi_0 / L \quad (2)$$

と表すことができる。式 (1) と (2) より、

$$Ll = \Phi_0 / I_d(\Phi_0) \quad (3)$$

図3-8 (b) より $I_d(\Phi_0) = 0.196 \text{ mA}$ であることが解る。 Ll は (3) 式より

10.6 pHと求められる。この値は、設計値(8.3 pH)よりも少し大きな値である。さらに、図3-8(b)より書き込み動作時にn個の磁束量子を書き込むのに必要な最小のデータ電流値($I_d(n)$)を評価することができる。ここで、nは、整数を表す。図では $I_d(n)$ は、垂直の点線で示されている。 $I_d(n)$ と $I_d(n+1)$ の間のデータ電流値では、n個の磁束量子を蓄えることが可能である。 $I_d(n)$ は、次の関係式により表すことができる。

$$(L_r/L) \cdot I_d(n) \cdot L = n\Phi_0 \quad (4)$$

(4)式より

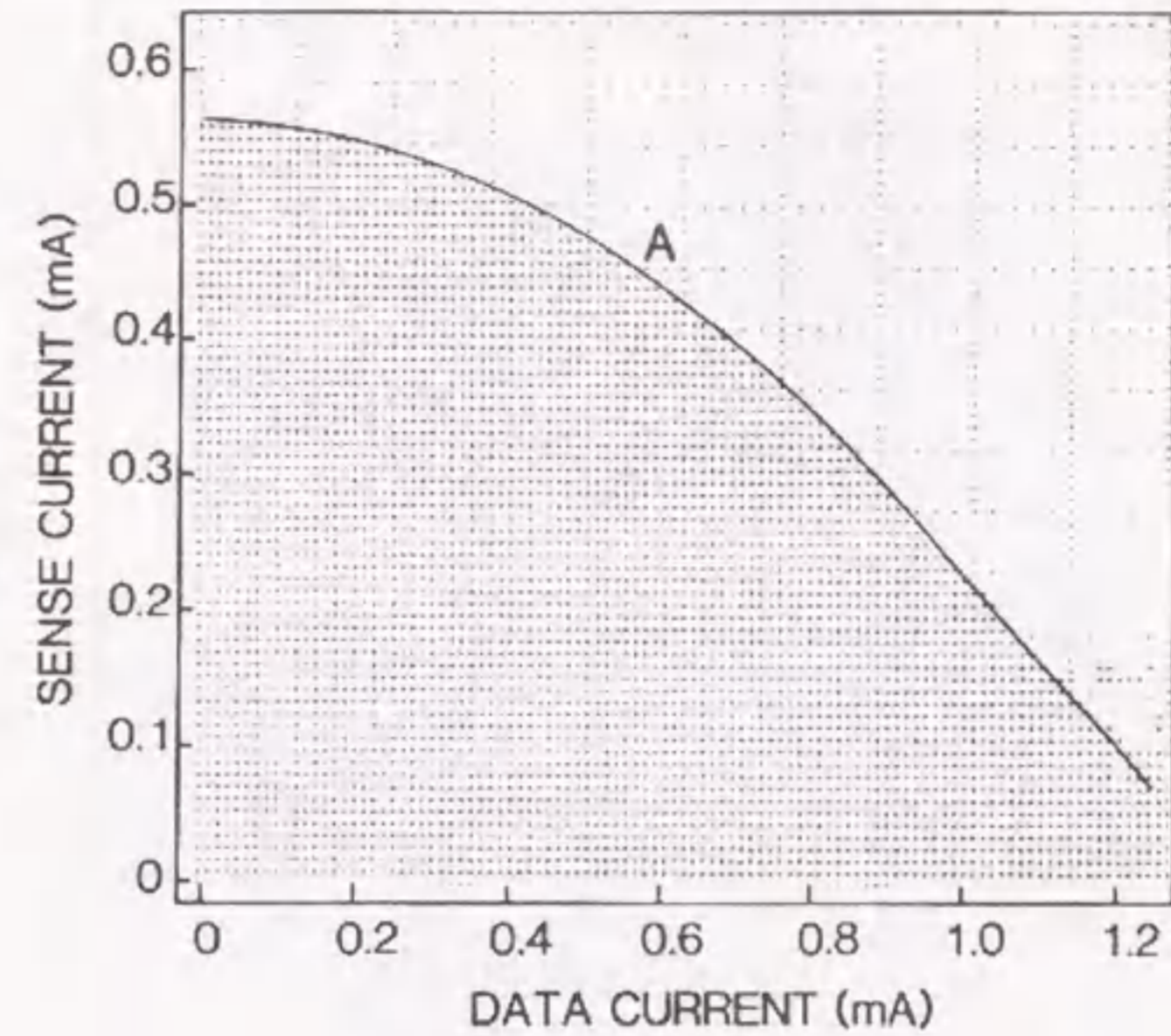
$$L_r = n\Phi_0 / I_d(n) \quad (5)$$

図3-8(b)より $I_d(1) = 0.243$ mAであることが解るので、 L_r は(5)式より8.52 pHと求められる。この値は、設計値(8.3 pH)と良く一致している。

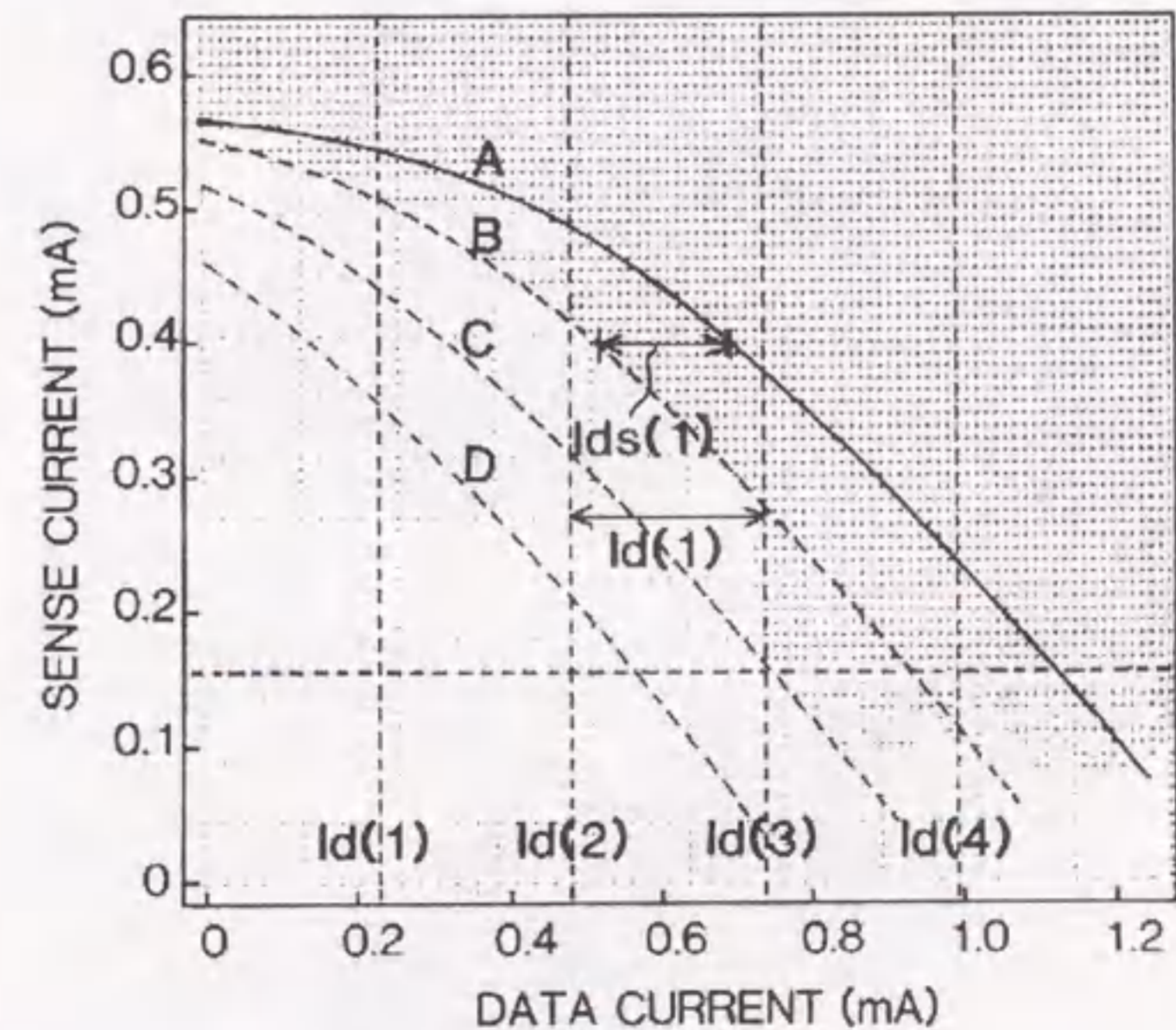
従って、超伝導ループのインダクタンス(L)は、19.1 pHとなり、(2)式を使って1個の磁束量子に対するループ電流 $I_{cir}(\Phi_0)$ は、0.11 mAと計算される。この値は、設計値(0.125 mA)よりも少し小さな値である。図で水平の点線は、読み出しゲートのしきい値特性(図3-6(b))から求めた値で、読み出しゲートが電圧状態に転移するセンス電流(I_s)の最小値を示す。

図3-8(c)は、“1”書き込みの後の{0W, R, R}動作に対する動作領域のシュムプロット図である。図3-8(a)と比較して、超伝導ループに数個の磁束量子が蓄えられている記憶セルに対して“0”書き込みがデータ電流の全領域に渡って行われていないことが解る。2個の磁束量子が蓄えられている $I_d(2)$ と $I_d(3)$ の領域では、“0”書き込みが全く行われていない。“0”書き込みの動作時には、蓄えられたループ電流だけが書き込みゲートのバイアス電流として流れる。先に述べた様に、今回の試作では書き込みゲートのフロアポイントが設計値に比べてかなり高くなったため、2個以下の磁束量子に対応するループ電流では書き込みゲートが正常に電圧状態に転移しなくなっていると考えられる。さらに、 $I_d(3)$ と $I_d(4)$ の領域では、読み出しゲートのしきい値特性が一部点線で示された曲線Eまで移動している。これは、“0”書き込み動作により反対方向に流れる電流が超伝導ループに蓄えられたことを意味する。この現象は、書き込みゲートがアンダーダンピングの状態で作ると生じることが、回路解析プログラム(ECAP)を用いたコンピュータシミュレーションにより確かめられた。

図3-8(d)は、{1W, R, R, 0W, R, R}動作に対する動作領域のシュムプロット図である。この動作領域は、先に記した図(a)、(b)、(c)に対する考察から理解することが出来る。実際、図(d)は、図(b)の動作領域と図(c)の動作領域の積の領域となっている。

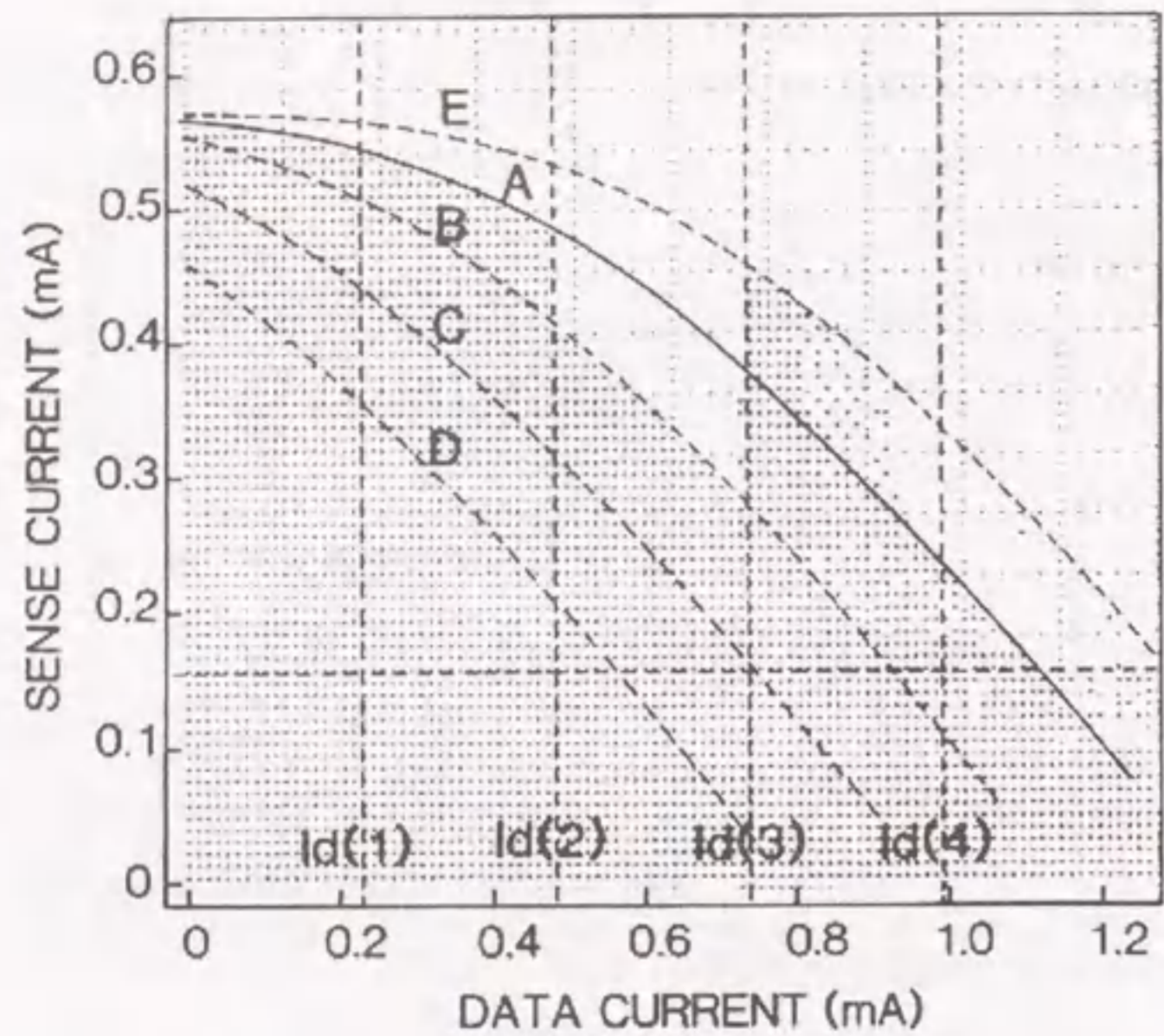


(a) {"0"W, R, R}に対する動作領域

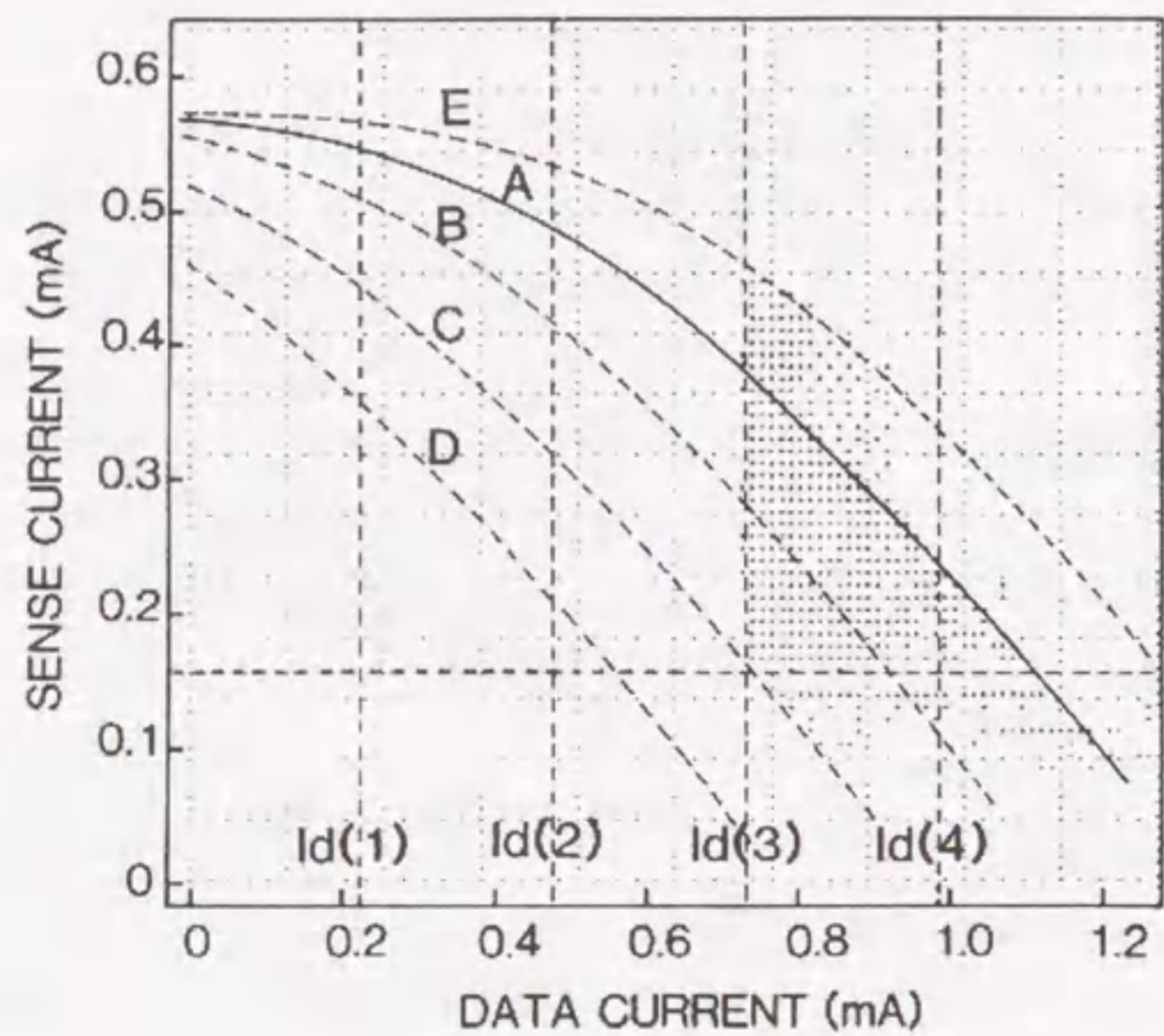


(b) {"1"W, R, R}に対する動作領域

図3-8 記憶セルの機能試験



(c) {1W, 0W, R, R}に対する動作領域



(d) {1W, R, R, 0W, R, R}に対する動作領域

図3-8 記憶セルの機能試験

図3-9は、図3-8 (d)と同じ{1W, R, R, 0W, R, R}動作に対して、コントロール電流 (I_x, I_y) を変化させて測定した3次元シュムプロット図である。正常動作に必要な最小のコントロール電流値 ($I_x + I_y$) が、図では数値で表されている。以上述べてきた回路定数の設計値からのずれにもかかわらず、データ電流 (I_d) とセンス電流 (I_s) に対して $\pm 1.8\%$ の動作マージン (図で、長方形で囲んだ動作領域、データ電流 (I_d) : 0.7mA~1.0mA、センス電流 (I_s) : 0.16mA~0.23mA) を得ることができた。

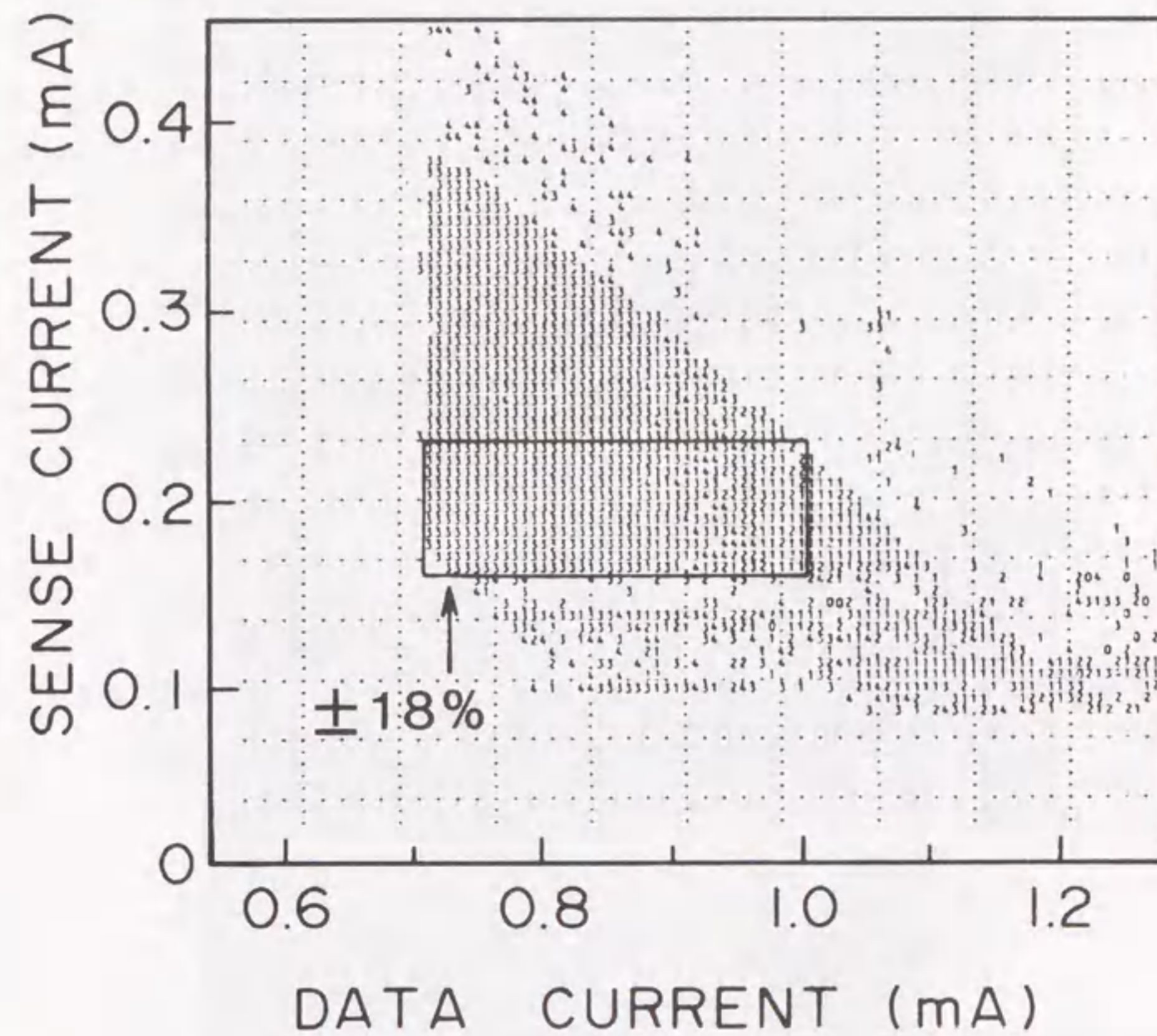


図3-9 記憶セルの動作領域(3次元シュムプロット)

図中の数字(0, 1, 2, 3, 4)は、記憶セルが正常動作を行うコントロール電流($I_x + I_y$)の最小値を表し、それぞれ以下の値に対応する。

0: 0.9 mA、1: 1.17 mA、2: 1.44 mA、3: 1.71 mA、4: 1.98 mA

3.5 1KビットRAMの動作評価

図3-10に、試作したジョセフソン1KビットRAMチップの顕微鏡写真を示す。RAMの実効的な回路の大きさは、約4.4mm角である。約1万個のNb/AIOx/Nb接合が集積されている。最小接合サイズは、 $3\mu\text{m} \times 3\mu\text{m}$ である。Nb配線の最小線幅は、記憶セル上で $3\mu\text{m}$ 、周辺回路上で $4\mu\text{m}$ である。

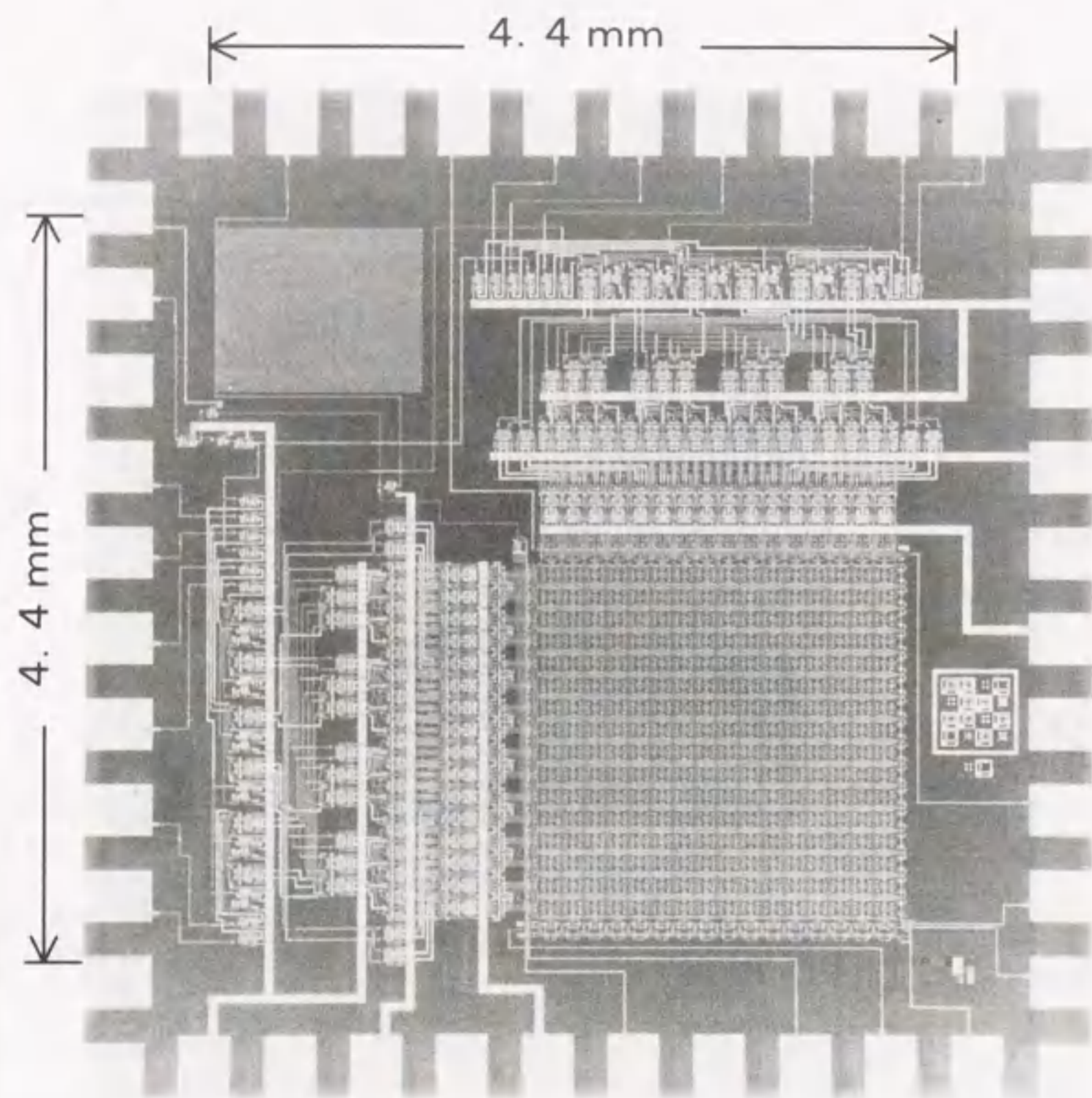


図3-10 ジョセフソン1KビットRAMチップ
チップサイズ: 6mm x 6mm

3.5.1 特定アドレスに対する機能試験

このRAMチップには、最終段のセンス回路からの出力以外に回路の途中での動作を確認するために、XとYドライバ回路のそれぞれ1ビット目(Xアドレス<11111>、Yアドレス<11111>に対応する)の出力が確認できるように測定パッドが設けられている。この出力を確認することにより、アドレスインバータとしてのNOT回路を含むデコーダ回路とドライバ回路までの動作を、それぞれX、Y両方に関して確認することができる。

図3-11は、全てのアドレス入力パターンに対するXドライバ回路からの出力波形を測定した写真である。図で、上から5つの波形がアドレスの入力波形であり、一番下の波形がXドライバ回路からの出力波形である。アドレス信号が全て1の時のみ出力が発生しており、デコーダ部が正常に動作していることが解る。この時の動作マージンは、デコーダ部のバイアス電流に対して $\pm 2.0\%$ 、ドライバ部のバイアス電流に対して $\pm 4.2\%$ が得られた。Yドライバ回路からの出力波形に関しても、ほぼ同じ動作マージンでの正常動作を確認することができた。デコーダ部の基本構成要素回路は、AND-OR-BUF、OR-BUF、NOTゲートで、先に記した様子の中でNOTゲートの動作マージンが最も小さく $\pm 2.3\%$ であったことから、デコーダ部の動作マージンが $\pm 2.0\%$ と小さくなっている理由は、このNOTゲート(アドレスインバータ)の動作マージンにより制限されているものと考えられる。

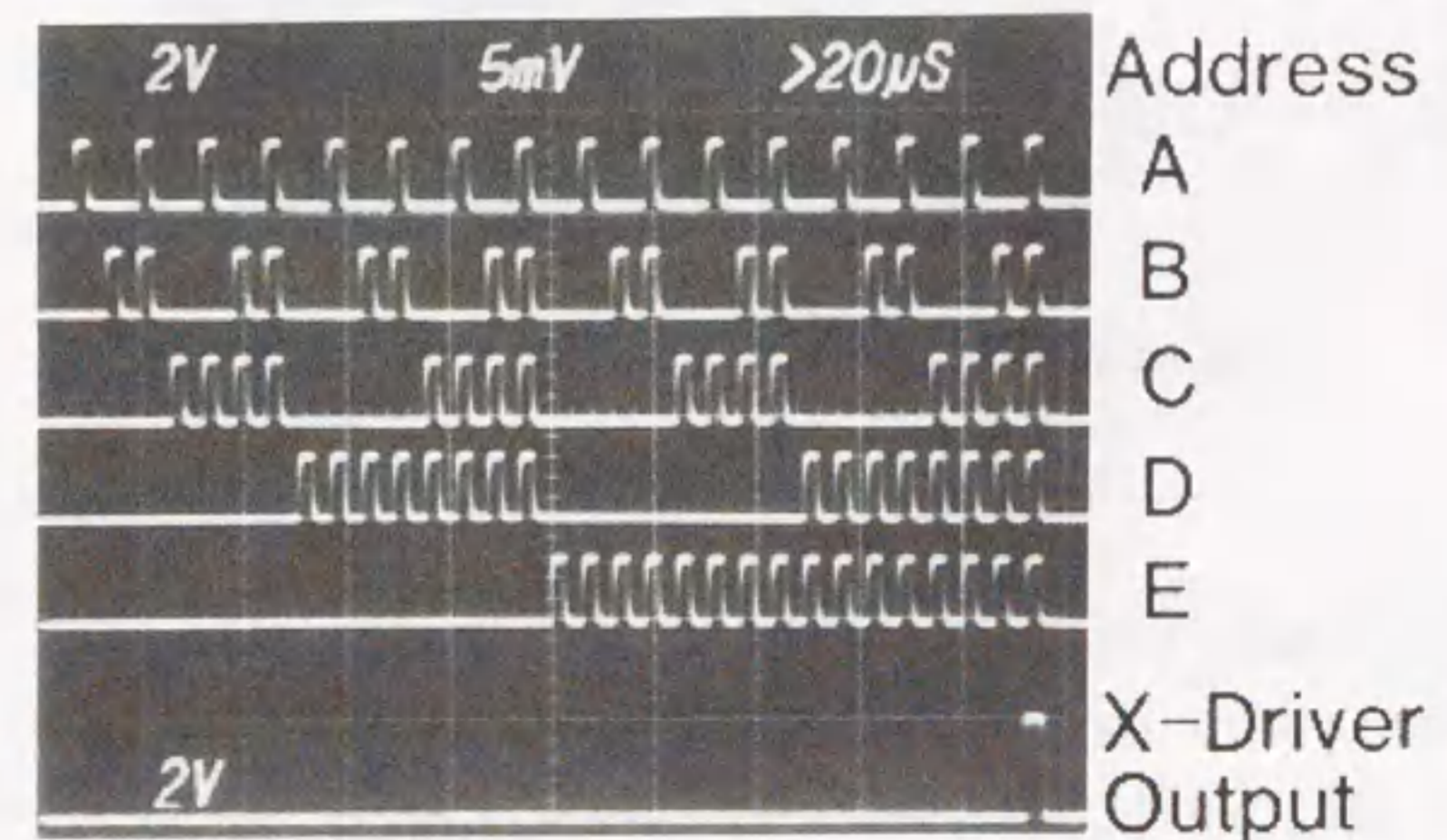


図3-11 Xドライバ回路からの出力波形

図3-12は、Xアドレス<11111>、Yアドレス<11111>の記憶セルをアクセスしたときの1KRAMの機能試験、即ちアドレスを特定のアドレスに固定して、そのアドレスに対して“1”、“0”の書き込み及び読み出し動作を行った時のパルス波形の写真である。この測定ではアドレス信号の他に、リードライト (R/W) 信号、データ (Data) 信号、トリガ (Trigger) 信号を入力する。トリガ信号は、アドレスインバータ (NOTゲート) のタイミング入力端子に入力され、この信号が入った時点でRAMのアクセス動作がスタートする。図で、上から3つの波形はこれらの入力波形であり、一番下の波形 (Output) がアクセス動作の最終段であるセンス回路からの出力波形である。1W, R, R, 0W, R, Rと“1”と“0”の書き込みの後読み出しを2回行っているのは、1KRAMの被破壊読み出し動作を確認するためである。“1”書き込みの後でのみ出力電圧が発生しており、1KRAMの正常な記憶動作が行われていることが解る。

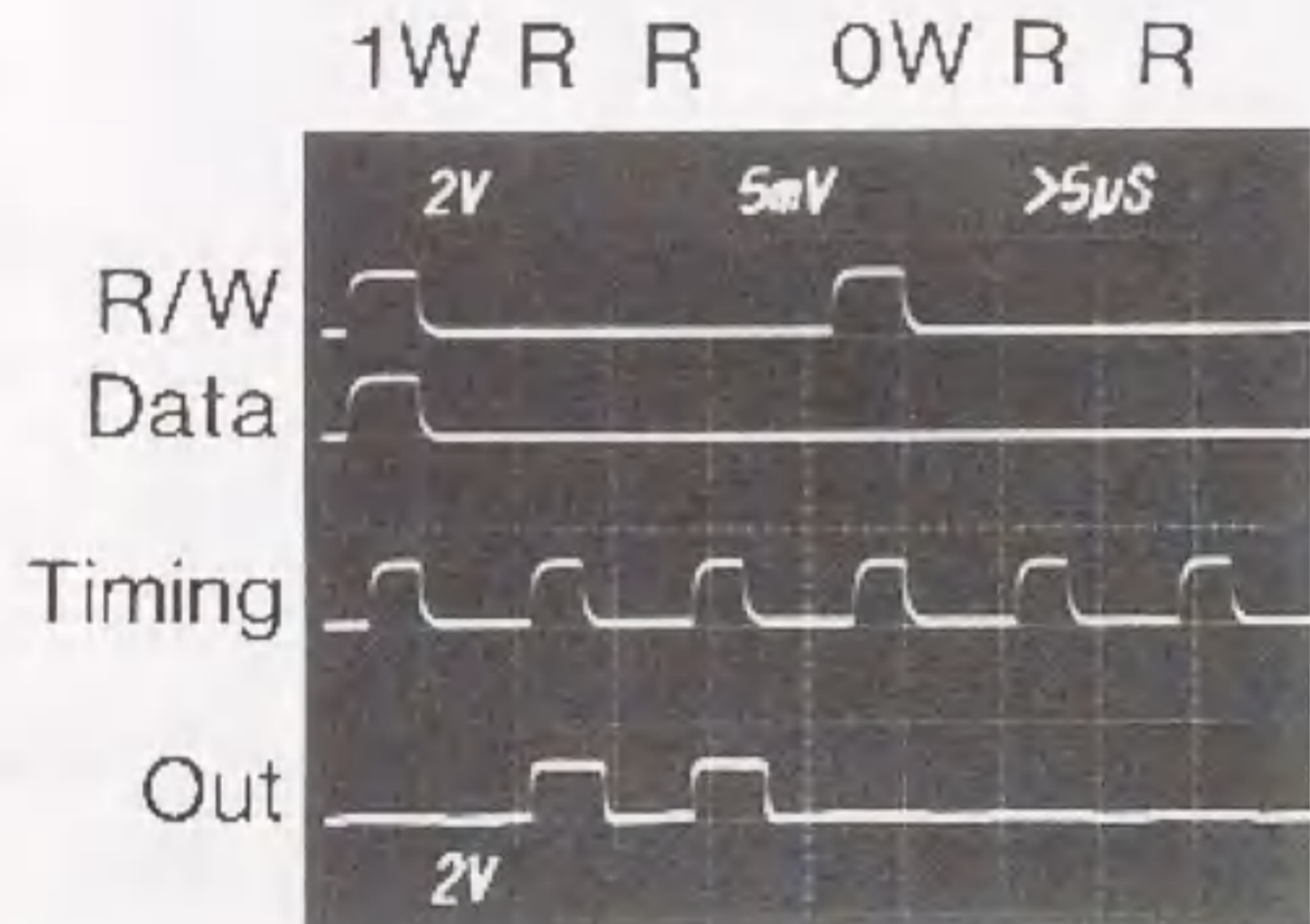


図3-12 1KRAMの特定のアドレスに対する機能試験

3.5.2 フェイルビットマップの測定

全アドレスに対する1KRAMの機能試験は、前節で述べたマーチングテストパターンを用いて行った。図3-13に、このマーチングテストパターンに対するフェイルビットマップを測定した一例を示す。これは、最大ビットイールドが得られたチップのフェイルビットマップであり、各バイアス電流値は動作マージンの中心値に設定して測定された。図で1と0は、それぞれデー

タ“1”の読み出しとデータ“0”の読み出し時のフェイルを示し、ドットが正常動作ビットを示している。今回の試作では、各バイアス電流値が動作マージンの中心値に設定されたとき最高68%の記憶セルが正常に動作した (ビットイールド68%)。バイアス電流値を動作マージンの中心値からずらすと、フェイルビットの数は増大する。そのため、±18%のバイアスマージンが得られる境界領域のDドライバ回路のバイアス電流値及びセンスラインのバイアス電流値に対しては、ビットイールドは約40%に減少した。これらのフェイルの原因は、素子の回路定数のバラツキや測定ノイズ及び磁束トラップ等に起因したものと考えられる。しかし、32ビットのYアドレスの内、10ビットに関連した320ビットの記憶セル (図でYアドレスが4、5と16から23までのアドレスに対応した記憶セル) は、いかなるバイアス条件に於いて何度測定しても全く出力電圧が発生しなかった。このことから、これらのフェイルの原因は製造プロセスに起因した物理的な欠陥がデコーダ回路の最終段又はセンス回路の一部にあるものと考えられる。

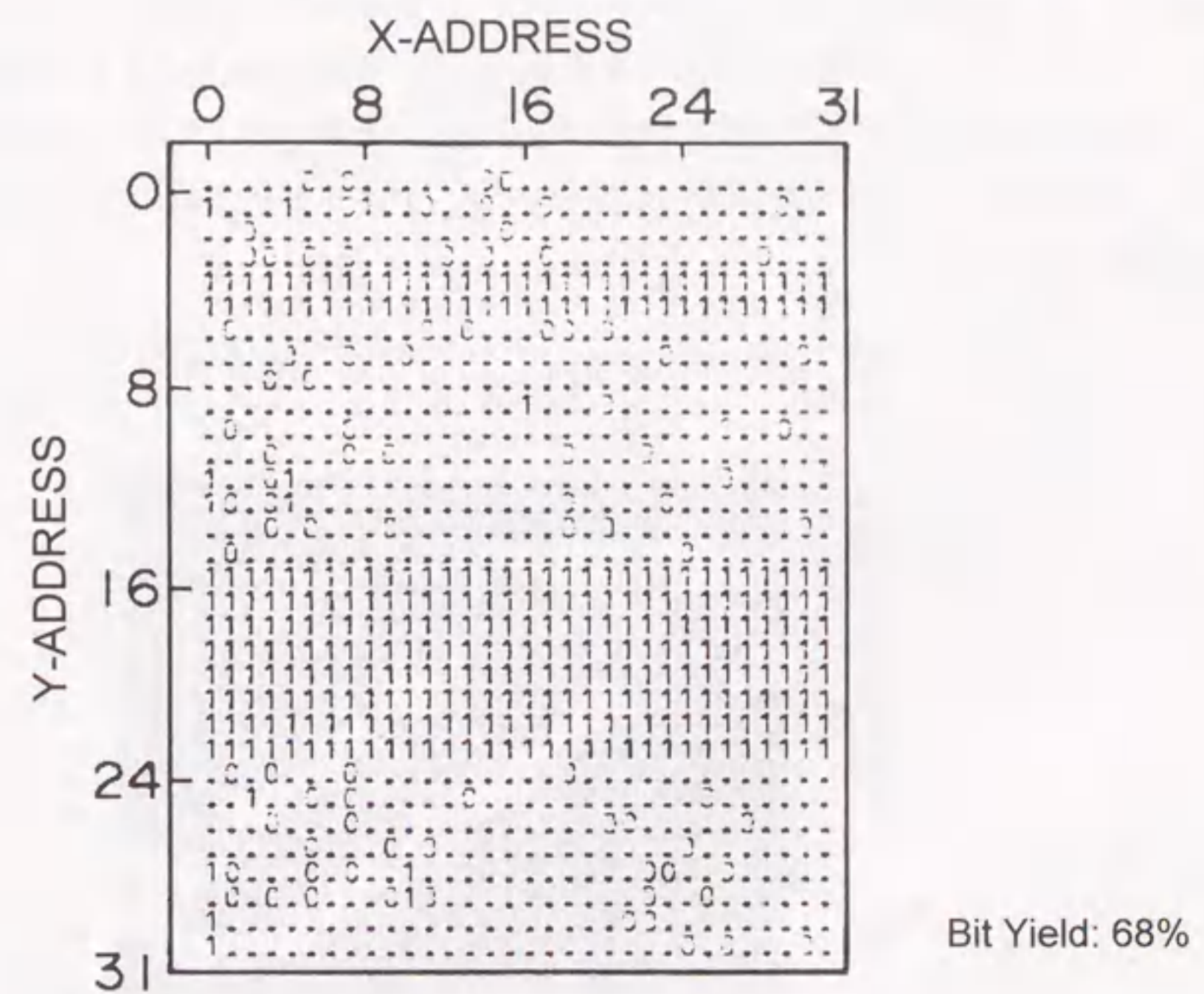


図3-13 1KRAMのフェイルビットマップの測定

3.5.3 アクセス時間の測定

アクセス時間は、外部から入力するトリガ信号をチップ内のジョセフソンゲートに入力して、その出力を二つに分けて一つはレファレンスパスを通して、もう一つはアクセス動作パスを通して一つの出力ゲートに伝わった信号間の遅延時間差を測定することにより求めた。レファレンスパスは、トリガ信号が直接出力ゲートに入力されるパスである。一方、アクセス動作パスは、1 KRAM内でアクセス動作の信号が伝わるパス、即ちトリガ信号がタイミング信号としてアドレスインバータに入力され、その出力が順次デコーダ回路、ドライバ回路、記憶セル、センス回路を伝わって出力ゲートに達するパスである。これら2つのパスの遅延時間差が1 KRAMのアクセス時間を示すように、2つのパスのレイアウト上の余分な配線遅延は等しくなるように設計されている。

図3-14は、このようにして求めたアクセス時間を示す測定波形の一例である。この出力波形は、チップからの信号をDCから5 GHz帯域の半導体増幅器で増幅してサンプリングオシロで測定したもので、増幅器の特性により出力が反転するため写真の出力波形も上下が反転した形になっている。この出力波形は、特定のアドレス ($X < 11110 >$, $Y < 11101 >$) に固定して、動作マージンの範囲内でデコーダ部のバイアス電流 I_B 、Dドライバ回路のバイアス電流 I_D 、センス回路のバイアス電流 I_S の値を最大値にした時、最小アクセス時間570ピコ秒を得ることができた。この時の消費電力は1.3mWで、主にデコーダ及びドライバ部のバイアス抵抗で消費されている。

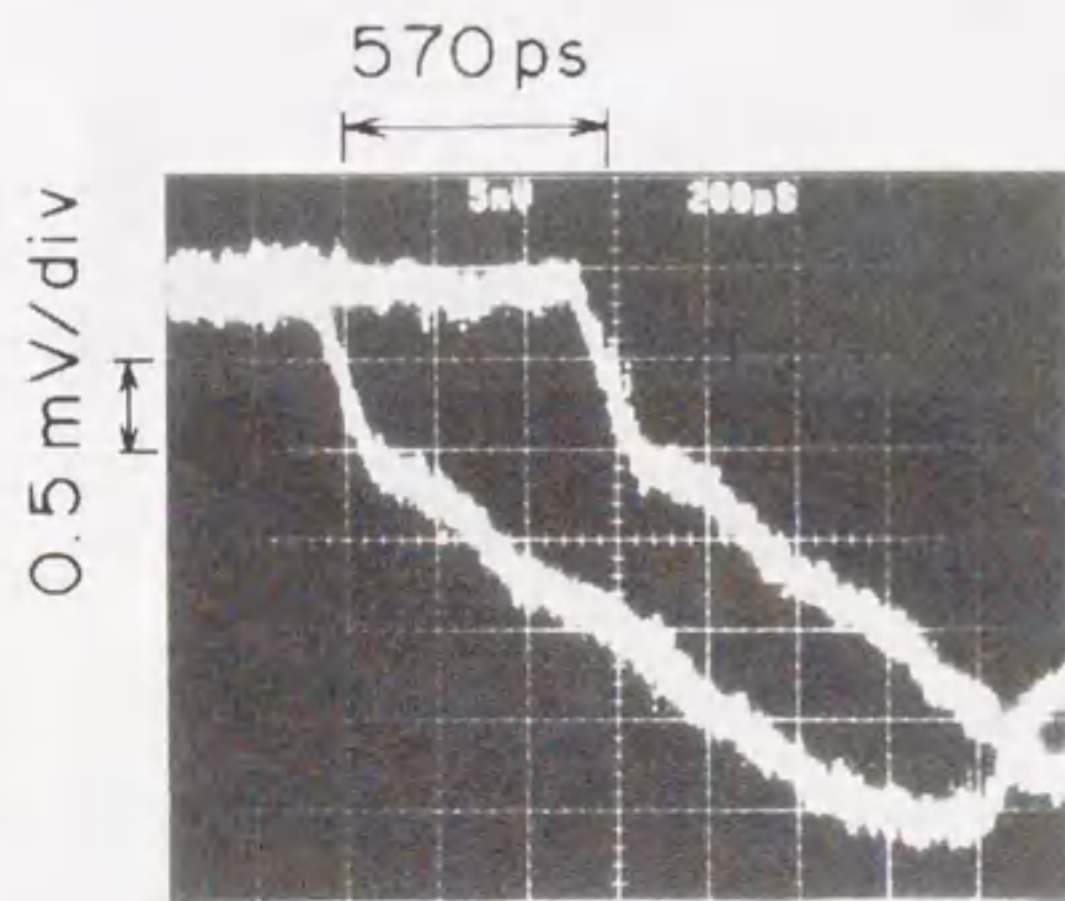


図3-14 1KビットRAMのアクセス時間の測定波形

アクセス時間は、デコーダ部のバイアス電流 I_B とDドライバ回路のバイアス電流 I_D とセンス回路のバイアス電流 I_S 及び記憶セルアレイ中のどのセルをアクセスするか (アドレス番地の指定) に依存して変化する。代表的なアドレスとして2種類の異なるアドレス番地 (Dドライバ及びセンス回路に対して最も近い位置にある記憶セルのアドレス $A1 \{X < 11110 >$, $Y < 11101 >$ } と遠い位置にある記憶セルのアドレス $A2 \{X < 00000 >$, $Y < 00000 >$ }) に対して測定を行った。

図3-15は、 I_D 及び I_S をそれぞれ動作マージンの中心値0.8mAと0.156mAに固定して、デコーダ部のバイアス I_B を変化させた時のアドレス $A1$ に対するアクセス時間を示した図である。 I_B を臨界電流値の93%から65%まで変化させたときのアクセス時間は、640psから1150psまで変化した。バツ印、四角印、三角印は、中心値とは異なる I_D 及び I_S に対するアクセス時間を示している。バツ印は、 I_B 、 I_D 、 I_S がそれぞれ80%、0.8mA、0.22mAのときのアクセス時間730psを示している。四角印は、 I_B 、 I_D 、 I_S がそれぞれ93%、0.8mA、0.188mAのときのアクセス時間590psを示している。三角印は、 I_B 、 I_D 、 I_S がそれぞれ95%、0.8mA、0.188mAのときの最小アクセス時間570psを示している。

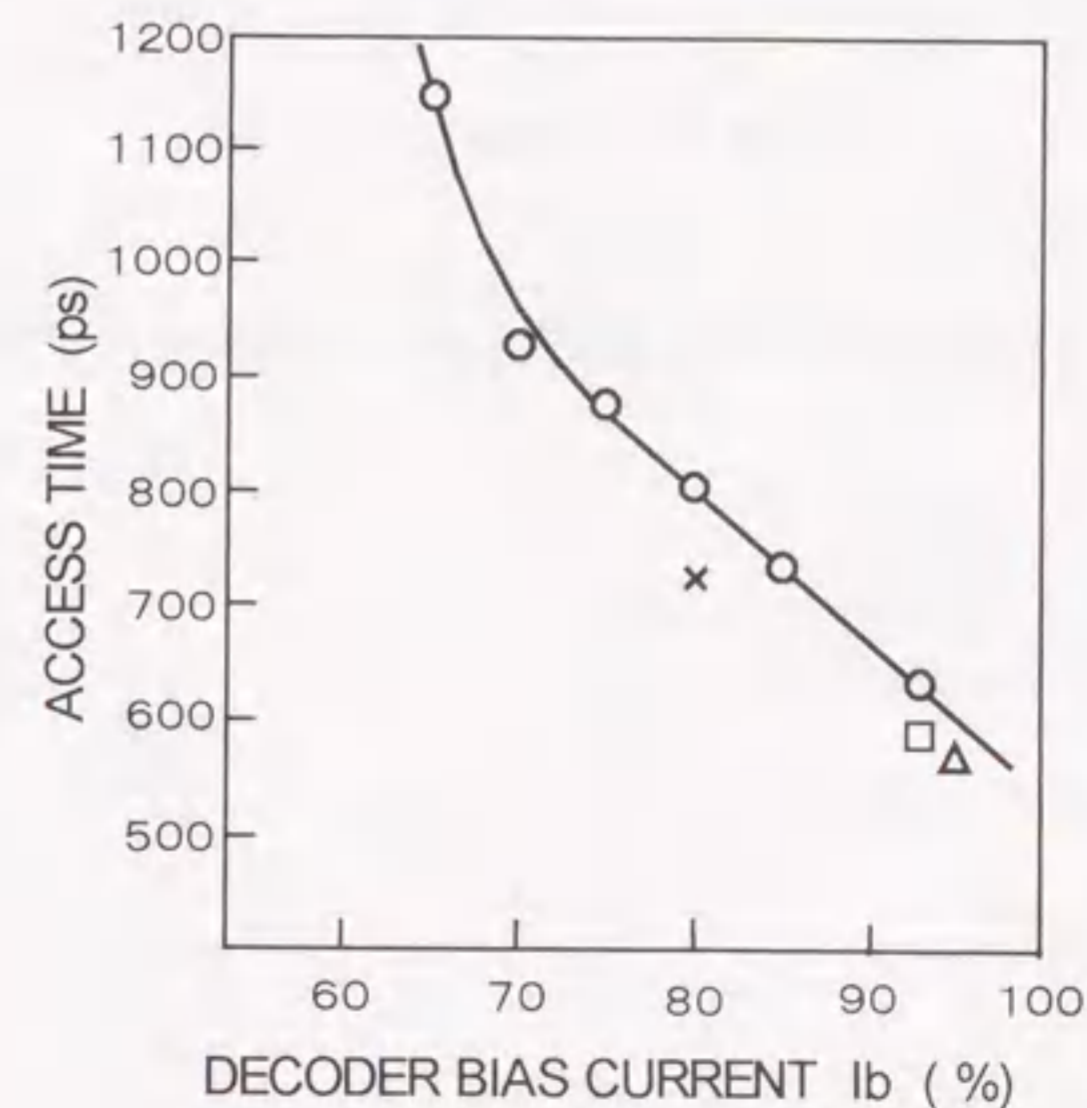


図3-15 1KビットRAMのアクセス時間のデコーダ回路のバイアス電流値依存性

次に、 I_B を93%に固定して、アドレスA1及びA2に対して I_D 及び I_S を変化させてアクセス時間を測定した。図3-16にこの測定結果を示す。 I_S を0.156mAに固定して、アドレスA1に対して I_D を変化させた時のアクセス時間は620psから670psまで変化し、アドレスA2に対しては680psから730psまで変化した。これらのアドレス間での遅延時間差は、 I_D の変化にほとんど依存せず約60psであった。この値は、二つの記憶セル間の物理的な距離の信号遅延時間にほぼ対応する。また、 I_S を0.188mAにするとアドレスA1に対して680psから630psとなり、 I_S の増加に対して約50ps短くなっていることが解る。

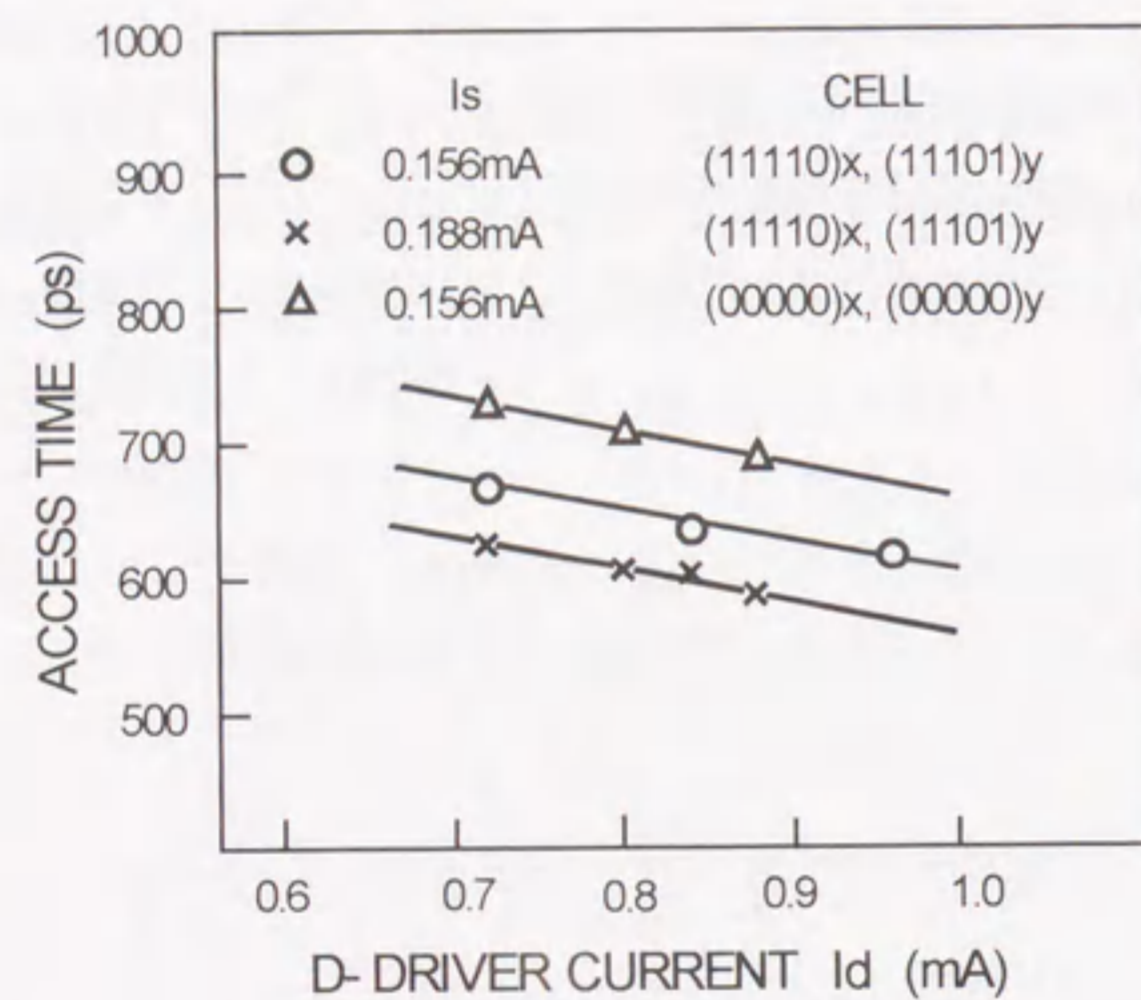


図3-16 1KビットRAMのアクセス時間のドライバ回路のバイアス電流値依存性

図3-17は、 I_D を動作マージンの中心値0.8mAに固定して、 I_S を変化させた時のアクセス時間を示した図である。ここで、 I_B は93%、アドレスはA1に固定した。 I_S の増加に伴ってアクセス時間は800psから730psに減少した。 I_S の $\pm 27\%$ の動作マージンに対して最大のアクセス時間差は70psであった。

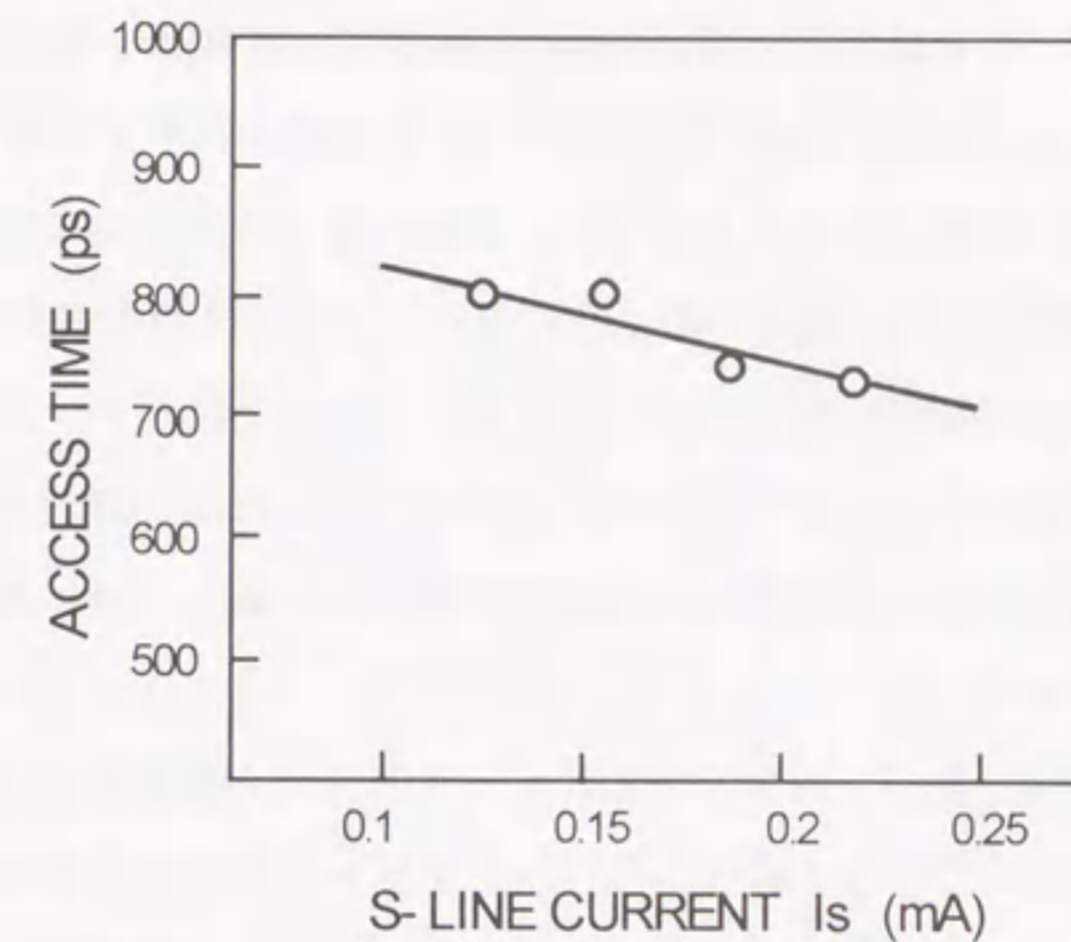


図3-17 1KビットRAMのアクセス時間のセンス回路のバイアス電流値依存性

3.6 結言

世界で初めてNb系製造プロセスによるジョセフソン1KビットRAMを試作し、最小アクセス時間570ピコ秒、最大ビットイールド68%の動作を確認した。

半導体のLSIメモリスタを基本に、サンプルホルダー、磁気シールド、液体ヘリウムデューワー、減衰器、増幅器、ノイズフィルタ等から構成されるジョセフソン記憶回路のための測定評価システムを開発した。この測定システムにより、記憶セルの様な要素回路の3次元の動作領域のシュムによる自動測定や、数10KHzの低周波クロックではあるが、マーチングの様な複雑なテストパターンに対するジョセフソン記憶回路のフェイルビットマップを瞬時に測定評価することが可能になった。この測定システムを用いて、2次元及び3次元シュムによる記憶セルの動作領域の精密な測定が可能になり、磁束の量子化に基づいた記憶セルの動作を明確に測定評価することが出来た。さらに、超伝導記憶回路としては世界で初めてマーチングによるフェイルビットマップを測定し、最大ビットイールド68%の動作を確認することが出来た。また、この1KビットRAMの動作実証により、多層平坦化構造を特徴とする新しいNb系製造プロセスの有効性も改めて確認することが出来た。

表3-1に、これらの測定したジョセフソン1KビットRAMの諸特性をまとめた。最小アクセス時間570ピコ秒、消費電力13mWというジョセフソン記憶回路の高速性と低消費電力性を実証することが出来た。ビットイールド68%という値は、大きくはプロセス上の欠陥に依存しており、何回か試作することでビットイールドはさらに向上するものと考えられる。しかしながら、さらに大きなジョセフソンRAMを開発するという要請（通産省大型プロジェクトの課題）から、この1KビットRAMに於けるビットイールドの改善に向けた研究は行わず、4KビットRAMの開発の研究に着手した。4KビットRAMの研究開発の中で、磁束トラップの問題も含めビットイールド100%に向けた研究を行う。これらについては、次章以降で述べる。

表3-1 測定したジョセフソン1KビットRAMの諸特性

ジョセフソン接合	Nb/AIO _x /Nb
最小接合サイズ	3.3 μm × 3.4 μm
接合数	約10000個
臨界電流値	1030A/cm ²
構成	1024 w × 1 b
記憶セルサイズ	65 μm × 65 μm
1KビットRAMのサイズ	4.4 mm × 4.4 mm
アクセス時間	570 ps
消費電力	13 mW
ビットイールド	68%

参考文献

- [1] S. Nagasawa, Y. Wada, M. Hidaka, H. Tsuge, I. Ishida and S. Tahara. "570ps 13-mW Josephson 1-kbit NDRO RAM," IEEE J. Solid-State Circuits, vol. 24, no. 5, pp. 1363-1371, Oct. 1989.
- [2] 永沢、和田、柘植、日高、石田、田原、「570ps 1Kbit ジョセフソンSRAM」、電子情報通信学会 研究会、SDM88-8、ICD88-13、1988年。
- [3] M.S. Abadir and H.K. Reghbati. "Functional testing of semiconductor random access memories," ACM Computing Surveys, vol. 15, no. 3, pp. 175-198, Sep. 1983.
- [4] Y. Wada et al., "AC- and DC-powered subnanosecond 1-kbit Josephson cache memory design," IEEE J. Solid-State Circuits, Vol.23, pp.923-932, Aug. 1988.
- [5] W.H. Henkels, "Fundamental criteria for the design of high-performance Josephson nondestructive readout random access memory cells and experimental confirmation," J. Appl. Phys., vol. 50, no. 12, pp. 8143-8168, Dec. 1979.

第4章 4KビットRAMの動作実証

4.1 はじめに

前章では、ジョセフソン1KビットRAMの動作実証について記したが、さらに高速で大容量のジョセフソン記憶回路の開発を目的としてジョセフソン4KビットRAMの開発が行われた。この4KビットRAMの基本要素回路として、単一磁束量子を記憶媒体とする磁束量子転移型記憶セル[1, 2]が開発された。そして、この磁束量子転移型記憶セルを用いた4KビットRAMは、当初、リフトオフ平坦化を主体とした製造プロセスを用いて試作されたが[3, 4]、数十ビット動作を確認したに留まり、フェイルビットマップの測定による全ビットの記憶動作の評価には至らなかった。この原因として、製造プロセスに起因する回路定数の設計値からのずれ、リフトオフ平坦化を主体とした製造プロセスに起因する欠陥、磁束トラップの影響、配線間のクロストークの影響、電氣的及び熱的なノイズ等の測定上の問題などが考えられた。

本研究では、これらの問題点を製造プロセスと回路設計及び測定技術の面から全面的に検討し改善することで、ジョセフソン4KビットRAMの全ビットの完全動作の実証に向けた研究を行った。

本章では、これら製造プロセスと回路設計及び測定技術の面での改善点を中心に述べる。そして、これらの改善を踏まえて新たに試作した4KビットRAMの動作の測定評価について述べる[5, 6]。

以下、4.2節で4KビットRAMの構成を簡単に説明した後、4.3節では製造プロセス上の改善点、4.4節では設計上の改善点、4.5節では測定上の改善点について述べる。4.6節で4KビットRAMの動作評価について述べる。4.7節で結言を述べる

4.2 4KビットRAMの構成

図4-1に4KビットRAMのブロック構成図を示す。基本構成は以前に開発した4KビットRAMの構成と同様でデコーダ回路、ドライバ回路、センス回路、セルアレイから成る。バイアス電流は、1KビットRAMの場合と同様に各要素回路の動作の評価を容易にするために8本のバイアス供給ライン(X-DEC1, X-DEC2, X-DRIV, Y-DEC1, Y-DEC2, Y-DRIV, S-BIAS, SQ)から個別に供給することができる。記憶セルに加える直流電流は、1本の供給ライン(DC)から供給される。入力信号は、12ビットのアドレス信号(Ax, Bx, Cx, Dx, Ex, Fx, Ay, By, Cy, Dy, Ey, Fy)と2ビットの読み出し書き込み信号(R/W(X), R/W(Y))と、デコーダ回路部にあるNOT回路に入力するタイミン

グ信号である。なお、図には遅延時間差からアクセス時間を測定するためのトリガー信号を入力する回路も示されている。このトリガー信号がNOT回路のタイミング信号になる。

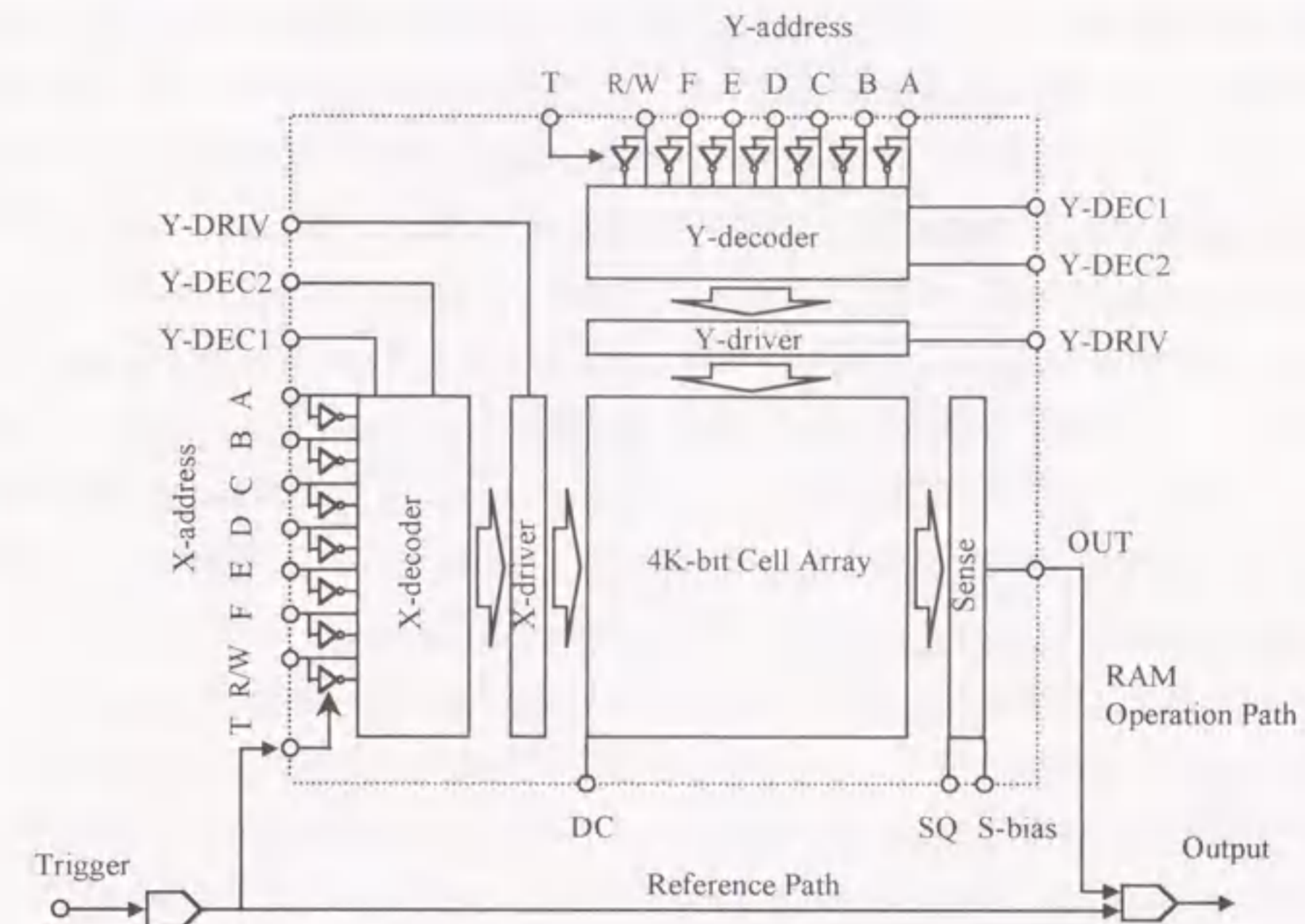


図4-1 4KビットRAMのブロック構成図

4.3 製造プロセス上の改善点

当初、田原らにより開発された4KビットRAM[3]では、3層のNb配線構造と改良型リフトオフによる完全平坦化構造[4]を採用した。この改良型リフトオフは、リフトオフのステンシルのひさし構造の改善やウエットエッチングの併用により、リフトオフの問題点であるバリの発生を極力少なくしたものであるが、大きな集積回路全体にわたって完全にバリを除去することは困難であった。さらに、これを用いた3層の完全平坦化構造を実現するために、製造プロセスの複雑化と工程数の増大を招き、却って製造プロセスの信頼性が悪くなるという問題もあった。

そのため、本研究では新しい4KビットRAMの設計においては、Nb配線層は1層減らして2層配線構造とした。さらに、SiO₂絶縁層の形成には、ステップカバレッジを改善するためにRFバイアススパッタ法[7]を新たに導入した。この2層配線構造とバイアススパッタ法の導入により、デバイス構造として以前のような完全平坦化構造を取らなくても配線の断線や配線間

のショートがなくなり、製造プロセスを十分に信頼性のあるものにすることが出来る。同時に、プロセスの工程数も少なくなり製造プロセスが容易になるという利点もある。

図4-2は、この様な発想の基に新しく提案した4KビットRAMのデバイス構造の断面概略図である。Nb/AIOx/Nb接合、Mo抵抗層、Nb接地面、2層のNb配線、SiO₂絶縁層とから構成されている。各層の膜厚は図に示した。Nb、AlはDCマグネトロンスパッタ法、Mo、SiO₂はRFマグネトロンスパッタ法により成膜し、いずれの膜もRIEにより加工した。1KビットRAMの製造プロセスでは、下部配線層を形成した後にNb/AIOx/Nb接合の3層膜を成膜して接合を形成したが、ここでは同一真空中で形成したNb/AIOx/Nb接合の3層膜の下部のNb電極層を下部配線層としても使用している。下部配線層(Wiring1)と上部配線層(Wiring2)間のSiO₂絶縁層は、バイアススパッタ法を用いて段差部が約45度の傾斜で良好な被覆性が得られるように形成されている。コンタクトホール(GC、BCC、JC)は、1KビットRAMの製造プロセスと同じテーパエッチング法により形成した。接合の上部電極(Nb)及びバリア層(AIOx)を形成するためのエッチングに対して、GCコンタクトを保護する目的で、GCコンタクトのパターン上に接合の上部電極とAlのパターンを付加した。

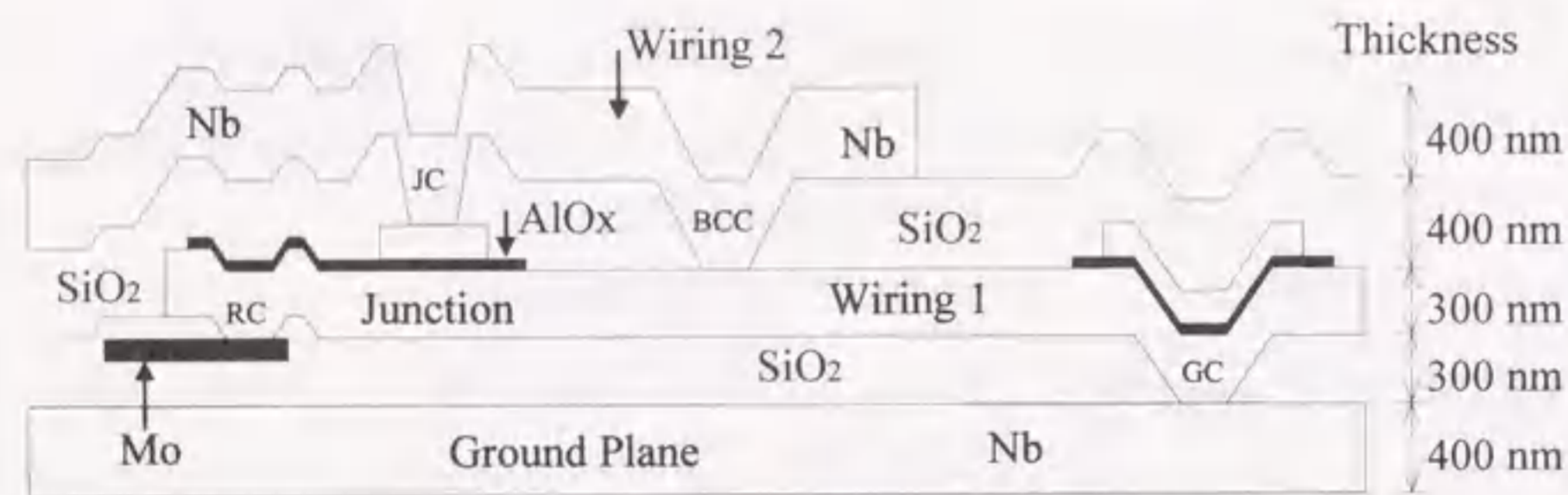


図4-2 4KビットRAMのデバイス構造の断面概略図
Nb:ニオブ超伝導層、SiO₂:絶縁層、Mo:抵抗層、AIOx:接合の酸化膜バリア層
GC、BCC、RC、JC:コンタクト

4KビットRAMの製造プロセスでは、以下のプロセスパラメータを目標としてプロセスを開発した。4KビットRAMでは、後で述べる様にi線ステッパーの導入等によるプロセス技術の向上によりジョセフソン接合の最小サイズを2.0μm角にすることが出来た。この最小サイズのジョセフソン接合で臨界電流値0.1mAになる様に、接合の臨界電流密度は2500A/cm²に設計した。シート抵抗は1.2Ω/□、最小線幅及び最小スペース間隔は1.5μmと設定し

た。

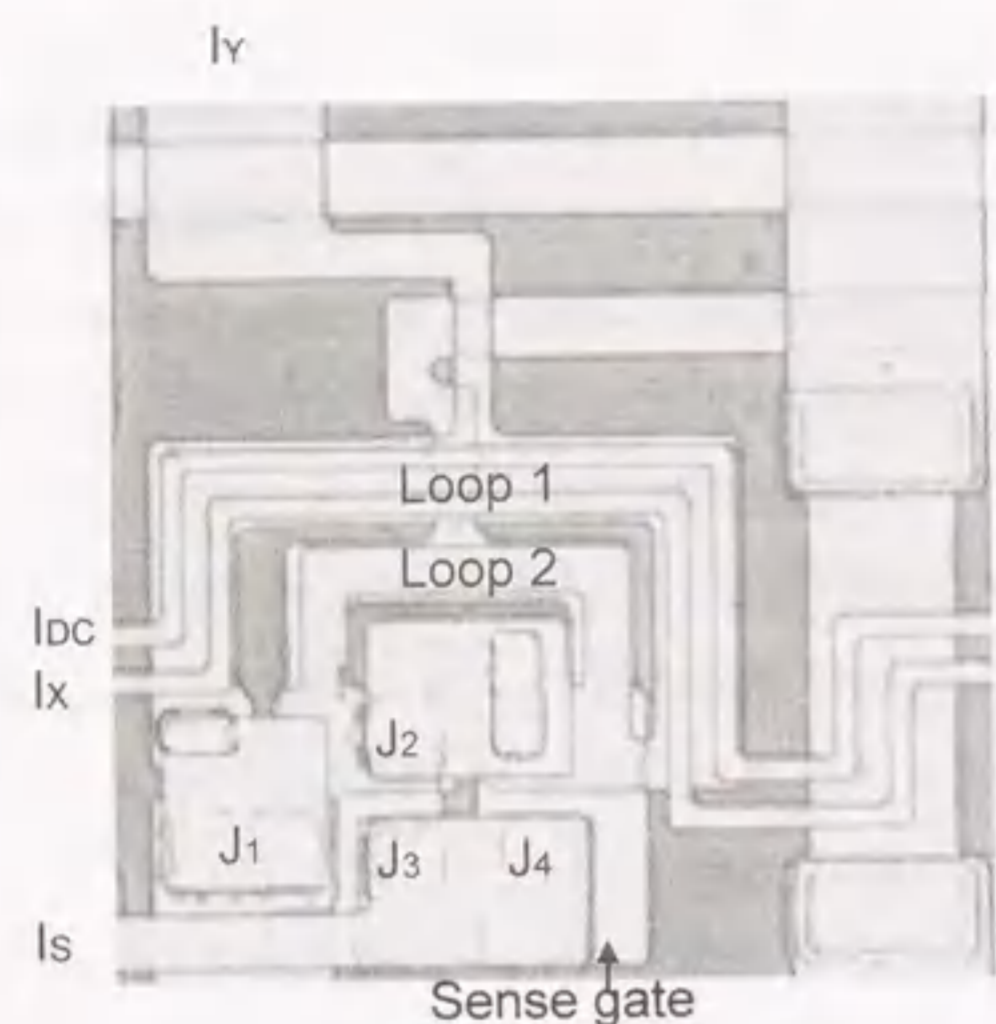
なお、1KビットRAMと4KビットRAMの製造プロセスの相違点は、上に記したデバイス構造の違いに加えて、実際の試作に於ける製造装置及び製造条件等の違いもある。第2章で記した様に1KビットRAMの試作では、2インチウエーハを使用してコンタクト露光装置を用いた。4KビットRAMの試作でも、当初は1KビットRAMの試作と同じ装置を用いていたが、1990年にi線ステッパーを導入したのを契機にウエーハの3インチ化を行った。ウエーハの3インチ化に伴い、一部成膜装置の新規導入や同じ装置でもウエーハホルダーや製造条件の変更を行った。特に、RIE装置ではウエーハサイズのローディング効果の違いに起因して、エッチング条件等が大きく変化した。

4.4 設計上の改善点

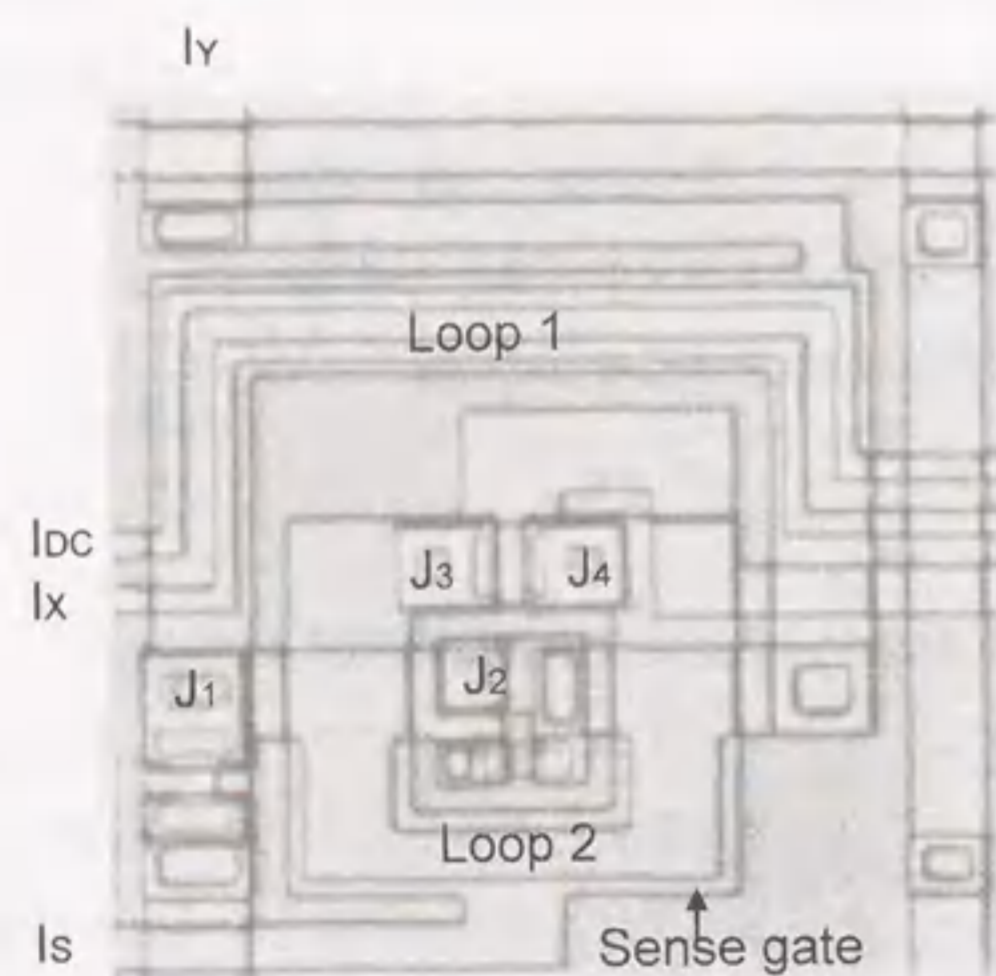
前節で述べた製造プロセス上の改善に伴い、レイアウト設計の全面的変更を行った。特に、ドライバ回路に関しては、以前のドライバ回路の問題点を解決する全く新しい抵抗結合型極性切換ドライバ回路を開発した。センス回路に関しては、AND回路を付加することで他のセンス回路からの影響を除去できる抵抗負荷型センス回路を開発した。以下、これらの主な改善点について述べる。また、回路の高速化の観点からジョセフソン接合の超伝導臨界電流密度を以前の1100A/cm²から2500A/cm²に増大させた。最小接合サイズは3μm角から2μm角に縮小した。さらに、接合の上部電極のエッチング条件を最適化することで、サブミクロンの微細な接合でも良好な接合特性が得られるようになった[7]。

4.4.1 記憶セル

前節で述べたように、3層配線から2層配線構造への変更及び完全な平坦化構造をとらないといったデバイス構造上の変更は、インダクタンスのレイアウト設計に最も大きな影響を与える。従って、記憶セルはインダクタンスを基本要素とするためレイアウト設計上は大きな変更を行ったが、等価回路及び超伝導ループとジョセフソン接合の回路定数は以前の磁束量子転移型記憶セルと全く同じである。磁束量子転移型記憶セルの回路構成及び動作原理については付録Cに詳しく記したので、ここでは省略する。図4-3に新しくレイアウトした磁束量子転移型記憶セルの顕微鏡写真を示す。比較のために、田原らにより以前設計された磁束量子転移型記憶セルの顕微鏡写真[2]も併せて示した。以前の記憶セル(a)では、ループ2とセンスゲートはループ1の内側に配置されているが、新しい記憶セル(b)では、ループ2とセンスゲートをループ1の外側に配置した点に特徴がある。このレイアウト設計により、配線層を1層少なくしたにもかかわらず、記憶セルは55μm角の同じ大きさに設計することが出来た。



(a) 以前の3層配線構造による磁束量子転移型記憶セル
サイズ: 55 mm × 55 mm



(b) 新しく2層配線構造で設計した磁束量子転移型記憶セル
サイズ: 55 mm × 55 mm

図4-3 4KビットRAMの記憶セルのSEM写真

(写真に付した構成要素の記号等は、付録Cの図C-1の記憶セルの等価回路図に対応している。)

4.4.2 抵抗結合型極性切換ドライバ回路

以前の4KビットRAMでは、磁界結合型ゲート(SQUID)から成る極性切換型ドライバ回路が用いられた[8]。しかし、このドライバ回路は、磁界結合型ゲート回路を用いているため出力電流に比べて大きな入力信号電流が必要で、且つバイアス電流に対する動作マージンが充分なものではないという問題点があった。記憶回路の大容量化に伴い、大きな入力信号の生成は著しい消費電力の増大につながり、また動作マージンの狭さは、ドライバ回路の出力電流レベルとプロセスにより変動しやすい記憶セルの動作電流レベルとの整合性を悪化させ、大容量記憶回路の開発を困難なものにする。従って、今回この様な以前のドライバ回路の問題点を除去し、比較的小さな入力信号電流で動作可能な抵抗結合型の回路を用いた広い動作マージンを有する極性切換型ドライバ回路を開発した[9]。

1) 構成と動作原理

図4-4は、抵抗結合型ジョセフソン極性切換ドライバ回路の等価回路図である。2つのバイアス電流供給ゲート(GB1, GB2)と2つの3接合極性切換ゲート(3J-RCPC1, 3J-RCPC2)と被駆動線路(LT-Line)と3つの負荷抵抗(RL1, RL2, RL3)から構成されている。回路定数は、図中に記した。

次に、動作原理を説明する。信号入力端T1から信号が入力されると、バイアス電流供給ゲートGB1が電圧状態にスイッチして、入力信号とバイアス電流の大部分は負荷抵抗RL1を通過して3J-RCPC1ゲートのジョセフソン接合J1に注入される。その結果、ジョセフソン接合J1が電圧状態にスイッチし、その後順次ジョセフソン接合J2とJ3も電圧状態にスイッチするため、電流の大部分は被駆動線路に注入される。被駆動線路に流れた電流は、3J-RCPC2ゲートのジョセフソン接合J1とJ2とJ3に分流して流れ込むため、ジョセフソン接合J1とJ2とJ3は電圧状態にスイッチしない。以上の動作により被駆動線路に時計回り方向に出力電流を発生させることができる。同様に、信号入力端T2に信号が入力されると、今度は3J-RCPC2ゲートが電圧状態にスイッチし3J-RCPC1ゲートは超伝導状態を維持するために被駆動線路に反時計回り方向に出力電流を発生させることができる。

以上の動作から解るように、この回路の特徴は、端子(S1又はS2)から電流が注入された場合には、入力電流の大部分がまず1個のジョセフソン接合(J1)に注入されるため順次接合がスイッチして3接合極性切換ゲートが電圧状態になり信号電流を被駆動線路に注入し、一方被駆動線路を通して出力端(O1又はO2)から電流が注入された場合には、電流は3個のジョセフソン接合(J1, J2, J3)に均等に分流して流れるため、3接合極性切換ゲートが超伝導状態を維持するように動作することで極性切り換え動作を可能にしている点にある。従って、出力電流値

I_{out} は、以下の様な範囲に設定する必要がある。

$$I_0 < I_{out} < 3I_0$$

3接合極性切換ゲート (3J-RCPC1, 3J-RCPC2) の前段に設けたバイアス電流供給ゲート (GB1, GB2) は、被駆動線路に注入する出力電流値を調整する役割もある。従って、出力電流値 I_{out} は、バイアス電流供給ゲート (GB1, GB2) のバイアス電流値に対応するため、上の式から、本ジョセフソン極性切換型ドライバ回路は $\pm 50\%$ の大きなバイアス電流マージンを有することが解る (ここでは理想的な場合として、ジョセフソン接合が電圧状態にスイッチしたときの接合を通してのリーク電流値は小さいとして無視した)。

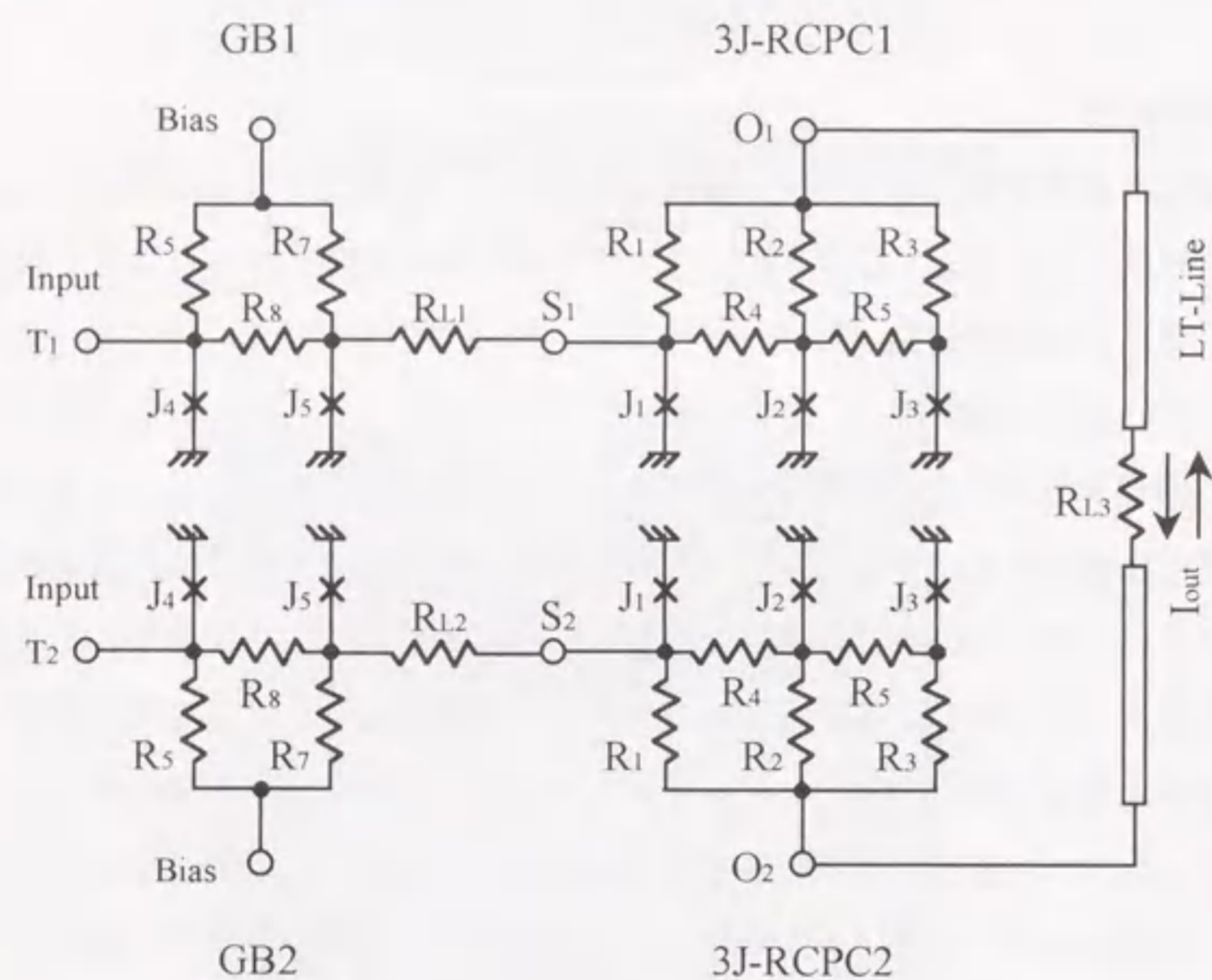


図4-4 抵抗結合型極性切替ドライバ回路の等価回路図

$I_{01} = I_{02} = I_{03} = 0.22 \text{ mA}$, $I_{04} = I_{05} = 0.34 \text{ mA}$, $R_1 = R_2 = R_3 = 0.43 \Omega$,
 $R_4 = R_5 = 0.43 \Omega$, $R_6 = R_7 = R_8 = 0.46 \Omega$, $R_{L1} = R_{L2} = 0.9 \Omega$, $R_{L3} = 4 \Omega$,
 $I_{01} \sim I_{05}$: critical currents for Josephson junctions $J_1 \sim J_5$.

2) 測定評価

図4-5は、試作したXドライバ回路の顕微鏡写真である。大きさは、 $53 \mu\text{m} \times 34 \mu\text{m}$ である。図4-6に、このドライバ回路の測定結果を示す。(a)は、機能試験のパルス波形を示す写真である。パルス信号は上からバイアス信号 (I_b)、入力信号 (I_{in1}, I_{in2})、出力信号 (V_{out}) を示している。入力信号 I_{in1} と I_{in2} に対応して両極性の出力信号が発生しており、正常な極性切り換え動作が行われていることが解る。(b)は、上記機能試験におけるバイアス信号と入力信号に対するXドライバ回路の動作領域をLSIメモリスタで自動測定したシュムプロット図である。図でドットで示された領域がドライバ回路の正常動作領域である。バイアス信号と入力信号に対して非常に広い動作領域が得られた。また、図より例えば 0.3 mA の入力信号に対しては、バイアス信号の動作領域は 0.18 mA から 0.66 mA であり $\pm 70\%$ の動作マージンが得られている。この様に、以前の磁界結合型ゲートを用いたドライバ回路に比べ、入力信号レベルは約 $1/3$ に低下し、且つ動作マージンは約2倍に増大している。なお、ここではXドライバ回路の測定結果を示したがYドライバ回路についても同様の結果を得ることができた。

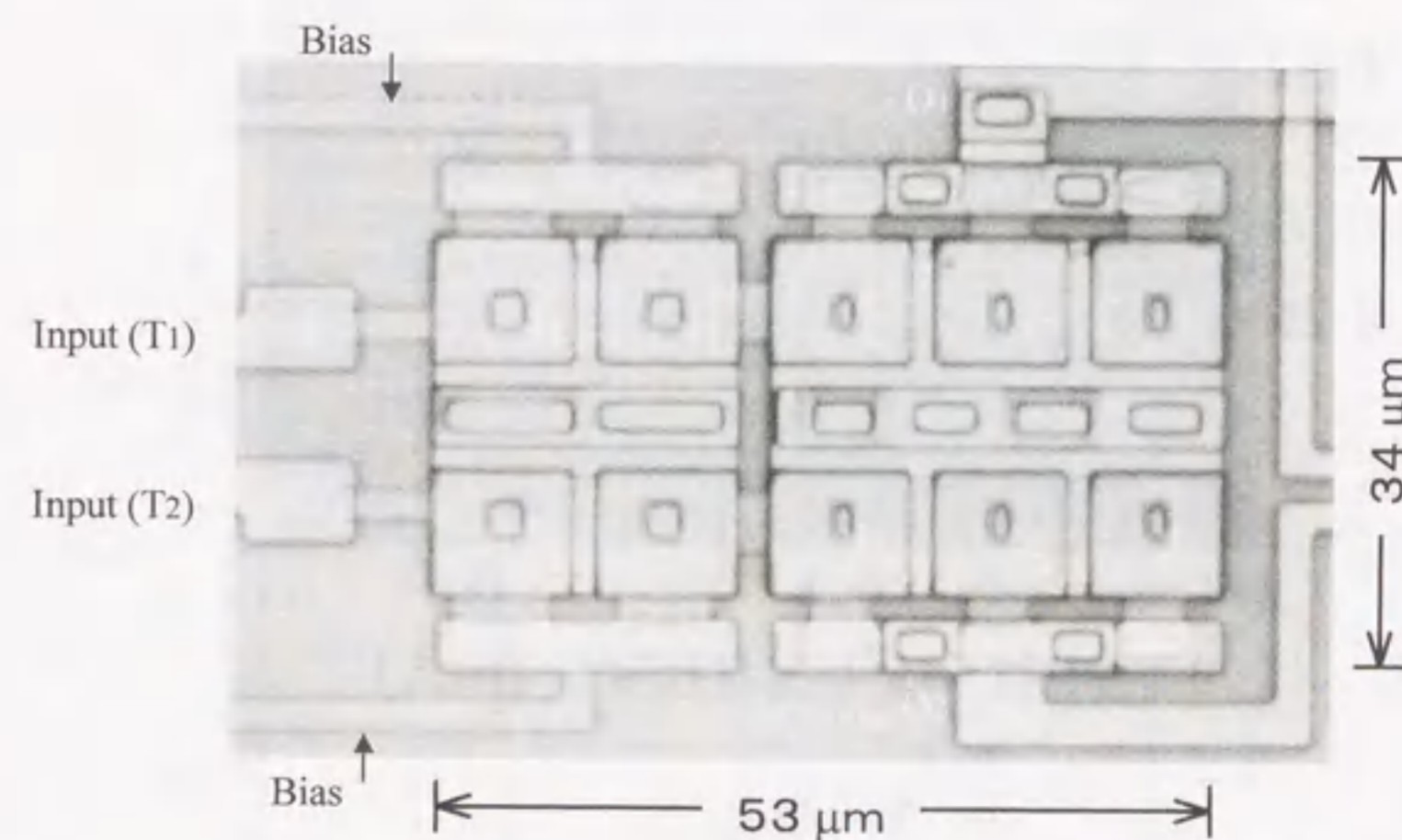
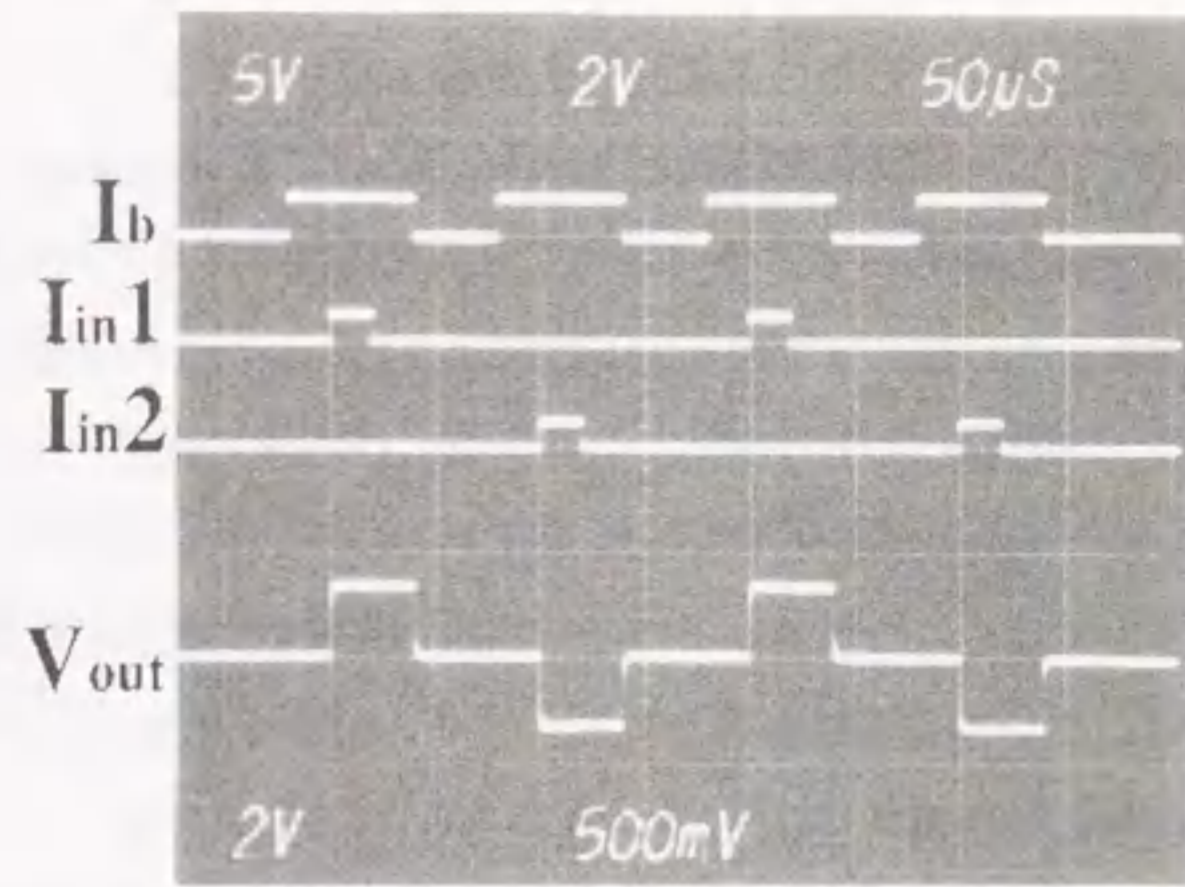
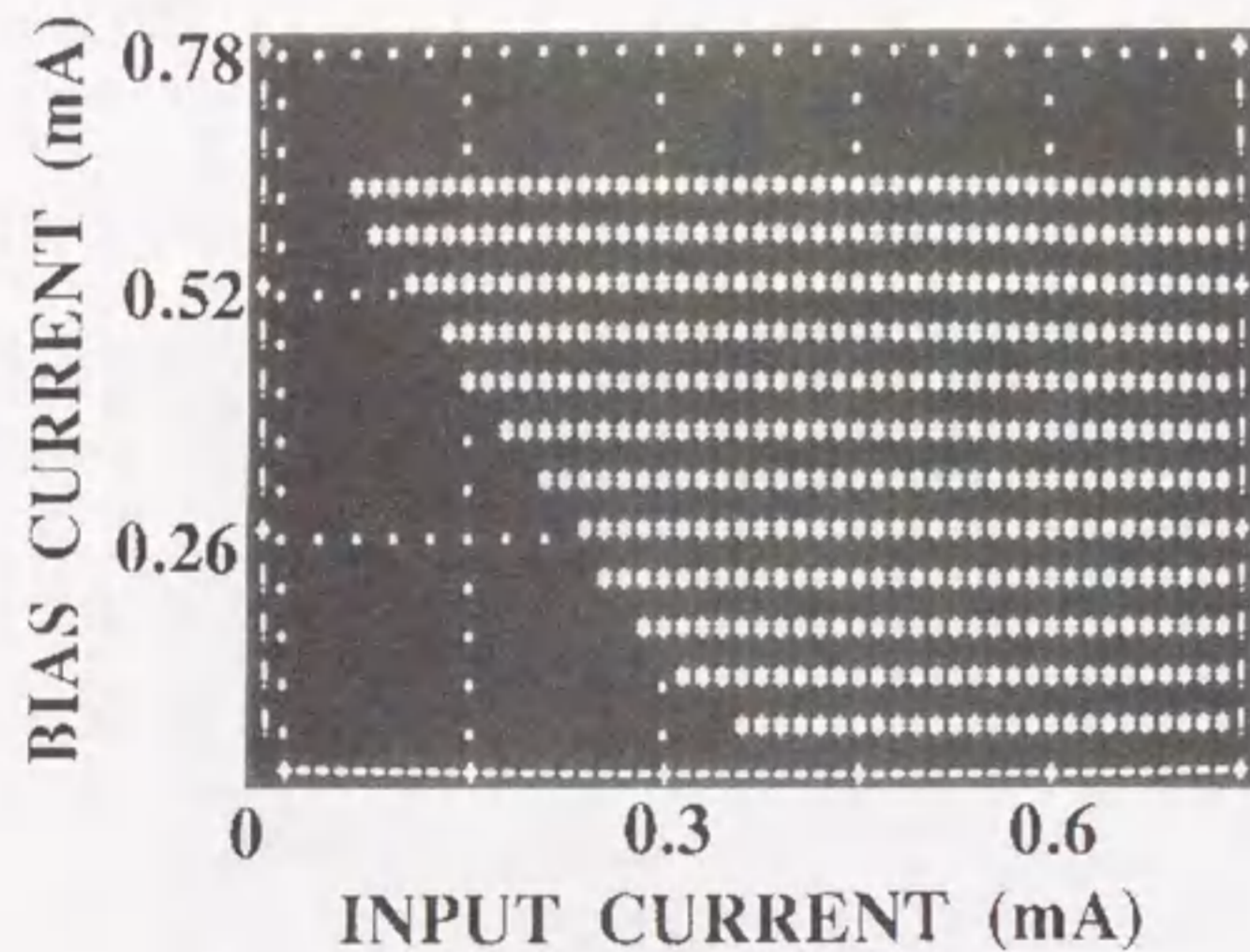


図4-5 抵抗結合型極性切替ドライバ回路の顕微鏡写真



(a) 動作波形



(b) 動作領域

図4-6 ドライバ回路の測定結果

4.4.3 AND回路を付加した抵抗負荷型センス回路

図4-7に以前の4KビットRAMで使用した抵抗負荷型センス回路の等価回路図を示す。この図は、4ビット分のセンスラインを一組にして、この部分のみを示した図である。実際には、この4ビットのセンスラインの組が16個、全部で64本のセンスラインがある。1本のセンスラインは、記憶セルの読み出しゲートが直列の64個接続されている。このセンス回路の動作は、バイアス電流 I_g が抵抗 R_s を介して全てのセンスラインに供給されている状態で、データの読み出し時に選択された記憶セルの読み出しゲートが電圧状態にスイッチし、即ち1本のセンスライン中の1個の読み出しゲートが電圧状態にスイッチしてセンスラインに流れていた電流を抵抗 R_i を通してジョセフソン接合 I_{s0} に注入する。この結果、ジョセフソン接合 I_{s0} が電圧状態にスイッチしてORゲートに信号を送ることで最終段のORゲートから出力が得られる。しかし、図からもわかるように、各センスラインからの出力は、全てOR論理のみで最終段の出力ゲートに伝達される。従って、このセンス回路は、何らかの理由で1本のセンスラインが誤動作した場合、その出力がOR論理で最終段の出力ゲートまで伝達されるため、全てのセンスラインからの出力が誤動作しているように見えてしまう。例えば、ある1本のセンスラインにプロセス上の欠陥か或いは磁束トラップに起因して臨界電流値が非常に小さくなった読み出しゲートがあると、バイアス電流を印加した段階でセンスラインに電流が流れずジョセフソン接合 I_{s0} に電流を注入し、その結果OR論理により最終段の出力ゲートがスイッチしてしまう。このため、たった1カ所の欠陥或いは磁束トラップにより、RAMが全く正常動作しなくなる場合がある。

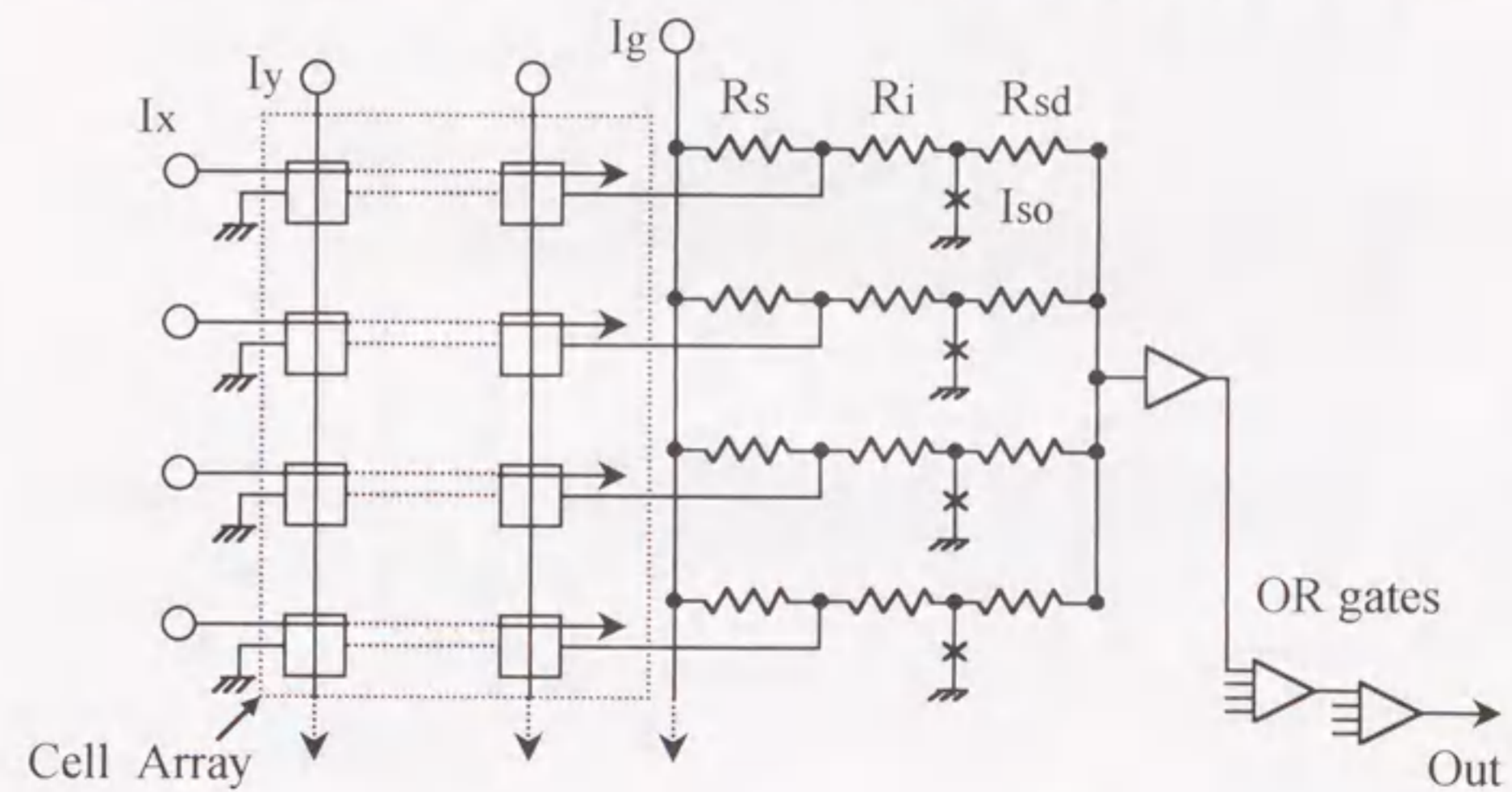


図4-7 以前の抵抗負荷型センス回路の等価回路図

この問題を解決するために、今回の設計では各センスラインにAND回路を付加した。AND回路を付加することで他のセンスラインからの影響を完全に除去することができる。図4-8にこのセンス回路の1ビット部分の等価回路図を示す。センスライン (Sense Line) は、記憶セルの読み出しゲートが64個直列に接続された線路であり、終端が接地されている。Xドライバライン (X-Drive-line) は、Xドライバ回路の出力ライン即ち記憶セルのX制御配線である。このセンス回路の動作を簡単に以下に説明する。センスバイアスとSQバイアスからバイアス電流を供給すると、センスバイアス電流は抵抗 R_1 を通して全てのセンスラインに流れ、SQバイアス電流は抵抗 R_2 を通して全てのSQゲートに流れる。データの読み出し時には選択された記憶セルの読み出しゲートが電圧状態にスイッチし、即ち1本のセンスライン中の1個の読み出しゲートが電圧状態にスイッチしてセンスラインに流れていた電流を抵抗 R_3 を通してジョセフソン接合 J_1 に注入する。一方、Xドライバラインは、デコーダ回路により選択されて1本のドライバラインに出力電流が流れているため、それに磁氣的に結合するように配置されたSQゲートは、電圧状態にスイッチして電流を抵抗 R_4 を通してジョセフソン接合 J_1 に注入する。ジョセフソン接合 J_1 は、センスラインとSQゲートからの電流が注入されると電圧状態にスイッチし、どちらか一方のみではスイッチしないように設計されている。即ち、AND論理の機能をもつ。ジョセフソン接合 (J_1) が電圧状態にスイッチすることにより、データが出力ラインに出力され、その後は以前のセンス回路と同様にOR論理で最終段の出力ゲートに信号が伝達される。

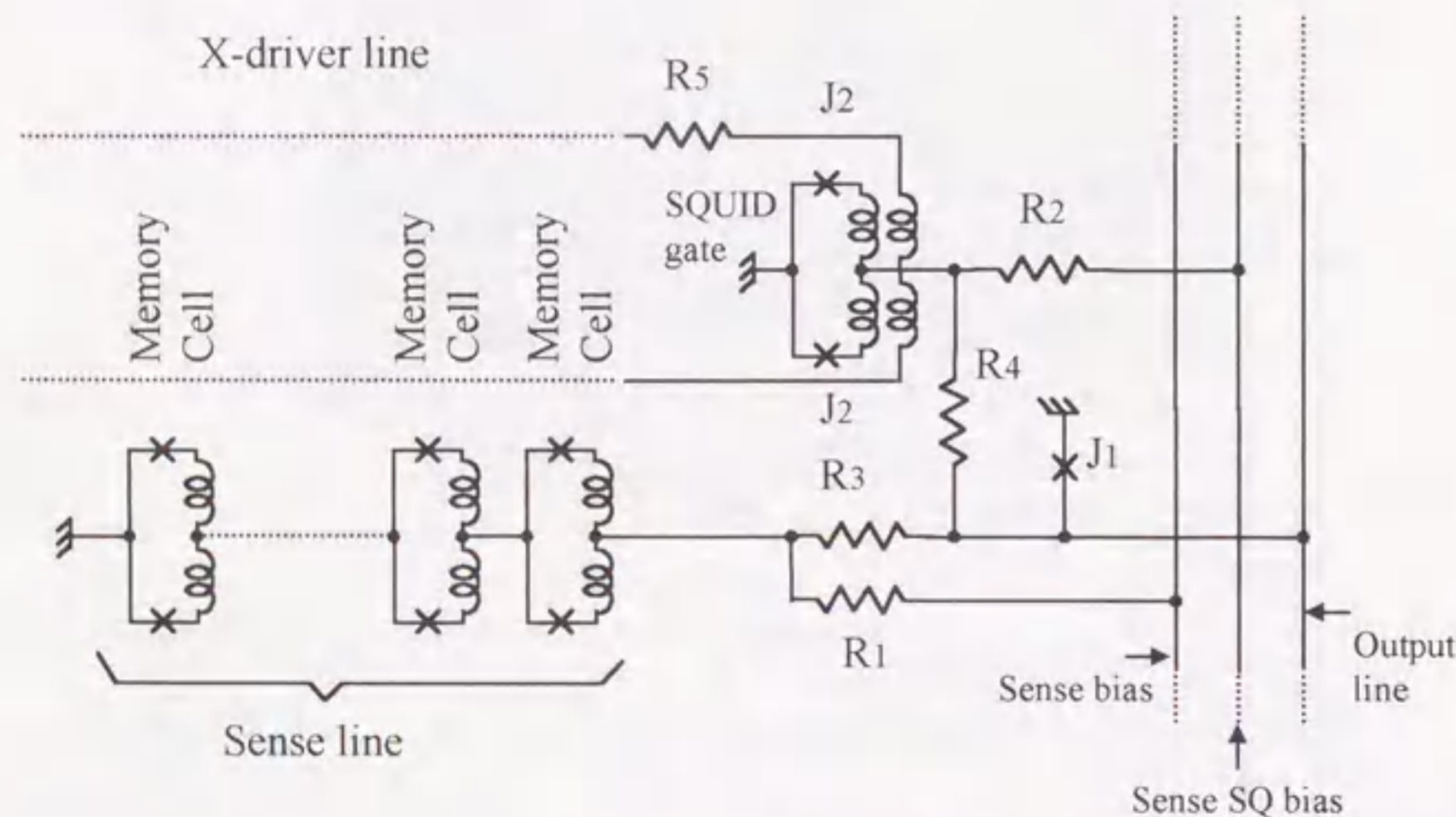


図4-8 AND回路を付加した抵抗負荷型センス回路の等価回路図
 $J_1 = 0.32 \text{ mA}$, $J_2 = 0.13 \text{ mA}$, $R_1 = R_2 = 73\Omega$, $R_3 = R_4 = 8\Omega$.

4.5 測定上の改善点

1KRAMの測定に於いては、先に述べたように圧着方式のサンプルホルダーを使用したが、圧着方式ではチップとサンプルホルダーのパッド間の接触不良がしばしば生じた。特に、チップのNbパッド上に金を蒸着しておかないと、ほとんどのパッドで接触不良が生じた。このため、4KビットRAMの測定には、ワイヤーボンディングを用いた新しい測定治具を開発した。この測定治具は、セラミックパッケージとこのパッケージを装着するためのサンプルホルダーからなる。図4-9に、ワイヤーボンディングにより4KRAMチップを装着したセラミックパッケージの写真を示す。ボンディングには、ジョセフソン素子が高温に弱いため、温度を上げずにボンディングが可能なアルミ線の自動超音波ボンダーを用いた。これによりNbパッド上に直接ボンディングができ、且つ接触不良を完全に無くすことができた。自動ボンディングにより100本程度のボンディングは、約1分以下で行うことができる。セラミックパッケージは、約1.1ミリ厚のムライト基板上に膜厚 $2\mu\text{m}$ の銅のグランド面とその上に膜厚 $177\mu\text{m}$ のムライトを介して形成された膜厚 $2\mu\text{m}$ の銅の配線層からなる。配線層の上部表面は、膜厚 $2\mu\text{m}$ の金メッキを施した。

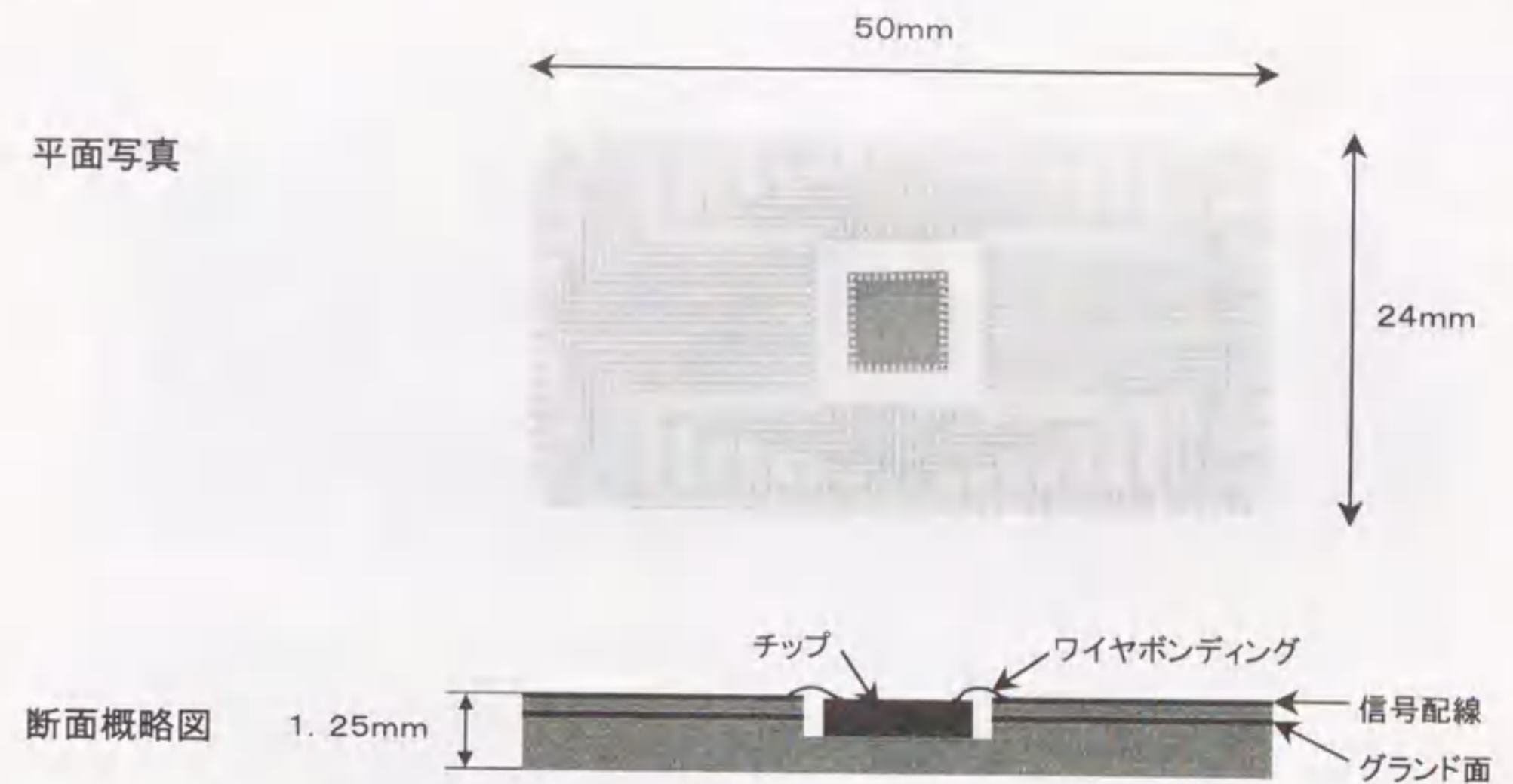


図4-9 セラミックパッケージ

4KRAMチップのパッドの数は44個であるが、セラミックパッケージは今後の応用も考慮して124パッドに設計した。124パッドの内64パッドはグランドパッドで、スルーホールを介して下層のグランド面に接続されている。高速の信号を伝えるために、パッケージの配線層

は特性インピーダンス50Ωのマイクロストリップライン構造で設計し、ワイヤーボンディング部のミスマッチをできるだけ少なくするためにボンディングワイヤーの長さを出来るだけ短くできるようなパッケージ構造にした。即ち、チップの上部表面とパッケージの配線層の上部表面が同じ高さになるように、パッケージのチップ装着部の溝の深さをチップの厚さと同じに設計した。また、これらのパッケージの材料は、全て非磁性であることに特に注意した。

サンプルホルダーのパッケージ装着部分の写真を図4-10に示す。サンプルホルダーは、両面銅張り積層エポキシからなるプリント基板とパッケージをこのプリント基板上に装着させるためのガラスエポキシからなる固定枠やフタ等とプリント基板にハンダづけされた60本のセミリジッド同軸ケーブル等から構成される。サンプルホルダーのプリント基板上にハンダづけされた124個のベリリウム銅からなるバネパッドにパッケージを圧着することで、パッケージとプリント基板は接続される。ここでは、圧着方式を採用したが、チップの場合と違ってパッケージのパッドは十分な強度があり、且つパッドの面積を比較的大きくとれるため、十分な強度のバネパッドが使用できた。そのため、パッケージとサンプルホルダーとの接続は、全パッドで良好な接触を得ることができた。

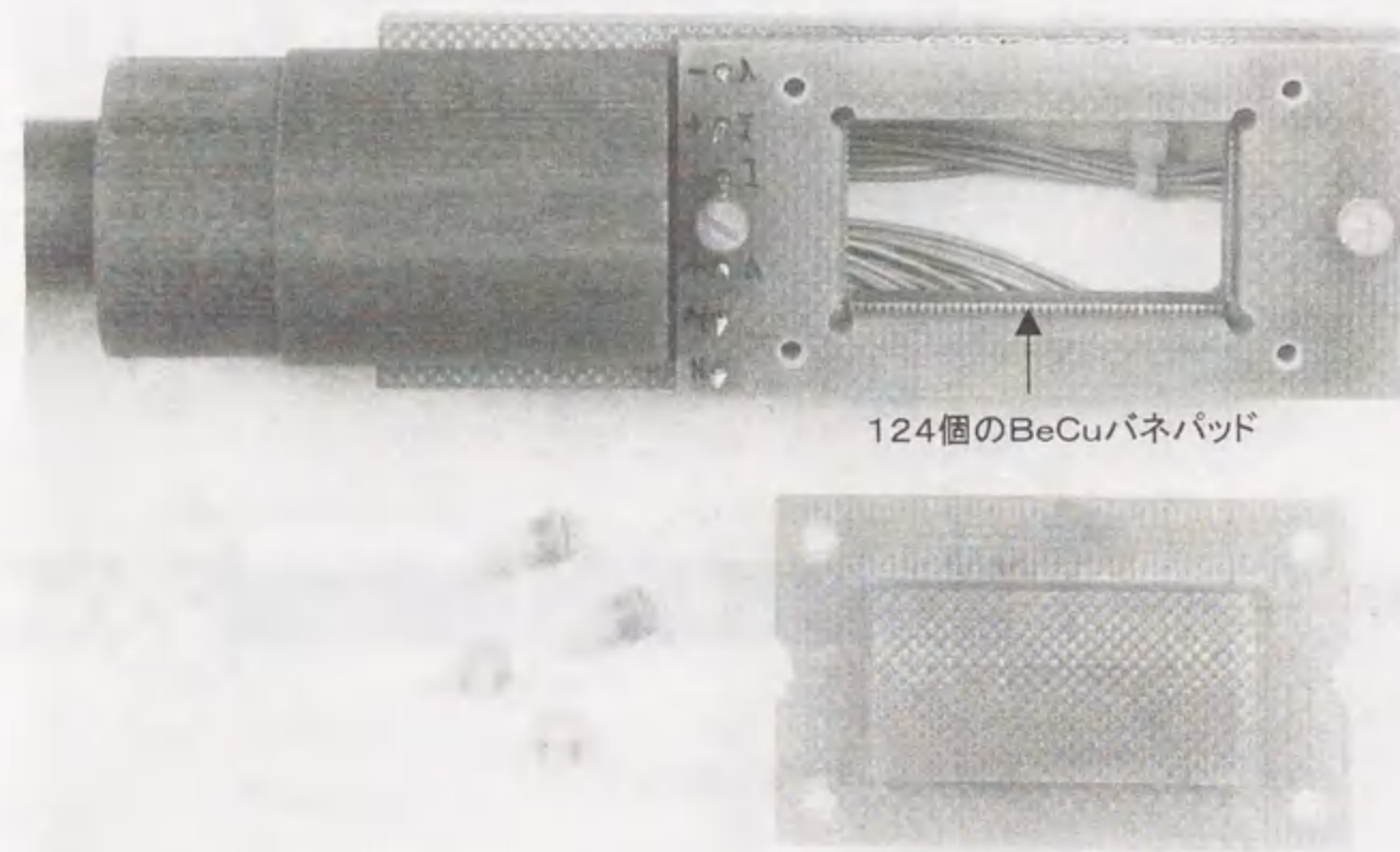


図4-10 サンプルホルダーのパッケージ装着部分

以上の測定治具は、全て非磁性材料で制作したが、さらに従来から使用してきたアルミ製デュワーに換えて新たにFRP (Fiber-Reinforced-Plastic) からなる完全非磁性のデュワーを新たに制作した。これは、アルミ製デュワーも基本的には非磁性であるが、精密な磁場測定をするとデュワーの首の部分の溶接部に僅かに磁場が存在することが解ったためである。また、冷却時のサーマルカレントに起因した磁束トラップを防ぐためにサンプルホルダーの自動昇降装置(図4-11)を開発した。この自動昇降装置を用いて非常にゆっくり冷却することでサーマルカレントに起因した磁束トラップを防いだ。昇降スピードは、約10秒/cmから約3分/cmの範囲で任意に設定することができる。

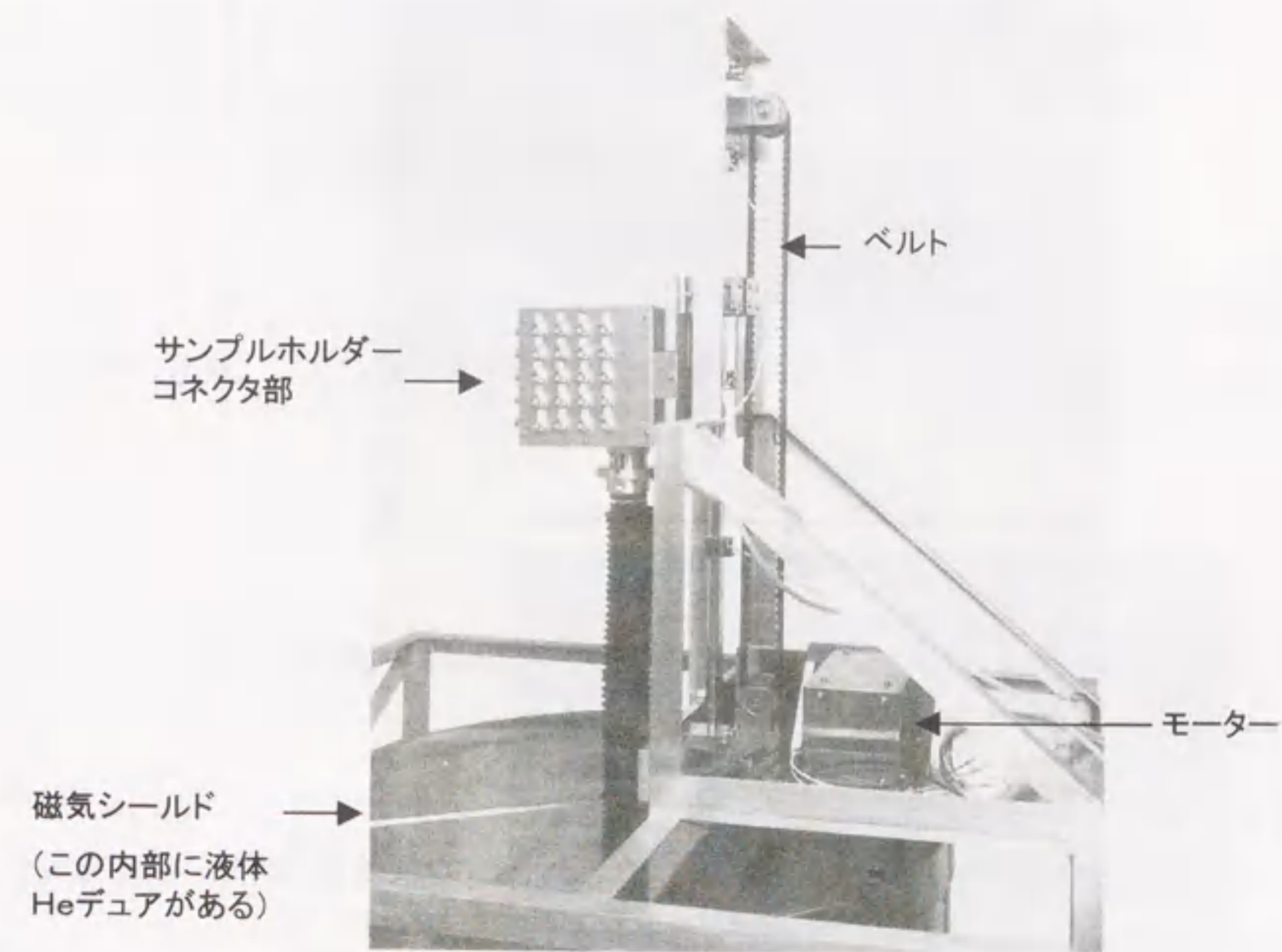


図4-11 自動昇降装置

4.6 4KビットRAMの動作評価

図4-12に、試作したジョセフソン4KビットRAMチップの顕微鏡写真を示す。RAMの実効的な回路の大きさは、約4.4mm角である。約2万1千個のNb/AIOx/Nb接合が集積されている。最小接合サイズは、 $2\mu\text{m} \times 2\mu\text{m}$ である。Nb配線の最小線幅は、 $1.5\mu\text{m}$ である。

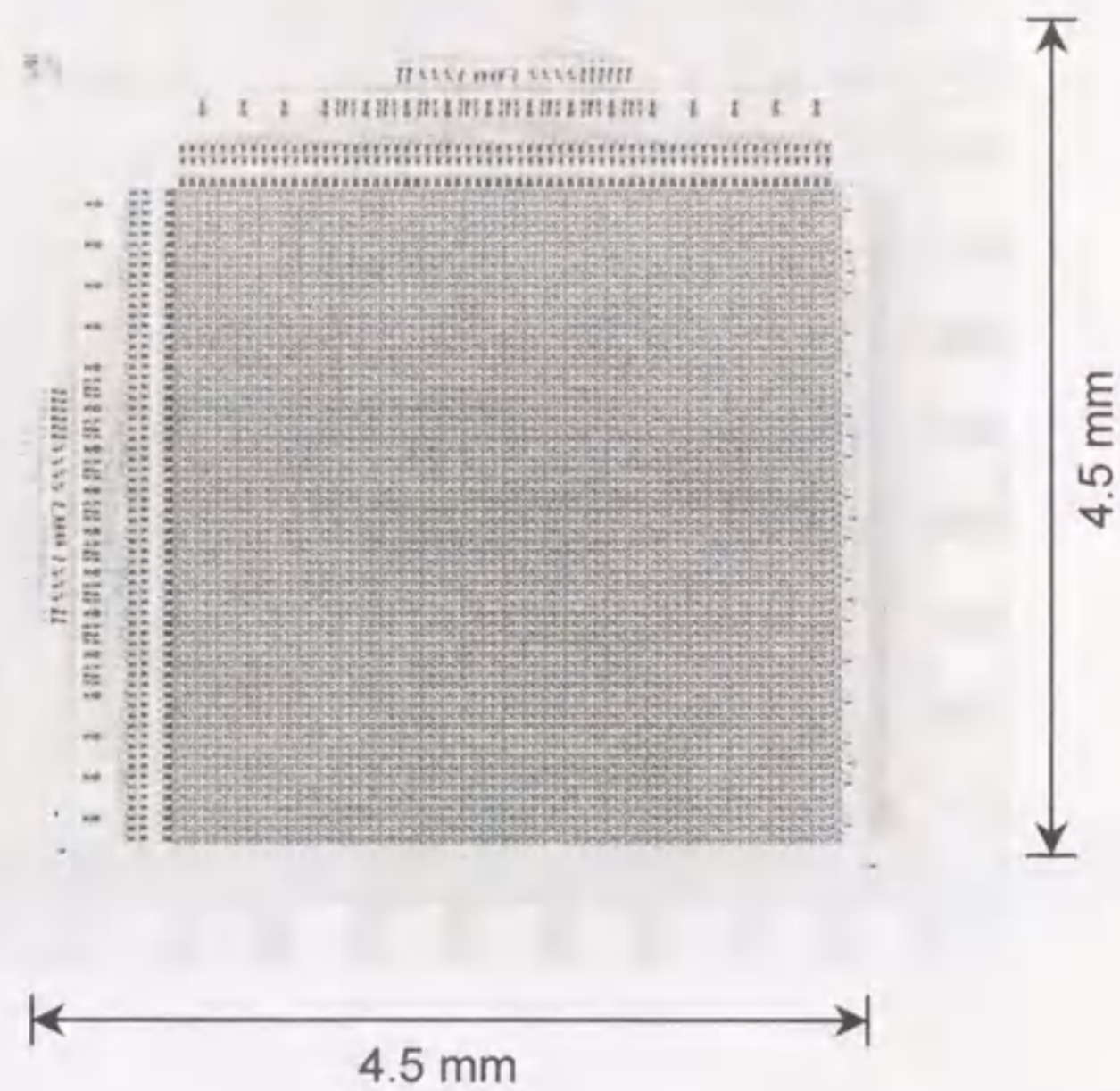


図4-12 ジョセフソン4KビットRAMチップ

4.6.1 特定アドレスに対する機能試験

全アドレスに対する4KRAMの機能試験を行う前に、各バイアス電流に対する動作マージンを確認するために特定のアドレスに対する機能試験を行った。

1KRAMの測定と同様に、この4KRAMにも、最終段のセンス回路の出力以外に回路の途中での動作を確認するためにX、Yドライバ回路のそれぞれ1ビットの出力(Xアドレス<11111>、Yアドレス<100110>)が確認できるように測定パッドが設けられている。この出力を確認することにより、NOT回路を含むデコーダ回路とドライバ回路までの正常動作を、それぞれX、Y両方に関して確認することができる。

図4-13は、上記アドレスの記憶セルをアクセスしたときの4KビットRAMの記憶動作試

験、即ちデータ“1”、“0”の書き込み及び読み出しのパルス波形を示す写真である。上からセンスバイアスの入力信号、Xドライバ回路からの出力信号、Yドライバ回路からの出力信号、アクセス動作の最終段であるセンス回路からの出力信号を示している。“1”W, R, R, “0”W, R, Rと“1”、“0”の書き込み(W)の後、読み出し(R)を2回行っているのはRAMの非破壊読み出し動作を確認するためである。X、Yドライバ回路とも両極性の正常な出力電圧が発生し、最終段のセンス出力では“1”の書き込みの後でのみ出力電圧が発生しており、RAMの正常な記憶動作が行われていることがわかる。このときの各要素回路に対するバイアス電流の動作領域とマージンを表4-1に示す。各要素回路(デコーダ、ドライバ、センス回路)の動作マージン(バイアス電流マージン)は、各要素回路を構成する基本ゲート(OR、AND、BUF、NOTなど)の動作マージンと、複数個の基本ゲートの動作マージンのバラツキに依存する。デコーダ部(X-DEC1、Y-DEC1)のバイアスマージンが最も小さく $\pm 12\%$ になった理由は、デコーダ部の初段に配置されたアドレスインバータ(NOTゲート)の動作マージン(設計値 $\pm 25\%$)が小さいためであると考えられる。ドライバ回路へのバイアス電流に関しては、今回広い動作領域を有する抵抗結合型ジョセフソン極性切換型ドライバ回路(設計値 $\pm 50\%$)を用いたことにより、比較的広い動作マージン($\pm 25\%$ 、 $\pm 31\%$)が得られた。設計値に比べて小さくなっている理由は、設計値は接合のリーク電流を無視した理想的な場合の値であるが、実際にはある程度のリーク電流があることや回路定数のずれにあると考えられる。

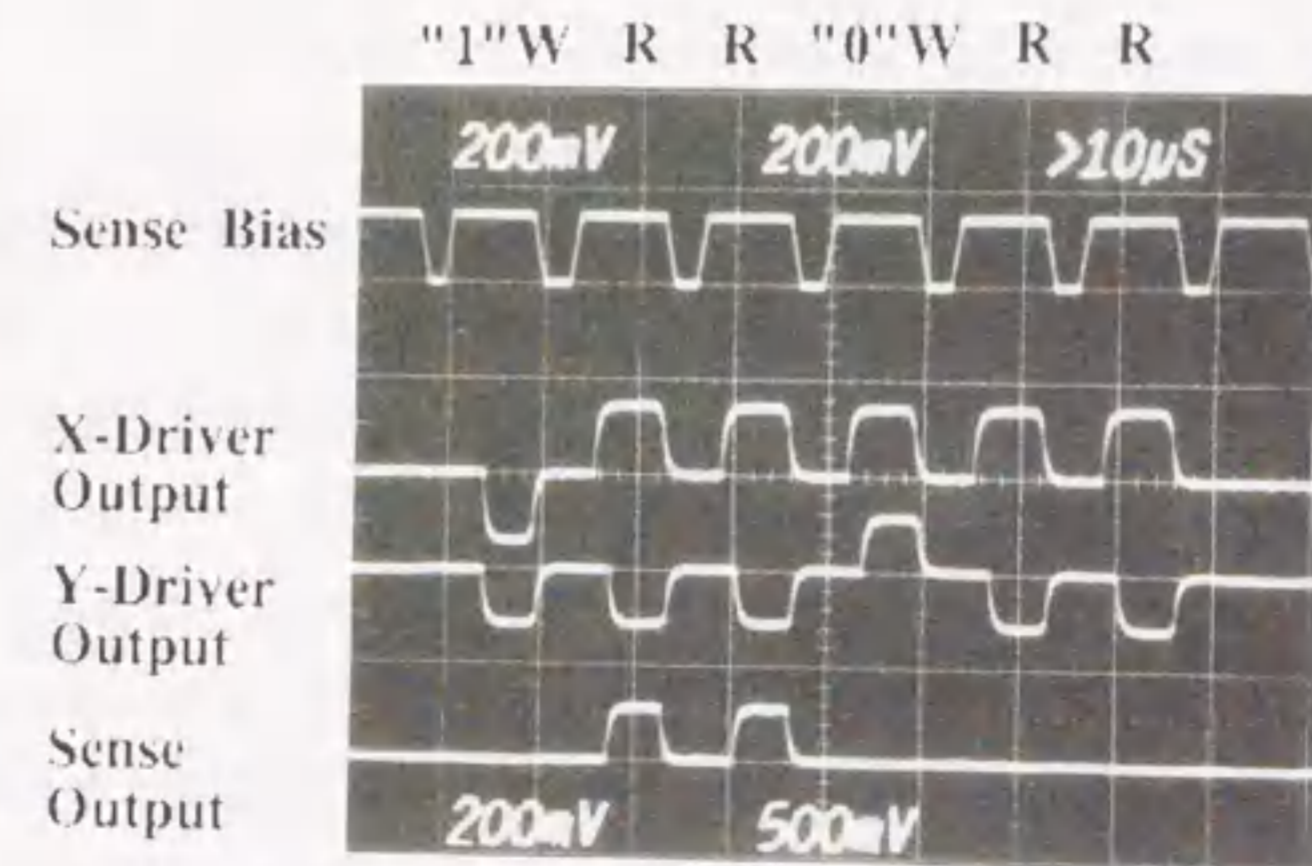


図4-13 特定のアドレスに対する記憶動作の測定波形

表4-1 ジョセフソン4KビットRAMの各バイアス電流の動作領域

バイアス電流名	動作領域	動作マージン
X-DEC1	96 mA ~ 121 mA	± 12%
X-DEC2	76 mA ~ 104 mA	± 16%
X-DRIV	52 mA ~ 86 mA	± 25%
Y-DEC1	100 mA ~ 128 mA	± 12%
Y-DEC2	72 mA ~ 98 mA	± 15%
Y-DRIV	25 mA ~ 47 mA	± 31%
SENSE	12 mA ~ 17 mA	± 17%
DC	15 mA ~ 29 mA	± 32%

4.6.2 フェイルビットマップの測定

全アドレスに対する4KRAMの機能試験は、1KRAMのときと同様にマーチングパターンに対してフェイルビットマップを測定することにより行った。

図4-14は、1つの4KRAMチップに対するフェイルビットマップの測定結果の一例である。このフェイルビットマップの測定では、各バイアス電流値は先に示した表4-1の動作マージンの中心値に設定して測定した。図で、縦方向がXアドレス、横方向がYアドレスを示している。マップ中の“1”出力は“1”読み出しに対するフェイル、“0”出力は“0”読み出しに対するフェイル、“x”出力は“1”読み出しと“0”読み出しの両方に対するフェイルを示し、“.”はパス即ち正常動作を示している。この時のビットイールドは、81%であった。

次に、このフェイルビットマップを測定した後、同じチップに対してチップを液体ヘリウム中から引き上げるにより一度チップの温度を超伝導転移温度以上に上昇させた後、チップを徐々に引き下げるにより再び液体ヘリウムに浸す操作（この操作を今後リフレッシュと呼ぶことにする）を行った後、再度同じバイアス条件でフェイルビットマップの測定を行った。その測定結果を図4-15に示す。図4-14と図4-15の二つのフェイルビットマップを比べると、一部のフェイルビットの位置が変化していることが解る。このことから、これらのフェイルビットの原因が磁気シールドが十分でないために生じた磁束トラップに起因するものであと考えられる。リフレッシュにより、一度チップの温度を超伝導転移温度以上に上昇させることにより磁束トラップを除き、再びチップを冷却することで、前とは違った位置に磁束がトラップされるためにフェイルビットの位置が変化すると考えられる。縦の列のフェイルビットの大部分は、リフレッシュして再度測定すると正常動作ビットに変化することから磁束トラップに起因したフェイル

であると考えられる。縦の列は、実際の4KRAMの中ではセンスラインに対応している。センスラインは、記憶セルのセンスゲートが64個直列に接続された構造になっているため、64個の内1個のセンスゲートが磁束トラップに影響されても64個全てのビットに影響されるため、フェイルビットマップを測定すると縦方向のフェイルビットの数が多くなってしまふ。これに対して、横方向の4つの行のフェイルビットは何度測定してもフェイルビットの位置が変化しないことから製造プロセスに起因した物理的な欠陥によるフェイルと考えられる。これらのフェイルビットのアドレスに対応したデコーダ回路の最終段のゲートか、或いはドライバ回路に物理的な欠陥が存在すると思われる。実際、これらのフェイルビットの位置に対応するプロセス上の欠陥は一部ではあるが顕微鏡で確認することができた。

図4-15のフェイルビットマップのビットイールドは、84%で今回の測定では最大値であった。この最大のビットイールドは、三重の磁気シールドにより得られる最小の外部磁場（約20μG）環境で得ることができた。しかし、図4-14と図4-15のフェイルビットマップの違いからも、なお多くの磁束トラップの影響があることが解る。

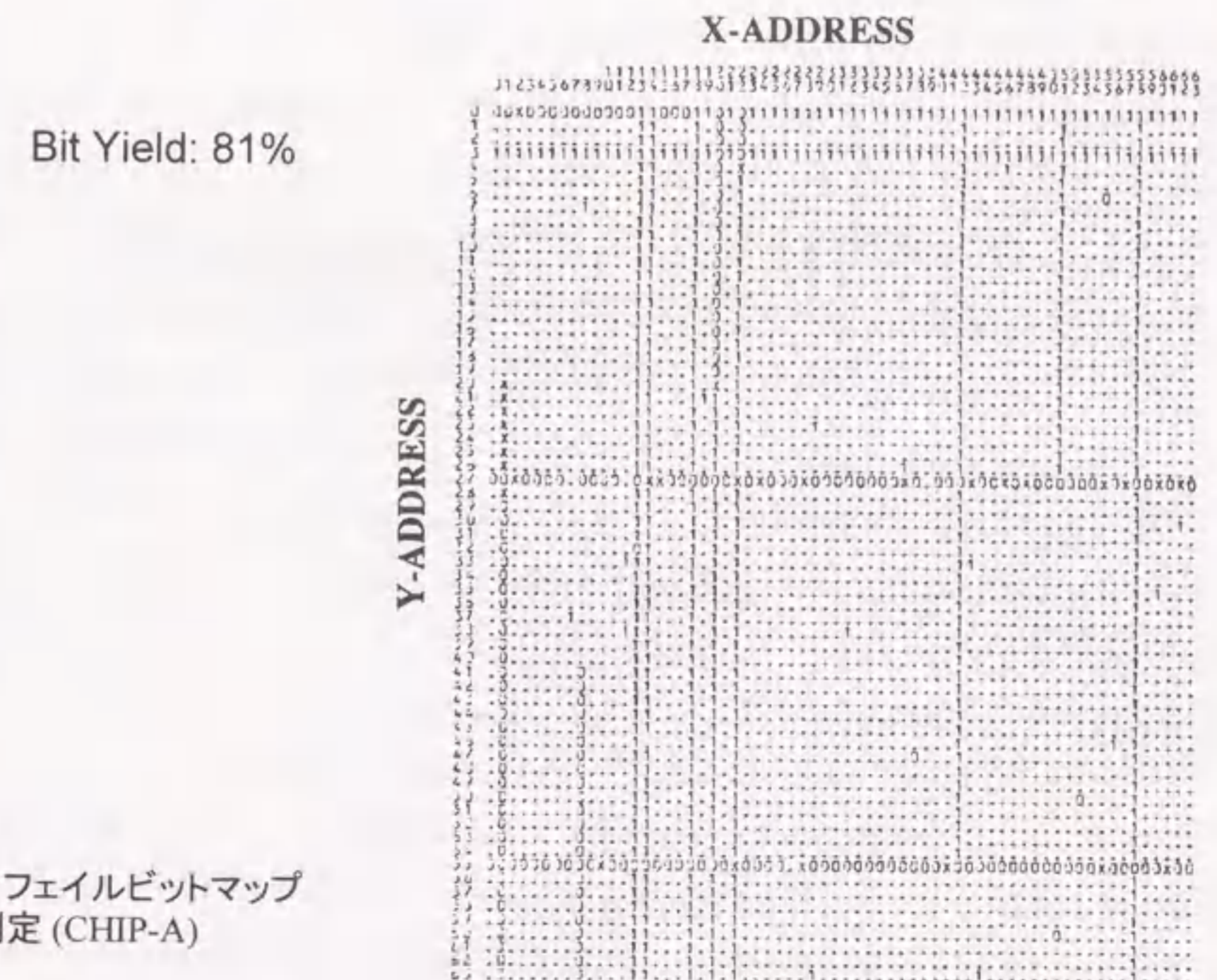


図4-14 フェイルビットマップの測定 (CHIP-A)

し、適切な形状のモート構造を4KRAMに導入することで、磁束トラップの問題をほぼ完全に解決することができる見通しを得ることができた。これについては、次の章で詳しく述べる。

次に、この最高ビットイールド84%が得られたチップに対して、各バイアス電流に対する動作マージンを測定した。ビットイールドは、記憶セルに直接関連する4つのバイアス電流、即ちDCバイアス、センスバイアス、Xドライババイアス、Yドライババイアスの値に依存して大きく変化する。そのため、これら4つのバイアス電流に対するビットイールドの変化を測定した。図4-17に測定結果を示した。デコーダ部のバイアス電流は、動作マージンの中心値に設定した。これらのグラフから、80%以上のビットイールドが得られるバイアスマージンを求め、表4-2に示した。また、この測定ではバイアス電流を変化させてフェイルビットマップの測定を何度も行ったが、リフレッシュ操作をしない限り4KRAM内の磁束トラップの状態は全く変化しないことが解った。

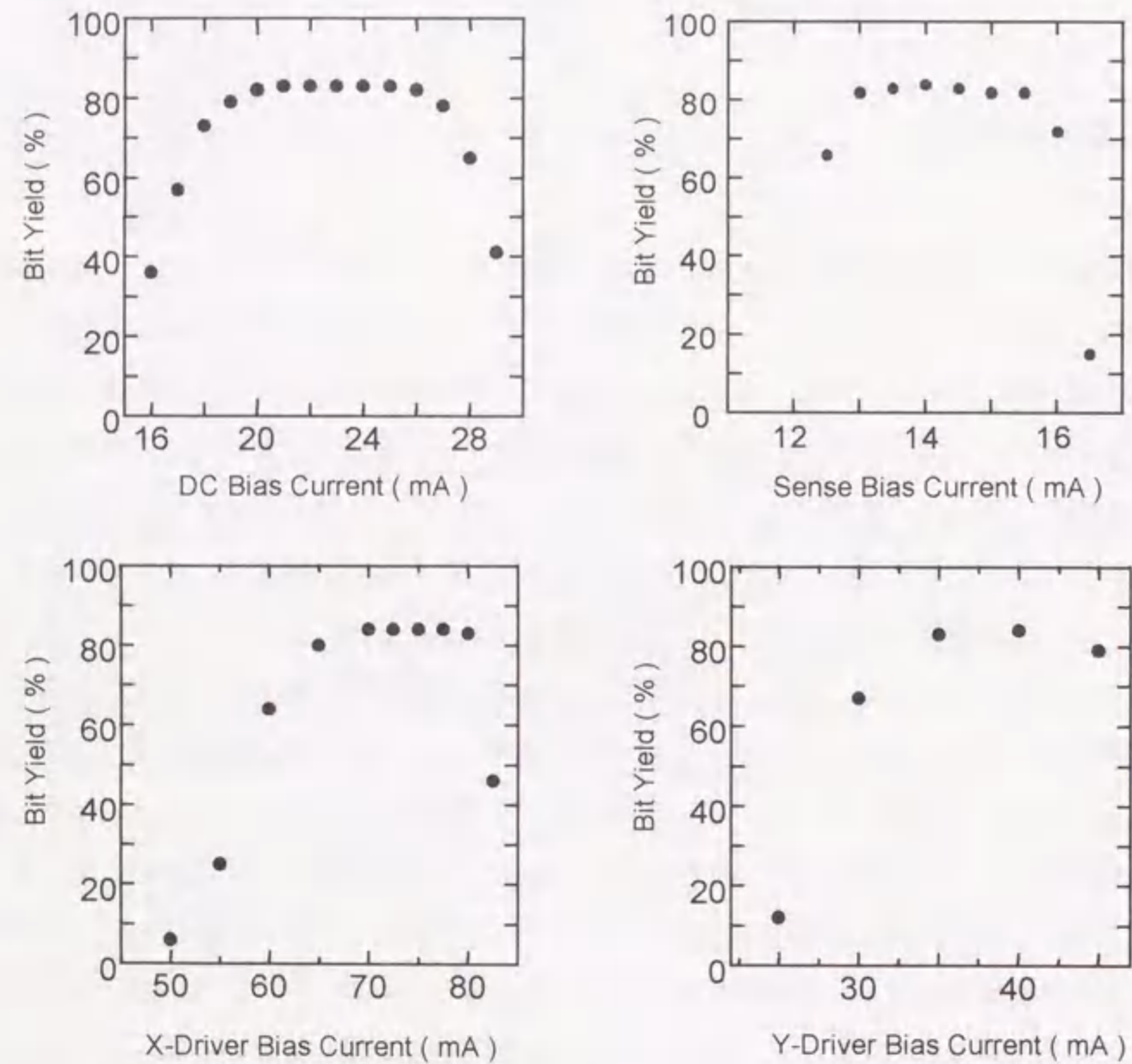


図4-17 ビットイールドのバイアス電流依存性

表4-2 80%以上のビットイールドが得られるのバイアス電流の動作領域

バイアス電流名	動作領域	動作マージン
DC	19 mA ~ 27 mA	± 17%
Sense	13 mA ~ 16 mA	± 11%
X-DRIV	65 mA ~ 80 mA	± 11%
Y-DRIV	35 mA ~ 45 mA	± 10%

4.6.3 アクセス時間の測定

アクセス時間は、1KRAMの時と同様にアクセス動作パスとレファレンスパスの遅延時間差を測定することにより求めた。図4-18に、最小のアクセス時間を示す測定波形を示す。この出力波形も、1KRAMの時と同様にチップからの信号をDCから7GHz帯域の半導体増幅器で増幅してサンプリングオシロで測定したもので、増幅器の特性により出力が反転するため写真の出力波形も上下が反転した形になっている。この最小のアクセス時間380ピコ秒は、4KRAMのクリティカルパス(Xアドレス<000000>、Yアドレス<111111>)に対して、DCバイアス26mA、Xドライババイアス69mA、Yドライババイアス36mA、センスバイアス15mA、SQバイアス17mAのとき得られた。XとYデコーダ回路のバイアス電流は合わせて399mAであった。従って、この時の4KRAMの全バイアス電流は、562mAであった。パワーラインの全抵抗値は、30mΩであったので、この時の4KRAMの消費電力は9.5mWと計算することができる。この値は、交流の矩形波で供給されるバイアス電流のデューティが100%として直流的に計算したものであるが、実際にはデューティが100%になることはなく通常50から70%程度であるため、上記消費電力もこのデューティを掛けた値になる。しかし、外部から正弦波交流を供給して同じチップ内に設けられたジョセフソンレギュレータにより交流の矩形波を発生させることを考えると、このレギュレータでの消費電力も考慮する必要があるため、チップあたりの消費電力の最大値として上記デューティが100%の値で消費電力を評価した。

アクセス時間は、Xドライバ回路のバイアス電流値とDCバイアス電流値に大きく依存するので、これらのバイアスに対する上記クリティカルパスのアクセス時間依存性を測定した。図4-19に、測定結果をまとめたグラフを示す。他のバイアス電流値は、それぞれの動作マージンの中心値に設定した。DCバイアスとXドライババイアスを増加させると、アクセス時間はそれぞ

れ800ピコ秒から380ピコ秒に、600ピコ秒から380ピコ秒に減少した。これらの結果から、4KRAMは電源のデューティを70%と仮定すると約1.8GHzまでのクロックサイクルで動作可能であると考えられる。

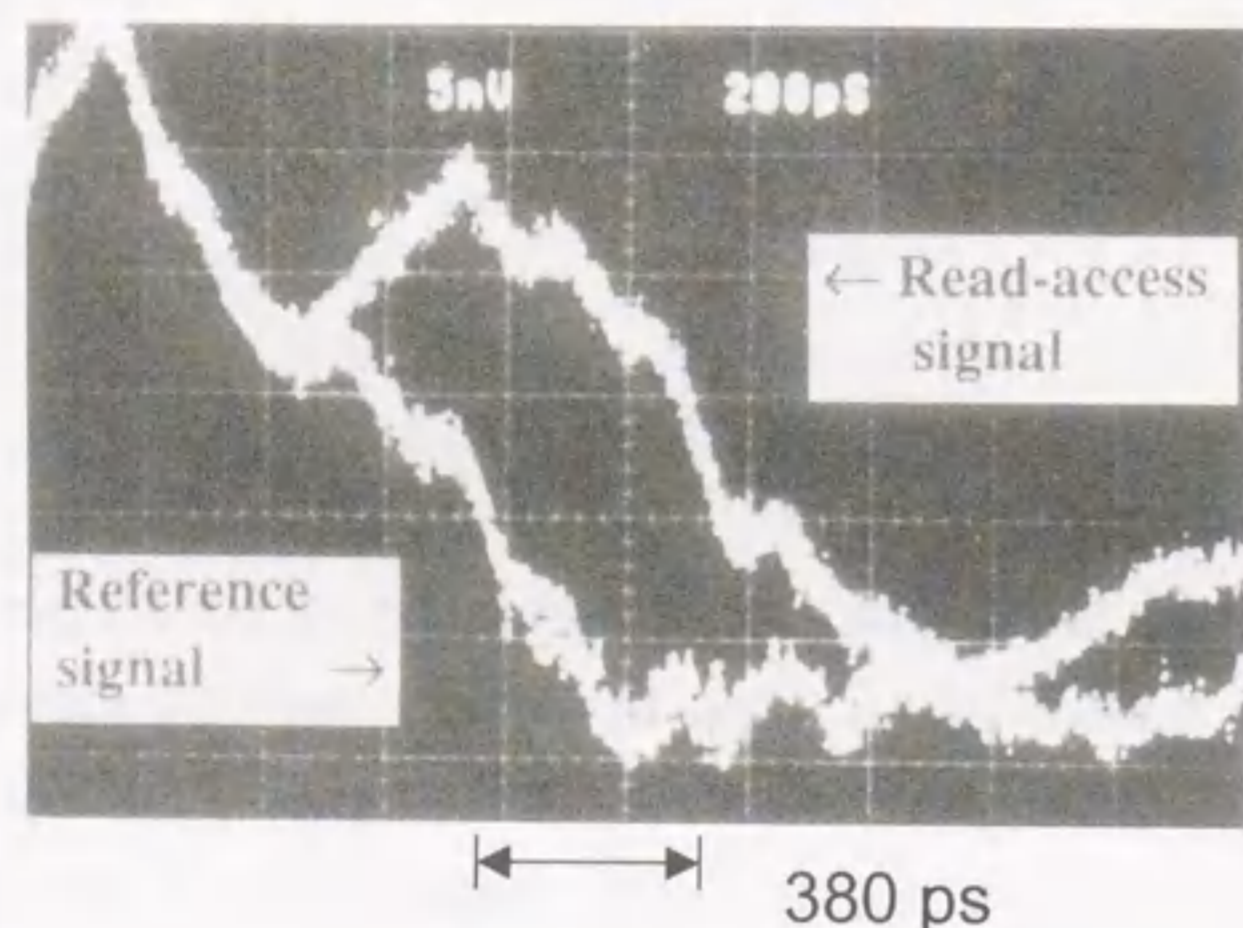


図4-18 アクセス時間の測定

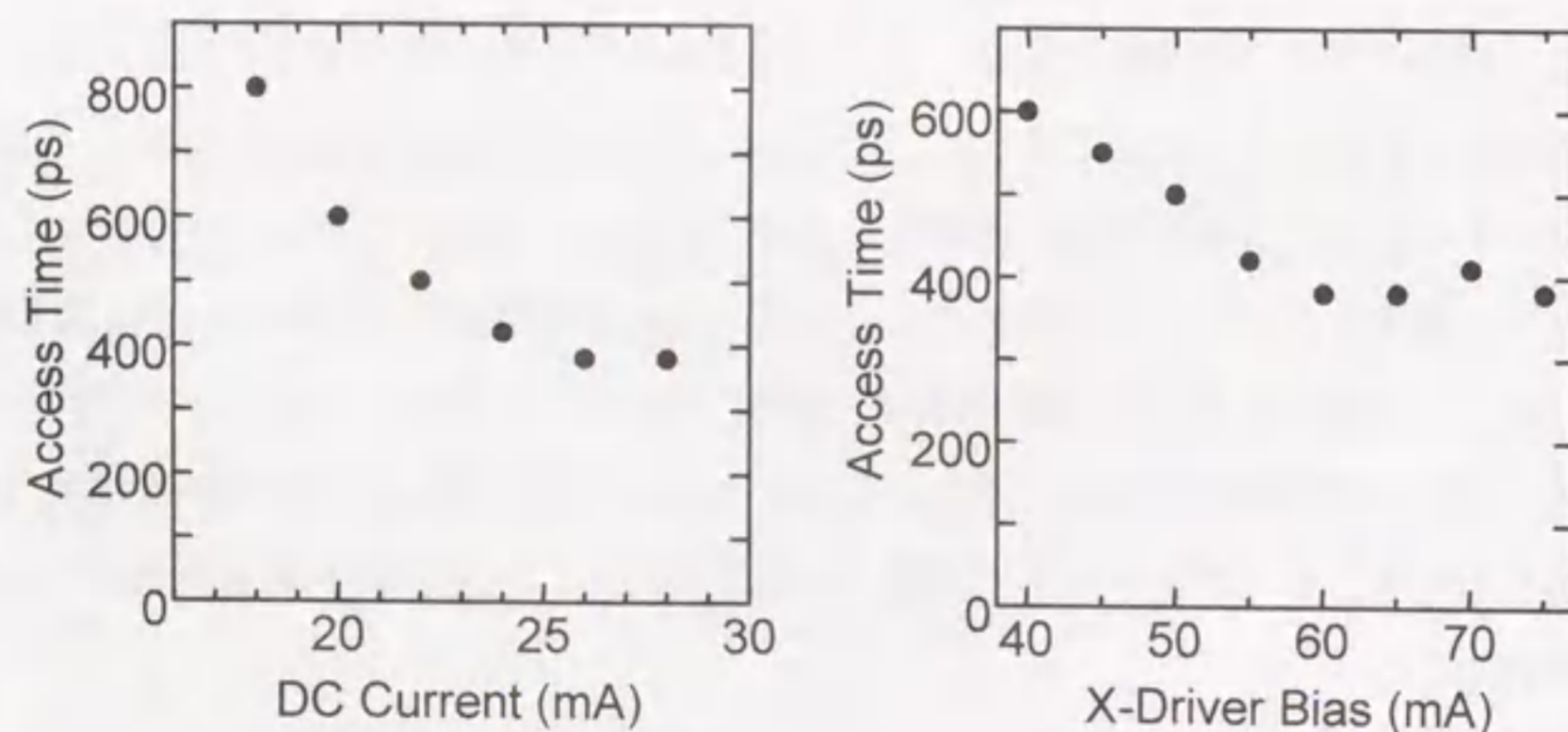


図4-19 アクセス時間のバイアス電流値依存性

4.7 結言

本章では、以前の4KビットRAMの開発の成果と問題点を踏まえて、ジョセフソン記憶回路の全ビットの完全動作に向けた研究を行った。そのために、以前の4KビットRAMの問題点を製造プロセスと回路設計及び測定技術の面から全面的に検討し改良を行った。製造プロセス上は、プロセスの容易化による信頼性の向上という観点から配線層を1層少なくし、絶縁層の良好な被覆性を得るためにバイアスパッタ技術を導入したことを特徴とする2層配線からなるデバイス構造を開発し、回路設計上は、2層配線の新しいデバイス構造の採用に伴った全面的なレイアウト変更と新しい抵抗結合型極性切換ドライバ回路及びAND回路を付加した抵抗付加型センス回路を開発し、測定評価上は、非磁性のセラミックパッケージ、サンプルホルダー、自動昇降装置等の測定治具を開発した。これらの改善を踏まえて新たに4KビットRAMを設計し試作した。その結果、最大ビットイールド84%、最小アクセス時間380ピコ秒、消費電力9.5mWを得ることができた。この最大のビットイールドは、我々の磁気シールドで得られる最小の磁場環境下で測定されたものであるが、それでもなお多くの磁束トラップの影響があることを確認した。リフレッシュを伴ったフェイルビットマップの測定を計8回行うことで磁束トラップに起因したフェイルを除くと、物理的な欠陥に起因したフェイルは64個のみで、もし磁束トラップの影響を完全に除去することができれば、ビットイールドは98%になることが解った。このことは、反面ジョセフソン記憶回路が磁束トラップに非常に弱いということであり、実用上致命的な問題になると思われた。しかし、適切な形状のモート構造を4KRAMに導入することで、磁束トラップの問題をほぼ完全に解決することができる見通しを得ることができた。これについては、次の章で詳しく述べる。

なお、今回の4KビットRAMの開発においては、製造プロセスの容易化による信頼性の向上を目的としてデバイス構造の2層配線化により1KビットRAMの開発に用いた様な完全な平坦化は行わなかったが、今後さらに記憶回路の大容量化のためには、信頼性の高い平坦化構造の製造プロセス技術が重要になることは言うまでもない。

参考文献

- [1] S. Tahara, Y. Wada, "A vortex transitional NDRO Josephson memory cell," Japanese J. Appl. Phys., vol. 26, no. 9, pp. 1463-1466, Sep. 1987.
- [2] S. Tahara, I. Ishida, Y. Ajisawa, and Y. Wada, "Experimental vortex transitional nondestructive read-out Josephson memory cell," J. Appl. Phys. vol. 65, pp. 851-856, 1989.
- [3] S. Tahara, I. Ishida, S. Nagasawa, M. Hidaka, H. Tsuge, and Y. Wada, "4-kbit Josephson nondestructive read-out RAM operated at 580 psec and 6.7 mW," IEEE Trans. on Magn., vol. 27, no. 2, pp. 2626-2633, Mar. 1991.
- [4] I. Ishida, S. Tahara, M. Hidaka, S. Nagasawa, S. Tsuchida, and Y. Wada, "A fabrication process for a 580 ps 4Kbit Josephson non-destructive read-out RAM," IEEE Trans. on Magn., vol. 27, no. 2, pp. 3113-3116, Mar. 1991.
- [5] S. Nagasawa, Y. Hashimoto, H. Numata, S. Tsuchida, and S. Tahara, "380ps, 9.5mW Josephson 4Kbit RAM," Electronics Letters, vol. 30, no. 10, pp. 761-762, May 1994.
- [6] S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara, "A 380ps, 9.5mW Josephson 4-Kbit RAM operated at high bit yield," IEEE Trans. on Appl. Superconductivity, vol. 5, no. 2, pp. 2447-2452, June 1995.
- [7] H. Numata, S. Nagasawa, S. Tahara, "Fabrication process for sub-micron Josephson junction," Extended Abstracts ISEC'93, pp. 280-281, 1993. H. Numata, S. Nagasawa, M. Koike, S. Tahara, "Fabrication technology for a high-density Josephson LSI using an electron cyclotron resonance etching technique and a bias-sputtering planarization," Supercond. Sci. Technol. No. 9, pp. A42-A45, 1996.
- [8] S. Tahara, I. Ishida, Y. Wada, "Wide-margin polarity-convertible Josephson drivers," Electronics Letters, vol. 24, no. 19, pp. 1220-1221, 1988.
- [9] S. Nagasawa, S. Tahara, H. Numata, Y. Hashimoto, and S. Tsuchida, "A Resistor coupled Josephson polarity-convertible driver," IEICE Trans. Electron., vol. E77-C, no. 8, pp. 1176-1180, Aug. 1994.
- [10] 小笠原, L. Boesten, 弱磁場にたいする磁気遮蔽, 日本物理学会誌, 第28巻, 第12号, pp. 1041-1049, 1973.
- [11] L.L. Vant-Hull and J.E. Mercereau, "Magnetic shielding by a superconducting cylinder," The Review of Scientific Instruments, vol. 34, no. 11, pp. 1238-1241, 1963.

- [12] R.E. Brown, "Device for producing very low magnetic field," The Review of Scientific Instruments, vol. 39, no. 4, pp. 547-550, 1968.
- [13] M.A. Taber, D.O. Murray, J.M. Lockhart, D.J. Frank, and D. Donegan, "Production of ultralow magnetic fields for gravity probe B (GP-B)," Adv. Cryogenic Eng. Vol. 39, pp. 161-170, 1993.

第5章 磁束トラップの防止技術と4KRAMへの適用

5.1 はじめに

前章でジョセフソン記憶回路が磁場に対して非常に高感度であり、磁束トラップに起因して回路が誤動作するという大きな問題点があることを述べた。この磁束トラップと言う現象は、素子を冷却して超伝導転移させる際、そこを貫いていた磁場が磁束量子の単位で捕獲される現象である。従って、この磁束トラップの原因は磁場であるが、この磁場の原因として前章でも述べたが第一に残留外部磁場とサーマルカレントに起因した磁場が考えられる。残留外部磁場は地球磁場と言っても良いが、通常ジョセフソン集積回路は磁気シールド環境で使用されるので、ここでは残留外部磁場と呼ぶことにする。サーマルカレントによる磁場は、冷却時の素子の温度分布に起因して発生すると考えられている。従って、サーマルカレントによる磁場は、素子を非常にゆっくり冷却してチップ面内での温度分布をなくせば除去することができる。

磁束トラップは、上に記したように磁束量子の単位で磁場が超伝導体（ジョセフソン集積回路では最も面積の大きな超伝導グランド面）に捕獲される現象であるから、全磁束量が単一磁束量子以下であれば磁束トラップは生じない。従って、残留外部磁場に対しては、例えばチップサイズが5mm角であれば磁気シールドにより約1 μ G以下の低磁場環境を実現すればほぼ磁束トラップを除去することができる。しかし、この様な超低磁場環境を実現することは容易なことではない。そのため、本章では磁束トラップの影響を受けにくい素子構造を検討した。磁束トラップの影響をさける方法としては、従来から超伝導グランド面に溝をほる方法（モートと呼ばれている）[1]が知られており、多方面で使われている。しかし、様々な形状のモートが使われており、記憶回路に効果的なモート形状及び効果の程度は明確にはなっていなかった。そこで、種々のモート形状を設計し、残留外部磁場に起因した磁束トラップの影響をSQUID評価回路を用いて測定した[2]。この測定の際には、素子冷却時のサーマルカレントに起因した磁場の影響を除去するために、自動昇降装置を用いて素子を非常にゆっくり冷却した。これらの測定から、ジョセフソン記憶回路に最適なモート形状の定量的な評価を行った。

次に、サーマルカレントによる磁場は、素子を非常にゆっくり冷却してチップ面内での温度分布をなくせば除去することができることは先に述べたが、非常にゆっくり冷却するということは長時間を要することにもなるので、どの程度の速度で冷却すればサーマルカレントに起因した磁束トラップを除去できるか定量的な評価を行う必要がある。ここでは、先の実験で求めた残留外部磁場に起因した磁束トラップの影響を完全に排除した条件下で、サーマルカレントによる磁場に起因した磁束トラップの影響の冷却速度依存性を評価した。

そして、以上得られた結果を4KビットRAMに適用した。即ち、最適な形状のモート構造を4KビットRAMに導入し、ある速度以下での緩冷却を行いフェイルビットマップの測定を行い4KビットRAMに於ける磁束トラップの影響を評価した[2]。

本章では、5.2節で磁束トラップの測定評価を行う前提となる非磁性チップホルダー、磁気シールド、及び自動昇降装置といった測定治具について述べる。5.3節では、磁束トラップの影響を定量的に評価するためのSQUID評価回路について述べる。5.4節では、モートの原理を紹介し、種々のモート形状の設計と、残留外部磁場に起因した磁束トラップのモート形状依存性について述べる。5.5節では、サーマルカレントに起因した磁束トラップの冷却速度依存性について述べる。5.6節では、以上述べた磁束トラップ排除方法を4KビットRAMに適用した結果について述べる。5.7節で結言を述べる。

5.2 測定治具

図5-1に測定方法の概略図を示す。Heデュワーを挿入した磁気シールドは、第3章でも示したパーマロイから成る3重の磁気シールドで、残留外部磁場に起因した磁束トラップの影響の測定では、上部の3重の蓋を一部又は全部取り外すことで測定時の残留外部磁場の大きさを調節した。3重の蓋を全部閉じて得られる最小の残留外部磁場は約10~20マイクロガウス程度である。チップホルダーは、4KRAMの測定にも用いたエポキシガラスを主体とした非磁性の測定治具を用いた。SQUID評価チップはチップホルダーの図の位置に垂直方向に取り付けた。磁気シールドで得られる最小残留外部磁場が水平方向であるため、この様にチップは垂直方向に取り付けた。チップの温度は、チップの近傍に配置したSiダイオードセンサーで測定した。冷却には、これまた前節で4KビットRAMの測定にも使用した自動昇降装置を用いて一定の冷却速度を実現した。また、磁場の測定には、フラックスゲート型の高感度ガウスメータを用いた。

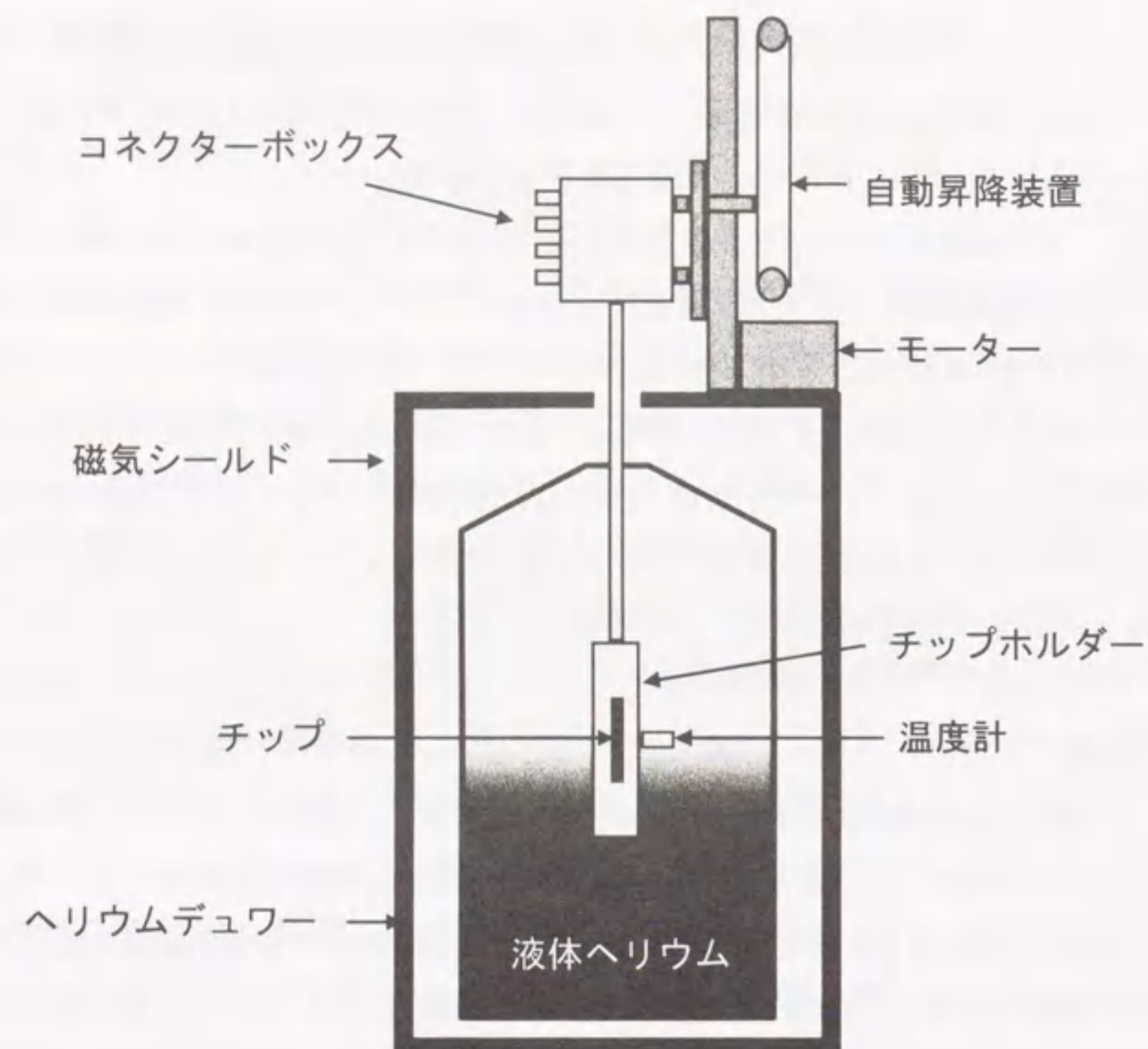


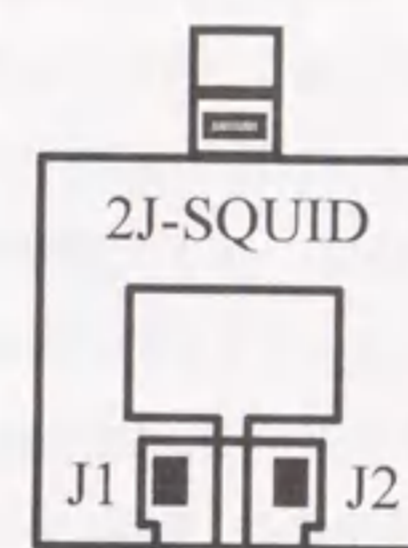
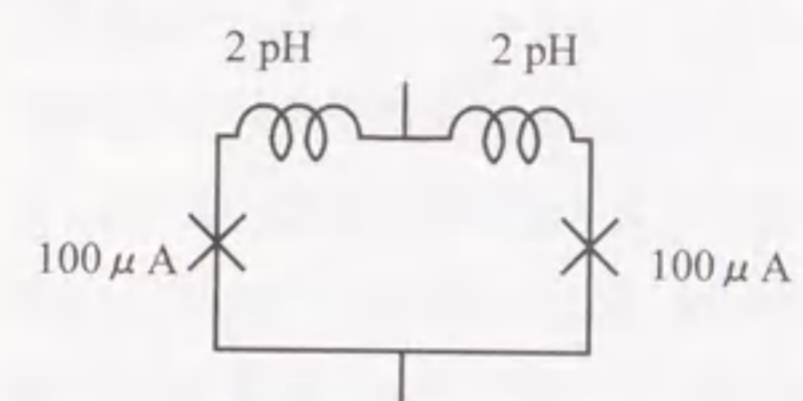
図5-1 測定方法

5.3 SQUID評価回路

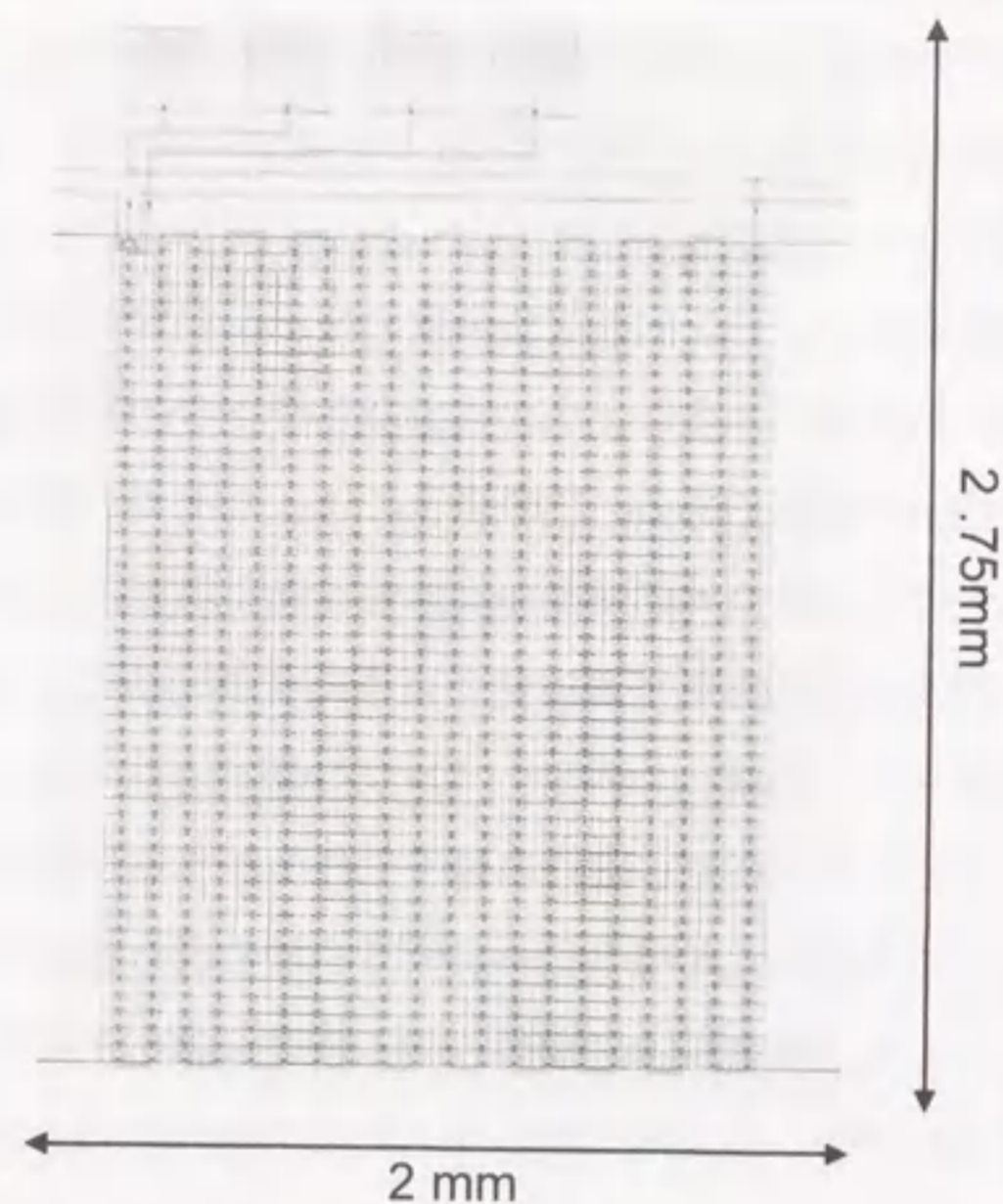
磁束トラップの定量的な評価を行うために、図5-2に示したSQUID評価回路を用いた。これは磁場の感度を高めるために2接合SQUIDを1000個直列に接続したものである。接合の臨界電流値は、後で述べる様に電源ノイズの影響を考慮して100 μ Aに設計した。従って、SQUIDの臨界電流値は200 μ Aになる。この電流電圧特性を測定することで、磁束トラップにより臨界電流値がサプレースされたSQUIDの個数から磁束トラップの割合を評価することができる。臨界電流値がサプレースされる原因は磁束トラップの影響以外にも測定時の電源ノイズが考えられるが、我々の測定系ではこの電源ノイズは10 μ Aを越えることはないため、10%以上の臨界電流値のサプレース、即ち20 μ A以上臨界電流値が減少したSQUIDは全て磁束トラップに起因したものと考えて個数を計算した。

図5-2(c)は、SQUID評価回路のチップ写真で、1個のチップに7個のSQUID評価回路を配置した。チップサイズは、8mm \times 5.5mmで、各SQUID評価回路1個のグ

ランド面の大きさは2mm \times 2.75mmに設計した。また、2接合SQUID1個当たりの大きさは、40 μ m \times 80 μ m (繰り返しのピッチ)で、この大きさは4KビットRAMの記憶セルの大きさ55 μ m \times 55 μ mにほぼ等しく設計した。



(a) 2接合SQUID



(b) SQUID評価回路
(2接合SQUIDが1000個直列接続された回路)

(c) チップ写真
(SQUID評価回路が7個配置されている)



図5-2 SQUID 評価回路

5.4 外部残留磁場に起因した磁束トラップ

5.4.1 モートの原理

モートとは、磁場に敏感なジョセフソン素子の周辺部の超伝導グランド面に溝をほり、この溝に積極的に磁束をトラップさせることでジョセフソン素子のある中心部に磁束がトラップされないようにする方法である。これは磁束は、素子の冷却時に超伝導グランド面の自然な粒界や欠陥等を中心にして磁束量子の単位で捕獲（トラップ）されるため、あらかじめトラップされ易い欠陥（超伝導にならない領域、溝）を周辺領域に作成しておくことで、素子直下のグランド面に磁束トラップが生じにくくしている。即ち、トラップセンターとしての役割である。従って、この場合には、ドット形状の多数のモートが素子の周辺に配置されることが多い。これがモートの第一の役割であるが、次のようなもう一つの役割も考えられる。それは、モートで素子を取り囲む場合の役割である。この場合には、モートで取り囲むことで囲んだ超伝導グランド面の面積を小さくし、且つ外部磁場の大きさがある値以下にすることで、常伝導状態のときにそこを貫いていた全磁束量を単一磁束量子以下にする役割である。これにより、磁束の量子化条件からモートで囲まれた領域への磁束トラップを防ぐ方法である。この方法は、磁気シールドで磁場がある値以下にしておけば、磁束の量子化条件から取り囲んだ領域での磁束トラップを完全に除去することができる。この場合には、素子を取り囲む様に細長い形状のモートを使うが、超伝導グランド面としての電気的な連続性を得るために部分的にモートを分断して使用する。特殊な状況では、完全にグランド面を分割することも考えられる。

5.4.2 モート形状の最適化

前節で述べたSQUID評価回路の超伝導グランド面に種々の形状のモートを設計した。モートの形状としては、第1にグランド面を完全に分割する方法、第2にドット形状のモート、第3に細長いスリット状のモートに大きく分けて設計した。そして、これらのモート形状を有するSQUID評価回路の電流電圧特性を測定して磁束トラップの影響を評価した。ここでの測定では、先に記した様にサーマルカレントに起因した磁束トラップが生じないように素子の冷却は非常にゆっくり行い、反対に残留外部磁場に起因した磁束トラップの影響が顕著に生じるように、磁気シールドの上部の蓋をはずすなどして超伝導転移位置での残留外部磁場が数mGから数100 μ G程度になるように調整した。

1) グランド面の分割

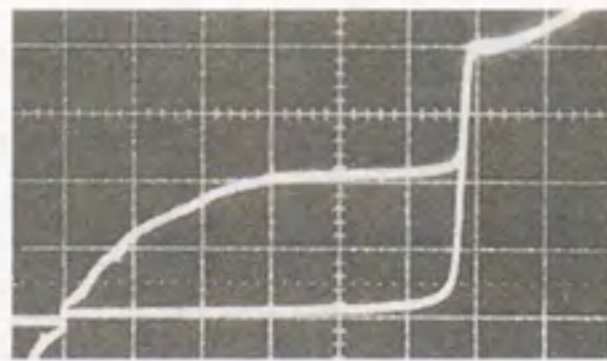
まず、グランド面を分割する方法で、分割の面積を変化させて3種類のモートを設計した。完全にグランド面を分割して分割したグランド面間の電気的な連続性をなくした場合と、グランド

面の電流の連続性を考慮して完全には分離しない場合の比較も行った。

図5-3に、測定結果を示す。図の写真は、前記したSQUID評価回路（図5-2）の電流電圧特性の第1象限（電流、電圧とも正の極性の領域）を示している。1000個直列接続されたSQUIDの電流電圧特性を測定することで、1000個のSQUIDの各臨界電流値のバラツキを一度に測定することができる。電流を増やしていくと臨界電流値の小さな接合から先に電圧状態にスイッチするため、横軸の電圧は1個の接合のギャップ電圧2.8mVのきざみで増大し、縦軸の電流は臨界電流値のバラツキに対応して徐々に増大していく様子が解る。この写真では、2.8mVのきざみは小さすぎて見えないため、1000個の臨界電流値は連続した1つ曲線になっている。全体として、ギャップ電圧は1000倍の2.8Vになっており、接合の臨界電流値は、磁束トラップ等による磁場の影響がないときには設計値どおり200 μ Aになっている。図で(a)は、モートなしの場合、(b)から(d)は分割の面積をだんだん小さくしていった場合のもので、(e)は(c)と同じ分割の大きさで電流の連続性を考慮して完全には分離しなかった場合である。(b)の分割は、グランド面を10分の1に分割し、分割した1個のグランド面の大きさは、400 μ m \times 800 μ mで100個のSQUIDが含まれる。(c)の分割は、グランド面を100分の1に分割したもので、分割した1個のグランド面の大きさは、200 μ m \times 160 μ mで10個のSQUIDが含まれる。(d)の分割は、グランド面を1000分の1に分割したもので、分割した1個のグランド面の大きさは、40 μ m \times 80 μ mで1個のSQUIDが含まれる。電流電圧特性の測定結果から解るように分割を小さくすることで、磁束トラップの影響が少なくなり（臨界電流値のサプレッスされている接合の数が減少している）、(d)の分割では全く影響が現れていない。この測定では、残留外部磁場が1mG程度であるため、(d)の分割のグランド面の大きさでは全磁束が単一磁束量子以下になるため、磁束の量子化条件から磁束トラップが完全に排除された結果と考えることができる。また、完全に分割した場合には写真の様なノイズが生じたが、ノイズの程度は分割を小さくするにつれて小さくなっている。このノイズは部分的に分割したもの(e)では、写真の様に全く生じていない。(c)と(e)では磁束トラップの程度はほとんど同じで、図の様に部分的な分割でも完全に分割した場合と同じ効果が得られていることが解る。このことから部分的な分割、即ち素子を取り囲むようにモートを配置することで、完全に分割した場合と同じ様に磁束トラップの影響が少なくなり、且つノイズも発生しないことが解った。

以上の結果から、素子を取り囲むようにモートを配置し、且つ取り囲む面積を小さくすることが効果的であることが解った。それで次に、取り囲む様に配置する具体的なモート形状、及びモート間の間隔を変化させて磁束トラップの影響を調べた。この場合のモート形状の典型的な一例を図5-4に示す。取り囲む大きさは、この評価回路の最小単位であるSQUID1個の大きさ

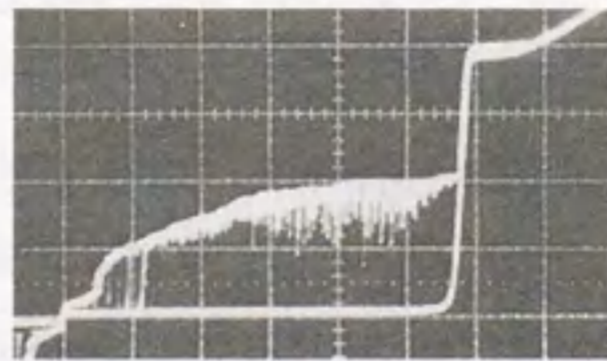
(a) モートなし



(b) 10分割 (完全に分離)

分割された1個のグランド面の大きさ:
 $400 \mu\text{m} \times 800 \mu\text{m}$

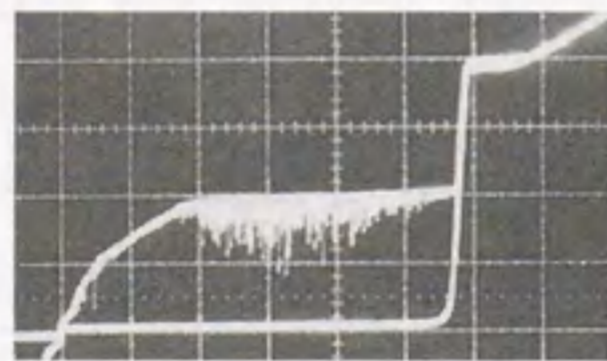
Φ_0 に対応する磁束密度: 0.032mG



(c) 100分割 (完全に分離)

分割された1個のグランド面の大きさ:
 $200 \mu\text{m} \times 160 \mu\text{m}$

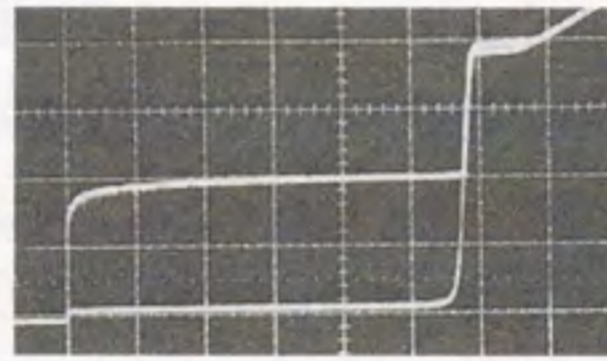
Φ_0 に対応する磁束密度: 0.32mG



(d) 1000分割 (完全に分離)

分割された1個のグランド面の大きさ:
 $40 \mu\text{m} \times 80 \mu\text{m}$

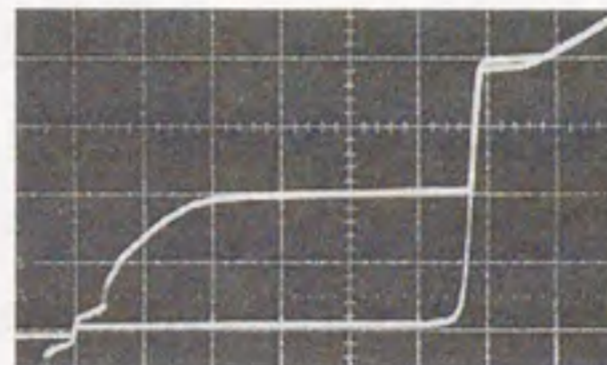
Φ_0 に対応する磁束密度: 3.2mG



(e) 100分割 (部分的に接続)

分割された1個のグランド面の大きさ:
 $200 \mu\text{m} \times 160 \mu\text{m}$

Φ_0 に対応する磁束密度: 0.32mG

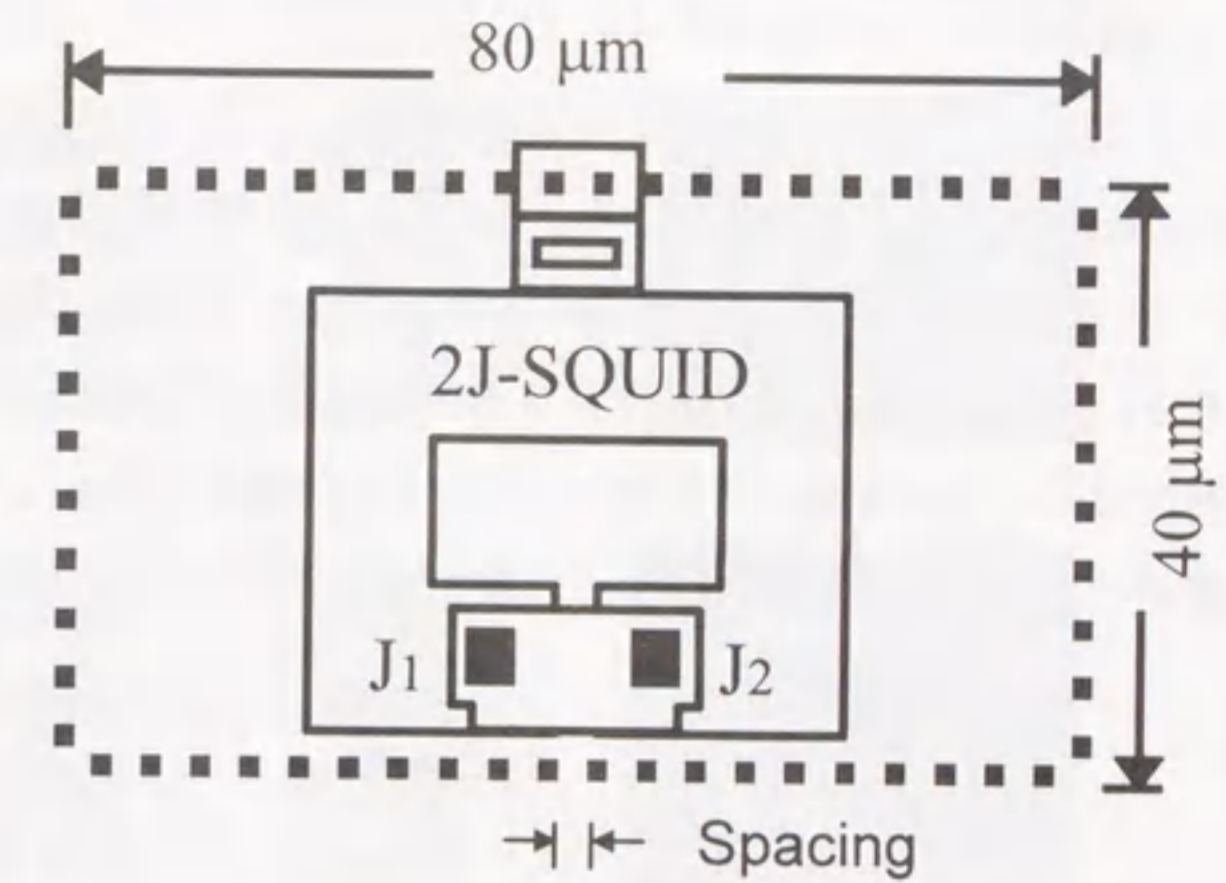


縦軸: $100\mu\text{A}/\text{div}$ 横軸: $500\text{mV}/\text{div}$

図5-3 グランド面の分割

に対応した $80\mu\text{m} \times 40\mu\text{m}$ である。図の (a) はドット形状のモート、(b) は細長いスリット形状のモートで取り囲んだ場合の概略図である。どちらの場合もモート間の間隔 (図では、Spacing と記した) を段階的に変化させて、磁束トラップの影響を調べた。(a) のドット形状のモートの場合、モート間の間隔を広げるにつれて、1個のドットの形状は変化しないがドットの個数が減少する。(b) の細長いスリット形状のモートでは、モート間の間隔を広げるにつれて、モートの個数は変化しないが1個のモートの長さが短くなっていく。以下に、これらの具体的な形状とそれぞれの測定結果を示す。

(a) ドット形状のモート



(b) 細長いスリット形状のモート

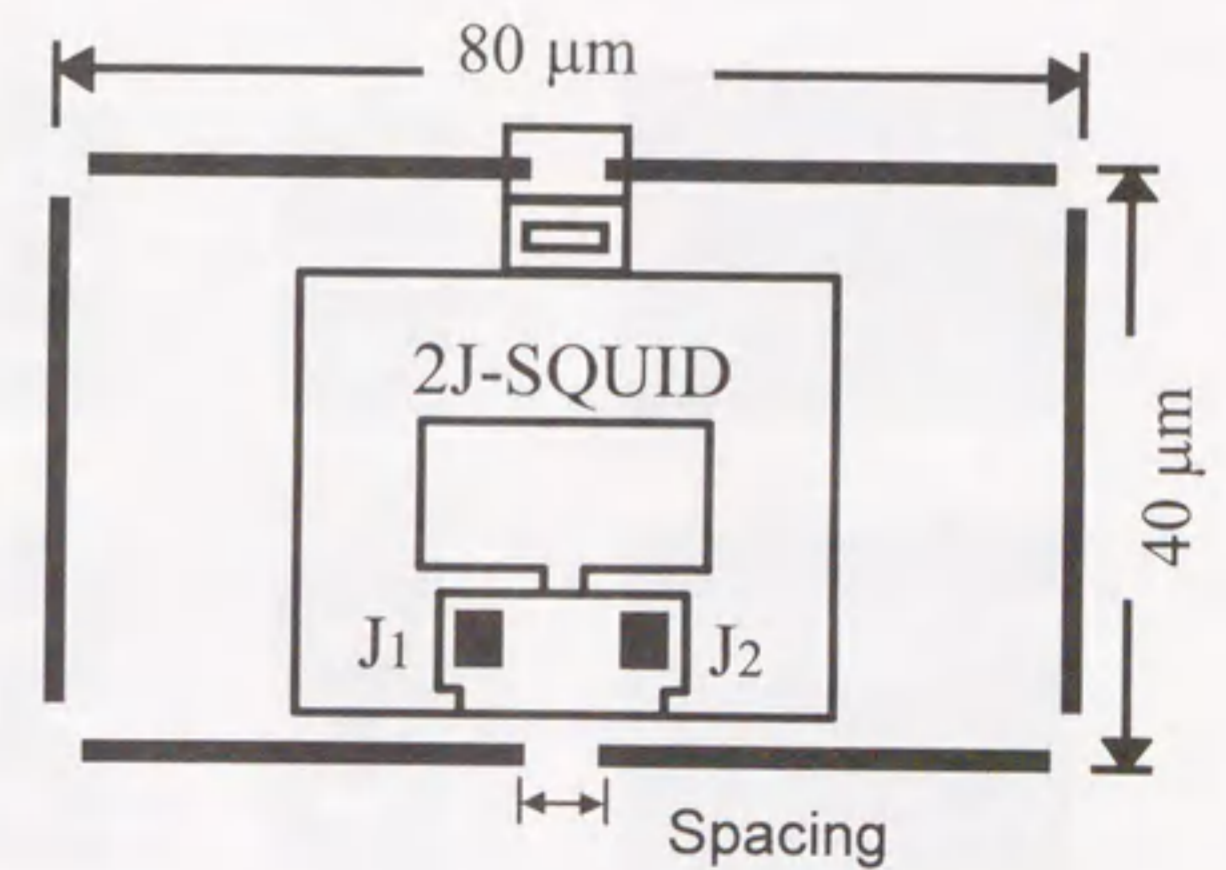


図5-4 モート形状の一例

2) ドット形状のモート

SQUID評価回路の1個のSQUIDを $1\mu\text{m}$ 角のドットで取り囲み、そのドット間隔を変化させて6種類のモートを設計した。図5-5に示す様にドット間隔を(a) $1\mu\text{m}$ 、(b) $3\mu\text{m}$ 、(c) $7\mu\text{m}$ 、(d) $15\mu\text{m}$ 、(e) $31\mu\text{m}$ 、と広げた時の磁束トラップの影響を測定した。それぞれ右側に示したSQUID評価回路の測定した電流電圧特性から解るようにドット間隔が広がるに連れて磁束トラップの影響で臨界電流値がサプレスされたSQUIDの数が増えていることが解る。比較のために(f)にモートがない場合のSQUID評価回路の電流電圧特性を示した。

3) 細長いスリット状のモート

上記ドット形状のモートの場合と同様に、SQUID評価回路の1個のSQUIDを線幅 $1\mu\text{m}$ の細長いスリットで取り囲み、そのスリット間隔を変化させて6種類のモートを設計した。図5-6に示す様にスリット間隔を(a) $2\mu\text{m}$ 、(b) $5\mu\text{m}$ 、(c) $10\mu\text{m}$ 、(d) $15\mu\text{m}$ 、(e) $20\mu\text{m}$ 、(f) $25\mu\text{m}$ 、と広げた時の磁束トラップの影響を測定した。ドット形状のモートの場合と同じ様に、スリット間隔が広がるに連れて磁束トラップの影響で臨界電流値がサプレスされたSQUIDの数が増えていることが解る。

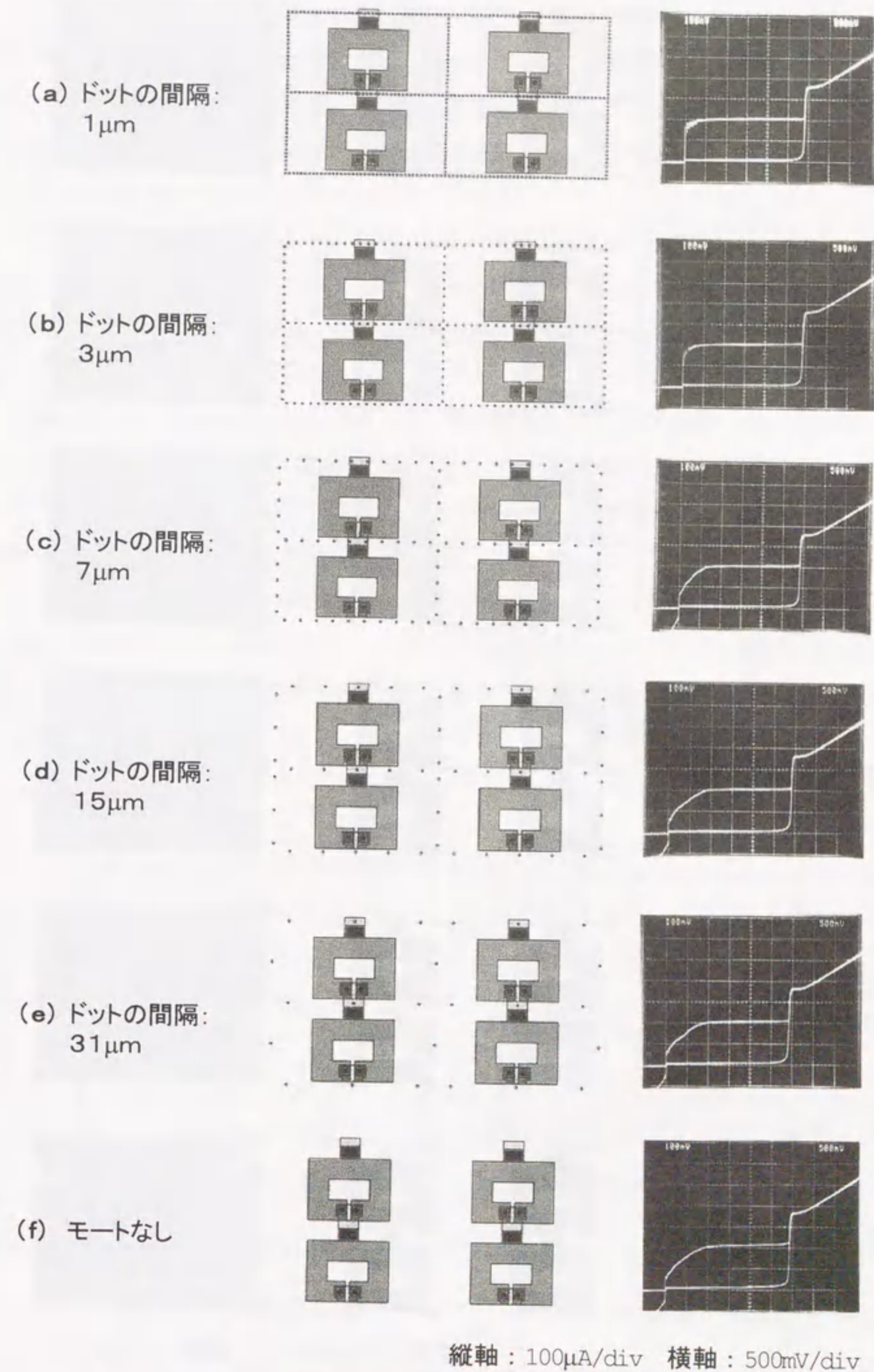


図5-5 ドット形状のモート

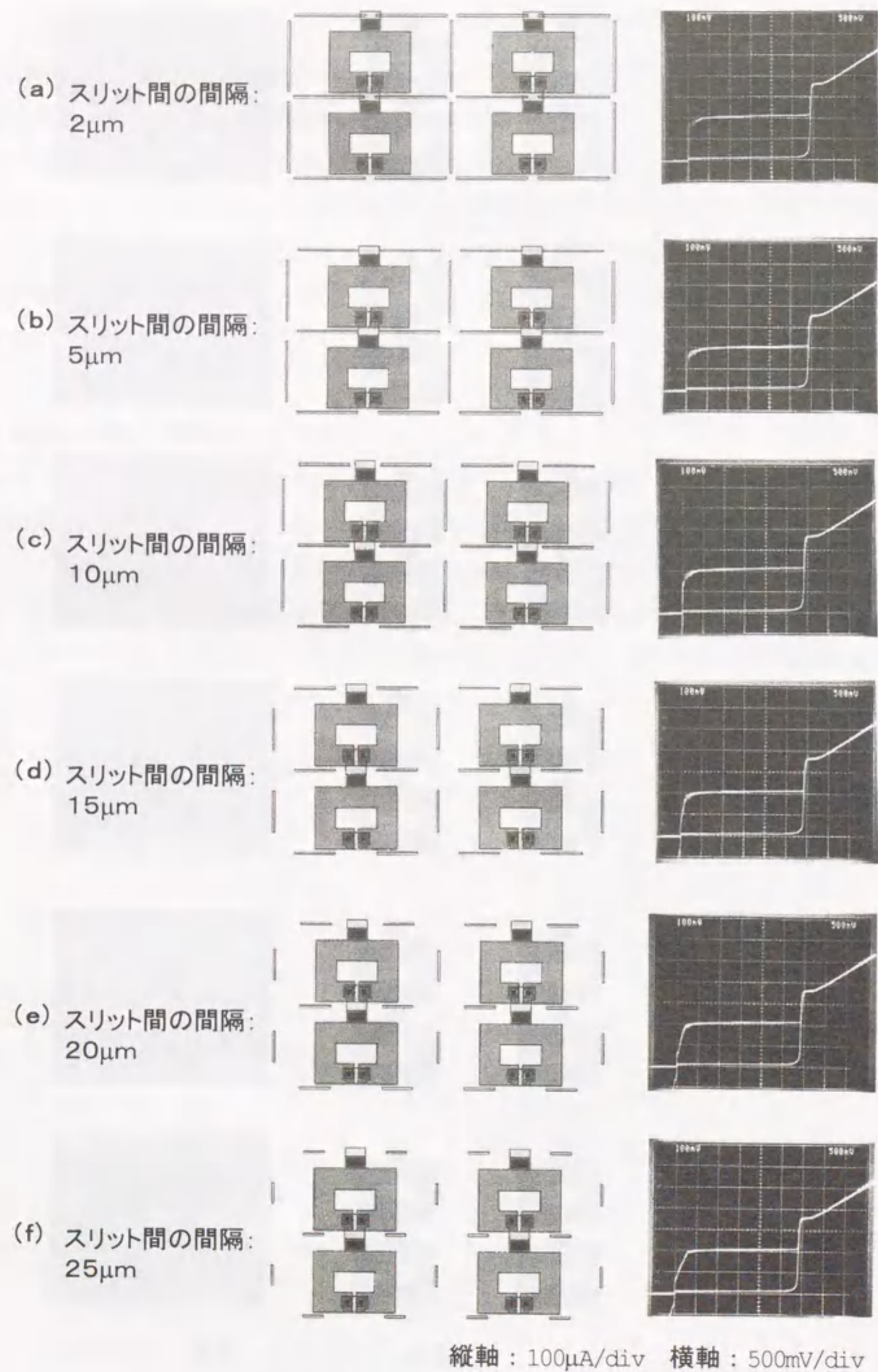


図5-6 細長いスリット形状のモート

以上述べた測定結果を、ドット形状と細長いスリット形状のモートに対してそれぞれグラフにまとめ図5-7に示した。横軸は、ドット又はスリット間の間隔を示し、縦軸のトラップレートは、1000個のSQUIDの内、その臨界電流値が10%以上減少したSQUIDの数の割合であり、磁束トラップの影響の大きさを示している。また、図で水平の点線は、モートがない場合のトラップレートを示している。

先にも述べたが、どちらのモート形状でもモート間隔が広がるにつれてトラップレートは大きくなるが、ドット形状のモートでは、モート間隔が $15\mu\text{m}$ 以上では、モートのない場合とほとんど変わらないことが解る。モートの間隔が $3\mu\text{m}$ 以下では、磁束トラップの影響は非常に小さくなるが完全にゼロにはならなかった。

これに対して、細長いスリット形状のモートの場合は、モート間隔が $15\mu\text{m}$ 以上のものでもモートのない場合に比べれば、磁束トラップの影響はかなり減少していることが解る。そして、モート間隔が $10\mu\text{m}$ 以下では殆ど磁束トラップの影響が生じていない。特に、モートの間隔が $5\mu\text{m}$ 以下では、磁束トラップの影響が全く現れなかった。

以上の結果から、ドットよりも細長いスリット形状のモートの方が磁束トラップの影響を除去するには効果的であり、細長いスリット形状のモートで出来るだけモート間隔を短くして($10\mu\text{m}$ 以下) 磁場に敏感な素子を取り囲むように配置することが重要であることが解った。

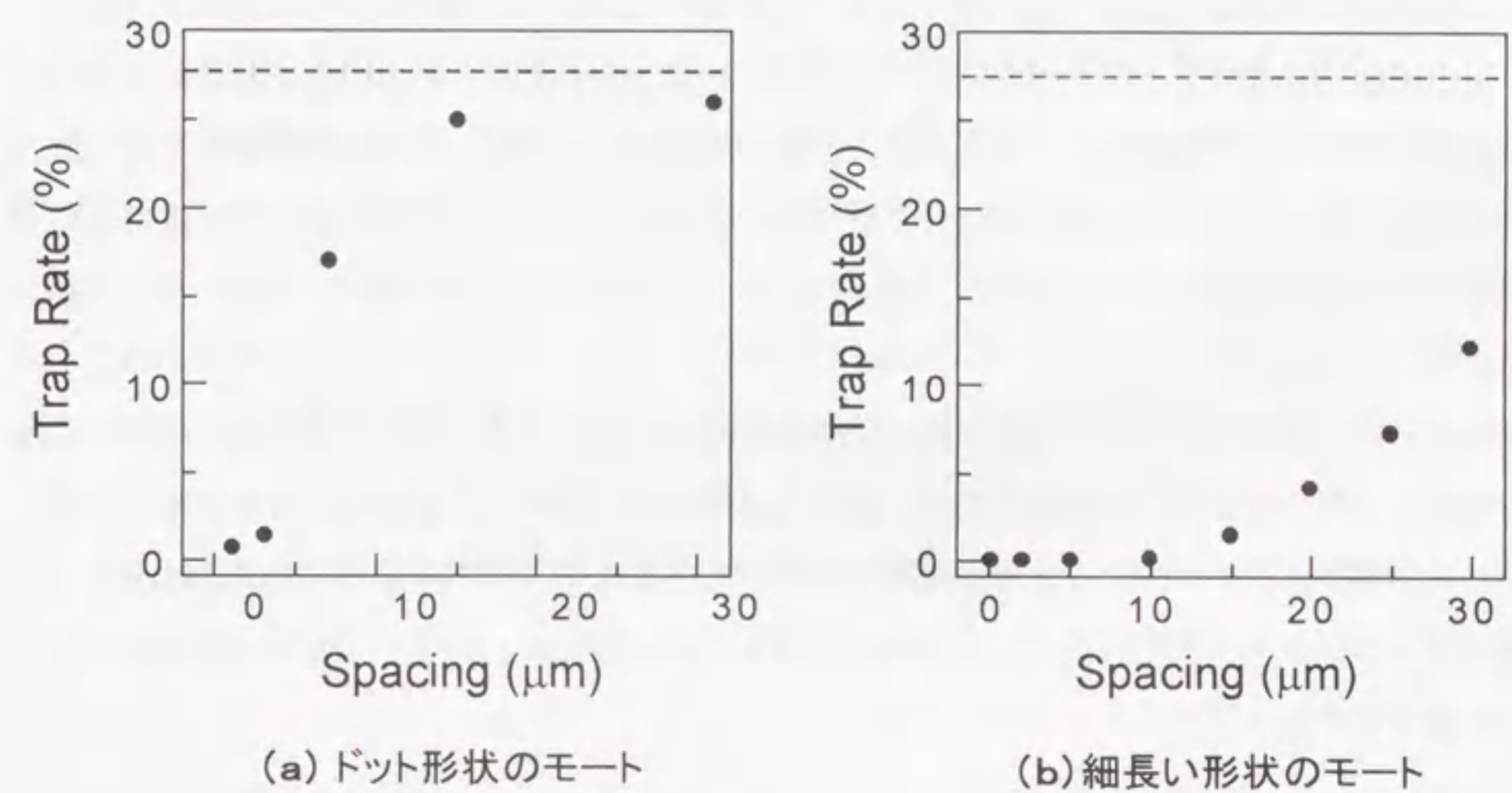


図5-7 磁束トラップのモート間隔依存性

5.5 サーマルカレントに起因した磁束トラップ

5.5.1 サーマルカレントの原因

サーマルカレントによる磁場は、冷却時の素子の温度分布に起因して発生すると考えられている。このサーマルカレントの原因としては、次の様なことが報告されている。一般に1種類の等方的な金属のみでは、ゼーベック効果のような熱電効果は発生しないが、一種類の金属でも異方的な金属では温度勾配に比例した電流 J が発生すると言われている。

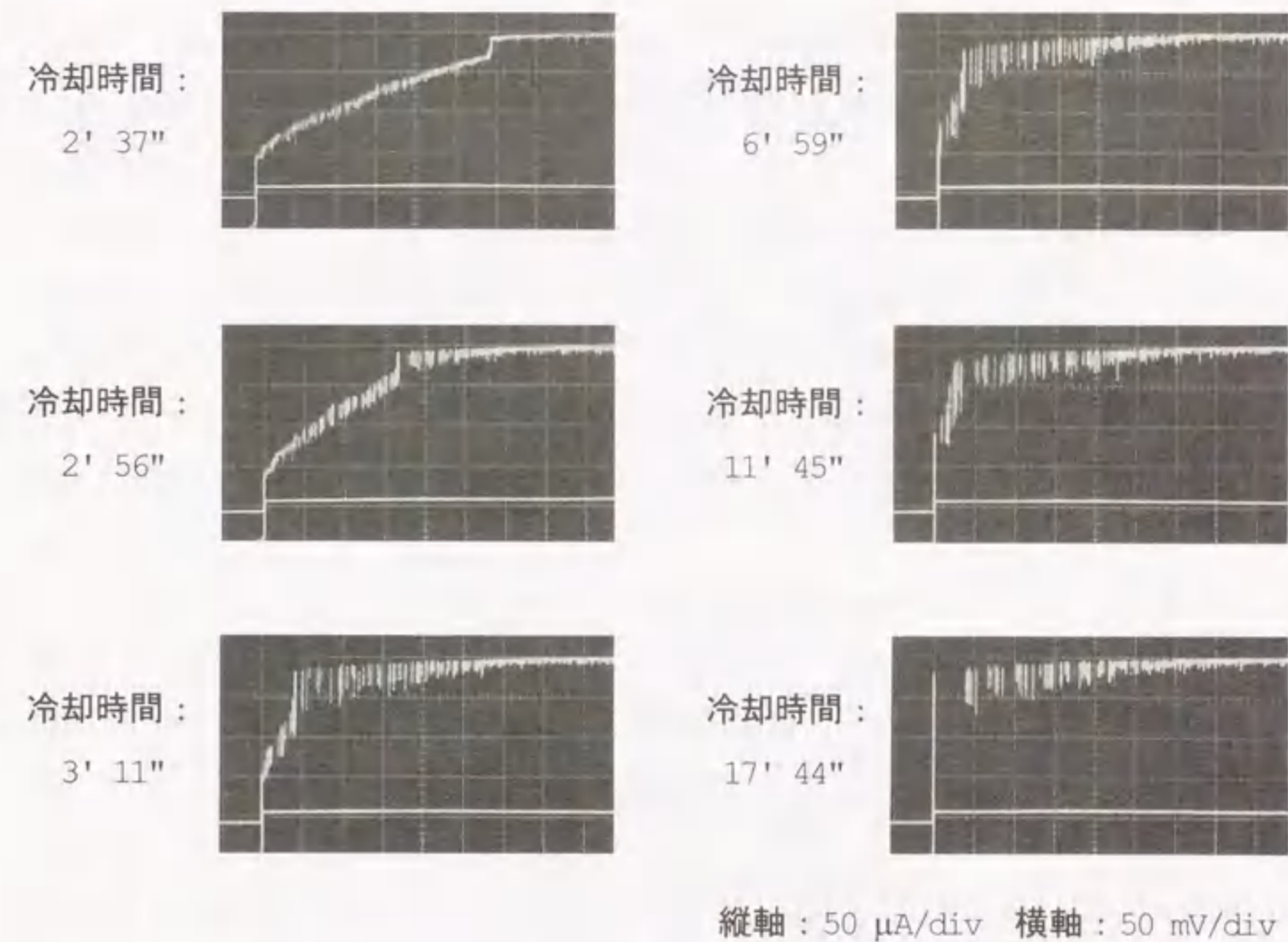
$$J \propto \sigma (\alpha_x - \alpha_y) \nabla T$$

ここで、 α はその金属のサーモパワー、熱電能といわれるもので、これがX方向とY方向で値が異なると電気伝導度 σ と温度勾配 ∇T に比例した電流が発生する。スタンフォードのセルザーらは、4.2Kの銅の温度勾配に対する発生磁場を測定した[3]。銅は、キュービック構造の等方的な金属であるが、ストレス等により異方性が加えられた試料で測定した。彼らは、1cmあたり数ミリケルビンのという非常に小さな温度差で数10 μ G以上という大きな磁場が発生することを報告している。このことから、冷却時にチップの面内での僅かな温度差に起因してサーマルカレントが流れ大きな磁場が発生すると思われる。

5.5.2 測定評価

サーマルカレントに起因した磁束トラップの影響を測定評価するためには、残留外部磁場に起因した磁束トラップの影響を完全に除去する必要がある。そのために、ここでは先に述べた実験結果から残留外部磁場に起因した磁束トラップの影響が完全になくなる条件、即ち約20 μ G以下の最小の低磁場環境下で図5-6(a)に示したような格子状のモート構造を配置したSQUID評価回路を用いて測定した。冷却には、自動昇降装置を用いて一定の冷却速度を実現した。測定は、まずチップを10Kまで冷却し、この温度で安定させた後、10Kから5Kまで冷却する時間を変化させて測定した。温度は、チップの近くに配置したSiダイオードセンサーで測定した。

図5-8に、測定したSQUID評価回路の電流電圧特性を示す。縦軸が電流値で横軸が電圧値を示している。ここで、冷却時間は先に述べたようにチップを10Kから5Kまで冷却するのに要した時間である。このように冷却時間を増やしていくに従って、磁束トラップに起因して臨界電流値がサプレスされたSQUIDの割合が減少し、冷却時間17分44秒では完全にトラップの影響がなくなっていることが解る。



縦軸：50 μ A/div 横軸：50 mV/div

図5-8 磁束トラップの影響の冷却時間依存性(SQUID評価回路のI-V特性)

(冷却時間は、チップの温度を10Kから5Kまで冷却するのに費やした時間を表す)

図5-9は、この冷却時間に対するトラップの割合をまとめたグラフである。縦軸のトラップレートは、臨界電流値がサプレスされたSQUIDの個数の割合であり、横軸の冷却時間は、温度1度当たりの平均冷却時間に換算して示した。冷却時間の増加とともにトラップレートが急激に減少しているが、完全にゼロにするには1度当たり200秒以上の長い時間が必要なことが解る。この数値はチップの形状やHeデューワー等の測定装置にも依存すると思われるが、定性的な傾向は同じであると考えられる。また、この冷却速度は超伝導臨界温度の前後の温度でのみ維持すれば十分であることも併せて確認した。即ち、Nbの T_c は9.2K前後なので、10Kから9Kまで1度Kの範囲のみ非常にゆっくり冷却すれば、その前後では比較的早く冷却しても同じ測定結果を得ることができた。

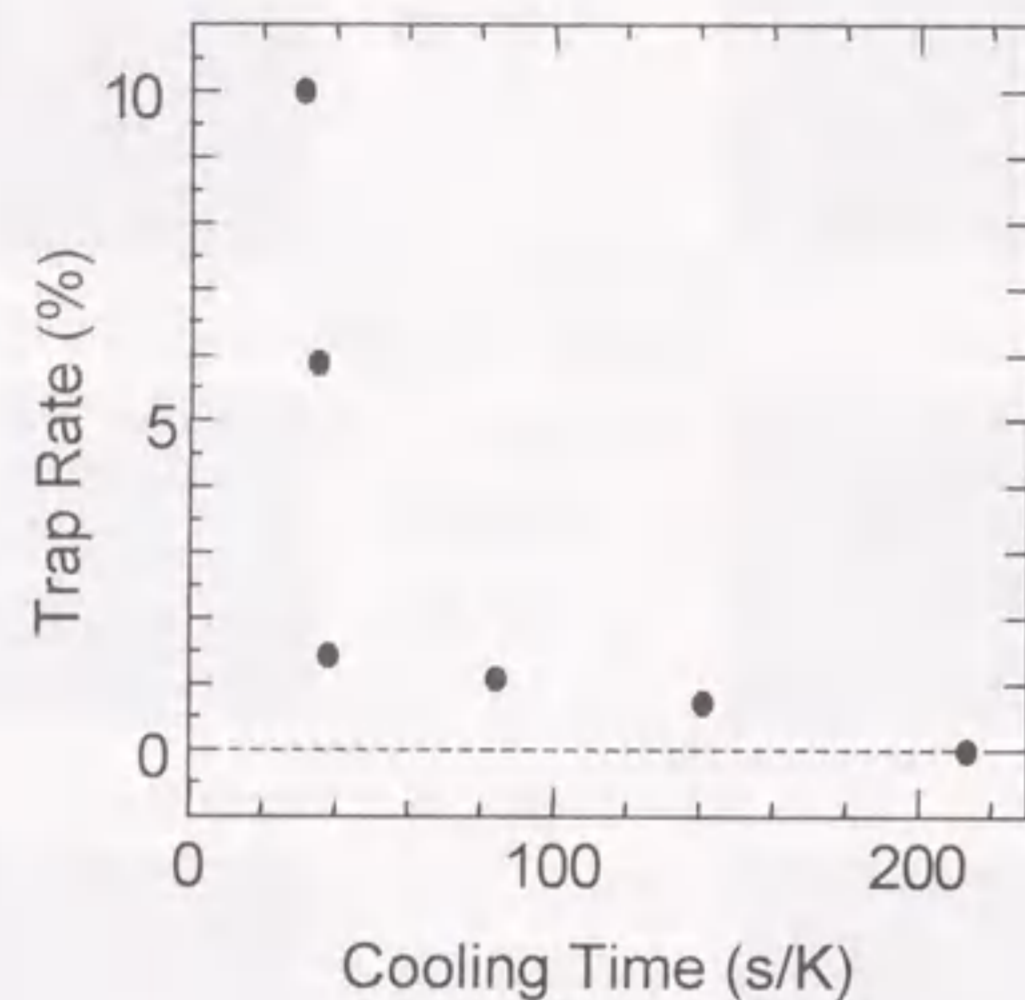


図5-9 磁束トラップの冷却速度依存性

5.6 4KビットRAMへの適用

5.6.1 4KビットRAMのモート構造

以上の測定結果を踏まえて、4KRAMでは次のような3種類のモートを設計した。図5-10に、試作した4KRAMの記憶セル部の顕微鏡写真を示す。ここで、黒く見えるのがモートである。モート1では、記憶セル間に幅 $0.8\mu\text{m}$ の溝を格子状に形成した(a)。比較のためにモート3では、 $2\mu\text{m}$ 角のドットからなる溝を設計した(c)。モート2は、これら両方のモート形状を備えたものである。

5.6.2 フェイルビットマップの測定

先に述べたサーマルカレントに起因した磁束トラップを防ぐため、測定は自動上げ下げ装置で、臨界温度近傍でチップを非常にゆっくり(200秒/K 以下の冷却スピード)冷却して超伝導状態にして測定を行った。

次に、4KRAMのマーチングによるフェイルビットマップの測定結果について述べる。図5-11に、格子状のモート1を挿入した4KRAMのフェイルビットマップの一例を示す。ここで、ドットはパス即ち正常動作ビットを示し、1又は0は、1又は0読み出しのフェイルを示す。フェイルの数は全部で9で、ほぼ完全動作に近いビットイールド99.8%を得ることができた。

このエラーのビットは、リフレッシュ即ちトラップ抜きをして数回測定してもそれらの位置が変化しないことから、磁束トラップによるものではなくゴミ等の物理的なプロセス上の欠陥によると思われる。

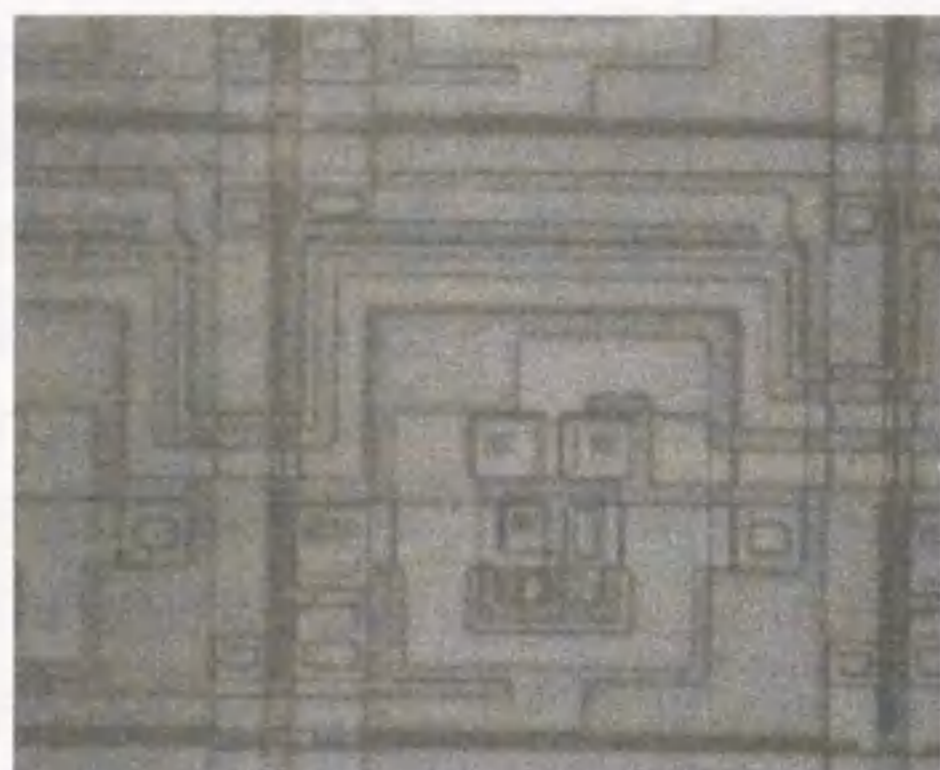
図5-12に、格子とドットの両方を備えたモート2の4KRAMのフェイルビットマップの一例を示す。このチップはセンスラインの断線と考えられる1列にわたるフェイルがあるためフェイルの数は先に述べたものに比べ多くなっているが、断線を1個の欠陥と考えると欠陥は6カ所でありモート1のものともあまり変わらない。これらのフェイルビットの位置もリフレッシュ等により変化しないため、モート1と同様に磁束トラップの影響を完全に除去できていると考えられる。

これらに対して、ドットのみモート3のフェイルビットマップは、図5-13の様になり、ビットイールドも4.7%と低くなっているが、リフレッシュして再測定するたびにフェイルビットの位置が変化した。このことから磁束トラップの影響を大きく受けていることが解った。即ち、単純にドットを挿入しただけではほとんど効果がなく、先に述べたSQUID評価回路の測定結果と一致していることが解る。

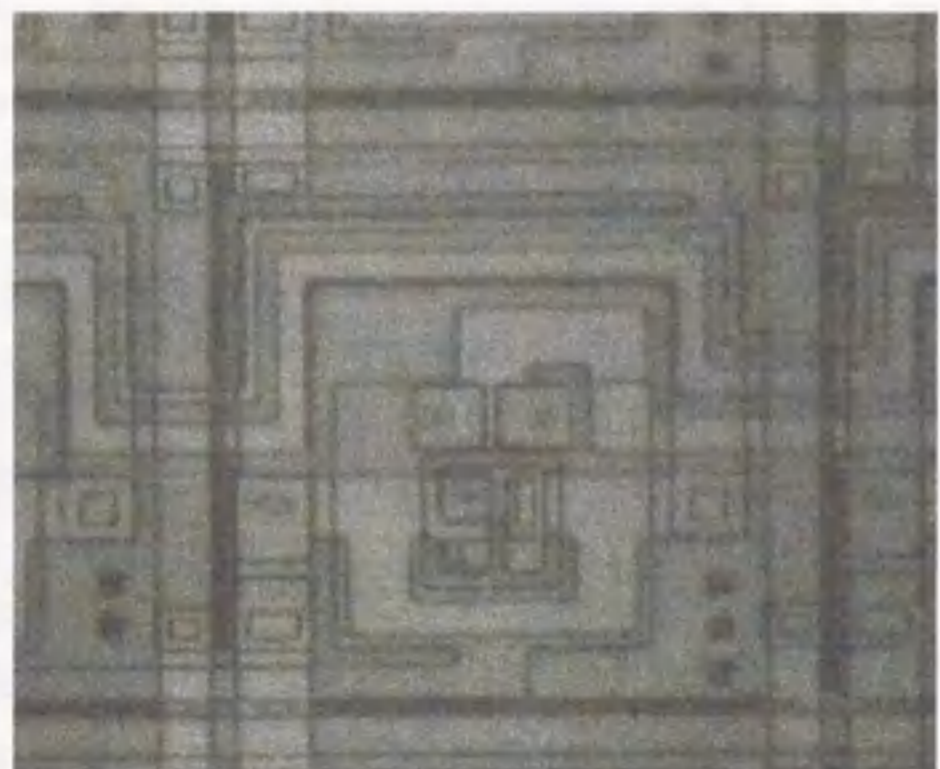
また、最高99.8%動作したチップのバイアスマージンを図5-14に示す。記憶セルに直接関連するセンスバイアス、DCバイアス、XとYのドライババイアスに対するビットイールドの変化を測定した結果である。99%以上のビットイールドが得られるバイアスマージンを図中に示した。DC、X、Yドライバはそれぞれ $\pm 3.6\%$ 、 $\pm 2.9\%$ 、 $\pm 2.8\%$ と大きくなっているが、センスは $\pm 1.0\%$ と少し小さめであった。

以上のフェイルビットマップの測定結果は、大きな3重の磁気シールドで残留磁場が約 $100\mu\text{G}$ 以下の環境で測定されたものであるが、図5-15の様な 15cm 足らずの簡単なクライオパームのみで残留磁場が約 1mG 程度の環境でも同じ測定結果を得ることができた。このことは、第4章で述べたように、モート構造を持たない4KビットRAMでは、外部磁場がこれよりも1桁小さい数 $100\mu\text{G}$ でも全く動作しなかったことを考えると、この様に最適な形状のモートを挿入することで、ジョセフソン記憶回路が磁場の影響に対して桁違いに強くなったことを意味しており、ジョセフソン記憶回路の磁場に対する信頼性を大幅に向上させることができた。

Moat 1



Moat 2



Moat 3

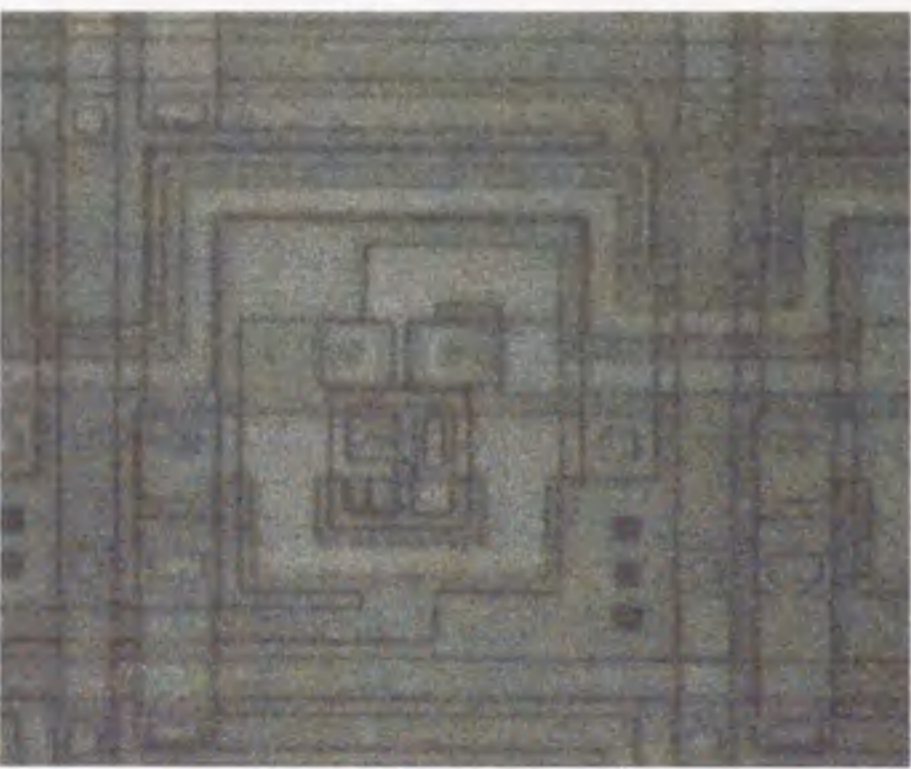


図5-10 4KビットRAMのモート構造
(黒く格子状あるいはドットに見えるものがモート)

X-Address

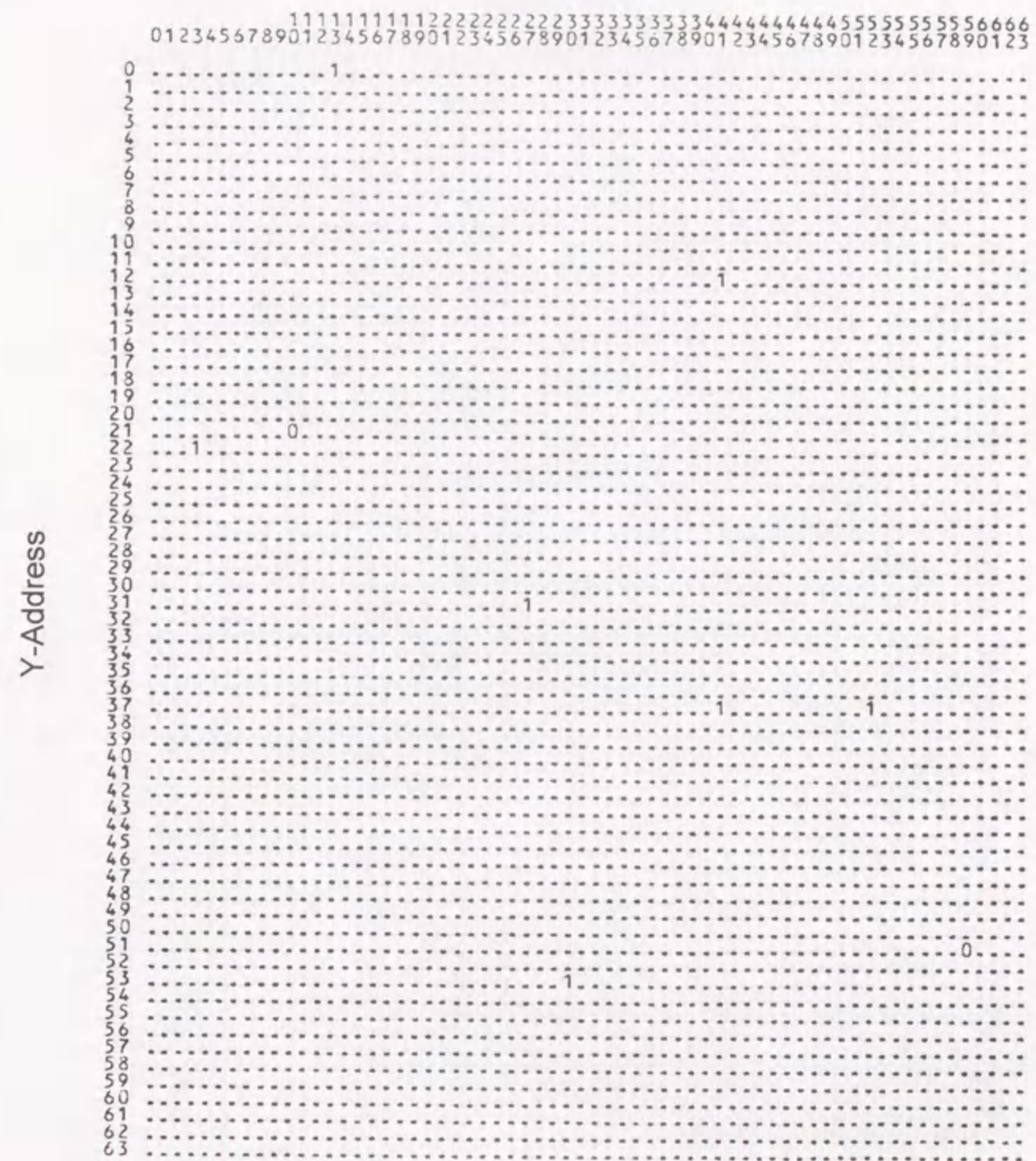
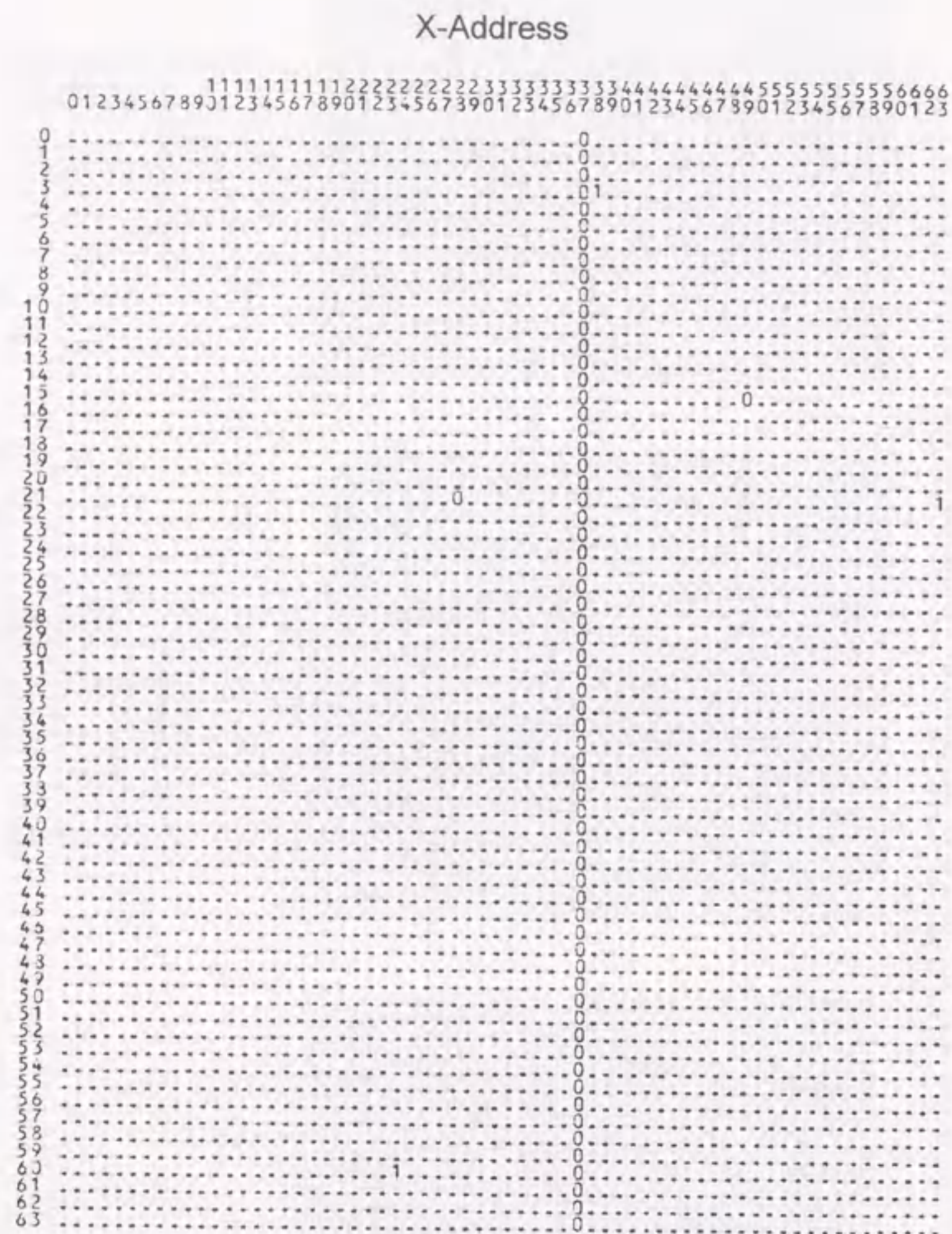
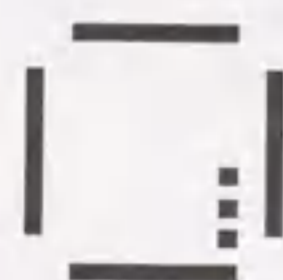


図5-11 4KビットRAMのフェイルビットマップ
(格子上のモート1)

Y-Address



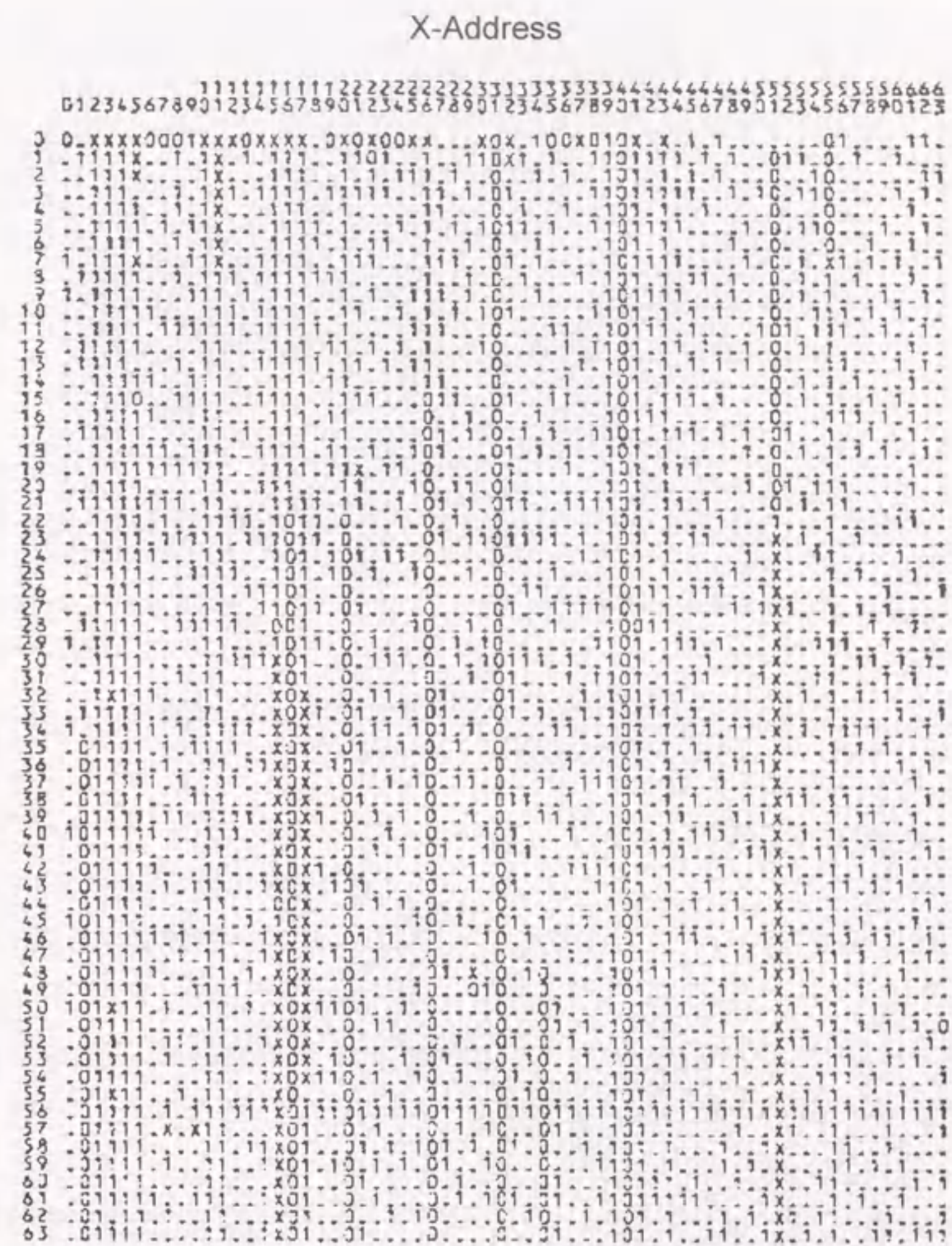
Moat 2



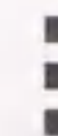
Chip B
Fail Bits: 69
Bit Yield: 98.3%

図5-12 4KビットRAMのフェイルビットマップ
(格子とドットを含んだのモート2)

Y-Address



Moat 3



Chip C
Fail Bits: 2169
Bit Yield: 47%

図5-13 4KビットRAMのフェイルビットマップ
(ドットのみモート3)

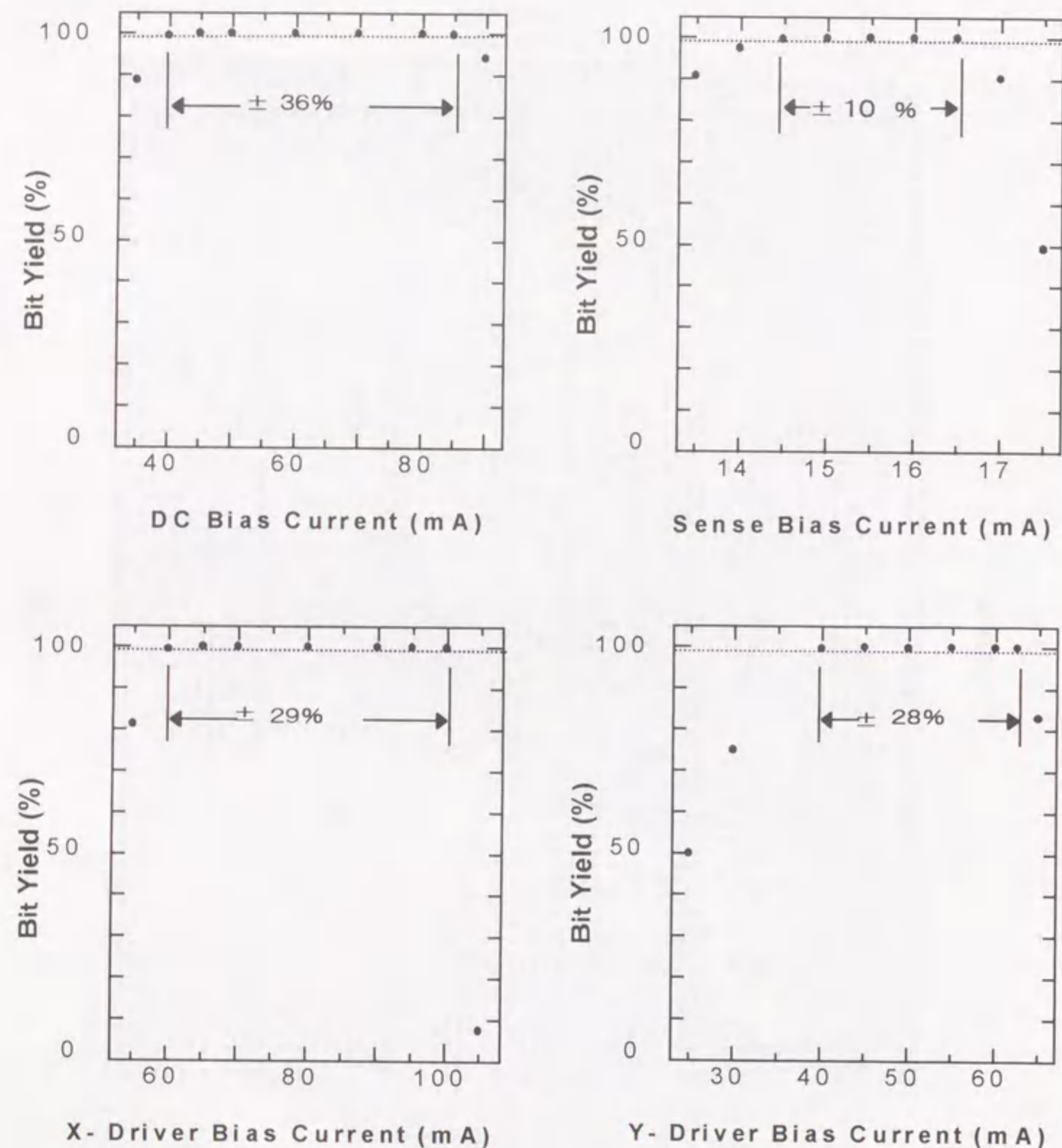


図5-14 ビットイールドのバイアス電流依存性 (黒丸が測定値)

(図中の水平の点線は99%のビットイールドのラインを示し、99%以上のビットイールドが得られるバイアスマージンが示されている。)

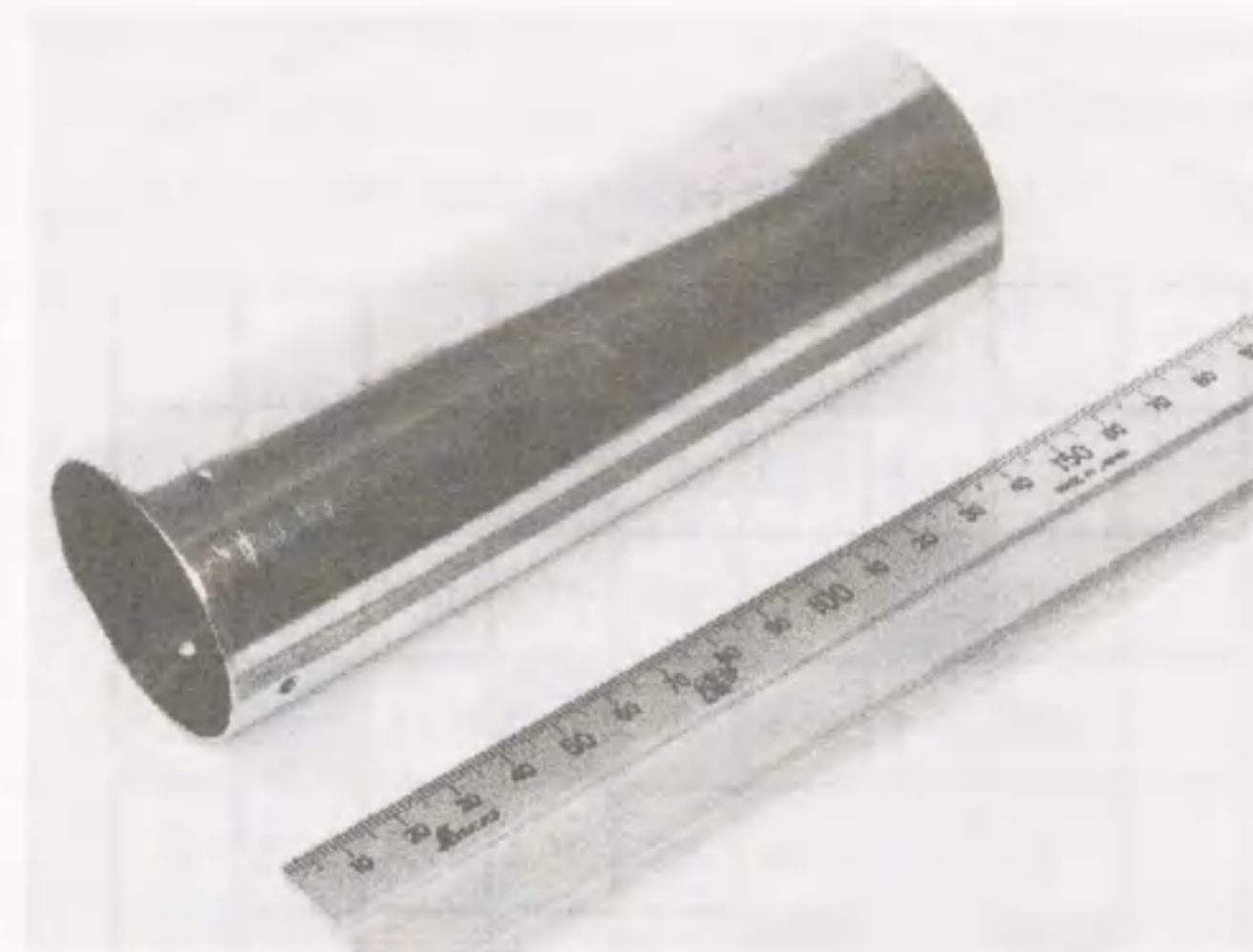


図5-15 簡単な磁気シールド(クライオバーム)
直径:48mm、長さ:150mm

5.6.3 3インチウエーハ内の歩留まり

図5-16は、今回の試作の3インチウエーハ内のビットイールドの分布を示した図である。図でTEGと記したチップは、ジョセフソン接合やシート抵抗及びコンタクト等の電流電圧特性や要素回路を評価するためのチップで、これら以外が4KビットRAMチップである。格子状のモート1を挿入した4KビットRAMチップと、格子とドットの両方を含むモート2を挿入した4KビットRAMチップと、ドットのみのモート3を挿入した4KビットRAMチップの3種類のチップを図の位置に配置した(図では、これらのチップをTEG、Moat 1、Moat 2、Moat 3と表した)。今回の試作では残念ながら、100%のビットイールドのものは得られなかったが、半数以上のチップが90%以上という大きなビットイールドで動作した。先に述べたように、ドットのみのモート3の4KRAMのビットイールドは磁束トラップの影響で小さくなっているが、格子状のモート1の4KRAMにもビットイールドの低いものも少しある。これらは磁束トラップの影響によるものではなく、物理的な欠陥によるものと考えられる。それは、フェイルビットマップのフェイルのパターンをみれば明らかであるが、どのチップも約10個前後の欠陥があり、その欠陥がたまたまデコーダ回路の初段にあたり、最終段のセンス回路にあるとビットイールドで見ると極端にひくくなる。例えば、この様な例としてビットイールドの低い格子状のモート1の4KRAMのフェイルビットマップの一例を図5-17に示した。デコー

5.7 結言

磁束トラップの原因は素子の超伝導転移時の磁場であるが、この磁場の原因として残留外部磁場とサーマルカレントによる磁場があることを述べた。

まず、残留外部磁場に起因した磁束トラップの影響を除去するために、ドットや細長いスリットのような様々な形状のモートを作製してジョセフソン記憶回路に効果的なモート形状を評価した。種々の形状のモートを配置したSQUID評価回路の電流電圧特性の測定することで、磁束トラップの影響を定量的に調べモートの効果を評価した。その結果、ドットよりも細長いスリット形状のモートの方が残留外部磁場に起因した磁束トラップの影響を除去するには効果的であり、細長いスリット形状のモートで出来るだけモート間隔を短くして磁場に敏感な素子を取り囲むように配置することが重要であることが解った。

次に、適切なモート構造を導入したSQUID評価回路により、残留外部磁場に起因した磁束トラップの影響を完全に除去して、サーマルカレントに起因した磁束トラップのみを評価した。そして、素子の超伝導転移時の冷却速度依存性の評価から、サーマルカレントに起因した磁束トラップを防ぐには、臨界温度近傍での1度当たり200秒以上という非常に長い緩冷却が必要であることが解った。また今回、残留外部磁場に対しては最適な形状のモート構造を施したが、サーマルカレントに起因した磁束トラップは、完全には排除できないことが解った。従って、残留外部磁場に対してはモート構造が効果的であるが、サーマルカレントに対しては緩冷却が効果的であり、磁束トラップの影響を完全に排除するためには、これらを併用して用いることが非常に重要である。

以上の結果をもとに、4KビットRAMに最適な形状のモートを導入することで、ほぼ完全動作と言えるビットイールド99.8%を得ることができた。0.2%の僅かなフェイルは、製造プロセス上の欠陥に起因したものである。簡単なクライオパームのみで約1mGの外部磁場中において、同じ測定結果を得ることができた。このことは、磁場に対して非常に弱いと言われていたジョセフソン記憶回路においても最適な形状のモートの導入と超伝導転移時の緩冷却を充分行うことで完全に磁束トラップの影響を排除することができ、ジョセフソン記憶回路の磁場に対する信頼性が大幅に向上したことを意味している。

なお、モート構造の導入により、超伝導グランド面は部分的に分断されるので、特に高周波信号に対しては超伝導グランド面の特性を劣化させる可能性がある。即ち、超伝導ストリップ配線の特性インピーダンスは、モートを横切る部分で変化し、このインピーダンス不整合により信号波形のひずみが発生する。現在のところ、この影響の定量的な評価は行っていない。次章で述べるが、モート構造を導入したRAMで1GHzでの正常動作が確認されており、この1GHz程度の周波数では少なくとも大きな影響はないものと考えている。しかし、今後、数10GHzの

領域での動作を考える場合には、モート部分でのインピーダンス不整合の影響を定量的に評価し、設計上考慮しておく必要があると思われる。

また、4KビットRAMがビットイールド99.8%で動作したということは、製造プロセス的には4KビットRAMに含まれる約2万1千個のジョセフソン接合が正常に動作しているということを意味しており、現在のジョセフソン集積回路の製造プロセスの技術レベルを示す値でもある。

参考文献

- [1] S. Bermon and T. Gheewala, "Moat-Guarded Josephson SQUIDs," IEEE Trans. Mag. vol. 19, no. 3, p. 1160-1164, 1983.
- [2] S. Nagasawa, H. Numata, C. Kato, and S. Tahara, "Evaluation of trapped magnetic flux for Josephson 4-Kbit RAMs." Extended Abstracts of ISEC'95, pp. 192-194.
- [3] P. M. Selzer, "A study of thermally generated magnetic fields in an anisotropic crystal at low temperatures." Ph.D. Thesis, Stanford University, 1974.

第6章 記憶回路の高速クロック動作

6.1 はじめに

前章までで、1 KビットRAM及び4 KビットRAMの試作を通して、ジョセフソン記憶回路の基本性能を評価し、特にモート構造を導入することで磁束トラップの問題も解決することができ、低周波でジョセフソン記憶回路が十分な信頼性をもって動作することを確認した。記憶回路の動作速度に関しても、そのクリティカルパスを遅延時間差から測定し、サブナノ秒のアクセス時間を実証することができた。しかし、これらの測定は全て数十kHzの低周波で評価したものであり、ジョセフソン記憶回路のポテンシャルリティを示したに過ぎず、実際にサブナノ秒のアクセス動作に対応したギガHzのクロック動作は、今までに一度も確認されていない。

この理由は、ジョセフソン集積回路は回路規模の増大に伴い必要な電源電流が増大し反対にパワーバスのインピーダンスは小さくなるため、インピーダンス整合をとることが非常に困難になるということにある。例えば、以前に開発した4 KRAM[1]に於いても、約10 mΩと非常に小さなインピーダンスのパワーバスに1 A近い大電流を流す必要があった。加えて、このような大電流を供給したチップからジョセフソン素子の出力電圧である数mVという僅かな信号を検出しなければならないという困難があった。しかし、今後は、記憶回路の実用化の観点からもこの高周波クロック動作の実証が重要になると考える。ギガHzの高周波大電流を供給するには、測定治具はもとよりチップ内の素子配置等に於いても、この困難なインピーダンス整合を考慮した設計を行う必要がある。

このためには、第一にギガHzの高周波大電流を供給するための何らかのインピーダンス変換を行う電源回路が必要である。このような電源回路として、トランスフォーマ[2, 3]やLC共振[4]を用いる方法が提案されているが、今回はチップ内に作成することが容易であり、広い周波数帯域で動作可能なトランスフォーマをインピーダンス変換回路として採用した。

第2に、記憶回路自体にも、例えばパワーバスや信号線路及び電源回路の配置の仕方など高周波電流を流すための幾つかの工夫が必要である。また、今回記憶回路の構成として256ワード16ビット構成を採用した。これは、現在我々のところでは、ニューヨーク州立大のリカレフ教授のところと共同研究を行っており、彼らが開発する16ビットのRSFQプロセッサ[5]に見合った16ビット構成の記憶回路を開発する目的でこの様な構成にした。

第3に、クロック周波数が上がるにつれて入力信号間のジッターの影響が大きくなることや出力信号のパルス幅が小さくなるといった測定評価上の問題のため、RAM本来の性能を引き出すことが困難になる。このため、RAMを高周波で測定するための評価方法を工夫する必要がある。

以下、6.2節で、このオンチップ上に電源回路を内蔵した256ワード16ビットRAMの設計について述べ、6.3節で高周波での測定評価方法の改善点について述べる。6.4節では、基本要素となる256RAMブロックの低周波及び高周波クロックでの動作評価について述べ、6.5節で256ワード16ビットRAM全体の動作評価について述べる。6.6節で、結言を述べる。

6.2 256ワード16ビットRAMの設計

6.2.1 構成と特徴

図6-1は、256ワード16ビットRAMのブロック構成図で、256RAMブロックが16個図の様にアレイ状に配置されている。入出力ラインは、8ビットのアドレス信号と16ビットのデータ信号と1ビットのR/W（読み出し書き込み）信号と1ビットのRAMイネーブル信号（タイミング信号）の合わせて26ビットの入力信号ラインと16ビットの出力信号ライン及び1本のAC電源ラインと1本のDC電源ラインから成っている（図では、信号ラインは数が多いため、概略的にまとめて1本のラインで示している）。

この回路の特徴は、第1に256RAMブロックごとに図の様にトランスフォーマとレギュレータを設けたことにある。トランスフォーマを図の様に256RAMブロックごとに隣接して設けることで、トランスフォーマの2次巻き線の一部となる負荷回路の低インダクタンス化を図りトランスフォーマの変換効率を向上させることができる。同時に、大きな電源電流を長い距離に渡って分配することなく必要なところで局所的に増幅すれば良いため、電源ラインの電流レベルが非常に小さくなり電源ノイズの低減に効果的である。第2に電源クロックを図の様にツリー状に分配することで、16個のトランスフォーマに至る電源線路の長さ及びインダクタンスが等しくなり各電源線路の位相及び電流レベルを揃えることができる。第3に、各256RAMブロックにデコーダ、ドライバ、センス回路等の完全なRAM機能を付加することで、256RAMブロックへの入力信号数を最小限に少なくすることが出来る。第4に、このサブアレイ間の長い信号線路は、インピーダンス整合ラインで高速化を図った。第5に、ジョセフソンプロセッサとのインターフェイスを考慮して、全てに入力信号レベルが0.1mAになるように各信号入力端に電流増幅ゲートを設けた。

図6-2は、256ワード16ビットRAMチップのレイアウト図である。チップサイズは、8.6mm角で接合数は約4万2千個である。表1に、256ワード16ビットRAMの特性見積をまとめた。

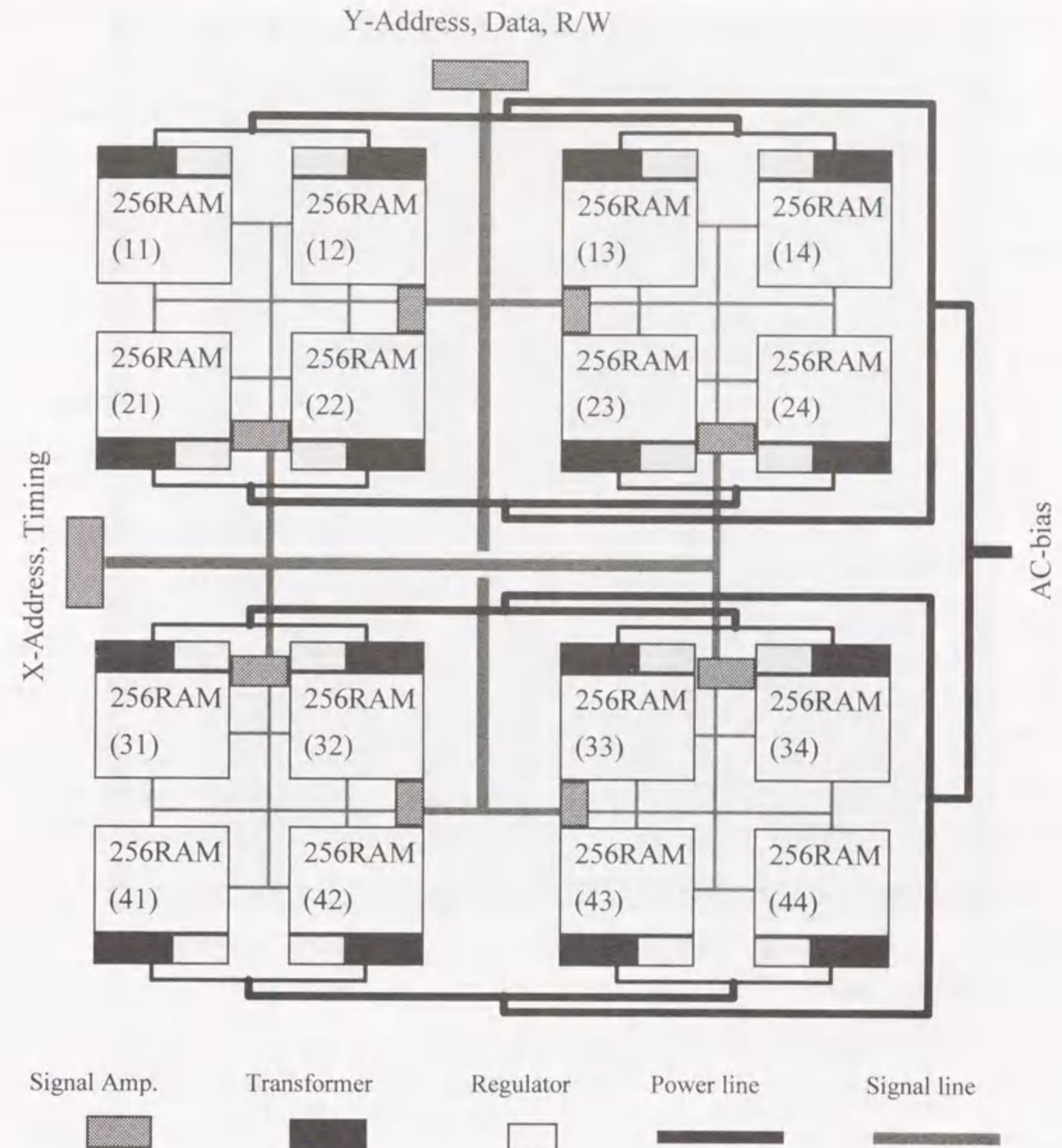


図6-1 256ワード16ビットRAMの構成

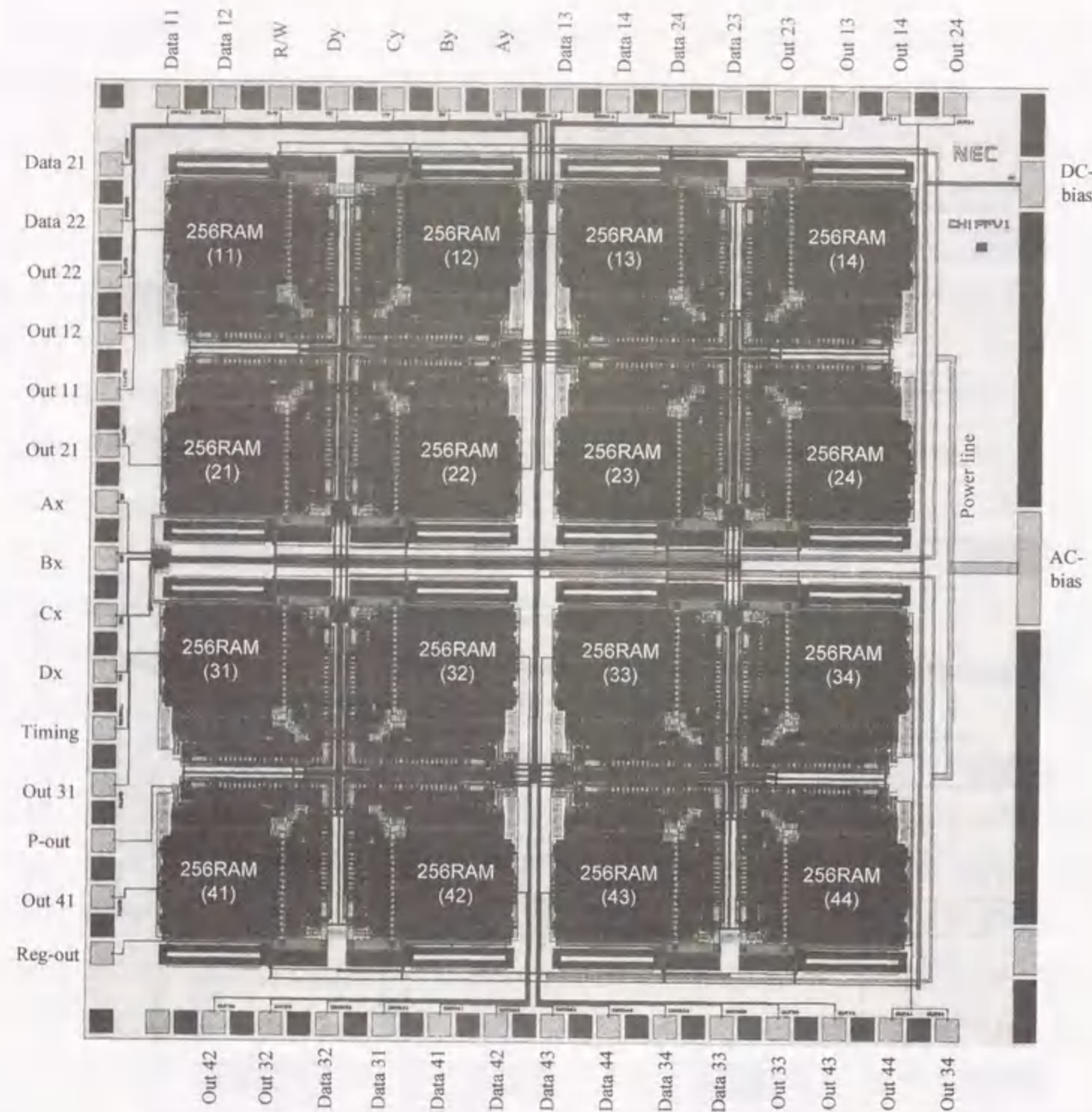


図6-2 256ワード16ビットRAMのチップレイアウト

入力信号: アドレス8ビット(Ax, Bx, Cx, Dx, Ay, By, Cy, Dy)、データ16ビット(Data 11~Data 44)、
 タイミング1ビット(Timing)
 出力信号: 16ビット(Out 11~Out 44)、モニター2ビット(Reg-out, P-out)

表1 256ワード16ビットRAMの性能見積

チップサイズ	8.6mm x 8.6mm
接合数	約42000個
消費電力	約26mW
アクセス時間	約300ps
クロック周波数	1GHz

6.2.2 256RAMブロックの設計

図6-3に、1個の256RAMブロック部のレイアウト図を示す。先に記した様にこの256RAMブロックには、デコーダ、ドライバ、センス回路等の完全なRAM機能に加えて、トランスフォーマとレギュレータが図の様に隣接して配置されている。デコーダ、ドライバ、センス回路の基本ゲートは、以前に開発した4KRAMと同じものを用いているが、それら以外には入力信号増幅回路やデータ・リードライト信号変換回路(DRWC)を新たに挿入した。また、256RAM内部の電源ラインは完全なインピーダンス整合はとれていないが、できるだけ線幅を広くする等の工夫を行い電源ラインの低インダクタンス化を図っている。この256RAMサブアレイブロックの接合数は2560個で全バイアス電流値は145mA、消費電力は1.6mWと設計されている。以下、入力信号増幅回路とDRWC回路及び電源回路についてさらに詳しく述べる。

1) 入力信号増幅回路

256RAMブロック間の信号伝送をインピーダンス整合を図って高速に行うために、256RAMブロックへの全てに入力信号レベルが0.1mAになるように各信号入力端に入力信号増幅ゲートを設けた。図6-4に、この入力信号増幅回路の等価回路図を示す。この回路は、デコーダ回路内でも使用しているORゲートとAMP(電流増幅)ゲートで構成され、80%バイアス時に0.2mA×4の出力電流が得られるように設計されている。

入力信号増幅回路の役割は、電源クロックの分配と同様の発想で、長距離の信号伝送にはその電流レベルを出来るだけ小さくし、必要な個所で局所的に電流増幅することである。ジョセフソンゲートの駆動電圧はギャップ電圧で上限値が決まるので、電流レベルを下げることで負荷抵抗を大きくできる。このため、インピーダンス整合しなければならない信号線路のインピーダンスを大きく設計することができるため、信号線路の線幅が小さくなり、特にアドレス、データ等の多数の信号線路が必要な時には回路全体の高密度化にとって非常に重要になる。また、例えば信号線路のインピーダンスが場所により変化して完全なインピーダンス整合が取れない場合に於いても、この場合には信号線路はインダクタンス(L)に見え信号の立ち上がり時間はL/Rで評価出来るが、負荷抵抗(R)が大きく設計されているので高速に信号を伝送できる。

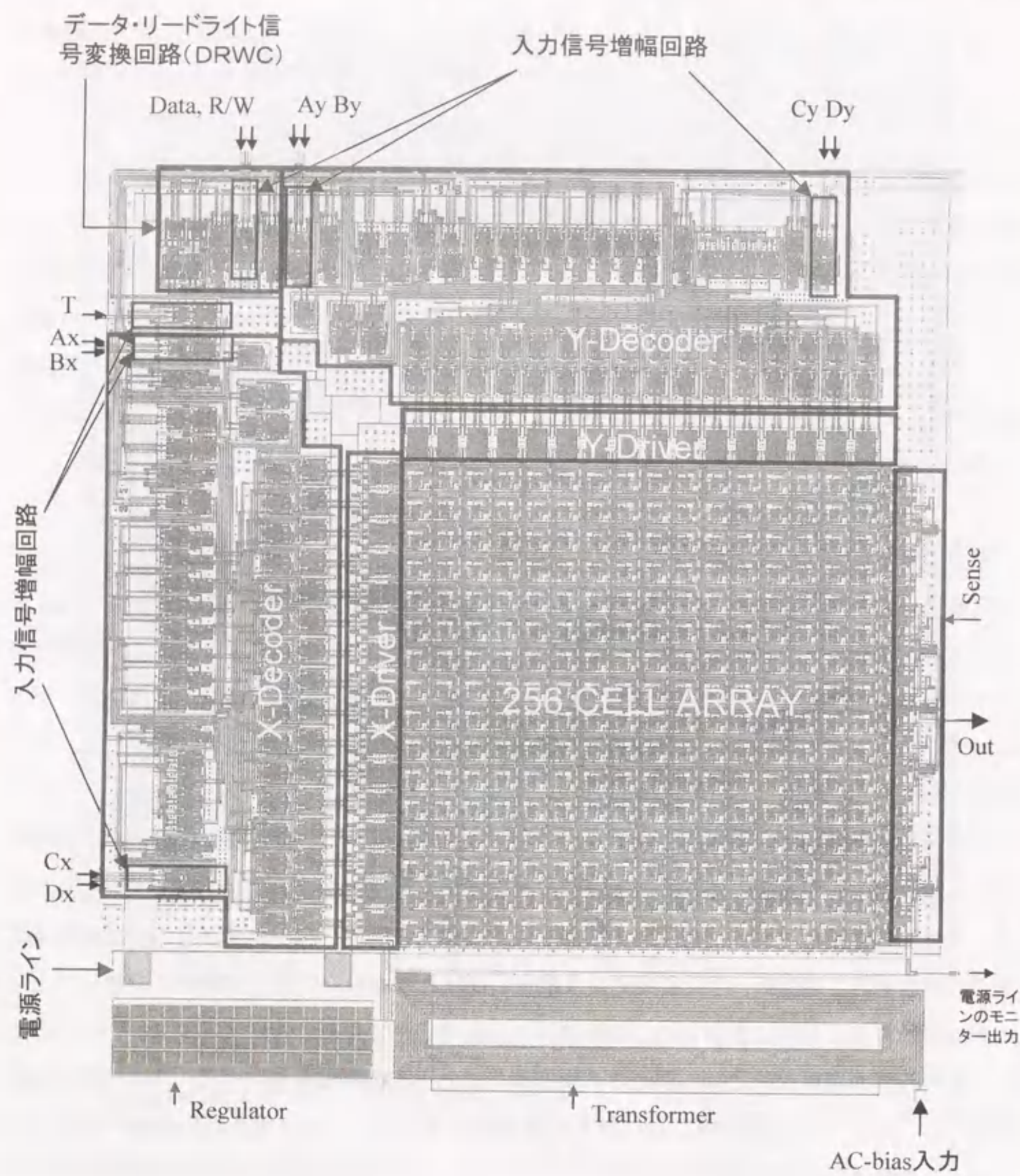


図6-3 256RAMブロックのレイアウト図

- ・ 接合数 2560 個
- ・ ACバイアス電流(80%バイアス時) 145 mA
- ・ 消費電力 1.6 mW
- ・ 回路サイズ 1.56 mm × 1.69 mm

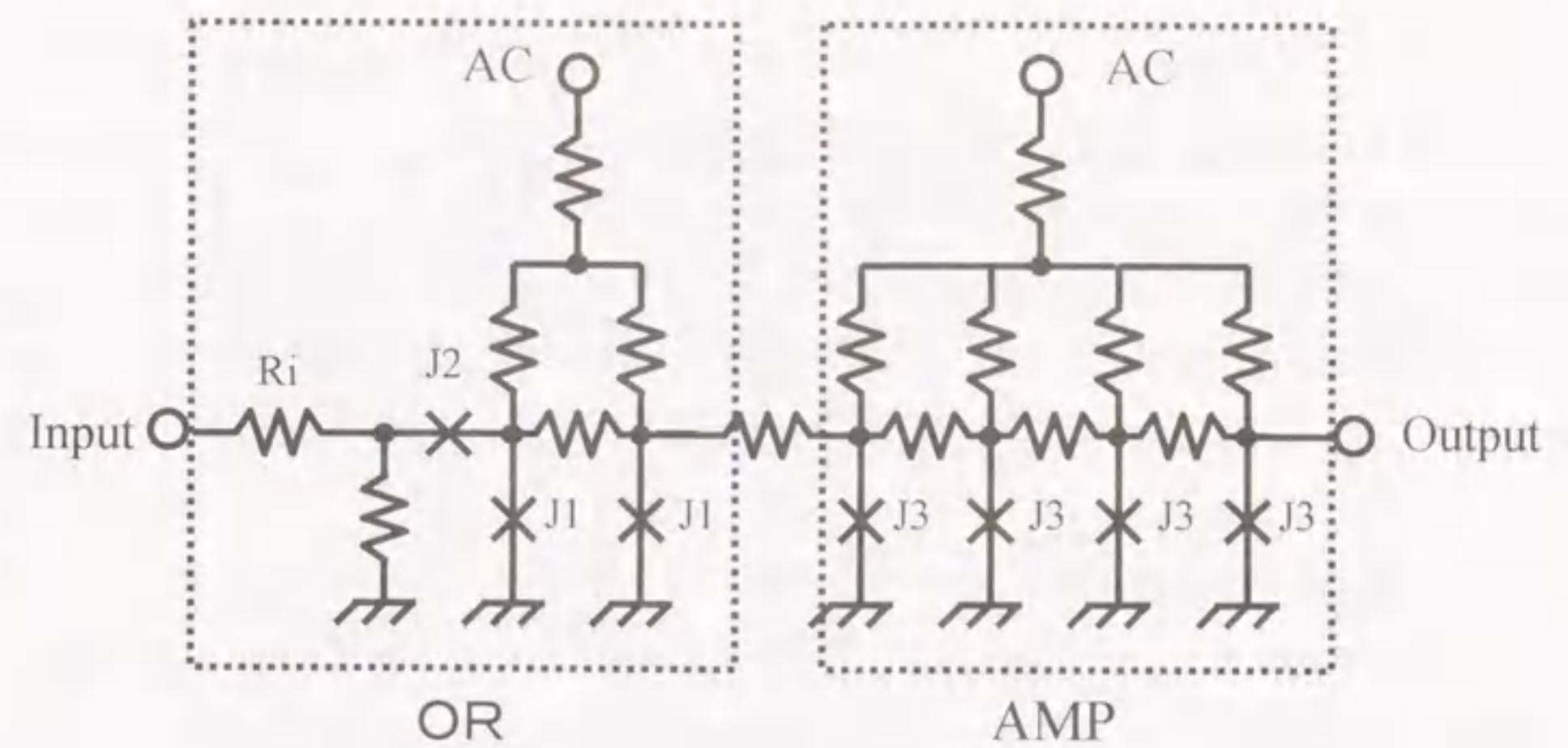
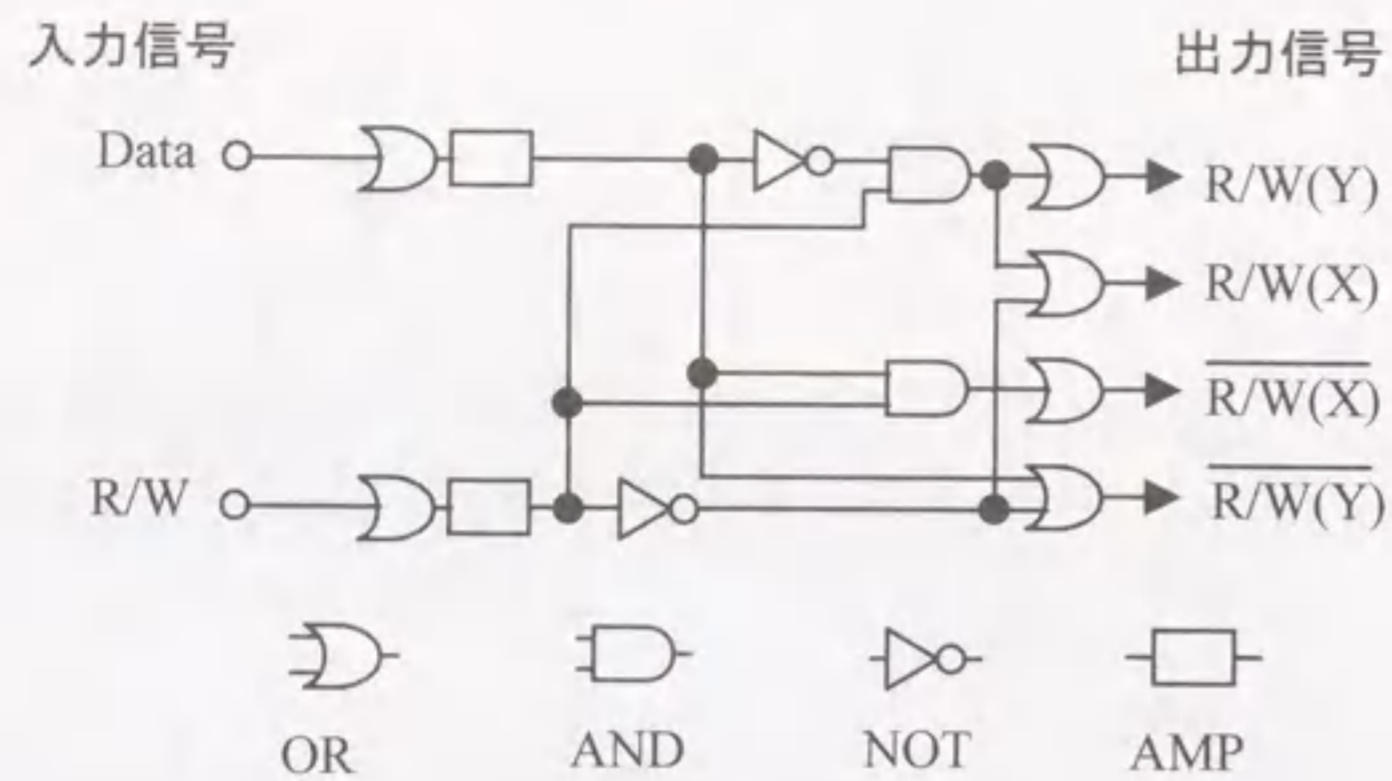


図6-4 信号増幅ゲートの等価回路図

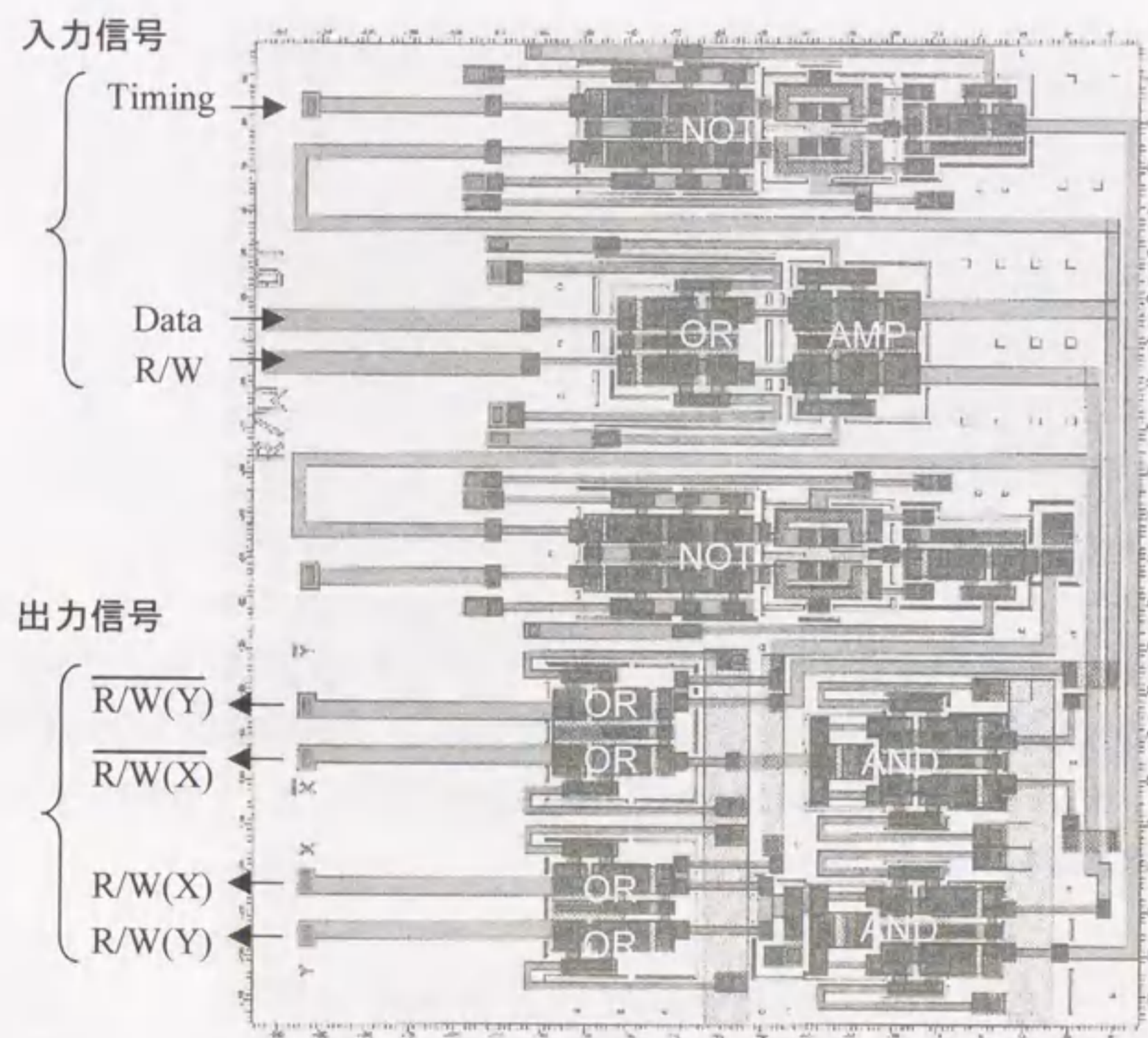
$J1=0.15\text{mA}$, $J2=0.10\text{mA}$, $J3=0.2\text{mA}$, $Ri=14\ \Omega$

2) データ・リードライト信号変換回路 (DRWC)

DRWC回路は、外部から入力されるデータ信号とR/W信号を、本記憶回路に必要な極性信号に変換するための論理回路である。図6-5に、DRWC回路の等価回路図(a)とレイアウト図(b)を示す。本記憶回路で用いている磁束量子転移型記憶セルはワード線とビット線に流す電流の極性の組み合わせによりデータの“1”と“0”の書き込み及び読み出しを行うため、外部から入力されるデータ信号とR/W信号からこの記憶セル特有な極性信号の組み合わせ信号を発生する必要がある。DRWC回路は、このような信号を発生するために、2個の否定回路と2個のOR-AND回路と幾つかの電流増幅回路(AMP)とから構成された論理回路である。ここでは、R/W信号が“1”のときデータの書き込みが行われ、R/W信号が“0”のとき読み出しが行われる。



(a) 等価回路図



(b) レイアウト図

図6-5 データ・R/W変換回路(DRWC)

3) 電源回路

薄膜型超伝導トランスフォーマーに関しては、IBMの Arnett 等により最初報告されその後も幾つかの報告がなされているが、基本的には Arnett が提案した超伝導グランド面にホールを設けたことを特徴とする薄膜型超伝導トランスフォーマーの回路定数の計算方法 [6] や用途に応じたトランスフォーマーの最適化 [7] が研究された。ここでも、この Arnett が提案した薄膜型超伝導トランスフォーマー [2, 3] を基本として 256 RAM ブロックへの回路定数の最適化及びレイアウト設計を行った。

図6-6に、トランスフォーマーのレイアウト図を示す。大きさは $980\mu\text{m} \times 215\mu\text{m}$ である。下部配線で形成した2次巻き線に上部配線で形成した10回巻きの1次巻き線が形成されている。単位長さ当たり大きなインダクタンスを得るためにグランド面にホールが形成されている。設計した回路定数を表6-2に示す。これで電流変換効率約10倍が得られるように設計されている。

ジョセフソンレギュレータは、トランスフォーマーから供給される正弦波電流をジョセフソン回路に必要な矩形波電流に整形するための回路で、その動作原理は文献 [8] に詳しく記されている。ここでは、ジョセフソン接合を4個直列接続することで4倍のギャップ電圧 (約 11.2mV) を発生するようにレギュレータを設計した。このレギュレータの全臨界電流値は、接合面積から計算した値が 180mA になるように設計したが、大きな接合の臨界電流値は自己磁場の影響で実際にはかなり小さな値になる。また、発生する熱の影響を考慮して、1個の臨界電流値の大きさが 12mA (接合サイズ $20\mu\text{m} \times 24\mu\text{m}$) になるように15個に分割されている。従って、このレギュレータは臨界電流値 12mA の接合60個で構成されている。

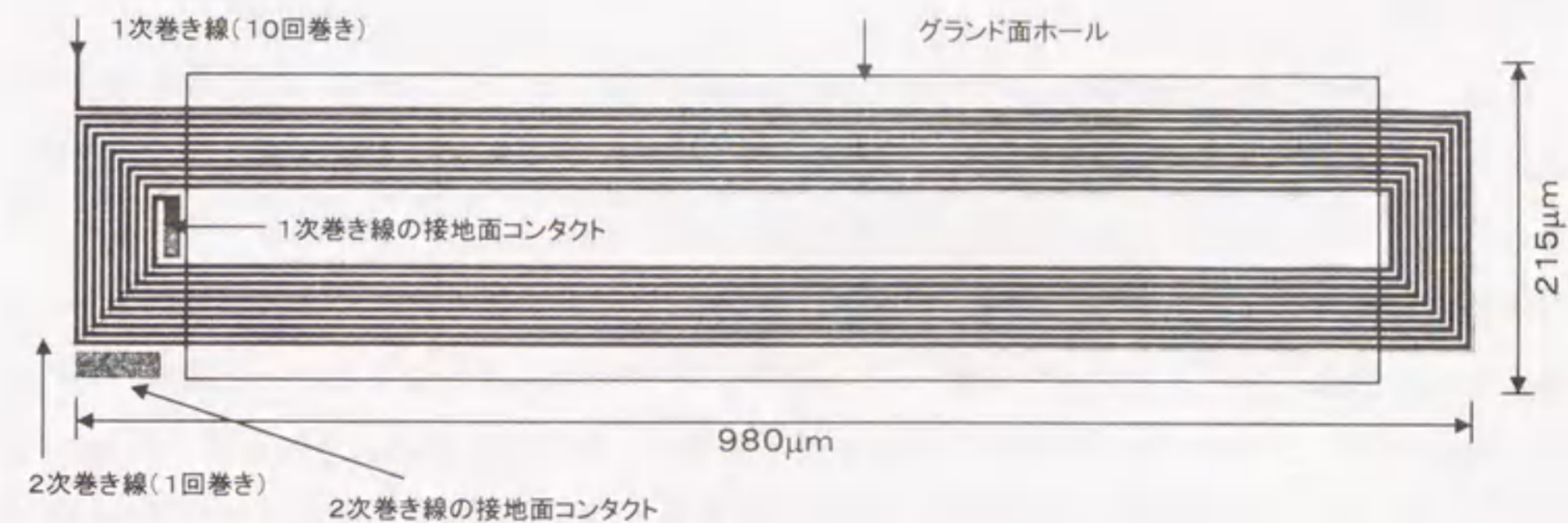


図6-6 トランスフォーマーのレイアウト図

表6-2 トランスフォーマの回路定数(設計値)

	1次巻き線	2次巻き線
巻き数	10	1
線幅	4 μm	62 μm
長さ	20 mm	1.86 mm
インダクタンス	60 nH	0.6 nH

6.3 測定評価方法の改善

高速クロック動作の試験方法の概略図を図6-7に示す。このRAMは、先に記したように内部にトランスフォーマとジョセフソンレギュレータからなる電源回路が挿入されているため、バイアス電源としては交流の正弦波信号を供給すれば良い。正弦波信号は、ローデ・シュワルツ社製或いはヒューレッド・パカード社製のシグナルジェネレータで発生した。この正弦波出力をパワーディバイダーで分けて、一方をトリガー信号源としてパルスジェネレータのトリガ入力端子に接続し、もう一方をチップへのバイアス信号源として、高周波増幅器、可変遅延線、可変アッティネータを介してチップのバイアス電源ラインに接続した。RAMの記憶動作を評価するためには、さらにデータ信号とR/W信号、タイミング信号及びアドレス信号をこのバイアス信号に同期して供給する必要がある。これらの入力信号は、アンリツ社製のパルスジェネレータで発生し、チップの入力端子に入力した。このパルスジェネレータは、3GHzまでの任意のパルスパターンを発生することが出来る。入力信号の電流レベルは、0.1mA程度と小さいのでチップ上で50 Ω 終端されている。チップからの出力はサンプリングオシロでモニタした。この高速クロックの測定では、第3章で記したマーチングのような複雑なテストパターンを発生することは困難であるので、アドレスを固定してその特定のアドレスに対して高周波クロックでの記憶動作を試験した。

また、上記タイミング信号は、デコーダ回路の前段に配置された入力信号の補信号を発生する回路(タイムドインバータ回路)に入力される。従って、このタイミング信号が入力された時点からRAMの動作が開始される。これらの入力信号パルスの立ち上がりは、図6-8に示すような順番に行われる必要がある。即ち、データ、R/W、アドレス信号はバイアス信号が十分に立ち上がった後に、タイミング信号はデータ、R/W、アドレス信号が立ち上がった後に、それぞれ一定のタイミングマージンを持って立ち上がるように、信号間に図のような遅延(Delay)を付ける必要がある。ここでは、バイアス信号は、ジョセフソンレギュレータにより変換された後の矩形波の波形で示されている。

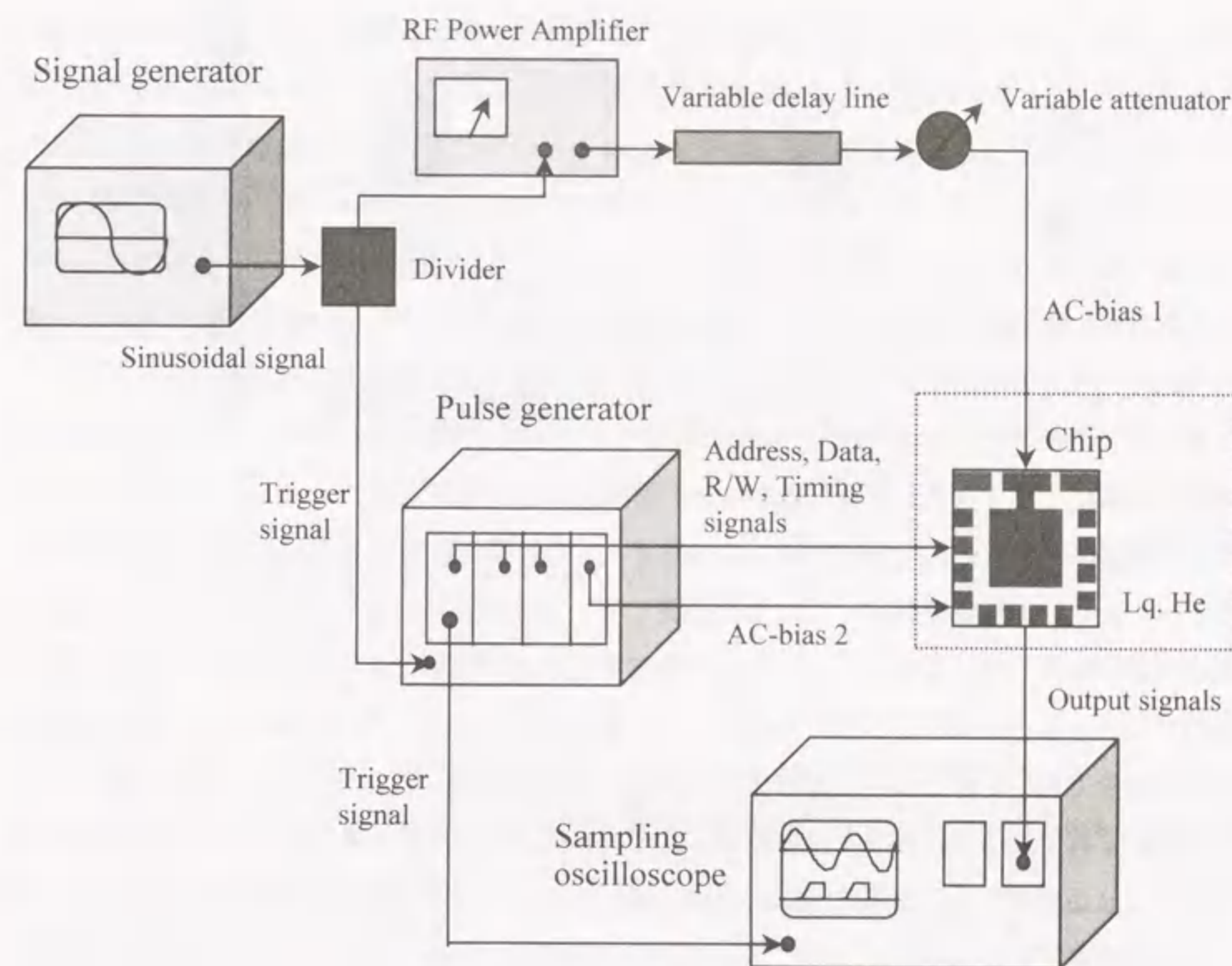


図6-7 高速クロック動作の測定評価システムの概略図

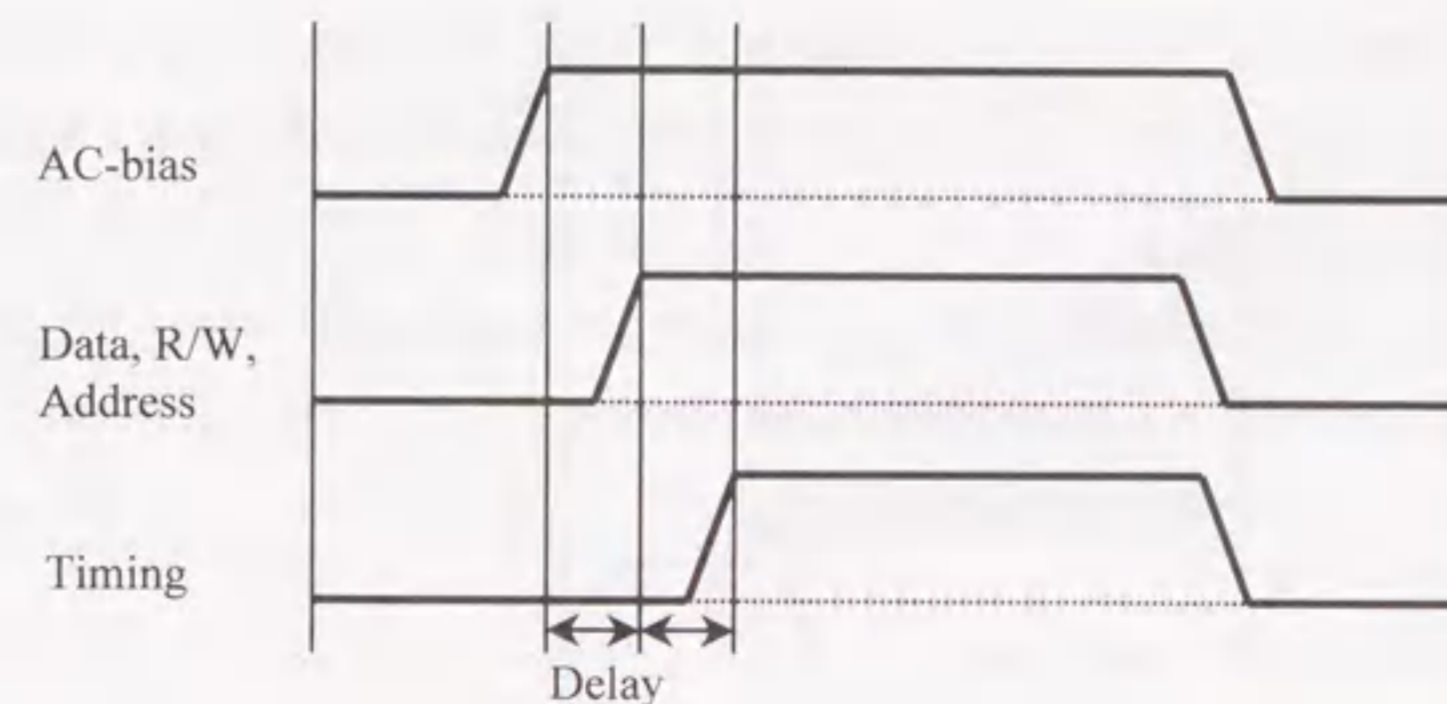


図6-8 RAMへの入力信号のタイミング条件を示す概略図

さらに、図6-9に示すようなRAMのバイアス電源とは異なる電源でバイアスされた出力ゲート（ORゲート）をRAMの最終段に新たに付加した。これによりクロック周波数の上昇と共に出力パルスの幅が小さくなり測定評価が困難になるという問題を解決する事ができた。図6-10に、この理由を説明するためのパルス波形の概略図を示した。(a)は、別位相の出力ゲートを付加しない場合のパルス波形の概略図であり、(b)は別位相の出力ゲートを付加した場合のパルス波形の概略図である。図(a)のように別位相の出力ゲートがない場合にはRAMの最終段の出力ゲートもRAMと同位相にバイアスされているため、最終段の出力ゲートがバイアスの立ち下がりの直前に届いた信号によって時刻T1で電圧状態にスイッチしてもその出力のパルス幅は非常に小さくなる。そのためクロック周波数の限界領域に近づくにしたがって出力パルス幅は非常に僅かになる。実際にはジッターやノイズの影響を除去するためにサンプリングオシロのアベレージング機能を使用して波形を観測しているため、測定波形の振幅も小さくなり、RAMは正常に動作していたとしても、出力を検出することが困難であった。図(b)のようにRAMのバイアス電流と位相をずらした出力ゲートを設けることで、バイアスの立ち下がりの直前に届いた信号でも、それによって出力ゲートがスイッチすれば、この出力ゲートの出力パルスの幅は位相がずれている分だけ長くなるため、アベレージングした後でも図のような大きな出力信号を得ることが出来る。この様に別位相の出力ゲートをRAMの最終段に付加することで、クロック周波数の限界領域の測定が非常に容易になる。実際に、あるシステムの中でRAMが使用されるときには、RAMの性能を最大限に引き出すためにも、RAMの前にはラッチ回路を挿入して、クロックの立ち上がりでRAMに入力信号を与え、RAMからの出力信号はラッチに蓄えられて、次のクロックの立ち上がりで信号が出力される。この様にラッチを挿入することで、先に述べた入力信号間のタイミングマージンも最小限にすることができ、バイアス信号の有効時間を100%RAMの動作に使用することが出来る。クロック動作の限界周波数を測定するためには、本来このようなラッチ回路を前後に挿入した方式を取ることが望ましいが、ジョセフソンラッチ回路自体の動作マージンがあまり大きくないため今回の実験では用いなかった。そのかわり、この様に別位相の出力ゲートをRAMの最終段に付加することで、信号の出力に対しては容易にラッチ回路を挿入したのと同じ効果が得られる。

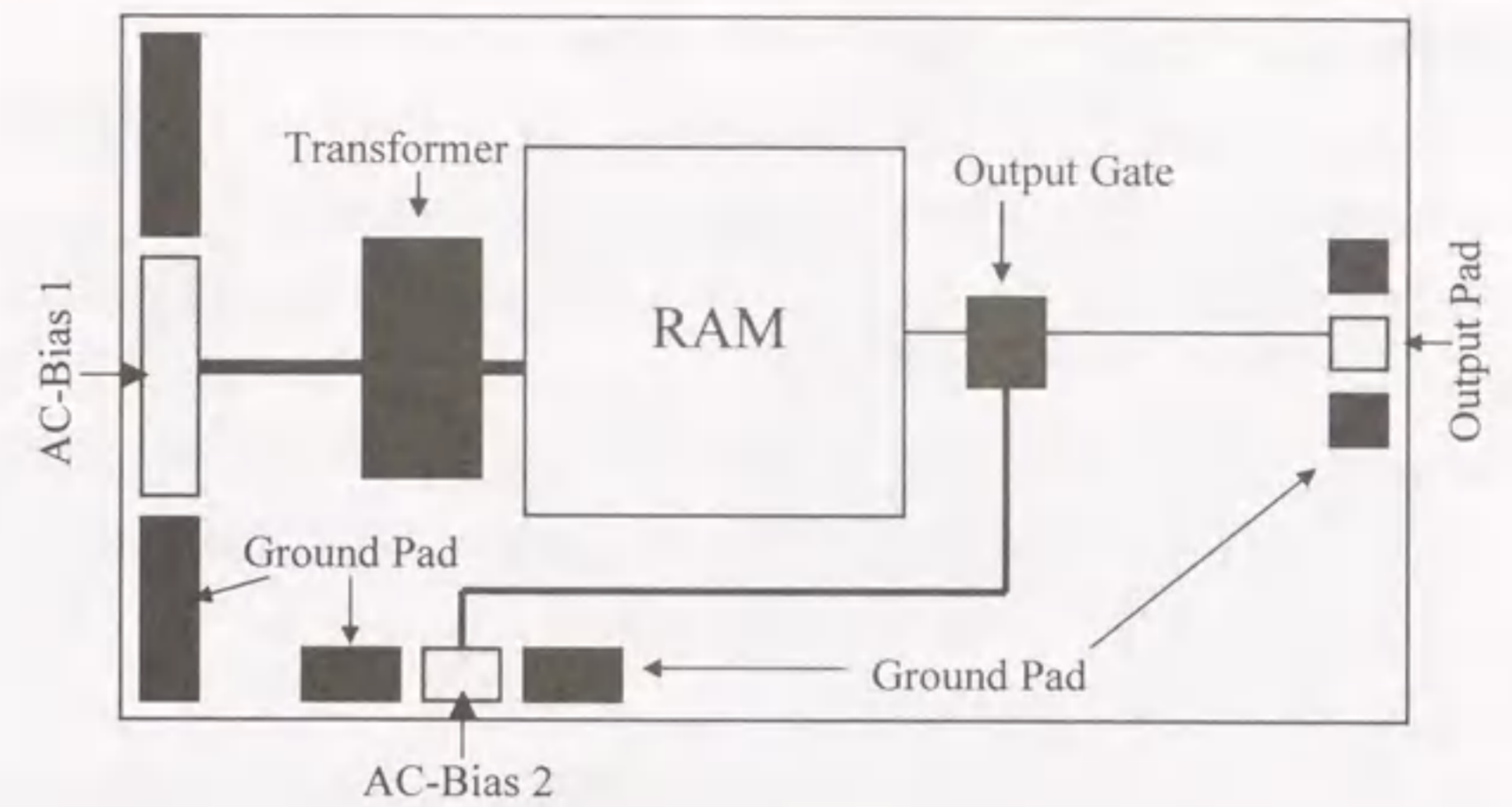


図6-9 電源位相の異なる出力ゲートを付加したチップレイアウトの概略図

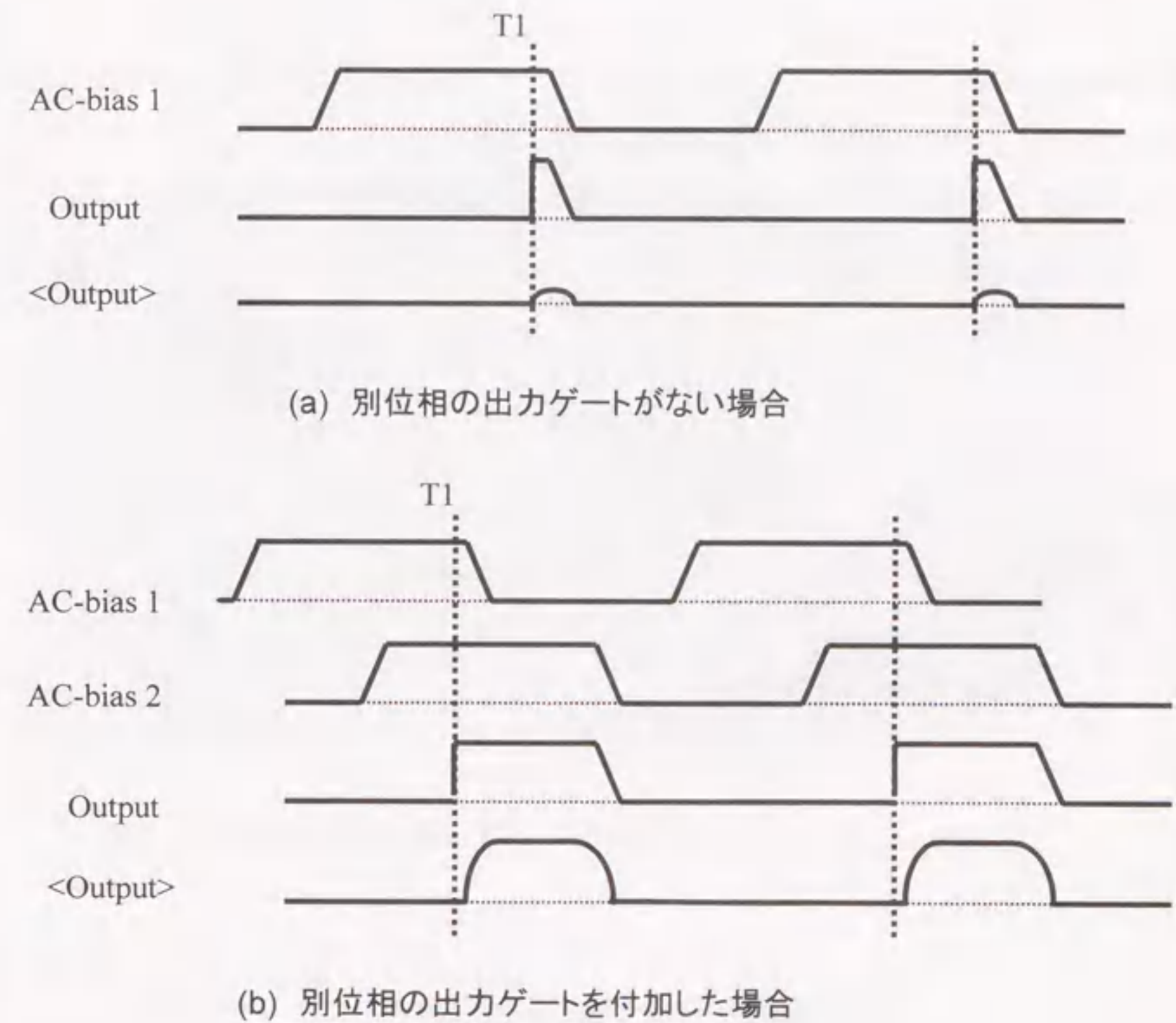


図6-10 入出力パルス波形の概略図

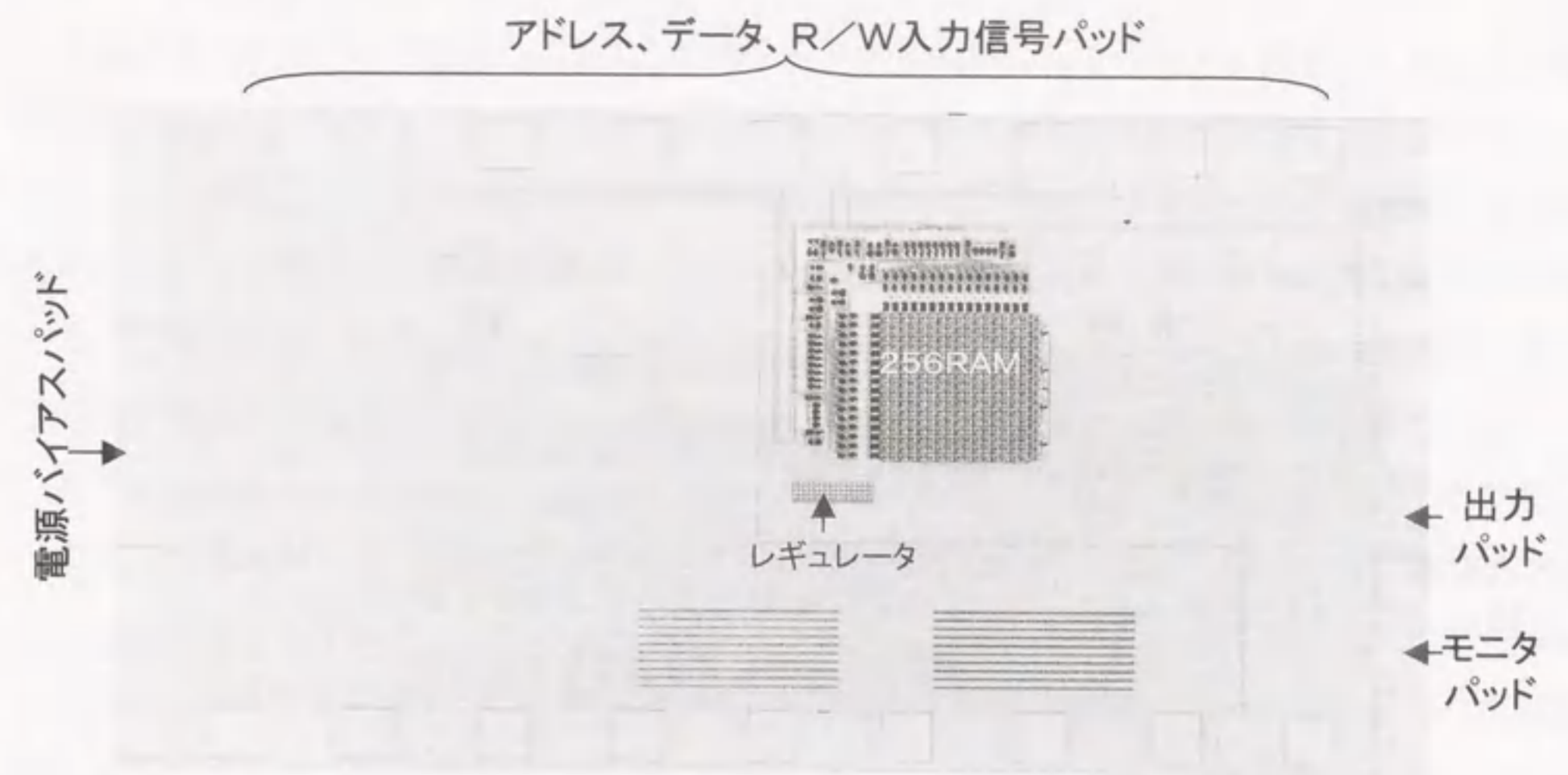
6.4 256RAMブロックの高周波クロック動作

最初に、256ワード16ビットRAMの基本となる256RAMブロックの試作評価を行った。しかし、この256RAMブロックは電源回路を含んだ全ての機能を持っているため、これを評価することで機能的には256ワード16ビットRAMのほとんどの機能を評価できたことになる。

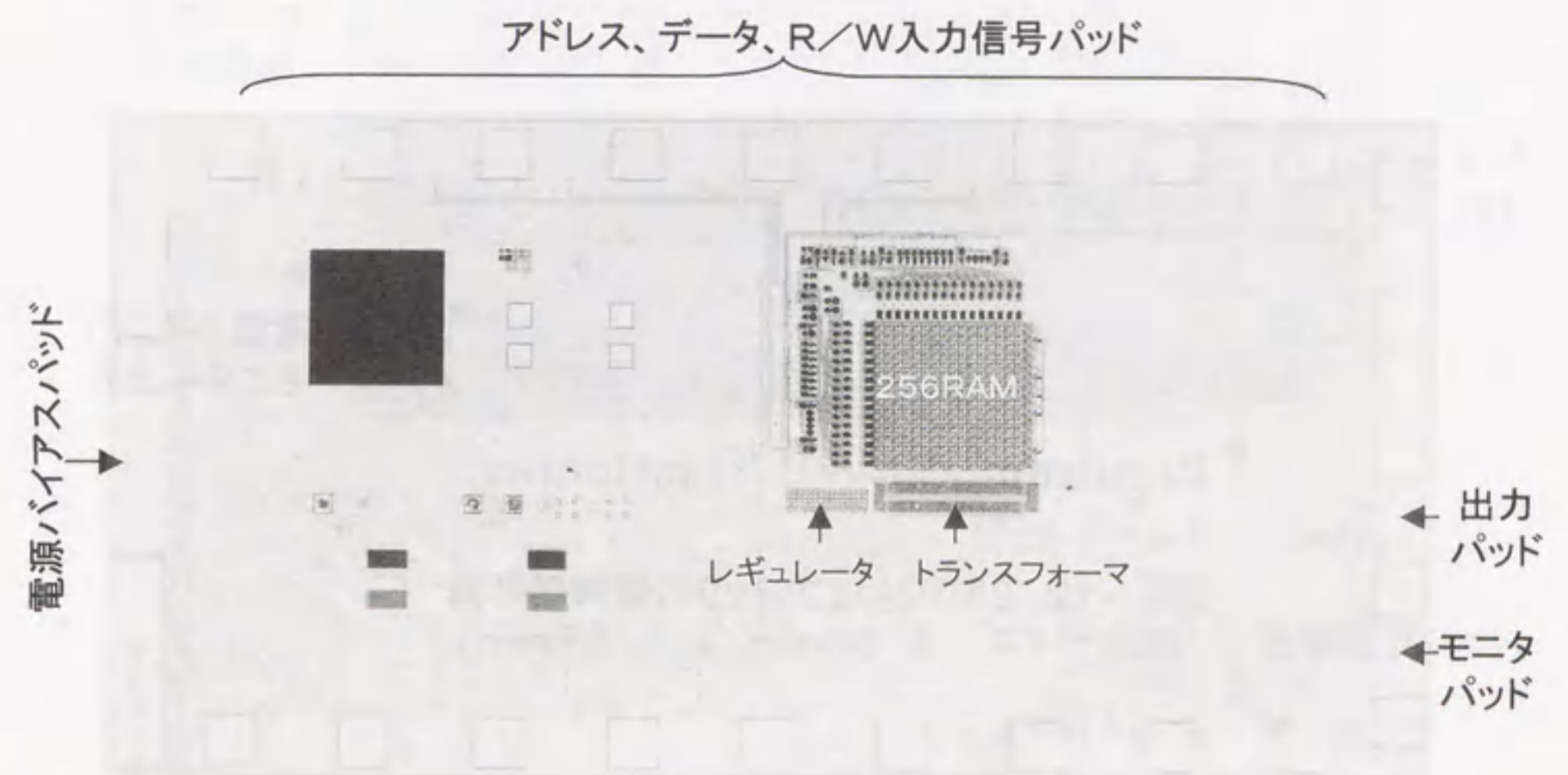
256RAMブロックの評価チップは、第4章で述べた4KビットRAMと同じ製造プロセス、即ちNb/AIOx/Nb接合と2層のNb配線、Mo抵抗体、SiO₂絶縁層からなる標準製造プロセスにより試作した[9,10]。接合の臨界電流密度は2500A/cm²、シート抵抗は1.2Ωで設計した。

図6-11は、256RAMブロックの評価チップの顕微鏡写真である。低速機能評価チップと高速クロック動作評価チップの2種類試作した。低速機能評価チップは、トランスフォーマを入れずにレギュレータのみを付加した回路で、これは低周波になるがLSIメモリテストでフェイルビットマップを測定できるようにしたチップである。高速クロック動作評価チップは、トランスフォーマとレギュレータを含んだ完全な256RAMブロックで、高周波でのクロック動作を測定評価できる様にしたチップである。どちらのチップも最終段のRAMからの出力以外にレギュレータの出力もモニタできるように設計されている。

図6-12に、1個の256RAMブロック部を拡大した顕微鏡写真を示す。



(a) 低速機能評価用チップ (レギュレータのみ)



(b) 高周波動作評価用チップ (トランスフォーマ+レギュレータ)

図6-11 256RAMブロック評価チップの顕微鏡写真

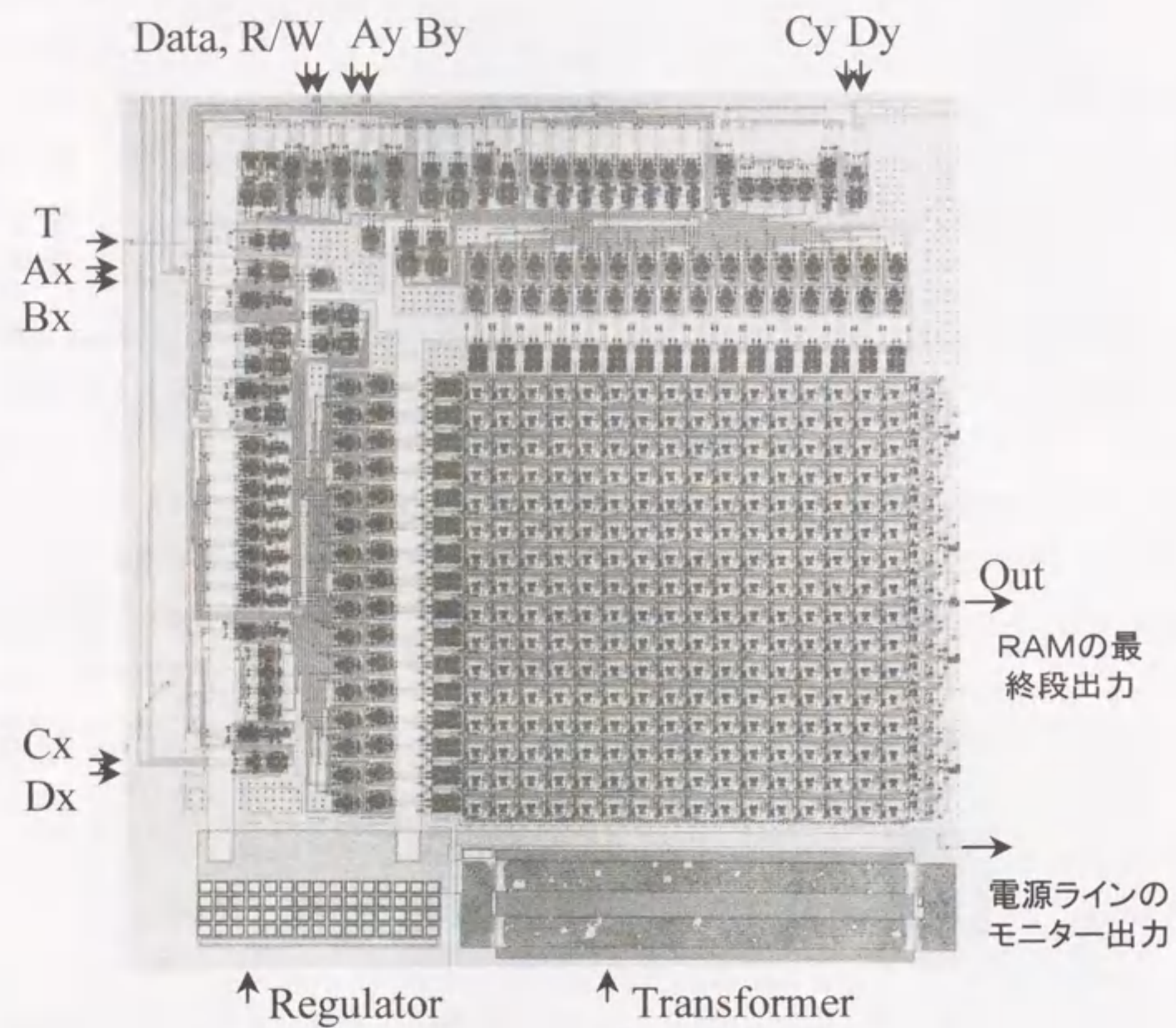


図6-12 256RAMブロックの顕微鏡写真
(回路サイズ: 1.56mm × 1.69mm)

6.4.1 低周波での機能試験

高速クロック動作の評価を行う前に、この256RAMブロックが正常に機能するかどうかを確認するために、LSIメモリテストで数10KHzの低周波ではあるが256RAMブロックのマーチングによるフェイルビットマップの測定を行った。図6-13に、その測定結果の一例を示す。ドットで示した点が正常動作ビットであり、ビットイールド100%の完全動作を確認することができた。今回は、4チップ測定して内3チップでビットイールド100%の完全動作を確認することができた。

また、この低周波での機能試験でチップの動作マージンを測定し、高速測定の準備を行った。この256RAMブロックへのバイアス電流は1本の電源ラインで供給され、この電源ラインにはジョセフソンレギュレータが入っているため、レギュレータを含めたバイアス電流の動作領域になるが、バイアス電流値が220mAから測定器の限界である400mAまでの非常に広い範囲で256RAMブロックの正常動作を確認した。

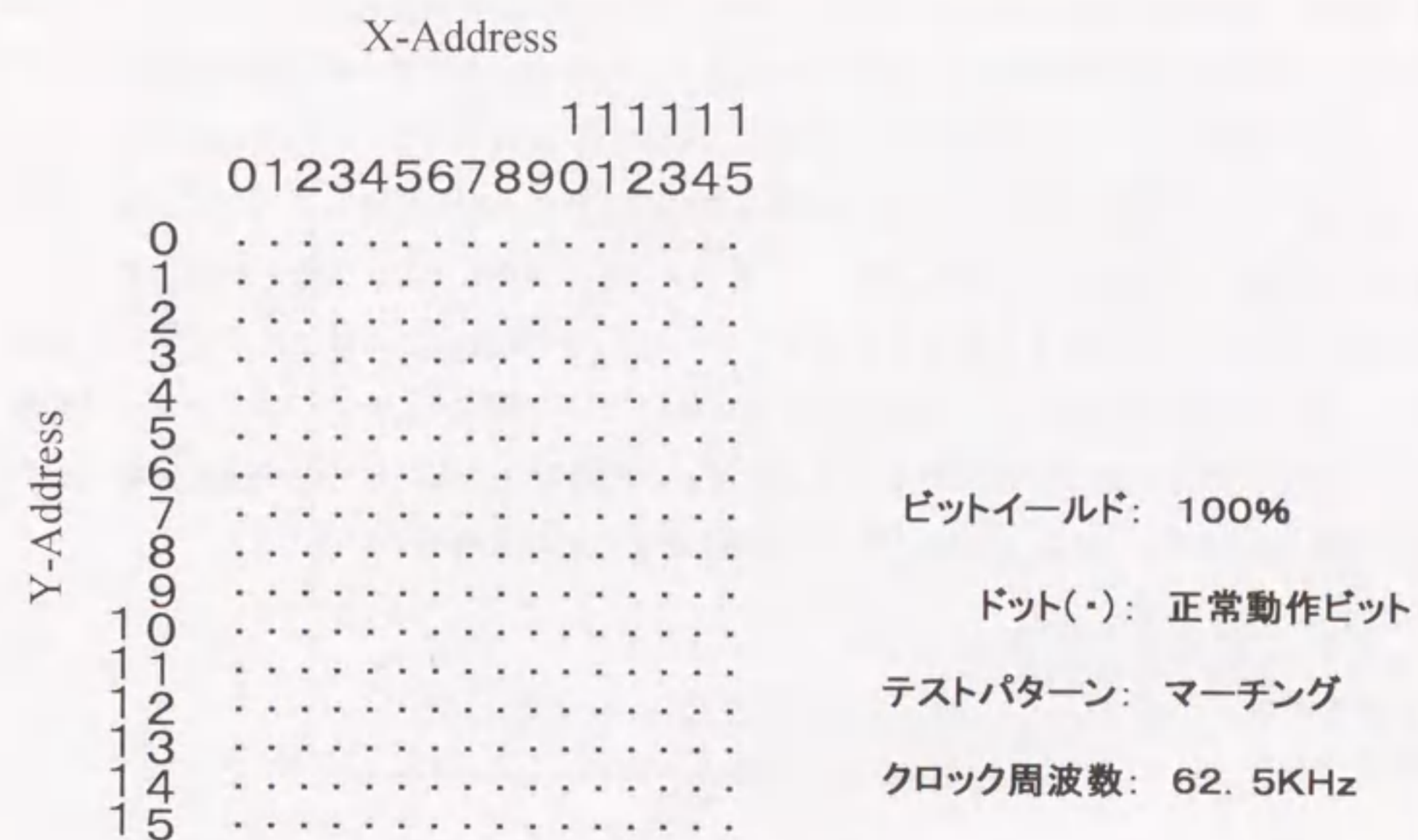


図6-13 256RAMブロックのフェイルビットマップの測定結果の一例

6.4.2 高周波クロックでの測定評価

まず、レギュレータとトランスフォーマの評価を行った。図6-14は、電源クロックとして200MHzの正弦波を256RAMブロックに加えた時のレギュレータの出力をモニタした波形で、約50%程度のデューティで正弦波が矩形波に変換されていることが解る。電圧は、4倍のギャップ電圧である11.2mVが発生している。外部で発生したシグナルジェネレータの出力が、チップにどれだけ供給されているかを正確に測定することは困難であるが、図6-14のような電圧が11.2mVでデューティ50%のレギュレータの出力得られた時、256RAMブロックに設計通りのパワー(1.6mW)が供給されていると判断しても大きな違いはない。そこで、256RAMブロックのレギュレータの出力波形を測定することで、トランスフォーマの変換効率を評価した。図6-15は、この様にして測定したトランスフォーマの周波数特性である。縦軸のパワーは、上で述べた様に電圧が11.2mVでデューティ50%のレギュレータの出力得られた時のシグナルジェネレータの出力パワーを示している。なお、この出力パワーは、前もってネットワークアナライザで各周波数に対して測定した同軸ケーブルでのロス分を差し引いた値で示してある。言い換えれば、このグラフは、チップに1.6mWのパワーを供給するために必要な外部のシグナルジェネレータのパワーの周波数依存性を示している。200MHzから600MHzの範囲では、シグナルジェネレータの出力パワーが2mW程度ですんでおり、非常に効率良くパワーが供給されていることが解る。これに対して、トランスフォーマの入っていないチップでは、この100倍のパワーである200mWを供給してもレギュレータをスイッチさせることは出来なかった。即ち、トランスフォーマなしでは、100倍以上のパワーである200mWを外部から供給してもインピーダンスの不整合のためほとんど反射してしまい、1.6mWですら供給することができないのに対して、今回設計したトランスフォーマを用いることで周波数が200MHzから600MHzの範囲では外部から2mW程度供給してやれば256RAMブロックに十分にパワーを供給できることを意味している。

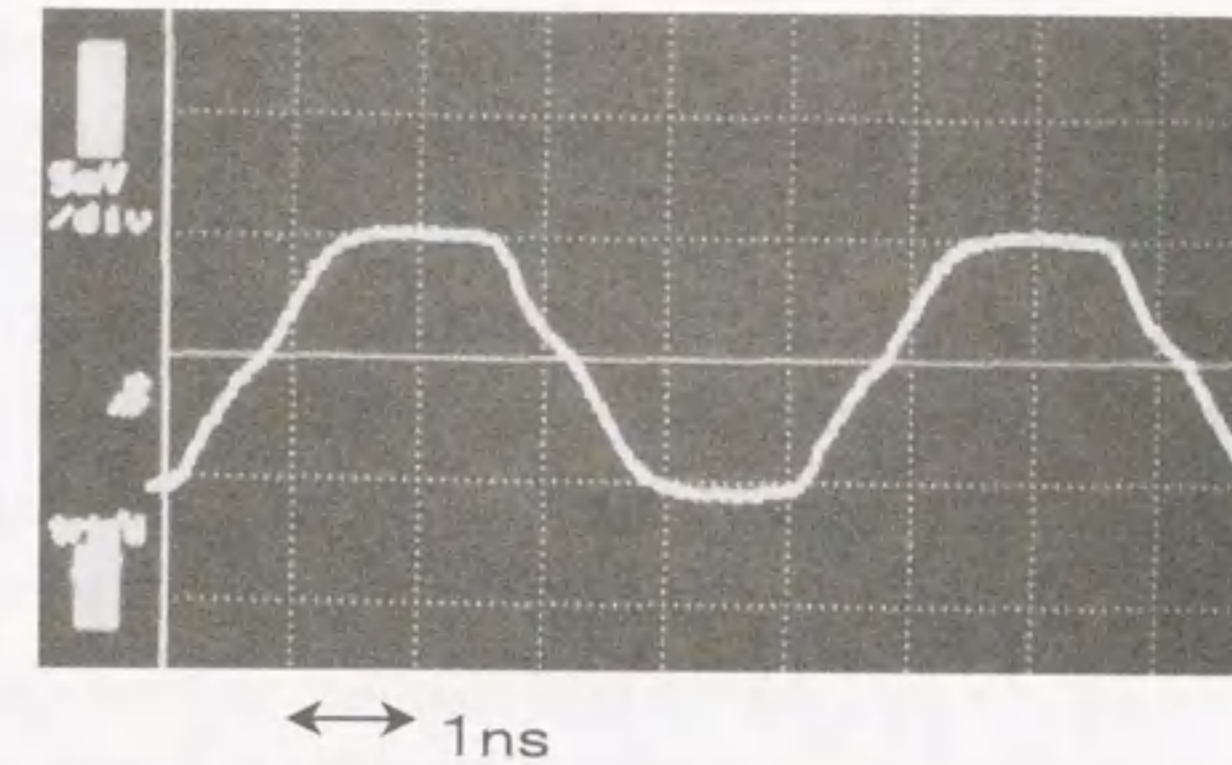


図6-14 レギュレータの出力波形の一例(200MHz)

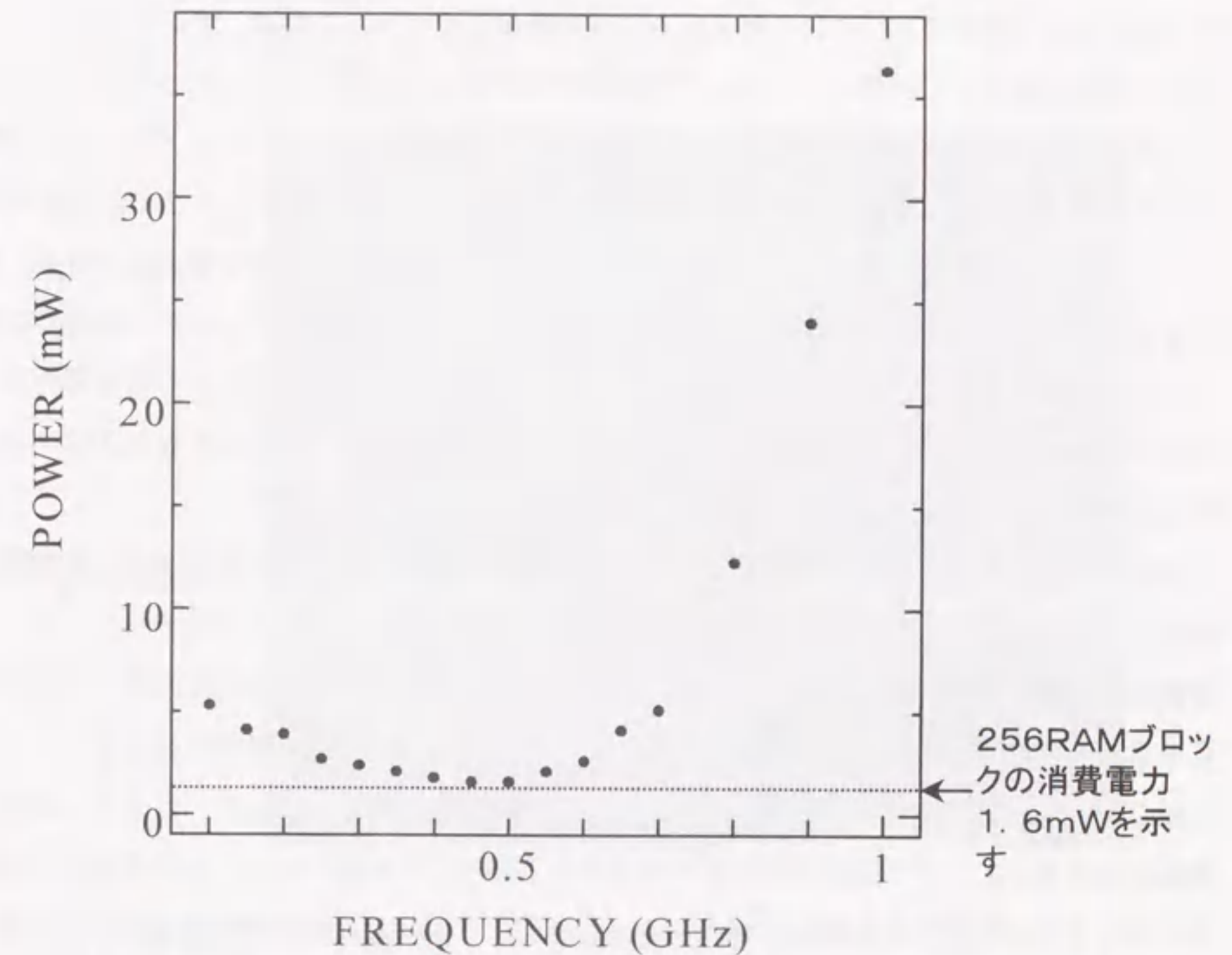


図6-15 トランスフォーマの周波数特性

縦軸のパワーは、デューティ 約50%のレギュレータ出力が得られたときのシグナルジェネレータの出力パワーを示す。

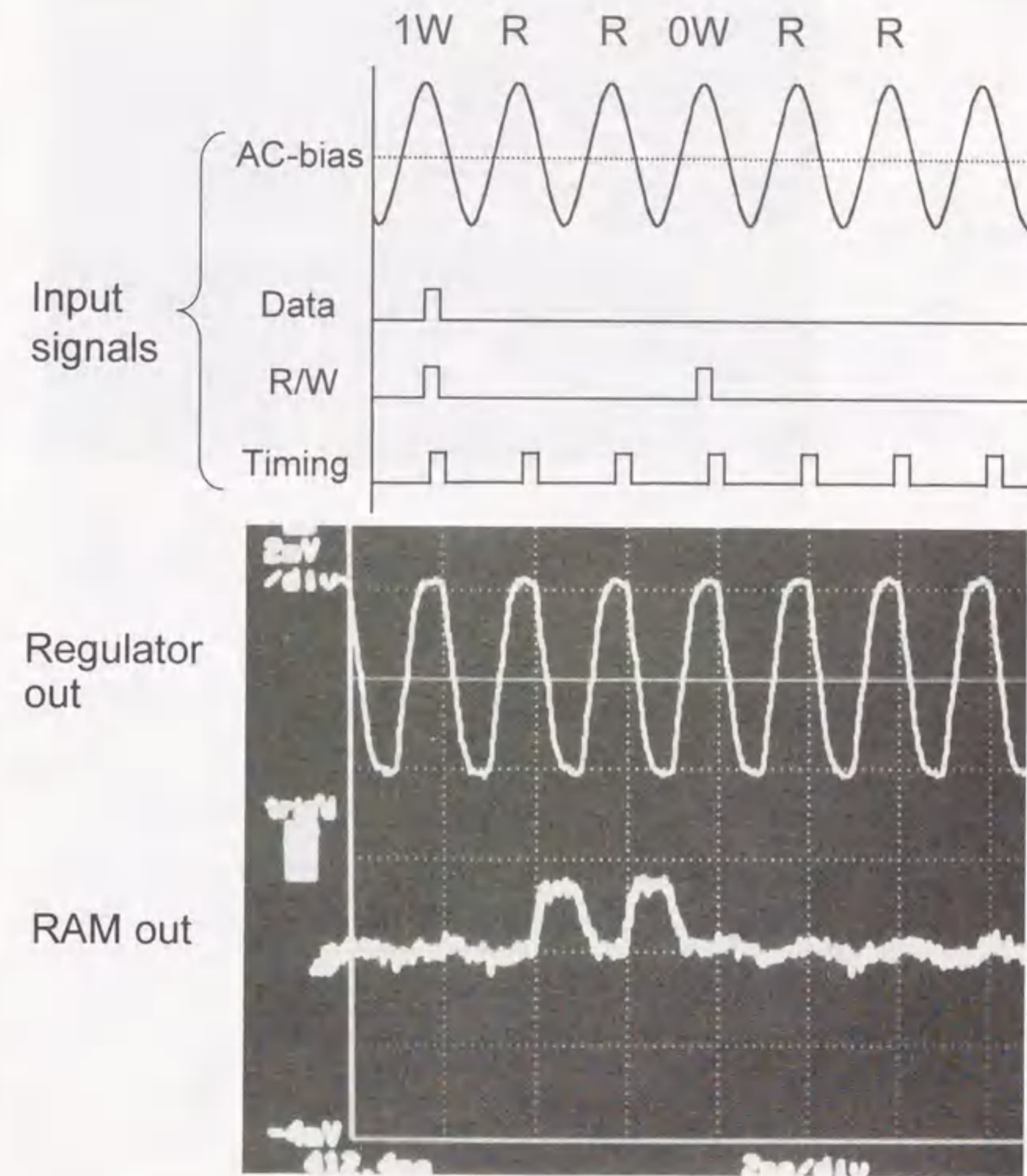
図6-16は、クロック周波数1GHzでの256RAMブロックの記憶動作の試験結果である。上から、正弦波の電源クロック、入力信号としてデータ、R/W、タイミング信号を示し、出力波形としてレギュレータとRAMの出力が示されている。ここでは、256RAMのクリティカルパスにあたるアドレスが全て0のセルに対して1、0の書き込みと読み出しを行っている。読み出しを2回行っているのは、RAMの非破壊読み出し動作を確認するためである。1を書き込んだ後でのみ2回出力が発生しており、クロック周波数1GHzで256RAMが正常に動作していることが解る（正弦波の1/2波長をクロック周期としているので、正弦波の周波数は500MHzである）。このときのシグナルジェネレータの出力パワーは、約3mWであった。なお、この測定試験ではACバイアスが正の極性の時に、データ、R/W、タイミング等の信号を入力してRAMの記憶動作の評価を行っている。

図6-17は、さらに周波数を上げて今回の測定に於ける256RAMブロックの動作限界である最大クロック周波数1.07GHzでの出力波形を示した写真である。クロック周波数が1GHzの時の出力波形に比べてRAMの出力信号が減少している。これは、オシロスコープでは繰り返し波形を測定しているが、クロック周波数の限界領域の近傍ではジッター及びノイズに起因して何回かに1回は誤動作が生じて出力が発生せず、そのためアベレージングした出力が減少していると考えられる。この最大クロック周波数は、バイアス信号のデューティや入力信号間のタイミングマージン及び測定システムの信号間のジッターの値に大きく依存する。この1.07GHzの動作では、レギュレータの出力波形の観察からバイアス信号のデューティは約50%程度である。図6-18に、この時の電源バイアス波形の概略図を示す。これから信号間のジッターを約20ps程度として入力信号間のタイミングマージンを考慮すると、256RAMブロックは約400ps以下で動作していると考えられる。

図6-19に、256RAMブロック内で出力信号が得られるまでの信号経路の概略図と論理段数を示した。RAMへの入力信号は、まず信号増幅器に入力され、その後データ・R/W信号変換回路、デコーダ回路、ドライバ回路、セルアレイ、センス回路を経て出力信号が発生する。各要素回路の信号が伝わるゲート段数を図に示した。最終の出力信号が得られるまでに、最小21段のゲートがスイッチする必要がある。ゲート回路には、OR、AND、NOT、AMP等の種類があるが、ここでは種類を問わずそれぞれを1個として計算した。これらの値から単純に平均すると1ゲート当たり20ps程度になるが、実際には配線遅延時間やドライバのような大きなインダクタンス負荷を持ったゲートもあるため、ゲート自体の平均動作時間はさらに小さな値になっていると考えられる。このことは、シミュレーションによる85%バイアス時の抵抗負荷のORゲートの動作時間（約15ps）に近づいているので、1.07GHzというクロック周波数はデューティ50%のバイアス信号という条件下での256RAMの設計上の最大クロック周波

数に近い値であると思われる。

この様に記憶回路としては世界で始めてRAM全体に1GHz以上の高周波クロックを供給して動作させることに成功した。



クロック周波数: 1GHz address (<0000>x, <0000>y)

図6-16 クロック周波数1GHzでの256RAMブロックの動作波形

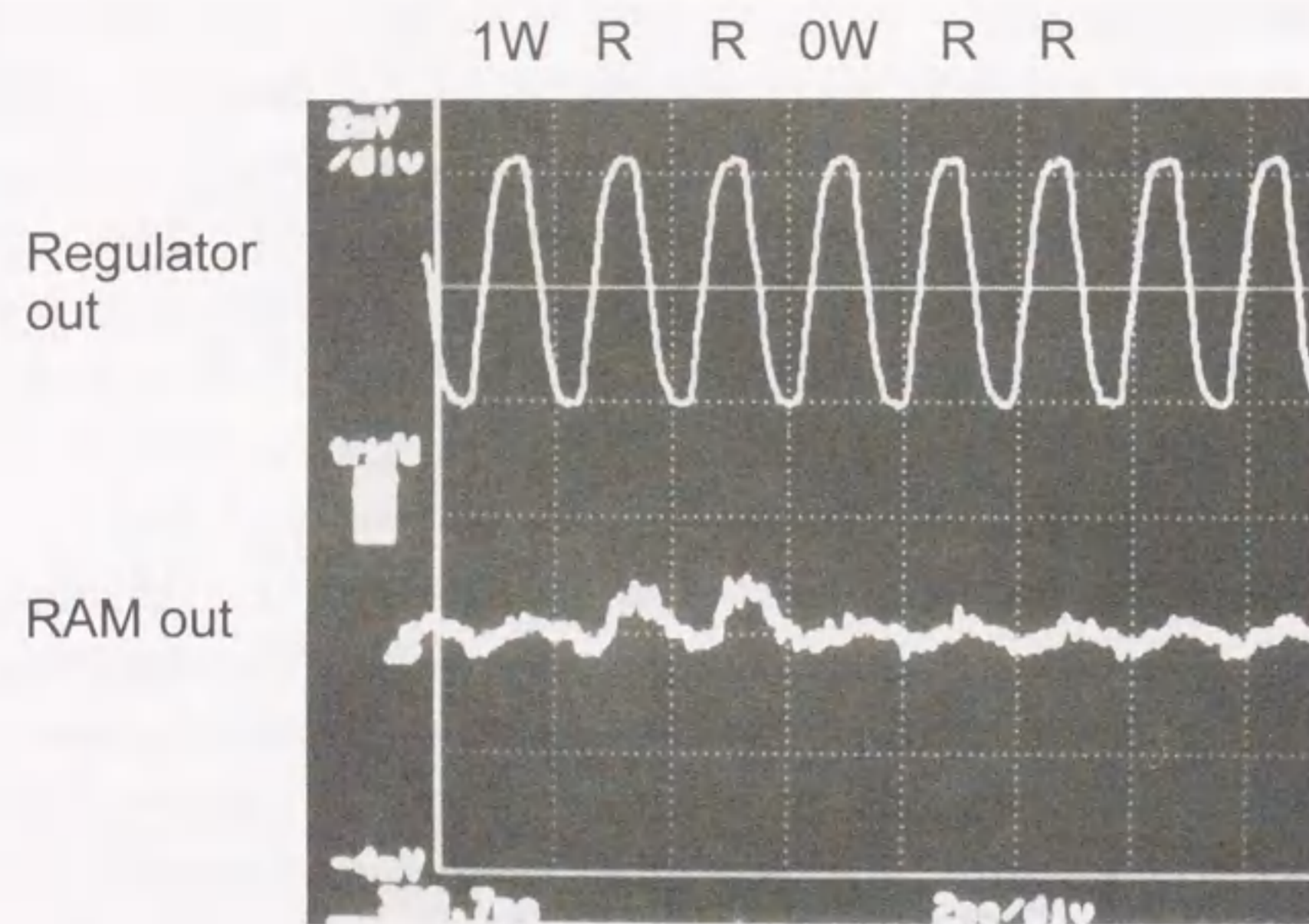


図6-17 クロック周波数1.07GHzでの256RAMブロックの動作波形

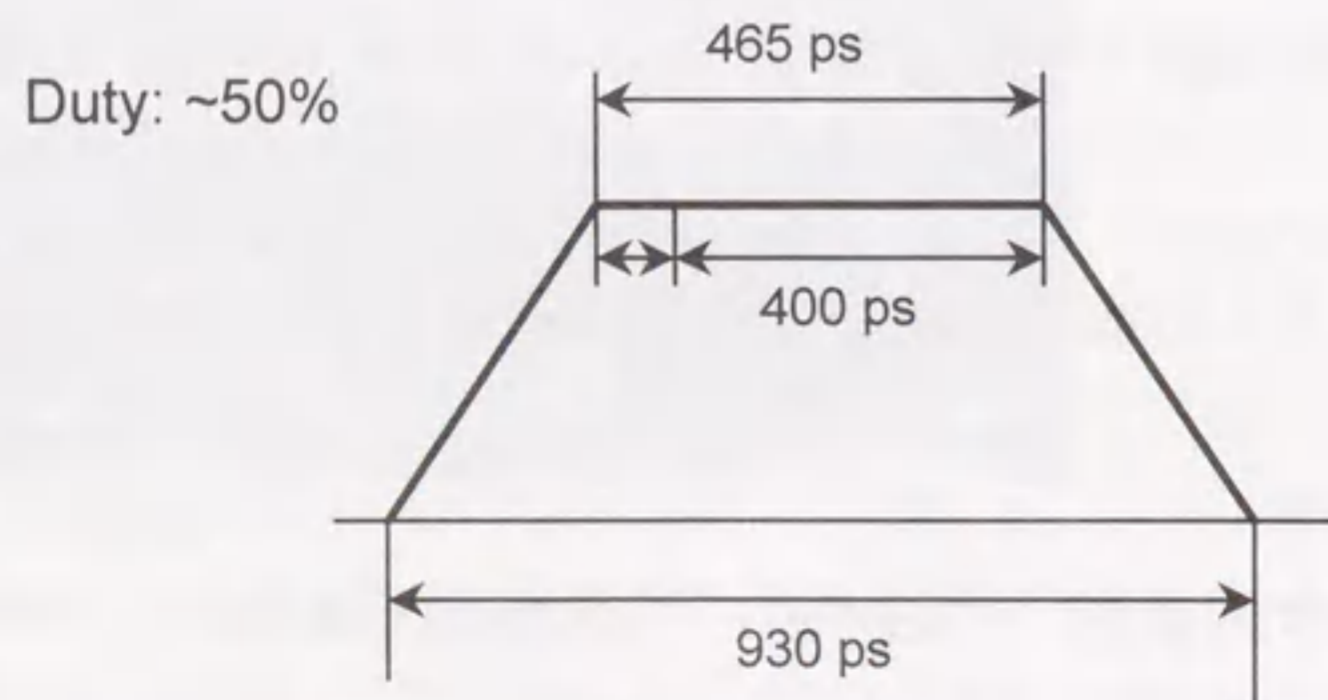


図6-18 クロック周波数1.07GHzでの電源バイアス波形の概略図

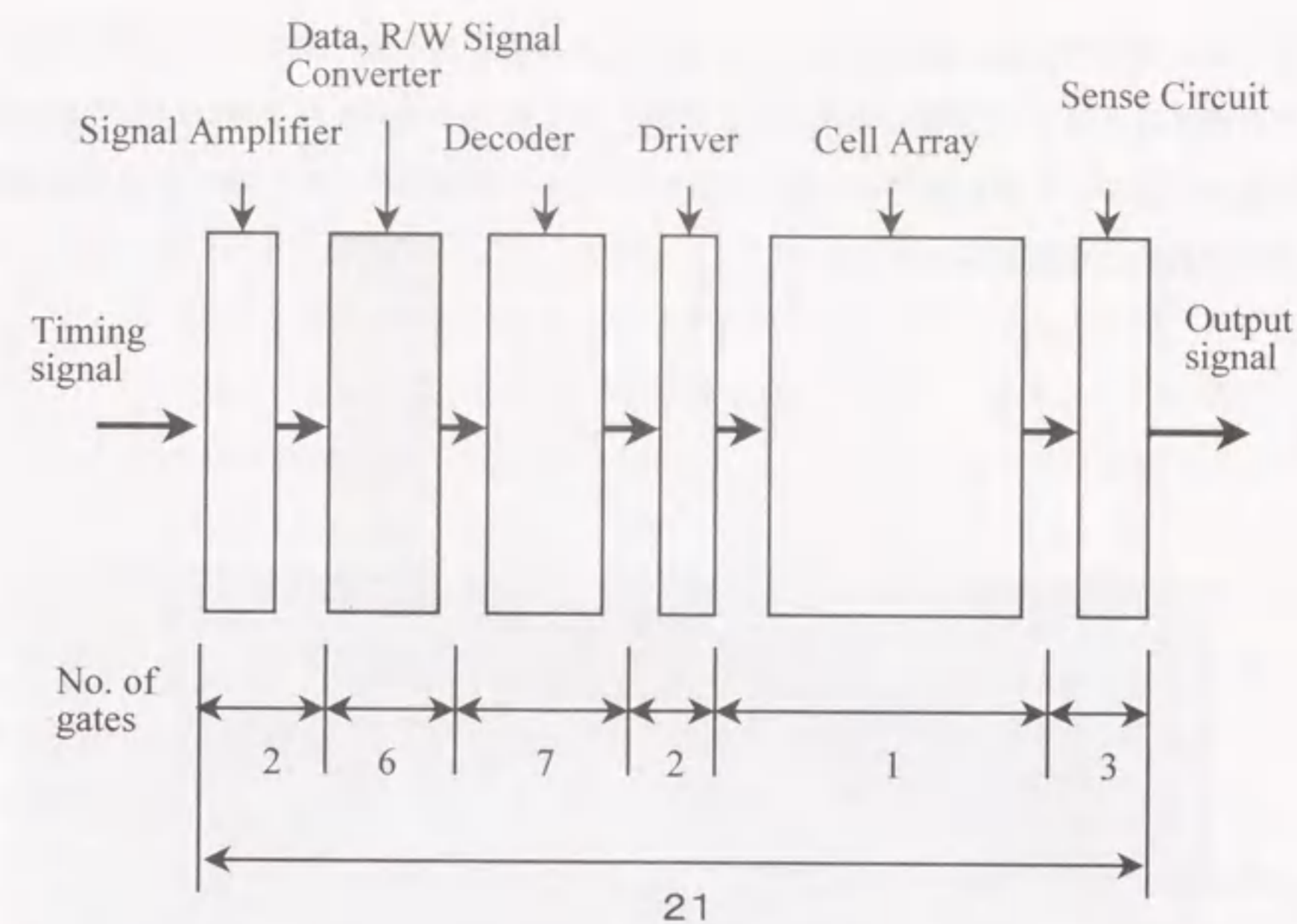


図6-19 256RAMブロックの信号伝播経路の概略図と論理段数

6.5 256ワード16ビットRAM全体の高周波クロック動作

次に、256ワード16ビットRAM全体の測定評価について述べる。図6-20に256ワード16ビットRAMのチップ写真を示す。256RAMブロックの評価チップと同じNb/A1Ox/Nb接合と2層のNb配線、Mo抵抗体、SiO₂絶縁層からなる標準製造プロセスにより試作した[9,10]。接合の臨界電流密度とシート抵抗も、同じく2500A/cm²、1.2Ωである。8.6mm角のチップ上に約4万2千個のジョセフソン接合が集積化されている。前節で評価した256RAMブロックと全く同じものが16個、4行4列のアレイ状に配置されている。構成は、6.2節で記したように256RAMブロック間は信号増幅器 (Signal Amplifier) を含んだインピーダンス整合ラインで結ばれている。この信号増幅器は、256RAMブロック内で用いたものと同じ回路 (図6-4) で、80%バイアス時に0.2mA×4の出力電流が得られるように設計されている。1本のインピーダンス整合ラインは、0.2mAの電流を流すために、特性インピーダンス14Ωのストリップラインと14Ωの終端抵抗 (これが次段のゲートの入力抵抗になっている) とで構成されている。256ワード16ビットRAMに入力されたタイミング信号は、2つの信号増幅器とインピーダンス整合ラインを介して256RAMブロックに伝えられる。従って、256ワード16ビットRAM全体の動作時間は、256RAMブロックの動作時

間に、2つの信号増幅器の動作時間とインピーダンス整合ラインの信号伝搬時間を加えた時間として評価することができる。また、256ワード16ビットRAM全体の消費電力は26mW（設計値）であり、このRAMをクロック動作させるためには、2Aを越える高周波の大電流をチップに供給する必要がある。

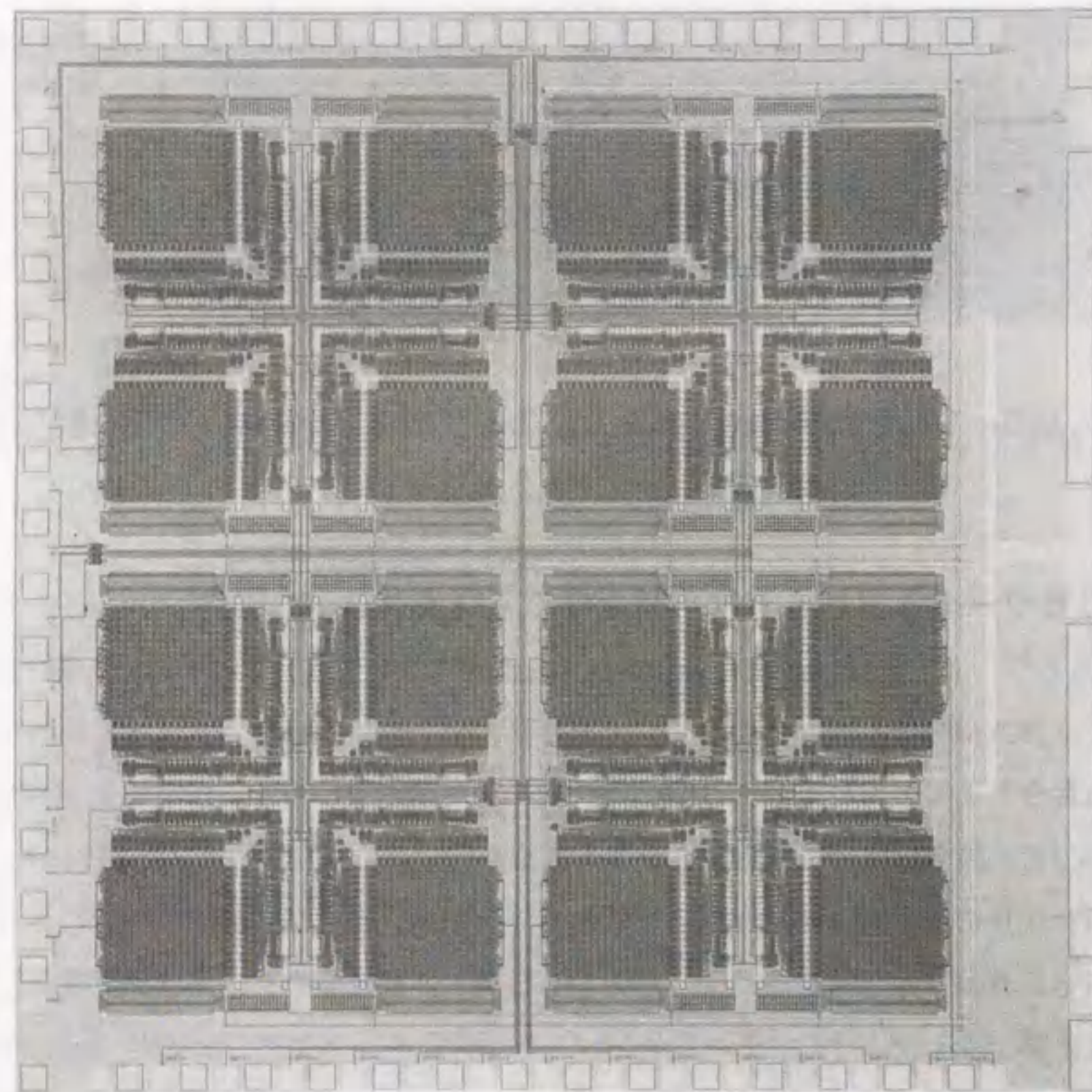


図6-20 256ワード16ビットRAMチップの顕微鏡写真

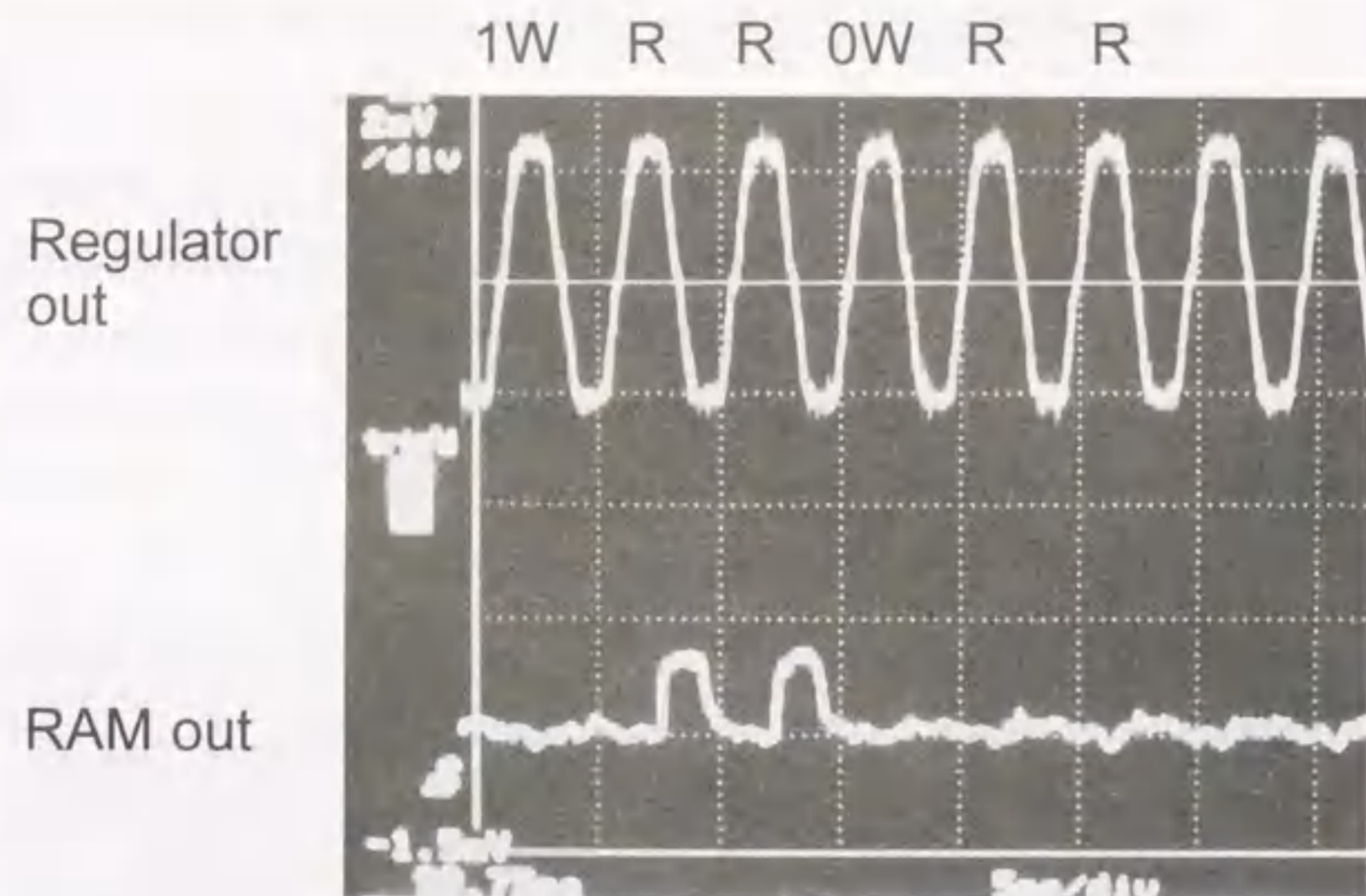
チップサイズ: 8.6 mm × 8.6 mm

接合数: 約 42,000個

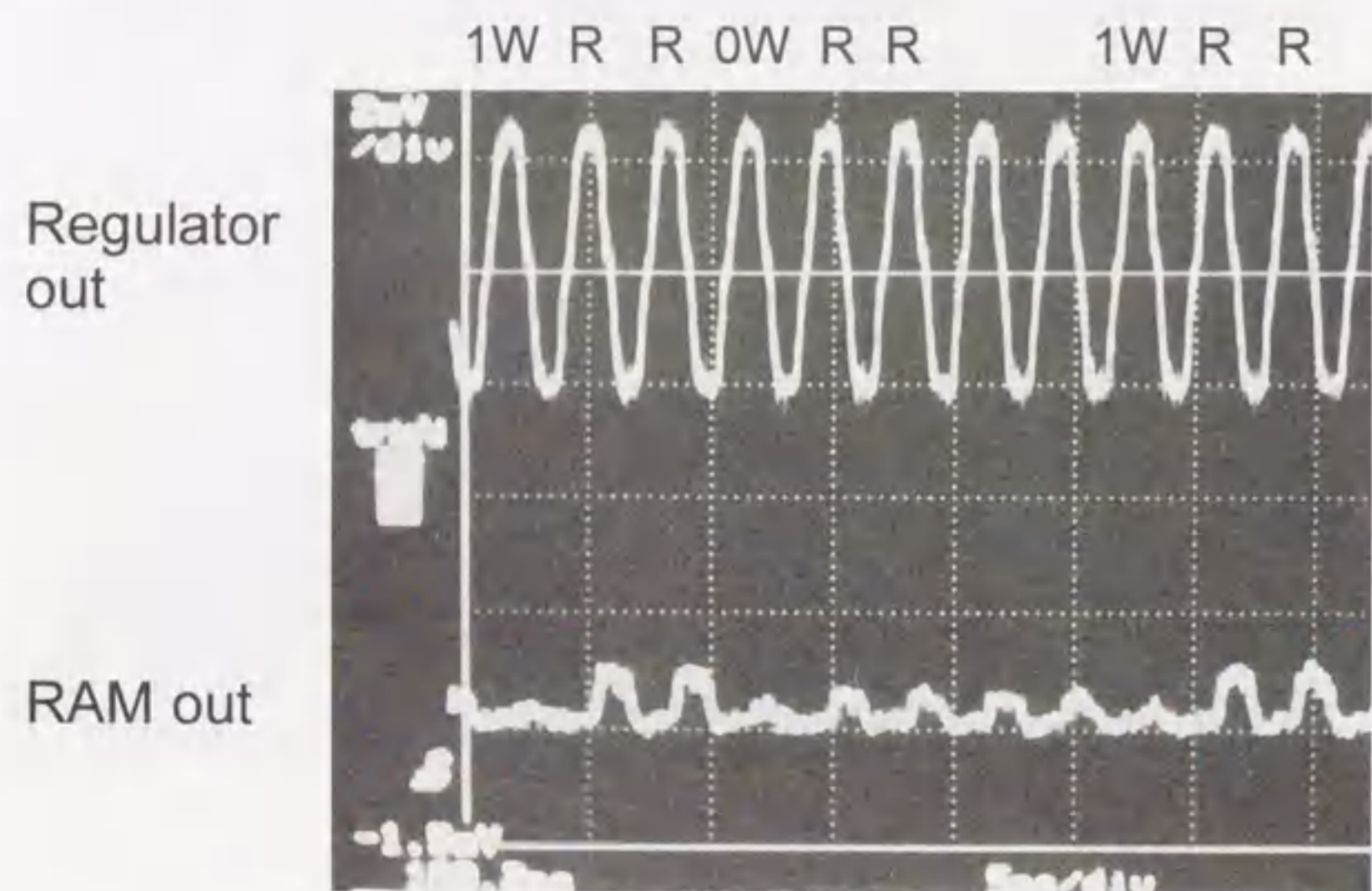
図6-21は、クロック周波数420MHzと620MHzでの256ワード16ビットRAMの記憶動作の試験結果である。高周波バイアス電流は、1個の電源パッドからバイナリツリー構造の電源ラインを介して16個のトランスフォーマ全体に供給されている。前節の256RAMブロック1個の測定評価と同様に、アドレスが全て0のセルに対して1、0の書き込みと読み出しを行っているが、16個の256RAM全てにアクセスされている（入力信号パターンは、図示されていないが図6-16の場合と全く同じである）。従って、このRAMは同時に16個の出力を有するが、この写真は4行4列の256RAMアレイの最も右下の256RAMブロック（図6-1で256RAM（41）と示した位置）からのレギュレータの出力とRAMの出力を測定したものである。レギュレータの出力として、11.2mVの矩形波が得られていることから、256RAMブロックの1個のトランスフォーマは少なくとも145mA（設計値）の電流を発生していることが解る。従って、16個のトランスフォーマ全体で計2.3A以上の電流が256ワード16ビットRAMに供給されていることになる。

420MHzでは、正常な出力波形が得られているが、620MHzでは少し誤動作を含んだ波形になっている。これは、このRAMの動作限界と言うよりは、測定上のタイミングマージンの最適化がまだ十分に出来ていない結果であると考えている。前節の測定結果から256RAMブロックは約400ps以下で動作可能であり、2つの信号増幅器の動作時間とインピーダンス整合ラインの信号伝搬時間を加えた時間は150ps以下と見積もることが出来るので、精密な測定を行えば900MHz以上で動作することは可能と思われる。

また、620MHzの動作時には、シグナルジェネレータの出力パワーは、約400mWであった。この値は、256RAMブロックの場合の100倍以上にもなっており、トランスフォーマを並列に接続することで変換効率はかなり低くなってはいるが、それでも2Aを越える高周波の大電流を供給して上記のようなRAMの高周波クロック動作を確認することができた。



(a) クロック周波数420MHz



(b) クロック周波数620MHz

図6-21 256ワード16ビットRAMのクロック動作波形
(a)クロック周波数420MHz、(b)クロック周波数620MHz

6.6 結言

ジョセフソン記憶回路の高周波クロック動作を実証するために256ワード16ビット構成のRAMを設計、試作した[13-15]。このRAMには、高周波クロック動作を実証するために以下のような特徴や工夫がある。まず、RAM自体には、第一に高周波の大電流を供給するために256RAMブロックごとにトランスフォーマとレギュレータからなるインピーダンス変換のための電源回路を設け、第二に256RAMブロック間の信号伝送にインピーダンス整合線路で高速化を計ったといった特徴がある。第三に、チップ内にRAMとは別位相の電源バイアスされた出力ゲートを設けることで高周波での測定評価を容易にするという工夫を行った。

まず、基本要素回路である256RAMブロックのフェイルビットマップを測定し、ビットエラー100%の完全動作を確認し、256RAMブロックが1.07GHzまでの高周波クロックで正常に動作することを確認した。

次に、約4万2千個のジョセフソン接合から成る256ワード16ビットRAMに、世界で初めて、2Aを越える高周波の大電流を供給し620MHzのクロック周波数で動作させることに成功した。このクロック周波数は、今後測定精度を上げることで1GHz程度までは上げることが可能と考えられる。また、今回の設計では、最近半導体のRAMで盛んに用いられている各種パイプラインの手法は用いなかったが、デコーダ、ドライバ、センス回路等をパイプライン化することでさらに数倍の高速化、即ち数GHzでのクロック動作は可能であると考えられる。

また、今回の高周波クロック測定では、先に記したようにLSIテスタで発生するマーチングのような複雑なテストパターンを発生することはできないので、アドレスを固定してその特定のアドレスに対して高周波クロックでの記憶動作を試験したが、将来的には数GHzの高周波クロックでマーチングテストを行う必要がある。しかし、現在の半導体のLSIテスタのクロック周波数は、最高でも500MHz程度であり、半導体素子の性能限界から考えても今後もクロック周波数が急激に増大するとは考えにくい。さらに、たとえ半導体でGHz領域の測定評価装置が開発されたとしても、GHzの多数の入力信号全てを同期させて低温環境下にある超伝導チップに入力することは非常に困難である。そのため、GHz領域の高周波クロックでの測定評価には、超伝導集積回路のための特別な測定評価技術が必要になると考えられる。この様な発想から、既にジョセフソン素子自体を用いた電源同期型オンチップテスト回路を提案した[11]。これは、アドレス信号やR/W信号等の比較的簡単なテスト信号を、ジョセフソン記憶回路に供給する高周波クロック電源に同期させてオンチップ上のジョセフソン素子自体を用いて発生させる回路である。これをさらに発展させて、現在オンチップ上で数GHzの高周波クロックでマーチング等の複雑なテスト信号を発生し出力信号を評価するジョセフソンビルトインセルフテスト回路(J-BIST)の開発も行われている[12]。数GHz以上の高周波クロックでの測定評価の領域で

は、今後ますますこの様な測定評価技術の開発が重要になってくるものと考えられる。

参考文献

- [1] S. Nagasawa, H. Numata, C. Kato, and S. Tahara, "Evaluation of trapped magnetic flux for Josephson 4-Kbit RAMs." ISEC'95 Extended Abstracts, 7-3, pp. 192-194, 1995.
- [2] P. C. Arnett and D. J. Herrell, "Power design for Gigabit Josephson logic system." IEEE Trans. on Microwave Theory and Techniques, vol. MTT-28, pp. 500-508, 1980.
- [3] P. C. Arnett and D. J. Herrell, "Regulated ac power for Josephson interferometer latching logic circuits." IEEE Trans. Magn., vol. MAG-15, no. 1, pp. 554-557, 1979.
- [4] J. S. Tsai and Wada, "A superconducting filter-type powering device (SFPD) for the Josephson computer system." IEEE Trans. on Magn., vol. MAG-23, no. 2, pp. 879-882, 1987.
- [5] P. Bunyk and V. K. Semenov, "Design of an RSFQ microprocessor." IEEE Trans. on Applied Superconductivity, vol. 5, no. 2, pp. 3325-3328, June 1995.
- [6] K. Sato, K. Aoki and H. Yoshikiyo, "Superconducting thin film transformer for Josephson logic." Proceeding of Symposium on Superconductive Quantum Electronics, V-8, pp. 200-202, 1983.
- [7] 井上、小谷、今村、蓮尾、「DCオフセット付き交流電源用トランス」、第36回応用物理学会関係連合講演会、4p-A-15、p. 78、1989。
- [8] P. C. Arnett and D. J. Herrell, "Regulated AC power for Josephson interferometer latching logic circuits." IEEE Trans. Magn., vol. MAG-15, no. 1, pp. 554-557, 1979.
- [9] S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara, "A 380ps, 9.5mW Josephson 4-Kbit RAM operated at high bit yield." IEEE Trans. on Appl. Superconductivity, vol. 5, no. 2, pp. 2447-2452, June 1995.
- [10] H. Numata et al., ISEC'95 Extended Abstracts, 7-6, pp. 201-203.
- [11] S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida, and S. Tahara, "Subnanosecond Josephson high speed memory." ISEC'89 Extended Abstracts, DC-6, pp. 401-406.
- [12] Y. Hashimoto, S. Tahara, S. Nagasawa, H. Numata, C. Kato, M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada, "A Josephson built-in self-testing (JBIST) system for gigahertz functional tests of Josephson RAMs." Supercond. Sci. Technol. Vol. 9, pp. A59-A54, 1996.
- [13] 永沢、沼田、橋本、田原、「ジョセフソン記憶回路の高周波クロック動作」、電子情報通信学会技術研究報告、SCE96-20, pp.13-18, 1996.
- [14] S. Nagasawa, H. Numata, Y. Hashimoto, and S. Tahara, "High-frequency clock operation

of Josephson memories." ISEC'97 Extended Abstracts, D31, pp. 290-292, 1997.

[15] 永沢、沼田、橋本、田原、「ジョセフソン256ワード16ビットRAMの高周波クロック動作」、電子情報通信学会技術研究報告、SCE97-30, pp. 25-30, 1997.

第7章 記憶回路の大容量化、高速化、低消費電力化

7.1 はじめに

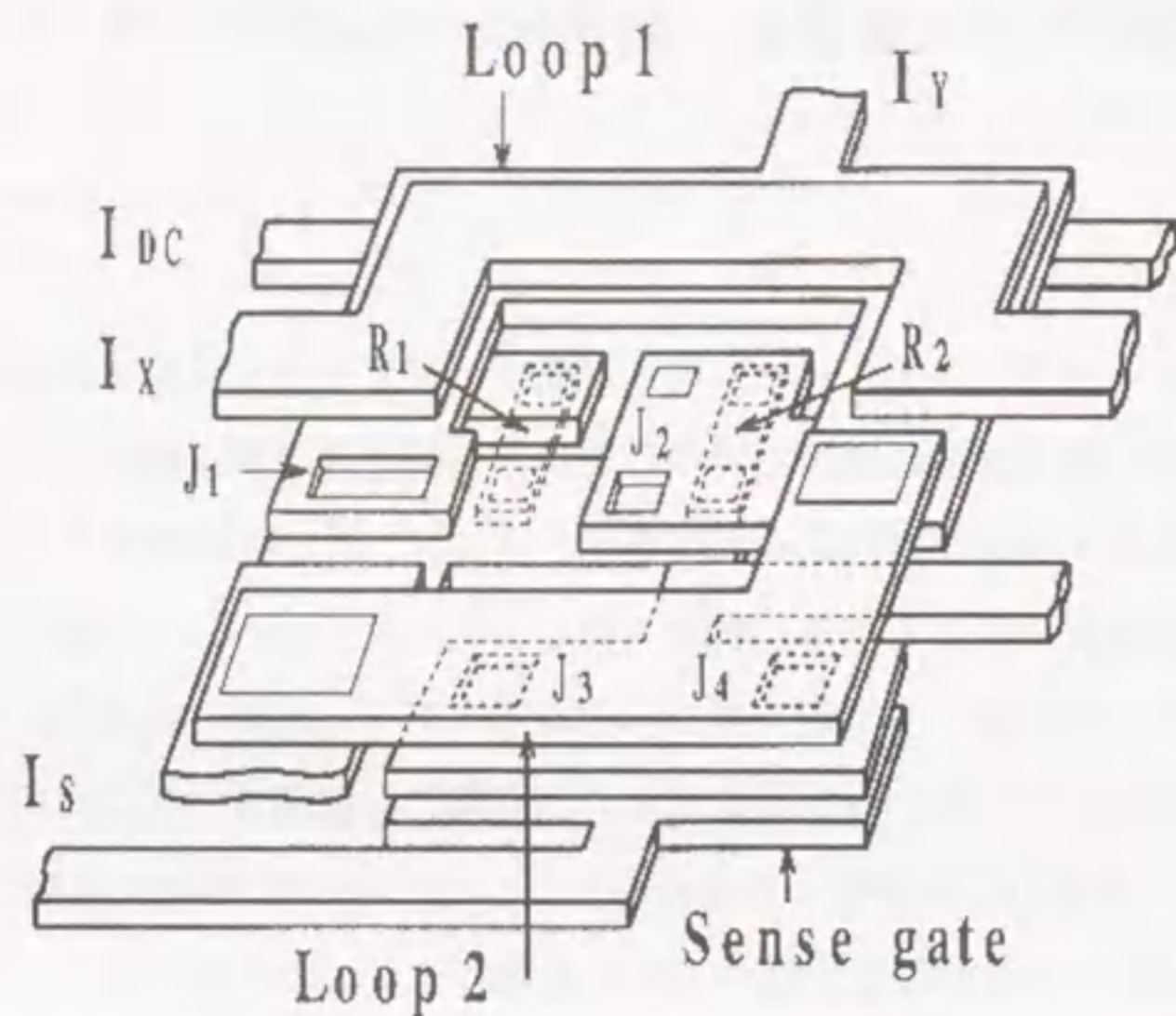
前章までは、ジョセフソン1KビットRAM及び4KビットRAMの研究開発を通して、ジョセフソン記憶回路の基本性能の実証と実用に向けた信頼性及び高速動作の評価を行ったが、本章ではさらなるジョセフソン記憶回路の大容量化、高速化、及び低消費電力化について述べる。まず7.2節で、大容量化の基本となる記憶セルの小型化について述べ、7.3節で記憶回路の高速化を行う上で大容量化に伴いキーコンポーネントとなるドライバ回路の高速化について述べ、7.4節で記憶回路の消費電力の大部分をしめるデコーダ回路の低消費電力化について述べる。7.5節で以上の検討を基に回路の低消費電力化を計ったジョセフソン16KRAMの設計について述べる。最後に、7.6節で今後の記憶回路の方向性も含めてまとめを述べる。

7.2 記憶セルの小型化^[1,2]

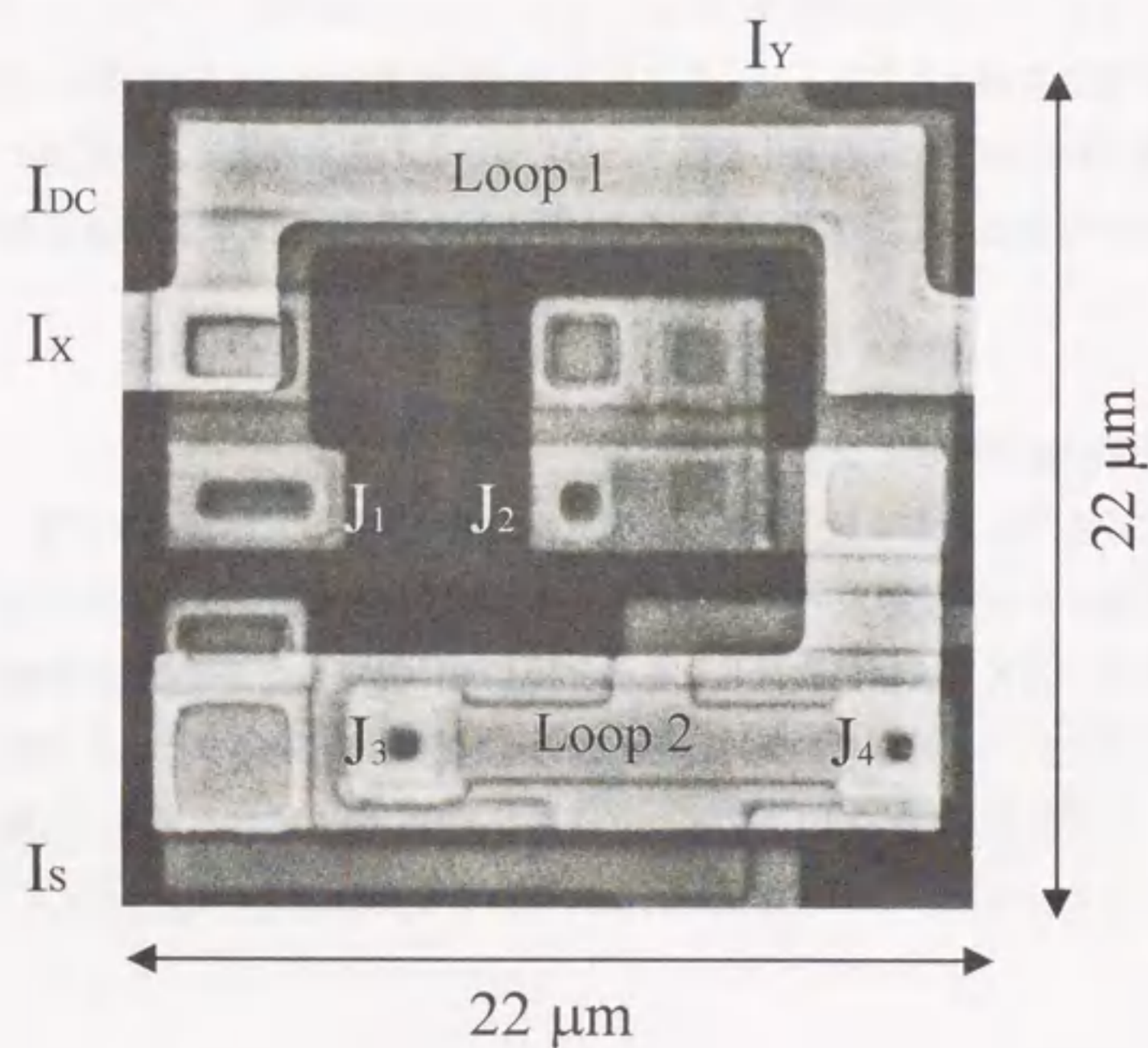
第3章の1KビットRAMの開発では大きさ $65\mu\text{m}$ 角の記憶セルを用いた。第4章の4KビットRAMの開発では大きさ $55\mu\text{m}$ 角の磁束量子転移型記憶セルを用いた。今後、さらにジョセフソン記憶回路の高速化大容量化を行うためには、この基本要素である記憶セルの小型化が必要不可欠な条件である。ここでは、4KビットRAMの開発に用いた磁束量子転移型記憶セルの小型化を行った。

7.2.1 小型化の設計のポイントと試作

図7-1に小型化した磁束量子転移型記憶セルの概略図とSEM写真を示す。今回の小型化においては、記憶セルの超伝導ループのインダクタンスとジョセフソン接合の臨界電流値及びダンピング抵抗の値は4KRAMで設計したものと同一値に設定した(磁束量子転移型記憶セルの等価回路及び回路定数は、付録C参照)。その他の回路定数は、レイアウトの変更に伴い若干変更した。特に、制御配線IX及びIDCのインダクタンスは、後で述べるデバイス構造の変更により表7-1に示したように、この小型化設計によりかなり変わっている。



(a) 小型記憶セルの概略図



(b) 小型記憶セルのSEM写真

図7-1 小型記憶セル

表7-1 記憶セルの制御配線(I_xとI_{DC})の回路定数

		This work	Previous
I _x -line	Line width	3.0 μm	1.8 μm
	Mutual inductance	9.1 pH	8.8 pH
	Self inductance	12 pH	24 pH
I _{DC} -line	Line width	2.0 μm	1.5 μm
	Mutual inductance	4.3 pH	8.8 pH
	Self inductance	5.4 pH	24 pH

縮小化は、記憶セルの読み出しゲートを平面型SQUIDから縦型SQUIDにする、ループ1の上下にそれぞれ制御配線I_xとI_{DC}を配置する(以前の記憶セルではループ1の上に二つの制御配線I_xとI_{DC}を同一層内に並べて配置していた)といった3次元的な集積化をさらに押し進めた新たなデバイス構造によりなされた。制御配線I_xとI_{DC}をループ1の上下に配置することで、小型化と同時に制御配線I_xの線幅を以前の2倍にしてインダクタンスを下げる事ができた。このことは、記憶セルを駆動するドライバ回路の被駆動線路のインダクタンスが小さくなることを意味し、記憶回路の高速化につながる。この小型化は、i線ステッパーによる高精度なパターンの形成技術の開発、及び微細なジョセフソン接合形成技術[3]の開発等により可能となった。

設計ルールの変更点は以下の通りである。ジョセフソン接合の小型化と高速動作の観点から、最小接合サイズ及び超伝導臨界電流値は以前の3 μm角、1100 A/cm²から2 μm角、2500 A/cm²に変更した。最小線幅は従来と同じ1.5 μmにした。シート抵抗は、以前は1.5 Ωであったが、現在のスパッタ装置で得られる抵抗値の制御性、再現性を考慮して1.2 Ωに決定した。層間の目合わせマージンは、i線ステッパーの導入により1 μmから0.5 μmにすることができた。この結果、記憶セルのサイズを22 μm×22 μmと4KRAMで用いた記憶セルサイズの16% (約1/6以下) に大幅に縮小することができた。

図7-2に記憶セルの断面概略図を示す。Nb/AlOx/Nb接合、3層のNb配線層、Nb接地面、SiO₂絶縁層、Mo抵抗体とから構成されている。Nb、Alは、DCマグネトロンスパッタ法により、MoとSiO₂はRFマグネトロンスパッタ法により成膜し、いずれの膜もRIEにより加工した。配線間のコンタクトホールは、図の様にテーパ形状にエッチングされ、段差部のカバレッジを良くするためにSiO₂はバイアスパッタ法により形成した。最小接合サイズは2μm角である。

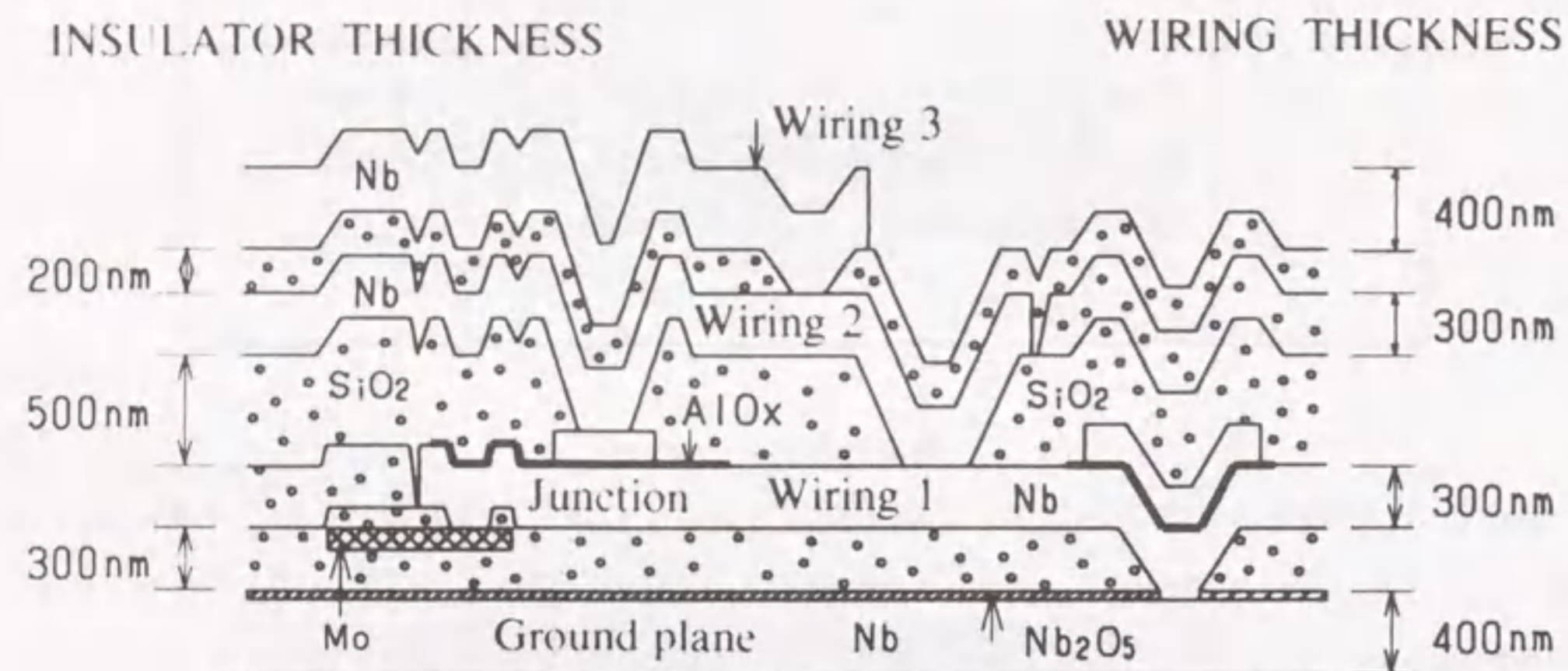


図7-2 小型記憶セル断面概略図

7.2.2 測定評価

図7-3は、記憶セルの機能試験のパルス波形を示す写真である。パルス信号は上から入力信号(I_X、I_Y、I_S)と出力信号(V_{out})を示している。データの“1”、“0”の書き込み(W)、読み出し(R)、I_XとI_Yの正負の信号入力に対する半選択状態(HS)という機能試験を行っている。“1”を書き込んだ後でのみ出力電圧が発生しており、正常な記憶動作が行われている。読み出しを複数回行っているのは非破壊読み出し動作の確認のためである。RAMとして記憶セルアレイを構成したとき、選択された記憶セルと同じ行、列のセルは半選択状態になる。半選択状態という機能試験は、この時の記憶動作に対する影響を試験したものである。

図7-4は、上記機能試験における入力信号I_XとI_Yに対する記憶セルの動作領域をLSIメモリテスタで自動測定したシュムプロット図である。図でドットで示された領域が記憶セルの正常動作領域である。図の動作領域から、入力信号I_XとI_Yに対する動作マージン±20%を得ることができた。

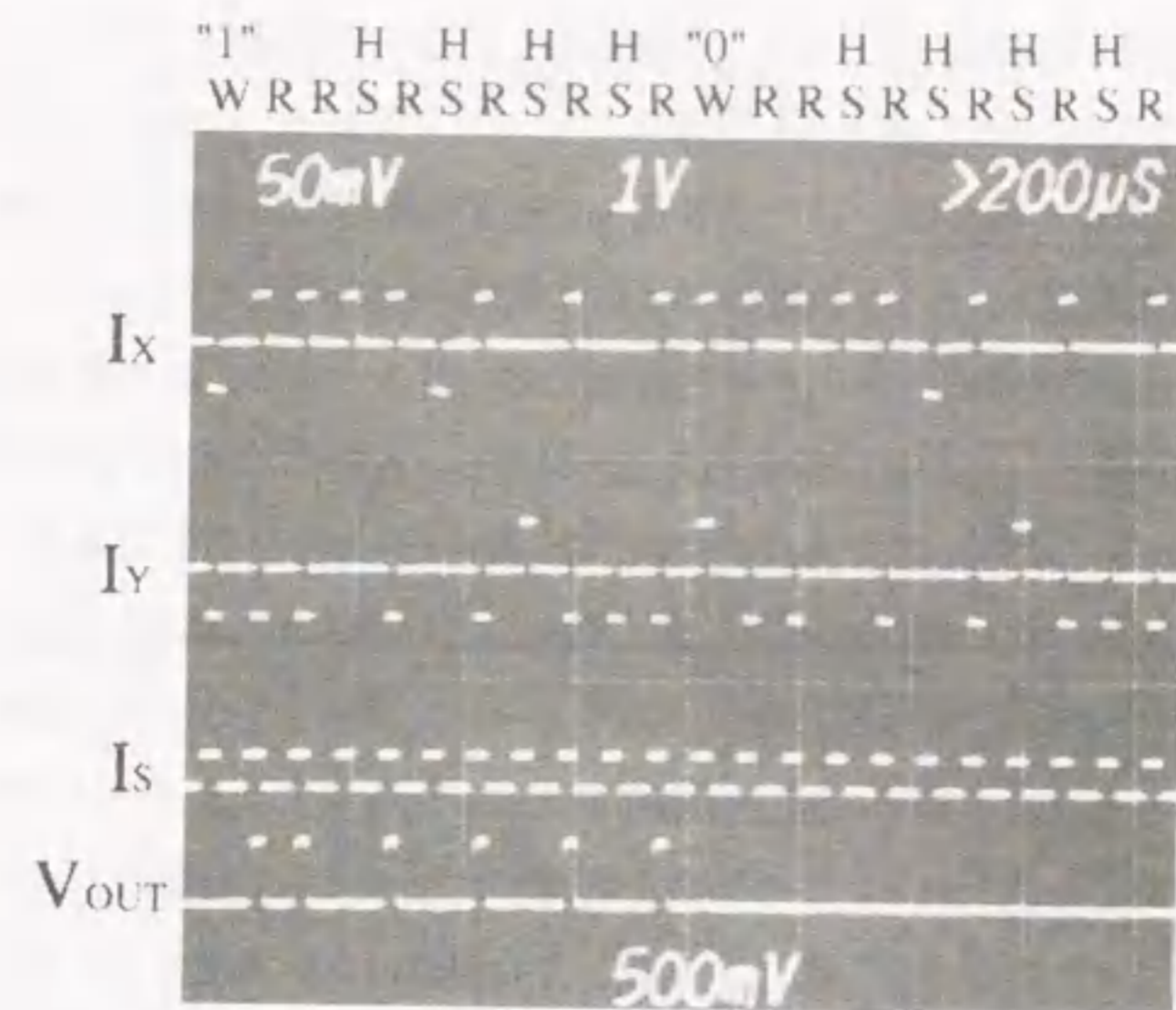


図7-3 小型記憶セルの機能試験

入力信号(I_X、I_Y、I_S)、出力信号(V_{OUT})、“1”W:データ“1”の書き込み動作、“0”W:データ“0”の書き込み動作、R:読み出し動作、HS:半選択状態

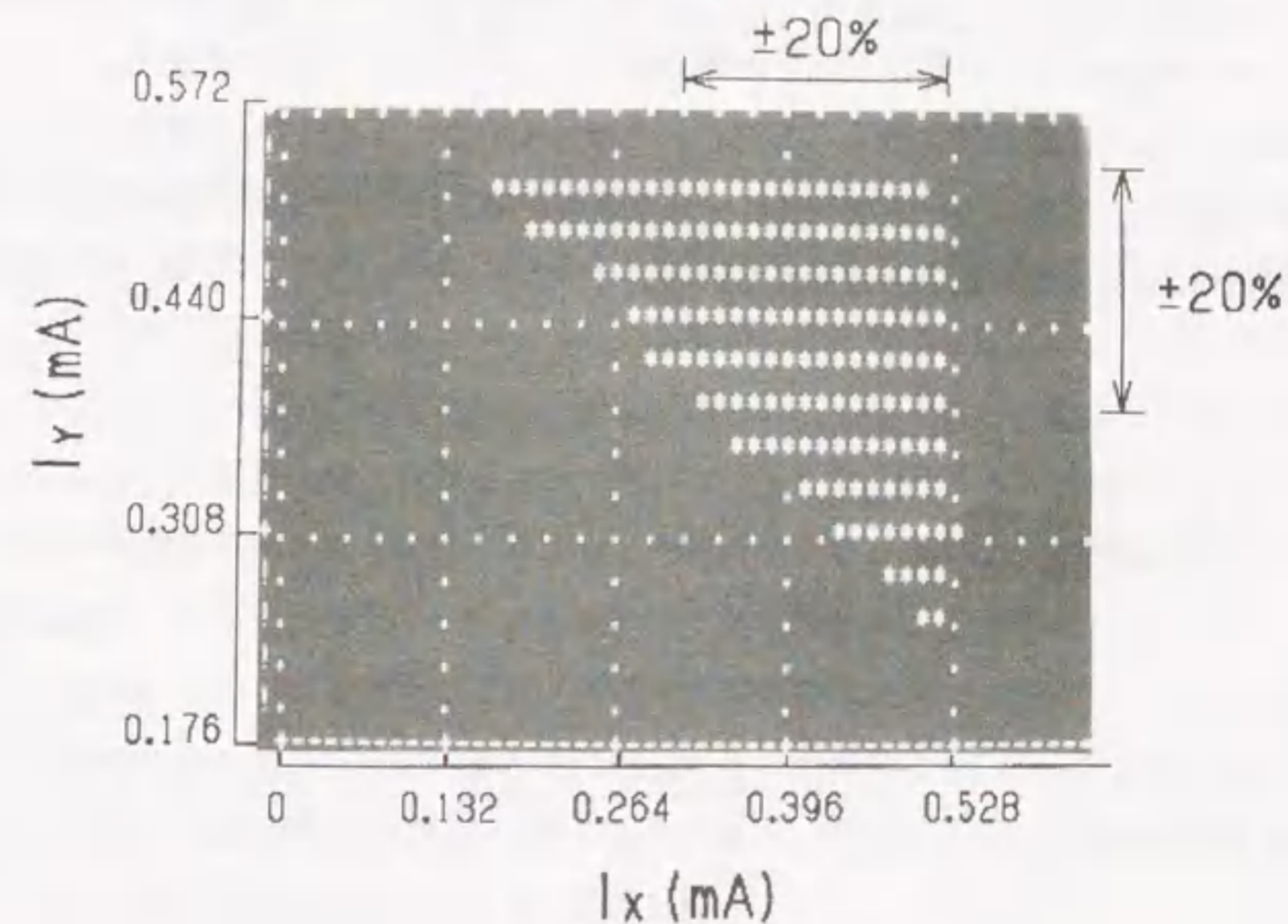


図7-4 入力信号I_XとI_Yに対する小型記憶セルの動作領域

(I_XとI_Yに対して等しい動作マージンが得られる領域(正方形の領域)は、±20%である。)

この動作マージンを評価するために、“1”書き込み、“0”書き込み、読み出しの各動作に対する個別の動作領域を測定した（上で示した図7-4の動作領域は、これらの動作が全て正常に行える領域を示している）。例えば、“1”書き込みに対する動作領域を測定する時には、“0”書き込みと読み出しに対する I_x と I_y の電流値は動作領域の中心の値に設定して、“1”書き込みに対する I_x と I_y の電流値のみ変化させて測定した。図7-5に、この測定結果を示す。図でドットで示した点が測定したしきい値点である。図から、各動作に対する動作マージンは、“1”書き込みが $\pm 31\%$ 、“0”書き込みが $\pm 33\%$ 、読み出しが $\pm 20\%$ であることが解る。このことから、全体の記憶動作の動作マージンは、最も小さい読み出し動作の動作マージン $\pm 20\%$ に起因していることが解る。読み出し動作の動作マージンが小さくなった原因は、第一に、試作した記憶セルのジョセフソン接合の超伝導臨界電流値が約10%大きく、インダクタンスが約15%小さいためであると思われる。この回路定数のずれを考慮して計算したしきい値曲線を図中に併せて記した。“1”及び“0”書き込みのしきい値点は、計算値と良く一致していることが解る。回路定数のずれにより、しきい値曲線は理想的な場合（付録図C-2参照）に比べて少しゆがんで対象でなくなるため、“1”書き込み及び読み出しの動作マージンは設計値（ $\pm 33\%$ ）よりも小さくなっている。しかし、読み出し動作に対する測定した動作領域はこのずれ以上に小さくなっている。この原因は、読み出しゲートのしきい値特性に起因すると考えられる。読み出し動作の動作領域は、2つの記憶ループのしきい値特性から決まる動作領域と読み出しゲートのしきい値特性から決まる動作領域との積で決まる。実際、ループ2と読み出しゲート間の相互インダクタンスは、設計値よりも35%小さくなっており、 I_x と I_y の電流値の小さな領域では、読み出しゲートをスイッチさせるに十分な電流が得られず、そのため読み出し動作の動作領域が図の様に小さくなったものと考えられる。

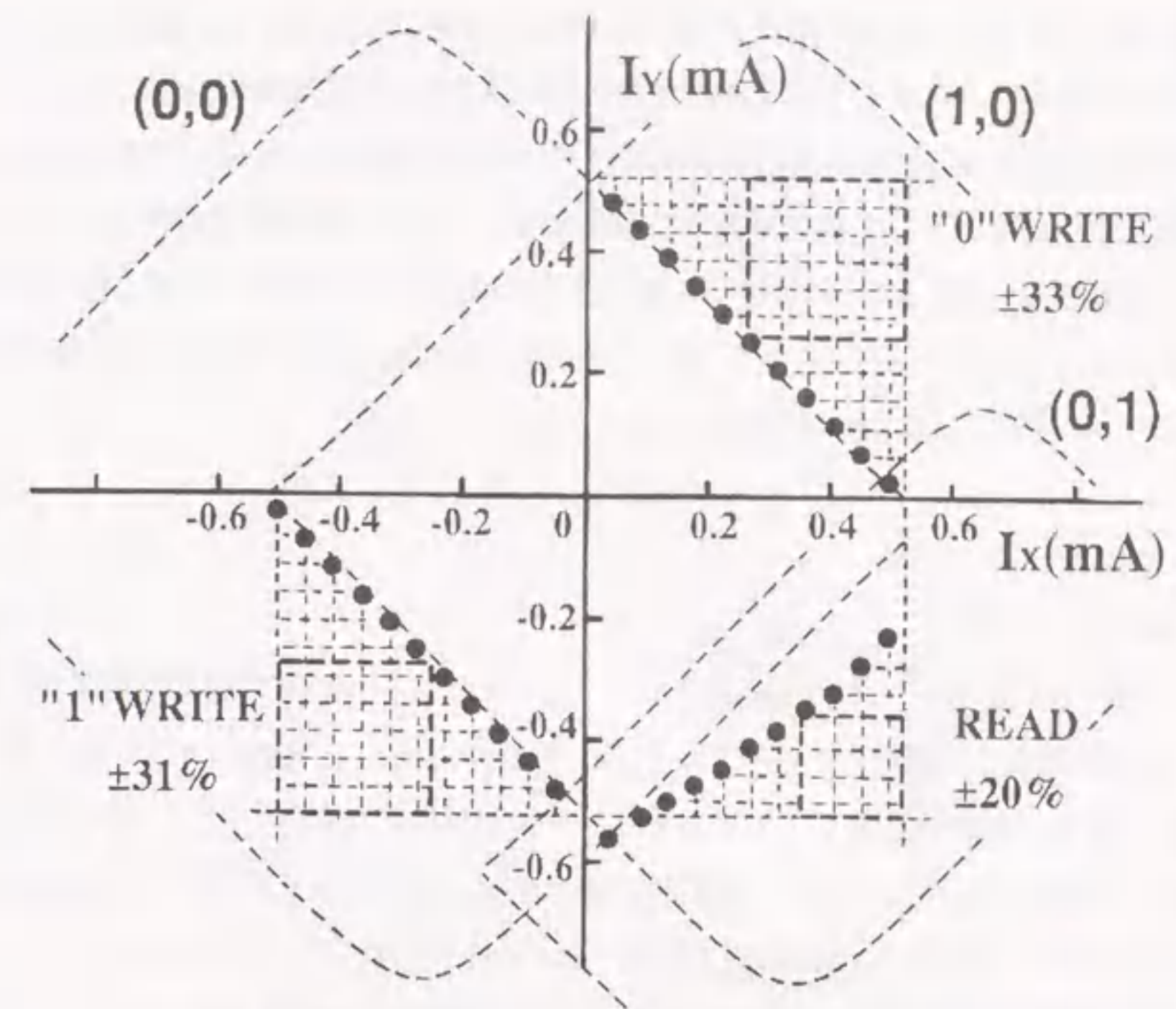


図7-5 “1”書き込み、“0”書き込み、読み出しの各動作に対する個別の動作領域

7.3 ドライバ回路の高速化^[4]

記憶回路の高速動作を実現するためには、記憶セル、デコーダ回路、ドライバ回路、センス回路などの各構成要素の高速化設計が不可欠であるが、ここでは特にドライバ回路の高速化について述べる。ドライバ回路の動作時間は、記憶回路特有と言ってもいいものでRAMの記憶容量が増大するにつれて設計上特に重要なファクタとなってくる。記憶容量が増大するにつれて、ドライバ回路の被駆動線路となる記憶セルアレイの制御配線等が長くなり被駆動線路の配線遅延時間が増大する。この時、ドライバ回路の駆動電圧発生部と被駆動線路のインピーダンスの整合が図られていないと、この不整合によりドライバ回路の動作時間（被駆動線路に流れる出力電流が所望の電流値に立ち上がるまでに要する時間）が著しく増大する。従って、大規模な記憶回路においてはドライバ回路の高速化設計が最も重要であり、そのポイントは被駆動線路とのインピーダンス整合を図った回路設計を行なうことである。

インピーダンス整合を得るためには、被駆動線路の特性インピーダンスと等しい値の抵抗を線路に挿入することにより実現できる。しかし、被駆動線路の特性インピーダンスは、通常10～

30Ωとかなり大きな値になる場合が多い。この値は、集積度が増し被駆動線路の線幅が狭くなるとさらに大きくなる。従って、任意の特性インピーダンスの被駆動線路に対してインピーダンス整合を得るためには、それに応じた駆動電圧を発生させる必要がある。今までにこの様な目的から、複数個のジョセフソン接合を直列に接続することにより駆動電圧を大きくして[5]、インピーダンス整合を図った単極性のドライバ回路[6]が提案されている。ここでは、この様な駆動電圧を増大させる方式によりインピーダンス整合を図り、高速動作を可能にする新たな極性切換型ジョセフソンドライバ回路の開発を行った。

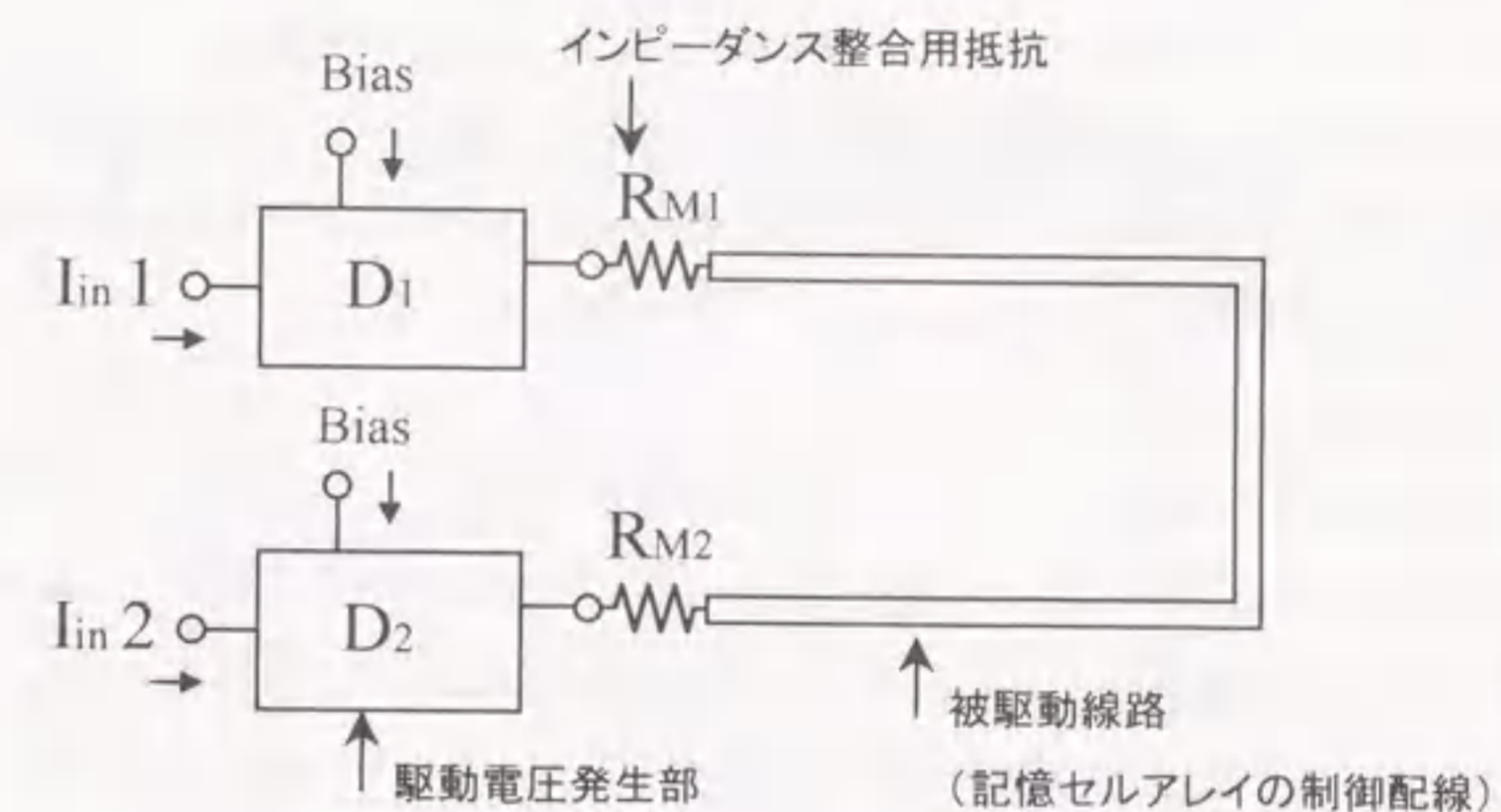
7.3.1 回路設計

1) 回路構成と動作原理

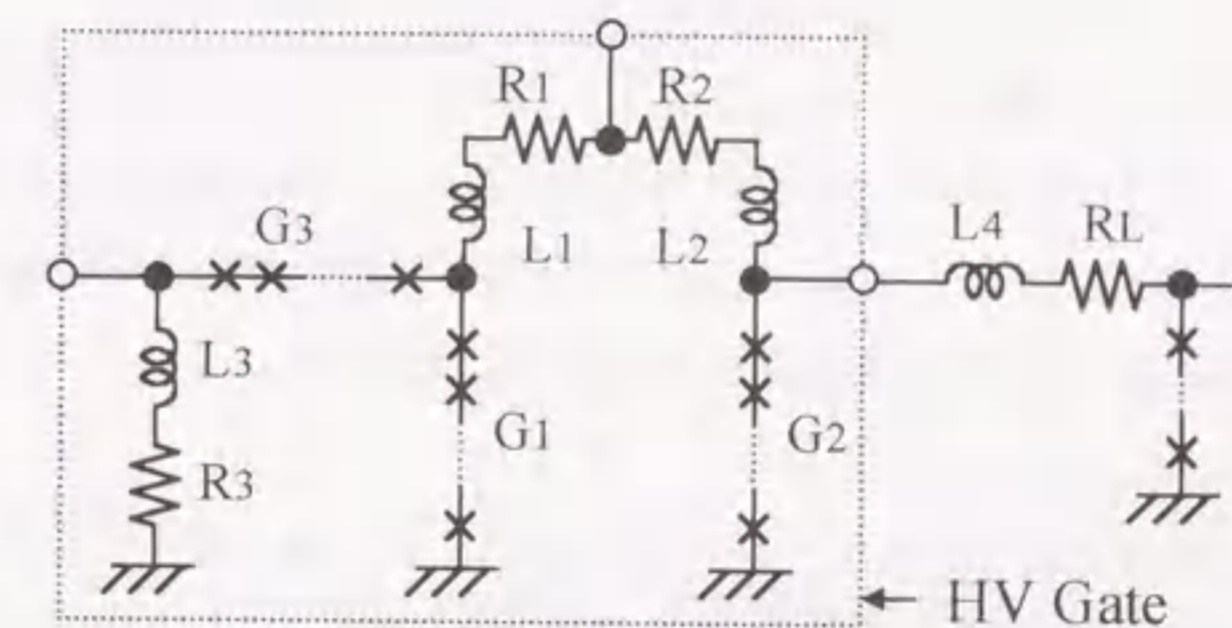
図7-6(a)に本ドライバ回路のブロック図を示す。同一の2個の駆動電圧発生部(D1とD2)と被駆動線路と2個のインピーダンス整合用抵抗(RM1とRM2)とから構成される。被駆動線路としては、記憶回路のワード線又はビット線を想定している。図7-6(b)に駆動電圧発生部(D)の等価回路図を示す。駆動電圧発生部は、N'個のジョセフソン接合が直列接続されたシリーズ接合(G1とG2とG3)と抵抗(R1とR2とR3)とインダクタンス(L1とL2とL3)とから構成される高電圧(HV)ゲートと、このゲートに負荷抵抗(RL)とインダクタンス(L4)を介して接続されたN個のジョセフソン接合が直列接続されたシリーズ接合(G4)とから構成される。

最初、全ての接合は超伝導状態にあり、バイアス電流は駆動電圧発生部D1とD2のシリーズ接合G1とG2を通して接地に流れている。この状態で入力電流I_{in1}を入力すると、D1のシリーズ接合G1、G2、G3が順次に電圧状態にスイッチする。この時点では、負荷抵抗はRLのみでありシリーズ接合G1~G3はほぼサブギャップ領域で動作し、大部分のバイアス電流は抵抗RLを通してシリーズ接合G4に流れ込む。この結果シリーズ接合G4が電圧状態にスイッチする。この時点では負荷としては、負荷抵抗RLに加えて被駆動線路の抵抗RM1とRM2が加わるため、シリーズ接合G1~G4は今度はギャップ領域で動作するようになる。即ち、バイアス電流の一部のみが出力電流として被駆動線路に注入される。残りはシリーズ接合を通してリークする。このため、被駆動線路を通してD2のシリーズ接合G4に流れ込む電流は、G4の臨界電流値以下になりG4は電圧状態にスイッチしない。従って、被駆動線路に時計回り方向に出力電流を流し続ける。また入力電流は、シリーズ接合G3が電圧状態にスイッチした時点で抵抗R3を通して接地に流れるため、バイアス電流との入出力分離が計られている。一方、入力電流I_{in2}を入力すると、上記と同様の動作によりD2が超伝導状態から電圧状態にスイッチし、被駆動線路に反時計回り方向に出力電流を発生させる。以上の動作により被駆動線路に流れる電流の方向を反転さ

せる極性切り換えの動作を行う。この動作の特徴は、駆動電圧発生部D1又はD2のどちらかのシリーズ接合G4が電圧状態にスイッチした前後で負荷のインピーダンスを自動的に変化させることで同一の構造の二つのシリーズ接合G4を、一方では電流を送り出すように、他方では電流を吸収するように動作させることにある。この動作により極性切換動作を可能にしている。また、被駆動線路に高速の信号を伝播させるため、線路の特性インピーダンスZ₀と抵抗RM1、RM2を等しくしてインピーダンス整合を図った。



(a) 高速ドライバ回路のブロック図



(b) 駆動電圧発生部(D1とD2)の等価回路図

図7-6 高速ドライバ回路の等価回路

以上述べた回路の基本動作の説明では、各シリーズ接合がある時点で電圧状態にスイッチした時には、直列接続された全ての接合がその時点で電圧状態にスイッチすると仮定した。しかし、

実際にはプロセス上の要因により、直列接続された接合全ての臨界電流値が同一の値にならない場合には、上で述べたような正常な動作が行われなくなる。即ち、シリーズ接合G₁の最も小さな臨界電流値の接合が最初に電圧状態にスイッチし高抵抗状態になった時点で、シリーズ接合G₁に流入していた電流は減少しはじめ、シリーズ接合G₁にとって負荷ラインである小さな抵抗R₁とR₂を通してシリーズ接合G₂の方に流れ始める。従って、シリーズ接合G₁のより大きな臨界電流値を有するジョセフソン接合が電圧状態にスイッチしなくなり、必要とされる駆動電圧を発生できなくなる。この様な問題点を解決するために、直列接続されたジョセフソン接合に対する負荷ラインに適切な値のインダクタンスL₁, L₂, L₃, L₄を挿入した。インダクタンスを挿入することで負荷ラインの高周波的な負荷を大きくして、最も小さな臨界電流値の接合が最初に電圧状態にスイッチした後も、さらに接合部に電流を流し続けてより大きな臨界電流値を有する接合も同時に電圧状態にスイッチさせるという効果がある。

2) 回路定数の決定

このドライバ回路は、当初4KビットRAMのドライバ回路として設計した。そのため被駆動線路として4KビットRAMのワード線とビット線にあたるXラインとYラインの特性を想定した。表7-2に、これらXラインとYラインの諸特性と所望の出力電流値を示した。被駆動線路の特性にドライバ回路の回路定数が大きく依存するため、それぞれXラインとYラインを駆動するためのXドライバ回路とYドライバ回路を設計した。シリーズ接合G₄の接合の数Nは、所望の出力電流値I_{out}を得るために次の式から決定した。

$$I_{out} = NV_g / 2Z_0$$

ここで、V_gは接合のギャップ電圧である。さらに、高電圧ゲートのシリーズ接合(G₁, G₂, G₃)の接合数N'は、シリーズ接合G₄の接合の数Nに加えて負荷抵抗R₁での電圧降下も考慮して決定される。また、1つのシリーズ接合に含まれる全ての接合の臨界電流値は同じ値に設計される。インダクタンスは、以下の条件を満足するように決定した。

$$L_j < L_1 = L_2 < L_3 < L_4$$

L_jは、シリーズ接合G₁の等価インダクタンス(NΦ₀/2πI₀cosθ)である。

以上述べた回路定数の決定方法にしたがってXドライバ回路とYドライバ回路の回路定数を決定した(表7-3)。直列接続するジョセフソン接合の個数は、Xドライバ回路ではN'が8個、Nが5個、Yドライバ回路ではN'が3個、Nが2個である。Xドライバ回路は、被駆動線路の特性インピーダンスが2倍以上大きいために駆動電圧を高くする必要があり、そのために直列接続するジョセフソン接合の個数も2倍以上と多くなっている。インダクタンスの値は、先に述べた条件をもとに、ダイナミックな現象であるためにシミュレーションにより最適値を決定した。

表7-2 想定したXラインとYラインの特性

	X-line	Y-line
L (pH)	1750	800
C (pF)	3.9	6.4
Z ₀ (Ω)	21	11
I _{out} (mA)	0.33	0.26

表7-3 Xドライバ回路とYドライバ回路の回路定数

	X-driver	Y-driver
N	5	2
N'	8	3
R ₁ =R ₂ (Ω)	1	0.5
R ₃ (Ω)	5	2
R _L (Ω)	23	10
R _M (Ω)	21	11
I ₀₁ =I ₀₂ (mA)	0.5	0.5
I ₀₃ (mA)	0.33	0.33
I ₀₄ (mA)	0.5	0.5
L ₁ =L ₂ (pH)	15	5
L ₃ (pH)	75	40
L ₄ (pH)	188	120

7.3.2 シミュレーション

被駆動線路は、ジョセフソン記憶回路の動作周波数領域(1GHz以上)では正確には分布定数回路として扱う必要があるが、ここでは多段のLCから成る集中定数回路(LCラダー構造)で等価的に置き換えてシミュレーションを行った。LCの段数を多くすればするほど分布定数回路に近づくが、シミュレーションの計算時間が増大するため、今回は10段のLCラダー構造で近似した。10段以上に段数を増やしても出力波形が大きく変化しなかったことから、今回の動作周波数領域(数GHz程度)のシミュレーションには十分な近似になっていると思われる。

7-7(a)は、Xドライバ回路の被駆動線路であるXラインを流れる出力電流の波形を

示している。比較のために被駆動線路とのインピーダンス整合を図らなかつた場合の出力波形を図中に併せて示した。即ち直列接続されたジョセフソン接合の個数 N と N' を共に1にして、インピーダンス整合用抵抗 R_{M1} と R_{M2} の値を所望の出力電流が得られるように $R = V_g / I_{out}$ より求めた値を用いた。整合した場合には、出力電流は立ち上がり時間15 psという非常に短い時間で所望の電流値まで達している。一方、不整合の場合には、X-ラインの遅延時間の2倍の周期(信号が行って帰ってくるまでの時間)で反射が起こり400 ps以上過ぎても所望の出力電流値に達していない。この様にインピーダンス整合を行うことで非常に高速の動作が可能になることが解る。このことは、RAMの大容量化に伴い、被駆動線路がさらに長くなるとより一層顕著になる。

次に、臨界電流値のバラツキに対する動作マージンをシミュレーションにより求め、インダクタンスの最適値を求めた。本ドライバ回路の動作マージンは、主に駆動電圧発生部の高電圧ゲート(HV)の動作マージンに依存し、且つ高電圧ゲートの動作マージンは臨界電流値のバラツキとインダクタンスの値に大きく依存している。従って、この臨界電流値のバラツキに対する動作シミュレーションに関しては、ドライバ回路全体では計算時間が非常に長くなるため、その部分回路である高電圧ゲート(HV)について行った。

図7-7(b)は、X-ドライバ回路に用いた $8V_g$ の高電圧ゲート(HV)のインダクタンス L_1 の値に対する余裕度を求めた図である。横軸はインダクタンス L_1 の値を、縦軸はバイアス電流値の臨界電流値に対する比で示した。他のインダクタンス(L_2 と L_3 と L_4)の値は、先に述べたインダクタンスの関係式をもとに次のように決定した。

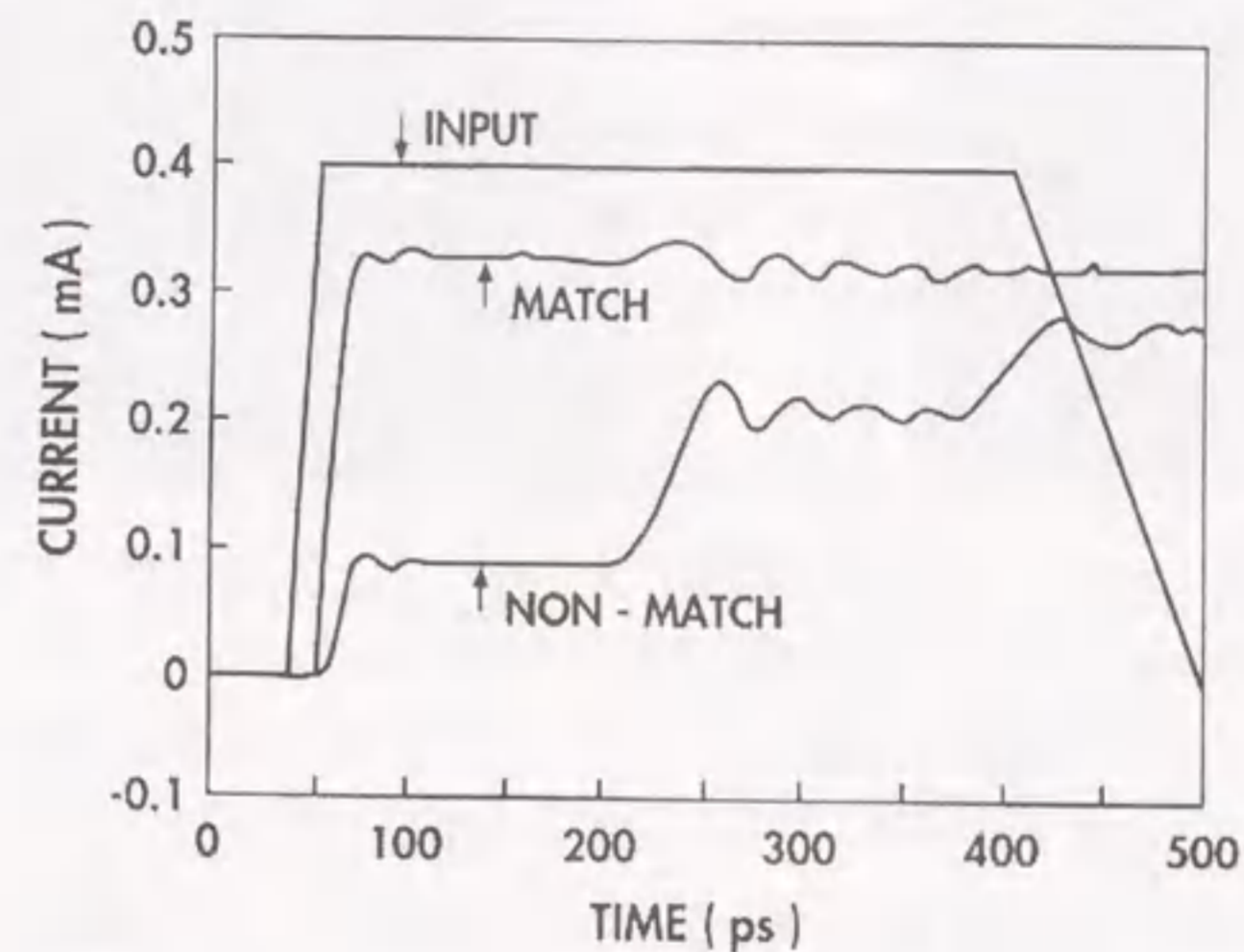
$$L_2 = L_1, \quad L_3 = 5L_1, \quad L_4 = 2.5L_3$$

また、ここでは臨界電流値のバラツキは $\sigma = \pm 8\%$ とした。丸印は24個の接合全てが正常に電圧状態になる動作点であり、×印は少なくとも一個でも電圧状態になっていない接合が存在する場合の動作点を示している。この図から、動作マージンはインダクタンスの値に大きく依存し、 $L_1 = 10$ pH以上で広い動作マージンが得られていることが分かる。

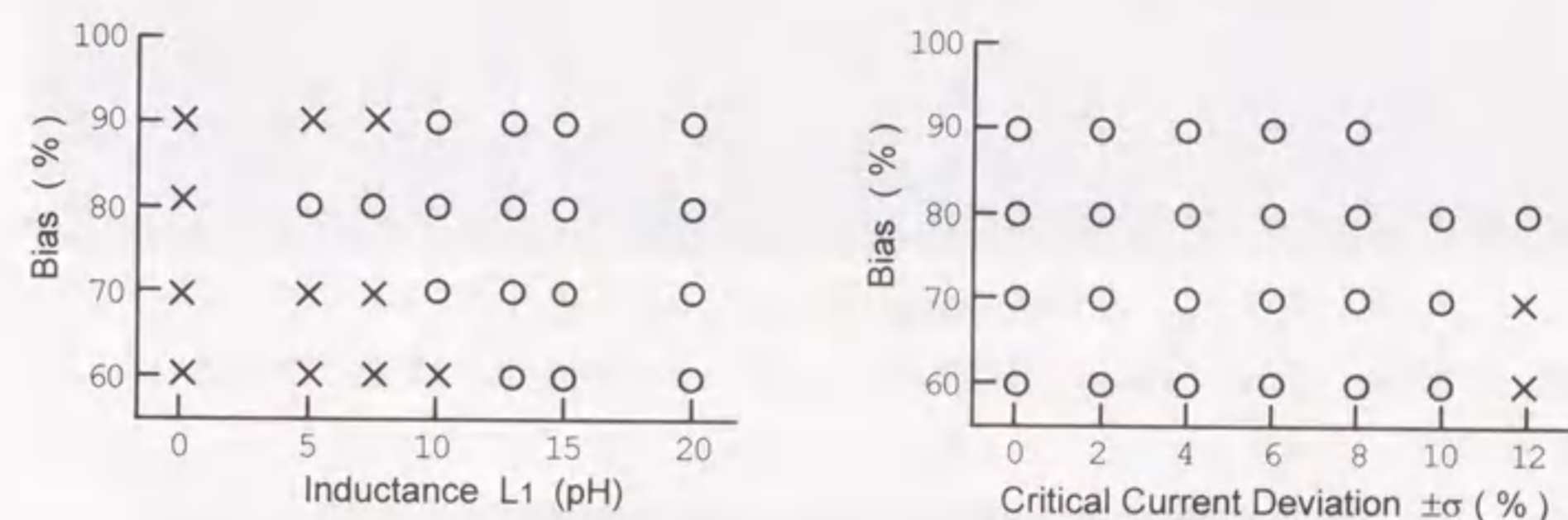
図7-7(c)は、同じく $8V_g$ の高電圧ゲート(HVG)の臨界電流値のバラツキに対する余裕度を示した図です。インダクタンスは、上に述べた図7-7(b)より $L_1 = 15$ pHを最適値として、他のインダクタンスは以下のように決定した。

$$L_1 = L_2 = 15 \text{ pH}, \quad L_3 = 75 \text{ pH}, \quad L_4 = 188 \text{ pH}$$

臨界電流値のバラツキが $\pm 10\%$ でも正常に動作していることが分かる。インダクタンスが挿入されていない場合には、臨界電流値のバラツキが $\pm 1\%$ 以内でも正常に動作しなかったが、この様にインダクタンス値を設定することで、臨界電流値のバラツキが $\pm 10\%$ でも正常に動作しており、臨界電流値のバラツキに対する余裕度が大幅に改善されていることが分かる。



(a) X-ドライバ回路の出力波形



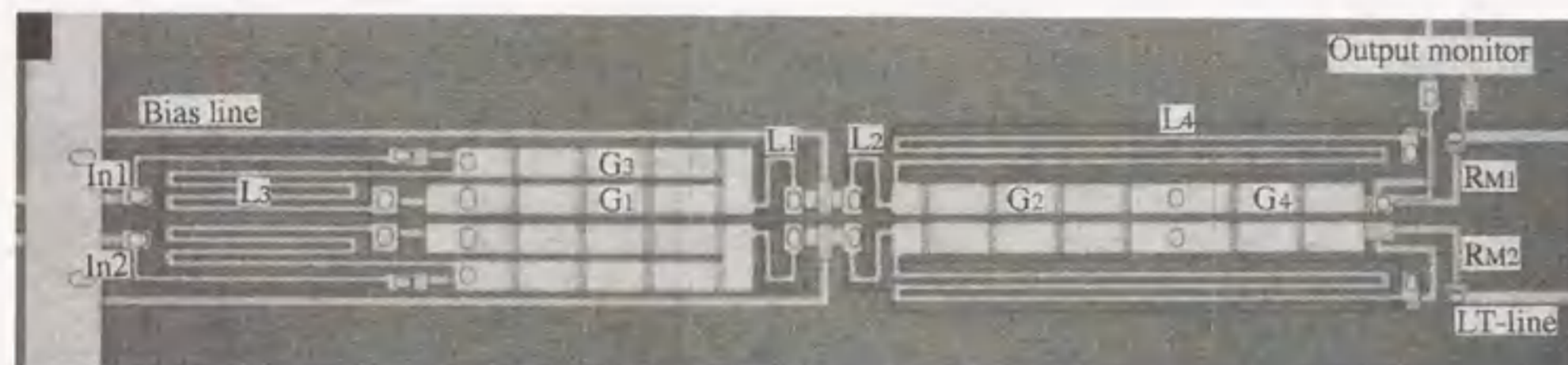
(b) $8V_g$ の高電圧ゲートのインダクタンス L_1 に対する余裕度 (c) $8V_g$ の高電圧ゲートの臨界電流値のバラツキに対する余裕度

図7-7 高速ドライバ回路のシミュレーション

7.3.3 試作と測定評価

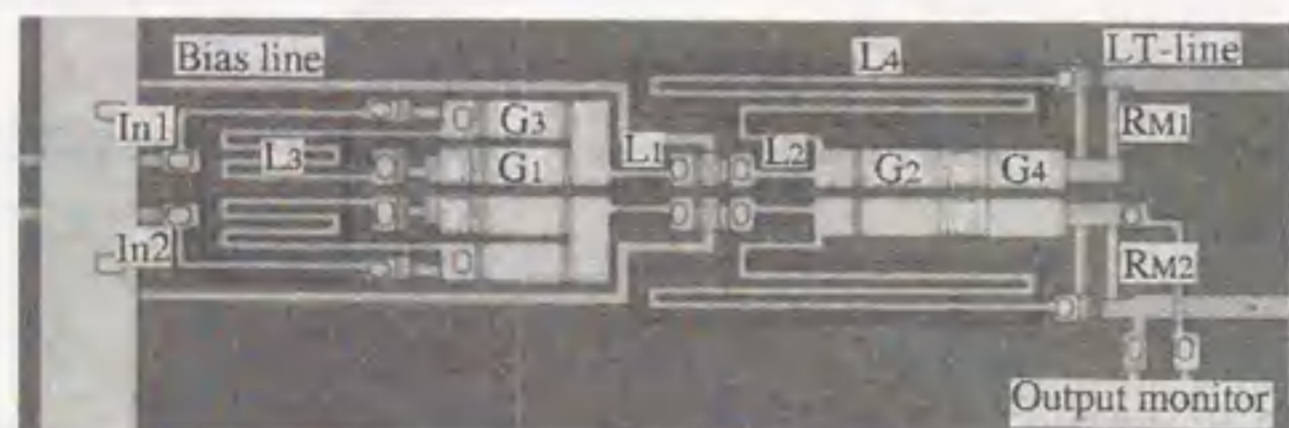
図7-8 (a)、(b)は、試作したX-ドライバ回路とY-ドライバ回路の顕微鏡写真である。4KビットRAMと同じデバイス構造と製造プロセスにより試作した。接合の臨界電流密度は 2500 A/cm^2 、抵抗は $1.5\ \Omega/\square$ のシート抵抗、線幅 $2\ \mu\text{m}$ で設計した。インダクタンス L_1, L_2, L_3, L_4 は、できるだけ寄生のキャパシタをなくし且つ単位長さ当たり大きなインダクタンスが得られるコープレーナウェーブガイド型又はコープレーナミアンダライン型のインダクタにより設計した。

図7-9 (a)、(b)は、それぞれX-ドライバ回路とY-ドライバ回路の機能試験を示した写真である。出力電圧 (output) は100倍に増幅されている。入力信号のIn1、In2に対応して、この様な正常な極性切換動作を行い、且つX-ドライバ回路では5倍の V_g のギャップ電圧に対応した 14 mV 、Y-ドライバ回路では2倍の V_g に対応した 5.6 mV の出力電圧が得られている。バイアス電流に対する動作マージンは、X-ドライバ回路で $\pm 11\%$ 、Y-ドライバ回路で $\pm 14\%$ と、設計値の比べると少し小さな値になった。この動作マージンの領域以下にバイアス電流を下げると、極性切換の動作自体は行わが、出力電圧が減少した。



(a) X-ドライバ回路 (大きさ: $350\ \mu\text{m} \times 48\ \mu\text{m}$)

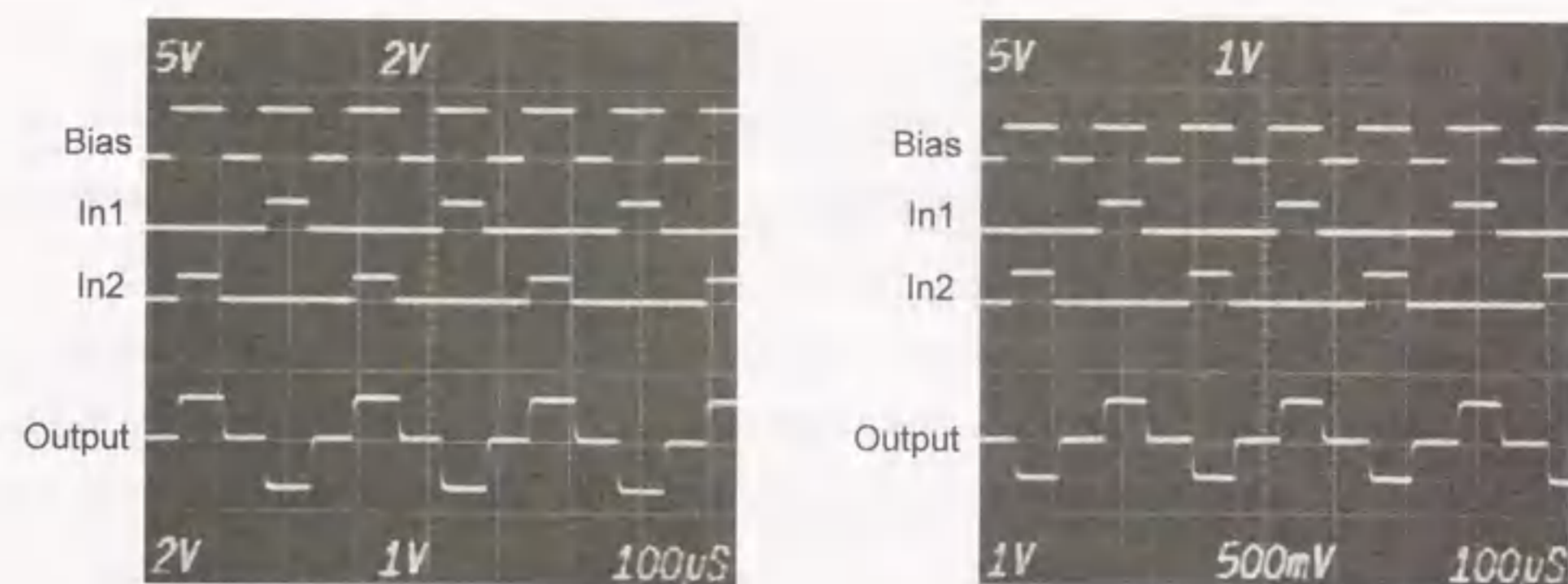
(G1、G2、G3はそれぞれ直列接続された8個のジョセフソン接合、G4は5個のジョセフソン接合で構成されている。)



(b) Y-ドライバ回路 (大きさ: $190\ \mu\text{m} \times 48\ \mu\text{m}$)

(G1、G2、G3はそれぞれ直列接続された3個のジョセフソン接合、G4は2個のジョセフソン接合で構成されている。)

図7-8 高速ドライバ回路の顕微鏡写真



(a) X-ドライバ回路の出力波形

(b) Y-ドライバ回路の出力波形

図7-9 高速ドライバ回路の出力波形

7.4 デコーダ回路の低消費電力化

記憶回路の大容量化に伴い、消費電力が増大するという問題がある。記憶回路の消費電力は、ほとんどデコーダ、ドライバ、センス等の周辺回路の消費電力で決まる。特に、デコーダ回路の消費電力が最も大きく、例えば第4章で述べた4KビットRAMでは全消費電力の7割以上がデコーダ回路で消費された。従って、ここではデコーダ回路の低消費電力化を検討した。

消費電力 P は、回路の全電流 I と電圧 V の積である。全電流 I は、ゲート回路等にバイアスされる全ての電流の和である。電圧 V は、ゲート回路が電圧状態にスイッチしたときバイアス線路を通しての逆流等のノイズを防ぐ為に、ギャップ電圧 V_g の数倍の一定の値に設定される。通常レギュレータにより $4V_g$ に設定される。従って、消費電力を下げるためには全電流 I を小さくする必要がある。このためには、第一に回路の動作電流レベルを小さくすること、第二に多くのバイアス電流を必要としない回路方式を用いることである。第一の方法は、例えば1KRAMから4KRAMの設計において用いられた。1KRAMの1個のORゲートの最大バイアス電流値が 0.9 mA であったのを4KRAMでは3分の1の 0.3 mA に小さくしたことで、回路の規模が4倍になったにもかかわらず消費電力は約2分の1に低下している。しかしながら、ドライバ回路の動作電流レベルを小さくすることは、それによって駆動される記憶セルの設計を変更する必要がある。記憶セルは、 $L I$ 積が一定 (Φ_0) の条件を基本に設計されているので、動作電流レベル I を小さくすることは、超伝導ループのインダクタンス L の増大につながり、簡単に設計変更できるものではない。加えて、動作電流レベルを下げることは、測定時に電源ケーブル等か

から入るノイズに対する影響が大きくなるという問題もある。

従って、今回の高速ジョセフソン記憶回路の大容量化の検討に於いては、動作電流レベルは今まで以上には小さくせず4KRAMの動作電流レベルと同じにして、第二の方法即ち回路方式の工夫により低消費電力化と高速化の検討を行った。

従来、4KRAMでは電流注入型ゲートを用いたAND論理のデコーダ回路を用いてきた。しかし、この方式では多ビットのデコーダ回路を構成しようとするときANDの段数と共に後段のANDの出力のファンナウトが急激に増大する。電流注入型ゲートは多くのファンナウトをとれないため、電流増幅ゲートが必要となり、大きなファンナウトを得るためには、電流増幅ゲートを直列に多段に接続して構成する必要がある。このため、多ビットのデコーダ回路を構成しようとするとき動作時間と消費電力が急激に増大するという問題点があった。そこで、多くのファンナウトをとることが可能な磁界結合型ゲートを用いたデコーダ回路を検討した。しかし、多くのファンナウトをとると、一般に負荷のインダクタンスが増大して動作時間が増大するという問題点がある。そこで、多くのファンナウトをとっても、回路全体としては動作時間が増大しないような回路設計を行う必要がある。

7.4.1 回路設計

デコーダ回路はAND論理を行う回路であるが、次の様にAND論理はOR論理の否定をとることで実現することができる。

$$A \cdot B \cdot C \cdot D \cdot E = \overline{\overline{A} + \overline{B} + \overline{C} + \overline{D} + \overline{E}}$$

従って、デコーダ回路は多入力OR回路とNOT回路とで構成することができる。このデコーダ回路をNOR型デコーダ回路と呼ぶ。図7-10に、今回設計したNOR型デコーダ回路の1ビットの等価回路図を示す。多入力ORゲートとNOTゲートは複数個の磁界結合型2接合SQUIDゲートで構成されている。この回路の特徴は、第一に多入力ORゲートを大きなファンナウトを得ることができる磁界結合型のゲートで構成したこと、第二にアドレス信号6ビットとR/W信号1ビットの計7ビットの入力信号に対する多入力OR回路を図の様に直列接続した2接合SQUID7個で構成したこと、第三に構造が単純で多ビット化の設計が容易であるというところにある。1入力の制御信号に対して1個のSQUIDゲートを用いることにより、入力信号線のインダクタンスを下げ、且つSQUIDとの相互インダクタンスを大きくすることで入力信号の動作電流レベルを下げ回路の高速化を計った。また、7個の2接合SQUIDのバイアス電流は図の様に直列に供給されているため、並列に供給した場合に比べて1/7の消費電力になる。

このNOR回路の動作は、まずバイアス電流が直列接続された7個のSQUIDに供給された

状態で、少なくとも1個以上の入力信号が入力されると、入力されたSQUIDゲートが電圧状態にスイッチすることでバイアス電流をNOT回路のデータ入力線路に注入する。その結果、NOT回路の上部のSQUIDゲートが電圧状態にスイッチすることで、その後タイミング信号が入力されても下部のSQUIDゲートはスイッチせず出力端に電流を送り出さない。一方、多入力OR回路に入力信号が全くない場合には、OR回路は電圧状態にスイッチしないのでデータ入力線路にも信号は入力されない。そのため、タイミング信号が入力されたとき、NOT回路の下部のSQUIDゲートが電圧状態にスイッチして出力端に電流を注入する。以上によりNOR論理が実現される。

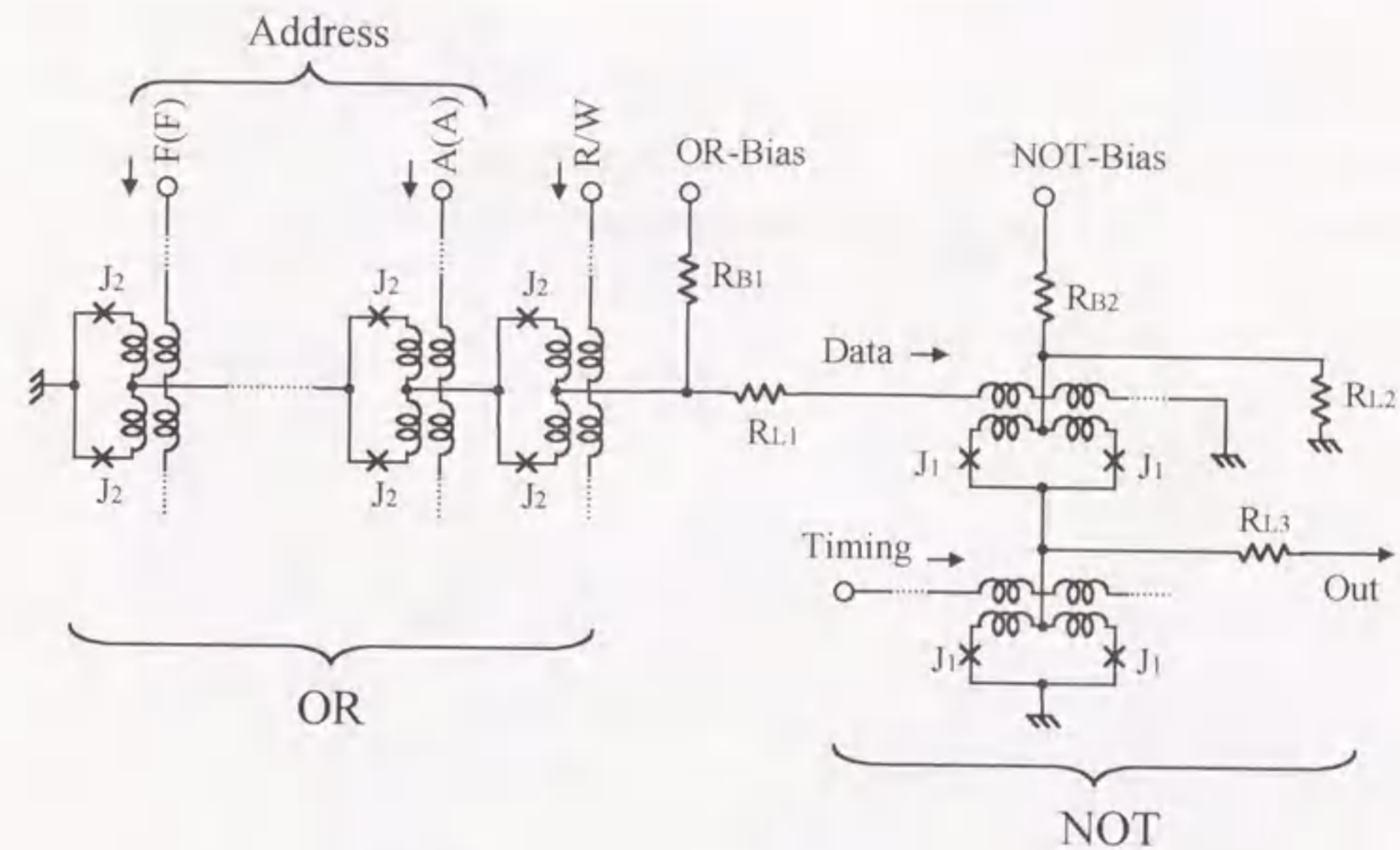


図7-10 NOR回路の等価回路図

$$J_1 = 0.15 \text{ mA}, J_2 = 0.20 \text{ mA}, \\ R_1 = 2 \Omega, R_2 = 0.5 \Omega, R_3 = 1 \Omega, R_{L1} = 4 \Omega, R_{L2} = 2 \Omega$$

図7-10は、NORデコーダ回路の1ビットを示しているが、実際には、図7-11の様にこのNOR回路を64個並列に配置し、多入力OR回路への入力信号配線の配置の組み合わせで64ビットのNOR型デコーダ回路を構成することができる(図では、16ビットの部分のみが描かれている)。先に述べたように、これらの入力配線のインダクタンスをできるだけ小さくし、

且つトータルの負荷インダクタンスがあまり大きくならないように64個のNOR回路ごとに入力信号のドライバゲートを設けた。この64ビットのNOR型デコーダ回路において、ドライバゲートがスイッチして負荷線路に信号を送り出し、一番速くに配置された多入力OR回路がスイッチして電流を出力するまでの時間は、コンピュータシミュレーションにより約80psと見積もることができた。この様に、最も動作時間の要する磁界結合型多入力ORゲートへのアドレス等の多数の信号入力は、並列に行われるため高速動作が可能になっている。また、消費電力は従来の同じビット数の電流注入型AND論理のデコーダ回路に比べて約60%に削減することができた。

より多ビットのデコーダ回路を構成する場合は、図7-12に示した様なマルチドライバ方式を採用した。例えば、256ビットのデコーダ回路を構成する場合には、図の様に64ビットのデコーダ回路を4個配置し、これらのドライバ回路間はインピーダンス整合された信号線で結ぶことで回路全体の高速化を図ることができる。この様に、負荷線路の分割により単一ドライバ当たりのインダクタンスを軽減することで単一ドライバの高速化を計り、マルチドライバ間の信号伝達にはインピーダンス整合を図ることで回路全体の高速化を可能にしている。

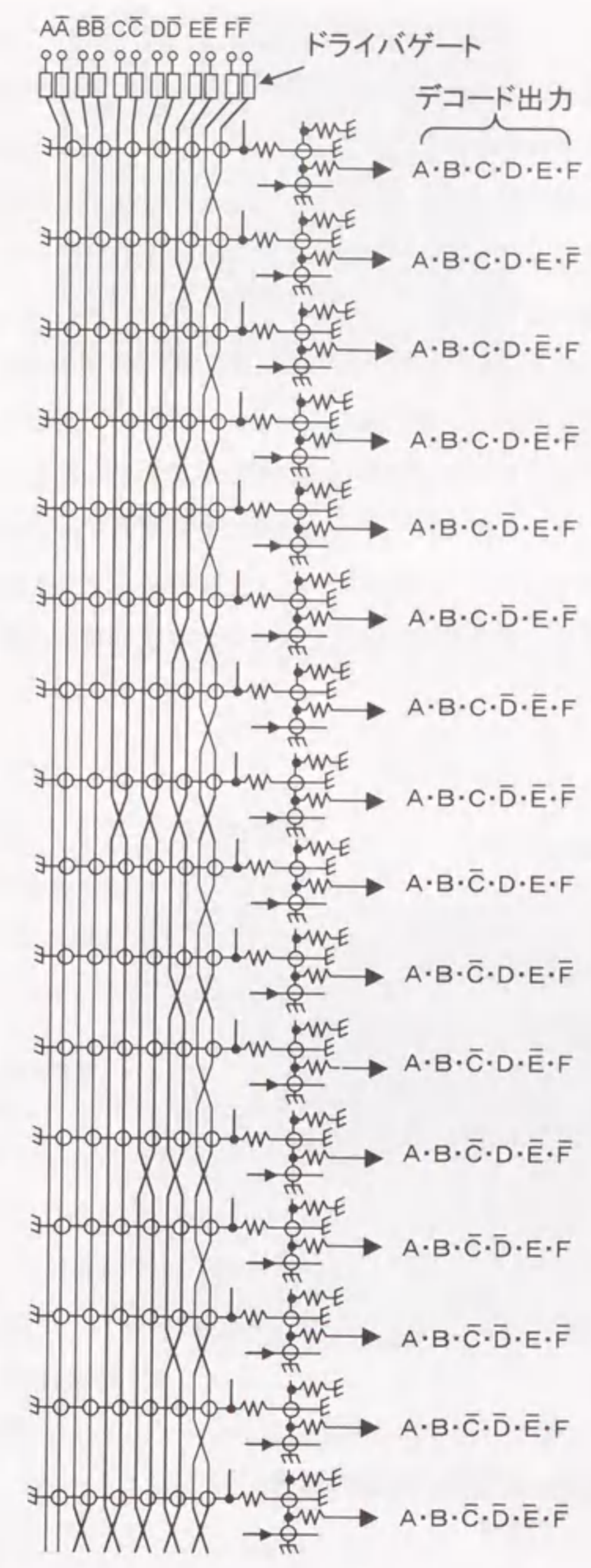


図7-11 64ビットNOR型デコーダ回路 (上から16ビット分のみ表示)

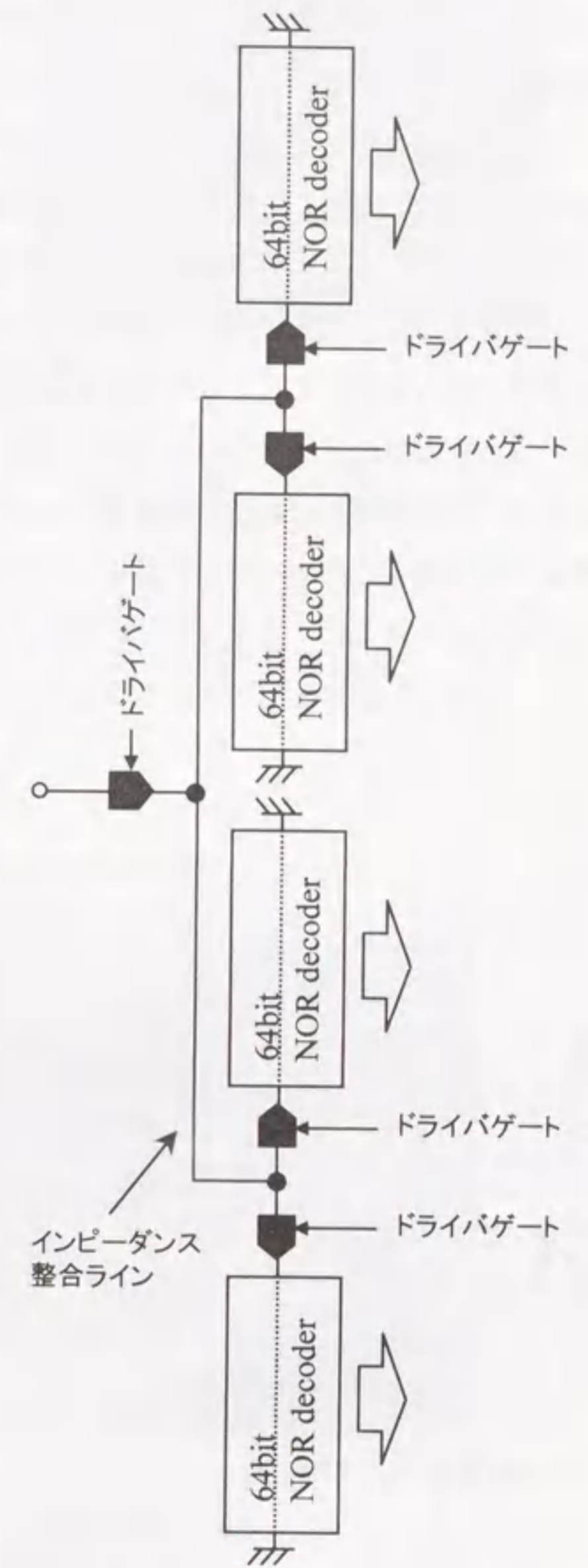


図7-12 マルチドライバ方式による256ビットNORデコーダ回路

7.4.2 試作測定評価

図7-13に、今回評価したデコーダ回路TEGの顕微鏡写真を示す。小型セルで用いた3層配線のデバイス構造および製造プロセスを用いて試作した。このTEG回路は、16KRAMのレイアウト内と同じ環境化でのデコーダ回路の動作を評価するために、NOR型デコーダ回路に加え、ドライバ回路とアドレスバッファ回路及びレギュレータが含まれている。NOR型デコーダ回路部分のサイズは約250 μ m \times 1500 μ mである。

図7-14に、測定結果の一例を示す。入力信号として6ビットのアドレスと1ビットのR/W信号の組み合わせから128ビットの入力信号パターンを入力している。モニタの出力ラインは、(a)では<0100010>、(b)では<0001010>のビットの対応したところのドライバ回路の出力端子に接続されており、それぞれこれらの入力信号に対応したビットで正常に出力が発生していることが解る。128ビットを1つの写真に入れているため1ビットの出力が細くなり見えにくくなっているが、実際には $\pm 36\%$ の非常に大きなバイアス電流の動作マージンでしっかりと出力されている。

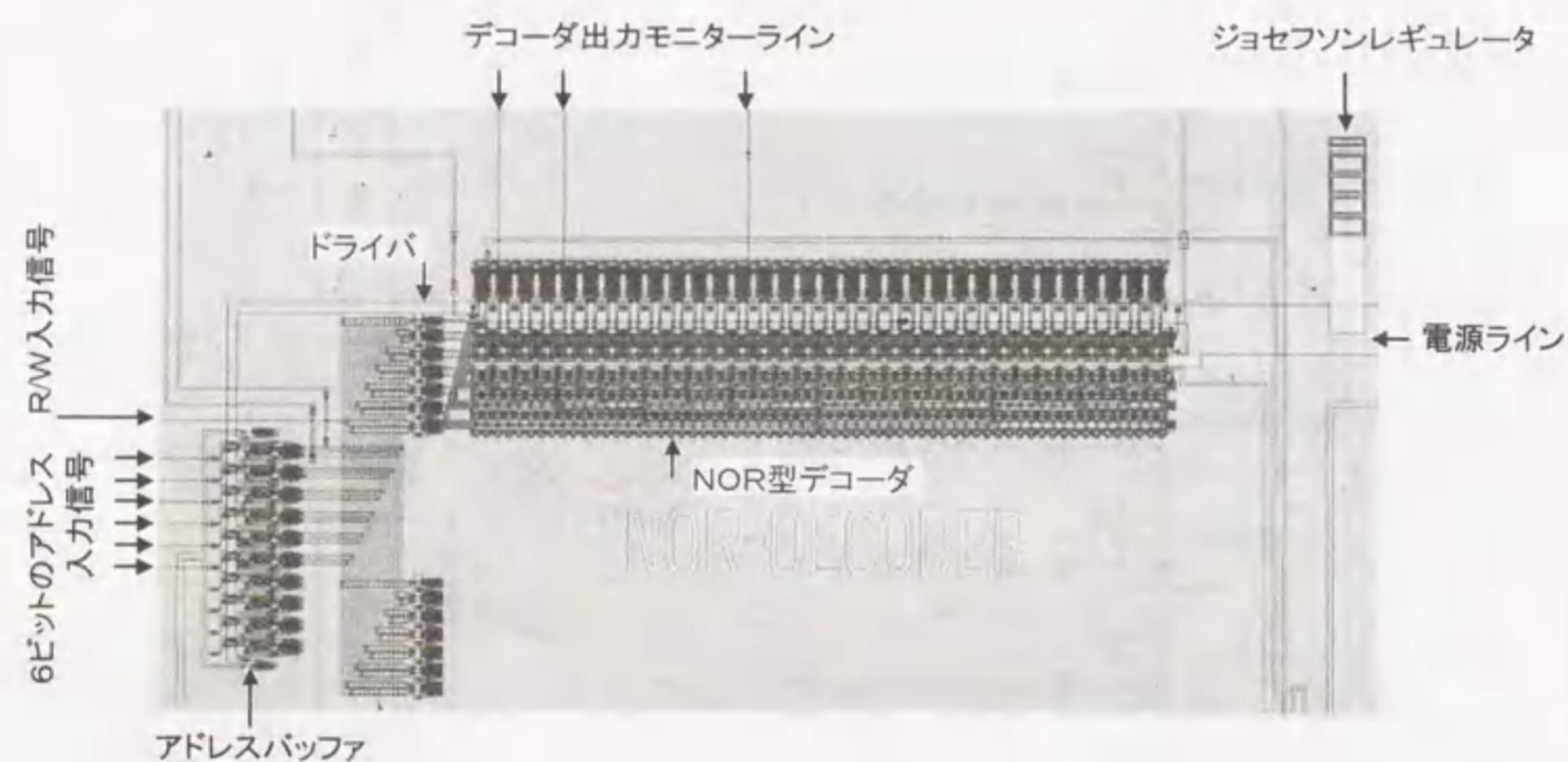
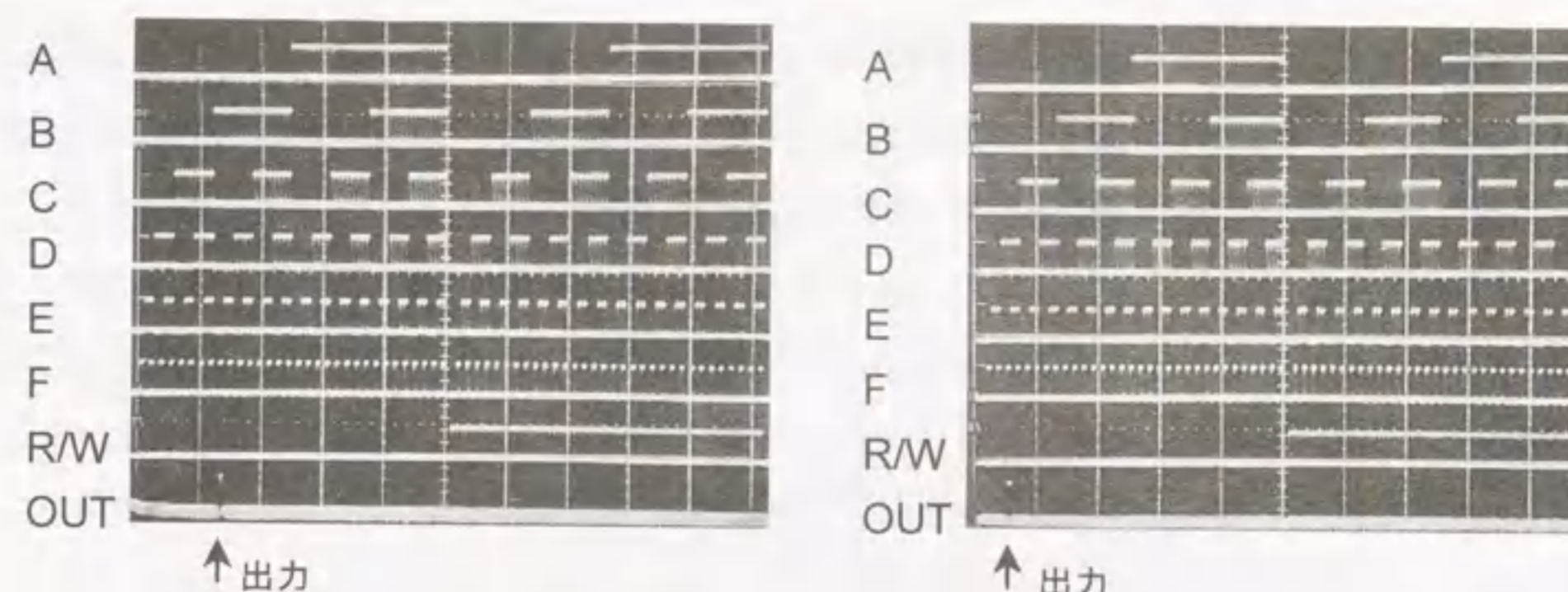


図7-13 NOR型デコーダ回路の顕微鏡写真



(a) アドレス<0100010>に対応したデコーダ回路の出力

(b) アドレス<0001010>に対応したデコーダ回路の出力

図7-14 NOR型デコーダ回路の出力波形
アドレス入力信号(A, B, C, D, E, F)、R/W入力信号(R/W)、出力信号(OUT)

7.5 16KRAMの設計

前節までに述べた検討をもとに、ジョセフソン記憶回路の大容量化を目的として16KビットRAMを設計した。図7-15に、16KビットRAMのブロック構成図を示す。4KビットRAMブロックを基本とした4Kワード \times 4ビットの構成である。4KビットRAMブロックは、デコーダ回路、ドライバ回路、センス回路、セルアレイから成る。前節に記した2.2 μ m角の小型記憶セルを用いて6 \times 64のセルアレイを構成した。デコーダ回路は、前節で記した低消費電力化が可能な64ビットのNOR型デコーダ回路を基本ブロックとして使用し、マルチドライバ方式により高速化を図った。ドライバ回路は、4KビットRAMにも用いた抵抗結合型極性切換ドライバ回路を用いた。この16KビットRAMの設計では、低消費電力化の観点から前節で述べた高速ドライバ回路は消費電力が増大するため使用しなかった。デコーダ回路とドライバ回路は、図の様に記憶セルアレイの左右に配置した。これによりリターンラインを除去し、被駆動線路線路の全インダクタンスを減少させるとともに記憶セルの小型化をも可能にしている。センス回路は、4KビットRAMで用いた抵抗付加型センス回路を改良し、即ちデコーダ回路により選択されたセンスラインにのみ電流を注入することでAND機能を付加した改良型抵抗付加型センス回路を用いた。

各4KビットRAMブロックへのアドレス、R/W、タイミング等の入力信号は、インピーダンス整合線路で高速に伝達されるように設計した。第6章の256ワード16ビットRAMの設

計でも記したが、ブロック間の長距離の信号伝送には電流レベルを出来るだけ小さくして線幅の細い信号線路でもインピーダンス整合を容易にし、必要な箇所でも局所的に電流増幅するために数カ所に電流増幅回路（図ではアドレスバッファと記した）を挿入した。

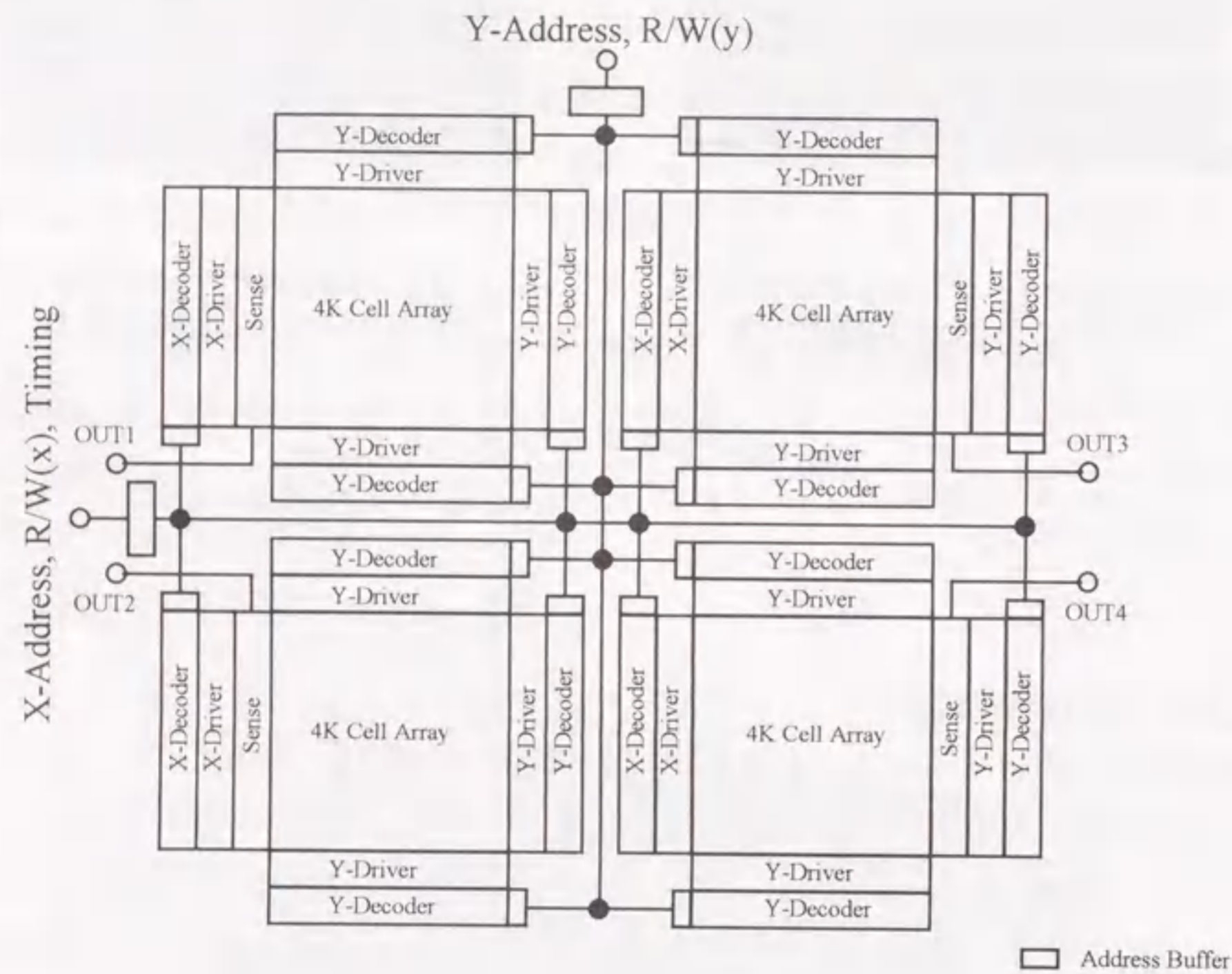


図7-15 ジョセフソン16KRAMのブロック構成図

図7-16に、試作した16KビットRAMの顕微鏡写真を示す。前節までに述べたように、小型記憶セル、デコーダ回路、ドライバ回路等の基本要素ブロック全ての正常動作は確認したが、今のところ全体としての動作の確認には至っていない。

そこでシミュレーション等から見積もったRAMの性能を表7-4にまとめた。16KビットRAMと同じ4KRAMブロックを基本にして、これを16個配置した4Kワード×16ビット構成の64KビットRAMの性能も併せて見積もった。4KビットRAMブロックの動作時間は、各要素回路のコンピュータシミュレーションからデコーダ回路120ps、ドライバ回路100ps、センス回路60ps、その他の信号伝播時間25psの和として305psと見積もった。16KビットRAMの動作時間は、4KビットRAMブロックの動作時間305psと最も遠いブロックまでの信号伝播時間45psの和として350psと見積もった。64KビットRAM

の動作時間も同様に、4KビットRAMブロックの動作時間305psと最も遠いブロックまでの信号伝播時間130psの和として435psと見積もった。信号伝播時間は、インピーダンス整合が取れているとして距離から計算したSiO₂の配線遅延時間とアドレスバッファと記した電流増幅回路の動作時間の和である。消費電力は、16KビットRAMで17mW、64KビットRAMで68mWである。16KビットRAMでは4ビット、64KビットRAMでは16ビットと多ビット構成にしているため、電力を消費するデコーダ、ドライバ等の周辺回路が増大し、1ビット構成でRAMを構成した場合に比べてそれぞれ約2倍、約4倍の消費電力になっている。なお、表7-4には比較のために、これまでに開発された同じ規模の最も高速の半導体RAMの性能を併せて示した[7]。これは、HEMT (High Electron Mobility Transistor) 素子を用いた64KビットのSRAM (Static RAM) の性能である。ジョセフソン64KビットRAMの性能は、このHEMTに比べてアクセス時間で約1/3、消費電力で約1/100になっている。

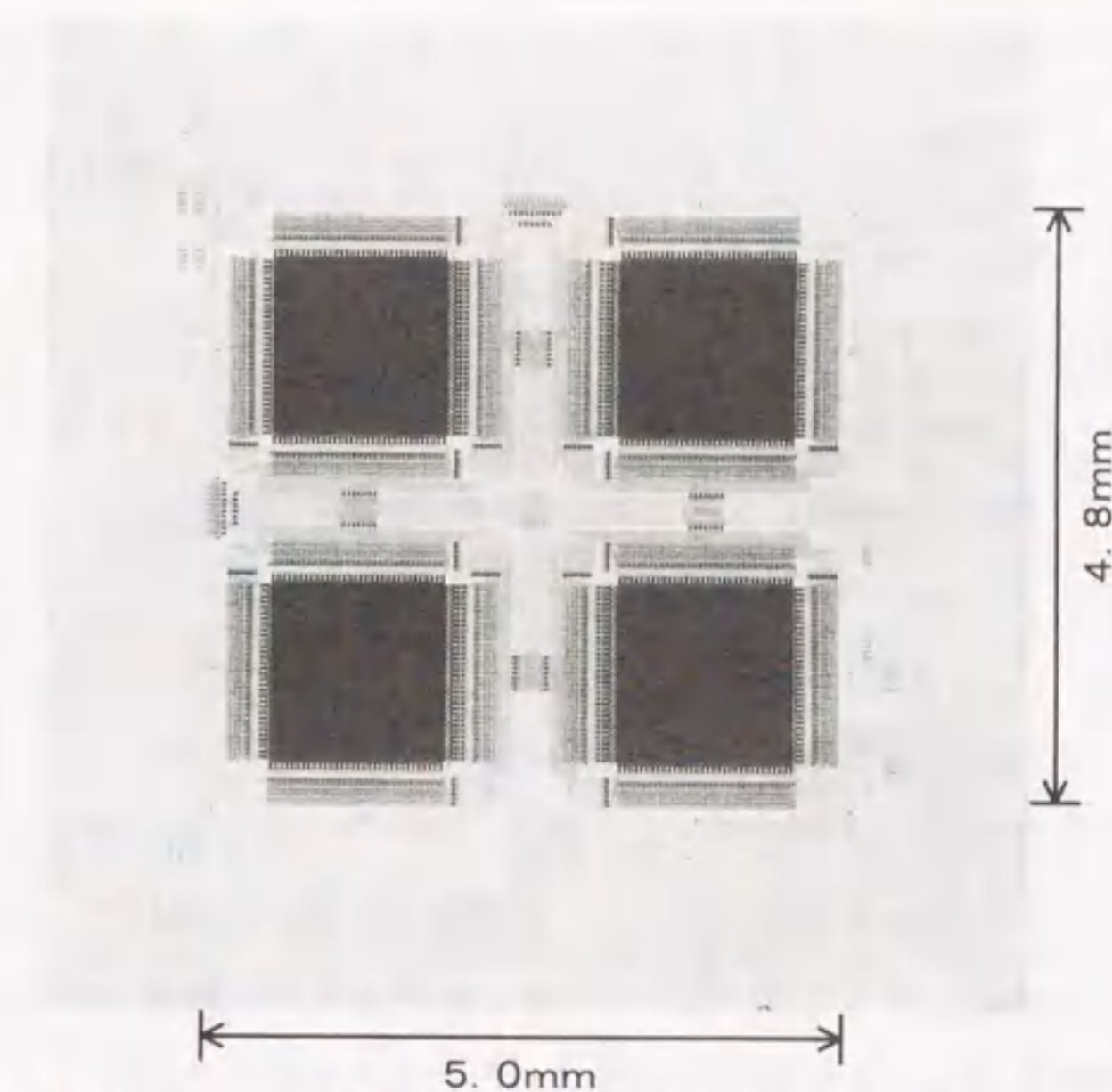


図7-16 ジョセフソン16KRAMの顕微鏡写真
回路サイズ: 5.0mm × 4.8mm、チップサイズ: 8mm × 8mm
ジョセフソン接合数: 94400個

表7-4 ジョセフソンRAMの性能見積

	ジョセフソン16KビットRAM (設計値)	ジョセフソン64KビットRAM (設計値)	HEMT64KビットRAM 文献[7]
構成	4096w × 4b	4096w × 16b	8192w × 8b
消費電力	17 mW	68 mW	5.9 W
アクセス時間	350 ps	435 ps	1.2 ns
動作電流レベル	0.3 mA	0.3 mA	
ジョセフソン接合	Nb/AIOx/Nb	Nb/AIOx/Nb	
接合数	約9万4千個	約37万8千個	約46万2千個のHEMT
臨界電流密度	2500 A/cm ²	2500 A/cm ²	
最小接合サイズ	2 μm × 2 μm	2 μm × 2 μm	0.6 μm-gate
最小ライン幅	1.5 μm	1.5 μm	1.2 μm
記憶セルサイズ	22 μm × 22 μm	22 μm × 22 μm	17.5 μm × 13.5 μm
RAMサイズ	5.0mm × 4.8 mm	10 mm × 10 mm	7.4 mm × 6.5mm

7.6 結言

本章では、ジョセフソン記憶回路の大容量化に伴い、基本となる記憶セルの小型化、ドライバ回路の高速化、デコーダ回路の低消費電力化について述べ、これらの検討を基に行ったジョセフソン16KRAMの設計について述べた。

記憶セルの小型化に関しては、従来の4KビットRAMで用いた記憶セルの1/6(サイズ22 μm × 22 μm)に大幅に縮小した新たな磁束量子転移型記憶セルを提案し、動作マージン±20%での正常な記憶動作の確認に成功した。この記憶セルの小型化は、3次元的な集積化をさらに押し進めた新たなデバイス構造の提案と、それを実現する微小なジョセフソン接合の形成技術を含む高精度なプロセス技術の開発により達成した。今回の小型化では、最小線幅は、1.5 μmで以前の5.5 μm角の記憶セルと基本的な設計ルールは同じである。従って、設計ルールの縮小を行うことでさらに小型化が可能である。最近、設計ルールの縮小等を行って大きさ約10 μm角の磁束量子転移型記憶セルを設計試作し、正常動作も既に確認している[8]。

ドライバ回路の高速化に関しては、ジョセフソン接合を直列に接続して駆動電圧を上げることでインピーダンス整合を図り高速動作を可能にした新たな極性切換型ドライバ回路を開発した。この回路の特徴は、1つのシリーズ接合が電圧状態にスイッチした前後で負荷のインピーダンスを自動的に変化させることで同一の構造のシリーズ接合を、一方では電流を送り出すように、他方では電流を吸収するように働かせ、極性切換動作を可能にしている点にある。また、適切な値

のインダクタンスを挿入することで高周波的な負荷を増大させ臨界電流値のパラツキに対しても広い動作マージンが得られるようにした。X-ドライバ回路で±11%、Y-ドライバ回路で±14%の動作マージンを得た。

デコーダ回路の低消費電力化に関しては、多くのファンナウトをとることが可能な磁界結合型ゲートを用いたデコーダ回路を検討した。そして、多くのファンナウトをとっても、回路全体としては動作時間が増大しないような回路構成として磁界結合型ゲートを用いたNOR型デコーダ回路を提案した。64ビットのNOR型デコーダ回路を構成し、シミュレーションにより動作時間は約80 psと見積もることができた。また、消費電力は従来と同じビット数の電流注入型AND論理のデコーダ回路に比べて約60%に削減した。小型記憶セルと同じ3層配線構造で試作し、±36%の非常に大きな動作マージンでの正常動作を確認した。

以上の要素回路の検討をもとに、16KビットRAM及び64KビットRAMを構成し、性能見積を行った。その結果、アクセス時間350 ps、消費電力17 mWの16KビットRAM、アクセス時間435 ps、消費電力68 mWの16KビットRAMの実現の見通しを得た。

最後に、今後さらに大容量の記憶回路即ち(RAM)を構成した場合の動作時間について考えてみる。RAMの動作時間は主にその構成要素であるデコーダ回路、ドライバ回路、センス回路の動作時間と配線遅延時間を加えた値である。しかし、M(メガ)ビット級の大容量記憶回路の場合、大きな記憶セルアレイを駆動するドライバ回路の動作時間が、記憶回路全体の動作時間の大きな割合しめるようになる。そのため、ここではドライバ回路の動作時間について考えてみる。

7.3節では、駆動電圧を上げることでインピーダンス整合を計りドライバ回路の高速化をおこなった。しかし、この場合には消費電力が増大するという欠点もある。インピーダンス整合を計るには、今回は行わなかったが、動作電流レベルを下げる方法がある。動作電流レベルを下げる方法は、記憶セル自体の設計変更を伴うという困難さはあるが、同時に低消費電力化にもつながるため、非常に有効な方法であると考えられる。そこで、ここでは今後動作電流レベルをさげてインピーダンス整合を計った場合のドライバ回路の動作時間について評価する。

記憶セルの基本動作は、1個の磁束量子を超伝導ループから出し入れすることである(付録B参照)。アレイ状に配置されたRAMでは、一般に横方向と縦方向の2本の制御配線に流す電流でこの動作を制御する。従って、1本の制御配線に流す電流 I_c は、超伝導ループと制御配線の相互インダクタンスをMとして、

$$MI_c > \Phi_0/2$$

の関係を満足する必要がある。ここで、制御配線と超伝導ループの結合が理想的な場合を考え、制御配線の自己インダクタンスLと相互インダクタンスMは等しいとする。さらに、インピーダンス整合の条件から線路に挿入する負荷抵抗Rと制御線路の特性インピーダンス Z_0 を等しくす

る。従って、 $M = L$ と $I_c = V/R = V/Z_0$ を上の式に代入して

$$L \cdot (V/Z_0) > \Phi_0/2$$

$$LC > \Phi_0/2V$$

従って、1個の記憶セル当たりの遅延時間 ($\tau = LC$) は、 V を1個の接合のギャップ電圧2.8mVとすると0.37ピコ秒になる。この値は、4KビットRAMの様に64個の記憶セルを駆動する場合は、24ピコ秒と非常に高速であるが、例えば1MビットのRAMを構成して1024個の記憶セルを駆動する場合には379ピコ秒になる。これは、磁気的な結合の理想的な場合でこの値であるから実際の場合には、さらに増大して決して小さな値ではない。従って、このドライバ回路をさらに高速化するためには、例えば7.4節のNOR型デコード回路で行ったマルチドライバ方式を用いることも1つの有効な方法であろう。即ち、Mビット以上の大容量メモリでは、記憶セルアレイを幾つかに分割して1つのドライバ回路が駆動する記憶セルの数を制限する必要があると考える。そして、多数のドライバ回路への入力信号は等しい長さのインピーダンス整合ラインで結ぶことで、ドライバ回路全体の高速化を行うことが可能である。多数のドライバ回路へのインピーダンス整合ラインは、例えばセルアレイのグランド面下に配線層を設けて形成すると言った工夫が必要である。この様にすれば、Mビット以上の記憶セルでも数100ピコ秒以下で動作させることも可能であると考えられる。また、今回の設計ではパイプラインアーキテクチャの手法は用いなかったが、デコード回路、ドライバ回路、センス回路等をそれぞれパイプライン的に動作させれば、さらに数倍高速に動作させることも可能である。

参考文献

- [1] S. Nagasawa, S. Tahara, H. Numata and S. Tsuchida, "A miniaturized vortex transitional memory cell for a Josephson high-speed RAM," Technical Digest of IEDM'92, pp. 793-796, Mar. 1992.
- [2] S. Nagasawa, S. Tahara, H. Numata and S. Tsuchida, "Miniaturized vortex transitional Josephson memory cell by a vertically integrated device structure," IEEE Trans. on Appl. Supercond., vol. 4, no. 1, pp. 19-24, Mar. 1994.
- [3] H. Numata, S. Nagasawa, and S. Tahara, "Fabrication process for sub-micron Josephson junction," Extended Abstracts of ISEC'93, pp. 280-281, 1993.
- [4] S. Nagasawa, S. Tahara, S. Tsuchida, H. Tsuge and I. Ishida, "High speed polarity-convertible drivers for Josephson RAMs," Supercond. Sci. Technol. vol. 4, pp. 637-640, 1991.
- [5] H. Ko et al., "High-speed measurements of single gates: Higher-voltage gates," IEEE Trans. Mag., Vol. MAG-23, pp. 751-754, 1987.
- [6] H. Suzuki et al., "Application of synchronized switching in series-parallel-connected Josephson junctions," IEEE Trans. Electron Devices, Vol. 37, pp. 2399-2405, 1990.
- [7] M. Suzuki et al., "A 1.2-ns HEMT 64-kb SRAM," IEEE J. Solid-State Circuits, vol. 26, no. 11, pp. 1571-1576, Nov. 1991.
- [8] H. Numata, S. Nagasawa, and S. Tahara, "A Vortex transitional memory cell for 1-Mbit/cm² density Josephson RAMs," IEEE Trans. on Applied Superconductivity, vol. 7, no. 2, pp. 2282-2287, June 1997.

第8章 総括

8.1 本研究で得られた成果

ジョセフソン記憶回路は、ジョセフソンコンピュータを実現する上で必要不可欠なキーデバイスであり、同時にジョセフソン集積回路技術のマイルストーンとも言われてきた。それは、記憶回路の技術が磁束の量子化という超伝導特有の現象を利用したものであることや、記憶回路は論理回路に比べてより高い集積度とプロセスパラメータの高い制御性（例えば、インダクタンスを基本要素とする記憶回路は、論理回路にはない高いインダクタンスの制御性を要求する）を要求するため、より高度な製造プロセス技術を開発する必要があるためである。

本研究は、この様な重要な位置づけを持つジョセフソン記憶回路に関して、その製造プロセスの開発から、回路設計、測定評価技術に至る全てに渡って研究を行った。具体的には、Nb系製造プロセスの開発に始まり、それにより試作したジョセフソン1KビットRAMの動作実証と超伝導記憶回路の測定評価技術としてのジョセフソンテストシステムの開発、ジョセフソン記憶回路の信頼性評価を目的として磁束トラップの排除方法の確立と4KビットRAMの完全動作の実証、ジョセフソン記憶回路の実用化を目的として行ったトランスフォーマから成る電源回路を含んだ256ワード16ビットRAMの高周波クロックでの動作実証、さらに大容量化、高速化を目的として記憶セルの小型化、ドライバ回路の高速化、デコーダの低消費電力化といった基本要素回路の高性能化と、これら要素回路の測定評価に基づいて行った16KビットRAMの設計と大容量RAMの性能見積等を行った。

第1章では、本研究の背景としてこれまでのジョセフソン記憶回路の研究を紹介し、その問題点をまとめると共に、本研究の目的について述べた。

第2章では、従来の鉛合金系製造プロセスに変えて新しく開発したジョセフソン記憶回路のためのNb系製造プロセスについて述べた。素子表面の凹凸段差に起因した配線の断線や配線間のショートを防ぐために、低分子量ポリスチレンを用いたエッチバック平坦化技術をNb系製造プロセスに導入した。配線間のコンタクトを容易に形成するために、テーパエッチング技術を開発した。そして、信頼性の高いNb/AIOx/Nb接合技術を基に、ポリスチレンを用いたエッチバック平坦化技術により各層で平坦化を行い、多層平坦化構造を実現して3層配線構造を必要とする1KビットRAMの製造プロセスを開発した。

第3章では、世界で初めてNb系製造プロセスによるジョセフソン1KビットRAMを試作し、その測定評価方法及び測定結果について述べた。半導体のLSIメモリテストを基本にしたジョセフソン記憶回路のための測定評価システムを開発した。この測定システムにより、記憶セルの

様な要素回路の3次元シミュによる動作領域の自動測定や、数10kHzの低周波クロックではあるが、マーチングの様な複雑なテストパターンに対するジョセフソン記憶回路のフェイルビットマップを瞬時に測定評価することが可能になった。この測定システムによる記憶セルの動作領域の精密な測定により、磁束の量子化に基づいた記憶セルの動作を明確にした。さらに、超伝導記憶回路としては世界で初めてマーチングによる1KビットRAMのフェイルビットマップを測定し、最大ビットイールド68%の動作を確認した。最小アクセス時間570ピコ秒、消費電力13mWというジョセフソン記憶回路の高速性と低消費電力性を実証した。また、この1KビットRAMの動作実証により、多層平坦化構造を特徴とする新しいNb系製造プロセスの有効性も改めて確認した。

第4章では、以前の4KビットRAMの開発の成果と問題点を踏まえて、ジョセフソン記憶回路の全ビットの完全動作に向けた研究を行った。そのために、以前の4KビットRAMの問題点を製造プロセスと回路設計及び測定技術の面から全面的に検討し改良を行った。製造プロセス上は、絶縁層の良好な被覆性を得るためにバイアススパッタ技術を導入したことを特徴とする2層配線からなるデバイス構造を開発し、回路設計上は、全面的なレイアウト変更と新しい抵抗結合型極性切換ドライバ回路及びAND回路を付加した抵抗付加型センス回路を開発し、測定評価上は、非磁性のセラミックパッケージ、サンプルホルダー、自動昇降装置等の測定治具を開発した。これらの改善を踏まえて新たに4KビットRAMを設計し試作した。その結果、最大ビットイールド84%、最小アクセス時間380ピコ秒、消費電力9.5mWを得ることができた。この最大のビットイールドは、我々の磁気シールドで得られる最小の磁場環境下で測定されたものであるが、それでもなお多くの磁束トラップの影響があることを確認した。

第5章では、磁束トラップの影響の排除方法について研究し、その結果を4KビットRAMに適用した。磁束トラップの原因は素子の超伝導転移時の磁場であるが、この磁場の原因として残留外部磁場とサーマルカレントによる磁場があることを述べた。そして、残留外部磁場に対してはモート構造が効果的であり、細長いスリット形状のモートで出来るだけモート間隔を短くして磁場に敏感な素子を取り囲むように配置することが重要であることを述べた。また、サーマルカレントに起因した磁束トラップを防ぐには、臨界温度近傍での緩冷却が非常に重要であることを述べた。従って、残留外部磁場に対してはモート構造が効果的であるが、サーマルカレントに対しては緩冷却が効果的であり、磁束トラップの影響を完全に排除するためには、これらを併用して用いることが非常に重要である。この結果を4KRAMに適用し、磁束トラップの影響を完全に除去してビットイールド99.8%のほぼ完全動作を実証し、ジョセフソン記憶回路の磁場に対する信頼性を大幅に向上させた。

第6章では、ジョセフソン記憶回路の高周波クロック動作の実証を目的として、256RAM

ブロックごとにトランスフォーマとレギュレータからなる電源回路を隣接して設け、ブロック間の信号伝送にインピーダンス整合線路で高速化を図ったことを特徴とする256ワード16ビットRAMの設計及び測定評価について述べた。そして、その基本要素回路である256RAMブロックのフェイルビットマップを測定し、ビットイールド100%の完全動作を確認すると共に、世界で初めて1GHz以上の高周波クロックで256RAMブロックが正常に動作することを確認した。さらに、2Aを越える高周波の大電流を256ワード16ビットRAM全体に供給し、全体回路が620MHzまで正常動作することを確認した。このクロック周波数は、今後測定精度を上げることでさらに向上すると考えられる。

第7章では、ジョセフソン記憶回路の大容量化と高速化の観点から、記憶セルの小型化、ドライバ回路の高速化、デコーダ回路の低消費電力化について述べ、これらの検討を基に行った16KビットRAMの設計について述べた。記憶セルの小型化では、従来の4KビットRAMで用いた記憶セルの1/6に大幅に縮小した磁束量子転移型記憶セルを提案し、動作マージン $\pm 20\%$ での正常な記憶動作を確認した。ドライバ回路の高速化では、ジョセフソン接合を直列に接続して駆動電圧を上げることでインピーダンス整合を図り高速動作を可能にした極性切換型ドライバ回路を設計、試作し正常動作を確認した。デコーダ回路の低消費電力化では、磁界結合型ゲートを用いた64ビットのNOR型デコーダ回路を提案し、従来のAND論理の回路に比べて消費電力を約60%に削減した。 $\pm 36\%$ での正常動作を確認した。以上の要素回路の検討をもとに、16KビットRAM及び64KビットRAMを構成し、性能見積を行った。その結果、アクセス時間350ps、消費電力17mWの16KビットRAM、アクセス時間435ps、消費電力68mWの64KビットRAMの実現の見通しを得た。

8.2 今後の課題

以上記したように、本研究により信頼性の高いNb系製造プロセス、記憶回路の測定評価方法、磁束トラップの影響の除去方法、高周波大電流の供給方法等を開発し、その結果として4KビットRAMのほぼ完全動作（ビットイールド99.8%）と256RAMブロックではあるが世界で初めて1GHz以上の高周波クロックでの動作実証を行うことができた。これによりジョセフソン記憶回路を開発する上での基本的な課題は、ほぼ解決することができたと考えられる。さらに、ジョセフソン64KビットRAMの設計から、アクセス時間435ps、消費電力68mWという高性能なRAMの実現の見通しを得た。しかしながら、ジョセフソン記憶回路が持っている潜在的な高性能性は、まだ十分に引き出せてはいないと思われる。従って、今後は、ジョセフソン記憶回路のさらなる高性能化と実用化に向けた研究が重要な課題になると考える。高性能化の重要なポイントは、記憶回路の大容量化と、その際の高速化及び低消費電力化である。実用化に向

けた研究では、磁束トラップの問題はほぼ解決することが出来たが、パンチスルーに起因したエラーレートの測定など実際に高周波クロックで長時間動作させた時の問題など各種信頼性に関する研究が必要となると思われる。これらの観点から今後の課題を、製造プロセス、設計、測定評価技術に分けて考えてみた。

1) 製造プロセス技術

ジョセフソン記憶回路の実用化、大容量化に伴い製造プロセスの高精度化の要求はますます強まると考えられる。実用化に向けて集積回路の歩留まりを向上させるためには、製造プロセスの信頼性を上げる必要がある。このためには、デバイス構造はできるだけ単純な方がよい。本研究で行った4KビットRAMの開発において、以前の3層配線構造から2層配線構造への変更はこのような観点から行ったものである。デバイス構造の単純化により複雑なプロセス技術を必要とせず、同時にプロセス工程数の削減にもつながる。1KビットRAMの多層平坦化プロセスでは、1回の試作に約2週間必要であったが、4KビットRAMのプロセスでは5日以内で試作することができるようになった。この様な安定した標準プロセスの確立も実用化に向けては重要であると考えられる。しかし、一方で記憶回路の大容量化とさらなる高速化を行うためには、半導体の開発の歴史と同じようにデバイス構造の微細化と多層化は避けられないと考える。このために、現在ECR (Electron Cyclotron Resonance) エッチングを用いたサブミクロンの均一性のよい接合形成技術の開発[1]やCMP (Chemical Mechanical Polishing) を用いた多層構造の平坦化技術の開発を行っている。この様な新しい技術のブレークスルーにより、高性能なジョセフソン記憶回路の開発を可能にし、同時に標準プロセスもさらに信頼性の高いものにすることができると考える。

2) 設計技術

ジョセフソン記憶回路の大容量化に関する回路設計に関しては、まだまだ多くの課題が残されていると考える。大容量化に関しては、第7章でも述べたが、この際考慮しなければならない問題は、消費電力と動作スピードである。ジョセフソン記憶回路の消費電力は、主にデコーダ、ドライバ、センス等の周辺回路で消費されるため、同じビット構成をとる限りほぼ規模の平方根に比例して消費電力は増大する。ジョセフソン記憶回路の消費電力は、半導体の記憶回路のそれに比べると2桁から3桁小さいが、液体ヘリウムの低温環境下での使用を考えると液体ヘリウムの冷凍能力から計算してチップあたりの消費電力の上限が決まる。約600mW/cm²で液体ヘリウムの核沸騰がおきるという報告[2]があり、余裕度も考慮して消費電力の上限値は200mW程度と考えられる。そうすると、第7章で見積もった64KビットRAMで既に67mWを消

費しており、大容量化の限界はそう遠くないようにも思える。しかし、この見積では、現在の動作電流レベルを維持して、さらに500ピコ秒以下のアクセス時間を目標に16ビットの多ビット構成をとったためデコーダ回路等の消費電力の大きな周辺回路が増大し、全体としての消費電力が大きくなってしまった。また、例えば第7章のドライバ回路の高速化では、駆動電圧を上げることでインピーダンス整合を図り高速化を行ったが、電圧の上昇に応じて消費電力は増大してしまう。この様に一般に、高速化と同時に低消費電力化を行うことは相反する場合もあるが、可能なかぎりこれらを同時に追求していく必要がある。

高速化と同時に低消費電力化を行う方法として、まず考えられることは、第7章で述べたデコーダ回路の低消費電力化の様子、回路構成の工夫により消費電力を低減する方法である。消費電力の少ないファンアウトの多く取れる磁界結合型ゲートを効果的に使用することが重要である。また、本研究では、これまでの研究の流れからラッチングロジックを基本とした回路設計を行ってきたが、今後ともこのラッチングロジックで全て可能とは考えていない。本研究の高周波クロック動作の実証からも、ラッチングロジックを用いた回路でも数GHzの動作実証の見通しは得られているが、上で述べた様に大容量化に伴う消費電力の増大の問題は依然として残されている。本来ジョセフソン記憶回路の記憶セル自体は、SFQ (Single flux quantum) 論理で動作しており、ほとんどの消費電力は、周辺回路であるデコーダ回路、ドライバ回路、センス回路等のラッチングロジックの回路で消費されている。従って、この周辺回路を直流電源で動作可能な超伝導フリップフロップや最近積極的な研究が行われているRSFQ (Rapid Single flux quantum) 回路[3]をはじめとするSFQを用いた回路を使用するといった全く新しい方法を用いることがより重要になると考えられる。SFQを用いた回路は、まだまだ解決すべき課題も多いが、数10GHzから数100GHzという超高速動作が可能な素子でもある。

もう一つの効果的な方法は、動作電流レベルを下げる方法である。動作電流レベルを下げることは、回路の低消費電力化と同時にインピーダンス整合を容易にして回路の高速化にもつながる最も効果的な方法であると考えられる。半導体は、数K Ω という高インピーダンスの素子であるため、本質的に配線とのインピーダンス整合をとることは不可能である。これに対して、ジョセフソン素子は、回路の工夫によりインピーダンス整合をとることが可能である。ここに、ジョセフソン集積回路の大きなメリットがあると考えられる。インピーダンス整合のとれた回路は、究極の高速回路とも言える。第4章で述べた4KビットRAMの基本要素回路であるORゲートの動作電流レベルは0.3mAであるが、これを3分の1の0.1mAにしてもまだ4.2Kのサーマルノイズの電流レベル0.2 μ Aと比べて500倍大きい問題はないと考えられる[4]。この様に、動作電流レベルを例えば3分の1にすることで、単純に消費電力も3分の1になり、ゲートの負荷抵抗が3倍になるのでインピーダンス整合も容易になり回路の高速化が可能になる。但し、記

憶セルは、 LI 積が一定(Φ_0)と言う条件で設計されるため、この動作電流レベル I を下げることは、記憶セル自体の本質的な設計変更が必要になる。場合によっては、動作電流レベルの小さな全く新しい記憶セルを設計する必要もでてくる。しかし、新しい記憶セルを設計して動作電流レベルを下げることで、アクセス時間1ns以下の数MビットのRAMを実現することも可能であると考えられる。

3) 測定評価技術

半導体よりも遥かに優れた特性を有する超伝導素子の極限性能を、半導体を使った測定装置で評価することは、本質的に不可能である。従って、数GHzから数10GHz領域の高周波クロックでの測定評価には、超伝導素子自体を用いた何か特別な測定上の工夫が必要になると考える。このような工夫の一例として、第6章の結言でも述べたジョセフソンビルトインセルフテスト回路(J-BIST)技術がある[5]。今後、測定周波数の上昇と共に、ますますこのような測定評価技術の開発が重要になってくるものと考えられる。特に、最近米国を中心に積極的に研究されているRSFQ回路は、数10GHz以上の動作を目標としており、この測定評価技術自体が重要な研究課題になっている。

さらに、実用化の観点からは数GHzクロック動作を目的とする実装技術の開発も重要である。特に、ジョセフソン記憶回路はジョセフソン信号処理回路と組み合わせて高密度実装した時に始めてその能力を十分に発揮する事が出来るためである。

8.3 超伝導記憶回路の優位性

前節では、主に本研究で行ったラッチングロジックを基本としたジョセフソン記憶回路の今後の課題、方向性について議論した。ここでは、ラッチングロジック以外の超伝導回路、特に最近さかんに研究されているRSFQをはじめとする単一磁束量子(SFQ)回路も含めた超伝導回路の優位性に関して現在の半導体記憶回路と対比して議論する。

本研究を始めた当初(1985年前後)に於いては、1GHz動作を目標とするジョセフソン記憶回路の性能は半導体のRAMに比べて十分に優位性のあるものであったが、その後の半導体技術の急速な進展により、現在では大きな優位性を示すことが困難になってきている。

最近の傾向としては、半導体技術に於いてもトランジスタレベルの素子単体の大幅な性能向上は望めなくなっているため、パイプライン方式やマルチバンク・インタリーブ方式といったアーキテクチャの工夫により性能の向上をはかる研究も盛んに行われている[6]。パイプライン方式は、ラッチ回路と組み合わせて複数の回路ブロックを並列動作させることでスループットを向上させる方式である。例えば、4M(メガ)ビットという大容量で500MHzのクロック周

波数で動作する半導体SRAMが既に報告されている[7]。これはパーストパイプラインというパイプラインの1手法を採用してクロック周波数を500MHzに上げることでデータ転送レート(スループット)を大幅に向上させている。将来的には、1GHzで動作するSRAMも出現すると思われる。記憶回路が大容量になればなるほど、その動作時間の大部分を配線遅延時間が占めるようになる。そのため、記憶回路の各要素を分割して並列動作させることで性能を向上させるパイプライン的な手法の重要性はさらに強まるものと思われる。もっとも、分割を多くしてパイプラインの段数を増やすと、クロック周波数は増大するがレイテンシ(入力信号が入ってから出力信号が得られるまでの時間或いはクロック数)も増大してしまうため、逐次的なデータの読み書きの場合には性能がかえって落ちてしまう。さらに、パイプラインの段数の増大に伴い、クロック間で信号の受け渡しを行うラッチ回路の数が増大する。このことは、本来の論理演算には無関係なラッチ回路の占める割合が増大し回路全体としての性能が向上しなくなるため、半導体回路ではむやみにパイプラインの段数を増やすことが出来ないといった欠点もある。

本研究のジョセフソンRAMの設計では、まずジョセフソン記憶回路の基本性能の実証を目標としたため、このようなパイプライン方式は全く用いていない。しかし、デコーダ回路、ドライバ回路、センス回路等をそれぞれパイプライン的に動作させれば、さらに数倍高速に動作させることも可能であると考えられる。即ち、本研究で行ったラッチングを基本とした論理回路を用いた記憶回路でも、パイプライン方式を効果的に用いることで数GHzから10GHz程度のクロック周波数で動作させることは可能であると考えられる。この場合、パイプラインの段数を増やせば、それだけ高い周波数で動作可能になるわけであるが、従来からのラッチングを基本とした論理回路では、10GHz以上ではパンチスルーの問題やラッチ回路自体が比較的大きくなるため、10GHz程度が限界であると思われる。この動作速度は、現在の半導体記憶回路の動作速度に比べて約10倍高速ではあるが、4.2Kという極低温環境下で動作させることを考慮すると十分に優位性を保てる性能ではないと思われる。このため、今後は数10GHzから100GHzで動作する超伝導記憶回路を開発していく必要があると考える。

10GHz以上の高周波クロックでは、前節でも述べたSFQ(単一磁束量子)を基本とした超伝導論理素子を使用する方が効果的であると考えられる。本研究で行ったラッチングロジックを基本とするジョセフソン記憶回路は、基本的には半導体と同じレベル論理(超伝導状態と電圧状態の2つの電圧レベルを論理の"0"と"1"に対応させている)であるが、SFQ素子はこれとは全く異なった単一磁束量子(SFQ)の伝播を基本とするパルス論理を採用する。SFQ素子は、1ゲート或いは数ゲートを1クロックで動作させる所謂マイクロパイプラインアーキテクチャを採用する。この様なSFQ素子の利点は、第1に基本回路自体がラッチ機能を有するため、パイプライン化しても特別なラッチ回路を必要としない。このため、パイプラインの段数を

増やしても余分な回路が増えないため、パイプライン化により効果的に性能を向上させることが出来る。パイプライン化の究極とも言える1ゲート当たりのパイプライン化も可能である。第2に、本研究で行ったラッチングロジックの素子に比べても消費電力は10分の1以下に小さい。第3に、これは超伝導回路一般の特性であるが、素子と配線間のインピーダンス整合が可能のため回路の高速化が容易であるといった利点がある。

SFQ素子は、この様な多くの優位性を持つが、パルスの伝播を動作の基本としているため、2次元の記憶セルアレイを構成した場合に必要とされるX方向とY方向の一致論理を得ることが難しい。そのため、2次元の記憶セルアレイを基本とするRAMを構成することは困難であると言われている。反対に、パルスの伝播を動作の基本としたシフトレジスタは、容易に構成でき既に19GHzで動作するRSFQの1Kビットのシフトレジスタも報告されている[8]。この様にSFQを用いた数10GHzで動作する記憶回路は、まずシフトレジスタを基本にしたシリアルメモリから開発されると思われる。この時、数10GHzで動作するSFQを用いたシリアルメモリと本研究で開発した数GHzで動作するジョセフソン記憶回路を用いて記憶回路の階層構造を構成することもできると考えられる。例えば、数10GHzで動作するシリアルメモリの出力をシリパラ変換で10分の1に周波数を落として数GHzで動作するジョセフソン記憶回路10個に接続することで、全体として数10GHzで動作するRAMを構成することも可能である。この様に、記憶回路の階層構造を構成することで、本研究で開発した数GHzのジョセフソン記憶回路を数10GHzのシステムの中で使用することも可能であると考えられる。

参考文献

- [1] H. Numata, S. Nagasawa, and S. Tahara. "Fabrication process for sub-micron Josephson junction." Extended Abstracts of ISEC'93, pp. 280-281, 1993.
- [2] 早川尚夫編、「超高速ジョセフソン・デバイス」、培風館、p. 110.
- [3] K. K. Likharev and V. K. Semenov. "RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital system." IEEE Trans. Applied Superconductivity, vol. 1, no. 1, pp. 3-28, Mar. 1991.
- [4] K. K. Likharev, V. K. Semenov, and A. B. Zorin. "New possibilities for superconductor devices." in Superconducting Devices, Academic Press, p. 10.
- [5] Y. Hashimoto, S. Tahara, S. Nagasawa, H. Numata, C. Kato, M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada. "A Josephson built-in self-testing (JBIST) system for gigahertz functional tests of Josephson RAMs." Supercond. Sci. Technol. Vol. 9, pp. A59-A54, 1996.
- [6] 伊藤清男著、「超LSIメモリ」、培風館
- [7] K. Nakamura et al., "A 500MHz 4Mb CMOS pipeline-burst cache SRAM with point-to-point noise reduction coding I/O." ISSCC Digest of Technical Papers, pp. 406-407, 1997.
- [8] O. A. Mukhanov. "RSFQ 1024-bit shift register for acquisition memory." IEEE Trans. Applied Superconductivity, vol. 3, no. 4, pp. 3102-3113, Dec. 1993.

謝辞

本論文をまとめるにあたり、親切な御指導、御鞭撻を賜った名古屋大学大学院工学研究科量子工学専攻の早川尚夫教授に深く感謝致します。また、貴重な御教示、御助言を頂いた同量子工学専攻の水谷孝教授、藤巻朗助教授に心から感謝致します。

本研究は、NECマイクロエレクトロニクス研究所及び基礎研究所において、1986年から1997年にわたって行ったものですが、本研究の機会を与えていただいた阿部浩之元新機能素子研究部部長（現シリコンシステム研究所所長）、覧具博義元基礎研究所所長（現東京農工大教授）、小林功郎基礎研究所所長をはじめとする多くの方々の御協力と御援助によって本論文をまとめるに至ったので、ここで謹んでお礼を申し上げます。

本研究を遂行するに当たり終始変わらぬ御教示と共に御指導、御討論を頂いた和田容房前新機能素子研究部部長（現シリコンシステム研究所担当部長）、曾根純一新機能素子研究部部長、柘植久尚課長（現材料研究部担当部長）、石田一郎課長（現基礎研究所専任課長）、田原修一課長に心から感謝致します。ことに、和田容房部長には、ジョセフソン記憶回路の基本から御指導いただき、1KビットRAMの設計に関して多くの御教示と御指導を頂きました。田原修一課長には、4KビットRAMの開発に関して当初より共同研究者として、また後には上司として数々の御教示と御指導を頂き心より感謝致します。石田一郎課長、柘植久尚課長には特に製造プロセス技術に関して多くの助言と御討論を頂きました。

超伝導素子の研究グループの日高睦夫課長、吉田卓克主任（現半導体事業グループ課長）、蔡兆申主管研究員、沼田秀昭主任、橋本義仁研究員、萬伸一主任には、日頃から有益な御討論や多くの助言を頂きました。特に、日高睦夫課長には、Nb/AlO_x/Nb接合の作製に関して多くの御指導を頂きました。沼田秀昭主任には、バイアススパッタ技術をはじめ製造プロセス全般にわたって御協力を頂きました。橋本義仁研究員には、測定評価に関して多くの協力を頂きました。吉原（旧姓土田）早苗さん、加藤千夏さん、小池雅志さんには、記憶回路の試作に関して多くの御協力を頂きました。ここで、あらためて感謝致します。また、測定治具等の試作にあたり、惜しみない御協力を頂いた筑波技術支援部の皆様に厚くお礼申し上げます。

また、約17年前に物性物理学の魅力に目を開かせて頂いた元名古屋大学工学部応用物理学科志水正男教授に心から感謝致します。

最後に、これまでの研究生生活を支えてくれた妻、美悠紀の日頃の協力を心から感謝します。

1998年4月

永澤 秀一

付録

(付録A) ジョセフソン素子

ジョセフソン効果は、1962年に B. D. Josephson により理論的に予言され、翌年 P. W. Anderson と J. M. Rowell によって実験的に検証された。このジョセフソン効果を利用した素子は、2つの超伝導体間に弱結合部を設けた構造を持つことからジョセフソン接合とも呼ばれている。本研究で使用した Nb/AIOx/Nb ジョセフソン接合の構造の一例を図A-1に示す。超伝導体の Nb 電極間に膜厚約10nmの Al 層があり、その Al 層の上部表面の1nm程度の膜厚が酸化されて AIOx のバリア層（弱結合部）を形成している。このジョセフソン接合の一般的な電流電圧特性は、図A-2 (a) に示したように、零電圧状態では2つの超伝導体間の位相差 (θ) に応じて、

$$I_j = I_0 \sin \theta \quad (1)$$

で表される超伝導電流 I_j が2つの超伝導体間を流れる。 I_0 は、接合の臨界電流値（この写真では、約0.11mA）と呼ばれる値で、これ以上の電流を接合に加えると、

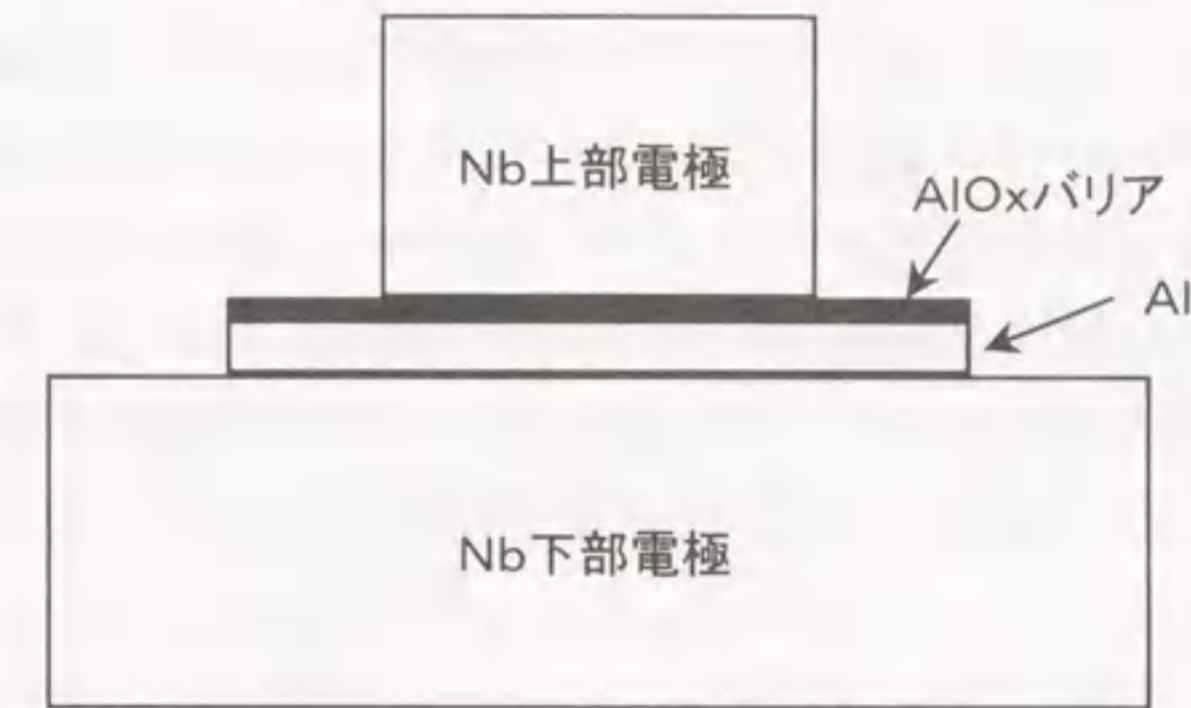
$$V = (\Phi_0 / 2\pi) \cdot (d\theta / dt) \quad (2)$$

で表される電圧が接合の両端に発生し、接合は電圧状態に転移し、図のような非線形な準粒子電流が流れる。ジョセフソン接合のこの転移に要する時間は、接合の面積が零の理想的な状況下では Φ_0 / V_g で与えられる。ここで、 Φ_0 は磁束量子の単位で 2.07×10^{-15} Wb、 V_g はジョセフソン接合のギャップ電圧であり Nb/AIOx/Nb 接合の場合 2.8mV であるため、転移時間はサブピコ秒という極めて短い時間となる。従って、超伝導状態と電圧状態の2つの状態を“0”と“1”の論理状態に対応させることで超高速のスイッチングが可能な論理素子を実現できる。

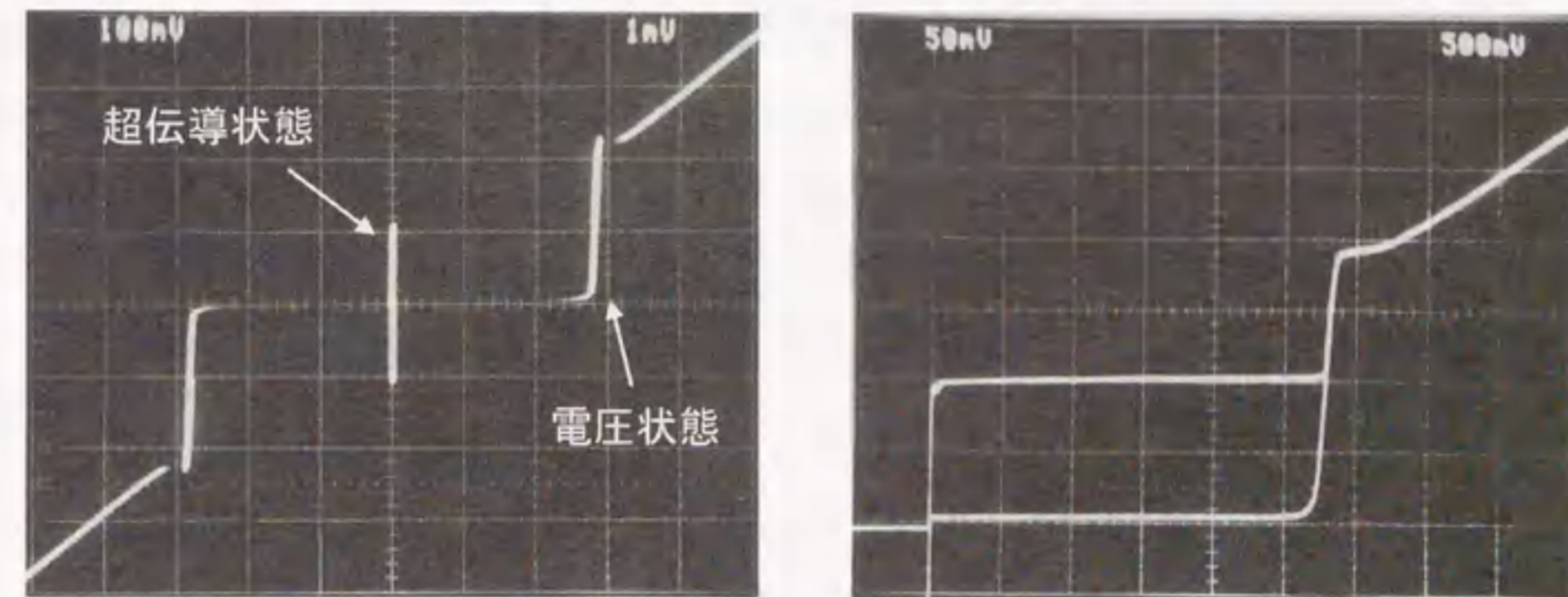
大規模な記憶回路を実現するためには、ジョセフソン接合の臨界電流値の均一性が重要である。4KビットRAMに集積されたジョセフソン接合の数は約2万1千個であり、4KビットRAMが正常に動作するためには全ての接合の臨界電流値のバラツキ（標準偏差 σ ）がある値以下になる必要がある。図A-2 (b) にの大きさ $2\mu\text{m}$ 角のジョセフソン接合を1000個直列に接続した回路の電流電圧特性を示す。臨界電流値の均一性を示す標準偏差 σ は1.5%で、非常に良好な均一性が得られている。標準偏差 σ が1.5%という値は1000個の内99.7%のジョセフソン接合の臨界電流値が $\pm 4.5\%$ (3σ) 以内に収まるということに対応する。また、臨界電流値は、ここでは約0.1mAであるが、これは温度4.2Kでの熱的な揺らぎ (Thermal Fluctuations) に起因した電流 I_t (Thermal Current) の大きさに比べて十分に大きく設定され

ている。熱電流 I_t の大きさは、下の式（第8章の参考文献[4]）から4.2Kで約 $0.2\mu\text{A}$ である。従って、臨界電流値0.1mAという値は、4.2Kの熱電流に比べて500倍の大きさである。

$$I_t = 2\pi k_B T / \Phi_0 \quad (3)$$



図A-1 Nb/AIOx/Nbジョセフソン接合の素子構造の断面概略図



(a) 1個の接合の電流電圧特性
縦軸: 電流 0.1mA/div
横軸: 電圧 1mV/div

(b) 1000個の接合の電流電圧特性
縦軸: 電流 0.05mA/div
横軸: 電圧 0.5V/div

図A-2 ジョセフソン接合の電流電圧特性の一例
接合サイズ: $2\mu\text{m} \times 2\mu\text{m}$

(付録B) ジョセフソン記憶回路の特徴

ジョセフソン記憶セルは、ジョセフソン接合を含んだ超伝導ループを基本として構成され、この超伝導ループに流れる循環電流即ち磁束量子 Φ_0 の有無あるいは方向を2進数の“0”“1”に対応させて、 $L I$ 積が $n\Phi_0$ という量子化条件で情報を蓄えるという特徴をもっている。ここで、 L は超伝導ループのインダクタンス値で I はそこを流れる循環電流値である。従って、情報の保持に対しては電力が消費されず、また、状態の遷移は、 $n\Phi_0$ 程度の磁束が超伝導ループにジョセフソン接合を介して出入りするによって引き起こされる。この状態遷移に要する時間は、ジョセフソン接合のギャップ電圧を V_g とすると $n\Phi_0/V_g$ で評価できる。従って、蓄える磁束量子の数 n が小さいほど状態遷移に要する時間は短くなる。現在の設計では n は1個または数個であるため、この値は数 μs 程度と超高速の動作が可能となる。この様にジョセフソン記憶セルは、その動作の基本原則から考えて低消費電力性と高速性という特徴を持っている。

図B-1に、ジョセフソン記憶セルの最も基本的な構成要素であるジョセフソン接合を含む超伝導ループの等価回路図を示す。これを用いて、ジョセフソン記憶セルの基本的な動作原理を説明する。

ジョセフソン効果の方程式から接合 J を流れる電流 I_j と接合の両端の電圧 V は、接合の位相を θ として、

$$I_j = I_0 \sin\theta \quad (1)$$

$$V = \Phi_0/2\pi \cdot d\theta/dt \quad (2)$$

と表される。一方、インダクタンス L の両端の電圧は、インダクタンスを流れる電流を I_L として、

$$V = L \cdot dI_L/dt \quad (3)$$

と表すことができる。(2)式と(3)式の電圧が等しいことから、

$$d/dt \cdot (\Phi_0/2\pi \cdot \theta - LI_L) = 0 \quad (4)$$

が得られる。ここで I_L は、

$$I_g = I_j + I_L = I_0 \sin\theta + I_L \quad (5)$$

の関係があるので(4)式に代入して、

$$d/dt \cdot (\Phi_0/2\pi \cdot \theta - LI_g + L I_0 \sin\theta) = 0 \quad (6)$$

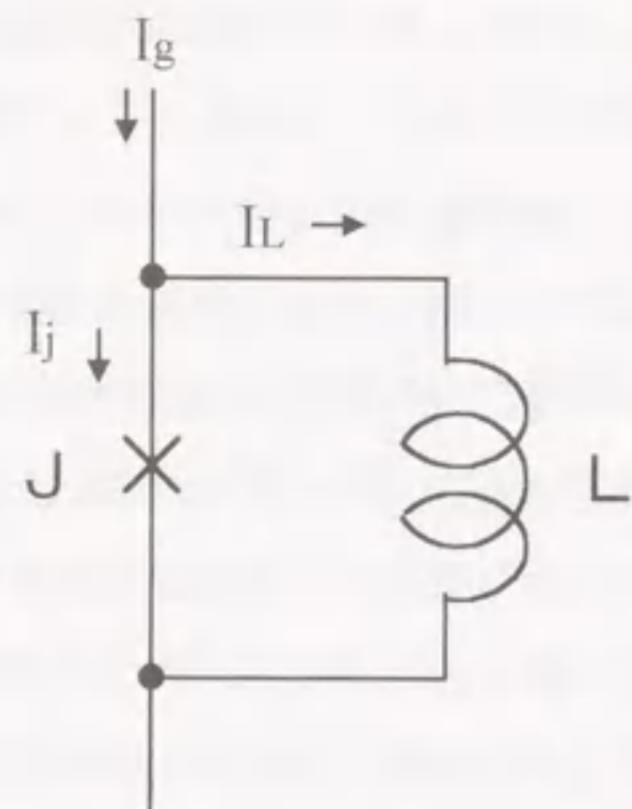
$I_g=0$ のとき $\theta=0$ の初期条件から、

$$I_g = \Phi_0/2\pi L \cdot \theta + I_0 \sin\theta \quad (7)$$

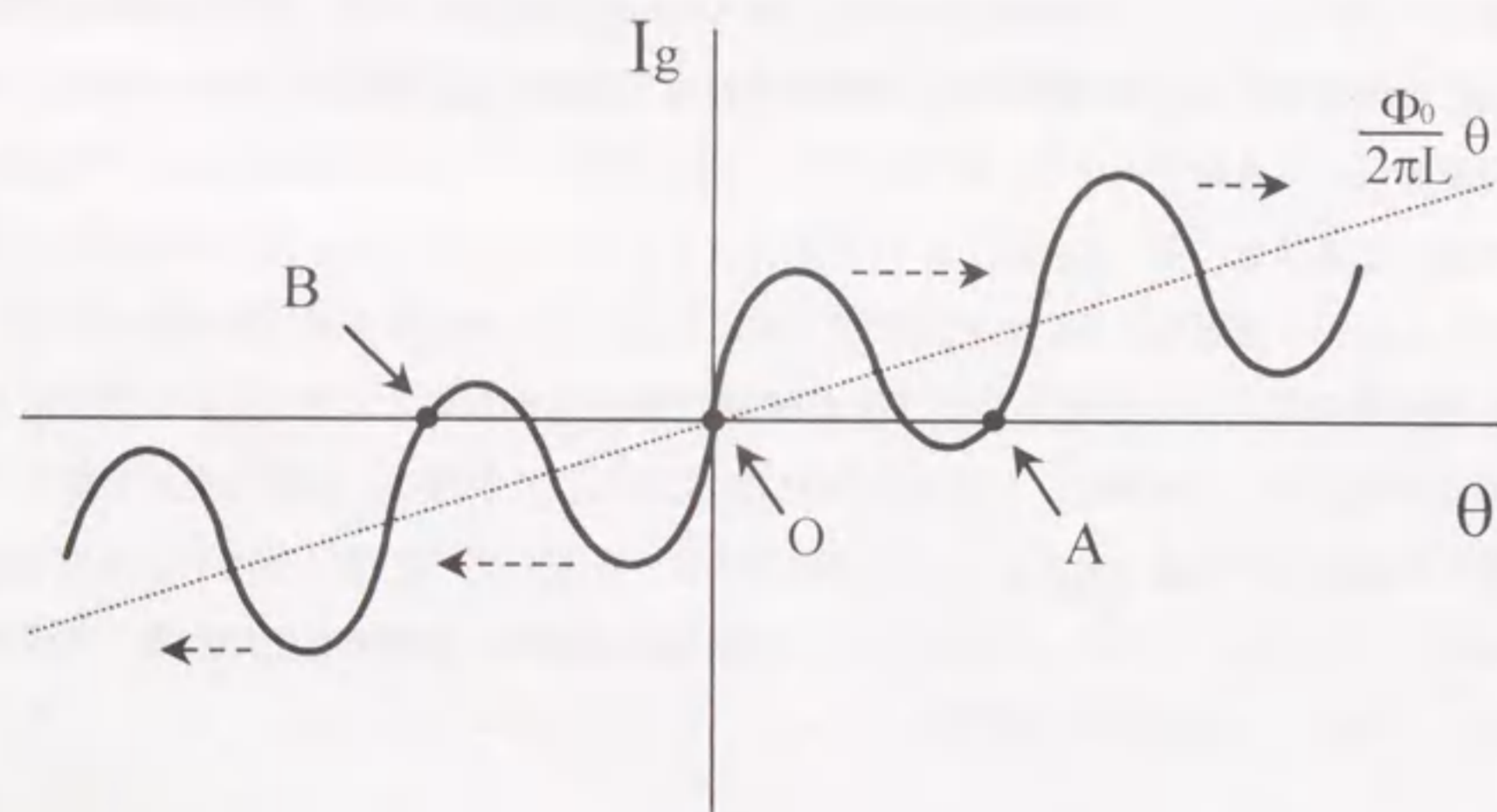
が得られる。この電流 I_g と位相 θ の関係を示した図が、図B-2である。このグラフは、

$I_g = a\theta + b\sin\theta$ で、比例定数が $a = \Phi_0/2\pi L$ 、 $b = I_0$ という関数である。この図から、超伝

導ループの磁束の保持や出し入れの振る舞いをよく理解することができる。まず、超伝導ループに加える電流 I_g をゼロから増加してゆくと、曲線にそって電流は増加するが、1つ目の山を越えたところで位相の飛びが起こり磁束量子が1個ループに入る。さらに電流を増加させていけば、曲線の山を越えるたびに磁束量子が1個づつループに入っていく。その後、電流を減少させていくと曲線の谷の部分でまた位相の飛びが発生して、谷を越えるたびに1個づつ磁束量子がループから排除されていく。しかし、図の場合、電流をゼロにしても、電流ゼロの横軸と曲線との交点Aがあるため、この点が安定点になり磁束量子1個が超伝導ループに保持される。この保持された磁束量子を超伝導ループから排除するためには、負方向の電流 I_g を加え曲線の谷を越えさせる必要がある。これにより原点Oの磁束量子のない初期状態に戻ることができる。同様にして、この初期状態から負方向に電流 I_g を増加させていくと今度は曲線の谷をこえるたびに逆方向の磁束量子(超伝導ループを流れる電流の向きが逆になる)が1個づつループに入っていく。その後、負方向の電流を減少させていくと、山を越えるたびに1個づつ逆方向の磁束量子がループから排除されていく。そして、電流をゼロにしても、電流ゼロの横軸と曲線との交点Bがあるため、この点が安定点になり逆方向の磁束量子1個が超伝導ループに保持される。この様に、この図では、超伝導ループの安定点は、磁束量子のない状態の原点Oと磁束量子が1個保持された状態の点Aと逆方向の磁束量子が1個保持された状態の点Bの3点になる。記憶セルでは、磁束量子のあるなしで原点Oと点Aをデータの“0”と“1”に対応させたり、或いは保持された電流の向きの違いで点Aと点Bを“1”と“0”に対応させることもある。O、A、Bの3点を使って3値メモリにするという提案もある。この図では、安定点はこの3点であるが、図からも容易に解るように、比例定数($a = \Phi_0/2\pi L$ 、 $b = I_0$)即ち超伝導ループのインダクタンス L とジョセフソン接合の臨界電流値 I_0 の値の大小で交点の数は変化することが解る。多数の交点を持てば、それだけ多くの磁束量子を蓄えることになる。現在では、上でも述べた様に蓄える磁束量子の数が1個の記憶セルを用いているが、ジョセフソン記憶セルの開発の初期のころには蓄える磁束量子の数が数10個以上の記憶セルも報告されている。



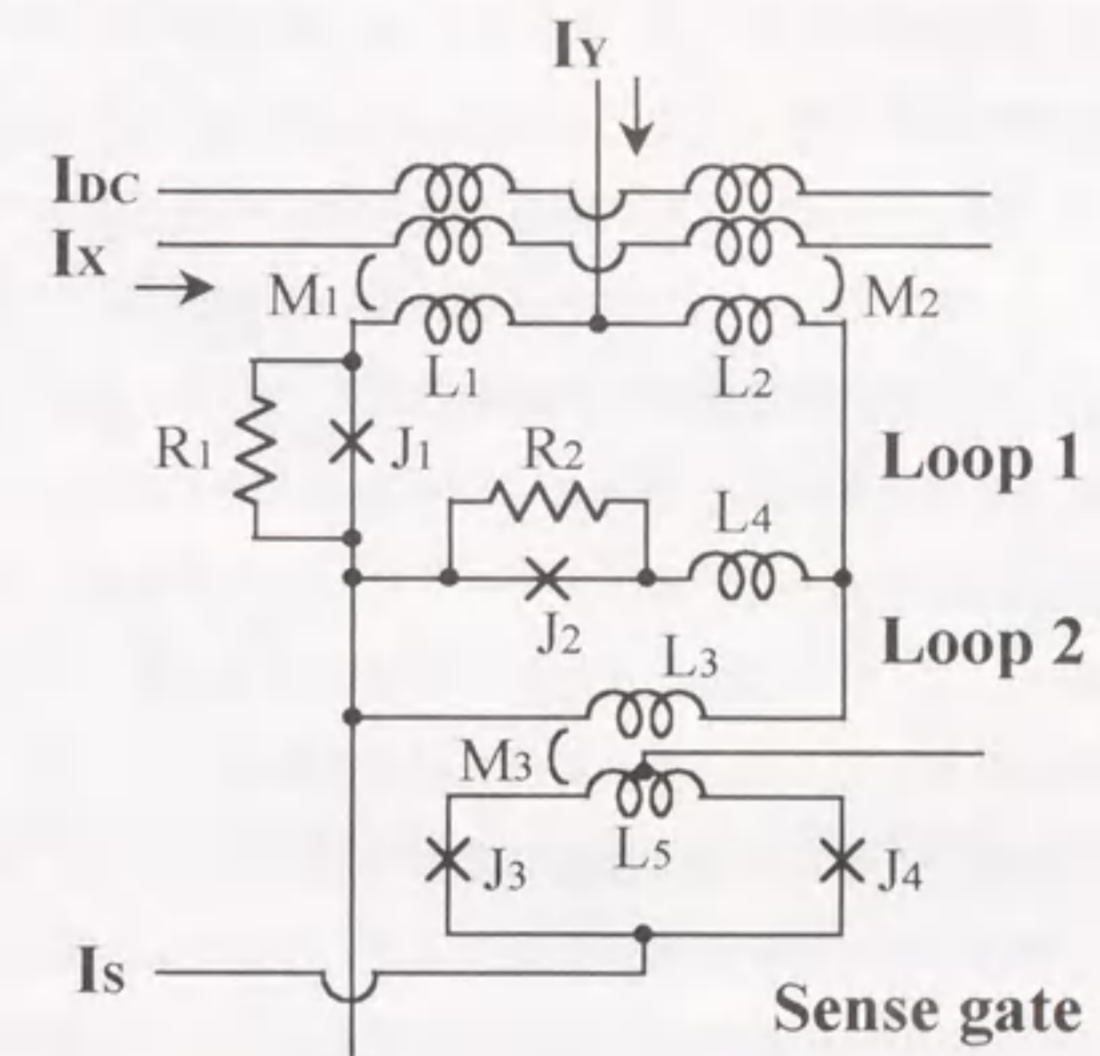
図B-1 ジョセフソン接合を含む超伝導ループの等価回路図



図B-2 上記超伝導ループにおける入力電流 I_g とジョセフソン接合の位相 θ の関係

(付録C) 磁束量子転移型記憶セル

磁束量子転移型記憶セルは田原らにより提案され、その構成及び動作原理は第4章の参考文献[1,2]に詳しく記されているので、ここでは要点のみを簡単に述べる。図C-1に磁束量子転移型記憶セルの等価回路図を示す。磁束量子転移型記憶セルは、ジョセフソン接合(J1)とダンピング抵抗(R1)を含む超伝導ループ1と、ジョセフソン接合(J2)とダンピング抵抗(R2)を含む超伝導ループ2と、ループ1に直結された制御配線(I_y)と、ループ1に磁氣的に結合するように配置された二つの制御配線(I_x, I_{DC})と、ループ2に磁氣的に結合するように配置された読み出しゲート(2接合SQUID)とから構成されている。



図C-1 磁束量子転移型記憶セルの等価回路図

$L_1 = 5 \text{ pH}$, $L_2 = 4 \text{ pH}$, $L_3 = 7 \text{ pH}$, $L_4 = 1 \text{ pH}$, $I_1 = 0.2 \text{ mA}$, $I_2 = 0.1 \text{ mA}$, $I_3 = 0.1 \text{ mA}$, $I_4 = 0.1 \text{ mA}$, ($I_1 \sim I_4$: $J_1 \sim J_4$ の臨界電流値) $R_1 = 1.5 \Omega$, $R_2 = 1.5 \Omega$

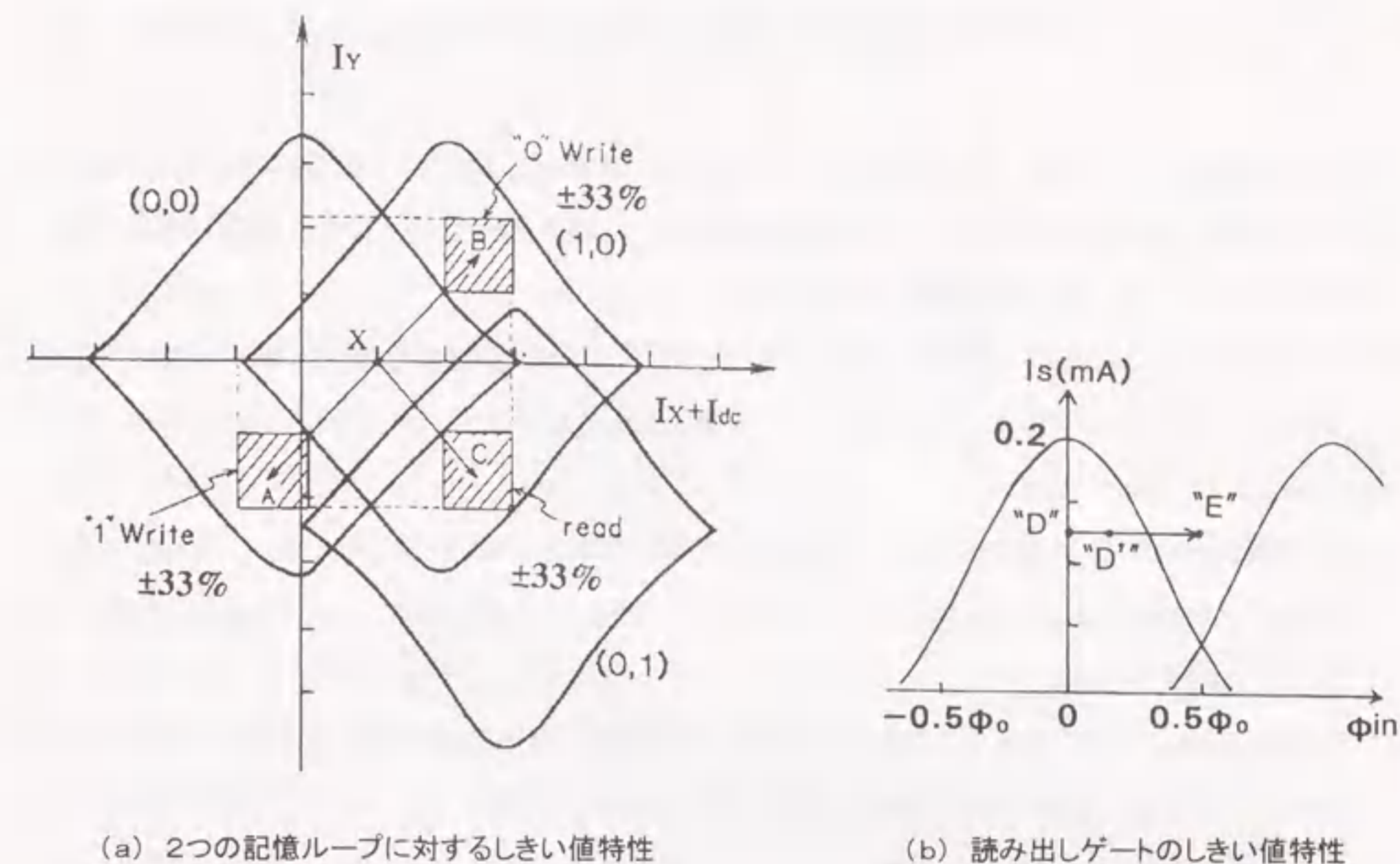
次に、磁束量子転移型記憶セルのしきい値特性を用いて動作原理を説明する。図C-2に2つの超伝導ループに対するしきい値特性(a)と読み出しゲートのしきい値特性(b)を示す。磁束量子転移型記憶セルのループ1に補足される磁束量子の数 n_1 、ループ2に補足される磁束量子の数 n_2 として、記憶セルの量子状態を (n_1, n_2) で表すと、しきい値特性の3つのしきい値曲線はそれぞれ $(0, 0)$ 、 $(1, 0)$ 、 $(0, 1)$ の状態を示す。DCオフセット電流 I_{DC} により、点“X”を動作の原点とする。点“X”の状態は、 $(0, 0)$ の状態と $(1, 0)$ の状態の2つの安定な状態が存在する。この2つの安定状態をデータ“1”、データ“0”に対

応させる。図の“A”、“B”、“C”の各点は、それぞれ“1”書き込み、“0”書き込み、読み出し時の動作点を示している。データ“1”の書き込み時には、 I_x 、 I_y を負の方向に印加して動作点を原点“X”から点“A”に移し、記憶ループ内の量子状態を(0, 0)とする。書き込みの後、 I_x 、 I_y がゼロに戻った時には、動作点は同じ(0, 0)状態の原点“X”に戻り状態を保持している。また、データ“0”の書き込み時には、 I_x 、 I_y を正の方向に印加して動作点を原点“X”から点“B”に移し、記憶ループ内の量子状態を(1, 0)とする。その後、 I_x 、 I_y がゼロに戻った時には、動作点は同じ(1, 0)状態の原点“X”に戻り状態を保持している。次に、読み出し時には、 I_x を正の方向に I_y を負の方向に印加して動作点を原点“X”から点“C”に移す。この時、書き込まれていた情報がデータ“1”であれば動作点は、(0, 0)のしきい値曲線内から(0, 1)のしきい値曲線内に移り即ち量子状態が変化して、ループ2に1個の磁束量子が侵入する。このことは(b)の読み出しゲートのしきい値特性上において動作点が点“D”から点“E”に移ることに対応する。従って、それに伴い読み出しゲートが電圧状態にスイッチする。一方、書き込まれていた情報がデータ“0”であれば動作点は、動作点は(1, 0)のしきい値曲線内を移動するだけであり、量子状態の変化はなく読み出しゲートも電圧状態にスイッチしない。読み出しゲートのしきい値特性上では動作点が点“D”から点“D'”に移ることに対応している。データ“0”を読み出して I_x 、 I_y がゼロに戻った時には、量子状態は(1, 0)のまま変化していないので、そのままその状態を保持する。一方、データ“1”を読み出して I_x 、 I_y がゼロに戻る時には、しきい値曲線を必ず横切るために(0, 1)の量子状態から原点の量子状態に量子状態が変化する。原点の量子状態は、(0, 0)と(1, 0)の2つの安定な量子状態が存在するが、ダンピング抵抗を適切な値に設定することで、安定に(0, 0)の状態に復帰させることができる。即ち、非破壊読み出し動作を実現することができる。

この磁束量子転移型記憶セルの動作を簡単に述べると、ループ1で情報を蓄え、読み出し動作時にはループ1の状態に応じてループ2が磁束量子転移を起こして、ループ2に磁気的に結合した読み出しゲートに情報を伝達する。また、読み出しゲートは、入力信号である I_x と I_y に直接結合しておらず、ループ2の磁束量子転移をセンスすることによりデータを読み出すので、RAMを構成した場合の半選択状態に対しても動作マージンを広くとれるという特徴がある。

以上の動作の説明から解るように、この磁束量子転移型記憶セルで記憶動作を行うためには2つの制御信号 I_x と I_y の電流の流れる方向(極性)を変化させる必要がある。即ち、データ“1”を書き込む時には I_x と I_y に共に負の電流を流し、データ“0”を書き込む時には I_x と I_y に共に正の電流を流し、読み出し時には I_x に正 I_y に負の電流を流す(図C-1の等価回路で制御配線の矢印の向きを電流の正の方向とした)。このように、2つの制御信号 I_x と I_y の極

性の組み合わせでデータ“1”と“0”の書き込みや読み出しを行う。2つの制御信号 I_x と I_y に極性を付加することで、XとYのアドレス情報に加えてデータ及びR/W情報を持たせて、データ及びR/W信号の制御配線をなくしている。



図C-2 磁束量子転移型記憶セルのしきい値特性

本研究に関する業績

本研究に関する発表論文

- [1] S. Nagasawa, H. Tsuge, and Y. Wada, "Planarization technology for Josephson integrated circuits," IEEE Electron device letters, vol. 9, no. 8, pp. 414-416, Aug. 1988.
- [2] S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida and S. Tahara, "Nb multilayer planarization technology for a subnanosecond Josephson 1K-bit RAM," IEEE Trans. Mag. vol. 25, no. 2, pp. 777-782, Mar. 1989.
- [3] S. Nagasawa, Y. Wada, M. Hidaka, H. Tsuge, I. Ishida and S. Tahara, "570ps 13-mW Josephson 1-kbit NDRO RAM," IEEE J. Solid-State Circuits, vol. 24, no. 5, pp. 1363-1371, Oct. 1989.
- [4] S. Nagasawa, S. Tahara, S. Tsuchida, H. Tsuge and I. Ishida, "High speed polarity-convertible drivers for Josephson RAMs," Supercond. Sci. Technol. vol. 4, pp. 637-640, 1991.
- [5] S. Nagasawa, S. Tahara, H. Numata and S. Tsuchida, "Miniaturized vortex transitional Josephson memory cell by a vertically integrated device structure," IEEE Trans. on Appl. Supercond., vol. 4, no. 1, pp. 19-24, Mar. 1994.
- [6] S. Nagasawa, Y. Hashimoto, H. Numata, S. Tsuchida, and S. Tahara, "380ps, 9.5mW Josephson 4Kbit RAM," Electronics Letters, vol. 30, no. 10, pp. 761-762, May 1994.
- [7] S. Nagasawa, S. Tahara, H. Numata, Y. Hashimoto, and S. Tsuchida, "A Resistor coupled Josephson polarity-convertible driver," IEICE Trans. Electron., vol. E77-C, no. 8, pp. 1176-1180, Aug. 1994.
- [8] S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara, "A 380ps, 9.5mW Josephson 4-Kbit RAM operated at high bit yield," IEEE Trans. on Appl. Superconductivity, vol. 5, no. 2, pp. 2447-2452, June 1995.
- [9] S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara, "1GHz clock operation of Josephson memories," Applied Superconductivity, 1998, to be published.

本研究に関する国際会議発表

- [1] 1988 ASC (Applied Superconductivity Conference)
S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida and S. Tahara,
"Nb multilayer planarization technology for a subnanosecond Josephson 1K-bit RAM"
- [2] 1989 ISEC (International Superconductivity Electronics Conference)
S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida, and S. Tahara,
"Subnanosecond Josephson high speed memory"
- [3] 1991 ISEC
S. Nagasawa, S. Tahara, S. Tsuchida, H. Tsuge and I. Ishida,
"High speed polarity-convertible drivers for Josephson RAMs"
- [4] 1992 IEDM (International Electron Device Meeting)
S. Nagasawa, S. Tahara, H. Numata and S. Tsuchida,
"Miniaturized vortex transitional memory cell by a Josephson high-speed RAM"
- [5] 1994 ASC
S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara,
"A 380ps, 9.5mW Josephson 4-Kbit RAM operated at high bit yield"
- [6] 1995 ISEC
S. Nagasawa, H. Numata, C. Kato, and S. Tahara,
"Evaluation of trapped magnetic flux for Josephson 4-Kbit RAMs"
- [7] 1997 ISEC
S. Nagasawa, H. Numata, Y. Hashimoto, and S. Tahara,
"High-frequency clock operation of Josephson Memories"

本研究に関連した共著論文

- [1] Y. Wada, S. Nagasawa, I. Ishida, "280-ps 6-bit RCJL decoder using high-drivability and unit circuit for a 1-kbit Josephson cache memory," IEEE J. Solid-State Circuits, vol. SC-22, no. 5, pp. 892-898, Oct. 1987.
- [2] Y. Wada, S. Nagasawa, I. Ishida, M. Hidaka, H. Tsuge, and S. Tahara, "A 570 ps, 13 mW Josephson 1kb RAM," ISSCC Digest of Technical Papers, pp. 84-85, Feb. 1988.
- [3] Y. Wada, M. Hidaka, S. Nagasawa, I. Ishida, "AC- and DC-powered subnanosecond 1-kbit Josephson cache memory design," IEEE J. Solid-State Circuits, vol. 23, no. 4, pp. 923-932, Aug. 1988.
- [4] T. Inoue, M. Hidaka, and S. Nagasawa, "End-point detection method in etch-back planarization process for Josephson integrated circuits," Japanese J. Appl. Phys., vol. 30, No. 2A, pp. L192-L194, Feb. 1991.
- [5] S. Tahara, I. Ishida, S. Nagasawa, M. Hidaka, H. Tsuge, and Y. Wada, "4-Kbit Josephson nondestructive read-out RAM operated at 580psec and 6.7mW," IEEE Trans. Mag., vol. 27, pp. 2626-2633, 1991.
- [6] I. Ishida, S. Tahara, M. Hidaka, S. Nagasawa, S. Tsuchida, and Y. Wada, "A fabrication process for a 580 ps 4Kbit Josephson non-destructive read-out RAM," IEEE Trans. on Magn., vol. 27, no. 2, pp. 3113-3116, Mar. 1991.
- [7] T. Inoue, S. Tahara, S. Nagasawa, H. Tsuge, and I. Ishida, "Superconductive gigahertz power supply for Josephson multi chip system," IEEE Trans. on Applied Superconductivity, vol. 2, no. 1, pp.15-20, Mar. 1992.
- [8] H. Numata, S. Nagasawa, and S. Tahara, "Fabrication process for sub-micron Josephson junction," Extended Abstracts of ISEC'93, pp. 280-281, 1993.
- [9] S. Tahara and S. Nagasawa, "Large scale integration for high-speed Josephson random access memory," Applied Superconductivity, vol. 1, nos.10-12, pp. 1879-1891, 1993.
- [10] S. Tahara and S. Nagasawa, "Vortex transitional non-destructive read-out Josephson memory cell," NEC Res. & Develop., vol. 34, no. 4, pp. 415-424, 1993.
- [11] S. Tahara, S. Nagasawa, H. Numata, Y. Hashimoto, S. Yorozu, and H. Matsuoka, "Josephson high-speed and low-power LSI technology," NEC Res. & Develop., vol. 36, no. 1, pp. 221-230, 1995.
- [12] H. Numata, S. Nagasawa, M. Koike, and S. Tahara, "Fabrication technology for a

high-density Josephson LSI using an electron cyclotron resonance etching technique and a bias-sputtering planarization," Supercond. Sci. Technol., vol. 9, pp. A42-A45, 1996.

- [13] Y. Hashimoto, S. Tahara, S. Nagasawa, H. Numata, C. Kato, M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada, "A Josephson built-in self-testing (JBIST) system for gigahertz functional tests of Josephson RAMs," Supercond. Sci. Technol. Vol. 9, pp. A59-A54, 1996.
- [14] H. Numata, S. Nagasawa, and S. Tahara, "A Vortex transitional memory cell for 1-Mbit/cm² density Josephson RAMs," IEEE Trans. on Applied Superconductivity, vol. 7, no. 2, pp. 2282-2287, June 1997.

