

博士学位論文

ヘテロエピタキシャル GeSn 薄膜成長における
Sn 添加効果と転位制御技術に関する研究

**Study on Impact of Sn and Control of Dislocations in
Heteroepitaxial Ge_{1-x}Sn_x Layer Growth**

2011 年度

名古屋大学大学院工学研究科結晶材料工学専攻

ナノ構造デバイス工学講座 財満研究室

学籍番号 480961026

志村 洋介

目次

第 1 章 序論	1
1.1 本研究の背景	1
1.2 本研究の目的	18
1.3 本研究の概要	20
第 2 章 薄膜成長技術と評価技術	25
2.1 分子線エピタキシー法	25
2.2 X線回折二次元逆格子空間マッピング	28
2.3 透過電子顕微鏡	35
2.4 四探針法	35
第 3 章 高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成	41
3.1 はじめに	41
3.2 実験方法	42
3.3 臨界 Sn 組成と歪緩和率の成長温度依存性	44
第 4 章 $\text{Ge}_{1-x}\text{Sn}_x$ 層の転位構造制御	59
4.1 はじめに	59
4.2 基板とのミスフィット差が歪緩和に与える影響	59
4.3 イオン注入ダメージと転位導入の関係	75

第 5 章 $\text{Ge}_{1-x}\text{Sn}_x$ 層の不純物制御	87
5.1 はじめに	87
5.2 実験方法	89
5.3 <i>in-situ</i> Ga ドーピングが $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性に与える影響	89
5.4 Ga の深さプロファイルへの Sn 導入の効果	92
5.5 Ga の活性化率への Sn 導入の効果	95
第 6 章 結論	107
6.1 本研究の要約	107
6.2 今後の課題	110
謝辞	112
研究業績	113

第1章 序論

1.1 本研究の背景

今日の高度情報化社会を支えているのは、高性能なコンピュータに他ならない。一方で、様々な情報処理をコンピュータに依存するようになったことで、コンピュータで扱うデータ量は、年々増大している。従って今後、コンピュータに要求される処理能力はさらに増大していくことは想像に容易い。コンピュータの処理能力を左右する超々大規模集積回路 (Ultra Large Scale Integrated Circuit: ULSI) の性能向上は、その基本素子である金属-酸化物-半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor: MOSFET) の性能向上によって達成される。MOSFET は、構造の比例縮小 (スケーリング) によってその性能向上がなされてきた。しかし、ゲート膜厚の縮小によるゲートリーク電流の増大や、ショートチャネル効果、微細化に伴う様々な揺らぎ、ばらつき顕在化等により、スケーリングによるさらなる性能向上は困難になってきている。従って、近年ではスケーリングに依らない性能向上方法の確立が急務となっている。

MOSFET の性能の指標となるのは、MOSFET がオンとなったときにチャネルを流れる電流の大きさである。MOSFET の飽和電流 I_{Dsat} はチャネルのキャリア移動度 μ に比例し、次式のように表される[1]。

$$I_{Dsat} = \frac{Z}{2ML} \mu C_{OX} (V_G - V_T)^2$$

$$M = 1 + \frac{1}{2C_{OX}} \sqrt{\frac{\epsilon_s q N_A}{\psi_B}}$$
(1.1)

ここで、 Z はゲート幅、 L はゲート長、 C_{OX} は絶縁膜容量、 V_G はゲート電圧、 V_T は閾値電圧である。また、 M に用いられている ϵ_s はチャネル材料の誘電率、 N_A はチャネルの不純物濃度、 ψ_B は真性フェルミレベルと基板フェルミレベルの差である。一方、ULSI 中では MOSFET の多段の接続によってロジック回路を形成しており、回路の遅延は、一つ一つの MOSFET のゲートを充電する RC 遅延で決定される。一つの MOSFET の遅延時間 τ は、チャネル抵抗 R と、次段の MOSFET のゲート容量 C を用いて

$$\tau = RC = \frac{VC}{I_{Dsat}} \propto \frac{1}{\mu} \quad (1.2)$$

と表せるため、チャンネル部の移動度の増大によって、遅延時間を縮小できる。

移動度向上の方法の一つとして、MOSFET のチャンネル部に、これまで用いられてきた Si に代わって新規高移動度材料を用いる技術が注目されている。表 1.1 に、様々な半導体材料の主な物性値を示す。GaAs 等の III-V 族半導体は直接遷移型の半導体であり、有効質量の小さな Γ 点での電子駆動が可能であるために非常に高い電子移動度が得られる。しかし、既存の Si プロセスに代わる新たな設備へのコストが障壁となり、III-V 族半導体を用いた MOSFET の実用化はまだ難しい。一方で、Ge は①①化と同じ IV 族元素であり、既存の Si プロセスへの親和性が高いこと、②電子・正孔共に Si を超える移動度を有していることから、次世代高速 MOSFET のチャンネル材料の有力な候補材料である。実際に近年、電子・正孔共に Si MOSFET よりも高い移動度が実現されている [2, 3]。

1.1.1 歪が移動度に与える影響

一方で、結晶に歪を印加することで移動度の増大を図る技術も注目されている。歪の印加された結晶は、各原子の原子間距離が変化し、エネルギーバンド構造が変調される。その結果、キャリアの有効質量と各バレーへの占有率が変化するために、キャリア移動度が変わる。これは Si に限らず Ge においても有効である。歪の種類は、応力の掛かり方によって、二軸伸張歪、二軸圧縮歪、一軸伸張歪および一軸圧縮歪に分けられる。

Fischetti らは、Si および Ge に面内二軸歪が印加された場合の、バンド構造およびキャリア移動度の変化を理論的に計算している [4]。図 1.1 および図 1.2 に、理論計算によって見積もられた、Ge に面内二軸歪を印加した場合のバンド構造および有効質量の歪量依存性を示す。無歪の Ge の伝導帯の底は L 点に存在するが、圧縮歪を印加した場合には、 Δ_{100} 点のエネルギーが低下し、L 点のエネルギーに近づくことでバレー間の散乱が増大し、電子移動度は圧縮歪に対して減少する。逆に伸張歪を印加した場合には、L

表1.1. 諸半導体のバルクキャリア移動度 (at 300K)。

	Si	Ge	GaAs	InAs	InSb
電子移動度 μ_e (cm^2/Vs)	1600	3900	9200	40000	77000
正孔移動度 μ_h (cm^2/Vs)	430	1900	400	500	850

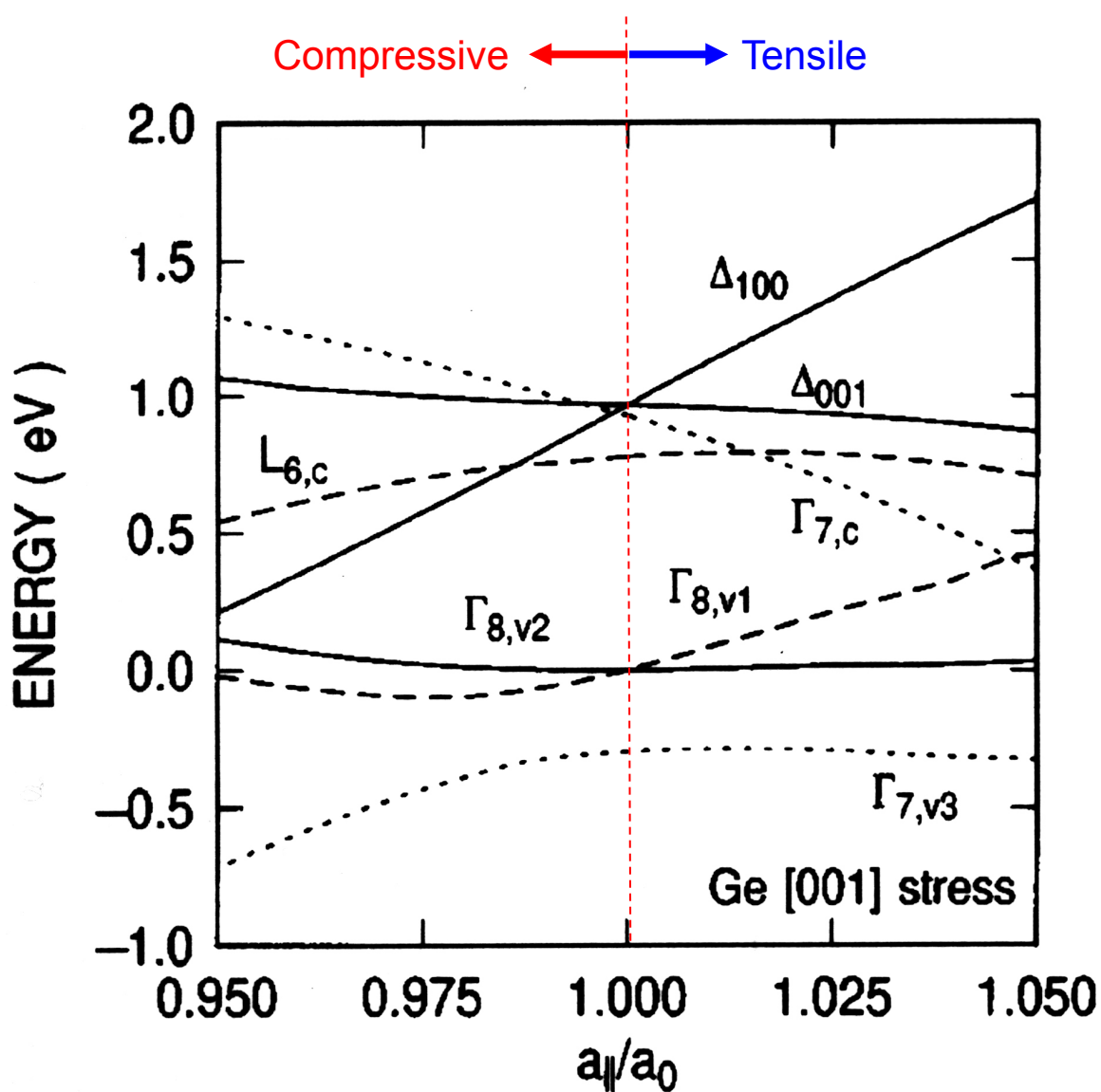


図1.1. (001)面内二軸歪を印加した場合のGeのバンド構造変化[4]。

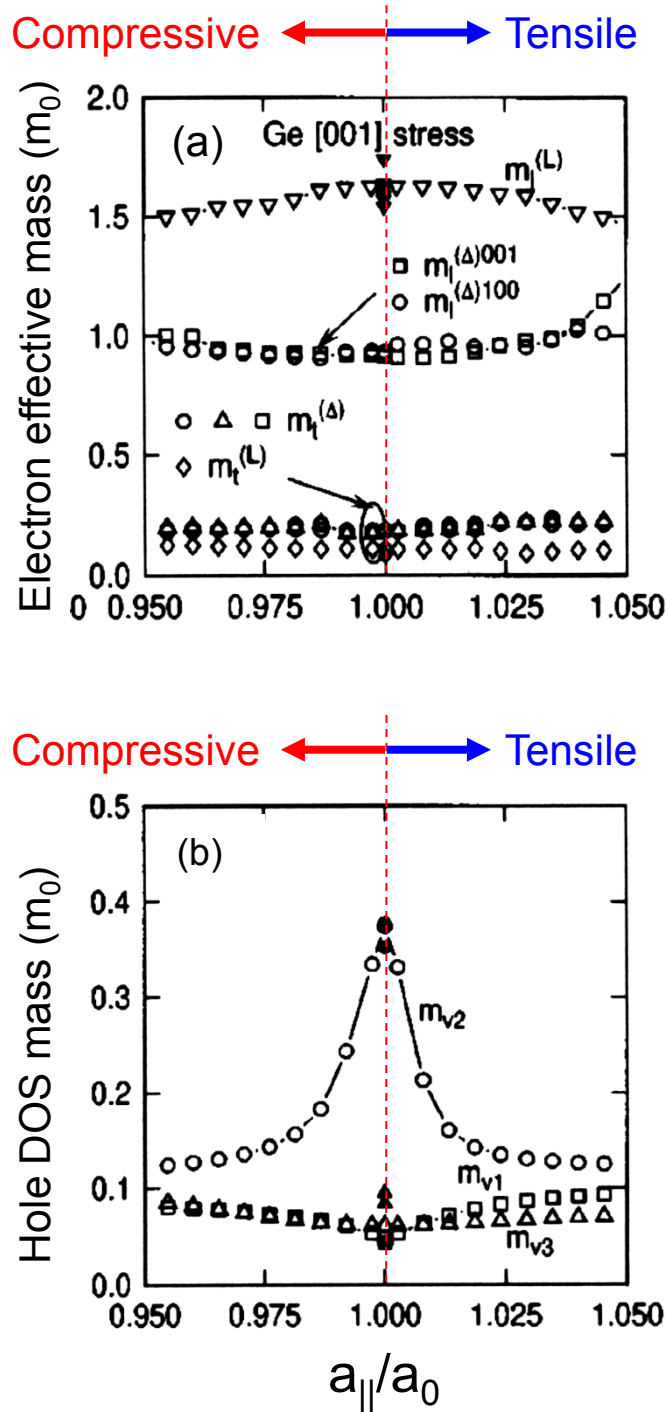


図1.2. Geに対して(001)面内2軸歪を印加した場合の電子および正孔の有効質量変化。(a) 電子、(b) 正孔の有効質量[4]。

点における有効質量 $m_l^{(L)}$ および $m_t^{(L)}$ が緩やかに減少するため、電子移動度は緩やかに増大する。しかし、伸張歪量が 1.3% を超えると、 $\Gamma_{7,c}$ 点が L 点よりも低エネルギーとなる。 $\Gamma_{7,c}$ 点における有効質量は無歪の Ge において $m^{(\Gamma)}=0.056m_0$ と、L 点および Δ_{100} 点における有効質量に比べて非常に小さいため、 $\Gamma_{7,c}$ 点のエネルギーが L 点よりも低くなることで電子移動度が急増する。

一方、価電子帯については、重い正孔と軽い正孔のバンドの縮退が、歪を加えることで解ける。圧縮歪の場合には重い正孔バンド $\Gamma_{8,v2}$ が価電子帯端を占める。さらに図 1.2 に示すように、重い正孔の有効質量は圧縮および伸張歪に対して急激に減少するため、圧縮歪を印加することで正孔の移動度が増大する。逆に伸張歪の場合には軽い正孔バンド $\Gamma_{8,v1}$ が価電子帯端を占め、軽い正孔の密度が増大することで、伝導に寄与する正孔の平均的な有効質量が減少し、移動度が増大する。

以上の計算に基づいて評価された、Ge に対して(001)面内に 2 軸歪を印加した場合の、電子および正孔の移動度の歪量に対する依存性を図 1.3 に示す。Ge に圧縮歪を印加した場合には、正孔移動度は増大するものの、電子の移動度は減少してしまう。一方で、Ge に伸張歪を印加した場合には、正孔だけでなく電子の移動度の増大も期待される。電子移動度の急増が見込まれる Ge の直接遷移化のためには、1.3%以上の二軸伸張歪を Ge に印加する必要がある。

一方で、Dimitri らは、一軸圧縮歪が印加された場合の Si の価電子帯エネルギーバンド構造の変化を理論的に計算している[5]。図 1.4 に、Si(001)に対して計算された、[110] 方向に一軸圧縮歪が印加された場合の価電子帯の等エネルギー面を示す。図の k_x 、 k_y はそれぞれ[100]、[010]方向に対応する。印加応力の増大に伴い歪を印加した[110]方向の価電子帯の曲率が増大し、正孔の有効質量が減少することがわかる。Ge においても、一軸応力の印加に伴う正孔有効質量の減少、すなわち、正孔移動度の増大が期待される。Krishnamohan らは、一軸および二軸歪を印加した場合の Ge MOSFET における実効的なキャリア移動度を、各面方位について計算している[6]。図 1.5 に、様々な種類の歪に対する Ge の正孔移動度の計算結果を示す。チャンネル方向および一軸歪の印加方向は共に

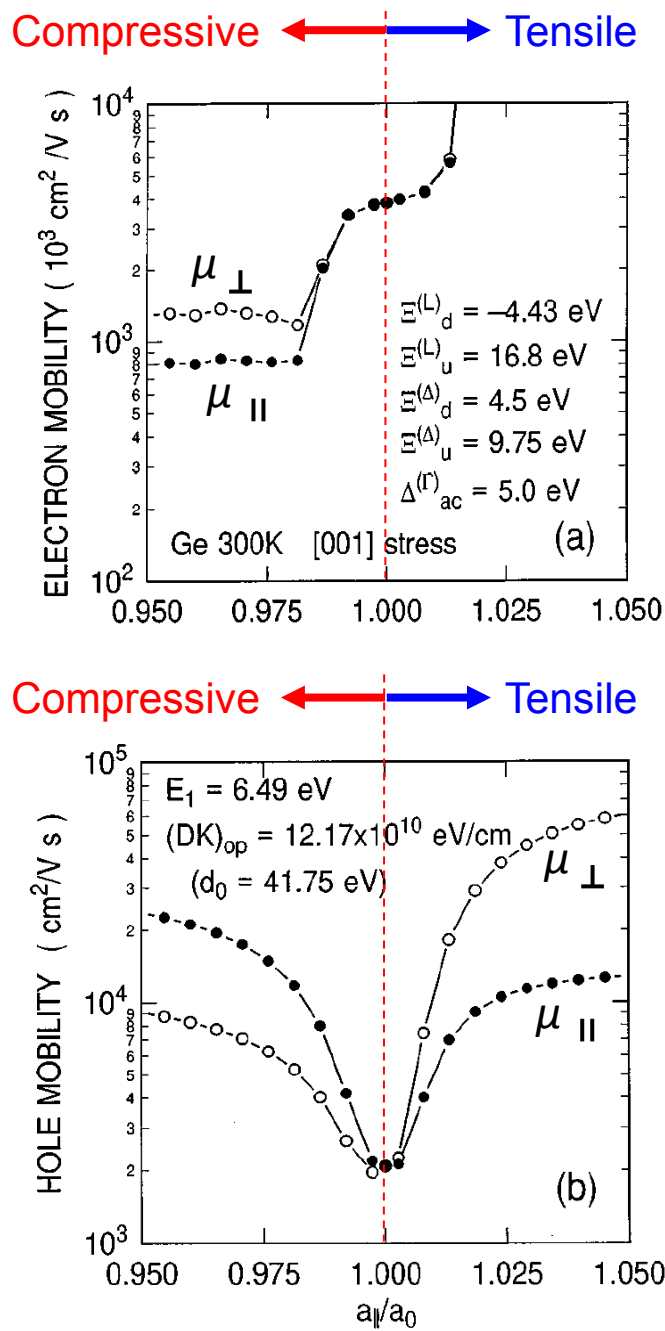


図1.3. Geに対して(001)面内2軸歪を印加した場合の電子および正孔の移動度変化。(a) 電子、(b) 正孔の移動度[4]。

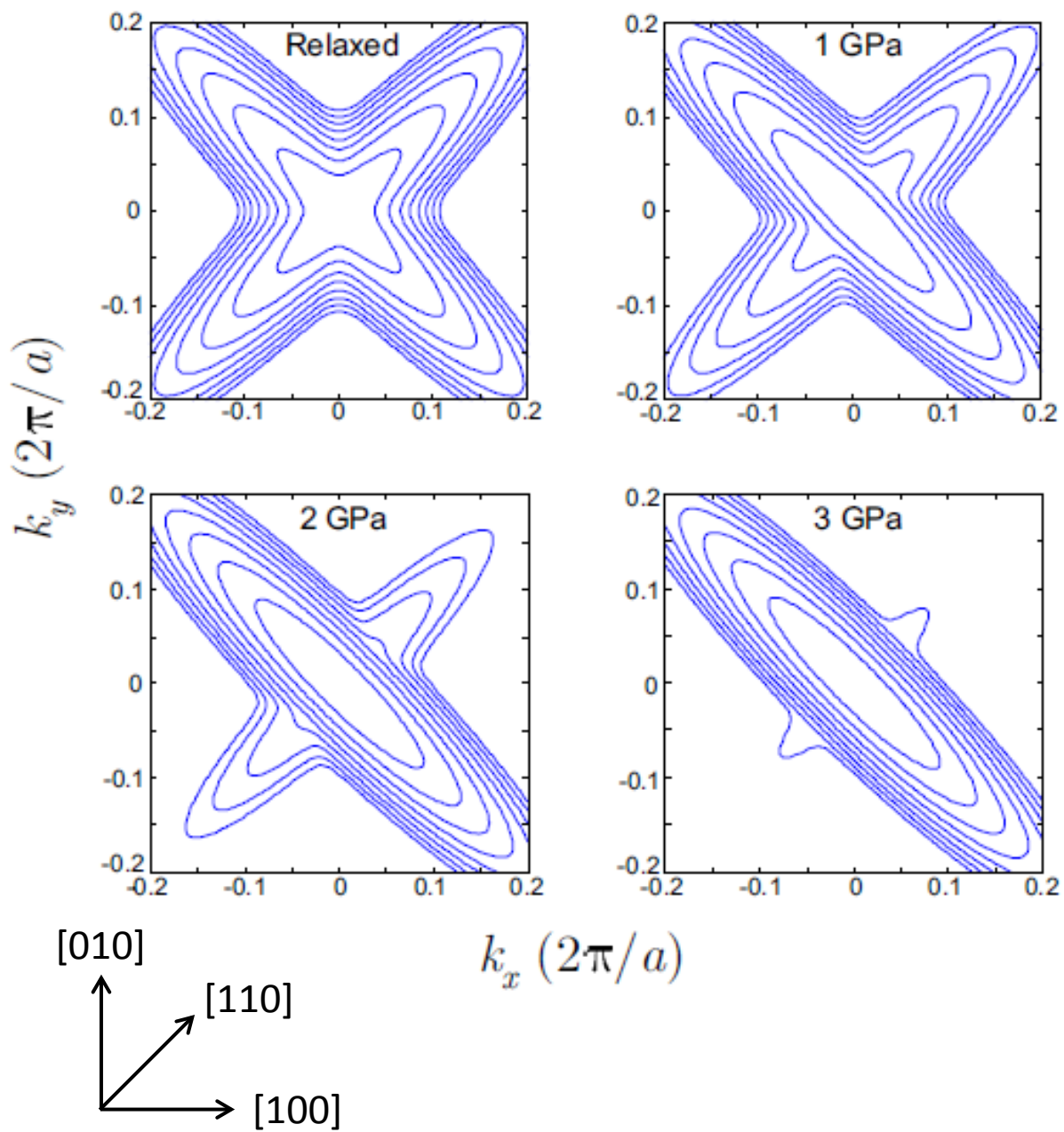


図1.4. Si(001)に[110]方向の一軸圧縮応力を印加した場合の価電子帯の等エネルギー面の計算結果[5]。

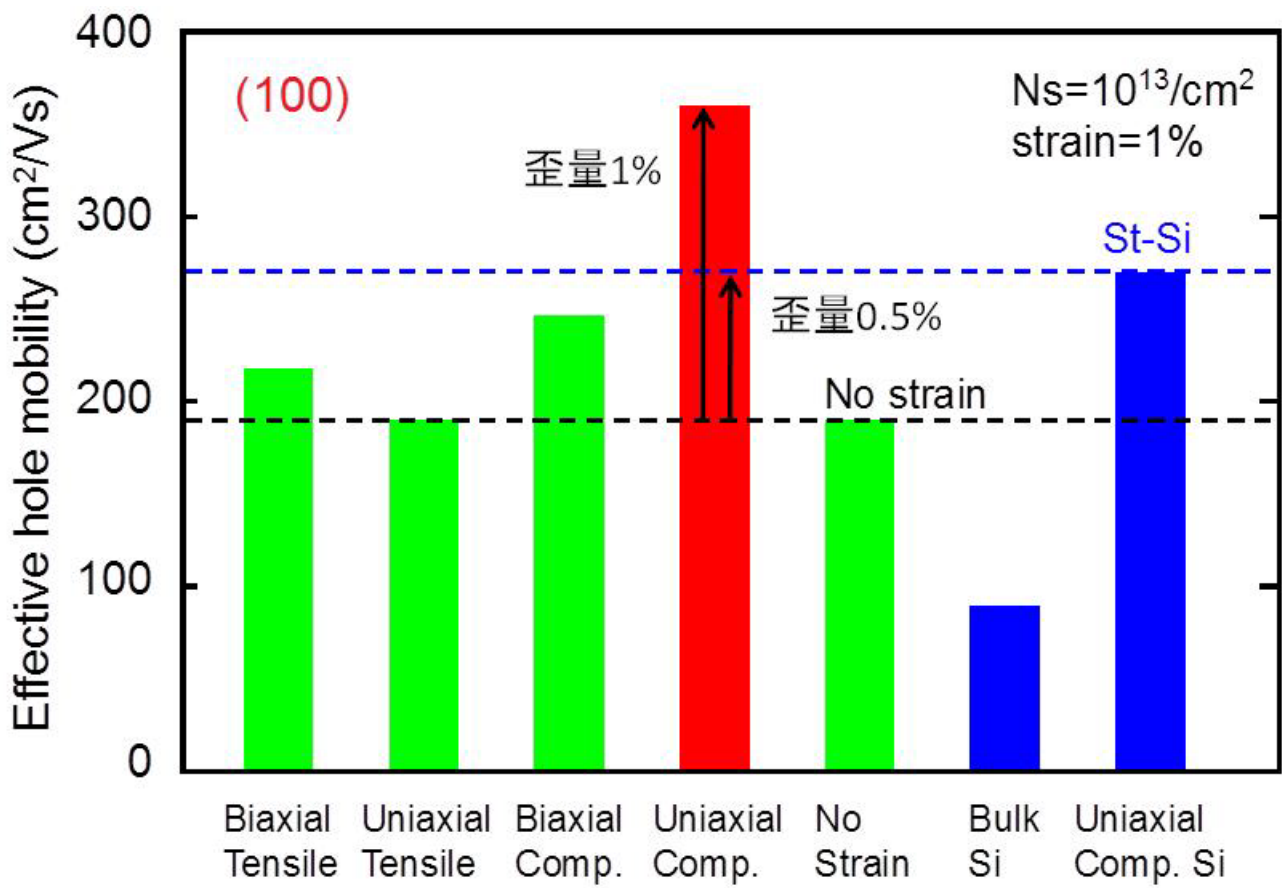


図1.5 様々な歪(歪量1%)に対して計算されたGe(001)の実効正孔移動度[6]。

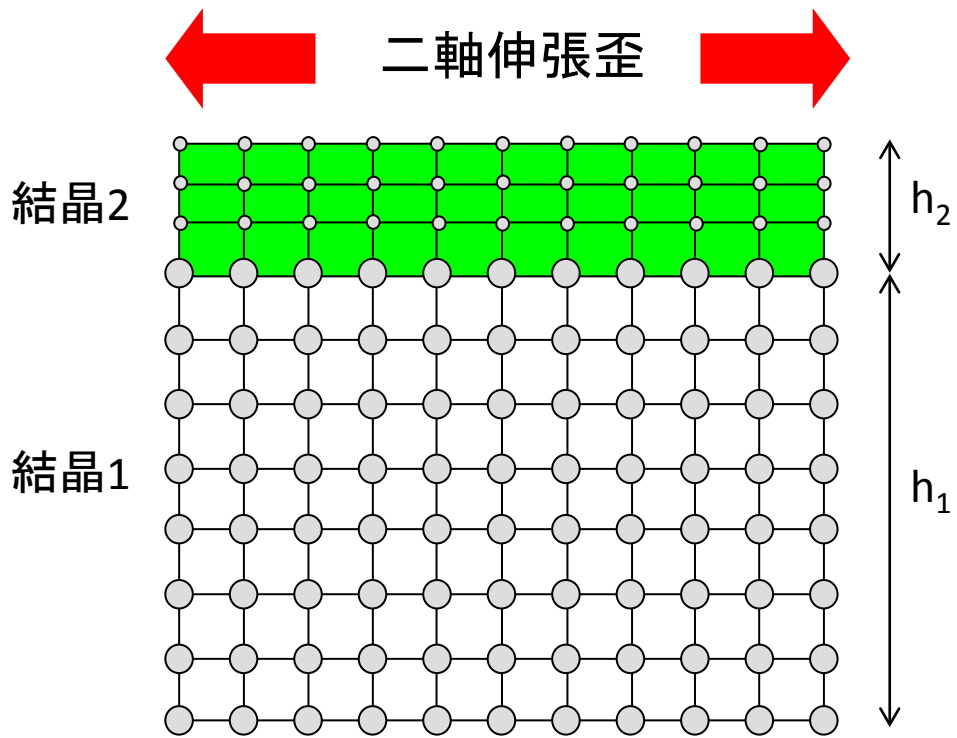
[110]である。また、比較のためにバルク Si、一軸圧縮歪 Si およびバルク Ge の計算結果についても示した[6]。一軸圧縮歪 Ge は、他の歪が Ge に印加された場合と比べ、最も実効正孔移動度が高くなることが期待される。また、歪 Si を超える実効正孔移動度を実現するためには、0.5%以上の一軸圧縮歪を Ge に印加する必要がある。

1.1.2 Ge に二軸伸張歪を印加するためのストレッサー

これまでに、Ge と Si の熱膨張係数差を利用して二軸伸張歪を Ge に印加する方法が報告されている[7]。彼らは超高真空化学気相成長法 (Ultra High Vacuum Chemical Vapor Deposition: UHV-CVD) 法によって、Si(001)基板上に、seed-Ge 層を 350°C で 30 nm 成長後、成長温度を 600°C まで上げて、膜厚 1 μm の Ge 層を成長させた。その後、Ge 層内の貫通転位を減少させるために、700°C~900°C のサイクル熱処理を 10 回行い室温に戻す。Ge は Si より熱膨張係数が大きいので、室温に降温する際、Ge 層は伸張歪を受ける。これを利用して、0.67%の伸張歪を有する Ge 層の形成が、H. Zang らによって報告されている[8]。Ge 層に印加される伸張歪量は、降温開始温度と室温との差で制御できるが、その上限は Ge の融点で制限されるため、これ以上大きな二軸伸張歪の印加は難しい。従って、本手法では前述の歪 Si の実効電子移動度を超えるために必要な 1%の二軸伸張歪を Ge に印加することは困難であると言える。

大きな二軸伸張歪を印加するためには、やはりバルク Ge 基板より大きな格子定数を持つ歪緩和バッファ層を用いる方法が有効であると考えられる。図 1.6 に、バッファ層を用いた場合の二軸伸張歪印加原理の模式図を示す。膜厚 h_1 の結晶 1 および膜厚 h_2 の結晶 2 を積層したとき、 $h_1 \gg h_2$ の場合には、結晶 2 は格子定数が結晶 1 の格子定数と等しくなるように歪む[9]。従って、結晶 2 に Ge、結晶 1 に Ge よりも格子定数の大きな材料を用いることで、Ge には二軸伸張歪を印加可能である。

Hoshina らは、二軸伸張歪 Ge 形成のためのバッファ層として、Ge よりも格子定数の大きな $\text{In}_x\text{Ga}_{1-x}\text{As}$ を提案している。彼らは、GaAs 基板上に固体ソース分子線エピタキシー (Molecular Beam Epitaxy: MBE) 法によって、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ バッファ層を成長温度



$h_1 \gg h_2$ の場合、結晶2が歪む

図1.6 バッファ層を用いた二軸伸張歪印加原理の模式図。

400°C で形成し、さらにその上に In 原子の脱離抑制のため膜厚 10 nm 程度の Ge キャップ層をした後、成長温度 500°C において 1.55% という非常に大きな伸張歪を有する Ge 層の形成に成功している[10]。しかし、III-V 族化合物半導体の利用は、設備コストの観点から非常に大きな問題となることが予想される他、二軸伸張歪 Ge 層への In や As 原子の拡散によってキャリア濃度の制御が困難となることが懸念される。従って、MOSFET への応用を視野に入れる場合、あくまでも Si 基板を用いて Si プロセスに親和性の高い技術を使いながら伸張歪 Ge 薄膜を得ることが重要である。同時に、歪印加のためのバッファ層の格子定数を制御し、かつ高品質なヘテロエピタキシャル膜を形成することが課題となる。

Si 基板を用いて形成されるバッファ層として注目されているのが、Ge や Si と同じ IV 族元素でダイヤモンド構造を有し、Ge よりも格子定数の大きな α -Sn を組み合わせた歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ 層である。 α -Sn の格子定数は 0.64892 nm で、Ge の格子定数 0.56579 nm との差は 14.7% と非常に大きい。一方で熱平衡状態において Ge 中への Sn の固溶度は約 1 at.% と非常に低く [11]、熱処理によって容易に $\text{Ge}_{1-x}\text{Sn}_x$ 層中へ Sn が析出してしまふことから、高 Sn 組成の歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成は非常に困難である。Kouvetakis らは、ガス原料分子線エピタキシー (Molecular Beam Epitaxy: MBE) を用いて Si 基板上に Sn 組成 3.5% の $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成し、Ge 層の伸張歪量 0.40% を実現している [12]。さらに、名古屋大学の Takeuchi らは、Si 基板上に成長した完全歪緩和した Ge 層を仮想 Ge 基板とすることで、仮想 Ge 基板中に存在する貫通転位によって $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和が促進されることを見出し [13]、Sn 組成を段階的に増加させていく組成傾斜多層構造を用いることで、Sn の析出を抑制し、0.64% という大きな伸張歪を有する Ge 層の形成に成功した [14]。

1.1.3 Ge に一軸圧縮歪を印加するためのストレッサー

図 1.7 に、MOSFET のソース・ドレイン (Source/Drain: S/D) を用いた一軸圧縮歪印加原理の模式図を示す。図 1.6 と同様に、面直方向の格子定数は結晶 1 および結晶 2 の長

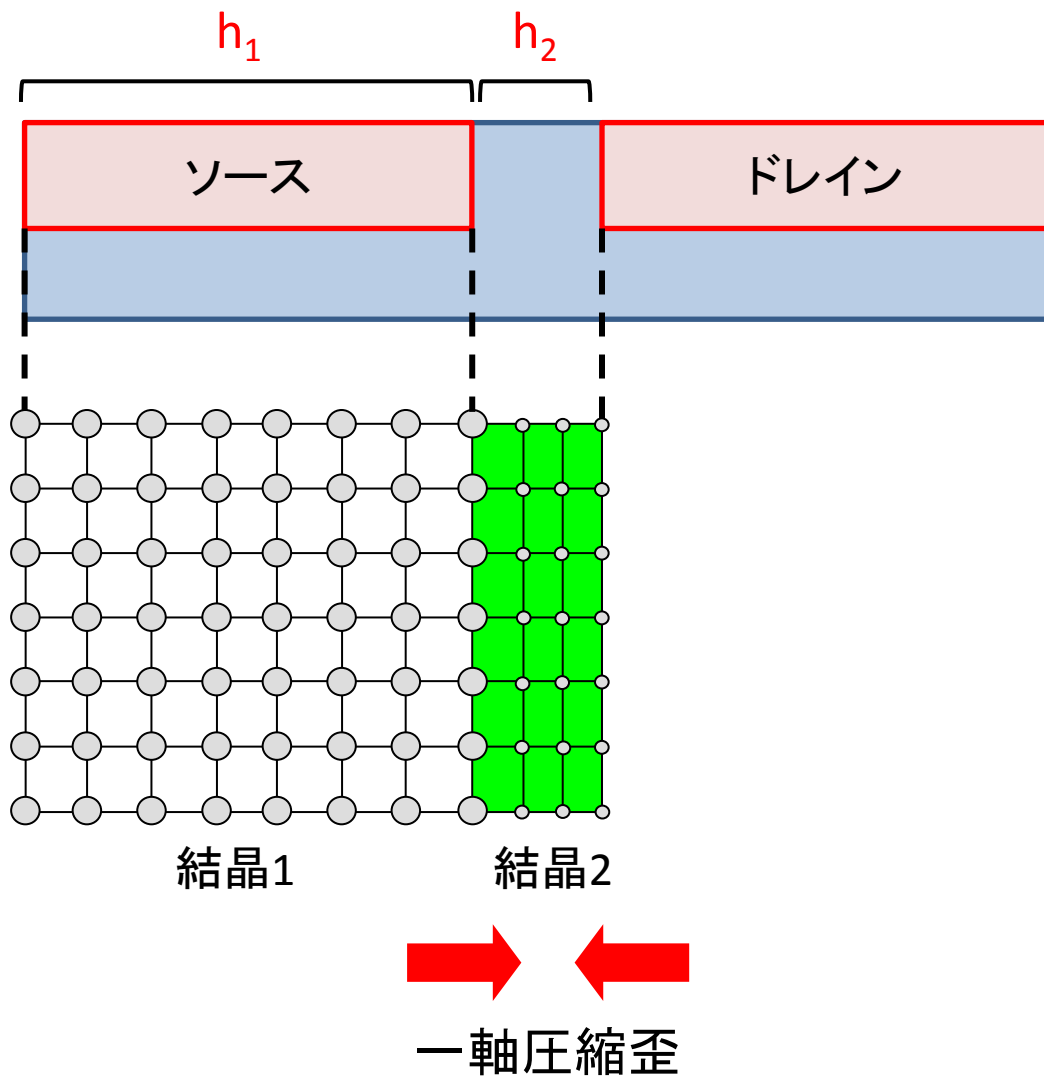


図1.7 ソース・ドレインを用いた一軸圧縮歪印加原理の模式図。

さで決定される。したがって、S/D 領域に格子定数の大きな材料を用いることで、チャネル部分に一軸圧縮歪を印加可能である。実際に、Si に対して一軸圧縮歪を印加する試みは実験的にも理論的にも多数報告されている[15-18]。彼らは、MOSFET の S/D 領域に、Si より格子定数の大きな $\text{Si}_{1-x}\text{Ge}_x$ を形成することで Si に一軸圧縮歪を印加している。同様に、Ge より格子定数の大きな材料を S/D 領域に形成することで、Ge にも一軸圧縮歪を印加可能である。Vincent らは、 $\text{Ge}_{1-x}\text{Sn}_x$ を S/D 領域に形成した場合に Ge チャネル領域に印加できる応力を計算している[19]。図 1.8 に、ゲート長が 20 および 50 nm の Ge に印加できる一軸圧縮応力の Sn 組成依存性を示す。Sn 組成の増大に従って、印加できる応力が大きくなることがわかる。従って、一軸圧縮歪 Ge の形成の為に、 $\text{Ge}_{1-x}\text{Sn}_x$ が有効である。

これまで、機械的に基板を曲げる以外の方法で、一軸圧縮歪 Ge を形成した報告はない。これは、Ge に対する Si のような S/D ストレッサーを形成する領域(リセス)を、表面荒れを起こすことなく選択的にエッチングする手法と、高 Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ をそのエッチングされた領域に選択的に形成する手法が確立されていないことに起因する。前者については、従来用いられてきた、選択性に優れるドライエッチング手法の一つである反応性イオンエッチング (Reactive Ion Etching: RIE) を用いて Ge をエッチングした場合、リセスの表面荒れが顕著であることが問題であった。近年、Moriyama らによって、パターン加工された SiO_2 マスクを用いた Ge 基板を、ウェットエッチングにより選択的に、リセスの表面荒れを起こすことなくエッチングする手法が報告されている[20]。彼らは、このウェットエッチング手法を用いて、 $\text{Si}_{1-x}\text{Ge}_x$ S/D を Ge 基板上に形成し、電子移動度の増大が期待される[21]一軸伸張歪を Ge に印加することに成功している。後者については、選択的な成長以前に、 $\text{Ge}_{1-x}\text{Sn}_x$ の形成手法そのものが確立されていない。

1.1.4 $\text{Ge}_{1-x}\text{Sn}_x$ のデバイスへの応用

Sn の正孔の伝導有効質量は、 $m_h=0.147m_0$ と、Ge($m_h=0.216m_0$)と比較して軽く、Ge に

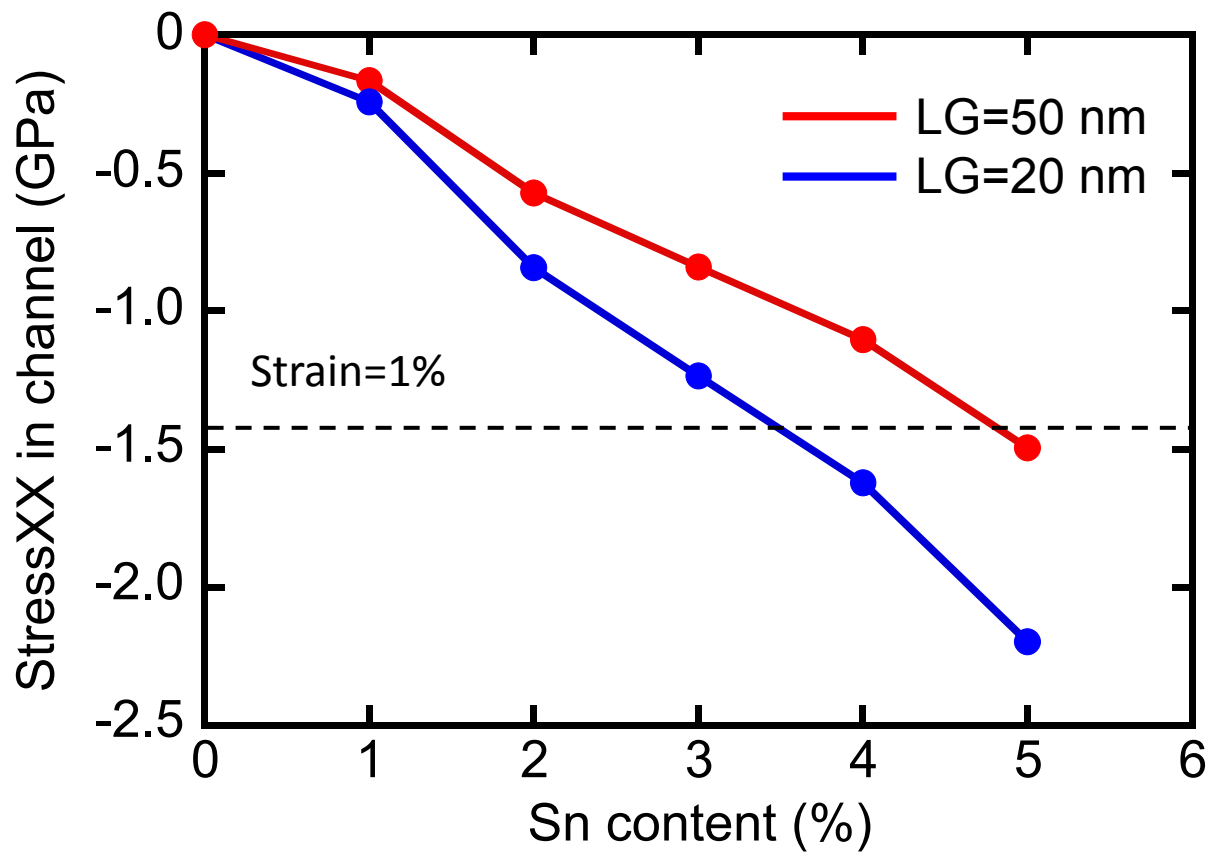


図1.8. $\text{Ge}_{1-x}\text{Sn}_x$ をS/Dに用いた場合にGeチャンネルに印加できる一軸圧縮応力のSn組成依存性[19]。

Sn を導入した $\text{Ge}_{1-x}\text{Sn}_x$ も高い正孔移動度を有していると期待される。また、Ge 上に形成した歪 $\text{Ge}_{1-x}\text{Sn}_x$ には二軸圧縮応力が印加されるため、Ge の場合と同様に、歪による正孔移動度の増大も期待され、 $\text{Ge}_{1-x}\text{Sn}_x$ 自身も pMOSFET のチャネル材料として魅力的な候補材料である。近年、 $\text{Ge}_{1-x}\text{Sn}_x$ をチャネルに用いた pMOSFET が実際に作製され、デバイス特性が報告された[22, 23]。Gupta らは、MBE 法を用いて Ge(001)基板上に 3% の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層を Pseudomorphic に形成し、ゲート絶縁膜に Al_2O_3 を用いた pMOSFET において、実効正孔移動度がバルク Ge pMOSFET と比較して 20%増大したことを報告している[22]。

また、Ge への Sn 導入に伴うバンド構造の変化からも、 $\text{Ge}_{1-x}\text{Sn}_x$ の応用の展望が広がる。図 1.9 に計算によって求められた $\text{Ge}_{1-x}\text{Sn}_x$ における伝導帯 Γ 点および L 点の伝導帯端の Sn 組成依存性を示す[24]。Sn 組成の増大と共に Γ 点のバンド端が L 点と比較して急速に低下し、Sn 組成 11%程度で $\text{Ge}_{1-x}\text{Sn}_x$ は直接遷移型となることが予測されている[24, 25]。すなわち、Ge に二軸伸張歪を印加した場合と同様に、有効質量の小さな伝導帯の Γ 点に電子が優先的に占有するため、電子移動度の急増が見込まれる。

一方で、直接遷移型 $\text{Ge}_{1-x}\text{Sn}_x$ は、光学デバイスへの応用も期待されている[26-28]。バンドギャップの小さな Ge や $\text{Ge}_{1-x}\text{Sn}_x$ は、バンドギャップの大きな III-V 族半導体と比べ、長波長の光吸収が可能である。従って、直接遷移型 $\text{Ge}_{1-x}\text{Sn}_x$ はフォトディテクターとして用いることで、Ge と比較しても高効率に長波長帯の光吸収が可能となることが予想される。特に、通信用に用いられる波長 1.55 μm [27]の信号の検出器や、直接遷移であるがバンドギャップの大きな III-V 族半導体では吸収できない長波長帯の太陽光を利用可能な太陽電池[29]等への応用が期待されている。また、直接遷移化することで IV 族半導体を用いた発光デバイスへの応用も期待される。

このように、 $\text{Ge}_{1-x}\text{Sn}_x$ はストレッサーとしてだけでなく、光学デバイスや電子デバイスへの応用が可能な非常に魅力的な材料である。

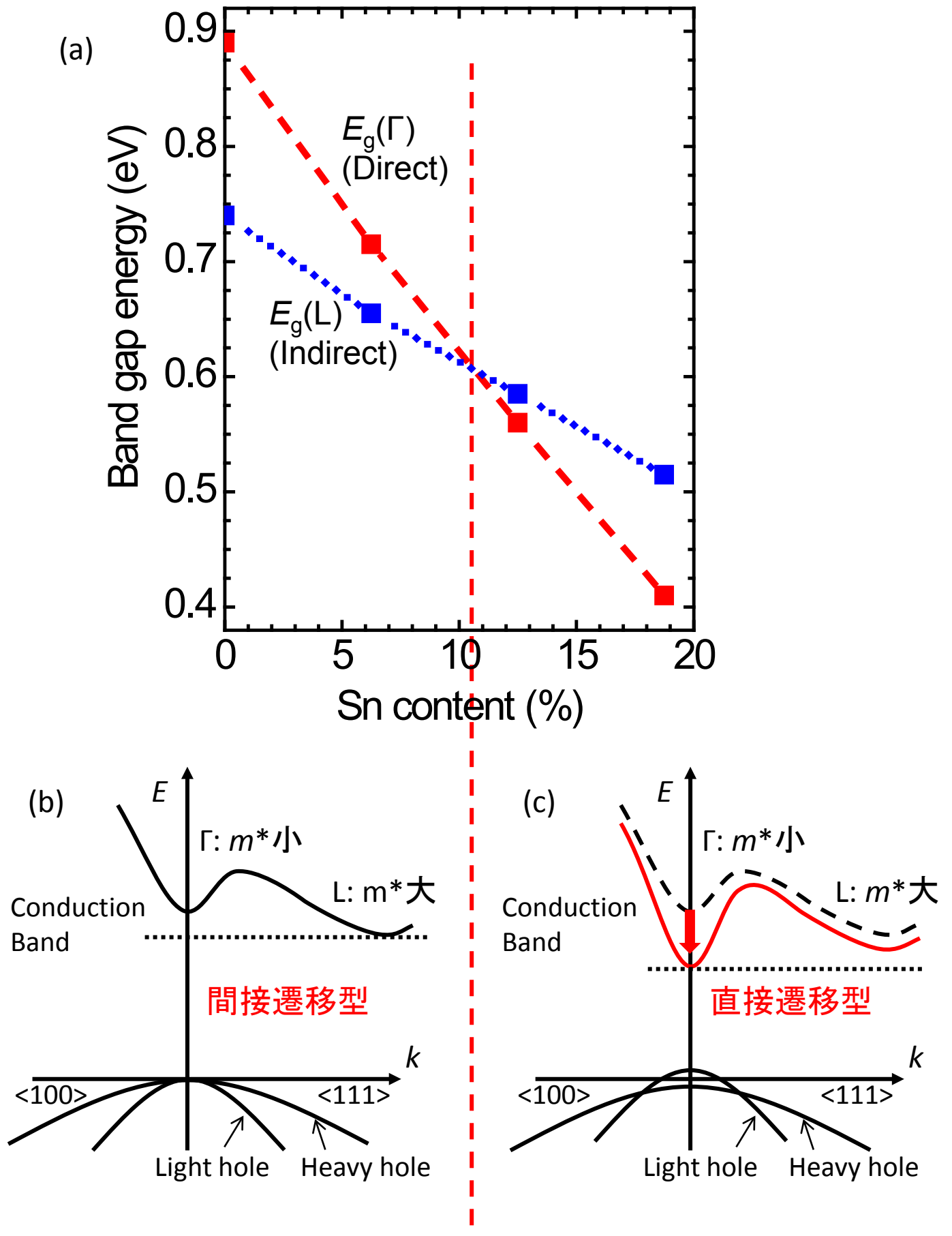


図1.9. (a) $\text{Ge}_{1-x}\text{Sn}_x$ の Γ 点およびL点のSn組成依存性[24].
 (b) Geのバンド構造の模式図。
 (c) 10%以上のSn組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ のバンド構造の模式図。

1.2 本研究の目的

Ge への二軸伸張歪の印加により、電子・正孔共に移動度の増大が期待される。また、Ge への一軸圧縮歪の印加により、正孔移動度の大きな増大が期待される。これを踏まえ、図 1.10 に、二軸歪および一軸歪を用いた Ge チャネル CMOS 構造の例を模式的に示す。どちらの場合も、 $\text{Ge}_{1-x}\text{Sn}_x$ をストレッサーとして用いることが有用であることがわかる。一軸伸張歪 Ge 形成のための $\text{Si}_{1-x}\text{Ge}_x$ S/D 領域の形成には、これまでの Ge 上へのヘテロエピタキシャル $\text{Si}_{1-x}\text{Ge}_x$ 層の知見が応用可能であるのに対し、 $\text{Ge}_{1-x}\text{Sn}_x$ 層に関してはヘテロエピタキシャル成長の制御技術に関する知見がほとんどないと言ってよい。そこで、本研究ではヘテロエピタキシャル $\text{Ge}_{1-x}\text{Sn}_x$ 層の Sn 安定化、転位構造制御および不純物制御を目的とした。

まず、 $\text{Ge}_{1-x}\text{Sn}_x$ の応用に向けた最大の課題は、Sn 析出の抑制である。前述の通り、Ge 結晶中への格子置換位置 Sn の平衡固溶限は 1 at.%程度であり、1%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ をストレッサーに用いたとしても、Ge に印加可能な二軸伸張歪および一軸圧縮歪はそれぞれ 0.15%および 0.2%のみである。また、MOSFET の製造プロセスでは、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成後にも、絶縁膜の形成時等に様々な熱処理を施す必要がある。従って、Ge MOSFET 作製のプロセスで用いられる 400~500°C の熱処理後においても、Ge に十分な応力を印加できる Sn 組成を維持するためには、Sn 原子の安定化が必要不可欠である。本研究では、成長温度の低減が $\text{Ge}_{1-x}\text{Sn}_x$ 層中の Sn 安定化に与える影響について調べた。成長温度の低減により、基板表面の Ge および Sn の泳動が抑制される。その結果、 $\text{Ge}_{1-x}\text{Sn}_x$ 中にはより多くの原子空孔が導入され、Ge 中の Sn 原子周辺に生じる局所的な歪の低減により Sn 原子を安定化できる可能性がある。

一方、Si または Ge 基板上に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層は、基板からの圧縮歪を受ける。二軸伸張歪を Ge に印加するための $\text{Ge}_{1-x}\text{Sn}_x$ バッファ層は、大きな面内格子定数を実現するために、この圧縮歪を十分に緩和させる必要がある。対して、一軸圧縮歪 Ge のための $\text{Ge}_{1-x}\text{Sn}_x$ S/D ストレッサーは、Ge チャネルとの間の電流リークの抑制のために、界面への転位導入を伴う歪緩和は抑制されなければならない。このように、 $\text{Ge}_{1-x}\text{Sn}_x$ は目的

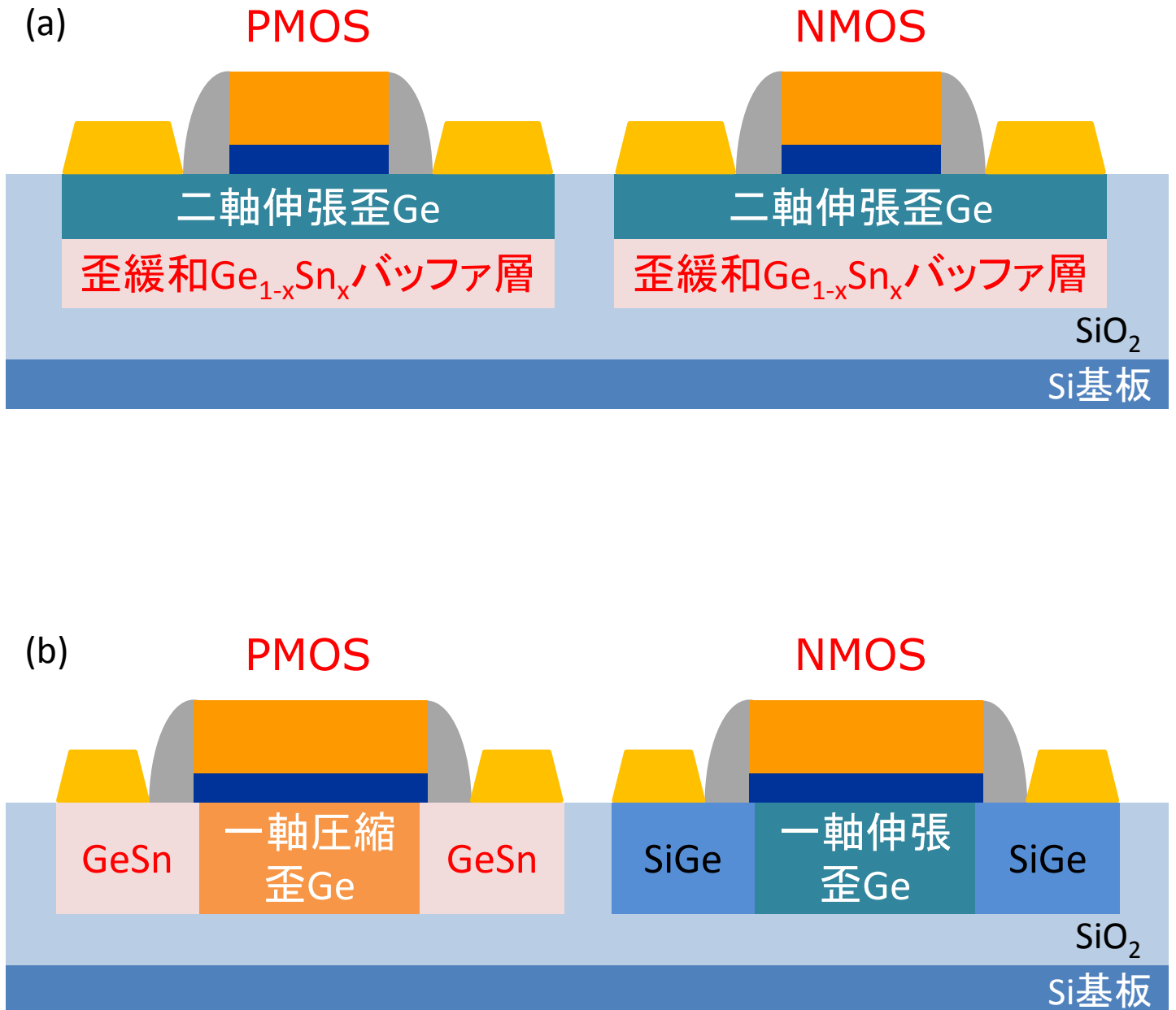


図1.10. $\text{Ge}_{1-x}\text{Sn}_x$ をストレッサーに用いたCMOS構造の例。(a)二軸歪を用いる場合、(b)一軸歪を用いる場合。

に応じて、求められる転位・歪構造が異なり、これらを制御しなければならない。本研究では格子定数の異なる Si および Ge 基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成し、転位構造および膜中の歪がどのように変化するかを調べた。また、後のプロセスにおいて必要と考えられるイオン注入に伴うダメージによって、どのような転位が導入されるかを調べ、キャップ層を用いた転位導入の抑制を検討した。

さらに、一軸圧縮歪 Ge のための $\text{Ge}_{1-x}\text{Sn}_x$ S/D ストレッサーは、S/D 領域の低抵抗化のための高濃度不純物ドーピングが必須となる。この場合も、転位の導入を抑制する必要がある、ダメージを伴わない成長中の不純物ドーピングが有効であると考えられる。本研究では、 $\text{Ge}_{1-x}\text{Sn}_x$ 層への成長中の不純物ドーピングを行い、ドーピング濃度が $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性に与える影響および、Sn 原子導入が不純物の深さ方向プロファイルや活性化に与える影響を調べた。

1.3 本研究の概要

第2章では、本研究に用いた薄膜成長装置、および作製した試料の評価方法について述べる。第3章では、高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成に向け、成長温度をパラメータとして、熱処理後における臨界 Sn 組成と $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪構造について述べる。第4章では、 $\text{Ge}_{1-x}\text{Sn}_x$ 層を Si 基板上および Ge 基板上に形成し、基板と $\text{Ge}_{1-x}\text{Sn}_x$ 層の間のミスフィット差が転位構造および歪緩和機構に及ぼす影響について述べる。また、B をイオン注入した場合に導入されるダメージと転位導入の関係について述べる。第5章では、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長中に Ga を同時照射し不純物ドーピングを行い、結晶性および電気的特性について調べた結果を述べる。第6章では、本研究で得られた結論および今後の課題について述べる。

参考文献

- [1] S.M. Sze, and K. K. Ng, *Physics of Semiconductor Devices* 3rd Edition, Wiley–Interscience, p.306 (2006).
- [2] K. Morii, T. Iwasaki, R. Nakane, M. Takenaka, and S. Takagi, *IEEE Electron Dev. Lett.* **31**, 1092 (2010).
- [3] C. H. Lee, T. Nishimura, T. Tabata, S. K. Wang, K. Nagashio, K. Kita, and A. Toriumi, *IEDM Tech. Dig.*, p. 417 (2010).
- [4] M. V. Fischetti, and S. E. Laux, *J. Appl. Phys.* **80**, 2234 (1996).
- [5] D. A. Antoniadis, and A. Khakifirooz, *IEEE International Electron Devices Meeting*, p.253 (2008).
- [6] T. Krishnamohan, D. Kim, T. V. Dinh, A. T. Pham, B. Meinerzhagen, C. Jungemann, and K. Saraswat: *IEDM Proc.*, p.899 (2009).
- [7] Y. Ishikawa, K. Wada, D. D. Cannon, J. Liu, H.-C. Luan, and L. C. Kimerling, *Appl. Phys. Lett.* **82**, 2044 (2003).
- [8] H. Zang, W. Y. Loh, J. D. Ye, G. Q. Lo, and B. J. Cho, *IEEE Electron Dev. Lett.* **28**, 1117 (2007).
- [9] C. G. Van de Walle, *Phys. Rev. B*, **39**(3), 1871 (1989).
- [10] Y. Hoshina, A. Yamada, and M. Konagai, *Jpn. J. Appl. Phys.* **48**, 111102 (2009).
- [11] C. D. Thurmond, F. A. Trumbore, and M. Kowalchik, *J. Chem. Phys.* **25**, 799 (1956).
- [12] Y.-Y. Fang, J. Tolle, J. Tice, A. V. G. Chizmeshya, J. Kouvetakis, V. R. D’Costa, and J. Menéndez, *Chem. Mater.* **19**, 5910 (2007).
- [13] S. Takeuchi, A. Sakai, K. Yamamoto, O. Nakatsuka, M. Ogawa, and S. Zaima, *Semicond. Sci. Technol.* **22**, S231 (2007).
- [14] S. Takeuchi, Y. Shimura, O. Nakatsuka, S. Zaima, M. Ogawa, and A. Sakai, *Appl. Phys. Lett.* **92**, 231916 (2008).

- [15] S. Flachowsky, R. Illgen, T. Herrmann, W. Klix, R. Stenzel, I. Ostermay, A. Naumann, A. Wei, J. Höntschel, and M. Horstmann, *J. Vac. Sci. Technol. B*, **28**(1), C1G12 (2010).
- [16] C. P. Wong, J. Kasim, J. P. Liu, A. See, and Z. X. Shen, *Appl. Phys. Lett.* **96**, 213513 (2010).
- [17] C. Y. Cheng, Y. K. Fang, J. C. Hsieh, H. Hsia, W. M. Chen, S. S. Lin, and C. S. Hou, *Appl. Phys. Lett.* **92**, 133504 (2008).
- [18] K.-W. Ang, K.-J. Chui, V. Bliznetsov, C.-H. Tung, A. Du, N. Balasubramanian, G. Samudra, M. F. Li, and Y.-C. Yeo, *Appl. Phys. Lett.* **86**, 093102 (2005).
- [19] B. Vincent, Y. Shimura, S. Takeuchi, T. Nishimura, G. Eneman, A. Firrincieli, J. Demeulemeester, A. Vantomme, T. Clarysse, O. Nakatsuka, S. Zaima, J. Dekoster, M. Caymax, and R. Loo, *Microelectron. Eng.* **88**, 342 (2011).
- [20] Y. Moriyama, Y. Kamimuta, K. Ikeda, and T. Tezuka, *Solid State Electronics*, **60**, 89 (2011).
- [21] Y. J. Yang, W. S. Ho, C. F. Huang, S. T. Chang, and C. W. Liu, *Appl. Phys. Lett.* **91**, 102103 (2007).
- [22] S. Gupta, R. Chen, B. Magyari-Kope, H. Lin, B. Yang, A. Nainani, Y. Nishi, J. S. Harris, and K. C. Saraswat, *IEDM Proc.* p.398 (2011).
- [23] G. Han, S. Su, C. Zhan, Q. Zhou, Y. Yang, L. Wang, P. Guo, W. Wei, C. P. Wong, Z. X. Shen, B. Cheng, and Y.-C. Yeo, *IEDM Proc.* p.402 (2011).
- [24] Y. Chibane, M. Ferhat, *J. Appl. Phys.* **107**, 053512 (2010).
- [25] V. R. D'Costa, C. S. Cook, A. G. Birdwell, C. L. Littler, M. Canonico, S. Zollner, J. Kouvetakis, and J. Menéndez, *Phys. Rev. B*, **73**, 125207 (2006).
- [26] R. Chen, H. Lin, Y. Huo, C. Hitzman, T. I. Kamins, and J. S. Harris, *Appl. Phys. Lett.* **99**, 181125 (2011).
- [27] S. Su, B. Cheng, C. Xue, W. Wang, Q. Cao, H. Xue, W. Hu, G. Zhang, Y. Zuo, and Q. Wang, *Optics Express*, **19**, 6400 (2011).

[28] R. Ragan, and H. A. Atwater, *Appl. Phys. Lett.* **77**, 3418 (2009).

[29] Y. Y. Fang, J. Xie, J. Tolle, R. Roucka, V. R. D'Costa, A. V. G. Chizmeshya, J. Menéndez, and J. Kouvetakis, *J. American Chem. Society*, **130**, 16095 (2008).

第2章 薄膜成長技術と結晶評価技術

2.1 分子線エピタキシー法

本研究では、Ge および $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長を固体ソース MBE 法によって行った。固体ソース MBE 法とは 10^{-8} Pa 程度の超高真空中で、ルツボ中の固体原料を蒸発または昇華させ分子線とし、基板上に物理蒸着する手法である。この手法では原料を物理的に基板に蒸着するため、その蒸着速度は化学気相堆積法の様に基板表面の吸着サイト密度や温度に依存しない。つまり、蒸着速度は原料を蒸着または昇華させる時の温度のみに依存する。一般に蒸発源には、電子ビーム銃、またはクヌーセンセルが用いられる。固体ソース MBE 法の長所としては、緩やかな成長による原子層レベルでの膜厚制御、超高真空中での高品質膜成長、分子線源シャッターの使用による急峻なヘテロ構造成長、低温成長が可能であることなどが挙げられる。

基板に到達した原料原子は、基板表面を泳動し、安定なサイトへ取り込まれる。安定なサイトとは、表面エネルギーがより小さいサイトであり、ステップやキンクなどの基板表面に特有のサイトや、不純物などである。従って、Si、Ge および仮想 Ge 基板上に所望の膜をエピタキシャル成長させるためには、予め基板表面を十分に清浄化し、蒸着原子の吸着サイトを制御する必要がある。本研究で行った基板清浄化方法を以下に述べる。

まず、Si 基板の清浄化方法について述べる。40°C に加熱した $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 6 : 20$ の化学溶液中で Si(001)基板を 15 分間煮沸洗浄後、超純水中で 10 分間のオーバーフローリンスを行い、 N_2 ブローで基板を乾燥させた。その後、試料交換室へ試料を導入し成長室へ搬送した。成長室において、予め基板温度を 600°C で 10 分間熱処理することで、基板および基板ホルダーに含まれている水分などの脱ガスを行った。その後、基板を 850°C で 15 分間加熱し、表面の自然酸化膜を除去した。最高加速電圧 30kV の電子銃を用いた反射高速電子線回折 (Reflection High Energy Electron Diffraction: RHEED) 装置によって Si(001)清浄表面特有の 2×1 表面再構成構造を観察することで、

清浄表面が形成されていることを確認した。

Ge 基板および仮想 Ge 基板の清浄化方法について述べる[1]。ここで仮想 Ge 基板とは、上記の方法で洗浄した Si 基板上に MBE を用いて膜厚 40 nm の Ge 層を形成し、その後窒素雰囲気中 700°C で 1 分間の熱処理を施して Ge 層を完全歪緩和したものである[2]。超純水中で 10 分間のオーバーフローリンス後、室温にて、 $\text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 4$ の化学溶液中で 5 分間の洗浄を行った。これによって、Ge および仮想 Ge 基板上の自然酸化膜がエッチングされ、また表面に存在する重金属が取り除かれる。次に、超純水中で 10 分間のオーバーフローリンス後、室温にて、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O} = 1 : 7$ の化学溶液中で 2 分間の洗浄を行った。これによって、表面の金属および C 等の汚染を除去した。超純水中で 10 分間のオーバーフローリンス後、 N_2 ブローで基板を乾燥した。その後、試料を試料交換室へ導入し成長室へ搬送した。成長室において、超高真空中 450°C で 30 分間の熱処理を行った。これによって、基板および基板ホルダーに含まれている水分などの脱ガスを行うと同時に清浄表面が形成される。その際、RHEED によって、Ge(001)清浄表面特有の 2×1 表面再構成構造を確認した。

次に本研究で使用した MBE 装置の概略図および真空系統図を図 2.1 に示す。この装置は、成長室および試料交換室の 2 つのチャンバーで構成されている。両室間は、ゲートバルブによって隔てられており、マグネティックトランスファーロードによって試料交換室と成長室との間で試料を搬送できる。成長室の排気は、クライオポンプによって行われ、液体窒素シュラウドを併用することにより成長室の真空度は 4×10^{-8} Pa 以下に到達する。成長中の真空度は $6 \times 10^{-7} \sim 1 \times 10^{-6}$ Pa であった。成長室の真空度はヌードイオンゲージで常に計測した。

成長室には基板加熱用ヒーターが設置されており、最大 900°C まで加熱が可能となっている。基板温度の測定は、基板裏面に設置されている K 熱電対 (0~1000°C まで計測可能) および赤外放射温度計によって行われる。Ge_{1-x}Sn_x 層および Ge 層の成長では、Ge、Sn および Ga は高純度窒化ホウ素 (high Purity Boron Nitride: PBN) 製クヌーセンサーによって蒸着し、蒸着速度はセル温度の制御によって自由に変更できる。このとき、

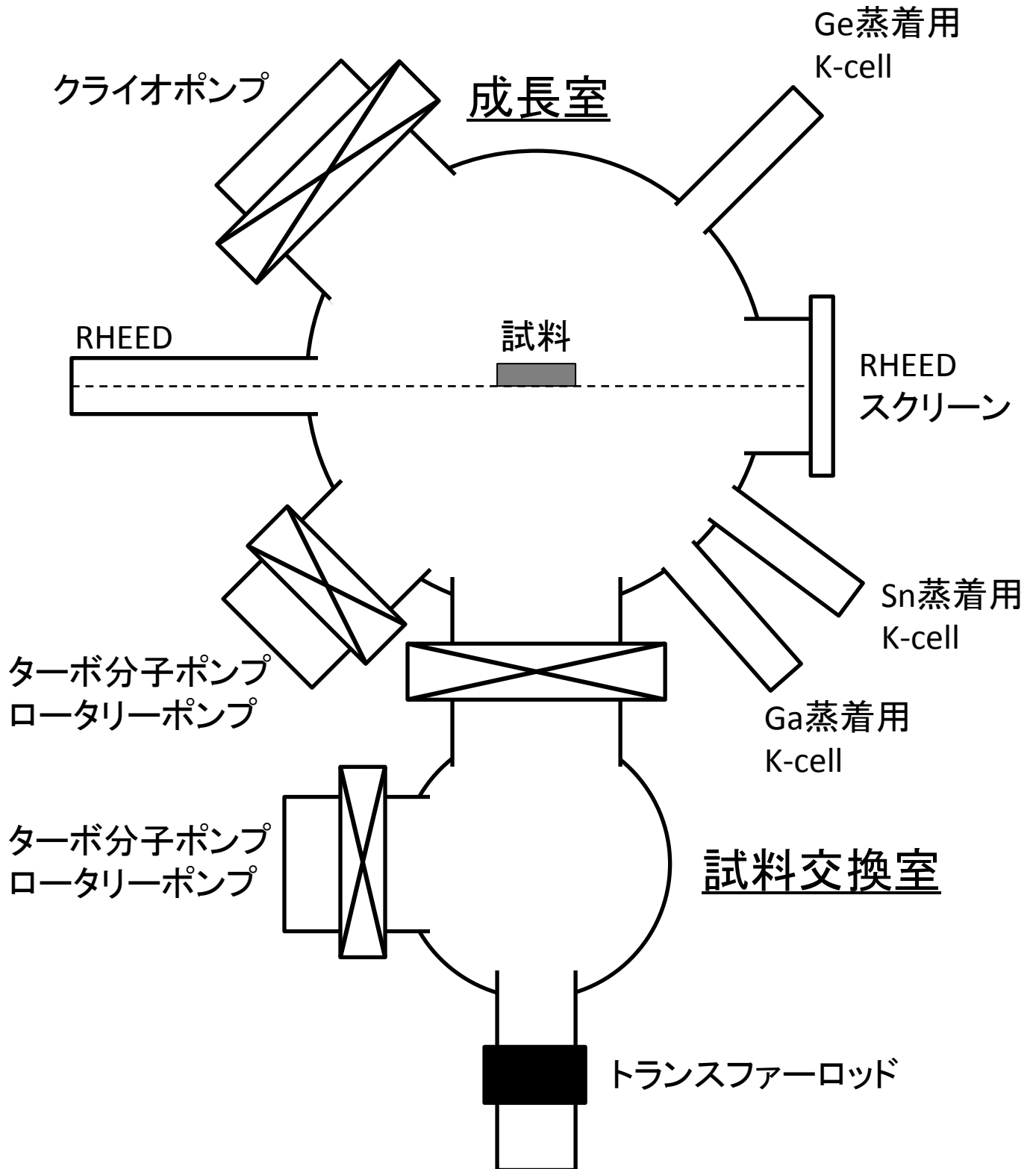


図2.1. 本研究で用いた成膜装置の概略図。

Sn 組成および Ga 濃度の制御には、蒸気圧より求めた基板到達頻度 ϕ を用いた。セルと基板の間の距離を一定とすると、基板到達頻度 (分子/cm²s) は

$$\phi = 2.64 \times 10^{20} \left(\frac{P}{\sqrt{MT}} \right) \quad (2.1)$$

と表される[3]。ここで、 P は材料の蒸気圧 (Pa)、 M は分子量、 T はルツボの温度 (K) である。図 2.2 に、Ge、Sn および Ga の基板到達頻度を示す。各点は、式(2.1)より求めた計算値で、曲線は近似曲線を表す。本 MBE 装置にはこのようなセルを最大 4 本まで設置可能である。なお、本装置には 5kV の電子ビーム蒸着器も設置しており、これにより Si の蒸着も行える。Si の蒸着速度はエミッション電流の制御によって変更可能である。この電子ビーム蒸着器は最大 2 つまで設置可能である。成長中は基板ホルダーを面内回転させ、成長膜の面内均一性を向上させた。Ge、Sn および Ga 各蒸着源上のシャッターの開閉により成長元素の選択を行い、膜厚および成長速度を水晶振動子膜厚計によって測定した。なお、透過型電子顕微鏡によって成長膜の膜厚を実測し、水晶振動子膜厚計の校正を行った。

試料導入時には試料交換室を大気から油回転ポンプで粗排気し、その後ターボ分子ポンプによって真空排気する。試料交換室の真空度は 1×10^{-4} Pa 以下である。また、試料交換室には最大 5 枚の 3 インチ基板を保管することが可能である。さらに、不定形基板用サセプターを用いることで、3 インチ以下の任意の形状の基板を導入できる。

2.2 X 線回折 2 次元逆格子空間マッピング

$\text{Ge}_{1-x}\text{Sn}_x$ および Ge 層の歪緩和および結晶性評価には、2 次元逆格子マッピング (2 Dimensional Reciprocal Space Mapping: 2DRSM) が可能な X 線回折 (X-ray Diffraction: XRD) 装置 (Phillips 社製 X'pert PRO MRD) を使用した。装置の光学系配置図を図 2.3(a) に示す。フィラメント (フィラメント電流 40 mA) と X 線源である Cu との間に高電圧 (45kV) を掛け、放出された特性 X 線 (Cu K α 1 波長 0.154056nm) は X 線ミラーによって集光される。集光された X 線は 4 つの Ge 単結晶で構成されるモノクロメータに入射

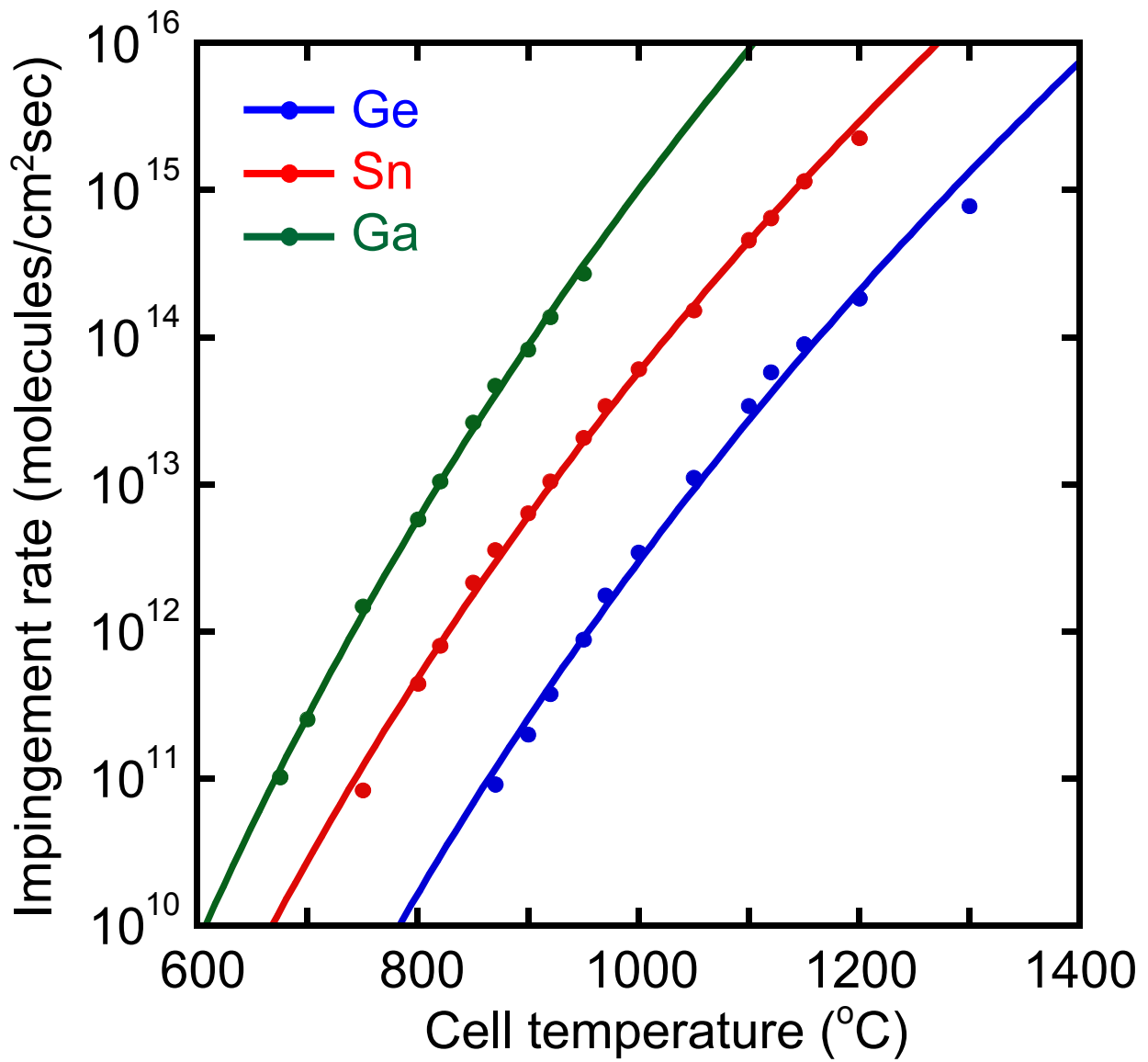


図2.2. 式(2.1)より求めたセル温度に対するGe、SnおよびGaの入射頻度。

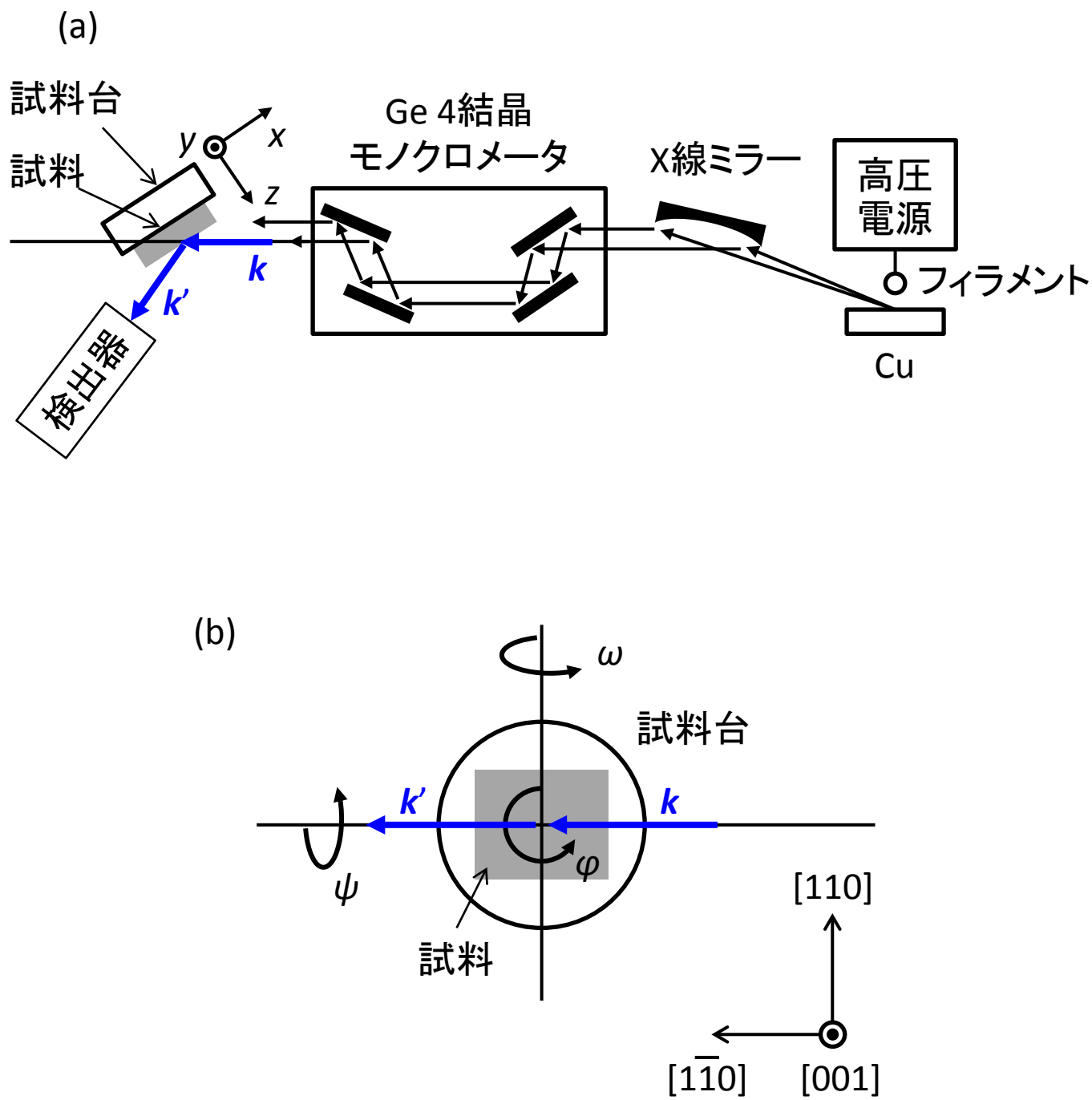


図2.3. (a) XRD-2DRSM装置の光学系配置図、(b) 試料台回転軸。

される。モノクロメータに入射した X 線は、波長および角度が Bragg 条件を満たす指向性の高い単一波長だけが取り出される。単色化された X 線は試料に照射され、その散乱波が検出器によって検出される。このとき入射波の波数ベクトル \mathbf{k} と散乱波の波数ベクトル \mathbf{k}' との成す角を 2θ とする。また、試料台の各回転軸を図 2.3 (b) に示す。試料に Si(001)基板を用いた 2 次元逆格子マッピングにおいては、例えば入射波数ベクトル \mathbf{k} を [110] 軸に沿って入射する。このとき、(004) 面と入射波数ベクトル \mathbf{k} との成す角を ω 、[110] 軸を回転軸とした回転角を ψ 、(004) 面内の回転角を φ とする。

図 2.4 (a) に 2DRSM の実空間での測定原理図を示す。図 2.4 (a) 中において紙面を測定試料の (110) 面とすると、この面内に \mathbf{k} 、 \mathbf{k}' が存在する。図 2.4 (b) に、図 2.4 (a) に対応する逆格子空間での測定原理図を示す。図 2.4 (a) 中で ω と 2θ を変化させることによって逆格子空間上をマッピングすることが可能である。また、 ω 、 2θ を用いて逆格子空間座標 Q_x 、 Q_y を定義でき、その関係は式 (2.2) で表わされる。

$$\begin{aligned} Q_x &= \frac{1}{\lambda} \{ \cos \omega - \cos(2\theta - \omega) \} \\ Q_y &= \frac{1}{\lambda} \{ \sin \omega + \sin(2\theta - \omega) \} \end{aligned} \quad (2.2)$$

ここで、 λ は X 線の波長であり、224 逆格子点においては、(hkl) 面の面間隔 d_{hkl} を用いて $Q_x=1/d_{220}$ 、 $Q_y=1/d_{004}$ が成り立つ。

図 2.5 に $\text{Ge}_{1-x}\text{Sn}_x(224)$ 非対称面付近の XRD-2DRSM 測定結果の例を示す。測定結果の ω と 2θ は、バルク基板を基準とすることで補正した。Ge 基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層が pseudomorphic に成長した場合、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の面内格子定数は Ge 基板と等しくなる。従って、図中に Pseudomorphic と示された一定の垂直線上に pseudomorphic $\text{Ge}_{1-x}\text{Sn}_x$ 層に起因する回折ピークが現れる。また、 $\text{Ge}_{1-x}\text{Sn}_x$ 層が完全歪緩和した場合には、Vegard 則によって見積もられるバルク $\text{Ge}_{1-x}\text{Sn}_x$ の格子定数に対応する、図中の Strain-relaxed と示された斜めの直線上に歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ 層に起因する回折ピークが現れる。従って、 $\text{Ge}_{1-x}\text{Sn}_x(224)$ 回折ピークが Strain-relaxed と示される直線に近いほど、歪緩和率 (Degree

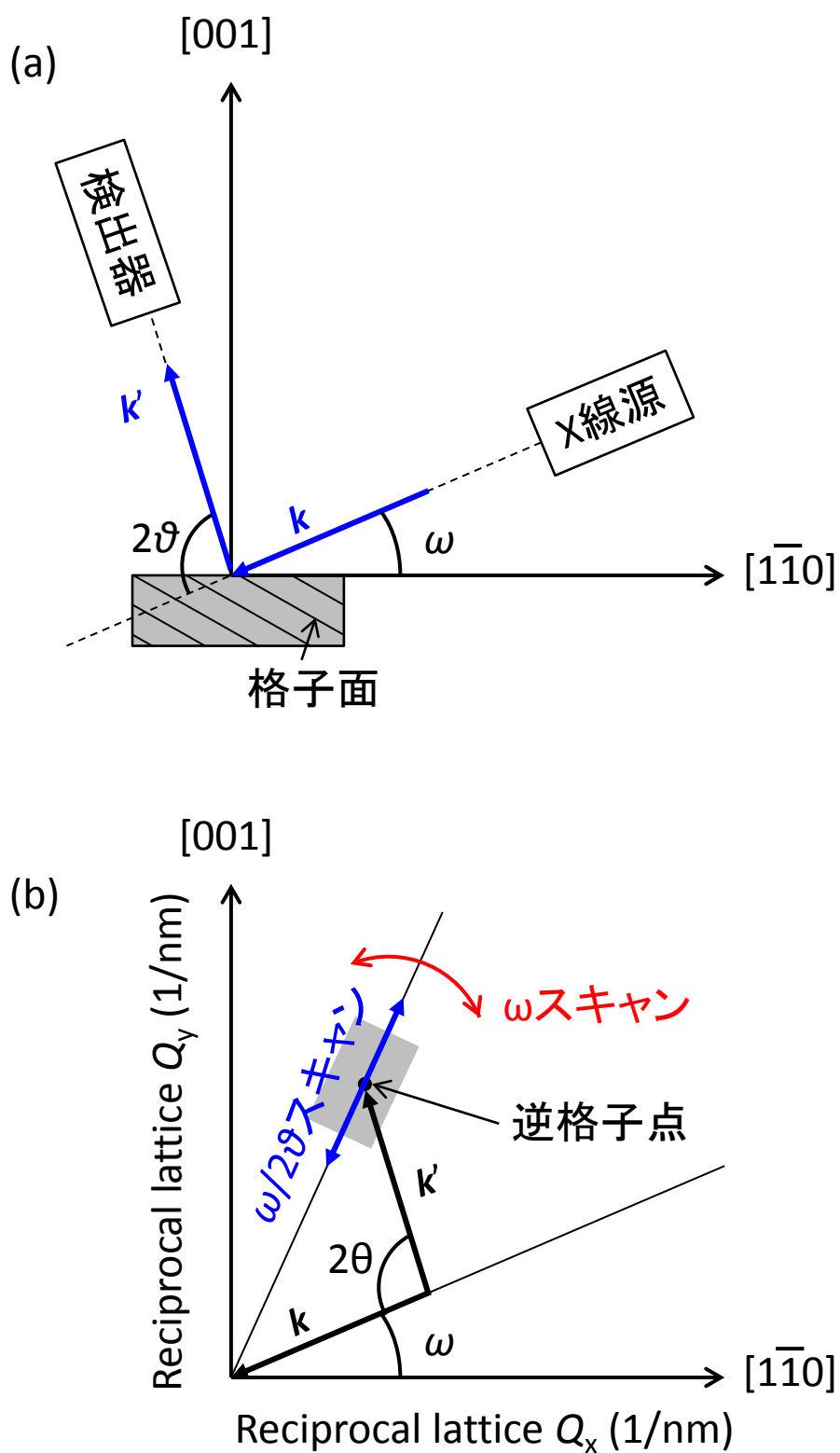


図2.4. XRD-2DRSM測定原理の概念図。(a) 実空間、および (b) 逆格子空間。

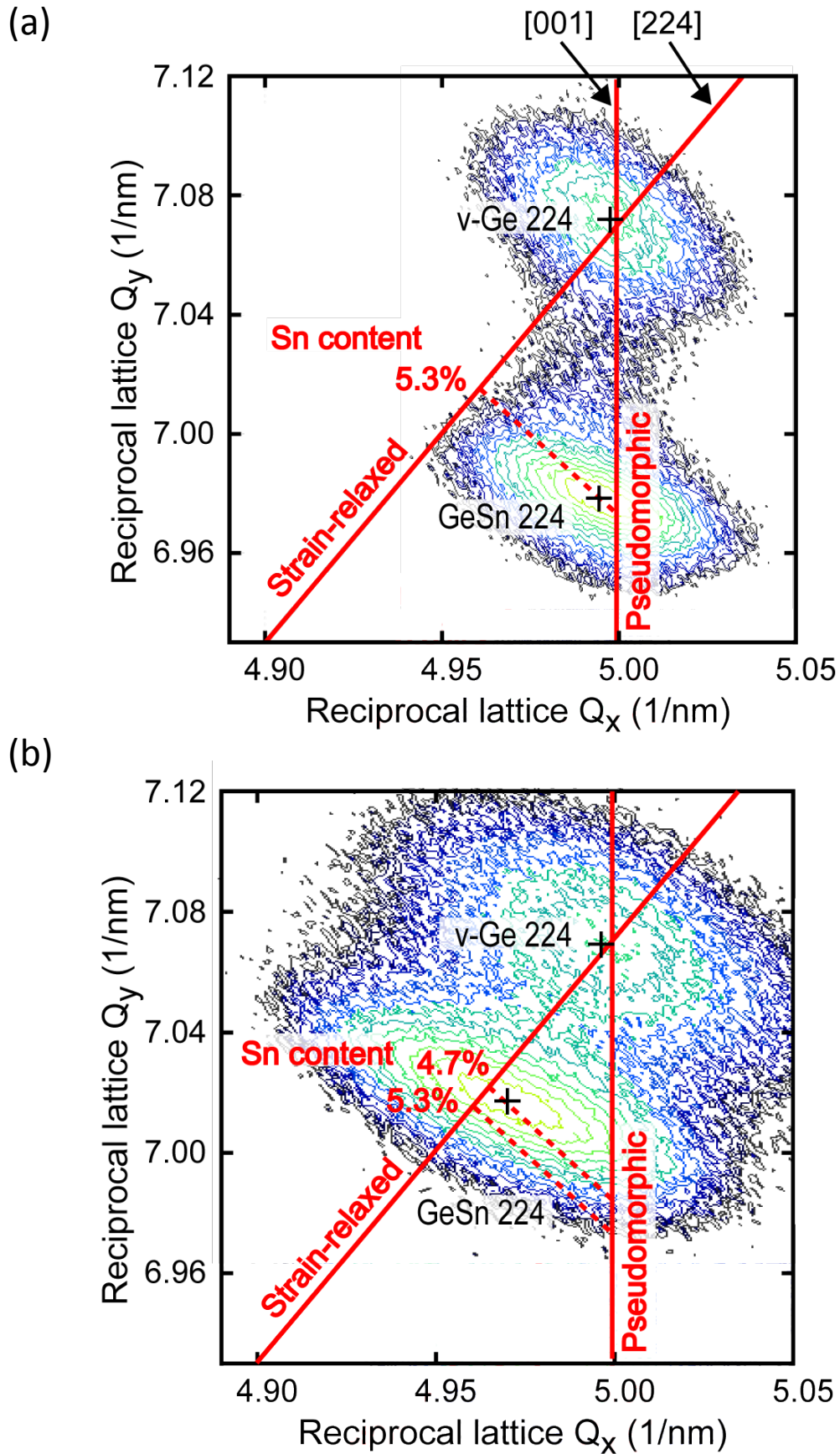


図2.5. $\text{Ge}_{1-x}\text{Sn}_x(224)$ 非対称面付近でのXRD-2DRSM測定の場合。
 (a) 成長直後、(b) 歪緩和熱処理後。

of Strain Relaxation: DSR) が高いということになる。

Sn 組成 x で固溶した $\text{Ge}_{1-x}\text{Sn}_x$ の格子定数が Vegard 則に従って線形に制御可能であるとする。このとき、 $\text{Ge}_{1-x}\text{Sn}_x$ の格子定数 a_{GeSn} は、バルク Ge の格子定数 $a_{\text{Ge}}=0.565788$ nm およびバルク $\alpha\text{-Sn}$ の格子定数 $a_{\text{Sn}}=0.64892$ nm を用いて、

$$a_{\text{GeSn}} = a_{\text{Ge}}(1-x) + a_{\text{Sn}}x \quad (2.3)$$

と表せる。ある Sn 組成を有する無歪の $\text{Ge}_{1-x}\text{Sn}_x$ 層からの回折ピークの逆格子空間座標 ($Q_{x\text{GeSn}}, Q_{y\text{GeSn}}$) が計算によって得られる。さらに、Ge 上に pseudomorphic 成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層の[001]方向の格子定数 $a_{p[001]}$ は、 $\text{Ge}_{1-x}\text{Sn}_x$ の Poisson 比 ν_{GeSn} を用いて

$$a_{p[001]} = \frac{1 + \nu_{\text{GeSn}}}{1 - \nu_{\text{GeSn}}} a_{\text{GeSn}} - \frac{2\nu_{\text{GeSn}}}{1 - \nu_{\text{GeSn}}} a_{\text{Ge}} \quad (2.4)$$

と表わされる[4]。 ν_{GeSn} は、Ge の Poisson 比 (=0.273) と Sn の Poisson 比 (=0.356) の線形で近似できる。また、この $\text{Ge}_{1-x}\text{Sn}_x$ 層の[110]方向の格子定数 $a_{p[110]}$ は、下地の Ge に整合している。これらにより Ge 上に pseudomorphic 成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層の回折ピークの逆格子空間座標 ($Q_{xp\text{GeSn}}, Q_{yp\text{GeSn}}$) が求められる。これらの座標を用いることで、図 2.5 中に示すように、回折ピークの逆格子空間座標から $\text{Ge}_{1-x}\text{Sn}_x$ 層の Sn 組成を求めることができる。同様に、これらの座標を用いて、[001]方向および[110]方向に対する DSR は、

$$DSR_{[001]} = \frac{Q_{ye} - Q_{yp\text{GeSn}}}{Q_{y\text{GeSn}} - Q_{yp\text{GeSn}}} \quad (2.5a)$$

$$DSR_{[110]} = \frac{Q_{xp\text{GeSn}} - Q_{xe}}{Q_{xp\text{GeSn}} - Q_{x\text{GeSn}}} \quad (2.5b)$$

と表わされる。ここで、(Q_{xe}, Q_{ye})は、実験から得られた回折ピークの逆格子空間座標を表す。以上より、図 2.5 (b) の例では、歪緩和熱処理によって歪緩和が進行しているものの、成長直後に比べて Sn 組成が減少しており、Sn が析出していることがわかる。

2.3 透過電子顕微鏡

本研究では、転位構造観察および Sn 析出の確認には、日立製作所製の熱電子放出型透過電子顕微鏡 (Transmission Electron Microscopy: TEM) H-800 を使用した。

図 2.6 (a) に、TEM の結像光路図を示す。電子線源であるフィラメントから放出された電子は加速された後にコンデンサレンズで収束され、試料に入射される。試料を透過した電子は、対物レンズ、中間レンズおよび投影レンズを通して拡大され、スクリーン上に像を投影する。このとき、試料に入射した電子線は、結晶内を直進して結晶を透過する電子線 (透過波) と、結晶内の各結晶面でブラッグ回折を起こした電子線 (回折波) とに分かれる。図 2.6 (b) は回折図形を得る場合の光路図である。透過波、回折波のいずれも対物レンズの後焦点面に焦点を結んだ後、スクリーンに結像する。後焦点面には常に回折図形が生じており、これを中間レンズのフォーカスを回折図形面に合わせることで、スクリーン上に回折図形が投影される。また、制限視野絞りによって実像の視野を制限した回折図形も得られる[5]。

2.4 四探針法

本研究では、エピタキシャル層の抵抗率の測定のために四探針法を用いた。四探針法では、図 2.7 のように直線上に等間隔に並んだ四つの針のうち、外側の探針 A-D 間に電源および電流計を接続し、内側の探針 B-C 間に電圧計を接続する。このとき、探針と試料の間にはコンタクト抵抗 r が存在するが、電圧計の内部インピーダンスを高くすることで、内側の探針には電流がほとんど流れない。従って、探針 B、C のコンタクト抵抗 r による電圧降下を無視でき、試料の抵抗 R にかかる電圧を測定可能となる。このとき、電流が試料の面内に広がりを持つため、シート抵抗率 ρ_s は、

$$\rho_s = \frac{\pi}{\ln 2} \frac{V}{I} = 4.53 \frac{V}{I} \quad (2.6)$$

と表される[3]。本研究における四探針法測定には、CAPRES 社製のマイクロ四探針法

(Micro 4 Point Probe: μ 4pp) を用いた。本 μ 4pp で用いられた四探針プローブは、探針間隔が $10\ \mu\text{m}$ と非常に小さく、基板への電流の広がりを抑制できるために、基板上に形成した薄膜の抵抗率測定に有効である。また、入力信号に \sin 波を用いており、入力信号と測定信号の位相差を用いて、測定信号のインダクタ成分を取り除き抵抗成分のみを取り出すことが可能である。

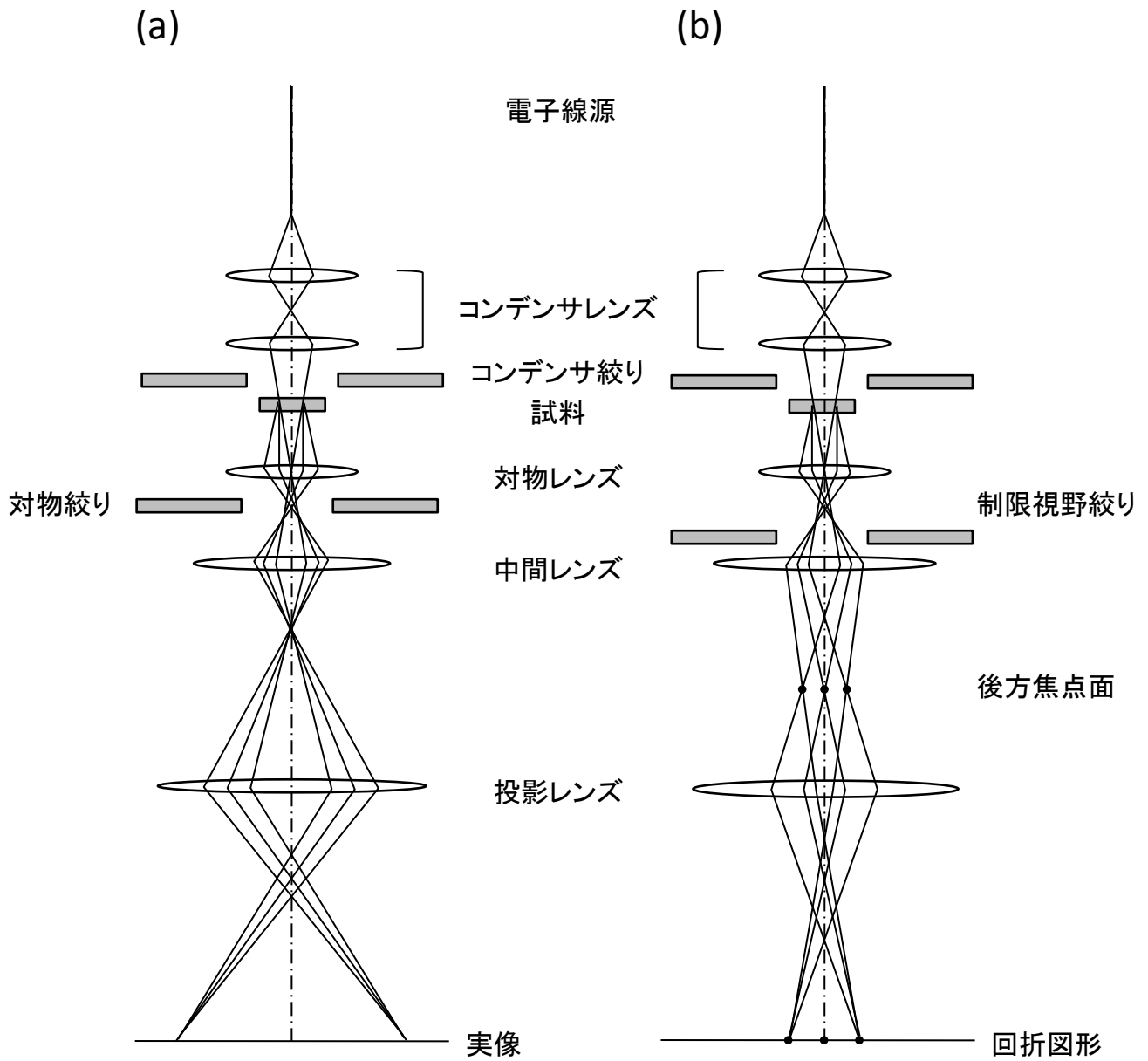


図2.6. 透過型電子顕微鏡の結像光路、(a) 実像、および (b) 回折パターン。

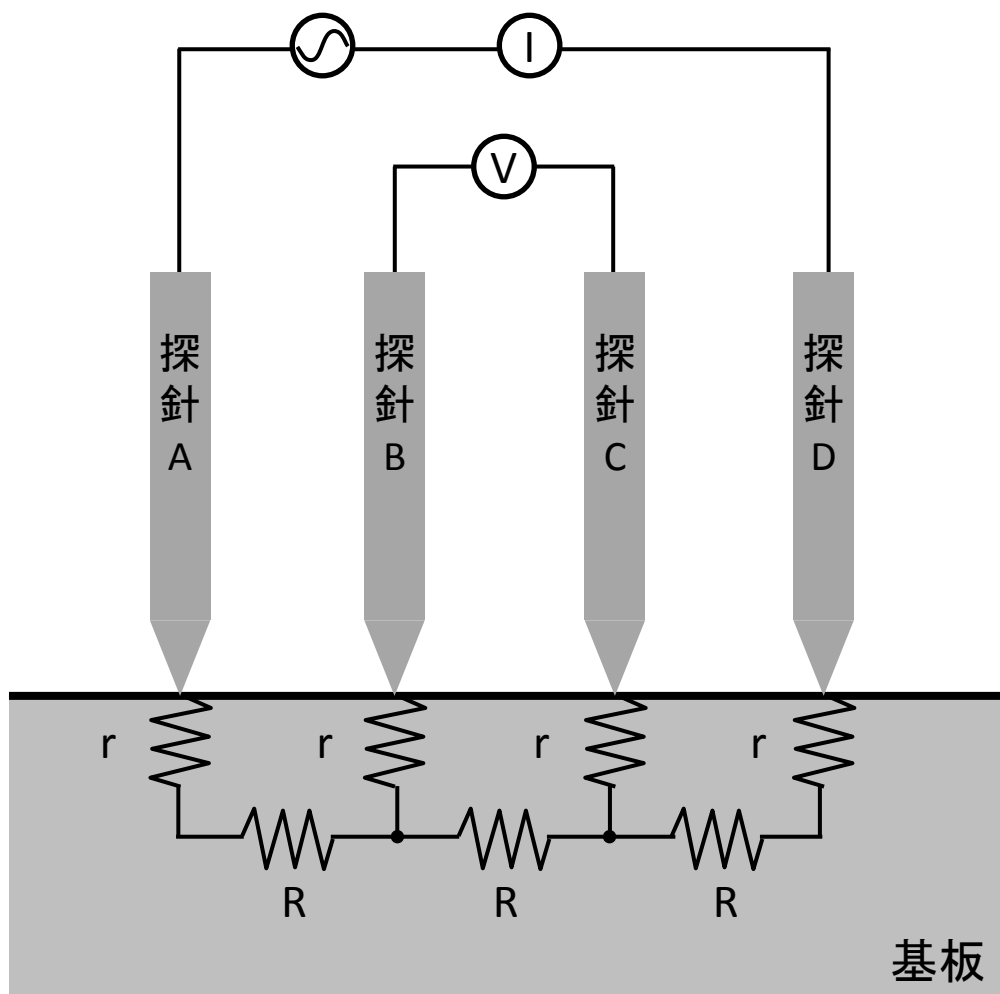


図2.7. 四探針法の概略図。rおよびRはそれぞれ基板-探針間の接触抵抗および基板の抵抗。

参考文献

- [1] T. Akane, H. Okumura, J. Tanaka, and S. Matsumoto, *Thin Solid Films*, **294**, 153 (1997).
- [2] A. Sakai, N. Taoka, O. Nakatsuka, S. Zaima, and Y. Yasuda, *Appl. Phys. Lett.* **86**, 221916 (2005).
- [3] S. M. Sze, *Semiconductor Devices Physics and Technology* 2nd Edition, Wiley, p.359 (2001).
- [4] J. M. Hartmann, B. Gallas, J. Zhang, and J. J. Harris, *Semicond. Sci. Technol.* **15**, 370 (2000).
- [5] 坂公恭、結晶電子顕微鏡学、内田老鶴圃、p.85 (2005).

第3章 高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成

3.1 はじめに

第1章で述べたように、 $\text{Ge}_{1-x}\text{Sn}_x$ は Ge に対するストレッサーとして非常に魅力的な材料である。Ge の直接遷移化が予想されている 1.3%以上の二軸伸張歪を Ge に印加するためには、8.9%以上の Sn 組成を有し、完全に歪緩和した $\text{Ge}_{1-x}\text{Sn}_x$ バッファ層が必要である。同様に、一軸圧縮歪 Ge のための $\text{Ge}_{1-x}\text{Sn}_x$ S/D ストレッサーにおいても、移動度向上に十分な応力を Ge チャンネル部に印加するためには、3%以上の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層が必要となる。しかし、Ge 中への Sn の平衡固溶限が 1 %と低いことに起因して、Sn は成長中あるいは熱処理中に容易に析出する。従って、 $\text{Ge}_{1-x}\text{Sn}_x$ を応用するためには、結晶成長、歪緩和熱処理や、不純物の活性化熱処理の際の Sn 析出抑制技術の確立が必要不可欠である。本章では、成長温度が $\text{Ge}_{1-x}\text{Sn}_x$ 層の Sn 析出および歪緩和に与える影響について述べる。

熱平衡状態において、平衡点欠陥密度 N_{v0} は、

$$N_{v0} = N_0 \exp\left(\frac{-E_a}{kT}\right) \quad (3.1)$$

と表される[1]。ここで N_0 は指数関数の係数、 E_a は点欠陥を形成するための活性化エネルギー、 T は温度である。すなわち、温度の増大に伴い、平衡点欠陥密度は指数関数的に増大する。一方で、MBE を用いたエピタキシャル成長においては、成長が非平衡状態で進行するため、エピタキシャル成長膜中の点欠陥の密度 N_v は、式 (3.1) に従わない。非平衡状態における成長温度と成長膜中の点欠陥密度の関係を定量的に求めるのは非常に難しい。しかし、成長中に基板に到達した原子が隣の吸着位置に移る頻度 ($1/\tau$) は

$$\frac{1}{\tau} = z\nu \exp\left(\frac{-E_m}{kT}\right) \quad (3.2)$$

と表される[2]。ここで、 z は次に移ることの可能な吸着サイトの数、 ν は結合の振動数で、フォノン振動数から 10^{13} /s 程度と推定されている。 E_m は表面原子との結合を一部切るためのエネルギーであり、マイグレーションエネルギーと呼ばれる。式 (3.2) に示すように、吸着位置を移る頻度は、温度に対して指数関数的に増減するために、成長温度の低減は、原子の安定位置への移動を抑制する。その結果、エピタキシャル成長した $\text{Ge}_{1-x}\text{Sn}_x$ 中の原子空孔密度が増大すると考えられる。Stuttgart 大学の Kasper らは、 $\text{Si}_{1-x}\text{Ge}_x$ 層の成長温度の低減によって、より多くの点欠陥が成長膜に導入され、Si 基板上における $\text{Si}_{1-x}\text{Ge}_x$ 層の DSR を増大できると報告している[3]。

一方で、Sn の Ge 中への固溶限が小さい原因の一つとして、Sn と Ge の原子半径差が大きく、Ge 中における Sn 原子の周りに局所的に大きな歪が生じることが考えられる。従って、Sn の析出抑制のためには、Sn 原子周辺の局所歪の低減が効果的であると考えた。そのためには、Ge よりも原子半径の小さな原子を Sn と結合させればよい。表 3.1 に、理論計算によって求められた Ge 中における Sn、原子空孔 (V)、および炭素 (C) の結合エネルギーを示す[4, 5]。Ge と Sn の結合エネルギーは計算されていないが、Sn-Sn 結合と比べ、Sn-V 結合の結合エネルギーが負に大きく、Ge 中においてより安定に存在できると考えられる。また、Ge より小さい原子として C を導入した場合にも、Sn と C は安定に結合するために、C の導入も Sn 析出抑制に効果があると考えられる。C の Ge 中への平衡固溶限は 10^8 atoms/cm³ オーダー[6]と極めて低いが、Sn によって C の析出の抑制も期待されることを追記しておく。

3.2 実験方法

$\text{Ge}_{1-x}\text{Sn}_x$ 層は仮想 Ge 基板[7]上に形成した。Ge 層および $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長には、2.1 節で述べた MBE 装置を用いた。仮想 Ge 基板を 2.1 節で述べた方法に従って洗浄し、表面を清浄化した。表面清浄化後、RHEED によって 2×1 表面再構成構造を確認した。仮

表3.1. Ge中におけるSn、Cおよび原子空孔 (V) の結合エネルギー[4,5]。

Defect complex	Binding energy in Ge (eV)
V-V	-0.48
Sn-Sn	0.03
C-C	0.90
Sn-V	-0.61
Sn-C	-0.24
C-V	-0.07

想 Ge 基板の上に、基板温度 100°C から 200°C で $\text{Ge}_{1-x}\text{Sn}_x$ 層をエピタキシャル成長させた。Ge の蒸着にはクヌーセンサーを用い、Sn の蒸着にはアークプラズマガンを用いた。 $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長後、試料を大気中に取り出し、窒素雰囲気中、500°C で 60 分間の後熱処理 (Post Deposition Annealing: PDA) を行った。Sn 組成および DSR の測定には 2.2 節で述べた XRD-2DRSM を、Sn 析出の確認および転位構造の評価には 2.3 節で述べた TEM を用いた。

3.3 臨界 Sn 組成と歪緩和率の成長温度依存性

様々な Sn 組成を有する膜厚 100 nm の $\text{Ge}_{1-x}\text{Sn}_x$ 層を、成長温度 100°C から 200°C で形成した。前述の通り、MBE を用いた非平衡エピタキシャル成長では、成長温度の低減によりエピタキシャル成長膜中の点欠陥密度が増大することが示唆され、成長温度 200°C で形成した試料と比べ、100°C で形成した試料中の点欠陥密度は高いことが予想される。また、Si 上に Ge 層をエピタキシャル成長させた場合には、成長温度の低下に伴い、Ge 層がエピタキシャル成長する膜厚が減少し、成長膜表面がアモルファス化 (Epitaxial breakdown) することが報告されている [8]。 $\text{Ge}_{1-x}\text{Sn}_x$ 層においても同様の Epitaxial breakdown が懸念されたが、RHEED 観察を用いて成長開始から成長終了までのエピタキシャル成長を確認した。

図 3.1 に、200°C で成長した Sn 組成 6.3% の $\text{Ge}_{1-x}\text{Sn}_x$ の断面 TEM 像を示す。成長直後には (図 3.1 (a))、 $\text{Ge}_{1-x}\text{Sn}_x$ 層には、仮想 Ge 基板から引き継がれた貫通転位が観察された。 $\text{Ge}_{1-x}\text{Sn}_x$ 層/仮想 Ge 基板界面において、横方向へのミスフィット転位の伝播は見られず、 $\text{Ge}_{1-x}\text{Sn}_x$ 層は pseudomorphic に成長していることが示唆される。また、TEM 像において Sn の析出物は観察されず、成長中の Sn 析出は起こっていないと考えられる。これは、成長温度および Sn 組成の異なる、その他の試料においても同様であった。一方で熱処理後には (図 3.1 (b)、3.1 (c))、 $\text{Ge}_{1-x}\text{Sn}_x$ 層/仮想 Ge 基板界面に、横方向への

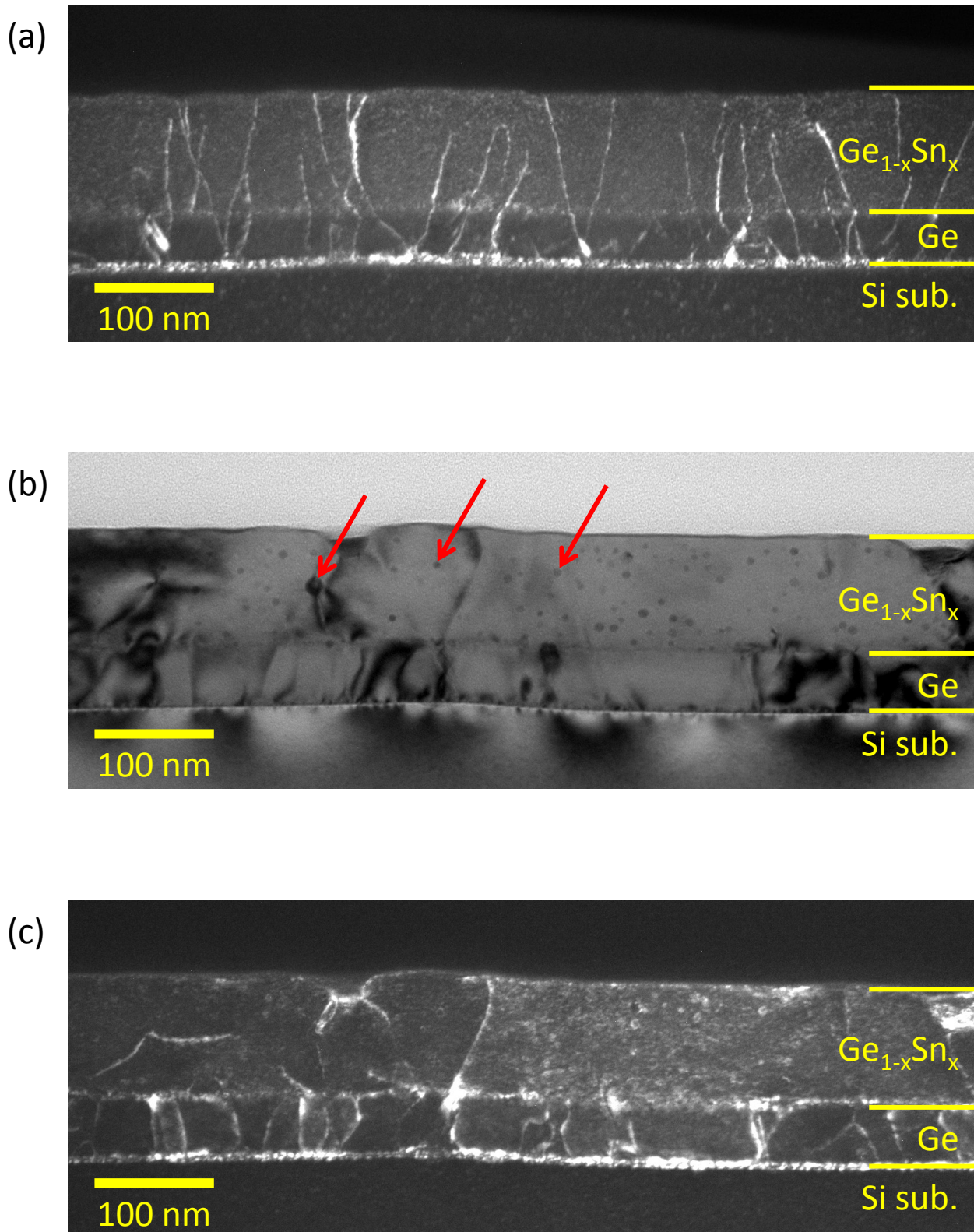


図3.1. 仮想Ge基板の上に成長温度200°Cで形成したSn組成6.3%の $\text{Ge}_{1-x}\text{Sn}_x$ 層の断面TEM像。(a) 成長直後-暗視野像、(b) 熱処理後-明視野像、(c) 熱処理後-暗視野像。

ミスフィット転位の伝播が観察され、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和が起こっていることが示唆される。しかし、図 3.1 (b) 中に矢印で示すように、Sn の析出物が観察された。図 3.2 に、同じ試料の成長直後および窒素雰囲気中における 500°C、60 分間の熱処理後の Ge224 逆格子点付近における XRD-2DRSM 測定によって得られた逆格子ピークをそれぞれ示す。成長直後には、 $\text{Ge}_{1-x}\text{Sn}_x$ 逆格子ピークは仮想 Ge 基板の逆格子ピークとほぼ同じ Q_x 上に表れ、仮想 Ge 基板上に pseudomorphic に成長していることがわかった。これは TEM 像で、 $\text{Ge}_{1-x}\text{Sn}_x$ 層/仮想 Ge 基板界面にミスフィット転位の伝播が観察されなかったことと一致する。一方で、PDA 後には $\text{Ge}_{1-x}\text{Sn}_x$ 逆格子ピークが成長直後の試料において観察された位置からシフトし、歪緩和と Sn 析出の両方が起こっていることがわかった。これも TEM 像から得られた結果と一致し、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和が $\text{Ge}_{1-x}\text{Sn}_x$ 層/仮想 Ge 基板界面のミスフィット転位の伝播によって引き起こされることがわかった。

同様に、成長温度 100 から 200°C で形成した様々な Sn 組成を有する膜厚 100 nm の $\text{Ge}_{1-x}\text{Sn}_x$ 層の、XRD-2DRSM によって得られた、 $\text{Ge}_{1-x}\text{Sn}_x$ 224 逆格子点の測定結果をまとめた結果を図 3.3 に示す。図中には成長直後および窒素雰囲気中における 500°C、60 分間の熱処理後における試料の結果を表した。また、詳細を表 3.2 に示す。成長温度 200°C のいずれの試料においても、熱処理によって Sn が析出した結果、Sn 組成が 5.5% を超えることはなかった。一方で、150°C および 100°C で成長させた試料に、同条件の熱処理を施した場合、Sn の析出は起こったものの、熱処理後においても 6.8% および 7.1% の Sn 組成を有していた。この結果、各成長温度における臨界 Sn 組成が存在し、臨界 Sn 組成は成長温度の低減とともに増大することがわかった。すなわち、成長温度の低減は Sn 析出の抑制に効果的であることが明らかとなった。

次に、成長温度と DSR の関係について述べる。図 3.4 にそれぞれの試料の成長直後および熱処理後の DSR の Sn 組成依存性を示す。プロットには図 3.3 と同じく、表 3.2 に示したシンボルを用いた。成長直後の DSR は、Sn 組成とともに増大する傾向がみら

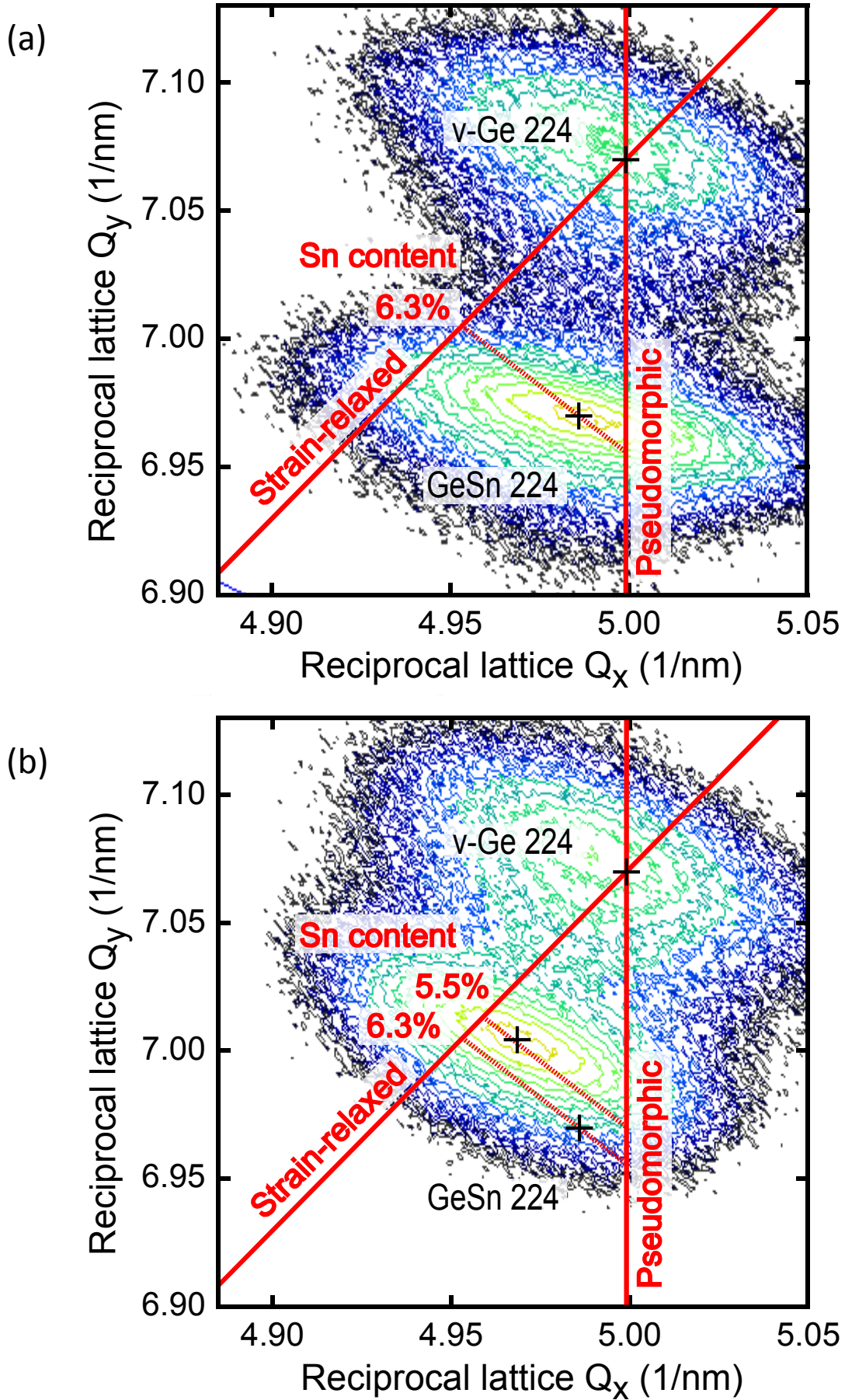


図3.2. 仮想Ge基板の上に成長温度200°Cで形成したSn組成6.3%の $\text{Ge}_{1-x}\text{Sn}_x$ 層における $\text{Ge}_{1-x}\text{Sn}_x$ 224逆格子点付近でのXRD-2DRSM測定結果。(a)成長直後、(b)熱処理後。

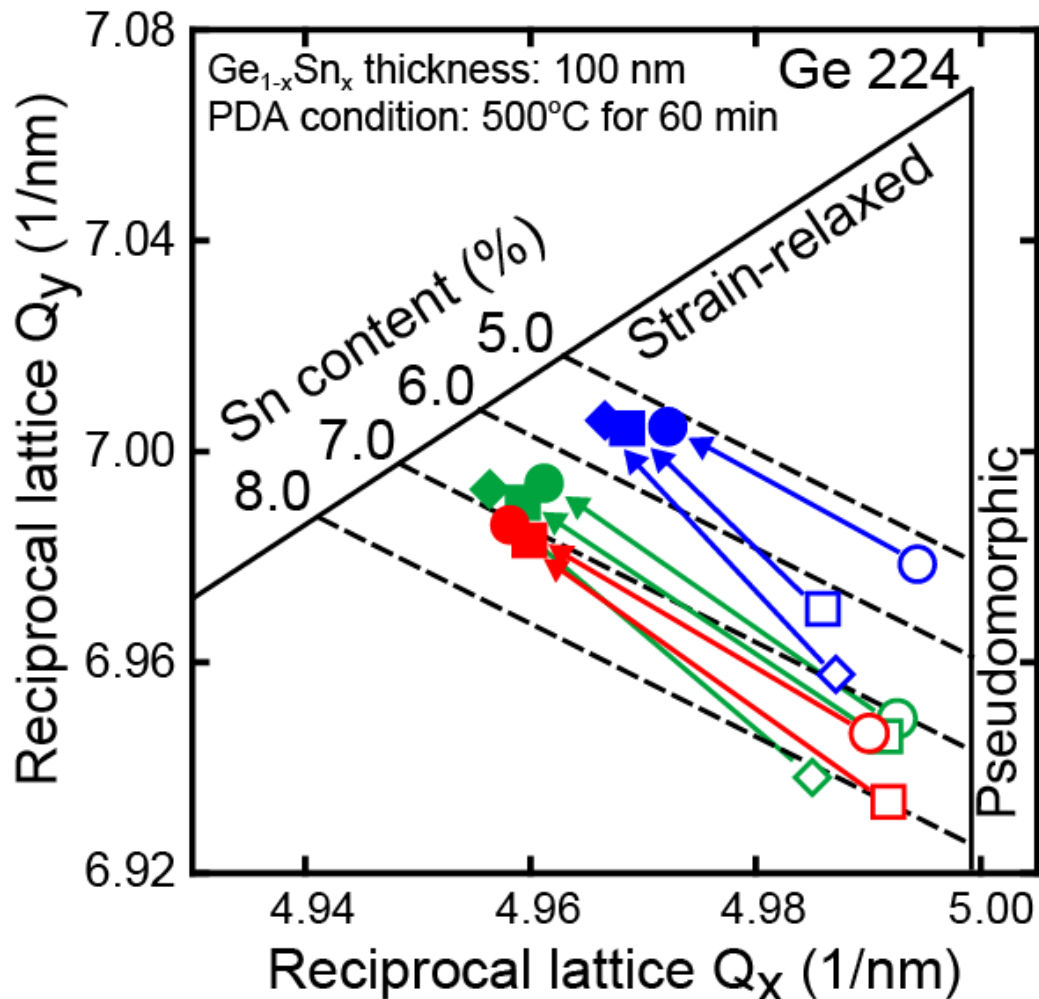


図3.3. 仮想Ge基板上Ge_{1-x}Sn_x層の成長直後および熱処理後のGe_{1-x}Sn_x(224)逆格子点のピーク位置のまとめ。

表3.2. 図3.3で用いた試料の詳細および用いたシンボルのまとめ。

成長温度 (°C)	成長直後の Sn組成 (%)	PDA後の Sn組成 (%)	PDA後の DSR (%)	図中のシンボル	
				成長直後	PDA後
200	5.4	5.2	71	○	●
	6.3	5.5	76	□	■
	6.9	5.5	81	◇	◆
150	7.0	6.5	80	○	●
	7.4	6.8	81	□	■
	8.1	6.8	87	◇	◆
100	7.4	7.1	79	○	●
	8.0	7.1	76	□	■

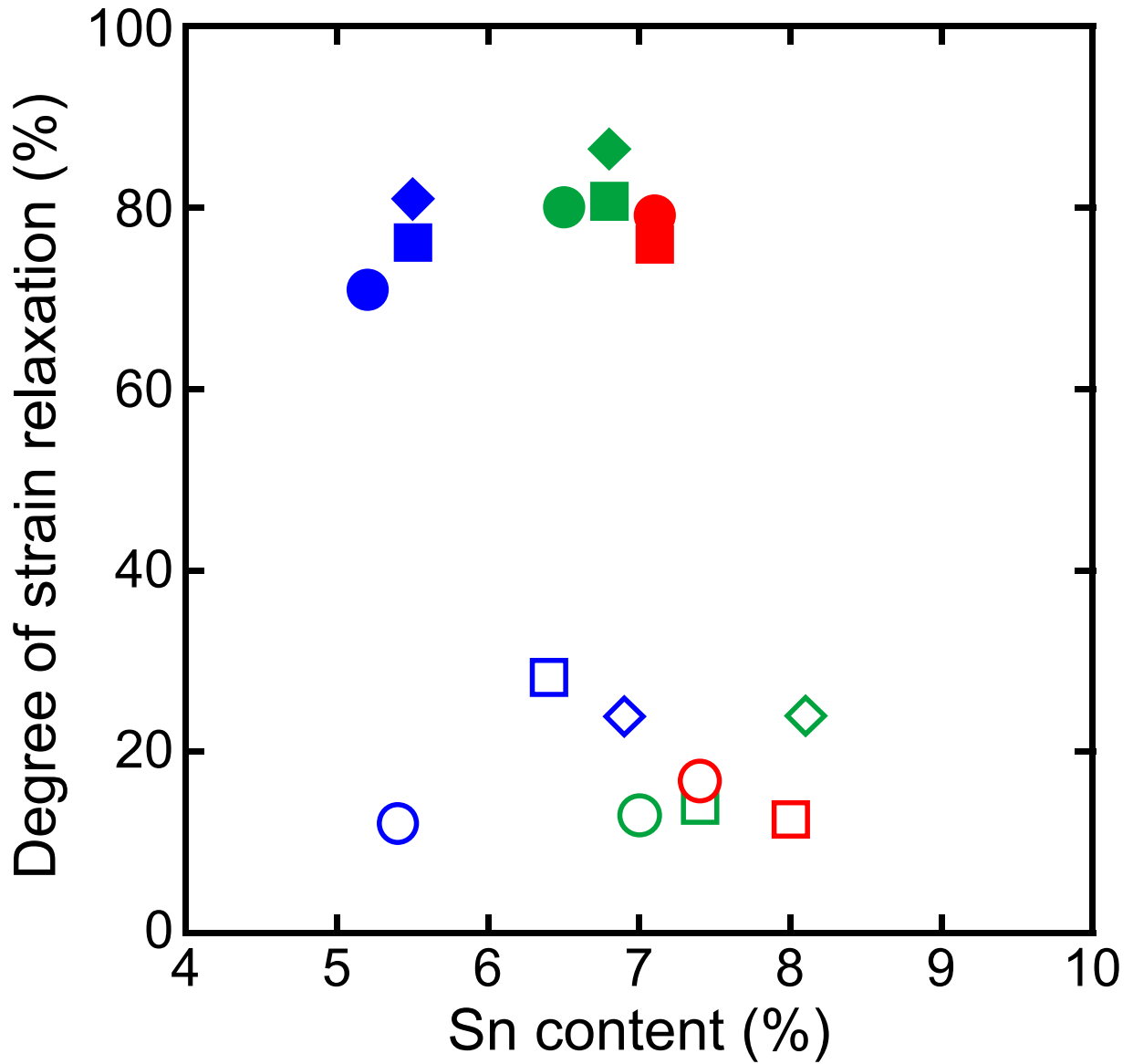


図3.4. 仮想Ge基板上的の $\text{Ge}_{1-x}\text{Sn}_x$ 層における成長直後および熱処理後の歪緩和率のSn組成依存性。

れる。これは、Sn 組成の増大によって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層に印加される圧縮歪が増大し、仮想 Ge 基板から引き継がれた貫通転位にかかる力が増大したためと考えられる。転位にかかる力と、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪量の関係は第 4 章で詳しく述べる。一方で、Sn 組成が同等の試料同士で成長直後の DSR を比較すると、高温で成長した試料の方が DSR が高いことがわかる。これは高温での成長が、成長中の転位伝播を促進したからである。熱処理後には、 200°C で形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層の DSR は最大で 81%であったのに対し、 150°C および 100°C で形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層の熱処理後における DSR はそれぞれ最大で 87%および 79%であった。それぞれの試料における、成長直後と熱処理後の DSR の差を、成長温度に対してプロットしたものを図 3.5 に示す。 200°C で成長した試料と比べ、より低温で成長した試料は、熱処理による DSR の増大が大きかった。すなわち、成長温度の低減は、成長中の歪緩和を抑制するが、熱処理に伴う歪緩和を促進するために、 150°C で形成した試料で最も高い DSR が達成されたと考えられる。今回得られた、 150°C で形成した Sn 組成 6.8%、DSR 87%の $\text{Ge}_{1-x}\text{Sn}_x$ 層は Ge 層に 0.86%の伸張歪を印加できる可能性を有している。

ここで、なぜ低温成長によって、高い Sn 組成および DSR が得られたかを考察する。低温成長によって導入が促進されたと考えられる点欠陥が Sn 析出および歪緩和に与える影響は主に 2 つある。一つは、点欠陥によって転位伝播が促進され、その結果、 $\text{Ge}_{1-x}\text{Sn}_x$ 層中の歪が低減され、Sn 析出が抑制された可能性がある。点欠陥は転位の上昇運動に寄与し、貫通転位を消滅させることで、界面に新たなミスフィット転位を生じさせる(図 3.6) [3]。図 3.7 に示すような、互いに反対方向のバーガースベクトル \mathbf{b} を持つ 2 本の転位の間には引力が働き、2 本の転位が出会うとその転位は消滅する。刃状転位を考えた場合、転位芯の部分に原子空孔または格子間原子が存在すると、転位はすべり面を逸脱して移動することができ(上昇運動)、転位の消滅が促進される。その過程において、転位が移動した際に界面に図 3.6 (b) のようなミスフィット転位が形成される。こ

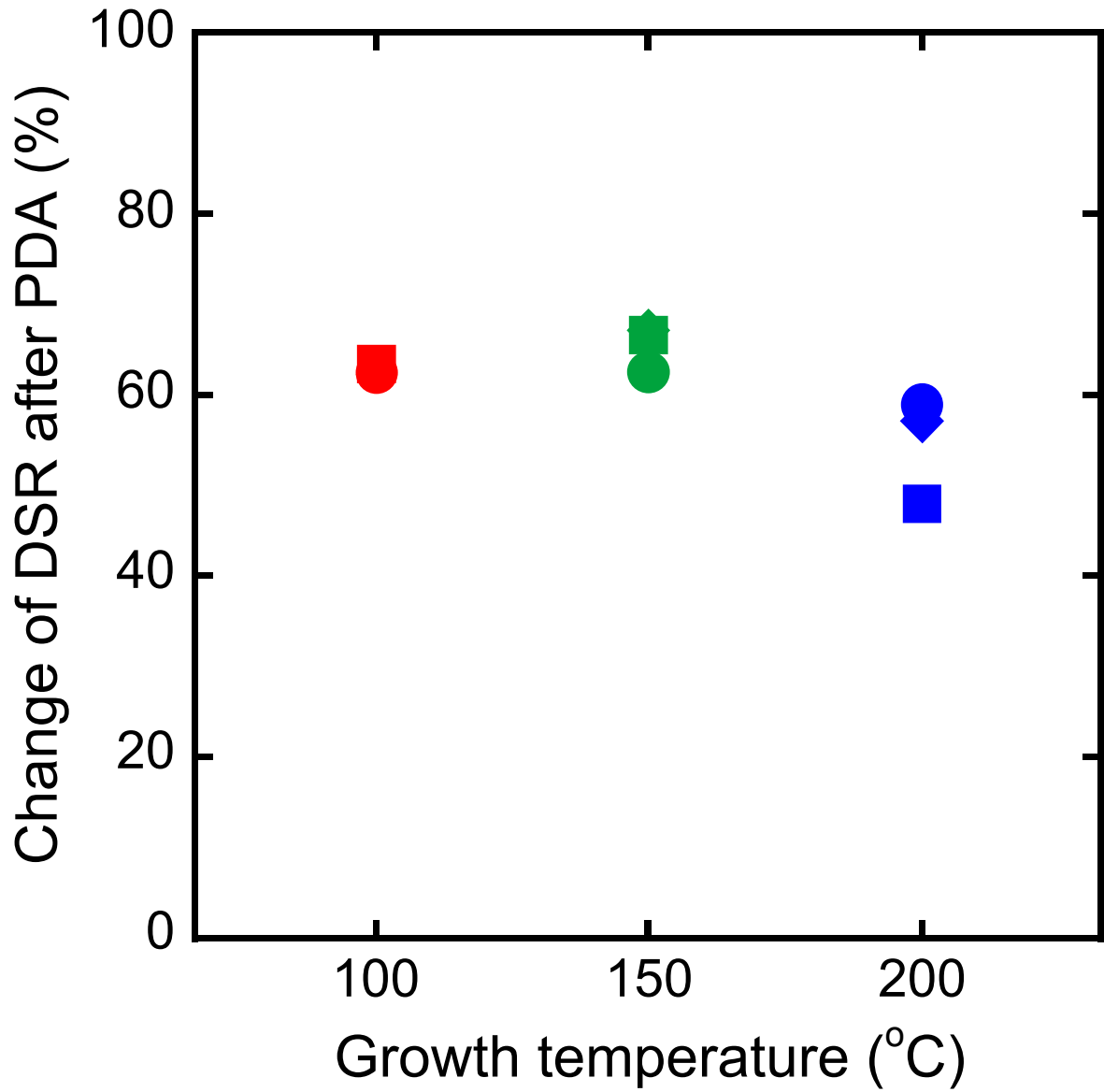
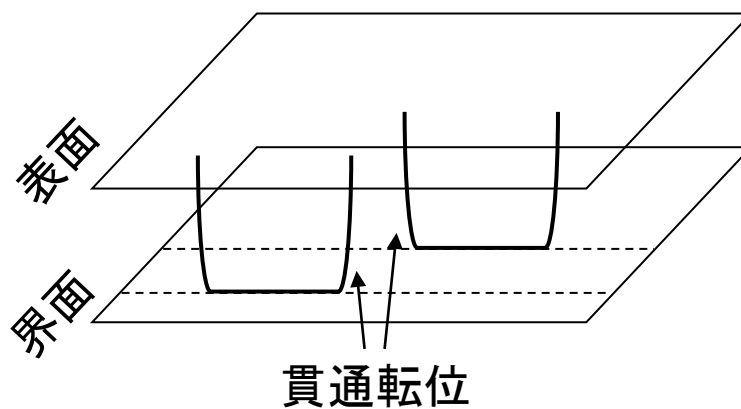


図3.5. 仮想Ge基板上的の $\text{Ge}_{1-x}\text{Sn}_x$ 層における成長直後と熱処理後の歪緩和率の差の成長温度依存性。

(a)



(b)

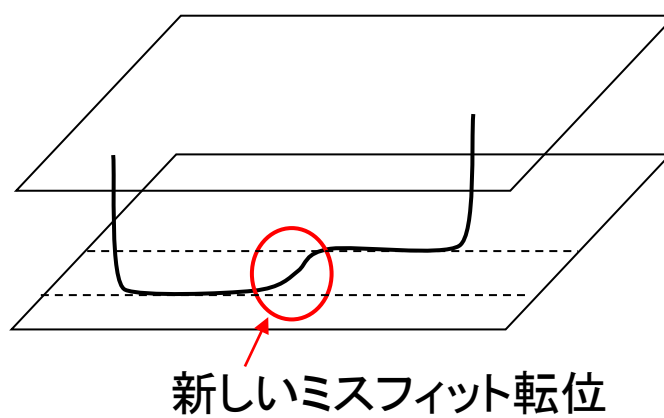


図3.6. 貫通転位の上昇運動に伴う貫通転位の消滅とミスフィット転位形成の模式図。(a) 上昇運動前、(b) 上昇運動後。

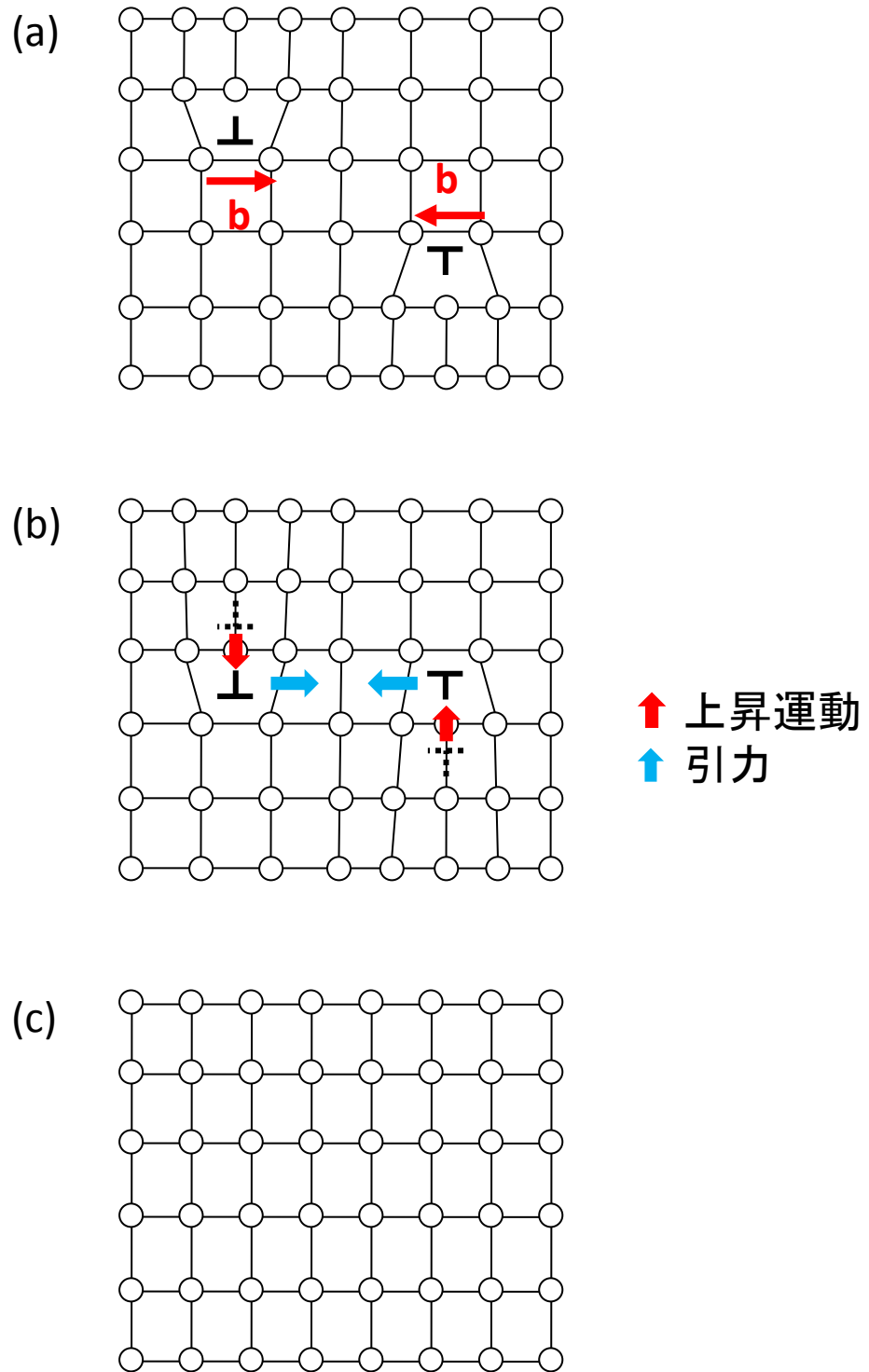


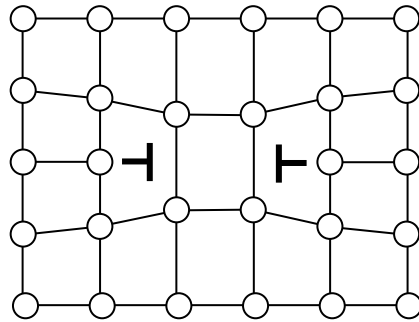
図3.7. 貫通転位の上昇運動と消滅の模式図。
(a) 上昇運動前、(b) 上昇運動と引力、(c) 転位消滅後。

のミスフィット転位も歪緩和に寄与する。また、成長膜中のある面内に点欠陥が集合すると、プリズマティック転位ループと呼ばれる新たな転位が形成される (図 3.8) [9]。これらの新たに導入された転位によっても $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪は緩和される。従って、低温成長によってより多くの点欠陥が導入された結果、転位の導入が促進され、高い歪緩和率が得られたと考えられる。また、転位による歪緩和が優先的に起こった結果、Sn に起因する局所歪が速やかに緩和され、Sn の析出が抑制されたものと考えられる。

もう一つの点欠陥の効果として、Sn と原子空孔の結合による、Sn 原子周りの局所的な歪の緩和が考えられる。前述の通り、Ge 中の Sn 原子は、原子空孔と結合し、エネルギー的に安定となることが期待できる[4, 5]。Ge 中の Sn 原子には、周囲の Ge 原子からの圧縮歪が局所的に印加されている。このとき、 $\text{Ge}_{1-x}\text{Sn}_x$ 中への点欠陥導入により、Sn 原子周囲の局所歪が低減され Sn 原子が安定化することが示唆される。従って、低温成長に伴う点欠陥導入による局所歪の制御が Sn 析出の抑制に効果的である。

これらの試料の結晶性を評価するために、XRD-2DRSM で得られた楕円型 $\text{Ge}_{1-x}\text{Sn}_x$ 逆格子ピークの長軸方向の半値幅 (Full width at half maximum: FWHM) を評価した。FWHM は、結晶の微小傾斜や歪緩和率の揺らぎなどによって増大する、結晶性の指標となる値である。図 3.9 に、様々な条件で形成した $\text{Ge}_{1-x}\text{Sn}_x$ 試料における FWHM の 220 面間隔依存性を示す。成長直後の試料において、FWHM は 220 面間隔の増大とともに増大し、図中の破線で示す傾向があることがわかった。この傾向は成長温度に依存しておらず、成長温度は成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性には影響を与えないことがわかった。熱処理後には、歪緩和によって 220 面間隔が増大した。このとき、成長直後の試料の傾向を示す破線から予想される FWHM と比べ、熱処理後の全ての試料において一点鎖線で示すように FWHM の傾向は減少した。これは図 3.1 で示したように熱処理によってミスフィット転位が伝播し、 $\text{Ge}_{1-x}\text{Sn}_x$ 層のドメインサイズが増大したためである。熱処理後の FWHM も、成長直後と同様に、220 面間隔に依存して増大している。

(a)



(b)

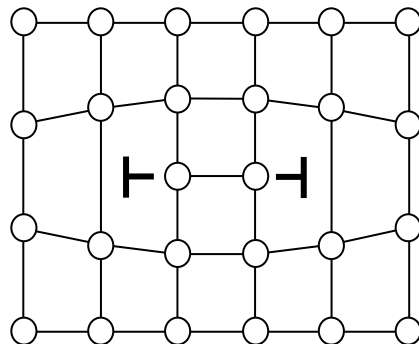


図3.8. プリズマティック転位ループの模式図。
 (a) 空孔型、(b) 格子間原子型。

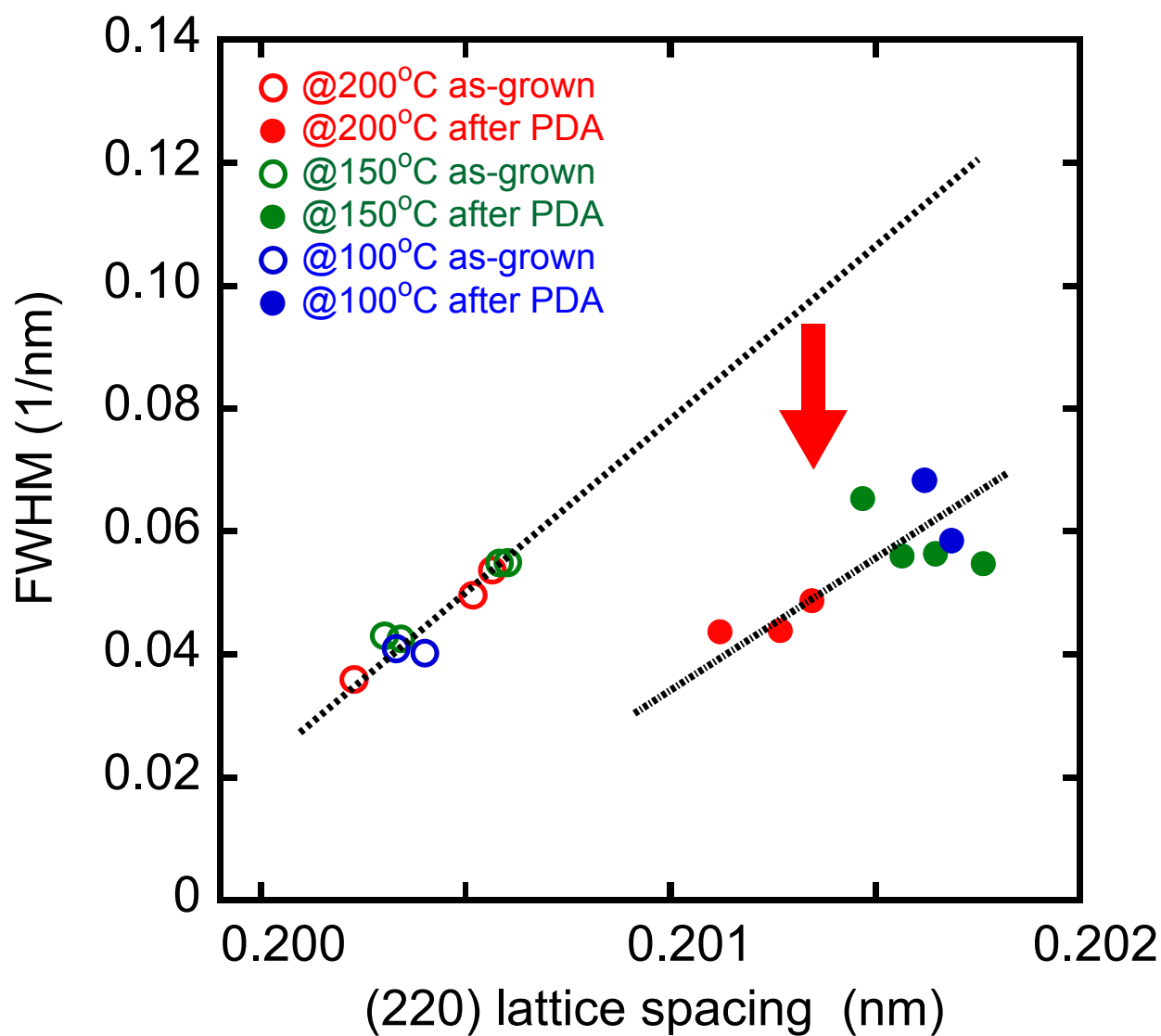


図3.9. XRD-2DRSMで得られた $\text{Ge}_{1-x}\text{Sn}_x$ 逆格子ピークの長軸方向の半値幅の220面間隔依存性。

参考文献

- [1] 小長井誠、半導体物性、培風館、p.26 (2005).
- [2] 中嶋一雄、エピタキシャル成長のメカニズム、共立出版株式会社、p.141 (2009).
- [3] E. Kasper, K. Lyutovich, M. Bauer, and M. Oehme, *Thin Solid Films*, **336**, 319 (1998).
- [4] A. Chroneos, *Physica Status Solidi (b)*, **244**, 3206 (2007).
- [5] A. Chroneos, C. Jiang, R. W. Grimes, U. Schwingenschlogl, and H. Bracht, *Appl. Phys. Lett.* **94**, 252104 (2009).
- [6] M. Okinaka, Y. Hamana, T. Tokuda, J. Ohta, and M. Nunoshita, *J. Cryst. Growth*, **249**, 78 (2003).
- [7] A. Sakai, N. Taoka, O. Nakatsuka, S. Zaima, and Y. Yasuda, *Appl. Phys. Lett.* **86**, 221916 (2005).
- [8] K. A. Bratland, Y. L. Foo, J. A. N. T. Soares, T. Spila, P. Desjardins, and J. E. Greene, *Phys. Rev. B*, **67**, 125322 (2003).
- [9] 加藤雅治、入門転位論、裳華房、p.93 (2006).

第4章 $\text{Ge}_{1-x}\text{Sn}_x$ 層の転位構造制御

4.1 はじめに

第1章で述べたように、 $\text{Ge}_{1-x}\text{Sn}_x$ はGeに歪を印加するためのストレッサーとして有望な材料である。所望の歪をGeに印加するためには、 $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサーの歪制御が求められる。すなわち、二軸伸張歪Ge形成のための $\text{Ge}_{1-x}\text{Sn}_x$ バッファ層は、大きな面内格子定数を得るために、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪を緩和させる必要があるのに対し、一軸圧縮歪Ge形成のための $\text{Ge}_{1-x}\text{Sn}_x$ ソース/ドレイン(S/D)は、大きな面直格子定数を得るためにGe基板上にpseudomorphicに形成されなければならない。本研究では、 $\text{Ge}_{1-x}\text{Sn}_x$ 層と基板との間のミスフィット歪量が歪緩和に与える影響および、イオン注入ダメージと転位導入の関係を調べた。

4.2 基板とのミスフィット差が歪緩和に与える影響

$\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和は主に、界面に導入されたミスフィット転位の、熱処理などによる横方向への伝播によって引き起こされる。図4.1に、界面にミスフィット転位が導入され、その両端から $\text{Ge}_{1-x}\text{Sn}_x$ 表面に向かって貫通転位が存在しているときのミスフィット転位による歪緩和の模式図を示す。従って、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和を制御するためには、導入される転位の種類、転位導入機構および転位伝播機構を制御する必要がある。一方でSnの析出による歪緩和は、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の格子定数を減少させてしまうため、目的とする格子定数を得るためにもSnの析出を抑制する必要がある。従って、歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ バッファ層の形成のためには、転位伝播による歪緩和を優先的に起こさなければならない。

Geおよび $\text{Ge}_{1-x}\text{Sn}_x$ の原子配列はダイヤモンド構造であり、基板との界面に導入される転位は主に 60° 転位と 90° 転位である。図4.2に、 60° 転位と 90° 転位の模式図を示す。 60° 転位は結晶がすべる方向(原子の変位の方向)を示すバーガースベクトル \mathbf{b} が、転位線に対して 60° であり、 $\mathbf{b}=\mathbf{a}[01\bar{1}]/2$ である。一方で 90° 転位のバーガースベクトルは転

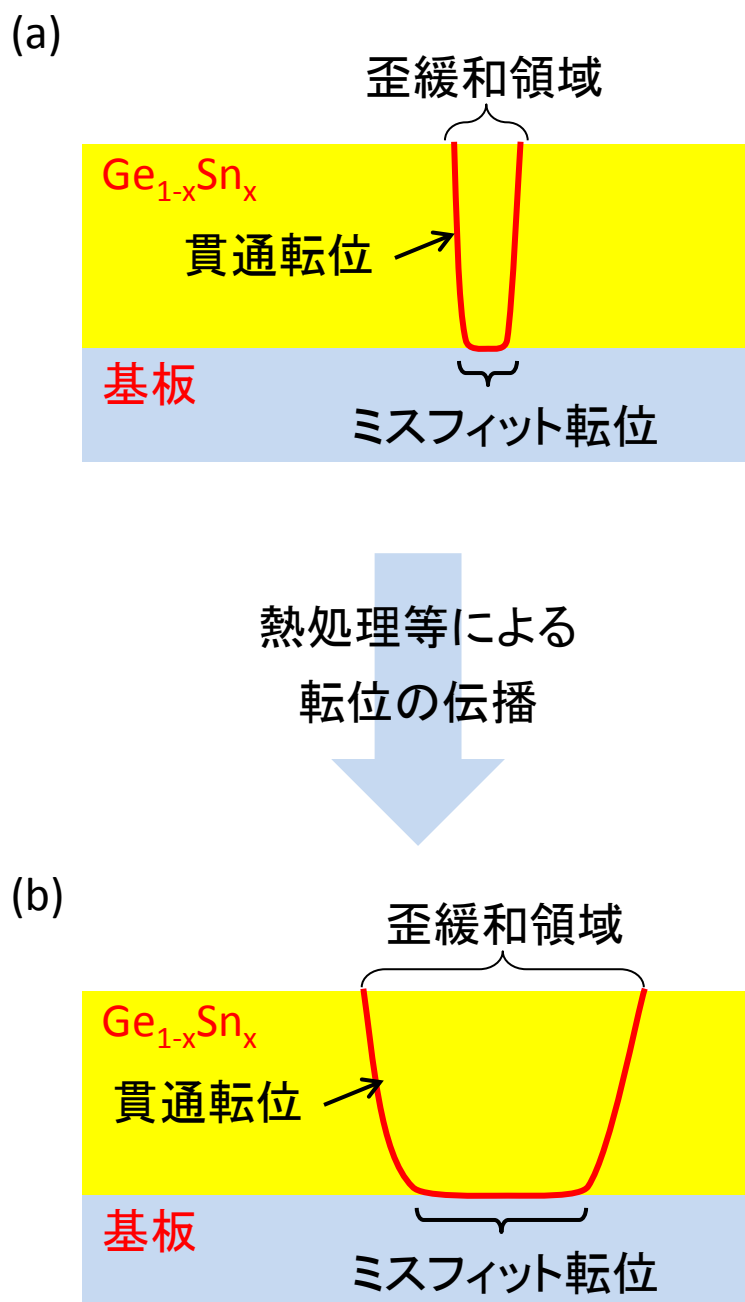


図4.1. Ge基板上に形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層における (a) ミスフィット転位の導入と (b) 伝播による歪緩和の模式図。

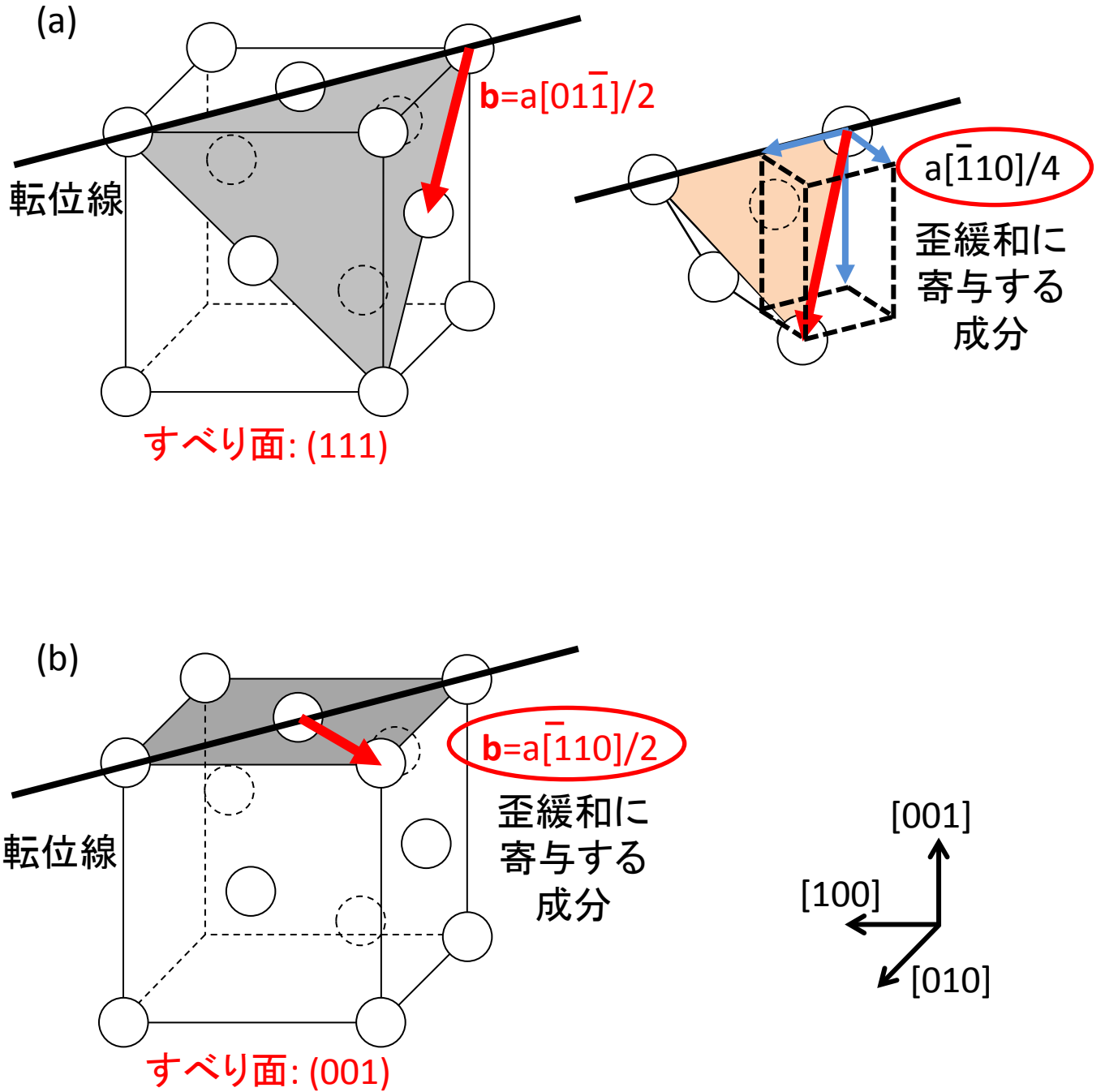


図4.2. (a) 60°転位、(b) 90°転位の模式図。

位線に対して 90° であり $\mathbf{b} = a[\bar{1}10]/2$ である。それぞれのバーガースベクトルを転位線に垂直な 3 方向に分解すると、バーガースベクトルの歪緩和に寄与する成分はそれぞれ $a[\bar{1}10]/4$ および $a[\bar{1}10]/2$ となり、界面への 60° 転位の導入によって歪を緩和する場合には、 90° 転位で緩和する場合の二倍の本数が必要となる。従って、貫通転位密度低減のために 90° 転位を導入することが好ましい。また、 60° 転位のバーガースベクトルは界面に平行でないため、ヘテロエピタキシャル成長膜の表面ラフニングを引き起こすことが報告されており[1]、この観点からも 60° 転位の導入は抑制される必要がある。

図 4.2 に示すように、 60° 転位のすべり面は(111)であるため、 60° 転位は成長後に表面からすべり面に沿って導入可能である。対して 90° 転位のすべり面は、 $\text{Ge}_{1-x}\text{Sn}_x$ /基板界面に平行な(001)面であるため、成長後には導入不可である。従って、 90° 転位は成長中に導入される必要がある。ヘテロエピタキシャル成長の初期過程において、基板とヘテロエピタキシャル成長膜との間のミスフィット差が小さい場合、Frank van Merve (FM) 成長と呼ばれる二次元的な成長が起こる (図 4.3 (a))。ミスフィット差および成長膜厚が増大すると、Stranski-Krastanov (SK) 成長と呼ばれる三次元的な成長に切り替わる[2] (図 4.3 (b))。このとき形成される三次元島のぶつかりが転位発生を誘起する[3]。従って、成長中の転位導入を促進するためには、基板との間のミスフィット差を増大させる必要がある。

また、導入された転位にはヘテロエピタキシャル層と基板とのミスフィット差に起因する二軸歪によって、横方向への力 F_a がかかる。 F_a は次のように表せる[4]。

$$F_a = 2\mu b \epsilon h \frac{1+\nu}{1-\nu} \cos \lambda \propto \epsilon h \quad (4.1)$$

ここで、 μ はヘテロエピタキシャル層の剛性率、 b は転位のバーガースベクトルの大きさ、 ϵ はヘテロエピタキシャル層にかかる歪、 h はヘテロエピタキシャル層の膜厚、 ν はヘテロエピタキシャル層の Poisson 比、 λ はバーガースベクトルと、界面上の転位線に垂直な方向とのなす角である。すなわち、基板とのミスフィット差およびヘテロエピタキシャル層の膜厚の増大で転位の伝播のドライビングフォースが増大する。ヘテロエピ

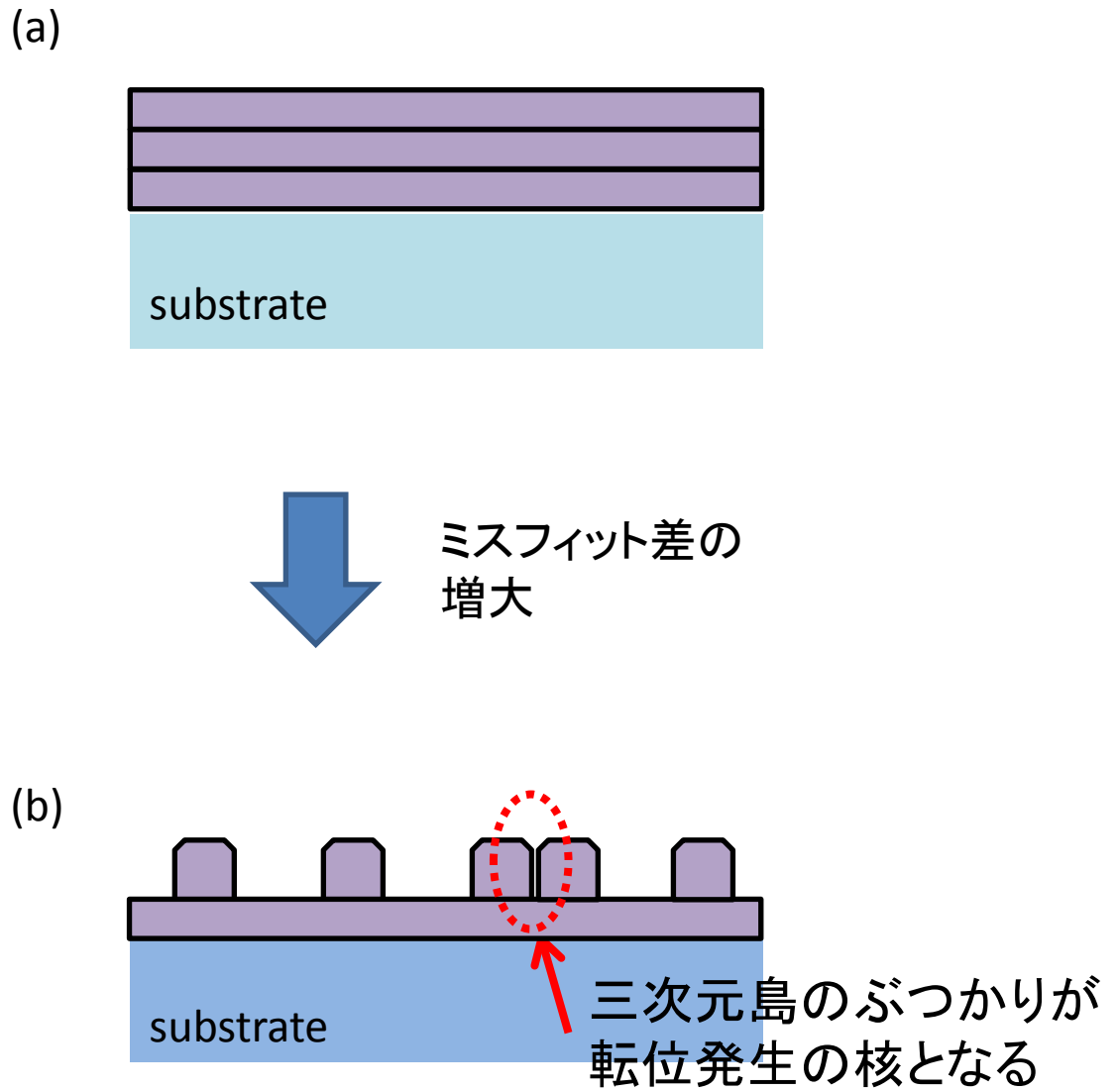


図4.3. (a) Frank van der Merve成長、(b) Stranski Krastanov成長の模式図。

タキシャル層は、プロセス時間やコストの低減のために薄膜化する必要があるため、転位の伝播力の増大に対しても、基板との間のミスフィット歪量の増大が有効である。

以上より、高品質で、より歪緩和した $\text{Ge}_{1-x}\text{Sn}_x$ 層形成のために、成長中に 90° 転位を導入し、転位の伝播力を増大させることが有効であると考えた。そこで本研究では、異なるミスフィット差を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層の転位の挙動を調べるために、Si および Ge 基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成した。例えば、6.8%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層を Si 基板上に形成した場合、ミスフィット差は Ge 基板上に形成した場合と比べて約 5 倍大きく、歪緩和の促進が期待される。また、Sn 組成の増大によっても基板との間のミスフィット差は増大する。

$\text{Ge}_{1-x}\text{Sn}_x$ 層は、2.1 節で述べた MBE 装置を用いて、成長温度 100°C から 200°C でエピタキシャル成長させた。Ge および Sn の蒸着には、共にクヌーセンセルを用いた。Sn 組成および歪緩和率の測定には 2.2 節で述べた XRD-2DRSM を、Sn 析出の確認および転位構造の評価には 2.3 節で述べた TEM を用いた。

図 4.4 に、それぞれの基板上に形成した様々な Sn 組成を有する成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の、XRD-2DRSM によって得られたピーク位置を示す。Sn 組成 6.6~9.2%の $\text{Ge}_{1-x}\text{Sn}_x$ 層を Si 基板上に形成した場合、成長直後にも関わらず歪が緩和しており、成長中に歪緩和が起こることがわかる。これは、基板との間のミスフィット差が大きいことに起因する。一方 Ge 基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成した場合、Sn 組成が 6%以下の試料は Ge 基板上に pseudomorphic に成長していた。しかし、Sn 組成が 8.2%以上に増大し、ミスフィット差が大きくなると、Si 基板上のものと同様に、成長中の歪緩和が起こった。

図 4.5 に、Si 基板上に形成した 9.2%の Sn 組成を有する成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の断面明視野 TEM 像および平面明視野 TEM 像を示す。断面 TEM 像の回折ベクトルは、 $\mathbf{g}=[004]$ および $\mathbf{g}=[220]$ である。 $\text{Ge}_{1-x}\text{Sn}_x$ 層中には、多くの転位が導入されており、界面にはミスフィット転位が存在している。界面のミスフィット転位は、回折ベクトル $\mathbf{g}=[004]$ の TEM 像においては観察されなかったことから [5]、 90° 転位であることがわかる。また、回折ベクトル $\mathbf{g}=[220]$ で得られた TEM 像において、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Si}$ 界面付近に、矢印で示すよう

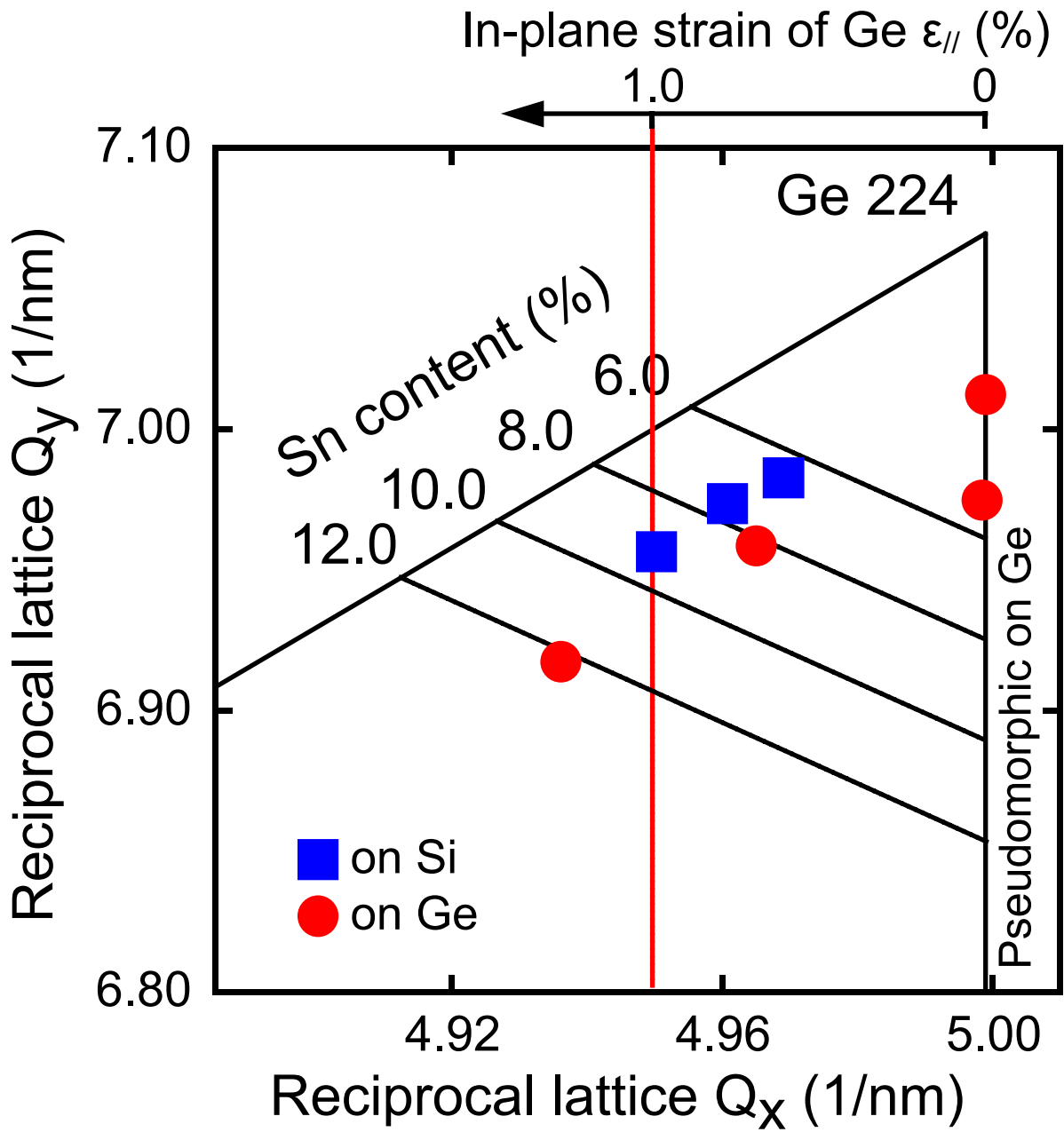


図4.4. SiおよびGe基板上に形成した成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の $\text{Ge}_{1-x}\text{Sn}_x(224)$ 逆格子点のピーク位置のまとめ。

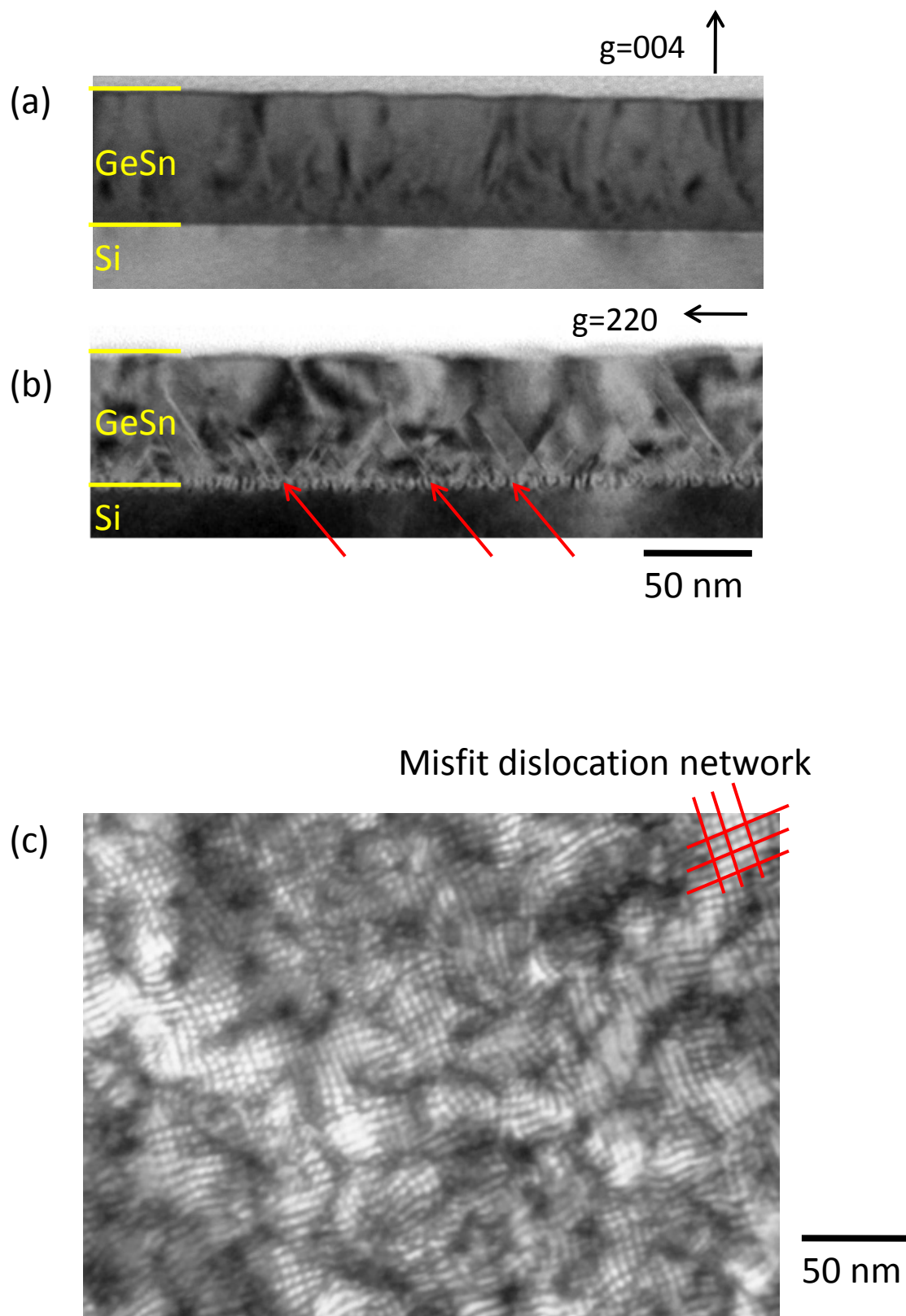


図4.5. Si基板上に形成した成長直後の $\text{Ge}_{0.908}\text{Sn}_{0.092}$ 層の明視野TEM像。(a) 断面TEM像 ($g=[004]$)、(b) 断面TEM像 ($g=[220]$)、(c) 平面TEM像。

な積層欠陥が観察された。平面 TEM 像では、間隔約 10 nm の密なミスフィット転位ネットワークが観察された。このミスフィット転位の伝播長は短く、小さなドメインを多数形成していることが観察された。以上から、Si 基板上に形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層は、多くの短いミスフィット転位の形成によって歪緩和することがわかった。

図 4.6 に、Ge 基板上に形成した 12.3% の Sn 組成を有する成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の TEM 像を示す。この試料は、成長直後に $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪が緩和していた試料である。断面明視野 TEM 像の回折ベクトルは、 $\mathbf{g}=[004]$ および $\mathbf{g}=[220]$ 、断面暗視野 TEM 像の回折ベクトルは $\mathbf{g}=[004]$ である。回折ベクトル $\mathbf{g}=[220]$ で得られた TEM 像において界面に転位のコントラストが観察され、Si 基板上に形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層と同様に、成長中に導入された 90° 転位によって歪が緩和することがわかった。

図 4.7 に、Ge 基板上に形成した 6.9% の Sn 組成を有する成長直後および窒素雰囲気中において 400°C で 1 分間の熱処理後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の断面 TEM 像を示す。断面 TEM 像の回折ベクトルは、 $\mathbf{g}=[004]$ および $\mathbf{g}=[220]$ である。この試料は、XRD-2DRSM による評価では、 $\text{Ge}_{1-x}\text{Sn}_x$ 層が Ge 基板上に pseudomorphic に成長していた試料である。TEM 像においても成長直後の試料の膜中および $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面に転位は観察されず、pseudomorphic であることがわかる。一方で、図 4.7 (b) および (c) に矢印で示すように、熱処理後には $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面に転位が導入された。この転位は $\mathbf{g}=[004]$ および $\mathbf{g}=[220]$ における TEM 像で観察され、 60° 転位であることがわかった。

歪緩和制御の為に、ミスフィット差が歪緩和率に与える影響について考察する。図 4.8 に、歪緩和によって減少した $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪量の、ミスフィット歪量依存性を示す。 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪が完全に緩和した場合、図中の点線上にプロットが乗ることになる。印加されたミスフィット歪量が 1.2% を超えると、成長中に歪が緩和することが明らかになった。図 4.9 に、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和率を、印加したミスフィット歪量に対してプロットしたものを示す。印加されたミスフィット歪量が大きいほど、歪緩和が進行し、これは Si 基板および Ge 基板の基板に依らず同一の傾向を有していることが示唆される。すなわち、基板に依らず、ミスフィット歪量の増大により式(4.1)に示した転位にかかる

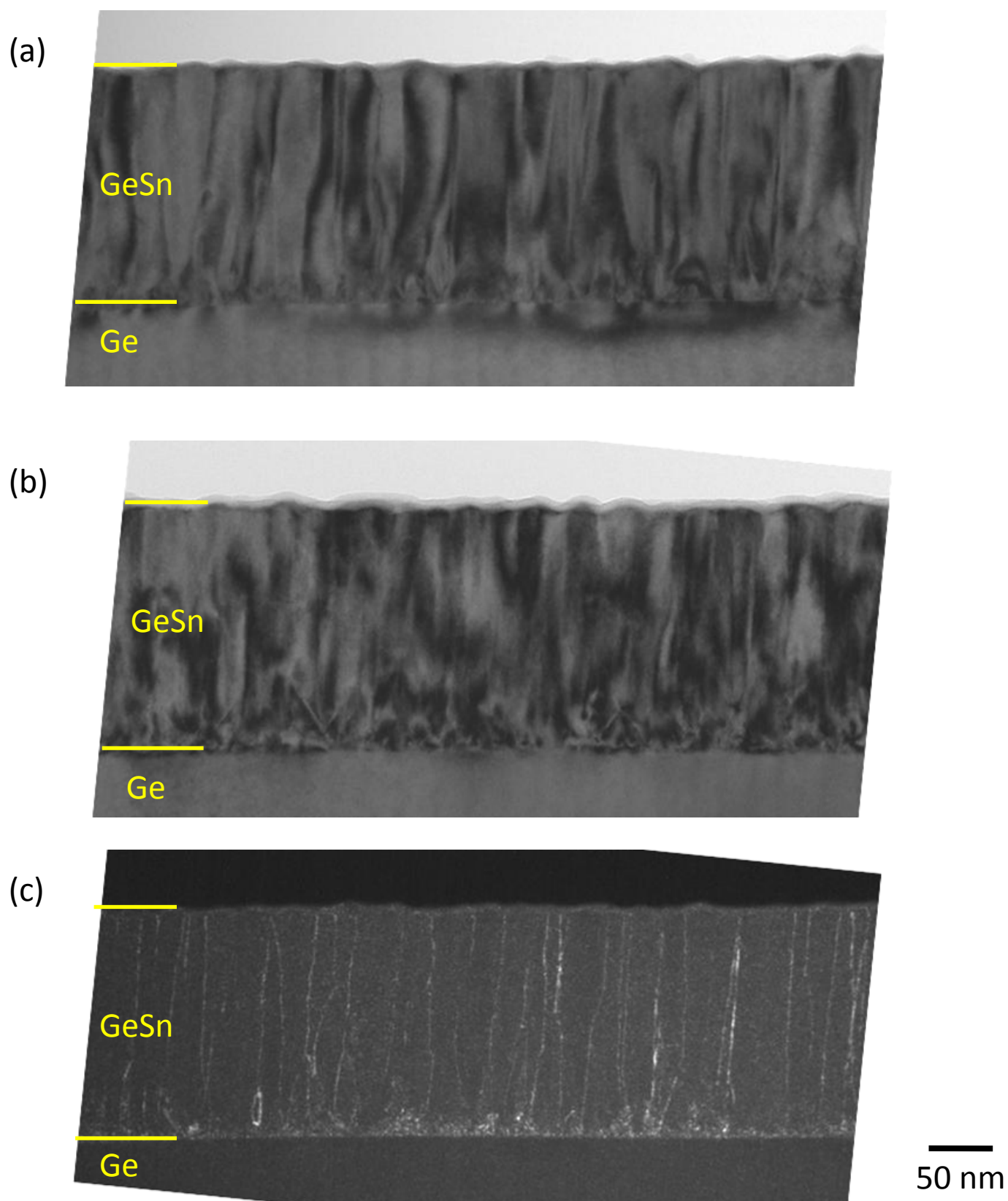


図4.6. Ge基板上に形成した成長直後の $\text{Ge}_{0.877}\text{Sn}_{0.123}$ 層の断面TEM像。
(a) 明視野像 ($\mathbf{g}=[004]$)、(b) 明視野像 ($\mathbf{g}=[220]$)、(c) 暗視野像 ($\mathbf{g}=[004]$)。

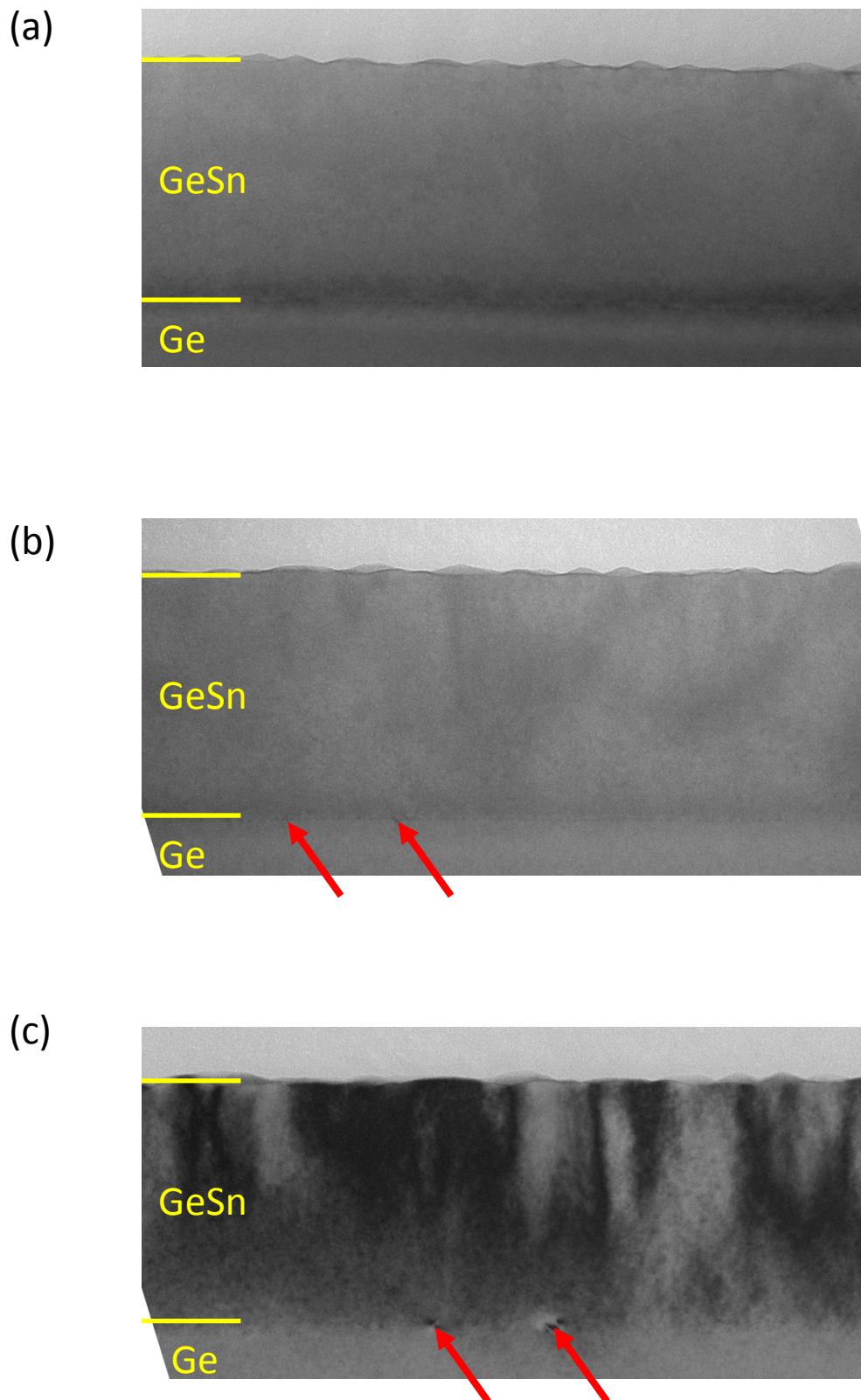


図4.7. Ge基板上に形成した $\text{Ge}_{0.931}\text{Sn}_{0.069}$ 層の断面明視野TEM像。
(a) 成長直後 ($\mathbf{g}=[004]$)、(b) 窒素雰囲気中400°C、1分間の熱処理後 ($\mathbf{g}=[004]$)、
(c) 窒素雰囲気中400°C、1分間の熱処理後 ($\mathbf{g}=[220]$)。

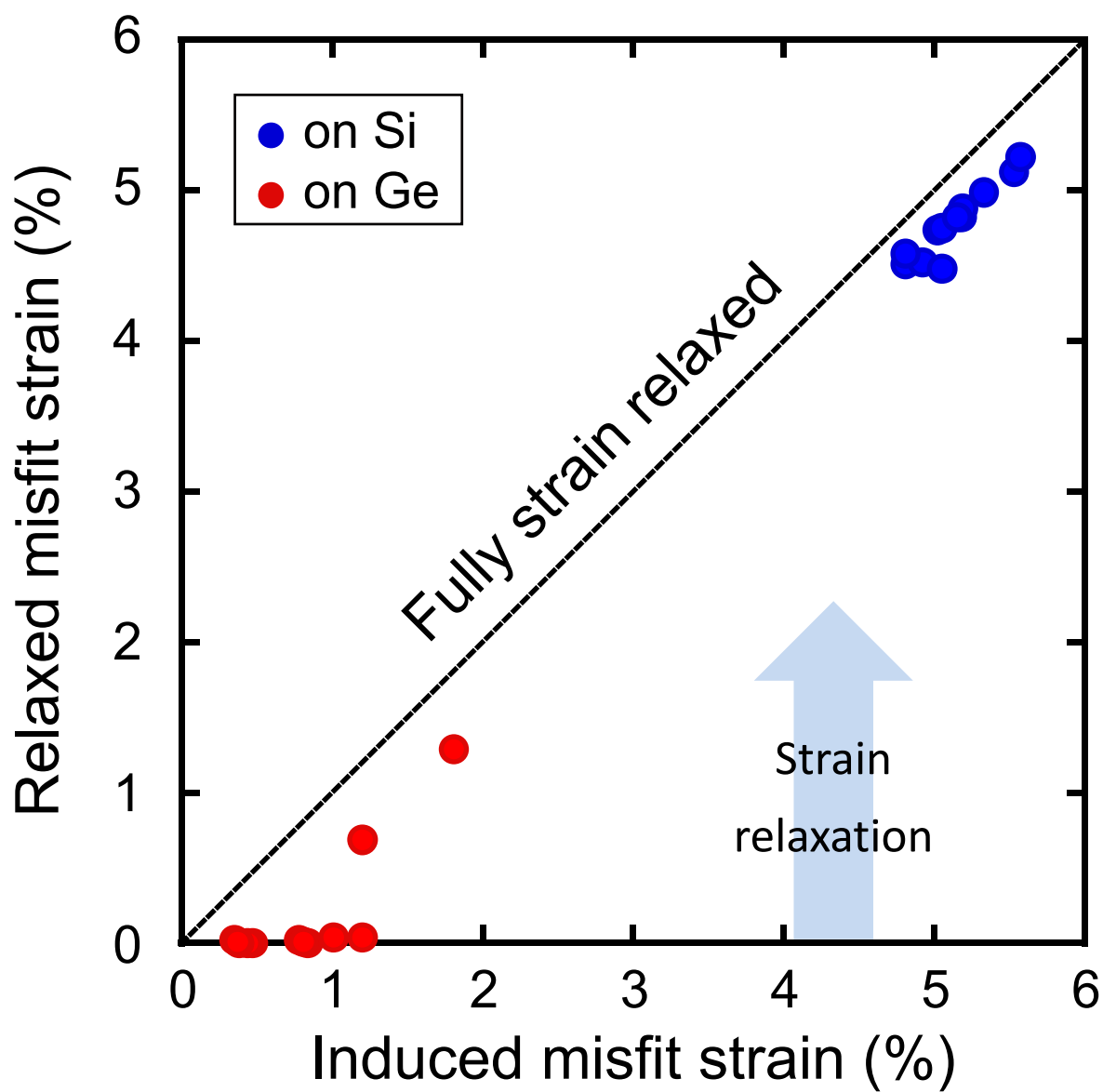


図4.8. SiおよびGe基板上に形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層における成長中に緩和した歪量の、基板との間のミスフィット歪量依存性。

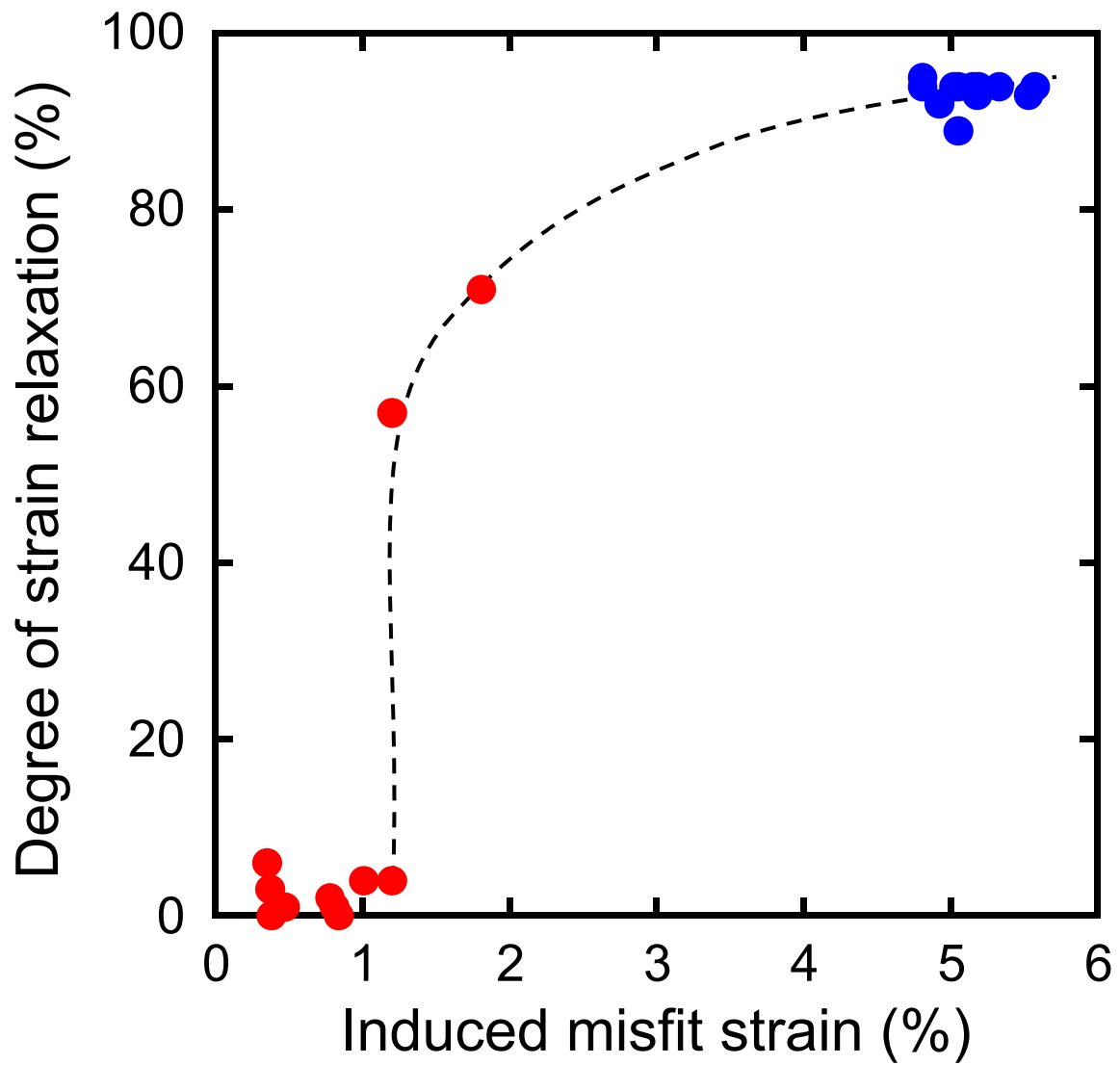


図4.9. SiおよびGe基板上に形成した成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層における歪緩和率の、基板との間のミスフィット歪量依存性。

力が増大した結果、歪緩和率が増大した。以上より、基板に依らず、ミスフィット歪量を制御することで歪緩和率の制御が可能であることがわかった。

次に、Si 基板上および Ge 基板上に形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層の表面モフォロジーおよび結晶性を比較した。図 4.10 に、 $\text{Ge}_{0.918}\text{Sn}_{0.082}/\text{Ge}$ および $\text{Ge}_{0.908}\text{Sn}_{0.092}/\text{Si}$ の AFM 像を示す。AFM 像の下には、矢印で挟んだ位置の凹凸を示すプロファイルを示す。先述のように、それぞれの $\text{Ge}_{1-x}\text{Sn}_x$ 層は、歪緩和した結果、同程度の面内格子定数を有している。Ge 基板上に成長した $\text{Ge}_{0.918}\text{Sn}_{0.082}$ 層表面には、粒径が約 80 nm の多くの小さな突部が確認された。対して Si 基板上に成長した $\text{Ge}_{0.908}\text{Sn}_{0.092}$ 層上には、粒径が約 150 nm の、Ge 基板上の試料と比べて面内粒径の大きな突部が存在していたものの、突部のない部分は Ge 基板上の試料と比較して平坦であった。二乗平均平方根 (Root Mean Square: RMS) 粗さはそれぞれ 1.4 nm および 1.8 nm であり、Ge 基板上に形成した $\text{Ge}_{1-x}\text{Sn}_x$ 層は、より平坦であることがわかった。

次に、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性を比較する。図 4.11 に、Si および Ge 基板上に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層における XRD-2DRSM で得られた逆格子ピークの半値幅 (FWHM) の、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の(220)面間隔依存性を示す。ドメインサイズ L は、半値幅 F に反比例する[6]。Ge 基板上に pseudomorphic に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層はバルク Ge と同じ(220)面間隔 (0.200 nm) を有しており、このときの FWHM は 0.0047 /nm と非常に小さかった。これは、pseudomorphic に成長したことで、 $\text{Ge}_{1-x}\text{Sn}_x$ 層への転位導入がないために、 $\text{Ge}_{1-x}\text{Sn}_x$ 層のドメインサイズが非常に大きいことを示している。一方で、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪が緩和した場合には、導入された転位の伝播長でドメインサイズが決まる。従って、(220)面間隔の増大と共に FWHM が増大した。(220)面間隔が同等のとき、Si 基板上と Ge 基板上で同等の FWHM であったことから、転位の伝播は基板に依らず(220)面間隔に依存していることがわかった。

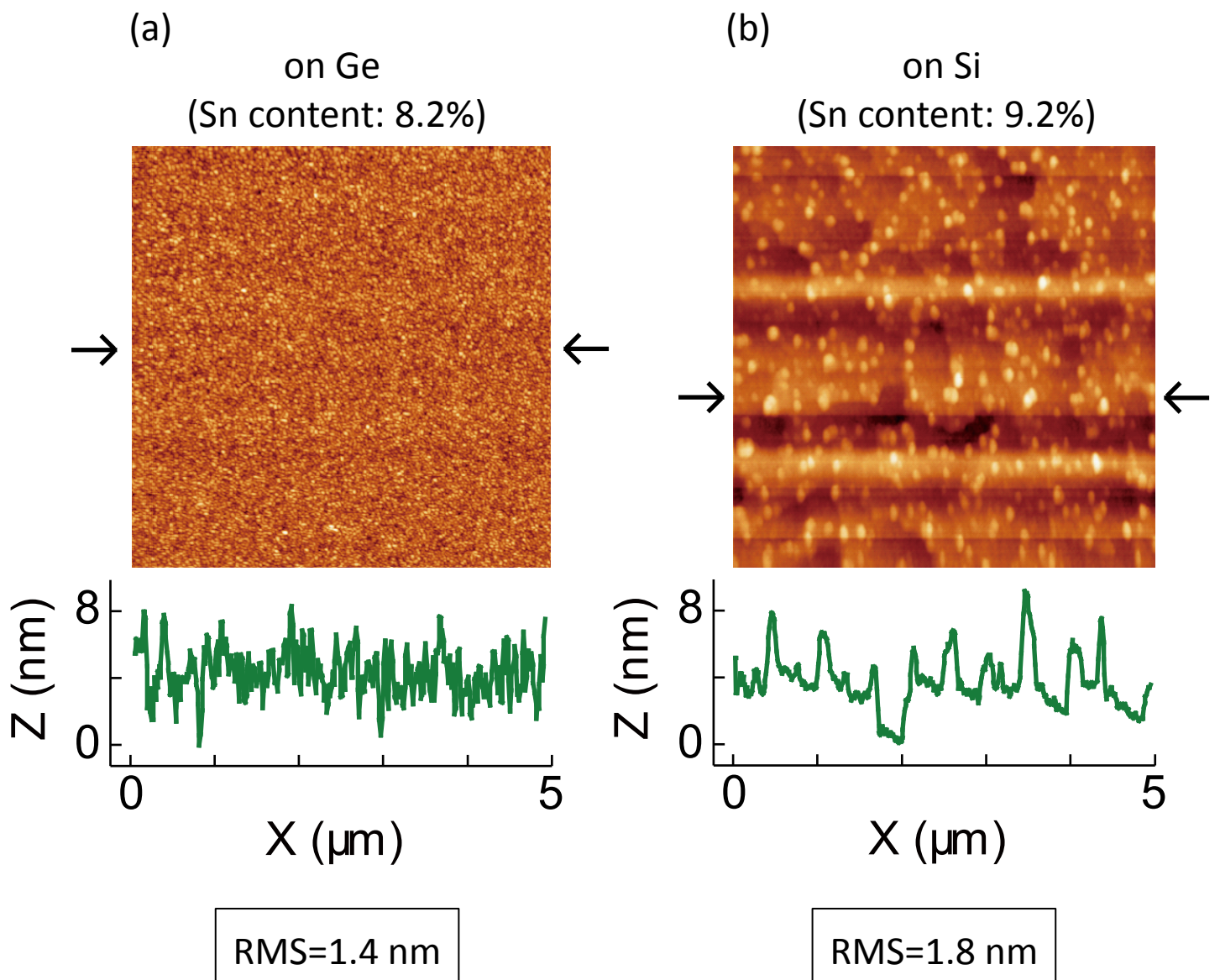


図4.10. (a) $\text{Ge}_{0.918}\text{Sn}_{0.082}/\text{Ge}$ および(b) $\text{Ge}_{0.908}\text{Sn}_{0.092}/\text{Si}$ のAFM像。

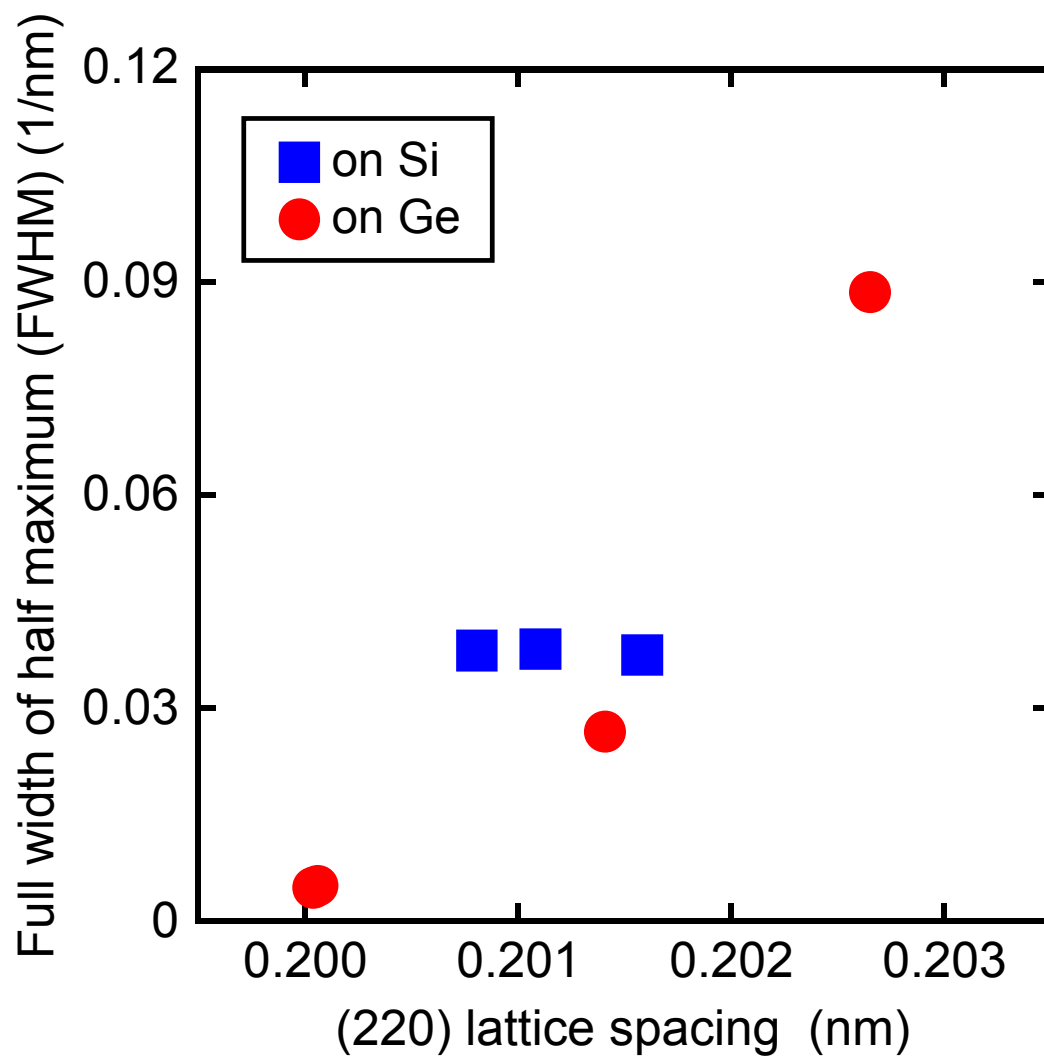


図4.11. SiおよびGe基板の上に形成した成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層におけるXRD-2DRSMで得られた逆格子ピークの半値幅 (FWHM) の、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の(220)面間隔依存性。

4.3 イオン注入ダメージと転位導入の関係

一軸圧縮歪 Ge チャンネルのための $\text{Ge}_{1-x}\text{Sn}_x$ S/D は、大きな面直格子定数を有していなければならないのと同時に、チャンネル領域への電流リークの抑制のために、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面への転位導入を抑制しなければならない。従って、 $\text{Ge}_{1-x}\text{Sn}_x$ S/D は pseudomorphic に形成する必要がある。加えて、S/D 領域は、低抵抗化のために高濃度不純物ドーピングが必要である。一般的な不純物ドーピング手法としてイオン注入法が挙げられるが、不純物の電氣的活性化および、イオン注入に伴いアモルファス化した $\text{Ge}_{1-x}\text{Sn}_x$ 層表面の再結晶化のための熱処理を施す必要がある。この活性化熱処理後においても、 $\text{Ge}_{1-x}\text{Sn}_x$ S/D 領域は pseudomorphic でなければならない。 $\text{Ge}_{1-x}\text{Sn}_x$ S/D 領域は歪んでいるために、再結晶化熱処理中の転位導入が懸念される。ここではイオン注入ダメージが転位導入に与える影響について論じる。

2.1 節で述べた MBE 装置を用いて、Ge 基板上に 6.9%の Sn 組成を有する膜厚 200 nm の $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長温度 200°C でエピタキシャル成長させた。この Sn 組成は 4.2 節で述べたように、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長中歪緩和を起こさない Sn 組成である。Ge および Sn の蒸着には、共にクヌーセンセルを用いた。 $\text{Ge}_{1-x}\text{Sn}_x$ 層成長後、一度試料を大気中に取り出し、B を室温にて加速電圧 30 kV でイオン注入した。このとき、注入イオンのチャネリングを抑制するために、イオンビームに垂直な方向から 7°基板を傾けた。不純物として B を選択したのは、p 形ドーパントで最も軽い原子であり、イオン注入に伴うダメージを最小限に抑えられるためである。B イオンのドーズ量は $1 \times 10^{15} / \text{cm}^2$ とした。このドーズ量は、Ge 基板に B をイオン注入した場合に、Ge 表面にアモルファス領域を形成しないドーズ量である [7]。図 4.12 に、二次イオン質量分析 (Secondary Ion Mass Spectroscopy: SIMS) によって得られた、B イオン注入直後および窒素雰囲気中における 400°C、1 分間の活性化熱処理後の B の深さ方向分布を示す。イオン注入直後の B の深さ方向分布は、表面から深さ約 80 nm にピークを有するガウス分布で、ピーク濃度は $9 \times 10^{19} / \text{cm}^3$ であった。熱処理後にもピークの形状はほとんど変化しておらず、熱処理による拡散はほとんど起こっていないことが確認された。

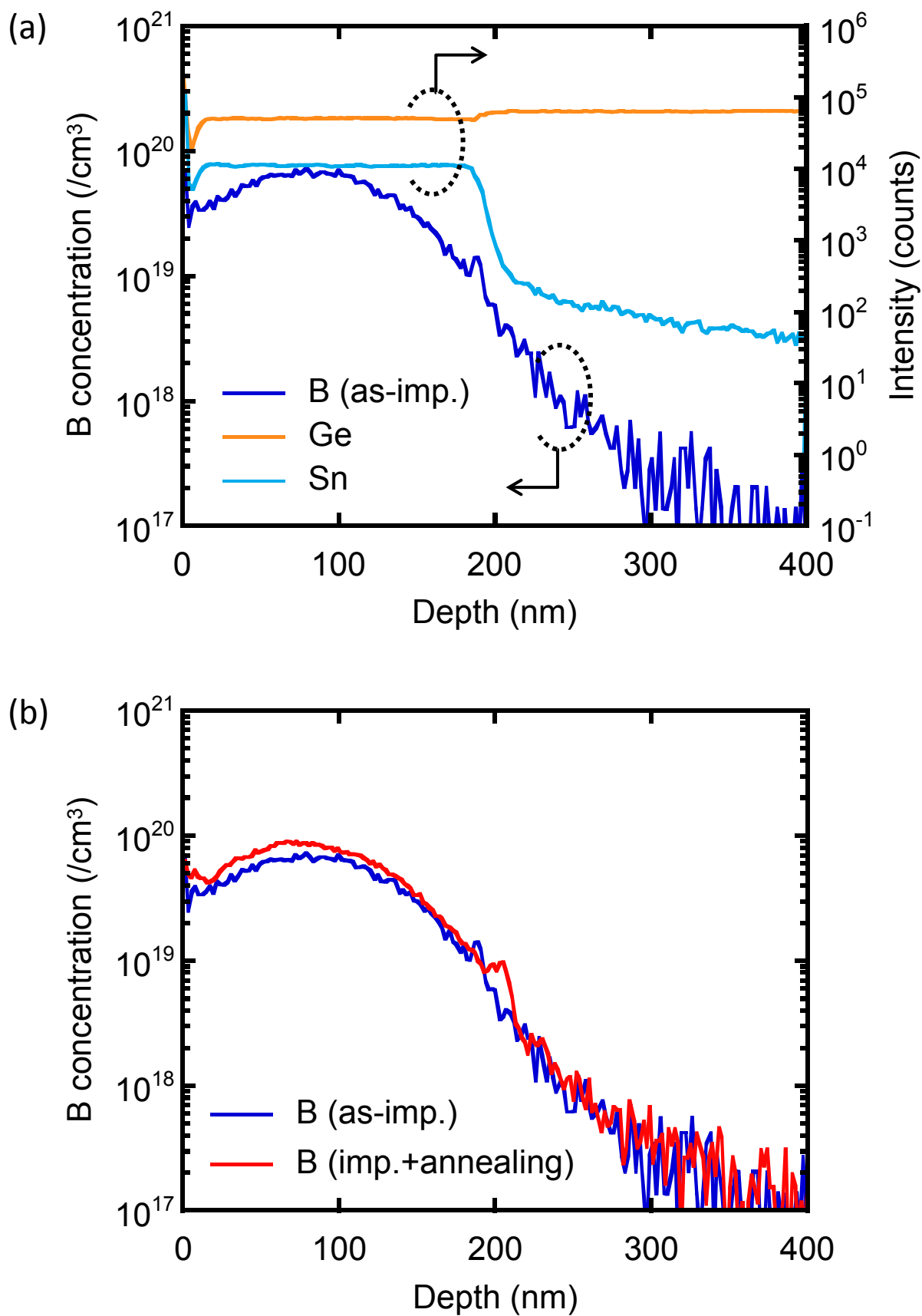


図4.12. Ge基板上に形成したGe_{1-x}Sn_x層の
 (a) Bイオン注入直後のGe、SnおよびBの深さ方向分布。
 (b) Bイオン注入直後および窒素雰囲気中における400°C、1分間の活性化熱処理後のBの深さ方向分布。

図 4.13 に、成長直後、B イオン注入直後、および B イオン注入後に 400°C、4 分間の活性化熱処理を施した $\text{Ge}_{0.931}\text{Sn}_{0.069}/\text{Ge}$ の XRD-2DRSM の結果を示す。成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層は Ge 基板上に pseudomorphic に形成されていることが確認された。これは前述のように、基板とのミスフィット差が小さいために歪緩和が起こらなかったものである。B イオン注入後および 400°C で 4 分間の熱処理後においても $\text{Ge}_{1-x}\text{Sn}_x$ 層のピーク位置は成長直後と同じ逆格子位置に表れており、いずれの試料においても、歪緩和および Sn 析出は起こっていない。すなわち、Ge 基板上に成長した Sn 組成 6.9%の $\text{Ge}_{1-x}\text{Sn}_x$ 層においては、B イオン注入や B イオン注入後の活性化熱処理において歪および Sn 組成が維持できることが明らかとなった。

図 4.14 に、回折ベクトル $\mathbf{g}=[004]$ で撮影した (a) 成長直後および B イオン注入直後の (b) 明視野断面 TEM 像および (c) 暗視野断面 TEM 像を示す。成長直後には転位が観察されず、これは pseudomorphic な成長を確認できた XRD-2DRSM の結果と一致する。一方で、B イオンのドーズ量は Ge をアモルファス化しないドーズ量であるにも関わらず、B イオン注入後には、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の表面から約 70 nm の領域がアモルファス化していることが確認された。これは、 $\text{Ge}_{1-x}\text{Sn}_x$ 層を低温で形成したことに起因して、Ge 基板と比較して多くの原子空孔が $\text{Ge}_{1-x}\text{Sn}_x$ 層中に存在するためにアモルファス化臨界ドーズ量が減少したのではないかと推測される。また、アモルファス領域下部の矢印で示した領域には、結晶の揺らぎに起因するコントラストが観察された。

図 4.15 に、B イオン注入後の同試料に 400°C、1 分間の熱処理を施した試料の断面 TEM 像を示す。 $\text{Ge}_{1-x}\text{Sn}_x$ 層中に固相再成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層が観察された。このとき、固相成長層の膜厚は約 50 nm であり、400°C の熱処理における固相成長レートは約 50 nm/min であることが明らかとなった。一方で、XRD-2DRSM の結果と一致して、Sn の析出は観察されない。しかし、 $\text{Ge}_{1-x}\text{Sn}_x$ 層中には新たに多くの転位が発生しており、これはアモルファス化した $\text{Ge}_{1-x}\text{Sn}_x$ 層の固相再成長に起因すると考えられる。実際、図 4.7 に示すように、イオン注入を施さない場合 6.9%の Sn 組成を有する pseudomorphic に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層は、400°C、1 分間の熱処理後に界面に少数の 60°転位とこれに付随する貫

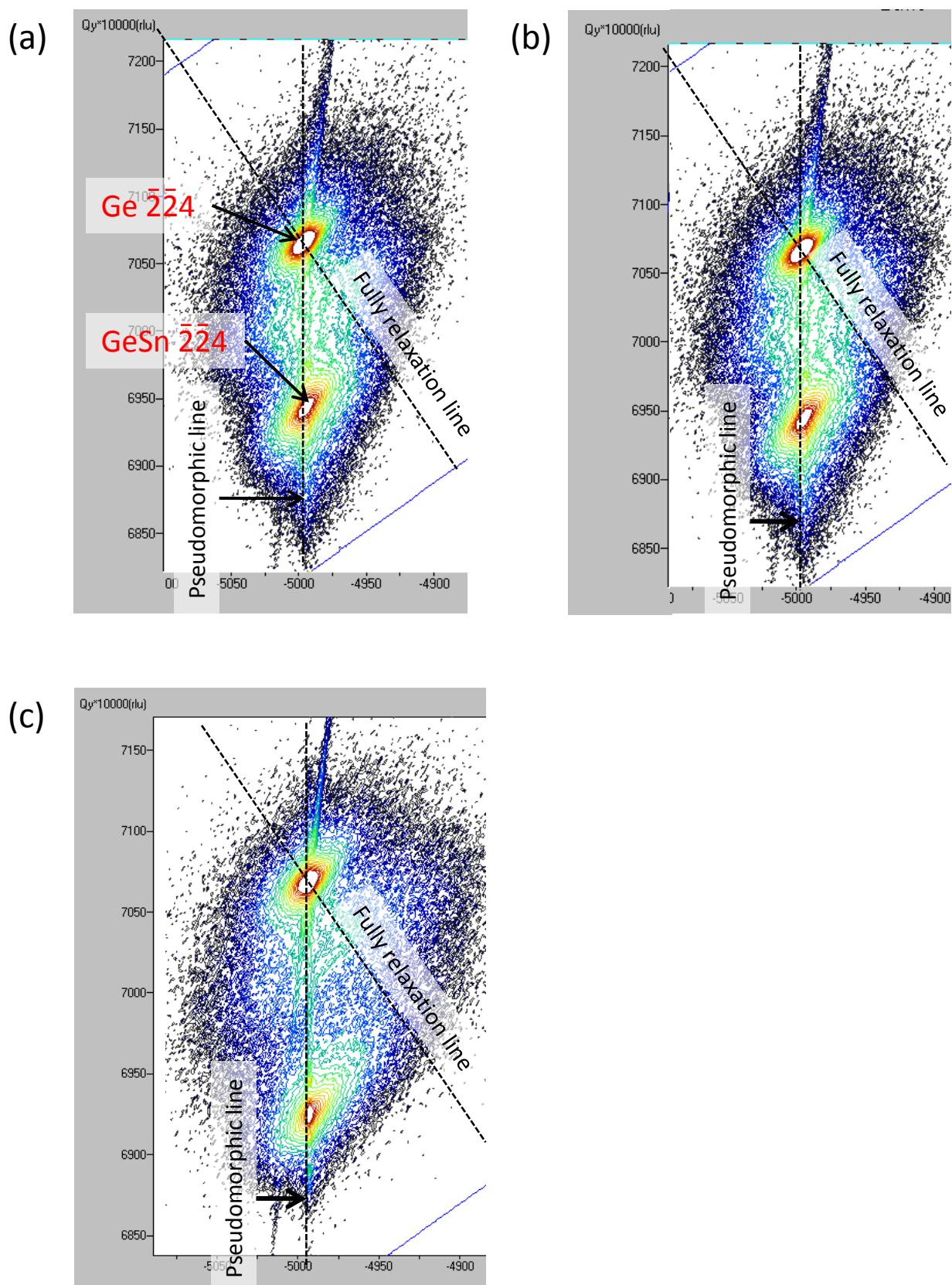


図4.13. (a) 成長直後、(b) Bイオン注入直後、および(c) Bイオン注入後に400°C、4分間の活性化熱処理を施した $\text{Ge}_{0.931}\text{Sn}_{0.069}/\text{Ge}$ のXRD-2DRSMの結果。

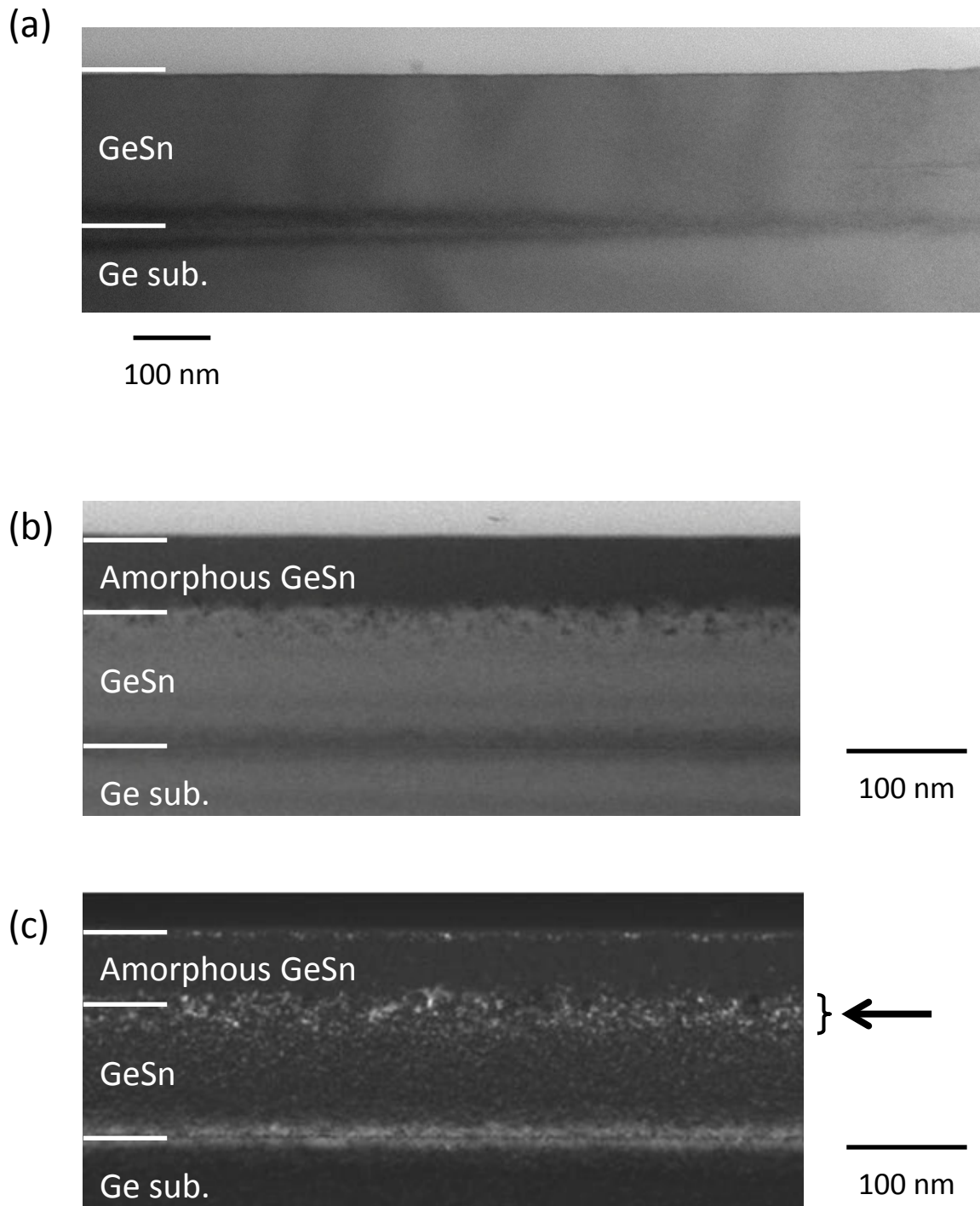


図4.14. Ge基板の上に形成した $\text{Ge}_{0.931}\text{Sn}_{0.069}$ 層の (a) 成長直後、Bイオン注入直後の (b) 明視野断面TEM像および (c) 暗視野断面TEM像。回折ベクトルは全て $\mathbf{g}=[004]$ 。

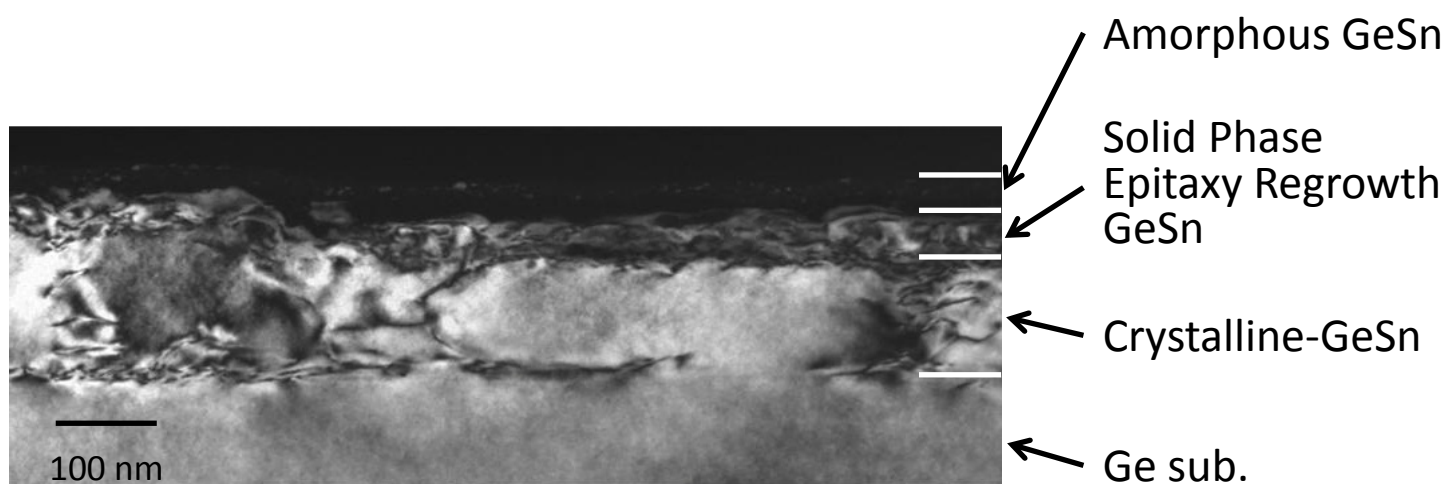


図4.15. Ge基板の上に形成した $\text{Ge}_{0.931}\text{Sn}_{0.069}$ 層にBイオン注入後、窒素雰囲気中において 400°C 、1分間の熱処理を施した試料の暗視野断面TEM像。回折ベクトルは $\mathbf{g}=[220]$ 。

通転位が導入されるのみである。すなわち、イオン注入に伴うダメージを抑制し、 $\text{Ge}_{1-x}\text{Sn}_x$ 層表面のアモルファス化を抑制することで転位導入を抑制可能であることが示唆される。

そこで SiO_2 キャップ層によるイオン注入ダメージの低減により、転位導入の抑制を図った。図 4.16 に、TRIM シミュレーションによって得られた、Ge および膜厚 175 nm の SiO_2 層で覆った Ge へ加速電圧 30 kV で B イオン注入した場合の B の深さ方向分布を示す。図 4.16 の縦軸は、 $1/\text{cm} [=(\text{cm}^3)/(\text{cm}^2)]$ の単位で表示されており、イオン注入する不純物ドーズを乗ずると不純物濃度を求められる。また、図 4.17 に同様のシミュレーションで得られた、一つの B イオンが 1 Å 当たりに衝突する回数 ($1/\text{Å} \cdot \text{ion}$) を示す。イオン注入による膜中へのダメージ量は B の衝突回数に比例する。 SiO_2 層を形成していない Ge 中の B の深さ方向分布のシミュレーション結果 (図 4.16 (a)) は、SIMS によって得られた不純物プロファイルとほぼ一致しており、このシミュレーションが妥当であることを示している。また、図 4.17 (a) で、Ge 中での B の衝突回数が多い領域は、注入直後にみられたアモルファス領域や点欠陥領域に相当し、膜に大きなダメージが与えられて結晶性が悪化したことが示唆される。一方で、 SiO_2 キャップ層を形成した場合にも、Ge 表面近傍の浅い領域に B が到達しているにも関わらず、注入された B イオンが運動エネルギーのほとんどを SiO_2 中で失うために、Ge 領域へ到達した B の運動エネルギーは比較的小さく、Ge へのダメージはキャップなしの場合の 1/10 以下となることが期待される。従って、 SiO_2 キャップ層を用いることで、イオン注入ダメージを低減した B-doped $\text{Ge}_{1-x}\text{Sn}_x$ を形成可能である。

以上の結果を参考に、膜厚 175 nm の SiO_2 層でキャップした Sn 組成 6.9% の $\text{Ge}_{1-x}\text{Sn}_x$ 層に、B イオン注入を施した後、熱処理を施した。注入条件および熱処理条件は SiO_2 キャップを施さない場合と同様である。図 4.18 および図 4.19 に、それぞれイオン注入直後およびイオン注入後に 400°C、4 分間の活性化熱処理を施した試料の断面 TEM 像と XRD-2DRSM の結果を示す。注入直後の試料において、 SiO_2 層なしの場合 (図 4.14 (b)、(c)) に観察されたようなアモルファス領域および結晶性が悪化した領域は観察されず、

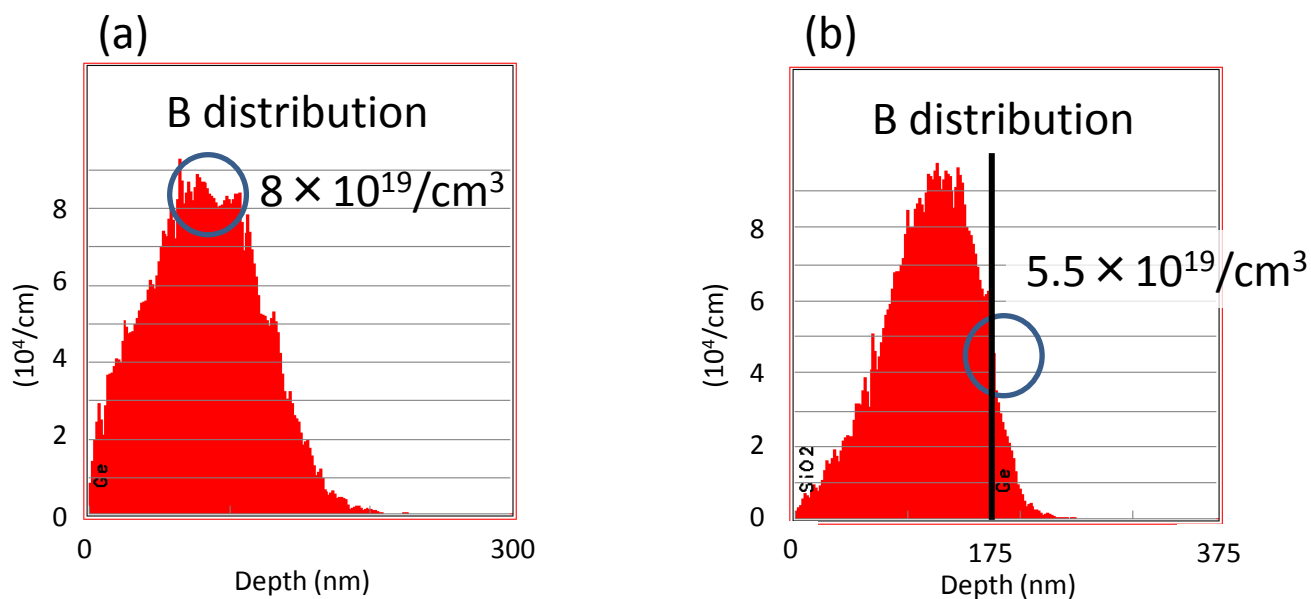


図4.16. (a) Geおよび (b) 膜厚175 nmのSiO₂層で覆ったGeへ加速電圧30 kVでBイオン注入した場合のBの深さ方向分布のTRIMシミュレーション結果。

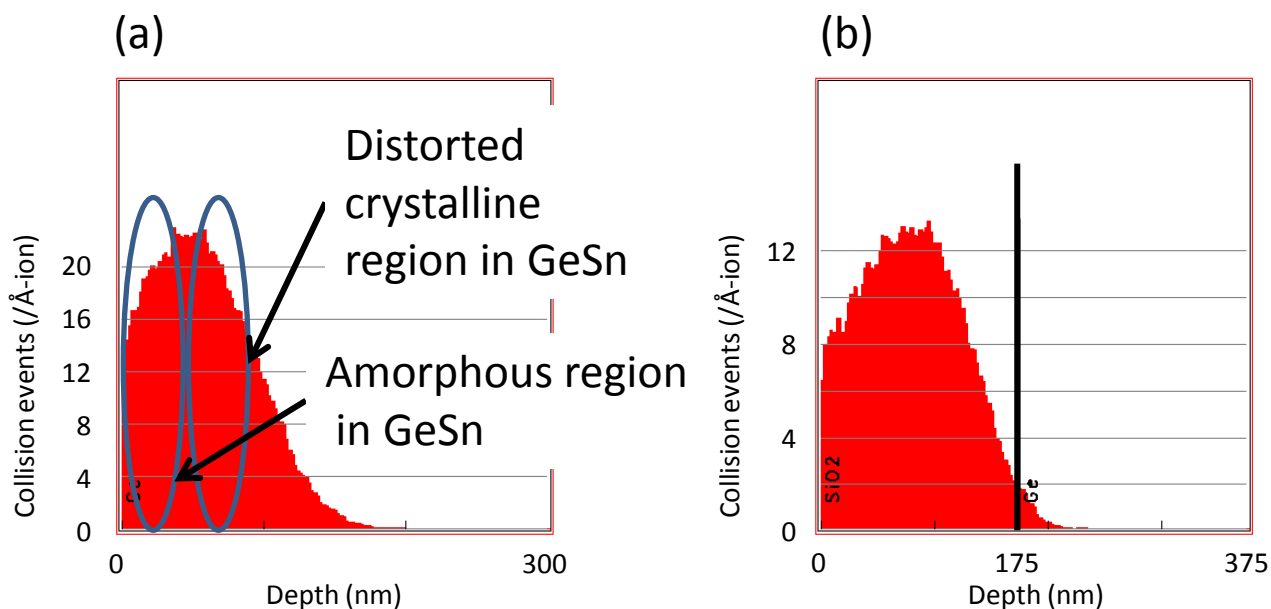


図4.17. (a) Geおよび (b) 膜厚175 nmのSiO₂層で覆ったGeへ加速電圧30 kVでBイオン注入した場合のBの衝突頻度のTRIMシミュレーション結果。

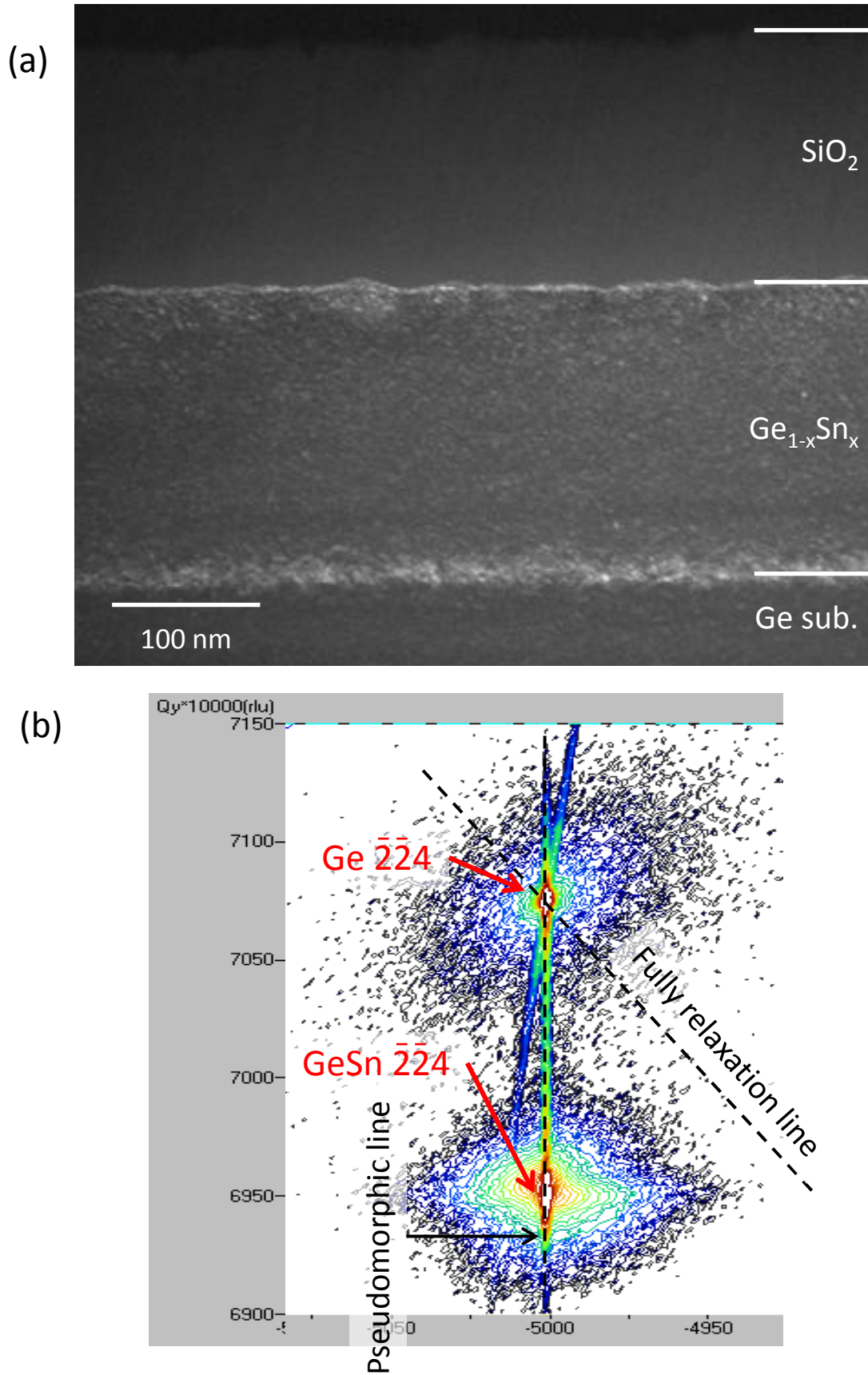


図4.18. 膜厚175 nmのSiO₂層で覆ったSn組成6.9%のGe_{1-x}Sn_x層のBイオン注入後の (a) 断面暗視野像 ($g=[004]$) および (b) XRD-2DRSMの結果。

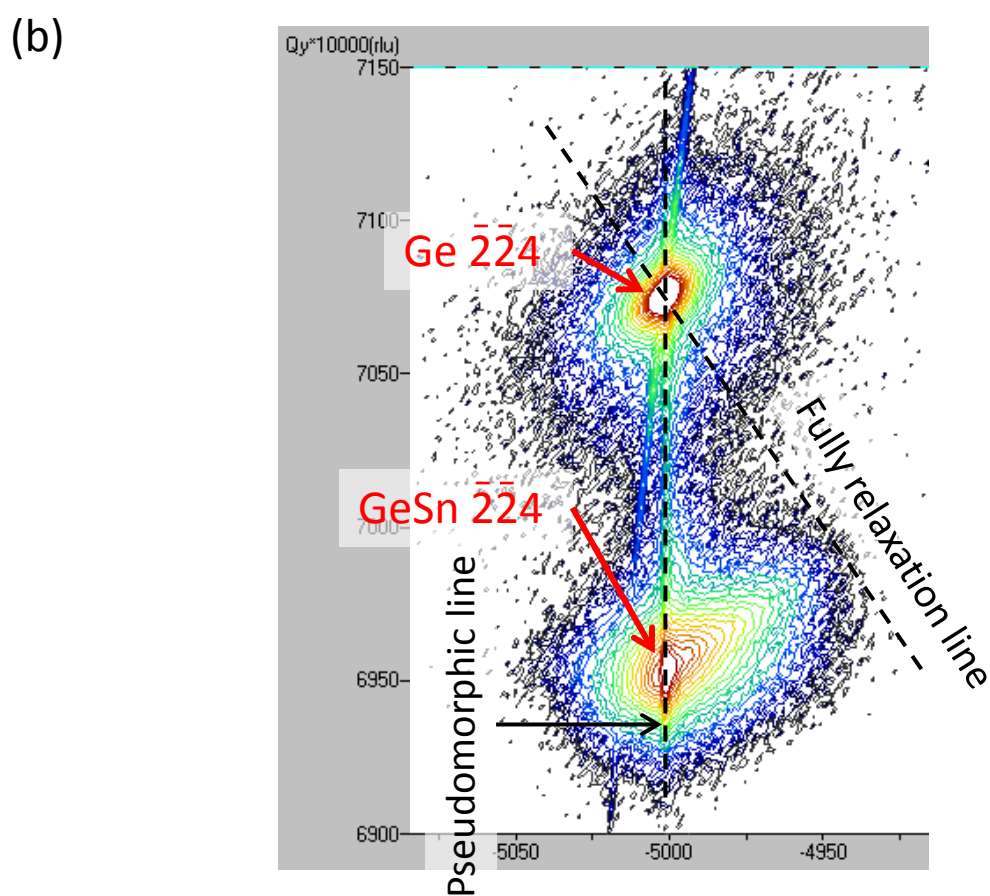
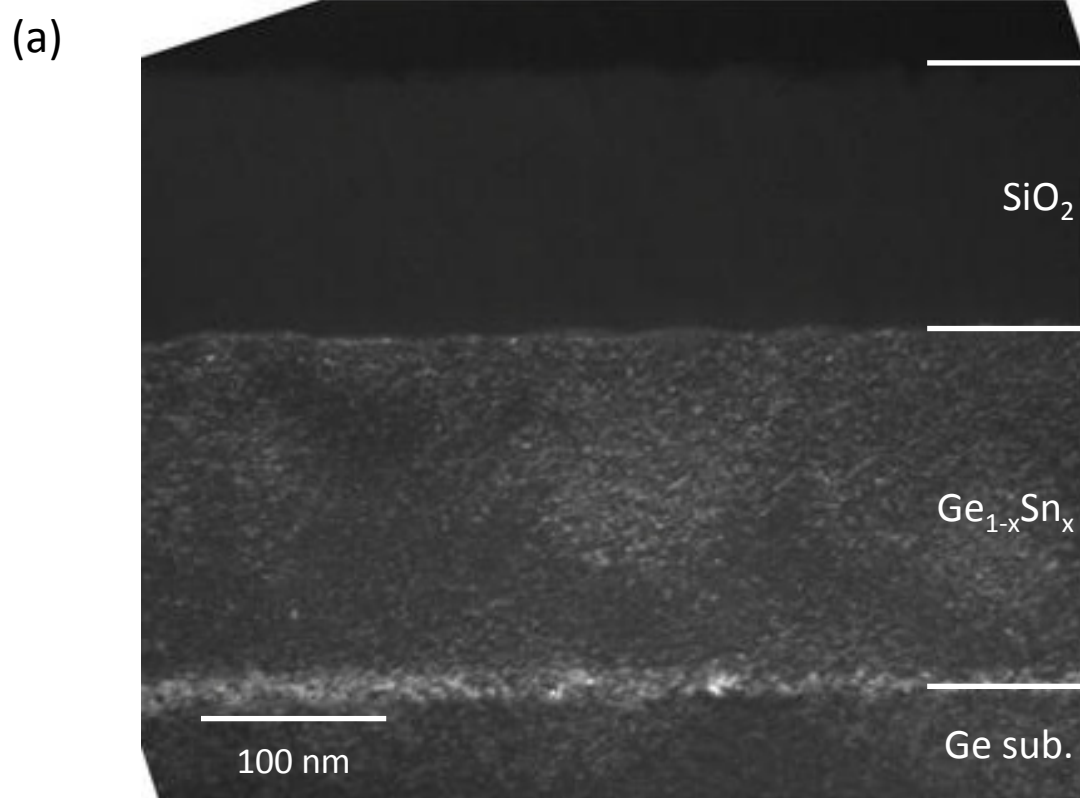


図4.19. Bイオン注入後、窒素雰囲気中において400C、1分間の熱処理を施した、膜厚175 nmのSiO₂層で覆ったSn組成6.9%のGe_{1-x}Sn_x層の (a) 断面暗視野像 ($g=[004]$) および (b) XRD-2DRSMの結果。

SiO₂層の形成によってイオン注入によるダメージが低減されることを示している。さらに、熱処理後においても、Ge_{1-x}Sn_x層中に転位は発生しなかったことから、イオン注入に伴うダメージによる結晶性の悪化によって転位が発生することが明らかとなった。一方で、熱処理後のGe_{1-x}Sn_x/Ge界面に60°転位が観察され、この転位導入によるGe_{1-x}Sn_x層の歪の部分的な緩和がXRD-2DRSMで、歪緩和方向へのピークの広がりとして観察される。これは、イオン注入に伴うダメージに起因するものではなく、Ge_{1-x}Sn_x層の膜厚が転位導入の臨界膜厚(約10 nm) [4]を超えているためと考えられる。しかし、回折ピーク強度が最大となる逆空間座標は熱処理前と変化しておらず、大部分の歪およびSn組成は熱処理後にも維持されている。

参考文献

- [1] A. Sakai, N. Taoka, O. Nakatsuka, S. Zaima, and Y. Yasuda, Appl. Phys. Lett. **86**, 221916 (2005).
- [2] I. Daruka and A. -L. Barabási, Phys. Rev. Lett. **79**, 3708 (1997).
- [3] A. Sakai and T. Tatsumi, Phys. Rev. Lett. **71**, 4007 (1993).
- [4] J. W. Matthews, and A. E. Blakeslee, J. Crystal Growth, **27**, 118 (1974).
- [5] 坂公恭、結晶電子顕微鏡学、内田老鶴圃、p.160 (2005).
- [6] P. F. Fewster, X-ray Scattering from Semiconductors 2nd Edition, Imperial College Press, p.73 (2003).
- [7] 長田光生、芝原健太郎、信学技報、**108**, 55 (2008).

第5章 $\text{Ge}_{1-x}\text{Sn}_x$ 層の不純物制御

5.1 はじめに

第1章で述べたように、 $\text{Ge}_{1-x}\text{Sn}_x$ をストレッサーとしてソース/ドレイン (S/D) に用いた場合、Ge チャンネルに一軸圧縮歪を印加することが可能である。高い正孔移動度が期待される一軸圧縮歪 Ge をチャンネルに用いることで pMOSFET の高速化が期待される。既に Si への一軸圧縮歪の印加で正孔移動度の増大が報告されており[1]、一軸圧縮歪 Si を超える実効移動度を有する一軸圧縮歪 Ge の作製のためには、 $\text{Ge}_{1-x}\text{Sn}_x$ S/D の Sn 組成は3%以上が要求される[2,3]。また、pMOSFET の S/D 領域の低抵抗化のために、 $\text{Ge}_{1-x}\text{Sn}_x$ へ p 形不純物を高濃度 ($10^{21} /\text{cm}^3$ 程度) にドーピングする必要がある。加えて、S/D 領域からの電流リークの抑制のためには、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面の欠陥、特に転位の導入を抑制しなければならない。転位導入を抑制しながら不純物のドーピングおよび活性化プロセスの確立が必須となる。

表 5.1 および図 5.1 に、各 p 形ドーパントの Ge 中への固溶限の最大値および拡散定数の温度依存性を示す[4,5]。Al および Ga の拡散定数は、B に比べ大きい。500°C で60分間の活性化熱処理を施したとしても、拡散長は0.1 nm 程度であるため、本研究では、固溶限の最も高い Ga をドーパントとして選択した。

Ga は B に比べ重い原子であるため、本研究では、不純物ドーピングの際のダメージを減らすために、 $\text{Ge}_{1-x}\text{Sn}_x$ 成長中への Ga 原子の同時照射による *in-situ* ドーピングを用いた。一方で、Ge にイオン注入された Ga は、活性化熱処理後においても数10%程度しか活性化しないことが報告されている[6]。これは、Ga が Ge 中で原子空孔 (V) と結合した場合、Ge のバンドギャップ中に深い準位を形成し、不活性化するためであると考えられる[7]。

本研究では、第3章で述べたように、Sn と原子空孔が安定に結合することに着目した。Ga-V 対と Sn-V 対の結合エネルギーは、それぞれ-0.15 eV および-0.61 eV である[8]。従って、Sn-V 対は Ga-V 対よりも安定に結合するため、Sn の導入によって Ga-V 対から

表5.1. Ge中のp形ドーパントの平衡固溶限の最大値および400°Cにおける拡散定数。

	平衡固溶限 (/cm ³)	拡散定数@400°C (cm ² /s)
B	5.5×10^{18}	1×10^{26}
Al	4.3×10^{20}	1×10^{23}
Ga	4.9×10^{20}	1×10^{23}
In	5.0×10^{18}	1×10^{23}

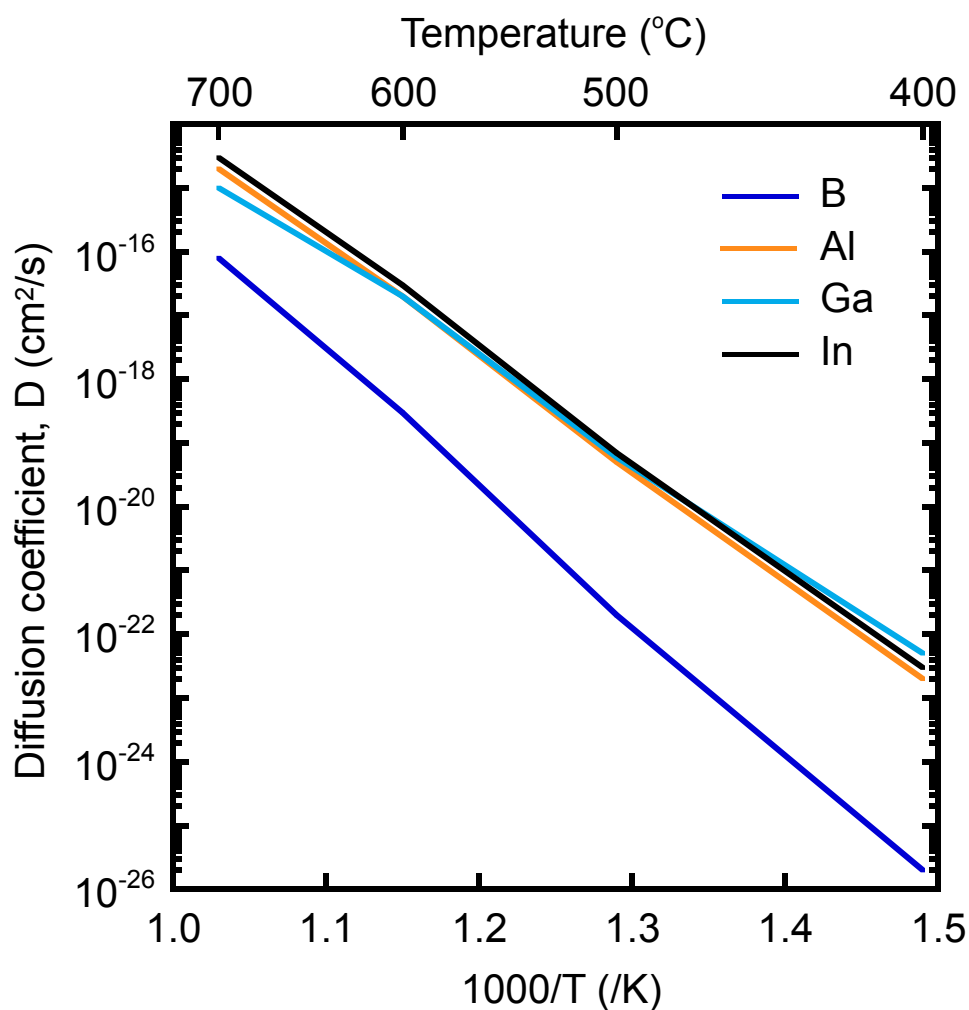


図5.1. Ge中におけるp形ドーパントの拡散定数の温度依存性。

V が奪われ、Ga の活性化が促進されることが期待できる。本研究では、Ge 中への Sn の導入が Ga の活性化に与える影響、および Ga ドープされた $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の電気的特性について調べた。

5.2 実験方法

Ge 基板を第 2 章で述べた方法で洗浄した後、MBE 装置を用い Ge 層および $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長した。基板温度は 150°C とし、Sn 組成は 0 から 7.8%とした。Ga、Ge および Sn は、クヌーセンセルを用いて同時に蒸着した。Ga ドープされた $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長後、窒素雰囲気中、 200°C から 600°C で 1 分間の活性化熱処理を行った。Sn 組成および歪緩和率の測定には 2.3 節で述べた XRD-2DRSM を、Sn 析出の確認および結晶構造・転位構造の評価には 2.2 節で述べた TEM を用いた。また、シート抵抗の測定には 2.4 節で述べたマイクロ 4 探針法を用いた。

5.3 *in-situ* Ga ドーピングが $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性に与える影響

まず、Ga 濃度が $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性に与える影響を明らかにするために、7.1%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層に $5.5 \times 10^{19} / \text{cm}^3$ および $1.0 \times 10^{20} / \text{cm}^3$ の Ga を導入した。Ga 濃度は SIMS を用いて求めた。ここで、Ga、Ge および Sn の原子半径はそれぞれ 0.130、0.125、0.145 nm であり、Ge と Sn の原子半径差 16.0%に対し、Ge と Ga の原子半径差は 4.0%と小さい。また、Ga 濃度は組成に換算するとそれぞれの試料において 0.12%および 0.23%であり、Sn 組成と比べて一桁以上少ない。以上から、XRD-2DRSM を用いた Sn 組成の見積もりにおいて、Ga の格子定数への寄与は無視した。

図 5.2 および図 5.3 に、それぞれ Ga 濃度が $5.5 \times 10^{19} / \text{cm}^3$ および $1.0 \times 10^{20} / \text{cm}^3$ の試料の断面 TEM 像および XRD-2DRSM の結果を示す。 $5.5 \times 10^{19} / \text{cm}^3$ の Ga 濃度を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層は、Ge 基板上に pseudomorphic に成長しており、膜中および $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面には転位が見られなかった。一方で、 $1.0 \times 10^{20} / \text{cm}^3$ の Ga 濃度を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層中には多くの転位の導入が観察され、表面のラフニングも観察された。XRD-2DRSM の結果において

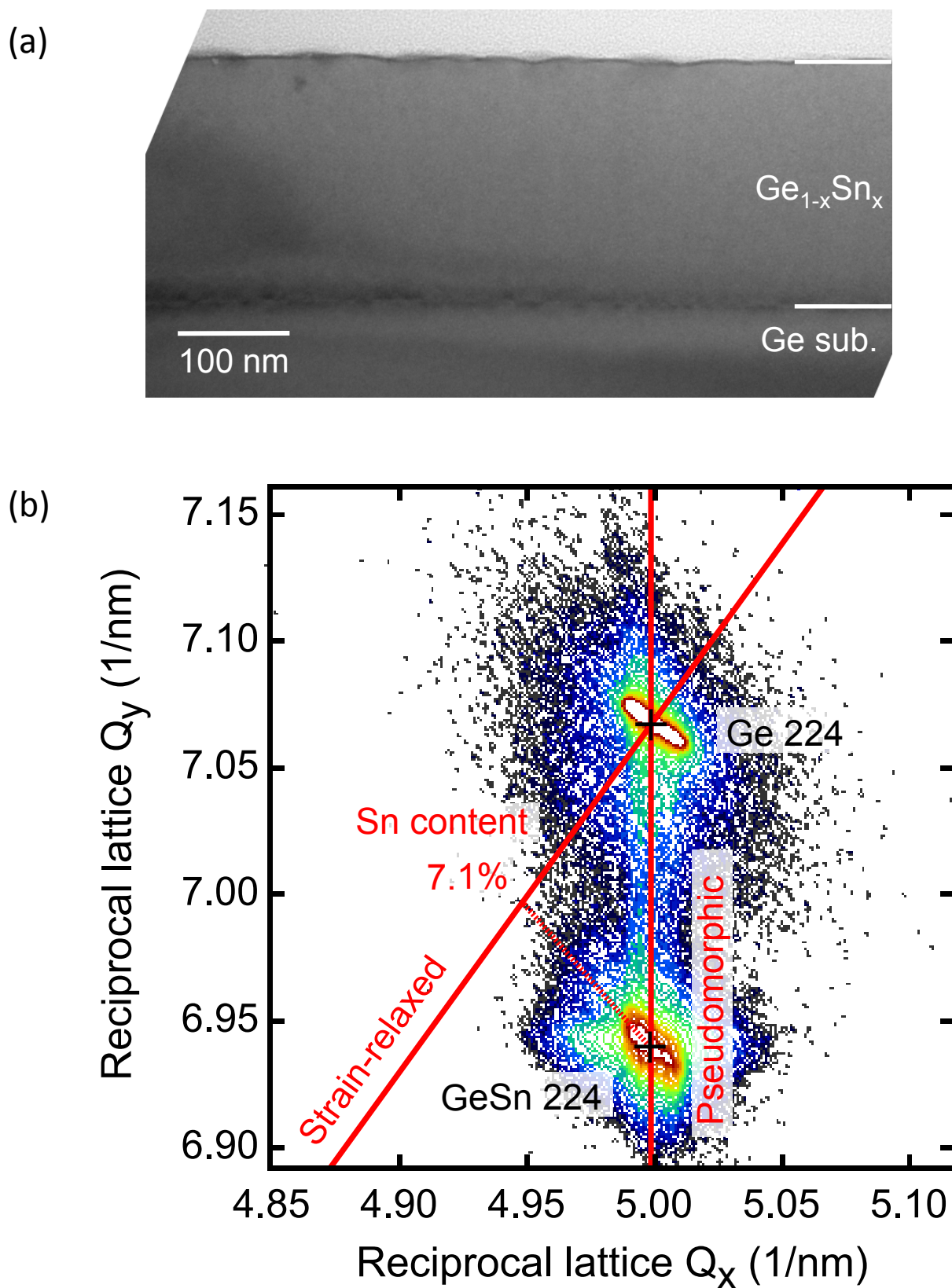


図5.2. Ga濃度 $5.5 \times 10^{19} / \text{cm}^3$ の成長直後の $\text{Ge}_{0.929}\text{Sn}_{0.071}$ 層の
 (a) 断面明視野TEM像 ($\mathbf{g}=[004]$)、(b) XRD-2DRSMの結果。

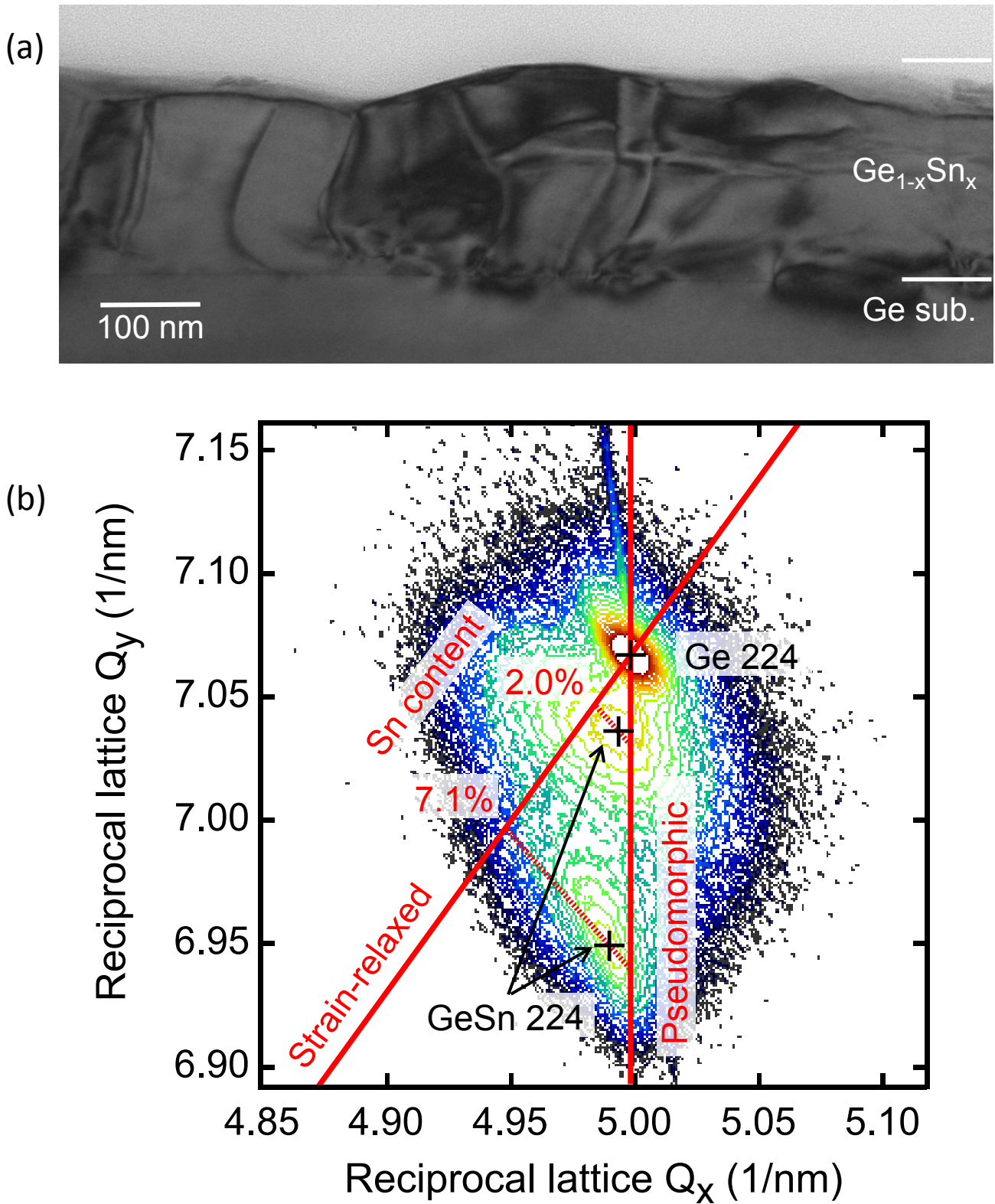


図5.3. Ga濃度 $1.0 \times 10^{20} / \text{cm}^3$ の成長直後の $\text{Ge}_{0.929}\text{Sn}_{0.071}$ 層の
 (a) 断面明視野TEM像 ($\mathbf{g}=[004]$)、(b) XRD-2DRSMの結果。

は、図中に矢印で示すように、Sn 組成の異なる 2 つの $\text{Ge}_{1-x}\text{Sn}_x$ 逆格子ピークが観察される。それぞれの Sn 組成は 7.1% および 2.0% と見積もられ、成長中に一部の領域において Sn の析出が起こったことが示唆され、実際に断面 TEM 観察において析出した Sn の塊が観察された (*not shown*)。この結果は、成長温度 150°C における Ge 中への Ga の固溶限 ($=1.5 \times 10^{20} / \text{cm}^3$) と同程度の Ga が導入された結果であると考えられる。今回、成長温度を 150°C としたのは、Sn 析出抑制のためであるが、高 Ga 濃度を有しながら転位導入を抑制するためには、高い成長温度における $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成手法を確立する必要がある。

5.4 Ga の深さプロファイルへの Sn 導入の効果

Sn 組成がそれぞれ 0、3.3、5.0、7.8% の Ga-doped $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成した。Sn の蒸着速度以外の成長条件は全ての試料で統一した。転位導入や表面ラフニングを抑制するために Ga 濃度は $5.5 \times 10^{19} / \text{cm}^3$ とした。作製した全ての試料が Ge 基板上に pseudomorphic に成長したことを XRD-2DRSM によって確認した (図 5.4)。図 5.5 に、成長直後のそれぞれの試料における Ga 濃度プロファイルを示す。ここで、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の膜厚は断面 TEM 像から求め、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面は図中に点線で示した。 $\text{Ge}_{1-x}\text{Sn}_x$ 層の膜厚は Sn 組成の増大に伴って増大した。これは $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長させる際に、Ge の蒸着速度および成長時間は各試料で統一し、Sn の蒸着速度を変化させて Sn 組成を制御しているために、導入された Sn 原子分の膜厚が増大したものである。今回作製した、Sn 組成 0% の試料における Ga 濃度プロファイルは均一でなく、表面に向かって徐々に増加している。Ga はエピタキシャル Ge 層を成長させる場合にサーファクタントとして表面偏析することが知られており [9]、Ga がサーファクタントとして表面偏析しながら成長したことが確認された。一方で、Sn を導入した全ての試料においては、Ga 濃度プロファイルは膜中でほぼ均一であった。従って、Sn の導入によって、Ga のサーファクタント効果が抑制されたことが示唆される。ここで、Ga 濃度プロファイルを表面から $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面にかけて積分して求めた、膜中の Ga 平均面密度は、どの試料においてもほぼ等しかった。

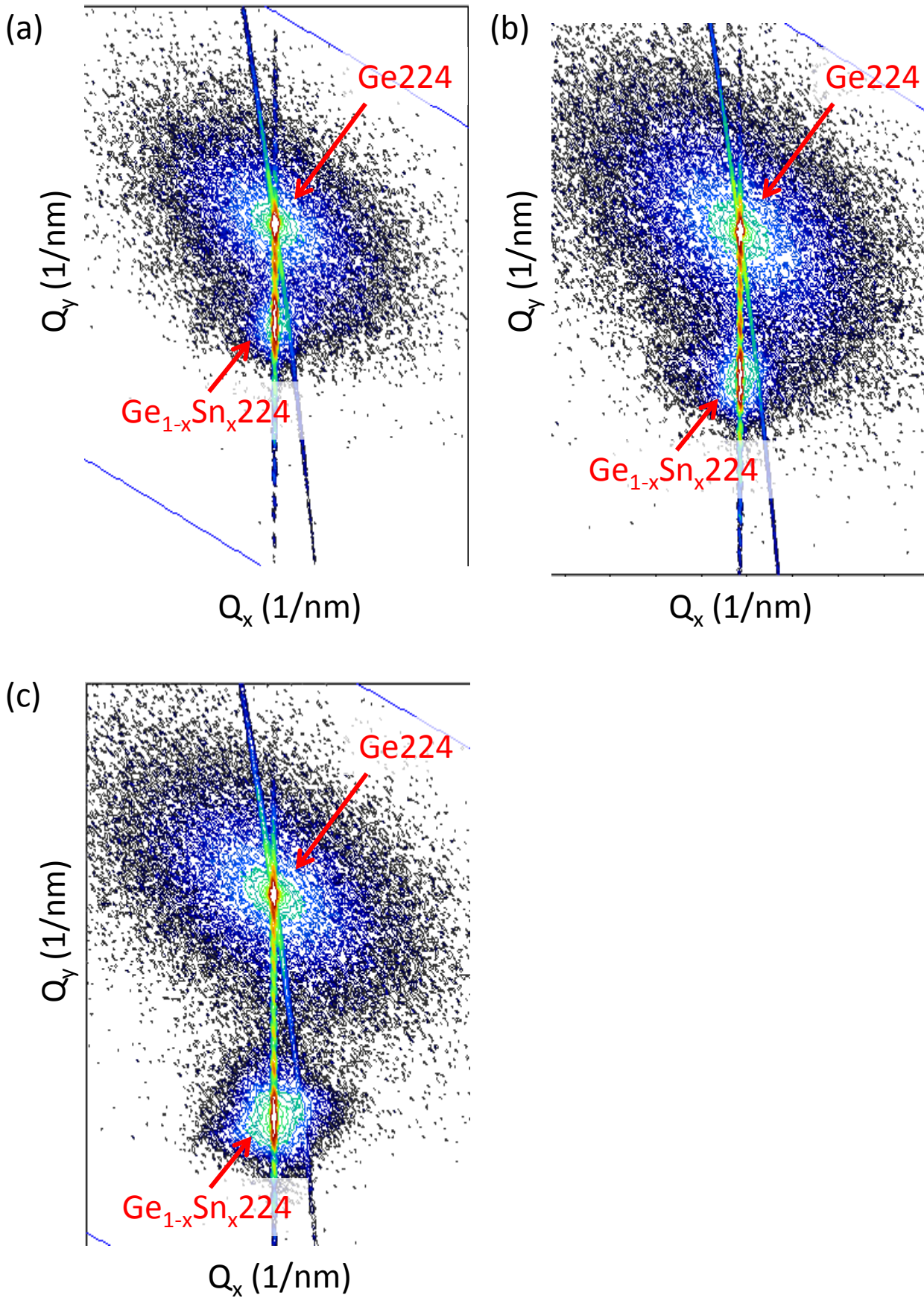


図5.4. Gaドープされた成長直後の $Ge_{1-x}Sn_x/Ge$ のXRD-2DRSMの結果。
 (a) Sn組成3.3%、(b) Sn組成5.0%、(c) Sn組成7.8%。

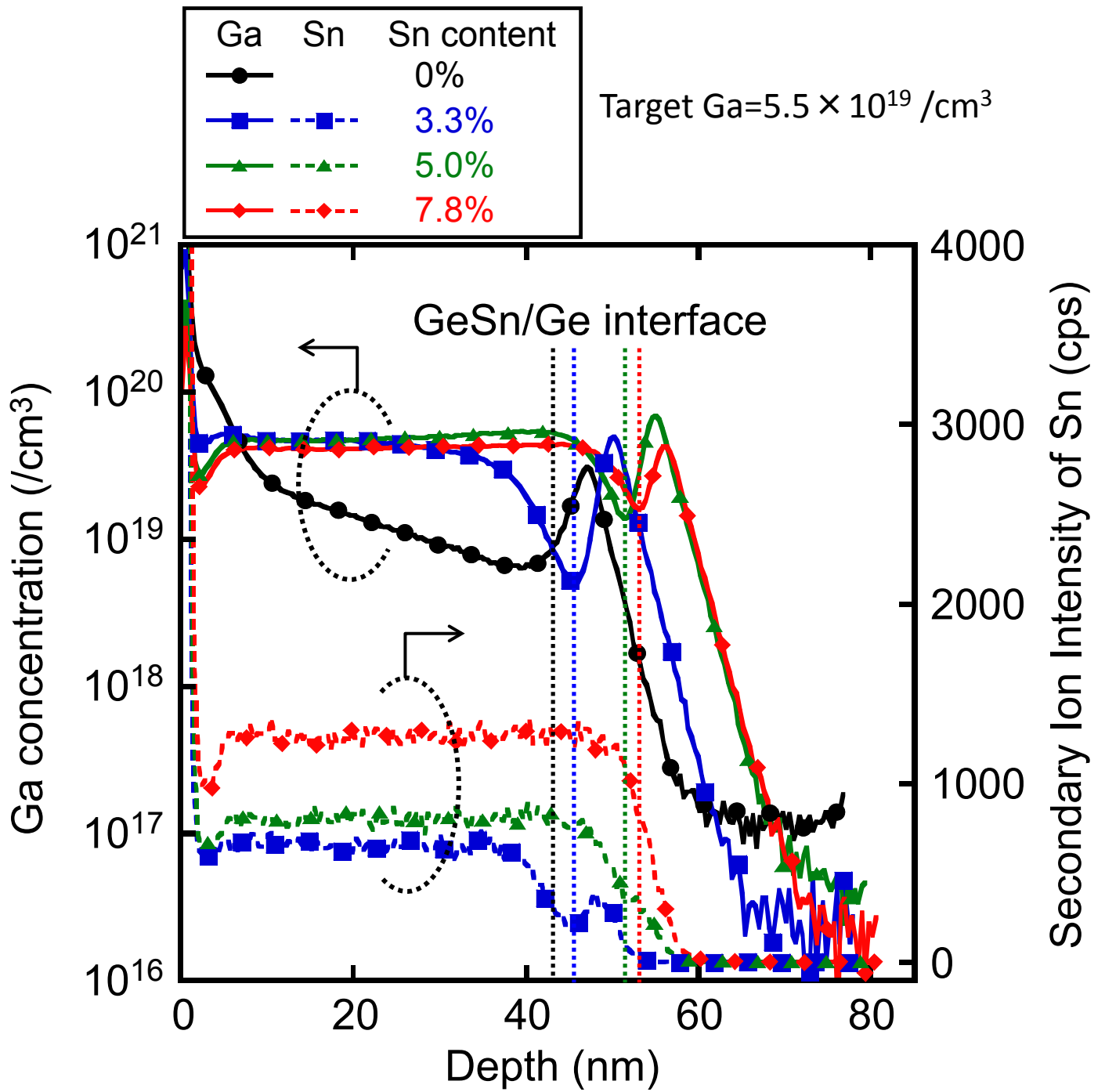


図5.5. Sn組成0、3.3、5.0、7.8%の $\text{Ge}_{1-x}\text{Sn}_x$ 層のGa濃度深さ方向プロファイル。

また、界面付近の Ga プロファイルのピークは、界面に存在する C や O に起因する Ga の偏析と考えられる。

Sn 導入によって、Ga のサーファクタント効果が抑制された結果について考察する。図 5.6 (a)、(b) はそれぞれ Ge(001)および Ge_{1-x}Sn_x(001)の清浄表面の模式図である[10]。Ge(001)は 2×1 の表面再構成構造を形成することが知られており、表面には Ge-Ge のダイマーが形成される。この場合、Ga 原子はサブ表面よりも最表面で安定となるために、表面偏析する (サーファクタント効果)。このときの Ga に対するポテンシャルエネルギーを模式的に表すと、図 5.7 (a) のようになる[11]。ここで、E_aはサブ表面と表面の間に存在する活性化障壁、E_bは表面偏析ポテンシャルである。一方で、本研究で作製した Ga ドープされた Ge_{1-x}Sn_xは、Ga に対して Sn が約 40 倍導入されており、表面には Ge_{1-x}Sn_x(001)の再構成構造である c(4×2) [10]が形成されることが予想される。この場合、表面には Ge-Sn ダイマーが形成され、ダイマーに原子半径の大きな Sn が存在しているために、Ga 原子は、最表面よりもサブ表面において安定となり、また、サブ表面から最表面に Ga 原子が移動するための活性化エネルギーが大きいことが推測される。図 5.7 (b) は、これを模式的に表したものである。すなわち、Sn 導入による表面再構成構造の変化に伴い、Ga の表面偏析が抑制されたと考えられる。

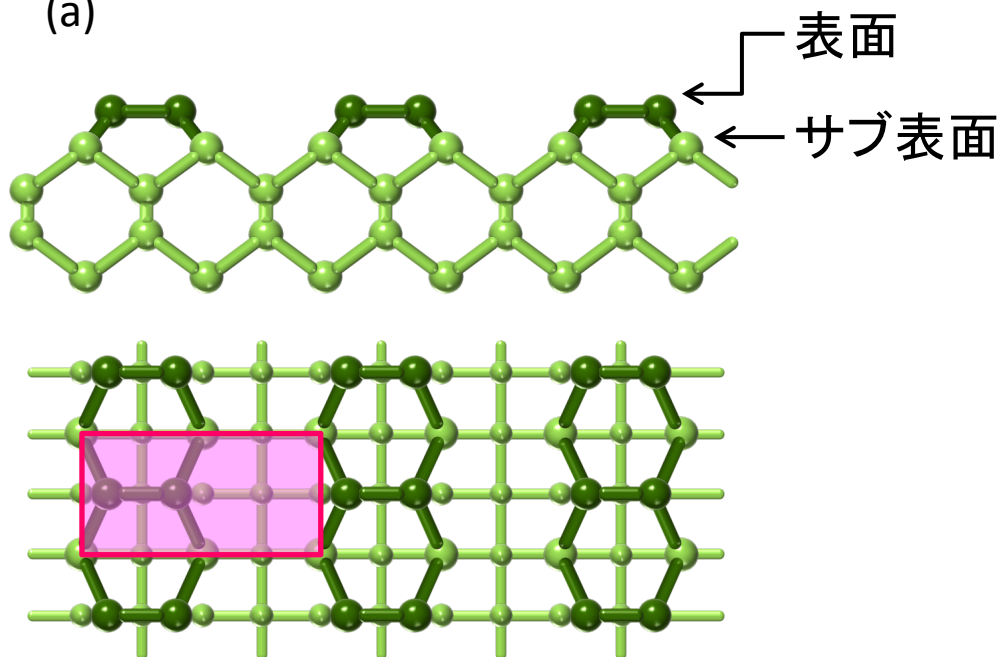
5.5 Ga の活性化率への Sn 導入の効果

これらの試料の電気的特性を $\mu 4pp$ を用いて評価した。図 5.8 は、*in-situ* Ga ドープした成長直後の Ge_{1-x}Sn_x層の抵抗率の Sn 組成依存性を示す。前述したように、膜中に存在する Ga の総量はほとんど等しいにも関わらず、抵抗率は Sn 組成の増大とともに急速に減少する。特に Sn 組成 7.8%を有する Ge_{1-x}Sn_x層は、Sn を導入していない試料に比べ抵抗率が約 1/3 まで減少した。抵抗率 ρ は、

$$\rho = \frac{1}{qn\mu} \quad (5.1)$$

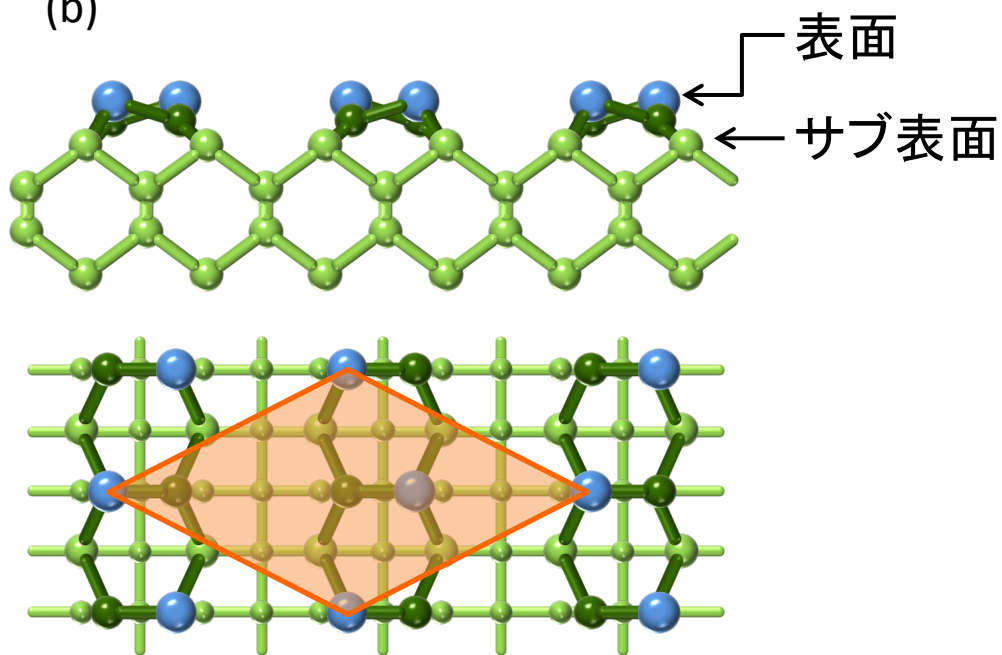
と表せる。ここで q は素電荷、 n はキャリア濃度、 μ はキャリア移動度である。すなわ

(a)



(2×1) 表面再構成構造

(b)

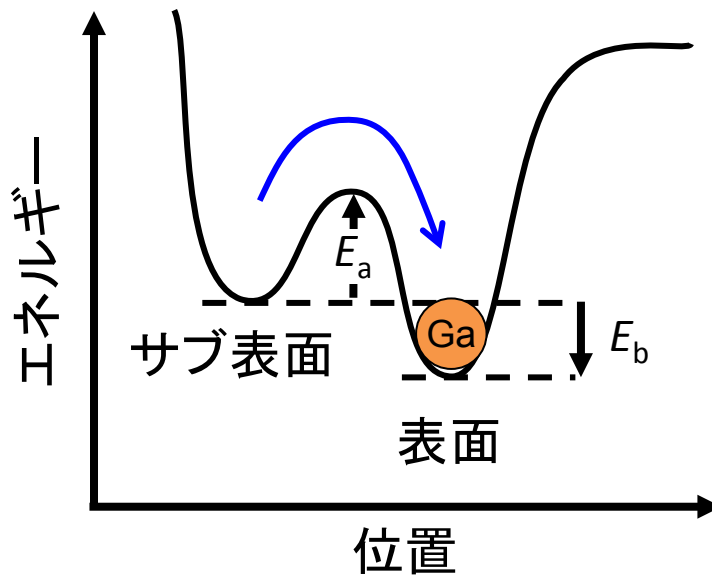


$c(4 \times 2)$ 表面再構成構造

- 表面のSn
- 表面のGe
- サブ表面以下のGe

図5.6. (a) Ge、(b) $\text{Ge}_{1-x}\text{Sn}_x$ の清浄表面の模式図。

(a)



(b)

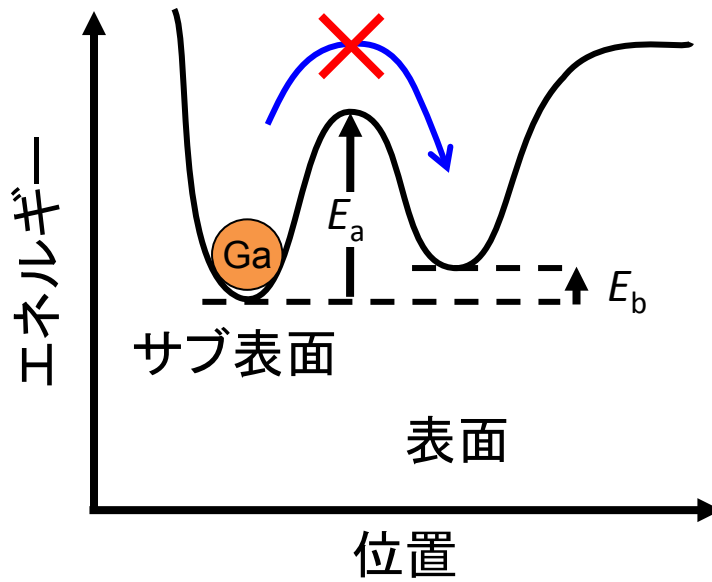


図5.7. (a) Ge、(b) $\text{Ge}_{1-x}\text{Sn}_x$ 表面近傍におけるGa原子に対するポテンシャルエネルギーの模式図。

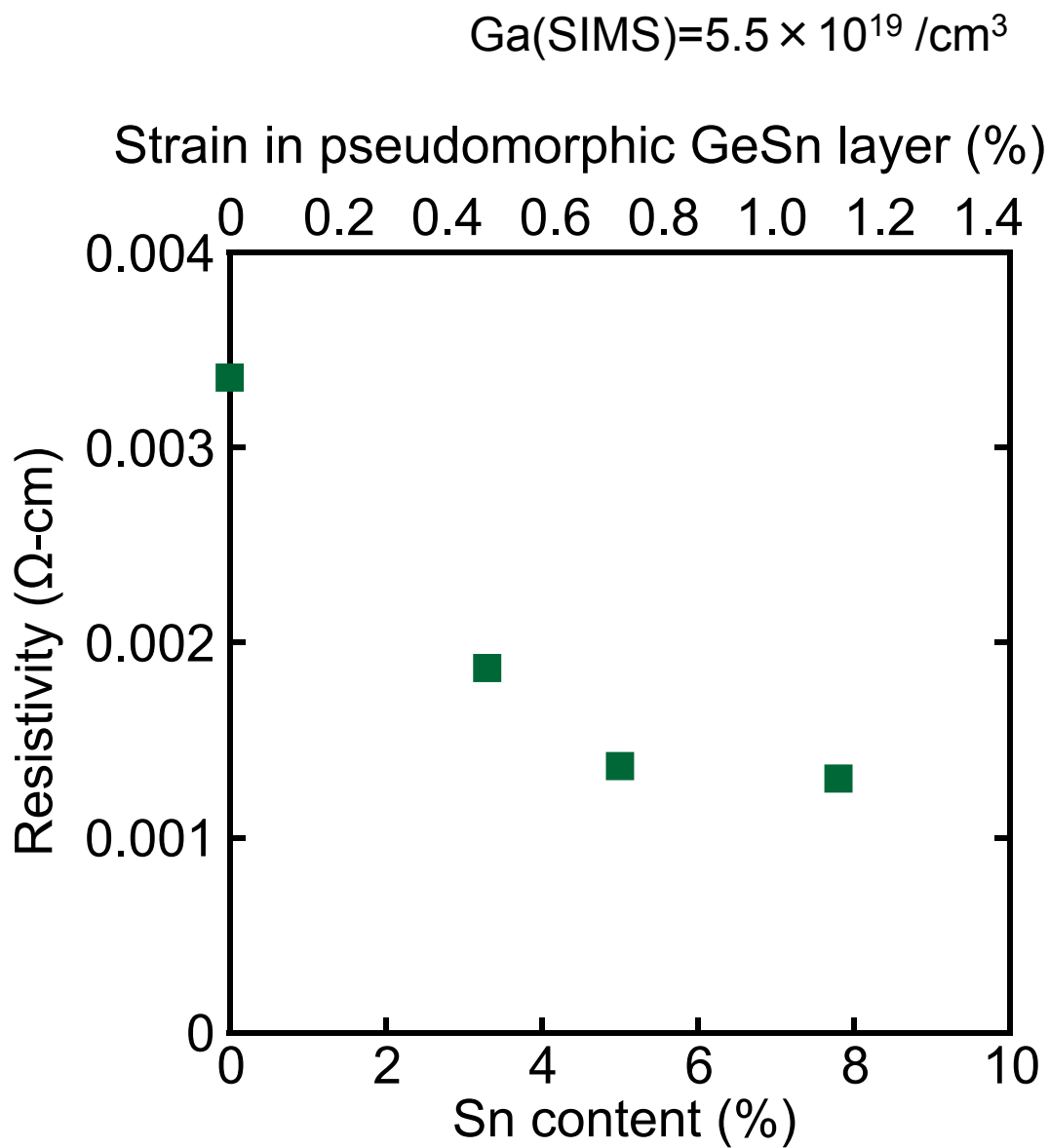


図5.8. in-situ Gaドープした成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層の抵抗率のSn組成依存性。

ち、Sn 組成増大に伴う抵抗率の減少は、①Ga の活性化率の増大によるキャリア濃度の増大、② $\text{Ge}_{1-x}\text{Sn}_x$ への二軸圧縮歪印加による正孔移動度の増大、のどちらか、または両方によって引き起こされると推測される。

そこで、u4pp に Hall 効果測定機能を持たせた u4pp-Hall[12]を用いて、キャリア濃度およびキャリア移動度をそれぞれ測定した。図 5.9 に、*in-situ* Ga ドープした成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層におけるキャリア濃度およびキャリア移動度の Sn 組成依存性を示す。キャリアタイプは全て p 形であった。図中の破線は SIMS 分析の結果得られた Ga 濃度を示しており、Ga が電氣的に 100%活性化した場合に Hall 効果測定で得られる Ga 濃度は破線上にプロットされる。また、 $\text{Ge}_{1-x}\text{Sn}_x$ 層は全て Ge 基板上に pseudomorphic に成長しており (図 5.4)、 $\text{Ge}_{1-x}\text{Sn}_x$ 層に印加される二軸圧縮歪量を上部横軸に示す。その結果、Sn 組成の増大とともに、キャリア濃度が増大していることが明らかになった。従って、Sn 組成の増大に伴う抵抗率の減少の原因は、キャリア濃度の増大が支配的であることがわかった。特に、Sn 組成が 7.8%の試料においては、成長直後にも関わらず、Ga は完全に活性化していることが明らかになった。前述したように、Ge のエネルギーバンドにおいて、バンドギャップ中の深い位置に準位を作る Ga-V 対から Sn が原子空孔を奪い、より安定な Sn-V を形成した結果、孤立 Ga 原子が浅い不純物準位を形成し、Ga の活性化が促進されたことが示唆される。以上より、Sn 導入によって、Ga の活性化が促進可能であることがわかった。

次に、それぞれの試料に窒素雰囲気中において 200°C から 600°C で 1 分間の熱処理を施した。図 5.10 に、XRD-2DRSM により求めた、各温度での熱処理後の歪緩和率を示す。600°C で 1 分間の熱処理後においても、5%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪は緩和せず pseudomorphic を保っていた。このとき Sn の析出も起こっていなかった。一方で、7.8%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層は、500°C 以上の熱処理で歪が緩和したものの、600°C で 1 分間の熱処理後においても、Sn 析出は見られなかった。

図 5.11 に、成長直後の Sn 組成 0%および 7.8%の試料、600°C で 1 分間の熱処理後の Sn 組成 7.8%の試料の断面 TEM 像を示す。成長直後においては、Sn 組成に関わらず界

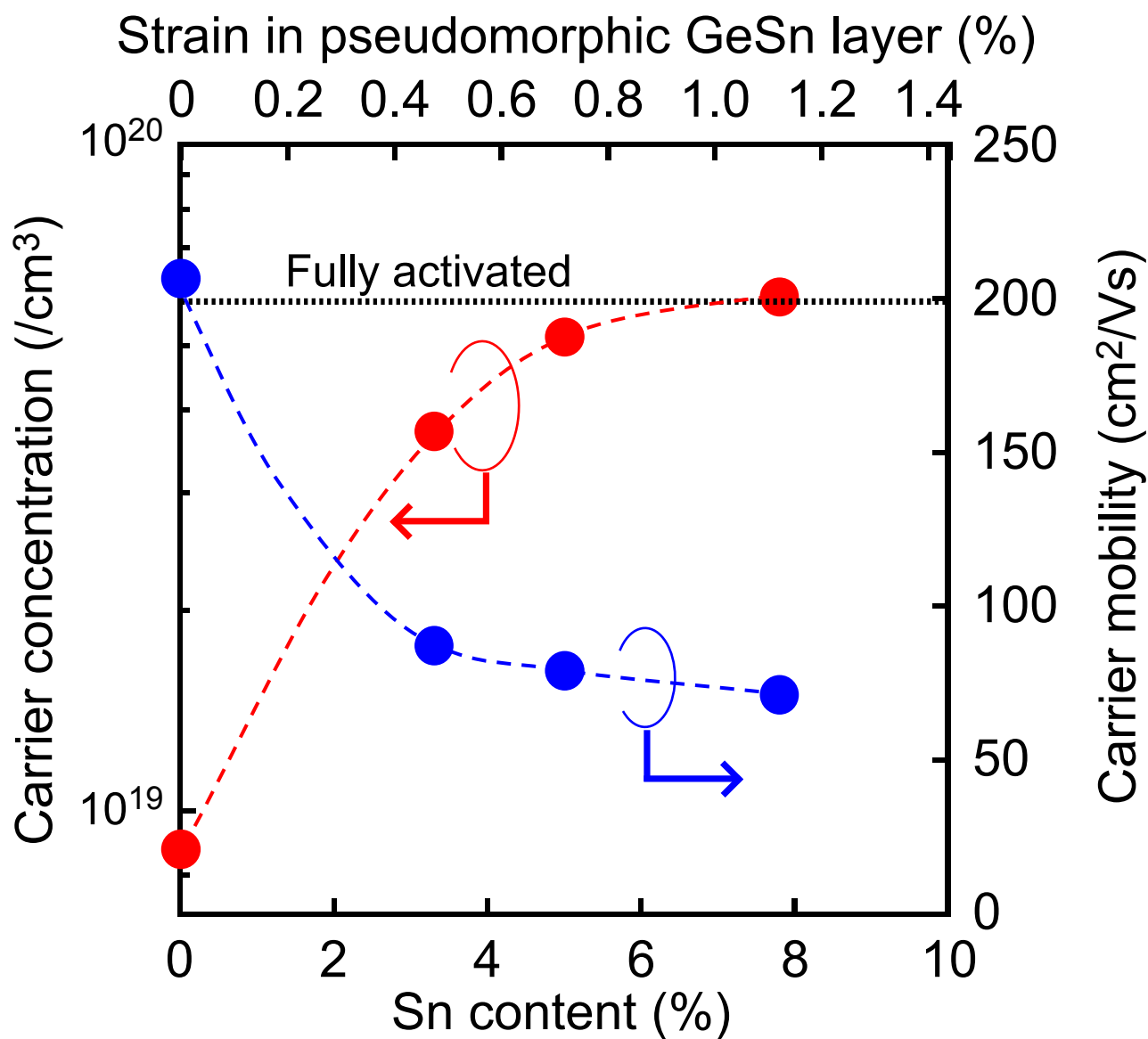


図5.9. in-situ Gaドープした成長直後の $\text{Ge}_{1-x}\text{Sn}_x$ 層のキャリア移動度およびキャリア移動度のSn組成依存性。

Annealing in N₂ ambient, Ga(SIMS)= 5.5×10^{19} /cm³

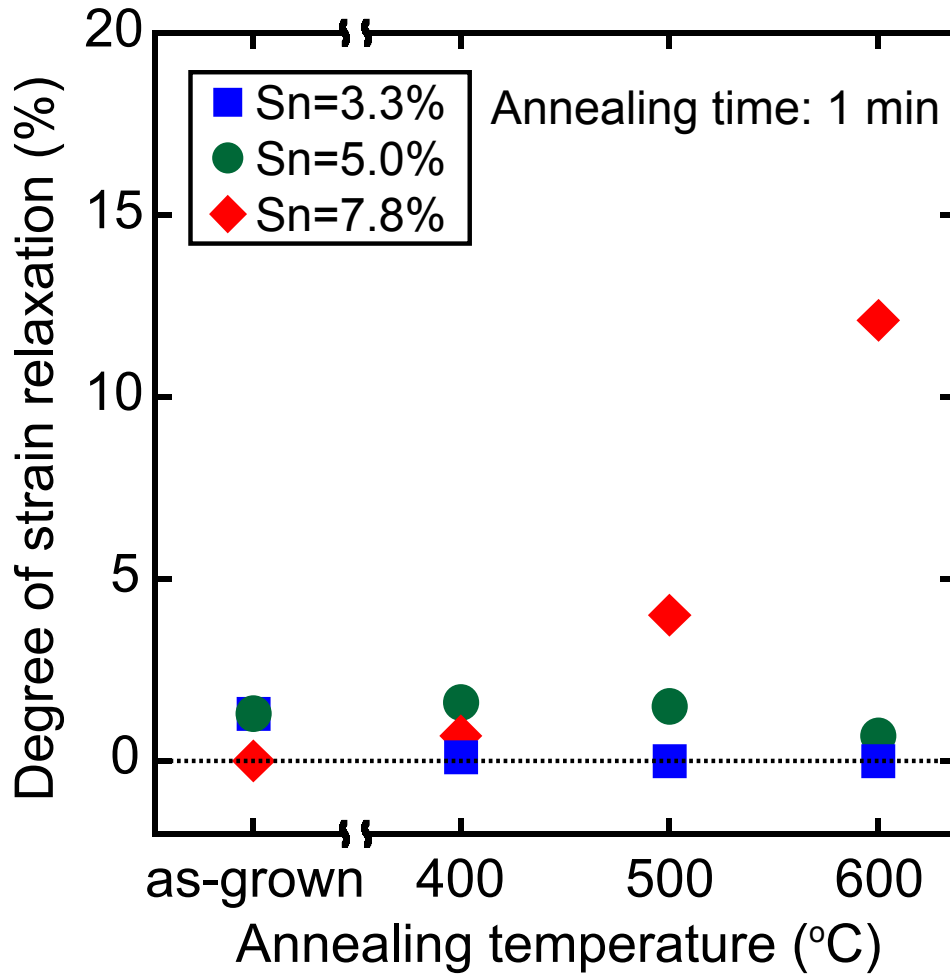


図5.10 in-situ GaドープしたGe_{1-x}Sn_x層の各温度での熱処理後の歪緩和率。

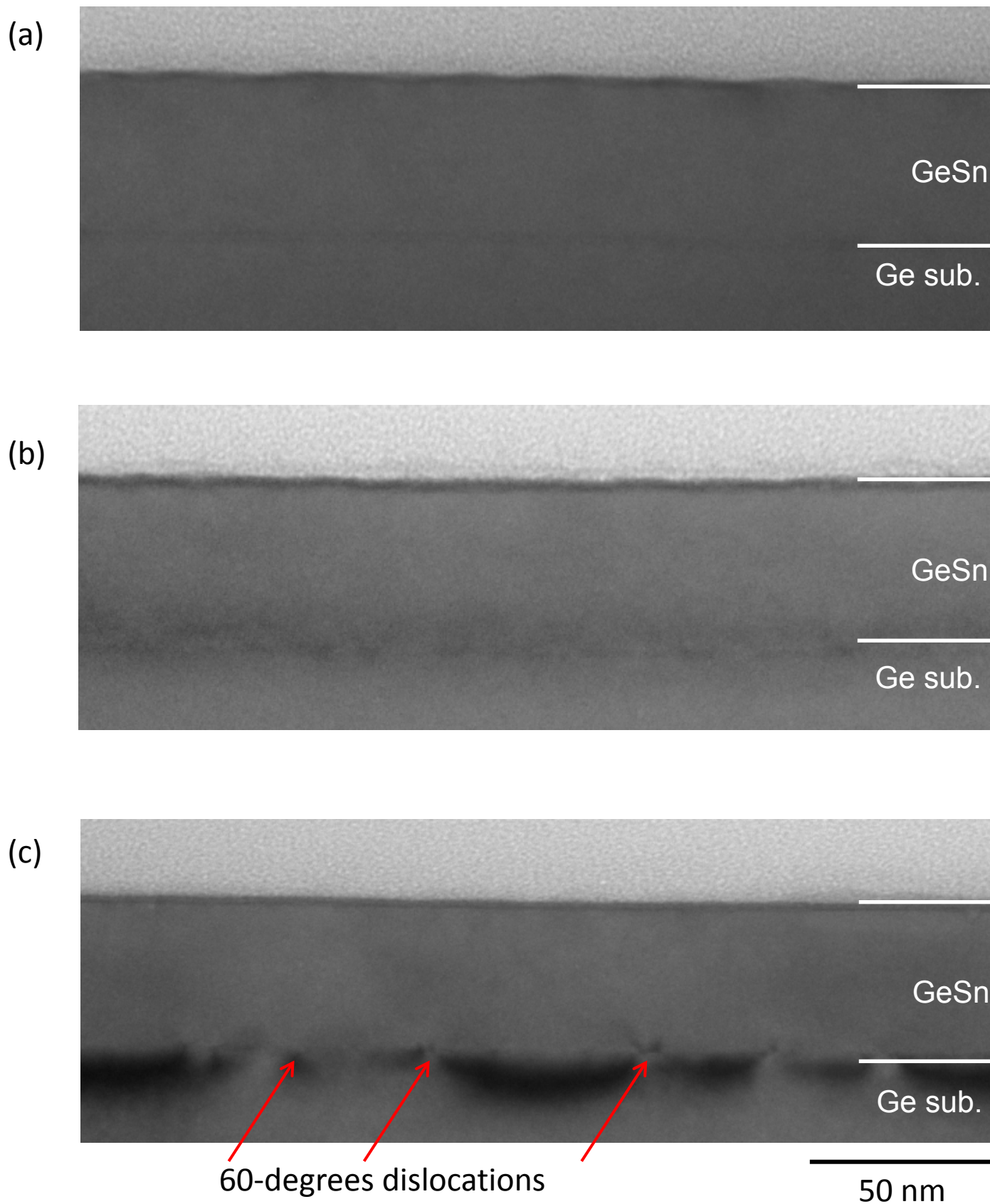


図5.11. in-situ Gaドープした $\text{Ge}_{1-x}\text{Sn}_x$ 層の断面明視野TEM像 ($\mathbf{g}=[004]$)。 (a) Sn組成0%、成長直後、(b) Sn組成7.8%、成長直後、 (c) Sn組成7.8%、窒素雰囲気中における600°C、1分間の熱処理後。

面および $\text{Ge}_{1-x}\text{Sn}_x$ 層中に転位は観察されなかった。一方で、Sn 組成 7.8%の試料の熱処理後の断面 TEM 像では、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 界面に 60° 転位が観察された。従って、この試料の歪は、界面の 60° 転位によって緩和している。

各試料について $\mu 4\text{pp}$ を用いて求めた、成長直後の試料における抵抗率で規格化した抵抗率の熱処理温度依存性を図 5.12 に示す。Sn を導入した試料は、熱処理温度の増大に伴い、抵抗率が減少した。Sn 組成 7.8%の試料は成長直後に Ga が完全に活性化していることから、熱処理による結晶性の改善による移動度の増大が示唆される。一方で Sn 組成 0%の試料の抵抗率は、 300°C の熱処理によって大幅に増大した。また、 500°C における熱処理後に再び 300°C において熱処理を施した場合にも抵抗率が増大し、 300°C において逆アニール現象が生じることが明らかになった。逆アニール現象は、熱処理中の不純物クラスターの形成、不純物の格子間位置への析出および不純物と原子空孔や格子間位置原子との結合により不純物が不活性化する現象である[13,14]。本研究で作製した Ga ドープされた $\text{Ge}_{1-x}\text{Sn}_x$ 層は低温で成長しているため、多くの原子空孔および格子間位置原子が膜中に存在している。従って、 300°C において点欠陥と Ga が結合した結果、逆アニール現象が起こったことが示唆される。また、前述したように、Sn は原子空孔とより安定に結合するため、Sn 導入により Ga の逆アニール現象が抑制されたと推測される。

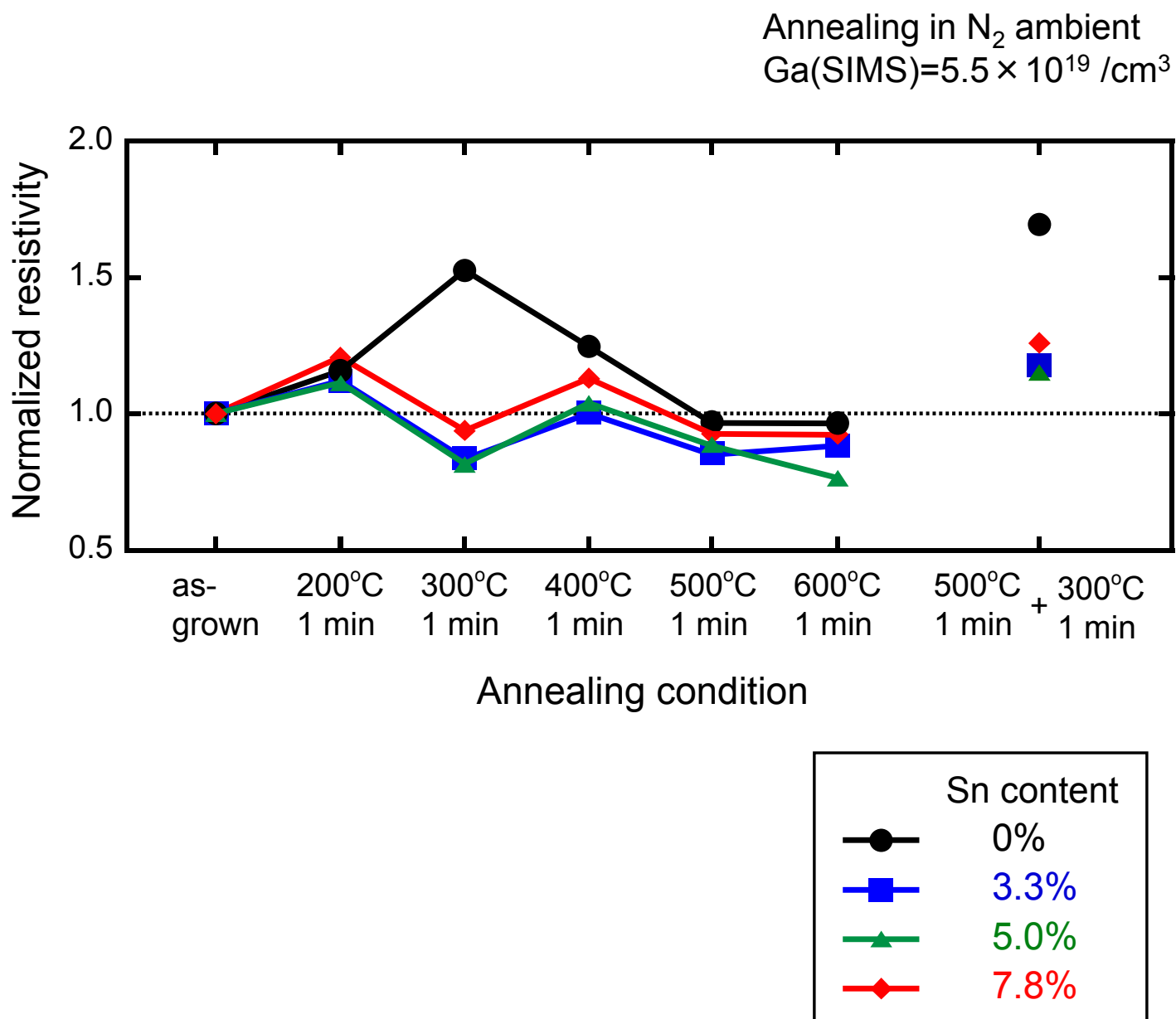


図5.12. in-situ GaドープしたGe_{1-x}Sn_x層における、成長直後の抵抗率で規格化した抵抗率の熱処理温度依存性。

参考文献

- [1] P. R. Chidambaram, B. A. Smith, L. H. Hall, H. Bu, S. Chakravarthi, Y. Kim, A. V. Samoilov, A. T. Kim, P. J. Jones, R. B. Irwin, M. J. Kim, A. L. P. Rotondaro, C. F. Machala and D. T. Grider, *Symp. VLSI Technology*, 48 (2004).
- [2] T. Krishnamohan, D. Kim, T. V. Dinh, A. T. Pham, B. Meinerzhagen, C. Jungemann, and K. Saraswat, *IEDM Proc.* p.899 (2009).
- [3] B. Vincent, Y. Shimura, S. Takeuchi, T. Nishimura, G. Eneman, A. Firrincieli, J. Demeulemeester, A. Vantomme, T. Clarysse, O. Nakatsuka, S. Zaima, J. Dekoster, M. Caymax, and R. Loo, *Microelectron. Eng.* **88**, 342 (2011).
- [4] C. A. J. Ammerlaan, W. Bergholz, and Max Schulz, *Impurities and defects in Group IV elements and III-V compounds Group III*, Vol. 22, Springer (1989).
- [5] C. Claeys and E. Simoen, *Germanium-based technologies from materials to devices*, Elsevier, p86 (2007).
- [6] G. Hellings, C. Wuendisch, G. Eneman, E. Simoen, T. Clarysse, M. Meuris, W. Vandervorst, M. Posselt, and K. D. Meyera, *Electrochemical and Solid-State Letters*, **12**, H417 (2009).
- [7] C. W. Myles and O. F. Sankey, *Phys. Rev. B*, **29**, 6810 (1984).
- [8] A. Chroneos, *Phys. Stat. Sol. (b)*, **244**, 3206 (2007).
- [9] J. Falta, M. Copel, F. K. LeGoues, and R. M. Tromp, *Appl. Phys. Lett.* **62**, 2962 (1993).
- [10] C. Merckling, X. Sun, Y. Shimura, A. Franquet, B. Vincent, S. Takeuchi, W. Vandervorst, O. Nakatsuka, S. Zaima, R. Loo, and M. Caymax, *Appl. Phys. Lett.* **98**, 192110 (2011).
- [11] 中島一雄、エピタキシャル成長のメカニズム、共立出版株式会社、p.156 (2009).
- [12] D. H. Petersen, O. Hansen, R. Lin, and P. F. Nielsen, *J. Appl. Phys.* **104**, 013710 (2008).
- [13] L. Jialu, Z. Tingqing, and Y. Xiaoyue, *Vaccum*, **39**, 217 (1989).
- [14] M. Y. Tsai, B. G. Streetman, V. R. Deline, and C. A. Evans, *J. Electron. Mater.* **8**, 111 (1979).

第6章 結論

6.1 本研究の要約

Si MOSFET は微細化による性能向上に限界が見え始めている。既存の Si プロセスへの親和性が高く、微細化に依らない性能向上が可能な歪 Ge MOSFET の作製技術の確立は、今後の超高速デバイスための最重要課題であると考えられる。本研究では、Ge へのストレッサーとして $\text{Ge}_{1-x}\text{Sn}_x$ に着目し、 $\text{Ge}_{1-x}\text{Sn}_x$ を用いる上で必須となる、格子置換位置 Sn 原子の安定化、転位制御技術の確立、不純物制御技術の確立を目指した。

以下に、本研究で得られた結果および残された課題をまとめる。

6.1.1 第3章 高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成

格子置換位置 Sn 原子の安定化による Sn 析出抑制の実現のため、仮想 Ge 基板上に様々な成長温度で成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層における、熱処理に対する Sn 組成変化を XRD-2DRSM 測定によって詳細に調べた。

成長温度 200°C で $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長した試料は、窒素雰囲気における 500°C、60 分間の熱処理によって Sn が析出するため、Sn 組成が 5.5%を超えることはなかった。一方で、より低温の 150°C および 100°C で $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長させた試料に同条件の熱処理を施した場合、Sn の析出は認められたものの、熱処理後においても、それぞれ 6.8% および 7.1% の Sn 組成を有していた。この結果、各成長温度における臨界 Sn 組成が存在し、臨界 Sn 組成は成長温度の低減とともに増大することがわかった。これは、成長温度の低減に伴い、より多くの原子空孔が $\text{Ge}_{1-x}\text{Sn}_x$ 中に導入され、より安定な Sn-空孔対を形成した結果であると考えられる。また、原子空孔は、熱処理中の新たな転位導入を促進するため、低温成長した試料においては、熱処理に伴う歪緩和が促進された。一方で、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の逆格子ピークの半値幅は成長温度に依らず面内格子定数と共に増大した。すなわち、成長温度の低減によって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性を損なうことなく、Sn 析出の抑制と歪緩和の促進が可能であることが明らかとなった。

6.1.2 第4章 $\text{Ge}_{1-x}\text{Sn}_x$ 層の転位構造制御

基板と $\text{Ge}_{1-x}\text{Sn}_x$ 層との格子定数差が転位導入と歪緩和に与える影響を明らかにするために、Si および Ge 基板上に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪および転位構造を XRD-2DRSM 測定および TEM 観察によって詳細に調べた。

Si 基板上に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層は、成長直後において既に歪緩和が生じているのに対し、Ge 基板上に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層は、Sn 組成の増大と共に基板とのミスフィット差が増大した場合に転位が導入され、歪が緩和された。ミスフィット差の増大と共に歪緩和率が増大した。従って、基板とのミスフィット差によって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の転位導入と歪緩和の制御が可能であることが明らかになった。また、成長中に導入される転位は、どちらの基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成した場合においても 90° 転位であったのに対し、熱処理後に導入される転位は 60° 転位であった。Si 基板において歪緩和が起こった試料の表面には、Ge 基板を用いた試料と比較して粒径の大きな凹凸が観察され、平坦性に優れる $\text{Ge}_{1-x}\text{Sn}_x$ 層を実現するためには、歪緩和が起こる最小のミスフィット差を有する基板を用いることが重要であると考えられる。

また、Ge 基板に Pseudomorphic に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層へ B のイオン注入を行い、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪および転位構造にイオン注入ダメージが与える影響を調べた。 $\text{Ge}_{1-x}\text{Sn}_x$ 表面がアモルファス化する程度に B をイオン注入し、活性化熱処理を施した場合においても、6.9%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪は緩和しないことが明らかになった。一方で、イオン注入後に熱処理を施すと多くの転位が導入された。これは、イオン注入ダメージによる、結晶性の悪化が転位発生を誘起したと推測される。さらに、 $\text{Ge}_{1-x}\text{Sn}_x$ 表面を SiO_2 層で覆った場合には、B イオンが SiO_2 中でエネルギーを失い、Ge に与えるダメージを低減できることがわかった。この場合、B イオンが $\text{Ge}_{1-x}\text{Sn}_x$ 層表面まで達しても、熱処理による転位導入は起こらなかった。

6.1.3 第5章 $\text{Ge}_{1-x}\text{Sn}_x$ 層の不純物制御

イオン注入を用いた、 $\text{Ge}_{1-x}\text{Sn}_x$ 層への高濃度不純物ドーピングの達成と転位導入の抑制の両立は困難であることが明らかになったため、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長中における Ga の同時照射による不純物ドーピングを検討した。様々な Ga 濃度および Sn 組成を有する Ga ドープされた $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性および電気的特性を XRD-2DRSM 測定、TEM 観察および四探針法で詳細に調べた。

成長温度 150°C で形成した、7.1%の Sn 組成および $5.5 \times 10^{19} / \text{cm}^3$ (SIMS 分析の結果) の Ga がドープされた $\text{Ge}_{1-x}\text{Sn}_x$ 層は、Ge 基板上に転位導入および Sn 析出を起こすことなく Pseudomorphic に成長した。これに対して、成長温度における Ga の固溶限を超える $1.0 \times 10^{20} / \text{cm}^3$ (SIMS 分析の結果) の Ga を導入した場合には、成長中に膜中への転位導入および Sn 析出が起こることがわかった。

一方で、Sn 導入により Ga のサーファクタント効果が抑制され、深さ方向に均一な Ga 濃度を有する Ga ドープされた $\text{Ge}_{1-x}\text{Sn}_x$ 層が形成可能であることがわかった。原子半径の大きい Sn が表面に存在するために、Ga 原子の表面偏析ポテンシャルが増大したためと考えられる。また、Sn 導入は Ga の活性化を促進することも明らかとなった。これは、Ga が原子空孔と形成する複合物と比較して、Sn と原子空孔による複合物がより安定であるために、浅い不純物準位を持つ単体の Ga がより多く Ge 中に導入されたためと考えられる。その結果、7.8%の Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層中の濃度 $5.5 \times 10^{19} / \text{cm}^3$ の Ga は、成長直後にも関わらず 100%活性化することが明らかとなった。

Ga ドープされた $\text{Ge}_{1-x}\text{Sn}_x$ 層に様々な温度で熱処理を施した場合、Sn を導入しない試料では熱処理温度 300°C において逆アニール現象による抵抗率の増大がみられた。これは、低温成長に起因する膜中の点欠陥が Ga と 300°C で結合したためであると示唆される。原子空孔とより安定に結合する Sn 導入によって逆アニール現象が抑制され、結晶性の改善による移動度の増大が示唆された。

6.2 今後の課題

本研究で、基板とのミスフィット差を利用することで $\text{Ge}_{1-x}\text{Sn}_x$ 層の歪緩和を制御可能であることがわかった。一方、Si 基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層を形成した場合には、成長直後に大きな歪緩和率が得られるものの、粒径の大きな凹凸が表面に形成される。また、Ge 基板上に形成した場合、表面荒れは抑制されるが、成長中の歪緩和を誘起させるためには 8%以上の Sn 組成が必要であり、歪緩和率も Si 基板上の場合と比較して小さい。従って、Ge 基板上で歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ 層を得るためには、長時間の歪緩和熱処理が必要となる。このように、Si および Ge 基板への $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成は一長一短であると言える。従って、ミスフィット差の最適化が必須となる。その為には格子定数を適切に制御した $\text{Si}_{1-x}\text{Ge}_x$ バッファ層上への $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成が有望と考えられる。

不純物として Ga を成長中にドーピングした場合、転位導入および Sn 析出を抑制しながら Pseudomorphic に $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長できるのは、ドーピングした Ga 濃度が成長温度における Ga の固溶限以下の場合であった。従って、平衡固溶限である $4.9 \times 10^{20} / \text{cm}^3$ の Ga ドーピングの為には、成長温度を増大する必要があるが、一方でこれは Sn 析出抑制のための低温成長の要請と相反する。そこで、高濃度不純物ドーピングと Sn 析出抑制の両立のために、Al を不純物として用いる方法が考えられる。Al は、Ge 中への平衡固溶限が Ga と同等である。さらに、Ge より原子半径が小さいため、原子半径の大きな Sn 原子との相互作用で Al 原子周辺の局所歪が減少し、低温成長時においても固溶限を超える高濃度の Al ドーピングの可能性が期待される。

本研究により、一軸圧縮歪を Ge に印加するための $\text{Ge}_{1-x}\text{Sn}_x$ S/D に要求される、Ge 基板上に Pseudomorphic に成長しながらの高濃度不純物ドーピング $\text{Ge}_{1-x}\text{Sn}_x$ 層成長の展望が開けた。次に、一軸圧縮歪を Ge に印加するための $\text{Ge}_{1-x}\text{Sn}_x$ の選択成長を確立すべきであると考え。選択的な Ge のエッチング手法は Moriyama らにより提案されており [1]、障壁となるのは、選択的にエッチングされた領域 (リセス) への $\text{Ge}_{1-x}\text{Sn}_x$ の選択的な成長である。成長温度を 430°C 以上とすると、 $\text{Ge}_{1-x}\text{Sn}_x$ 選択成長の際にマスクとして用いられる SiO_2 上に到達した Ge および Sn 原子はそれぞれ GeO および SnO として脱

離するため、リセスへの選択成長が可能である。それ以下の成長温度では SiO_2 上に多結晶 $\text{Ge}_{1-x}\text{Sn}_x$ が形成される。しかし、やはり Sn 析出抑制のためには成長温度を低温下しなくてはならず、 SiO_2 層とその上の多結晶 $\text{Ge}_{1-x}\text{Sn}_x$ 層を成長後に選択的に除去する方法が現実的であると考えられる。従って、リセス上の $\text{Ge}_{1-x}\text{Sn}_x$ 層に表面荒れなどのダメージを与えずに除去可能なマスク材料が必要である。また、リセス側面は(111)面等を有しており、(001)面上への $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長ではみられないような双晶などの欠陥の導入や、これに伴う歪緩和に対する Sn 組成の臨界値の低下が懸念される。そのため、(001)面上以外への $\text{Ge}_{1-x}\text{Sn}_x$ 層成長における欠陥の導入機構の解明と制御方法の確立が必要である。これは、高い電子移動度の期待される二軸伸張歪 $\text{Ge}(111)$ や高い正孔移動度が期待される一軸圧縮歪 $\text{Ge}(110)$ といった、(001)面以外の面方位の導入を検討する上でも重要である。

参考論文

[1] Y. Moriyama, Y. Kamimuta, K. Ikeda, and T. Tezuka, *Solid State Electronics*, **60**, 89 (2011).

謝辞

本論文は、名古屋大学大学院工学研究科結晶材料工学専攻博士課程後期課程在籍時に行った研究をまとめたものである。

本研究を行うにあたり、研究機会を与えていただき、また終始ご指導頂いた財満鎮明教授（名古屋大学大学院工学研究科）に厚く御礼申し上げます。また、本論文を査読していただき、貴重なご意見を頂いた竹田美和教授（名古屋大学大学院工学研究科）、田中信夫教授（名古屋大学大学院工学研究科）、及び宮崎誠一教授（名古屋大学大学院工学研究科）に厚く御礼申し上げます。本研究を進めるにあたり、詳細な議論、および日々多くのご指導を頂いた中塚理准教授（名古屋大学大学院工学研究科）に厚く御礼申し上げます。

本研究活動に際し、多くのご助言を頂きました竹内正太郎氏（現在、コバレントマテリアル）に深く感謝の意を表します。日々の実験、解析において、多数のご助言を頂いた近藤博基准教授（名古屋大学大学院工学研究科）坂下満男助教（名古屋大学大学院工学研究科）に深く感謝致します。また、日常の事務処理等においてお世話になった秘書の松永直子氏、宮地小織氏、岩田まゆみ氏にお礼申し上げます。また、透過電子顕微鏡観察において、その使用方法から観察手法に至るまで懇切丁寧にご指導していただいた荒井重勇博士（名古屋大学エコトピア科学研究所 100 万ボルト電子顕微鏡研究室）に深く感謝致します。

本論文をまとめるにあたり、日々の実験に協力していただいた当研究室の筒井宣匡氏ならびに池進一氏に厚く御礼申し上げます。また、日々共に生活し勉学に励んできた財満研究室の学生の方々に感謝の意を表します。

最後に、本学での勉学を許し、暖かく見守っていただいた家族に深く感謝します。

研究業績

主要論文

- (1) Yosuke Shimura, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima
題名 Control of Dislocations and Sn precipitations for Fabrication of Tensile-strained Ge on $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layer
掲載誌 Transaction of the Materials Research Society of Japan, Vol. 34, 301 (2009)
- (2) Yosuke Shimura, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima
題名 Low temperature growth of $\text{Ge}_{1-x}\text{Sn}_x$ buffer layers for tensile-strained Ge layers
掲載誌 Thin Solid Films, Vol. 518, S2 (2010)
- (3) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima
題名 Control of Strain Relaxation Behavior of GeSn Layers for Tensile Strained Ge Layers
掲載誌 ECS Transactions, Vol. 33, 205 (2010)
- (4) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima
題名 Control of strain relaxation behavior of $\text{Ge}_{1-x}\text{Sn}_x$ buffer layers
掲載誌 Solid-State Electronics, Vol. 60, 84 (2011)
- (5) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, Benjamin Vincent, Federica Gencarelli, Trudo Clarysse, Wilfried Vandervorst, Matty Caymax, Roger Loo, Ane Jensen, Dirch H Petersen, and Shigeaki Zaima
題名 In-situ Ga Doping of Fully Strained $\text{Ge}_{1-x}\text{Sn}_x$ Heteroepitaxial Layers Grown on Ge(001) Substrates
掲載誌 Thin Solid Films, Vol. 520, 3206 (2012)

関係論文

- (1) Yosuke Shimura, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima
題名 Control of Sn Precipitation and Strain Relaxation in Compositionally Step-Graded $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layers for Tensile-Strained Ge Layers
掲載誌 Japanese Journal of Applied Physics, Vol. 48, 04C130 (2009)
- (2) Yosuke Shimura, Takanori Asano, Osamu Nakatsuka, and Shigeaki Zaima
題名 Crystallinity Improvement of Epitaxial Ge Grown on a Ge(110) Substrate by Incorporation of Sn
掲載誌 Applied Physics Express, Vol. 5, 015501 (2012)

その他の第1著者でない発表論文

(1) Osamu Nakatsuka, Norimasa Tsutsui, Yosuke Shimura, Shotaro Takeuchi, Akira Sakai, and Shigeaki Zaima

題名 Mobility Behavior of $\text{Ge}_{1-x}\text{Sn}_x$ Layers Grown on Silicon-on-Insulator Substrates

掲載誌 Japanese Journal of Applied Physics, Vol. 49, 04DA10 (2010)

(2) Shotaro Takeuchi, Yosuke Shimura, Tsuyoshi Nishimura, Benjamin Vincent, Geert Eneman, Trudo Clarysse, Jelle Demeulemeester, Kristiaan Temst, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Assessment of $\text{Ge}_{1-x}\text{Sn}_x$ Alloys for Strained Ge CMOS Devices

掲載誌 ECS Transactions, Vol. 33, 529 (2010)

(3) Tsuyoshi Nishimura, Osamu Nakatsuka, Yosuke Shimura, Shotaro Takeuchi, Benjamin Vincent, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, and Shigeaki Zaima

題名 Formation of $\text{Ni}(\text{Ge}_{1-x}\text{Sn}_x)$ layers with solid-phase reaction in $\text{Ni}/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ systems

掲載誌 Solid-State Electronics, Vol. 60, 46 (2011)

(4) Shotaro Takeuchi, Yosuke Shimura, Tsuyoshi Nishimura, Benjamin Vincent, Geert Eneman, Trudo Clarysse, Jelle Demeulemeester, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, Akira Sakai, Osamu Nakatsuka, and Shigeaki Zaima

題名 $\text{Ge}_{1-x}\text{Sn}_x$ stressors for strained-Ge CMOS

掲載誌 Solid-State Electronics, Vol. 60, 53 (2011)

(5) Benjamin Vincent, Yosuke Shimura, Shotaro Takeuchi, Tsuyoshi Nishimura, Geert Eneman, Andrea Firrincieli, Jelle Demeulemeester, Andre Vantomme, Trudo Clarysse, Osamu Nakatsuka, Shigeaki Zaima, Johan Dekoster, Matty Caymax, and Roger Loo

題名 Characterization of GeSn materials for future Ge pMOSFETs source/drain stressors

掲載誌 Microelectronic Engineering, Vol. 88, 342 (2011)

(6) Clement Merckling, Xiao Sun, Yosuke Shimura, Alexis Franquet, Benjamin Vincent, Shotaro Takeuchi, Wilfried Vandervorst, Osamu Nakatsuka, Shigeaki Zaima, Roger Loo, and Matty Caymax

題名 Molecular beam deposition of Al_2O_3 on p- $\text{Ge}(001)/\text{Ge}_{0.95}\text{Sn}_{0.05}$ heterostructure and impact of a Ge-cap interfacial layer

掲載誌 Applied Physics Letters, Vol. 98, 192110 (2011)

(7) Katsunori Makihara, Mitsuhsa Ikeda, Akio Ohta, Shotaro Takeuchi, Yosuke Shimura, Shigeaki Zaima, and Seiichi Miyazaki

題名 High-density formation of Ge quantum dots on SiO_2

掲載誌 Solid-State Electronics, Vol. 60, 65 (2011)

(8) Jelle Demeulemeester, Annelore Schrauwen, Osamu Nakatsuka, Shigeaki Zaima, Masaki Adachi, Yosuke Shimura, Craig M. Comrie, Claudia Fleischmann, Christophe Detavernier, Kristiaan Temst, and Andre Vantomme

題名 Sn diffusion during Ni germanide growth on $\text{Ge}_{1-x}\text{Sn}_x$

掲載誌 Applied Physics Letters, Vol. 99, 211905 (2011)

(9) Marika Nakamura, Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima

題名 Growth of $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with very high Sn contents on InP(001) substrates

掲載誌 Thin Solid films, Vol. 520, 3201 (2012)

(10) Osamu Nakatsuka, Kenta Mochizuki, Yosuke Shimura, Takashi Yamaha, and Shigeaki Zaima

題名 Low temperature formation of $\text{Si}_{1-x-y}\text{Ge}_x\text{Sn}_y$ -on-insulator structures by using solid-phase mixing of $\text{Ge}_{1-x}\text{Sn}_x/\text{Si}$ -on-insulator substrates

掲載誌 Thin Solid films, Vol. 520, 3288 (2012)

(11) Masaki Adachi, Yosuke Shimura, Osamu Nakatsuka, and Shigeaki Zaima

題名 Control of Defect Properties in Heteroepitaxial Ge Layers by Sn Incorporation and H_2 -Annealing

掲載誌 Thin Solid Films, 投稿中

(12) Takanori Asano, Yosuke Shimura, Osamu Nakatsuka, and Shigeaki Zaima

題名 Strain and Dislocation Structures of $\text{Ge}_{1-x}\text{Sn}_x$ Heteroepitaxial Layers Grown on Ge(110) Substrates

掲載誌 Thin Solid Films, 投稿中

国際会議発表

(1) Yosuke Shimura, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Low Temperature Growth of $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layers for Tensile-strained Ge Layers

学会名 6th International Conference on Silicon Epitaxy and Heterostructures

場所 Los Angeles, USA

年月 May 17th – 22nd, 2009

(2) Yosuke Shimura, Shotaro Takeuchi, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Strain Relaxation Behavior of $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layers on Si and Virtual Ge Substrates

学会名 Fifth International Workshop on New Group IV Semiconductor Nanoelectronics

場所 Sendai, Japan

年月 January 30th, 2010

(3) Yosuke Shimura, Shotaro Takeuchi, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Control of Strain Relaxation Behavior of $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layers: Toward Tensile Strained Ge layers with Strain Value over 1%

学会名 5th International SiGe Technology and Device Meeting

場所 Stockholm, Sweden

年月 May 24th – 26th, 2010

(4) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Epitaxial $\text{Ge}_{1-x}\text{Sn}_x$ Growth Using MBE

学会名 International Workshop of GeSn Developments and Future Applications

場所 Leuven, Belgium

年月 May 28th, 2010

(5) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Formation of $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with high Sn content

学会名 International Symposium on Technology Evolution for Silicon Nano-Electronics (ISTESNE)

場所 Tokyo, Japan

年月 June 3rd – 5th, 2010

(6) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima

題名 Control of Strain Relaxation Behavior of $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layers for Tensile Strained Ge Layers

学会名 218th ECS Meeting

場所 Las Vegas, USA

年月 October 10th – 15th, 2010

(7) Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, Benjamin Vincent, Federica Gencarelli, Trudo Clarysse, Wilfried Vandervorst, Matty Caymax, Roger Loo, and Shigeaki Zaima

題名 In-situ Ga Doping to Fully Strained $\text{Ge}_{1-x}\text{Sn}_x$ Heteroepitaxial Layers Grown on Ge(001) Substrates

学会名 7th International Conference on Silicon Epitaxy and Heterostructures

場所 Leuven, Belgium

年月 August 28th – September 1st, 2011

(8) Yosuke Shimura, Marika Nakamura, Takanori Asano, Shotaro Takeuchi, Osamu Nakatsuka, Benjamin Vincent, Federica Gencarelli, Trudo Clarysse, Wilfried Vandervorst, Matty Caymax, Roger Loo, Ane Jensen, Dirch H. Petersen, and Shigeaki Zaima

題名 MBE Growth and Crystalline Properties of GeSn Heteroepitaxial Layers

学会名 2nd GeSn Workshop: GeSn Development and Future Applications

場所 Leuven, Belgium

年月 September 2nd, 2011

その他の第 1 著者でない国際会議発表

(1) Shigeaki Zaima, Osamu Nakatsuka, Yosuke Shimura, Norimasa Tsutsui, and Akira Sakai

題名 Invited: Formation and characterization of tensile-strained Ge layers on $\text{Ge}_{1-x}\text{Sn}_x$ buffer layers

学会名 6th International Conference on Silicon Epitaxy and Heterostructures

場所 Los Angeles, USA,

年月 May 17th – 22nd, 2009

(2) Osamu Nakatsuka, Yosuke Shimura, Norimasa Tsutsui, Akira Sakai, Yasuhiko Imai, Hiroo Tajiri, Osami Sakata, Shigeru Kimura, and Shigeaki Zaima

題名 Analysis of Local Strain in $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}/\text{Si}(001)$ Heterostructures by X-ray Microdiffraction

学会名 6th International Conference on Silicon Epitaxy and Heterostructures

場所 Los Angeles, USA

年月 May 17th – 22nd, 2009

(3) Norimasa Tsutsui, Yosuke Shimura, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Mobility Behavior in $\text{Ge}_{1-x}\text{Sn}_x$ Layers Grown on SOI Substrates

学会名 2009 International Conference on Solid State Devices and Materials (SSDM)

場所 Sendai, Japan,

年月 October 7th – 9th, 2009

(4) Shotaro Takeuchi, Yosuke Shimura, Norimasa Tsutsui, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima

題名 Invited: Potential of $\text{Ge}_{1-x}\text{Sn}_x$ alloys as high mobility channel materials and stressors

学会名 5th International WorkShop on New Group IV Semiconductor Nanoelectronics

場所 Sendai, Japan

年月 January 29th – 30th, 2010

(5) Shotaro Takeuchi, Yosuke Shimura, Tsuyoshi Nishimura, Benjamin Vincent, Geert Eneman, Trudo Clarysse, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, Osamu Nakatsuka, and Shigeaki Zaima

題名 Invited: $\text{Ge}_{1-x}\text{Sn}_x$ stressors for strained-Ge CMOS

学会名 5th International SiGe Technology Device Meeting 2010 (ISTDM2010)

場所 Stockholm, Sweden

年月 May 24th – 26th, 2010

(6) Tsuyoshi Nishimura, Yosuke Shimura, Shotaro Takeuchi, Benjamin Vincent, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, Osamu Nakatsuka, and Shigeaki Zaima

題名 Formation of $\text{Ni}(\text{Ge}_{1-x}\text{Sn}_x)$ Layers with Solid-Phase Reaction in $\text{Ni}/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ Systems

学会名 5th International SiGe Technology Device Meeting 2010 (ISTDM2010)

場所 Stockholm, Sweden

年月 May 24th – 26th, 2010

(7) Benjamin Vincent, Yosuke Shimura, Shotaro Takeuchi, Tsuyoshi Nishimura, Jelle Demeulemeester, Geert Eneman, Trudo Clarysse, Wilfried Vandervorst, Andre Vantomme, Osamu Nakatsuka, Shigeaki Zaima, Johan Dekoster, Matty Caymax, and Roger Loo

題名 Material Assessment for uni-axial strained Ge pMOS -1: Characterization of $\text{GeSn}(\text{B})$ materials

学会名 International Workshop of GeSn Developments and Future Applications

場所 Leuven, Belgium

年月 May 28th, 2010

(8) Tsuyoshi Nishimura, Yosuke Shimura, Shotaro Takeuchi, Benjamin Vincent, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, Osamu Nakatsuka, and Shigeaki Zaima

題名 Material Assessment for uni-axial strained Ge pMOS-2: Formation of $\text{Ni}(\text{GeSn})$ Layers with Solid-Phase Reactor

学会名 International Workshop of GeSn Developments and Future Applications

場所 Leuven, Belgium

年月 May 28th, 2010

(9) Osamu Nakatsuka, Shotaro Takeuchi, Yosuke Shimura, Akira Sakai, and Shigeaki Zaima

題名 Bi-axially strained Ge grown on GeSn SRBs

学会名 International Workshop of GeSn Developments and Future Applications

場所 Leuven, Belgium

年月 May 28th, 2010

(10) Shigeaki Zaima, Osamu Nakatsuka, Shotaro Takeuchi, Yosuke Shimura, Akira Sakai, Hiroki Kondo, and Mitsuo Sakashita

題名 Strained Ge and $\text{Ge}_{1-x}\text{Sn}_x$ technology for future CMOS devices

学会名 International Symposium on Technology Evolution for Silicon Nano Electronics (ISTESNE)

場所 Tokyo, Japan

年月 June 3rd – 5th, 2010

- (11) Osamu Nakatsuka, Yosuke Shimura, Shotaro Takeuchi, and Shigeaki Zaima
題名 Growth and Characterization of GeSn and Tensile-Strained Ge Layers for High Mobility Channels of CMOS Devices
学会名 7th Pacific Rim International Conference on Advanced Materials and Processing
場所 Cairns, Australia
年月 August 2nd – 6th, 2010
- (12) Shotaro Takeuchi, Yosuke Shimura, Tsuyoshi Nishimura, Benjamin Vincent, Geert Eneman, Trudo Clarysse, Jelle Demeulemeester, Kristiaan Temst, Andre Vantomme, Johan Dekoster, Matty Caymax, Roger Loo, Osamu Nakatsuka, Akira Sakai, and Shigeaki Zaima
題名 Invited: Assessment of $\text{Ge}_{1-x}\text{Sn}_x$ Alloys for Strained Ge CMOS Devices
学会名 218th ECS Meeting
場所 Las Vegas, USA
年月 October 10th – 15th, 2010
- (13) Shigeaki Zaima, Osamu Nakatsuka, Yosuke Shimura, and Shotaro Takeuchi
題名 Invited: Tensile-Strained Ge and $\text{Ge}_{1-x}\text{Sn}_x$ Layers for High-Mobility Channels in Future CMOS Devices
学会名 International Conference on Solid-State and Integrated Circuit Technology
場所 Shanghai, China
年月 November 1st – 4th, 2010
- (14) Shigeaki Zaima, Yosuke Shimura, Shotaro Takeuchi, and Osamu Nakatsuka
題名 Epitaxial Growth of $\text{Ge}_{1-x}\text{Sn}_x$ for Strained Ge CMOS Devices
学会名 International Conference on Processing & Manufacturing of Advanced Materials (THERMEC)
場所 Quebec, Canada
年月 August 1st – 5th, 2011
- (15) Marika Nakamura, Yosuke Shimura, Shotaro Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima
題名 Growth of $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with very high Sn contents on InP(001) substrates
学会名 7th International Conference on Silicon Epitaxy and Heterostructures
場所 Leuven, Belgium
年月 August 28th – September 1st, 2011
- (16) Kenta Mochizuki, Takashi Yamaha, Yosuke Shimura, Osamu Nakatsuka, and Shigeaki Zaima
題名 Low Temperature Formation of $\text{Si}_{1-x-y}\text{Ge}_x\text{Sn}_y$ -on-Insulator Structures by Using Solid-Phase Mixing of $\text{Ge}_{1-z}\text{Sn}_z/\text{Si}$ -on-Insulator Substrates
学会名 7th International Conference on Silicon Epitaxy and Heterostructures
場所 Leuven, Belgium
年月 August 28th – September 1st, 2011

(17) Osamu Nakatsuka, Yosuke Shimura, Masaki Adachi, Marika Nakamura, and Shigeaki Zaima

題名 Electrical and optical properties of $\text{Ge}_{1-x}\text{Sn}_x$ alloys

学会名 2nd GeSn Workshop: GeSn Development and Future Applications

場所 Leuven, Belgium

年月 September 2nd, 2011

(18) Masaki Adachi, Yosuke Shimura, Osamu Nakatsuka, and Shigeaki Zaima

題名 Control of Defect Properties in Ge Heteroepitaxial Layers by Sn Incorporation and H_2 -Annealing

学会名 International Conference on Solid State Devices and Materials (SSDM2011)

場所 Nagoya, Japan

年月 September 28th – 30th, 2011

(19) Takanori Asano, Yosuke Shimura, Osamu Nakatsuka, and Shigeaki Zaima

題名 Strain and Dislocation Structures of $\text{Ge}_{1-x}\text{Sn}_x$ Heteroepitaxial Layers Grown on Ge(110) Substrates

学会名 International Conference on Solid State Devices and Materials (SSDM2011)

場所 Nagoya, Japan

年月 September 28th – 30th, 2011

(20) Takashi Yamaha, Kenta Mochizuki, Yosuke Shimura, Osamu Nakatsuka, and Shigeaki Zaima

題名 Strained Ge Layers on SiGe(Sn) Buffer Layers Formed by Solid-phase Mixing Method

学会名 International Conference on Solid State Devices and Materials (SSDM2011)

場所 Nagoya, Japan

年月 September 28th – 30th, 2011

(21) Shigeaki Zaima, Osamu Nakatsuka, Yosuke Shimura, Shotaro Takeuchi, Benjamin Vincent, Federica Gencarelli, Trudo Clarysse, Jelle Demeulemeester, Kristiaan Temst, Andre Vantomme, Matty Caymax, and Roger Loo

題名 GeSn Technology: Impact of Sn on Ge CMOS Applications

学会名 220th ECS Meeting

場所 Boston, USA

年月 October 9th – 14th, 2011

国内会議発表

(1) 志村洋介、筒井宣匡、中塚理、酒井朗、財満鎮明

題名 Si(001)基板上への高 Sn 組成歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ バッファ層の形成

学会名 2009 年秋季 第 70 回 応用物理学会学術講演会

場所 富山大学

年月 2009 年 9 月 8 日~9 月 11 日

(2) 志村洋介、筒井宣匡、竹内正太郎、中塚理、酒井朗、財満鎮明

題名 ミスフィット制御による高 Sn 組成歪緩和 $\text{Ge}_{1-x}\text{Sn}_x$ 層の形成と電気特性評価

学会名 科学研究費補助金特定領域研究シリコンナノエレクトロニクスの新展開ーポ
ストスケールングテクノロジーー第四回成果報告会

場所 秋葉原コンベンションホール

年月 2010 年 3 月 7 日~3 月 8 日

(3) 志村洋介、竹内正太郎、Benjamin Vincent、Geert Eneman、Trudo Clarysse、Andre
Vantomme、Johan Dekoster、Matty Caymax、Roger Loo、中塚理、財満鎮明

題名 歪 $\text{Ge}_{1-x}\text{Sn}_x$ 層への高濃度不純物ドーピング

学会名 2010 年秋季 第 71 回 応用物理学会学術講演会

場所 長崎大学

年月 2010 年 9 月 14 日~9 月 17 日

(4) 志村洋介、中塚理、Benjamin Vincent、Federica Gencarelli、Trudo Clarysse、Wilfried
Vandervorst、Matty Caymax、Roger Loo、Ane Jensen、Dirch H Petersen、財満鎮明

題名 ヘテロエピタキシャル $\text{Ge}_{1-x}\text{Sn}_x$ 中の Ga 活性化に及ぼす Sn の効果

学会名 2012 年春季 第 59 回 応用物理学関係連合講演会

場所 早稲田大学

年月 2012 年 3 月 15 日~3 月 18 日

その他の第 1 著者でない国内会議発表

(1) 筒井宣匡、志村洋介、中塚理、酒井朗、財満鎮明

題名 SOI 基板上に成長した $\text{Ge}_{1-x}\text{Sn}_x$ 層のキャリア移動度評価

学会名 2009 年秋季 第 70 回 応用物理学会学術講演会

場所 富山大学

年月 2009 年 9 月 8 日~9 月 11 日

(2) 西村剛志、中塚理、志村洋介、竹内正太郎、Benjamin Vincent、Andre Vantomme、Johan
Dekoster、Matty Caymax、Roger Loo、財満鎮明

題名 $\text{Ni}(\text{Ge}_{1-y}\text{Sn}_y)/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ コンタクトの形成と結晶構造評価

学会名 2010 年秋季 第 71 回 応用物理学会学術講演会

場所 長崎大学

年月 2010 年 9 月 14 日~9 月 17 日

(3) 望月健太、山羽隆、志村洋介、中塚理、財満鎮明

題名 固相拡散法を用いた $\text{Si}_{1-x-y}\text{Ge}_x\text{Sn}_y$ on Insulator 構造の形成

学会名 2011 年春季 第 58 回 応用物理学関係連合講演会

場所 神奈川工科大学

年月 2011 年 3 月 24 日~3 月 27 日

(4) 中村茉里香、志村洋介、竹内正太郎、中塚理、財満鎮明

題名 InP 基板上への超高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ ヘテロエピタキシャル層成長

学会名 2011 年春季 第 58 回 応用物理学関係連合講演会

場所 神奈川工科大学

年月 2011 年 3 月 24 日~3 月 27 日

(5) 浅野孝典、志村洋介、中塚理、財満鎮明

題名 Ge(110)基板上 $\text{Ge}_{1-x}\text{Sn}_x$ ヘテロエピタキシャル層における異方的歪緩和

学会名 2011 年春季 第 58 回 応用物理学関係連合講演会

場所 神奈川工科大学

年月 2011 年 3 月 24 日~3 月 27 日

(6) 足立正樹、志村洋介、中塚理、財満鎮明

題名 Sn 添加および水素熱処理が Ge エピタキシャル層中の欠陥に与える影響

学会名 2011 年秋季 第 72 回 応用物理学学会学術講演会

場所 山形大学

年月 2011 年 8 月 29 日~9 月 2 日

(7) 浅野孝典、志村洋介、中塚理、財満鎮明

題名 Ge(110)基板上への $\text{Ge}_{1-x}\text{Sn}_x$ ヘテロエピタキシャル層成長

学会名 2011 年秋季 第 72 回 応用物理学学会学術講演会

場所 山形大学

年月 2011 年 8 月 29 日~9 月 2 日

(8) 山羽隆、志村洋介、中塚理、財満鎮明

題名 固相拡散法を用いて形成した $\text{Si}_{1-x}\text{Ge}_x$ on Insulator 基板上への歪 Ge 層成長

学会名 2011 年秋季 第 72 回 応用物理学学会学術講演会

場所 山形大学

年月 2011 年 8 月 29 日~9 月 2 日

(9) 中村茉里香、志村洋介、竹内正太郎、中塚理、財満鎮明

題名 InP 基板上への超高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 層のヘテロエピタキシャル成長

学会名 第 11 回 日本表面科学会中部支部・学術講演会

場所 豊田工業大学

年月 2011 年 12 月 24 日

(10) 足立正樹、志村洋介、中塚理、財満鎮明

題名 Sn 添加および水素熱処理を用いた Ge へテロエピタキシャル層の電気伝導特性制御

学会名 第 11 回 日本表面科学会中部支部・学術講演会

場所 豊田工業大学

年月 2011 年 12 月 24 日

(11) 中村茉莉香、志村洋介、竹内和歌奈、中塚理、財満鎮明

題名 超高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 層の光学特性評価

学会名 2012 年春季 第 59 回 応用物理学関係連合講演会

場所 早稲田大学

年月 2012 年 3 月 15 日~3 月 18 日

(12) 木戸脇翔平、浅野孝典、志村洋介、中塚理、財満鎮明

題名 Si(110)基板上における Ge および $\text{Ge}_{1-x}\text{Sn}_x$ へテロエピタキシャル成長

学会名 2012 年春季 第 59 回 応用物理学関係連合講演会

場所 早稲田大学

年月 2012 年 3 月 15 日~3 月 18 日