

博士論文

垂直磁気異方性を有する強磁性細線における
電流誘起磁壁移動と MRAM への応用

深見 俊輔

名古屋大学大学院 工学研究科 結晶材料工学専攻

平成 23 年度

目次

第 1 章	序論	1
1.1	はじめに	1
1.2	本研究の背景	2
1.3	本研究の目的	3
	第 1 章の参考文献	5
第 2 章	MRAM	6
2.1	半導体メモリの動向	6
2.1.1	既存の半導体メモリ	6
2.1.2	開発途上の半導体メモリ	8
2.2	MRAM の開発状況と課題	10
2.2.1	TMR 効果	10
2.2.2	コンベンショナル MRAM の開発とその問題点	11
2.2.3	3 端子素子	13
2.2.4	磁場書き込み方式の問題点	16
2.2.5	スピン移行トルクを利用した MRAM	17
	第 2 章の参考文献	20
第 3 章	電流誘起磁壁移動	22
3.1	電流誘起磁壁移動現象	22
3.2	実験的、理論的な報告	23
3.2.1	実験的な報告（最初の観測）	23
3.2.2	理論の確立（断熱近似での LLG 方程式の導出）	24
3.2.3	理論の確立（断熱近似 LLG 方程式の定量的な解析）	26
3.2.4	理論の確立（LLG 方程式への非断熱効果の導入）	29
3.2.5	実験的な報告（ダイナミクスなどの観測）	33
3.2.6	実験的な報告（不安定性の観測）	34
3.2.7	実験的な報告（垂直磁気異方性材料の初期の検討）	35
3.3	電流誘起磁壁移動を利用したデバイスと、応用に向けた課題	36
	第 3 章の参考文献	41
第 4 章	計算による垂直磁気異方性材料での電流誘起磁壁移動の検討	44
4.1	計算方法	44
4.2	電流誘起磁壁移動の計算結果：面内磁気異方性と垂直磁気異方性の比較	45
4.2.1	シミュレーション計算結果	46

4.2.2	膜厚、線幅依存性の計算結果.....	58
4.3	面内磁気異方性細線と垂直磁気異方性細線の違いの要因の考察	60
4.3.1	定性的な説明	60
4.3.2	磁壁幅の比較	62
4.3.3	困難軸磁気異方性の比較.....	64
4.3.4	1次元解析モデルと数値計算の定量的な比較	66
4.4	ピンサイトがある系でのシミュレーション計算結果	69
4.4.1	シミュレーション計算結果	70
4.4.2	解析計算と得られた結果の意義.....	78
4.5	材料定数依存性.....	82
4.5.1	シミュレーション計算結果	82
4.5.2	1次元完全解析モデルによる材料定数としきい電流密度の関係の導出	84
	第4章の参考文献.....	87
第5章	電流誘起磁壁移動に適した垂直磁気異方性材料の開発	88
5.1	Co/Ni 積層膜の過去の報告例と課題	88
5.2	電流誘起磁壁移動に適した Co/Ni 垂直磁化膜の膜構成設計	90
5.2.1	膜構成、試料作製方法、及び測定方法	90
5.2.2	磁気特性.....	90
5.2.3	電気特性.....	100
5.2.4	考察.....	106
5.3	Co/Ni 以外で検討した材料	107
	第5章の参考文献.....	109
第6章	Co/Ni 細線における電流誘起磁壁移動の実験	110
6.1	試料構成、作製方法、測定方法	110
6.2	測定結果.....	118
6.2.1	膜構成依存性	118
6.2.2	細線幅依存性	124
6.2.3	アニール温度依存性	127
6.2.4	ピンサイトのある系での磁壁移動	128
6.2.5	その他の磁壁移動の実験結果.....	136
	第6章の参考文献.....	144
第7章	MRAM 素子の試作と評価結果	145
7.1	MRAM 素子構成.....	145
7.2	メモリ動作評価結果.....	149
7.3	スケーリング特性の見積もり	151
7.3.1	用いるモデル	152

7.3.2	スケーリング特性	153
7.3.3	微細化に向けた課題と微細化を阻害する要因に関する考察	160
	第7章の参考文献	163
第8章	まとめ	164
8.1	第4章のまとめ	164
8.2	第5章のまとめ	165
8.3	第6章のまとめ	166
8.4	第7章のまとめ	167
8.5	総括	167
	謝辞	168
	研究業績	169

第1章 序論

1.1 はじめに

昨今、省エネ社会の実現に向けた技術開発への関心が科学技術の各分野で非常に高まっている。その中でも現在の高度情報化社会の中核を担っている半導体集積回路 (Integrated Circuit: IC)、及びそれを用いた大規模半導体集積回路 (Large Scale Integrated Circuit: LSI) の分野においては、システム全体の消費電力を劇的に低減できるような技術の導入が急務となっている。これは、半導体集積回路技術はここ数 10 年にわたって構成素子を微細化し集積度を高めることにより発展してきたが、今後の更なる微細化は消費電力の爆発的な増大に繋がることが予想されるためである [1]。加えて半導体集積回路技術の微細化には原子の大きさ、及びその数に由来した物理限界が存在し、最近ではその物理限界が微細化そのものを阻む壁として顕在化してきている [2]。

ところで半導体集積回路は主に金属酸化膜型電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor: MOSFET)、及び MOSFET を構成要素とする静的ランダムアクセスメモリ (Static Random Access Memory: SRAM) やキャパシター素子を基本構成要素とする動的ランダムアクセスメモリ (Dynamic Random Access Memory: DRAM) により構成される。MOSFET 及び SRAM においてはトランジスタのゲート酸化膜やソースドレイン間でのリーク電流の増大に起因したスタンバイ時の消費電力の増大、及び特性ばらつきの増大に起因した動作マージンの低下が微細化に伴って顕著となっている。また DRAM においてはキャパシタンスの低下に起因した動作不良が微細化に伴って顕著となりつつある。これらの根本的な原因は MOSFET, SRAM, DRAM が演算及び記憶を行う上で電子の持つ電荷という側面を利用していることに集約できる。言い換えると電荷をベースにした情報処理は、今後の更なる微細化が非常に困難である上、高性能化のための微細化が消費電力の爆発的な増大に帰結してしまう。

電荷をベースにした半導体集積回路技術が抱える諸問題への解決策として、スピントロニクス技術と半導体集積回路技術の融合が有望視されている。スピントロニクスとは、電子の持つ電荷という自由度に加えて、スピンの自由度を情報処理、記憶に積極的に活用することを目指した学術分野である。ハードディスクドライブの読み出しヘッドで用いられている巨大磁気抵抗 (Giant Magneto-Resistance: GMR) 効果などは現在実用化されているスピントロニクス分野の一例である。本研究のメインのトピックである電流誘起磁壁移動もスピントロニクス分野の一技術であり、磁場ではなく電流でナノ磁性体の磁化を操る手法として 2004 年頃から急速に注目を集めている。本研究は、半導体集積回路に組み込むことで消費電力が劇的に低減され、かつ更なる微細化、高性能化が可能となるような、電流誘起磁壁移動を利用したデバイスを開発すること、及びそのために必要な電流誘起磁壁移動の物理を解明することを目指し

たものである。

1.2 本研究の背景

次に本研究の背景を、半導体メモリ、及び電流誘起磁壁移動の二つの観点から述べる。なお、半導体メモリについては第 2 章で、電流誘起磁壁移動については第 3 章で詳述する。

まず半導体メモリに関しては、LSI の分野ではこれまで動作周波数とセルサイズの兼ね合いから主に SRAM、DRAM、及び Flash メモリが使い分けられてきた。動作周波数とセルサイズは概ねトレードオフの関係にあり、SRAM、DRAM、Flash の順に動作周波数は遅くなり、一方この順にセルサイズは小さく、すなわち低コストとなる。Flash メモリについては近年も更なる高集積化、大容量化の技術が続々と開発されているが、SRAM、DRAM については微細化の限界に直面しており、おおよそ 22nm ノード以降の実現の見通しが立っていない。これは SRAM、DRAM が電子の電荷を用いた技術であり、電源を切った時には記憶情報を失う、いわゆる揮発性のメモリであることに起因している。

SRAM、DRAM の微細化限界を打破する手段として不揮発性メモリへの置き換えが期待されている。不揮発性メモリとは、揮発性メモリとは異なり電源を落としても情報が保持されることを特徴とするメモリである。現在盛んに研究開発が行われている不揮発性メモリとしては、強誘電体メモリ (Ferro-electric Random Access Memory: FeRAM)、相変化メモリ (Phase-Change Random Access Memory: PRAM)、抵抗変化型メモリ (Resistive Random Access Memory: ReRAM)、及び磁気抵抗効果メモリ (Magnetic Random Access Memory: MRAM) などが挙げられる。この中で MRAM は書き換え回数制限が無い唯一の不揮発性メモリであり、比較的高速高頻度で動作する現行の揮発性のワークメモリの代替デバイスとして期待されている。MRAM はすでに 2006 年に米国 Everspin 社によって商用化されている[3]。しかしこの MRAM は書き込み方法が特殊である上、書き込み電流が大きいと、現行の半導体集積回路との互換性に乏しく、市場規模は小さい。MRAM を SRAM や DRAM の代替として用いるためには、より小さな電流でかつ単純な方法により書き込みが可能となるようなデバイス構造が求められる。

次に電流誘起磁壁移動の研究の背景について述べる。電流誘起磁壁移動という物理現象は 1984 年に Berger によって理論的な予言が与えられた[4]。その後 2004 年に Yamaguchi らによって実験的に実証され[5]、ほぼ同時に Tatara らにより理論的な解釈も進んだ[6]。電流誘起磁壁移動とは、磁壁を貫通する方向に電流を導入したときに、軌道磁気モーメントに働くスピン移行トルク (Spin-Transfer Torque: STT) により、伝導電子の流れと同方向に磁壁が移動する現象である。Yamaguchi の報告の直後、Vernier[7]、Kläui[8]、Yamanouchi[9]らも電流誘起磁壁移動の観測例を報告してい

る。このうち Yamaguchi、Vernier、Kläui らは、電流誘起磁壁移動を観測するための磁性細線の材料として面内磁気異方性を有する NiFe 合金を用いている。しかし後に Kläui[10]、Togawa[11]、Meier[12]らによって、NiFe を用いた場合には磁壁移動のためには比較的大きな電流が必要となる上、電流によるジュール熱の影響で磁壁は確率的に振る舞い、デバイス応用に必要な十分な制御性が得られないことが指摘された。一方で Yamanouchi らは強磁性半導体である (Ga,Mn)As を用いて電流誘起磁壁移動の実証を行っている。(Ga,Mn)As においては Tatara らの理論と非常によく一致した磁壁移動特性が観測されている[13]。しかし (Ga,Mn)As は室温では強磁性体とならないことから、やはりデバイスへの応用は困難であった。本研究を開始した 2007 年頃の時点では、電流誘起磁壁移動に関していくつかの報告はなされていたものの、デバイスに適用する上ではまだ多くの課題が存在していた。

なお、電流誘起磁壁移動を利用したデバイスとして、Parkin は 2003 年にレーストラックメモリ (Race-track memory) を[14]、Sato (2003 年) [15]、Ohno (2004 年) [16]、Grollier (2004 年) [17]、Numata (2005 年) [18]らは MRAM を提案している。レーストラックメモリはハードディスクの代替を想定したデバイスである。ハードディスクはデータが記憶されたセクタにアクセスする際に実際にディスクを回転させるのに対して、レーストラックメモリでは電流誘起磁壁移動によってビットをトラック上でシフトさせることでアクセスする。このトラックを 3 次元的に集積することで、DRAM 並みの速度とハードディスク並みの容量が実現されると試算されている[19]。また Sato、Ohno、Numata らの提案した MRAM はデータの書き込みに電流誘起磁壁移動を用いる。従来の MRAM では電流によって発生するエルステッド磁場を用いて磁性体の磁化の方向を反転させることで情報の記録を行っていたのに対して、この MRAM は磁性体に直接電流を導入することで発生する STT により書き込みを行う。このため比較的小さな電流での書き込みが可能である上、従来の MRAM の懸案であった素子の微細化による書き込み電流の増大ももたらされない[20]。これらの技術を実用化する上では、電流誘起磁壁移動の制御性が十分に向上され、かつ磁壁移動を誘起する電流のしきい値が十分に低減されることが必要であった。

1.3 本研究の目的

本研究の最終的な目的は、電流誘起磁壁移動を利用した MRAM 素子を開発し、動作実証することにある。当 MRAM 素子は、LSI に適用することにより更なる微細化による高性能化を可能とするだけでなく、消費電力の劇的な低減により持続可能な省エネ社会を実現するものである。上記目的を達成するための具体的な研究テーマは以下の 4 点に集約される。

- 電流誘起磁壁移動の理論・計算的アプローチによるしきい電流の低減、安定動作実現に向けた指針の検討 (第 4 章)

第 1 章 序論

- 電流誘起磁壁移動のしきい電流低減、安定動作実現に適した材料検討 (第 5 章)
- 電流誘起磁壁移動測定用素子の作製と磁壁移動特性の評価、解析 (第 6 章)
- 電流誘起磁壁移動を利用した **MRAM** 素子の試作と特性評価 (第 7 章)

第 1 章の参考文献

- [1] N. S. Kim, T. Austin, D. Blaauw, T. Mudge, K. Flautner, J. S. Hu, M. J. Irwin, M. Kandemir, and V. Narayanan: IEEE Computer, **36**, 68 (2003).
- [2] H. Iwai: IEEE J. Solid-State Circuits, **34**, 357 (1999).
- [3] <http://www.everspin.com/>
- [4] L. Berger: J. Appl. Phys., **55**, 1954 (1984).
- [5] A. Yamaguchi, T. Ono, S. Nasu, K. Miyake, K. Mibu, and T. Shinjo: Phys. Rev. Lett., **92**, 077205 (2004).
- [6] G. Tatara and H. Kohno: Phys. Rev. Lett., **92**, 086601 (2004).
- [7] N. Vernier, D. A. Allwood, D. Atkinson, M. D. Cooke, and R. P. Cowburn: Europhys. Lett., **65**, 526 (2004).
- [8] M. Kläui, P.-O. Jubert, R. Allenspach, A. Bischof, J. A. C. Bland, G. Faini, U. Rüdiger, C. A. F. Vaz, L. Vila, and C. Vouille: Phys. Rev. Lett., **95**, 026601 (2005).
- [9] M. Yamanouchi, D. Chiba, F. Matsukura, and H. Ohno: Nature, **428**, 539 (2004).
- [10] M. Kläui, M. Laufenberg, L. Heyne, D. Backes, U. Rüdiger, C. A. F. Vaz, J. A. C. Bland, L. J. Heyderman, S. Cherifi, A. Locatelli, T. O. Montes, and L. Aballe: Appl. Phys. Lett. **88**, 232507 (2006).
- [11] Y. Togawa, T. Kimura, K. Harada, T. Akashi, T. Matsuda, A. Tonomura, and Y. Otani: Jpn. J. Appl. Phys., Part 2 **45**, L683 (2006).
- [12] G. Meier, M. Bolte, R. Eiselt, B. Krüger, D.-H. Kim, and P. Fischer: Phys. Rev. Lett. **98**, 187202 (2007).
- [13] M. Yamanouchi, D. Chiba, F. Matsukura, T. Dietl, and H. Ohno: Phys. Rev. Lett., **96**, 096601 (2006).
- [14] S. S. P. Parkin, U.S. Patent No. 6834005.
- [15] 佐藤利江、水島公一：公開特許公報、特開 2005-191032.
- [16] 大野英夫、松倉文礼、千葉大地、山ノ内路彦：PCT 国際公開公報、WO2005/069368.
- [17] J. Grollier, M. Munoz Sanchez, A. Fert, F. Nguyen van Dau: PCT 国際公開公報、WO2006/064022.
- [18] 沼田秀明、大嶋則和、鈴木哲広、杉林直彦、石綿延行、深見俊輔：PCT 国際公開公報、WO2007/020823.
- [19] S. S. P. Parkin, M. Hayashi, and L. Thomas: Science, **320**, 190 (2008).
- [20] H. Numata, T. Suzuki, N. Ohshima, S. Fukami, K. Nagahara, N. Ishiwata, and N. Kasai: 2007 Symp. on VLSI Tech, Dig. Tech. Pap. p. 232 (2007).

第2章 MRAM

本章では本研究のアプリケーションのターゲットである MRAM に関して説明する。初めに半導体メモリ業界全体の現状や課題に関して、現在使われているデバイス技術や現在研究開発中の新規デバイス技術を概説する。次に MRAM にフォーカスして、これまでの開発経緯と課題を説明し、本研究で動作実証に成功した磁壁移動型 MRAM 素子が必要とされるに至る背景について述べる。

2.1 半導体メモリの動向

2.1.1 既存の半導体メモリ

現在、半導体集積回路において使用されている主な半導体メモリは、SRAM、DRAM、Flash メモリの3種類である。これらは動作周波数とセルサイズにおいてトレードオフの関係にあり、用途に応じて使い分けられている。SRAM、DRAM、Flash メモリの読み出し動作周波数、セルサイズのカバー領域を図2-1に示す。

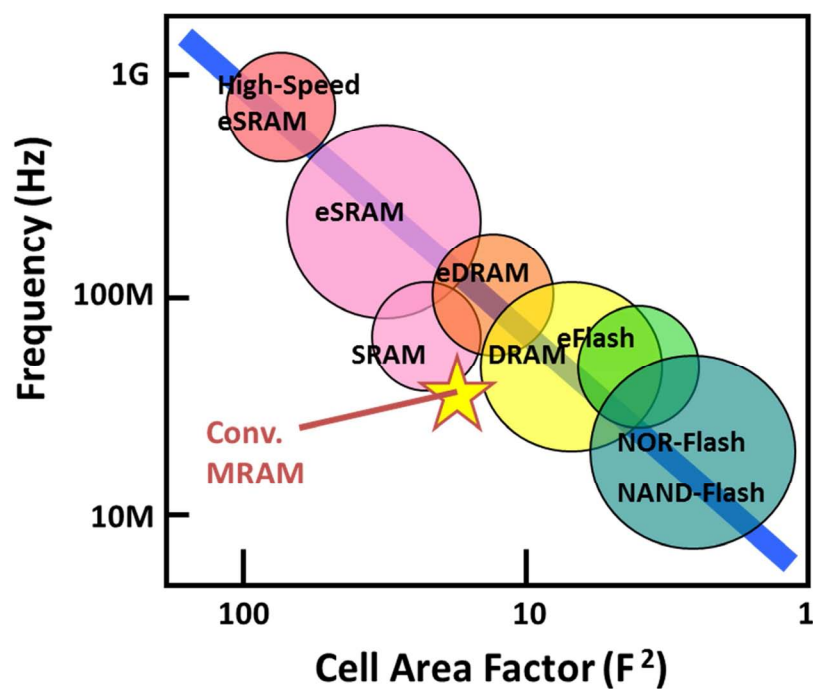


図2-1: 各種半導体メモリのセルサイズと読み出し動作周波数の関係。横軸は技術ノード(F)で規格化したセルサイズであり、縦軸は動作周波数。☆印はエールステッド磁場を用いて書き込みを行うタイプのMRAM(コンベンショナルMRAM)のセルサイズと動作周波数の代表的な位置。

SRAM は通常 6 つの MOSFET により構成され、セル回路上の各ポイントでの電圧の高低が記憶情報に対応する。100 MHz から 1 GHz 程度と比較的高速な動作周波数をカバーできる反面、比較的大きなセルサイズが必要となるため大容量が必要な用途には不向きである。また電源電圧 (V_{dd}) が切断されると記憶情報を失う、いわゆる揮発性のメモリである。

Flash メモリは MOSFET のゲートとチャネルの間にフローティングゲートが形成された構造を有し、フローティングゲートにおける電荷の有無が記憶情報に対応する。Flash メモリは 3 次元積層化や多値化によって実効的なセルサイズを非常に小さくできるため大容量のストレージとして有用である。またフローティングゲートに蓄えられた電荷は電源電圧切断後も保持されるので、不揮発性のメモリとなる。しかし、書き込みと消去のスピードが遅いという欠点があるほか、書き換え回数に制限があり、概ね $10^4 \sim 10^6$ 回程度が限界とされている。このため高速高頻度のアクセスが必要な用途には不向きである。

DRAM は SRAM と Flash メモリの間位置し、PC のメインメモリなどで用いられている。速度では SRAM には劣るものの Flash には勝り、セルサイズは SRAM より小さいものの Flash より大きい。DRAM は一般的には 1 つの MOSFET と 1 つのキャパシターにより構成される。キャパシターにおける電荷の有無が記憶情報に対応する。このキャパシターは時間とともに蓄積された電荷が放電されるため、定期的に充電（書き込み）を行う、いわゆるリフレッシュ動作が必要である。また電源電圧が切断されれば記憶情報を失う揮発性のメモリである。さらに DRAM の読み出しはキャパシターに蓄えられた電荷を放電することで行うので、読み出し後は記憶情報を失ういわゆる破壊読み出しとなる。これも DRAM の弱点の一つである。

SRAM、DRAM については現在 32~22nm 以降の世代が開発段階にあるが、いくつかの課題に直面しており、明確な解決策は提示されていない。以下その技術課題について説明する。

SRAM の微細化で生じる課題は大きく分けて二つある。そのうちの一つ目は MOSFET の特性ばらつきの増大による動作マージンの減少である[1]。MOSFET が微細化されると、注入される不純物ドーパントの数が減少するためドーパントの数や分布の揺らぎがしきい値電圧 (V_{th}) の変動に与える影響が大きくなる。結果として Static noise margin と呼ばれる SRAM の動作マージンの確保が難しくなる。もう一つの課題はリーク電流の増大によるスタンバイ時の消費電力の増大である[2]。MOSFET が微細化されると、ゲート電圧が加えられない状態でソース・ドレイン間を流れるサブスレーショールドリーク電流や、ゲートとチャネルの間でゲート酸化膜を貫通して流れるゲートリーク電流が大きくなる。SRAM は

揮発性メモリであるため、スタンバイ時も電源電圧を印加し続けなければならない、従ってリーク電流によりスタンバイ時にも電力を消費することになる。リーク電流が十分小さければスタンバイ時の消費電力は動作時の消費電力と比べると無視できるほど小さいが、MOSFET が微細化されリーク電流が相対的に大きくなるおおよそ 32nm 以降の世代においては、動作時と同等レベルの電力をスタンバイ時にも消費してしまうことが試算されている[3, 4]。

DRAM の微細化で生じる特有の課題としては、キャパシタンスの低下による読み出し信号量の低下やソフトエラー等の外的雑音による誤動作が挙げられる[5]。電磁気学によれば平行平板コンデンサのキャパシタンス (C) は $C = \epsilon S / d$ で与えられる (ϵ : 絶縁膜の誘電率、 S : キャパシタの面積、 d : 絶縁膜の膜厚)。従って微細化で S が小さくなればキャパシタンスは小さくなり、記憶情報は消失しやすくなる。また C を稼ぐために d を薄くすれば、リーク電流が増大し、再び記憶情報の消失に帰結する。これまでにキャパシタの3次元構造、及び高 ϵ 膜を適用してきたが、これらが限界となっている。

SRAM、DRAM のような揮発性メモリにおいて待機時の電力消費への回路技術による解決策として、非使用時は Flash などの不揮発性メモリにデータを退避させるスタンバイモードが活用されることが多い。しかし Flash メモリは書き込み、読み出しのスピードが遅いことからデータのストア・リストアに多くの時間を要してしまう上、書き換え回数にも制限があり、あまり高頻度にスタンバイモードを用いると利便性や寿命が犠牲となってしまう、現在は限定的な使用に留まっている。

2.1.2 開発途上の半導体メモリ

上述のように現行の SRAM、DRAM を用いた半導体集積回路においては、この先の微細化は消費電力の爆発的な増大を招く上、微細化そのものを阻む物理限界も顕在化してきているという問題を抱えている。またこれらの問題を回路技術を用いて克服しようとする、回路の複雑化、及びそれに伴うコストの増大を招く。これが既存の揮発性半導体メモリを置き換える新技術の開発のモチベーションとなっている。

ところで現行の半導体メモリが抱える問題の起源は、これらのメモリがいずれも電荷をベースにして記憶を行っていることに集約される。このようなことから、電荷以外の方法を用いて情報の記憶を行う新型メモリの研究開発が盛んに行われている。特に、情報が物質の状態の差に起因した抵抗差として不揮発に記憶される不揮発性メモリで SRAM、DRAM を置き換えることができれば、消費電力の問題は完全に解消される。

現在開発が行われている主な不揮発性メモリとしては、強誘電体メモリ

(Ferro-electric Random Access Memory: FeRAM)、相変化メモリ(Phase-Change Random Access Memory: PRAM)、抵抗変化型メモリ(Resistive Random Access Memory: ReRAM)、及び磁気抵抗効果メモリ(Magnetic Random Access Memory: MRAM)などが挙げられる。これらの不揮発性のメモリと既述の揮発性メモリの特性を比較したものを表2-1に示す。MRAMについては次節で詳細に説明することにして、これ以降ではそれ以外の不揮発性メモリについて簡単に説明する。

表2-1: 各種半導体メモリの特徴の比較

	DRAM	SRAM	Flash	FeRAM	PRAM	ReRAM	MRAM
記憶部位	キャパシタ	トランジスタ	浮遊ゲート	強誘電体	相変化膜	不明	強磁性体
不揮発性	×	×	○	○	○	○	○
読み出し形式	破壊	非破壊	非破壊	破壊	非破壊	非破壊	非破壊
書き換え回数	>10 ¹⁵	>10 ¹⁵	10 ⁵	>10 ¹²	>10 ¹²	>10 ⁶	>10 ¹⁵
読み出し時間	○	◎	△	○	○	○	◎
書き込み時間	○	◎	△	○	△	○	◎
セルサイズ	○	△	◎	○	◎	◎	○~△(?)
高温動作	△	○	△	×	×	?	○
消費電力(動作時)	○	△	△	◎	◎	◎	○~△(?)

FeRAM は強誘電体の電気分極を用いて情報の記憶を行う半導体メモリであり、低電圧、低電力、高速書き込み、読み出し耐性などに優れており、既に IC カードや携帯情報端末などで実用化されているが、その市場規模は SRAM や DRAM と比べると極めて小さい。強誘電体は電圧印加によって生じた分極が電圧切断後も保持されるので、FeRAM は不揮発性のメモリとなる。FeRAM に用いられる一般的な材料としては PZT (PbZrTiO₃) などが挙げられる。FeRAM に用いられる材料は LSI の製造プロセスとの相性が悪く、また微細化の課題も深刻化しており、今後もニッチ市場での使用に限定されようと考えられている。

PRAM は相変化膜の結晶構造を用いて情報の記憶を行う。カルコゲナイトと呼ばれる GST (GeSbTe) 材料を用い、急冷したときにはアモルファス化し、徐冷したときには結晶化するという性質を利用する。アモルファス状態では高抵抗となり、結晶状態では低抵抗となる。PRAM は 2009 年に韓国の Samsung Electronics 社によって量産化されている。DRAM 並みの速度と Flash 並みの容量を実現できることから、今後も携帯情報端末などでの市場の拡大が期待されている。しかし動作速度は SRAM と比べると大きく劣り、また保障動作温度も限られることから、LSI に使用するワークメモリへの適用は困難と考えられる。

ReRAM については、実用化を目指した研究の歴史が比較的浅いが、近年目覚ましい発展を遂げている。ReRAM の動作原理はまだ完全には明らかになっていないが、金属酸化膜に電圧を印加したときに金属酸化膜中で何らかの変化が起こって電気抵抗が変化する現象が用いられる。抵抗変化のメカニズムとしては、界面型と電導経路型の二つのモデルが提唱されている。ReRAM は速度、セルサイズ、消費電力のいずれにも優れた性質を示しており、今後の大容量メモリへの展開が期待されている。しかしやはり PRAM と同様に書き換え回数の制限や速度、及び低電圧化の限界から、LSI のワークメモリへの適用は困難であると考えられる。

表 2-1 からわかるように、いずれの新型メモリも長所短所があるが、SRAM、DRAM などでは実現されている高速領域のワークメモリをカバーできるのは MRAM だけである。そして MRAM が大規模な市場で実用化できるかどうかは、セルサイズをどれだけ小さくできるか、また動作時の消費電力をどれだけ抑えられるかにかかっていると言える。

2.2 MRAM の開発状況と課題

2.2.1 TMR 効果

MRAM の開発は 1995 年の Miyazaki らによる室温での大きな TMR 効果の観測についての報告[6]を受けて本格的に始まった。まずは TMR 効果の原理を、図 2-2 を用いて簡単に説明する。TMR 効果は強磁性体、絶縁体、強磁性体からなる磁気トンネル接合 (Magnetic Tunnel Junction: MTJ) において発現され、絶縁体に対向する二つの強磁性体の磁化の相対角に応じてトンネル抵抗が変化する現象である。より具体的には、図 2-2 に示されるように第 1 強磁性体と第 2 強磁性体の磁化が平行の場合に低抵抗状態となり、反平行の場合には高抵抗状態となる¹。TMR 比は平行状態と反平行状態でのトンネル抵抗 R_P , R_{AP} を用いて

$$TMR = \frac{R_{AP} - R_P}{R_P} \quad (2-1)$$

で定義され、第 1 強磁性体と第 2 強磁性体のスピン分極率 P_1 , P_2 を用いて

$$TMR = \frac{2P_1P_2}{1 - P_1P_2} \quad (2-2)$$

で求められることが知られている[7, 8]。従って何らかの方法で MTJ を構成する二つの強磁性体のうち的一方を磁化反転させることにより情報を記憶し、その磁

¹ ただし、一方の強磁性体電極のスピン分極率が負の場合には平行の場合で高抵抗、反平行の場合に低抵抗となる。

化方向を TMR 比を用いて抵抗差により読み出すことができればメモリとして動作することがわかる。Miyazaki らの最初の報告では $\text{Fe}/\text{Al}_2\text{O}_3/\text{Fe}$ からなる MTJ を用い、18%の TMR 比を室温で得ることに成功しており、その後の多くの MRAM 開発には Al 酸化物がトンネルバリアの材料として用いられた。しかし 2004 年に MgO トンネルバリアを用いた MTJ で 100%を超える TMR 比が報告された後は[9, 10]、MgO がトンネルバリア材料の主流となっており、現在では 1000%を超える TMR 比の観測も報告されている²[11]。

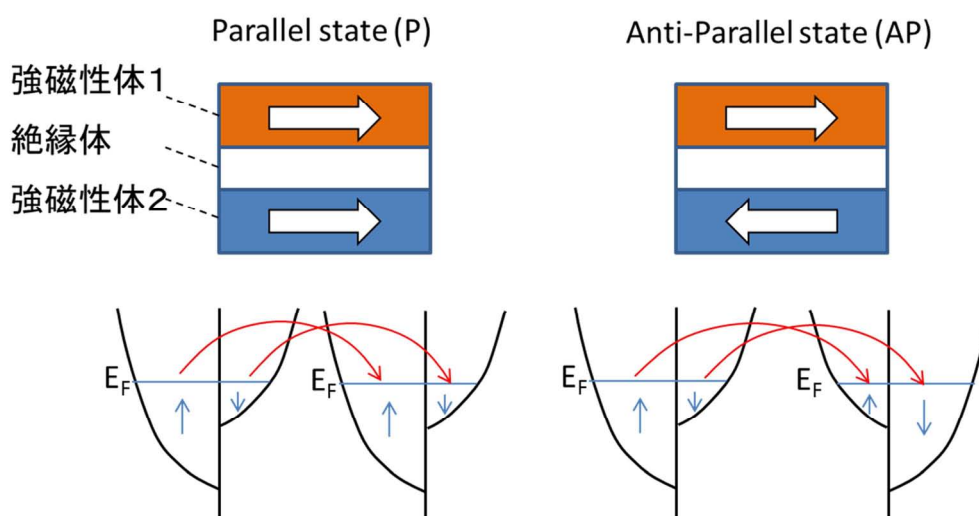


図2-2: TMR 効果の原理を表した模式図。上図は平行状態と反平行状態での MTJ の磁化配置の模式図で、下図はそのときの状態密度(DOS)とトンネル電流の関係。平行状態においてはマジョリティースピン間でのトンネル伝導が支配的となり反平行状態に比べて低抵抗状態が実現される。

2.2.2 コンベンショナル MRAM の開発とその問題点

ところで上述のように MTJ をメモリ素子に適用するためには、二つの強磁性体のうちの片方のみの磁化を反転させる機構が必要となる。磁化反転を誘起する最もシンプルな方法は外部磁場を印加する方法であり、開発初期の MRAM は電流を流したときに発生するエルステッド磁場（ $\text{rot } \mathbf{H} = \mathbf{I}$ ）を利用して書き込みを行う

² MgO トンネルバリアを用いた MTJ で大きな TMR 比が得られる理由は以下のように説明される。単結晶 MgO では $\langle 001 \rangle$ 方向に $\Delta_1, \Delta_5, \Delta_2$ という 3 種類のエヴァネッセント状態が存在し、このうち Δ_1 状態は他の 2 状態と比べて減衰が非常に緩やかであり、トンネル伝導に支配的に寄与する。ここで強磁性電極として用いられる Fe などの bcc 系金属では、 Δ_1 バンドのスピンの分極率が 1 である。従って MgO トンネルバリアではこのスピンの分極率の高い対称性を持つ電子のみがトンネルできるため、巨大な TMR 効果が得られることになる。

方法が用いられてきた。現在 Everspin 社が商用化している MRAM[12]もこの方法を用いている。しかし、磁場を用いて書き込みを行う方法は素子の微細化が困難であることから、最近の研究開発は主にスピンの移行トルク（Spin-Transfer Torque: STT）を用いる方法、及び熱アシストを用いる方法にシフトしている。スピンの移行トルクを利用した MRAM については後述するとして、以下にエルステッド磁場を利用した MRAM についてその開発の経緯と問題点について詳述する。

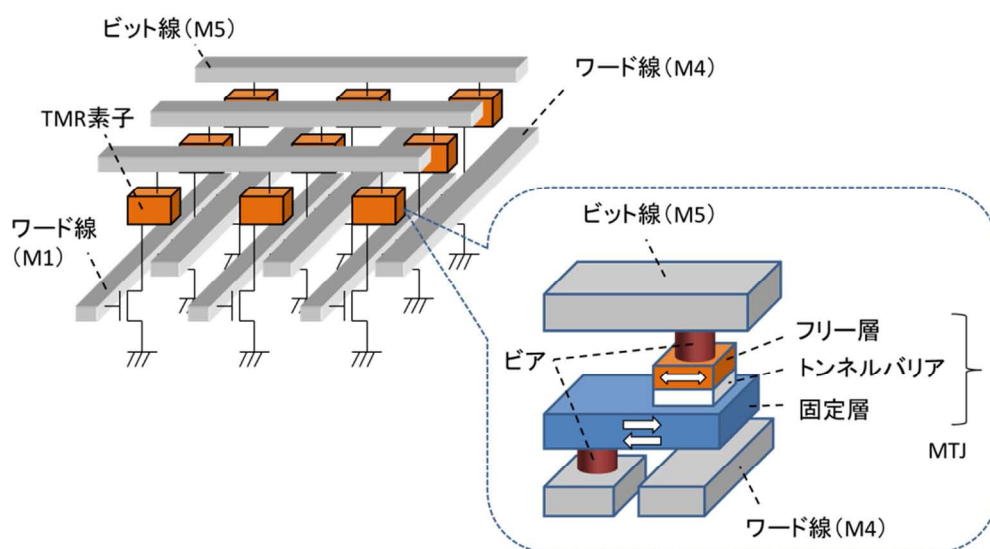


図2-3: エルステッド磁場を用いた MRAM の構造の模式図。MTJ 素子はビット線とワード線の交点に配置され、ビット線電流とワード線電流により誘起される合成磁場により磁化反転が起こる。

エルステッド磁場を利用した MRAM の一般的な構造を図2-3に示す。エルステッド磁場を利用した MRAM では TMR 素子がアレイ状に配置され、その上下にワード線とビット線が直交して形成される。また TMR 素子のうちの一端はビット線に接続され、他端はセルトランジスタに接続される。書き込みの際はワード線とビット線に電流を流すことでその交点に位置する TMR 素子にのみ合成磁場を加えることができ、この素子に選択的に書き込むことができる。このような書き込み方法はアステロイド方式と呼ばれる。また読み出しの際はセルトランジスタのゲートに接続されるワード線とビット線を ON にすることで、その交点に位置する MTJ 素子の記録情報を、TMR 効果を利用して読み出すことができる。この方法を用いて 1999 年に IBM は 1 kbit、Motorola は 512 bit の MRAM を発表し、その後 Motorola は Mbit クラスに容量を拡大した。しかしこの方法では、書き込みの際に選択されるワード線とビット線のうちのいずれか一方から発生する磁場

に晒されるいわゆる半選択状態のセルが存在することになる（半選択ディスターブ）。このためアステロイド方式の MRAM を大容量化した場合には、書き込み電流のマージンが非常に狭い範囲に限定され、回路の単純化、及び書き込みの高速化、大容量化が困難であるという問題点があった。

この半選択ディスターブの問題への解決策として Savchenko はトグル方式を提案した[13]。トグル方式の MRAM は、構造は図 2-3 とほとんど同じであるが、書き込みの際にワード線とビット線に同時に電流を流すのではなく、シーケンシャルに導入する。これによって半選択ディスターブの問題はほぼ完全に解決され、広い書き込みマージンが実現される。Everspin 社が商用化している MRAM はこのトグル方式を用いている。また NEC ではトグル方式を用いて 16Mb. の MRAM の動作実証を行っている[14]。なお、アステロイド方式、トグル方式の MRAM は書き込みのために直交する 2 本の配線を用いる点では共通している。以下に述べる一軸方式との対応から、これらの MRAM を二軸方式と述べることにする。またアステロイド方式、トグル方式の MRAM はコンベンショナル MRAM とも呼ばれる。

ところでアステロイド方式、トグル方式のいずれのタイプの MRAM も SRAM レベルの高速性を実現することは困難であった。例えばアステロイド方式の場合には、上述の半選択ディスターブによる誤書き込みを防ぐために書き込み電流のパルス波形を綿密に制御する必要があり、結果として短パルスを導入できないことが高速化を妨げる要因であった。またトグル方式の場合には書き込みの前に読み出しを行う必要がある³、10 ns 以下でのランダムアクセスは困難であった。また図 2-3 の構造をレイアウトするには比較的大きなセル面積が必要となり、DRAM レベルのセルサイズを実現することも困難であった。図 2-1 には既存の半導体メモリに対するコンベンショナル MRAM のポジショニングが示されているが、他の半導体メモリの速度とセルサイズのラインよりも若干劣位な領域に位置していることがわかる。

2.2.3 3 端子素子

二軸方式のコンベンショナル MRAM では高速動作が困難であることを述べたが、これを解決するセル方式として一軸方式の 3 端子素子が提案されている[15]。

3 端子 MRAM 素子の構造を図 2-4 に示す。3 端子素子においては、MTJ は 3 つの端子を有し、一端が読み出し用ビット線(Read BL)またはグラウンド線(GND)

³ トグル方式の MRAM では書き込み動作によって「0」と「1」で情報が書き換わる。すなわちオーバーライト（0 状態での 0 書き込み、1 状態での 1 書き込み）ができないため、初めに記憶情報の読み出しを行った後、書き込みを行うかを判定するというプロセスが必要になる。

に接続され、他の2端はセルトランジスタを介して書き込み用のビット線 (Write BL) に接続される。二軸方式では直交する二つの配線に電流を流すことで書き込みを行ったが、一軸方式では一本の配線のみに電流を流すことで書き込みを行う。またこの書き込み配線はセルトランジスタで単独のセルのみが選択され半選択のセルは存在しないため、二軸方式の懸案であった半選択ディスタークの問題は完全に解消される。従って広い書き込みマージンが得られることから 1 ns 以下の短パルスを導入することができる上、トグル方式特有の問題点である書き込み前の読み出しも不要なことから、非常に高速での動作が期待できる。NEC では図 2-4 に示された 3 端子素子を用いた高速 MRAM のマクロとして、250MHz-1Mb.[16], 500MHz-64kb.[17]の動作実証を行っており、また 32Mb.の大容量マクロにおいて 12ns のアクセス時間での動作実証に成功している[18]。これらの成果は MRAM の持つ SRAM 置換のポテンシャルを十分に示すものである。

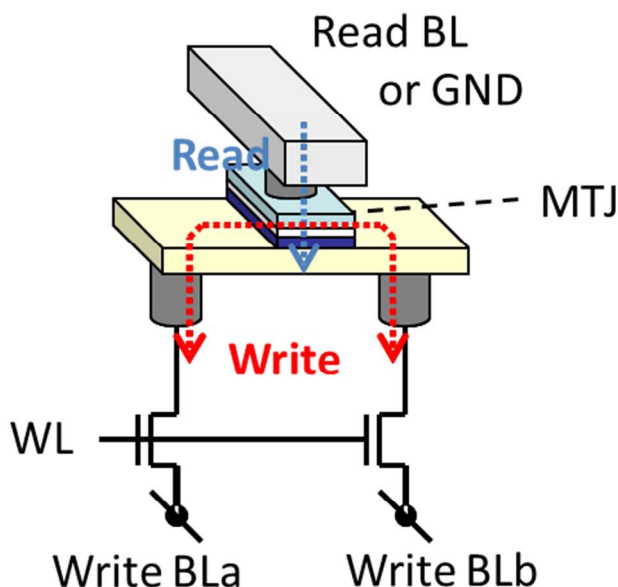


図2-4:3 端子 MRAM 素子の構造の模式図

3端子MRAM素子ではSRAMレベルの高速動作が可能であることを述べたが、実際に大きな市場を形成するためには現行のSRAM、DRAMと同等以下のビットコストを実現する必要がある。ここでビットコストはセルサイズと等価であるので、いかにセルサイズを低減できるかが重要となる。そしてセルサイズを低減するためには、MTJ素子を微細化することと書き込み電流を低減することの二つが

重要となる。3端子素子における書き込み電流とセルサイズの関係は図2-5のようになることが見積もられている[15, 19]。3端子素子では書き込み電流がセルトランジスタを通過するので、書き込み電流が大きければセルトランジスタのゲート幅を大きくしなけりばならず、セルサイズが大きくなる。図2-5からセルサイズは書き込み電流に概ね比例していることがわかる。図2-5では比較のために混載SRAM (eSRAM)、混載DRAM (eDRAM) のセルサイズが示されている。書き込み電流が約0.7 mA以下になればeSRAM以下、約0.2 mA以下になればeDRAM以下のセルサイズ、すなわちビットコストが実現できることがわかる。eSRAMはロジックのキャッシュメモリとしてほとんどすべてのシステムLSIで用いられており、またeDRAMは大規模、大容量が必要なゲーム機のグラフィックスLSIやモバイル機器などで用いられており、いずれも非常に大きな市場を有している。本研究の3端子MRAM素子の開発においても、この0.2 mAという書き込み電流の値を一番の開発目標に設定して行われた。加えて、書き込み電流を低減しセルトランジスタの面積が小さくできたとしても、MTJ素子自体も十分に小さなサイズで形成できなければ、小さなセルサイズは実現されない。従って、MTJ素子自体が十分小さく、かつ書き込み電流も十分小さくできるようなセル方式が必要であると言える。

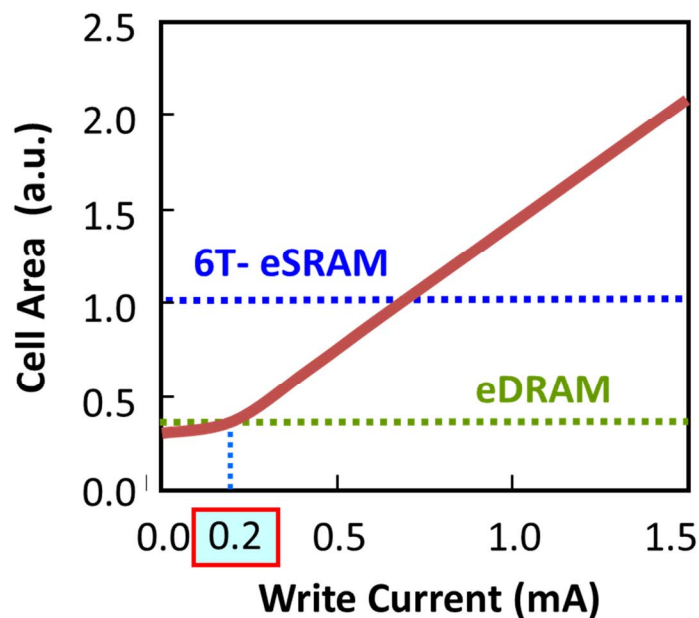


図2-5: 3端子MRAM素子における書き込み電流とセルサイズの関係。縦軸はeSRAMのセルサイズで規格化している。見積もりに際して用いたデザインルールは、CMOSは130 nm、MRAMは240 nm。

2.2.4 磁場書き込み方式の問題点

上述のように小さなMTJ素子で小さな書き込み電流を実現することが3端子素子を実用化する上での最重要課題である。NECでは3端子素子を用いてSRAMレベルの高速動作が可能なMRAMの動作実証を行ってきたが[15-18]、これらは書き込み方法に磁場書き込み方式を用いて行われた。そして磁場書き込み方式のMTJでは小さなMTJ素子で小さな書き込み電流を実現することは困難となる。以下、その理由を簡単に説明する。

一般的に磁場書き込み方式のMTJ素子の書き込み電流 (I_w) と記憶情報の熱安定性 ($\Delta E / k_B T$) はそれぞれ次式で表される。

$$I_w = \frac{1}{C} \cdot H_k \quad (2-3)$$

$$\frac{\Delta E}{k_B T} = \frac{1}{2} H_k M_s S t \quad (2-4)$$

ここで H_k は記録層（フリー層）の異方性磁界、 M_s は記録層の飽和磁化、 S は記録層の面積、 t は記録層の膜厚であり、 C は素子構造によって決まる電流磁場変換係数である。また異方性磁界 H_k は近似的に

$$H_k \propto N M_s t \quad (2-5)$$

で表される。 N は記録層の平面形状によって決まる反磁界係数である。微細化することとは S を小さくすることである。ここで熱安定性はサイズによらず常に一定値以上を保証しないといけないので、 S が小さくなった分 H_k , M_s , t のいずれかを増大させないといけない。しかし H_k , M_s , t のいずれかを増大させた場合、(2-3), (2-5) 式からわかるように書き込み電流が増大してしまう。一方電流磁場変換効率 (C) は微細化とともに増大する。しかし通常は微細化による $1/C$ の低減は H_k の増大に比べて小さくなるので、微細化は書き込み電流の増大を招くことになる。すなわち磁場書き込み方式のMRAM素子はスケーリング特性に劣り、上述の「小さなMTJ素子」という条件を満たしづらいことがわかる。

加えて磁場書き込み方式のMRAMは書き込み電流の絶対値自体も比較的大きい。例えば(2-3)式において熱安定性を維持するために必要な H_k は概ね 30 Oe 程度であり、一方 C は通常 10 Oe/mA 程度である。よって書き込み電流 I_w は 3 mA 程度の値となり、SRAM, DRAM と同等のコストを実現するための書き込み電流である 0.2 mA には遠く及ばないことがわかる。このように磁場書き込み方式のMRAMにおいては書き込み電流の絶対値が比較的大きく、またスケーリング特性が悪いことが課題と言える。

なお、磁場書き込み方式のMRAMにおける書き込み電流の絶対値を低減する方

法として、筆者らは形状差型 MRAM 素子を提案している[20]。形状差型 MRAM 素子においては記録層（フリー層）が3層から構成され、それぞれが書き込み電流の低減、熱安定性の維持、外乱磁場耐性の保証という素子に求められる役割を別々に果たすことができ、結果として(2-3), (2-4), (2-5)式のリンク関係のある程度弱めることができる。この構造により書き込み電流が 0.5 mA まで低減され、かつ微細化によっても書き込み電流は増大しないことがシミュレーションで示されている。参考文献[18]で報告されている 32 Mb.の MRAM マクロはこの形状差型 MRAM 素子を用いている。しかし形状差型 MRAM 素子においては比較的小さな書き込み電流が得られるものの、やはり MTJ 素子自体が比較的大きな面積を必要とするため、eDRAM レベルのセル面積を実現することは困難であった。

2.2.5 スピン移行トルクを利用した MRAM

スピン移行トルクを利用した MRAM は磁場書き込み型 MRAM の抱える上述の小さな MTJ 素子で小さな書き込み電流を実現することが難しいという課題を解決できることから盛んな研究開発が行われている。スピン移行トルクによる磁化反転の概念は 1996 年に Berger[21]と Slonewski[22]によって提唱された。スピン移行トルクとは、強磁性体中をスピン偏極した伝導電子が流れるときに s - d 交換相互作用に従い伝導電子のスピン磁気モーメントがローカル電子の軌道磁気モーメントの磁化に追従して変化し、その変化分が軌道磁気モーメントに移行されて生ずるトルクを意味する。そしてこのトルクが十分大きければローカル磁気モーメントを反転させられることが理論的に導かれる[22]。1996 年の Berger、Slonewski による理論の提唱の後、実験的な観測を目指した多くの研究がなされたが、それらのほとんどは強磁性体（フリー層）、非磁性体、強磁性体（固定層）の3層からなる MTJ または GMR の構成が用いられた。3層構造の素子に電流を流して磁化反転を行う方法はスピン注入磁化反転（Current-Induced Magnetization Switching: CIMS）などと呼ばれている。1998 年頃から3層構造の素子を用いたスピン波の励起やスピン注入磁化反転の観測が報告され始め[23-26]、現在では MRAM 応用などを目指した盛んな研究開発が行われている[27-31]。

スピン移行トルクを利用した書き込み方法は、磁化の反転のために磁性体に磁場を印加するのではなく、磁性体に電流を直接導入することが特徴である。磁化反転が起こるかどうかは磁性体を流れる電流密度で決まる。従って素子が小さくなればしきい電流値自体は小さくなる。すなわちスピン移行トルクを利用した MRAM は磁場書き込み型の MRAM とは異なりスケラブルであると言える。このため MRAM 実用化の最重要課題であった小さい素子で小さな書き込み電流を

実現することが可能となる⁴。加えて、磁場書き込み型の MRAM と比べて書き込み電流の絶対値自体も比較的小さく抑えられる。例えば、3層構造の MTJ においてスピン注入磁化反転が起こるしきい電流密度は、およそ $1 \times 10^{10} \text{ A/m}^2$ である。従って、例えば MTJ のサイズが $50 \text{ nm} \times 50 \text{ nm}$ とすると、書き込み電流は $25 \mu\text{A}$ となる。磁場書き込み型 MRAM の概算値である 3 mA と比べて非常に小さいことがわかる。

しかし、スピン注入磁化反転を利用した MRAM は書き込み電流値の点では非常に優れているものの、高速動作については課題がある。その理由を図 2-6 を用いて説明する。図 2-6 はスピン注入磁化反転を利用した MRAM 素子の一般的な構造を示している。スピン注入タイプの MRAM においては、MTJ は 2 端子の素子となり、そのうちの一端は第 1 ビット線に接続され、もう一方はセルトランジスタを介して第 2 ビット線に接続される。そしてセルトランジスタのゲート電極はワード線に接続される。このセルも図 2-3 で示された 2 軸方式の MRAM とは異なりセルトランジスタにより書き込みセルが選択されるので半選択ディスタースタブによる誤書き込みは本質的に存在しない。しかし書き込みの電流経路と読み出しの電流経路が同一であり、この点が図 2-4 に示されている 3 端子素子とは異なっている。読み出しと書き込みの電流経路が同一であるということは、読み出しのための電流を導入したときに、誤って書き込んでしまう危険性があるということである。この現象はリードディスタースタブと呼ばれる。読み出しの際はリードディスタースタブが起こらないように小さな電流で行わなければならない、電流パルス波形の精密なコントロールが必要となる。またスピン注入型 MRAM 素子においては、書き込み電流は MTJ を貫通する。従って書き込みの際の電流が大きすぎるとトンネルバリアの絶縁破壊が起こる可能性がある。このため書き込みの際にもトンネルバリアの絶縁破壊が起こらない程度に小さな電流で行わなければならない、読み出しのときと同様に電流パルス波形の精密なコントロールが必要となる。電流パルス波形を精密にコントロールするためには比較的長いパルス幅が必要となるため、高速動作は不可能となる。またパルス波形を精密にコントロールするためには余分な周辺回路が必要となり、システム LSI に混載する上でも好ましくない。この点 3 端子素子は読み出しと書き込みの電流経路が異なるのでリードディスタースタブの問題は本質的に存在せず、同様に書き込み電流が MTJ を貫通しないのでトンネルバリアの絶縁破壊も気にする必要はない。またパルス波形の精密なコントロールが不要なので非常に単純な回路構成で駆動することができる。すなわち、3 端子素子でスピン移行トルクを用いることができれば、高速動作が可能でかつセルサイズの小さな MRAM を実現でき、SRAM 並みの高速性と DRAM 並み

⁴ ただし実際には素子の微細化によって熱安定性も減少するため、別途熱安定性を保証するための手段が必要となる。

のビットコストを同時に享受できることになる。本研究で開発した電流誘起磁壁移動を利用した MRAM はまさにこの要件を満たすものである。表 2－2 にこれまでに述べた MRAM 素子の特性の比較を示す。

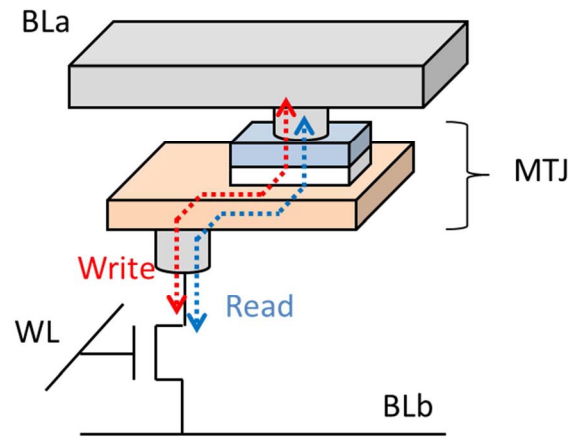


図2－6:2端子 MRAM 素子の構造の模式図

表2－2:各種 MRAM 素子の特性の比較

構造	2軸		1軸		
書き込み	エルステッド磁場			スピン移行トルク	
方式	アステロイド	トグル	1軸磁場書き込み	スピン注入	磁壁移動
セル面積	×	×	×	◎	○
書き込み電流	×	×	○	◎	○～◎
速度	△	△	◎	△	○～◎
スケーラビリティ	×	×	×	○	◎

第2章の参考文献

- [1] E. Seevinck, F.J. List, and J. Johstroh: IEEE J. Solid-State Circuits, **22**, 748 (1987).
- [2] A. Bhavnagarwala, S. Kosonocky, C. Radens, K. Stawiasz, R. Mann, Q. Ye, K. Chin: 2005 IEEE International Electron Device Meeting, Tech. Dig., p. 659 (2005).
- [3] N. S. Kim, T. Austin, D. Blaauw, T. Mudge, K. Flautner, J. S. Hu, M. J. Irwin, M. Kandemir, and V. Narayanan: IEEE Computer, **36**, 68 (2003).
- [4] G. E. Moore: 2003 IEEE International Solid-State Device Conference, Dig. Tech. Pap., 20 (2002).
- [5] A. F. Tasch Jr., L. H. Parker: Proc. IEEE, **77**, 374 (1989).
- [6] T. Miyazaki and N. Tezuka: J. Magn. Magn. Mater., **139**, L231 (1995).
- [7] M. Julliere: Phys. Rev., **54A**, 225 (1975).
- [8] S. Maekawa and U. Gafvert: IEEE Trans. Magn., **MAG-18**, 707 (1989).
- [9] S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki, and K. Ando: Nature Materials, **3**, 868 (2004).
- [10] S. S. P. Parkin, C. Kaiser, A. Panchula, P. M. Rice, B. Hughes, M. Samant, and S.-H. Yang, Nature Materials, **3**, 862 (2004).
- [11] L. Jiang, H. Naganuma, M. Oogane, and Y. Ando: Appl. Phys. Express, **2**, 083002 (2009).
- [12] <http://www.everspin.com/>
- [13] L. Savchenko, B. N. Engel, N. D. Rizzo, M. F. D. Herrera, J. A. Janesky, U.S. Patent No. 6,545,906 (2003).
- [14] T. Sugibayashi, N. Sakimura, T. Honda, K. Nagahara, K. Tsuji, H. Numata, S. Miura, K. Shimura, Y. Kato, S. Saito, Y. Fukumoto, H. Honjo, T. Suzuki, K. Suemitsu, T. Mukai, K. Mori, R. Nebashi, S. Fukami, N. Ohshima, H. Hada, N. Ishiwata, N. Kasai, and S. Tahara: IEEE J. Solid-State Circuit, **42**, 2378 (2007).
- [15] N. Sakimura, T. Sugibayashi, T. Honda, H. Honjo, S. Saito, T. Suzuki, N. Ishiwata, and S. Tahara, IEEE J. Solid-State Circuit, **42**, 830 (2007).
- [16] N. Sakimura, T. Sugibayashi, R. Nebashi, H. Honjo, S. Saito, Y. Kato, and N. Kasai: 2007 IEEE Asian Solid-State Circuits Conference, Dig. Tech. Pap., p. 216. (2007).
- [17] N. Sakimura, R. Nebashi, H. Honjo, S. Saito, Y. Kato, and T. Sugibayashi: 2008 IEEE Asian Solid-State Circuits Conference, Dig. Tech. Pap., p. 261. (2008).
- [18] R. Nebashi, N. Sakimura, H. Honjo, S. Saito, Y. Ito, S. Miura, Y. Kato, K. Mori, Y. Ozaki, Y. Kobayashi, N. Ohshima, K. Kinoshita, T. Suzuki, K. Nagahara, N. Ishiwata, K. Suemitsu, S. Fukami, H. Hada, T. Sugibayashi, N. Kasai: 2009 IEEE International Solid-State Circuits Conference, Dig. Tech. Pap. p. 462.

- [19] S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, S. Saitoh, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, E. Kariyada, Y. Kato, K. Suemitsu, H. Tanigawa, K. Kinoshita, S. Miura, N. Ishiwata, and T. Sugibayashi: 2010 International Conference on Solid State Devices and Materials, Dig. Tech. Pap. p. 1094 (2010).
- [20] S. Fukami, H. Honjo, T. Suzuki, and N. Ishiwata: J. Appl. Phys., **104**, 113901 (2008).
- [21] L. Berger: Phys. Rev. B, **54**, 9353 (1996).
- [22] J. C. Sloncewski: J. Magn. Magn. Mater., **159**, L1 (1996).
- [23] M. Tsoi, A. G. M. Jansen, J. Bass, W.-C. Chiang, M. Seck, V. Tsoi, and P. Wyder : Phys. Rev. Lett., **80**, 4281 (1998).
- [24] E. B. Myers, D. C. Ralph, J. A. Katine, R. N. Louie, and R. A. Buhrman: Science, **285**, 867 (1999).
- [25] J. Z. Sun: J. Magn. Magn. Mater., **202**, 157 (1999).
- [26] J. A. Katine, F. J. Albert, R. A. Buhrman, E. B. Myers, and D. C. Ralph: Phys. Rev. Lett., **84**, 3149 (2000).
- [27] M. Hosomi, H. Yamagishi, T. Yamamoto, K. Bessho, Y. Higo, K. Yamane, H. Yamada, M. Shoji, H. Hachino, C. Fukumoto, H. Nagao, and H. Kano: 2005 IEEE International Electron Device Meeting, Tech. Dig., p. 459 (2005).
- [28] T. Kawahara, R. Takemura, K. Miura, J. Hayakawa, S. Ikeda, Y. Lee, R. Sasaki, Y. Goto, K. Ito, T. Meguro, F. Matsukura, H. Takahashi, H. Matsuoka, H. Ohno: 2007 IEEE International Solid-State Circuit Conference, Dig. Tech. Pap., p. 480 (2007).
- [29] T. Kishi, H. Yoda, T. Kai, T. Nagase, E. Kitagawa, M. Yoshikawa, K. Nishiyama, T. Daibou, M. Nagamine, M. Amano, S. Takahashi, M. Nakayama, N. Shimomura, H. Aikawa, S. Ikegawa, S. Yuasa, K. Yakushiji, H. Kubota, A. Fukushima, M. Oogane, T. Miyazaki, and K. Ando: 2008 IEEE International Electron Device Meeting, Tech. Dig. (2008).
- [30] C.J. Lin, S.H. Kang, Y.J. Wang, K. Lee, X. Zhu, W.C. Chen, X. Li, W.N. Hsu, Y.C. Kao, M.T. Liu, W.C. Chen, YiChing Lin, M. Nowak, and N. Yu , Luan Tran: 2009 IEEE International Electron Device Meeting, Tech. Dig. (2009).
- [31] D. C. Worledge, G. Hu, P. L. Trouilloud, D. W. Abraham, S. Brown, M. C. Gaidis, J. Nowak, E. J. O'Sullivan, R. P. Robertazzi, J. Z. Sun, and W. J. Gallagher: 2010 IEEE International Electron Device Meeting, Tech. Dig., p. 12.5.1 (2010).

第3章 電流誘起磁壁移動

本章では本研究で扱うメインの物理現象である電流誘起磁壁移動に関して、これまでの研究結果や応用に向けた課題に関してまとめる。はじめに電流誘起磁壁移動の物理的な描像を述べ、次に初期の実験的、理論的な研究結果を紹介し、最後に電流誘起磁壁移動を利用した MRAM の構造、及びそれを実現する上での課題について述べる。

3.1 電流誘起磁壁移動現象

電流誘起磁壁移動 (Current-induced domain wall motion) の概念は 1984 年に Berger によって理論的に提唱された[1]。図 3-1 を用いて電流誘起磁壁移動現象を概念的に説明する。まず磁化方向が 180° 異なる磁区と磁区に挟まれた磁壁を有する強磁性体細線に電流が流れた場合を考える。電流が流れたとき伝導電子 (s 電子) のスピン磁気モーメントは s-d 相互作用によりローカル電子 (d 電子) の軌道磁気モーメントと平行方向を向く。従って伝導電子が磁壁を通過して異なる磁区に流れ込むとき、スピン磁気モーメントの方向は 180° 変化する。この角運動量の変化量は軌道電子の磁気モーメントに移行され、軌道磁気モーメントにトルクが働く。これがスピン移行トルク (Spin-Transfer Torque: STT) である。そしてこのスピン移行トルクが軌道電子の磁気モーメントに働くことにより、結果として磁壁が最初の位置に比べて伝導電子の流れと同方向に動くことになる。これが電流誘起磁壁移動のシンプルな説明である。

電流誘起磁壁移動も 2.2.5 で述べたスピン注入磁化反転と同じく、スピン移行トルクを利用した磁化反転であり、しきい電流値は細線幅に対してスケールリングする。従って MRAM の書き込み方法に用いることで小さな素子サイズにおいて小さな書き込み電流を実現することができる。

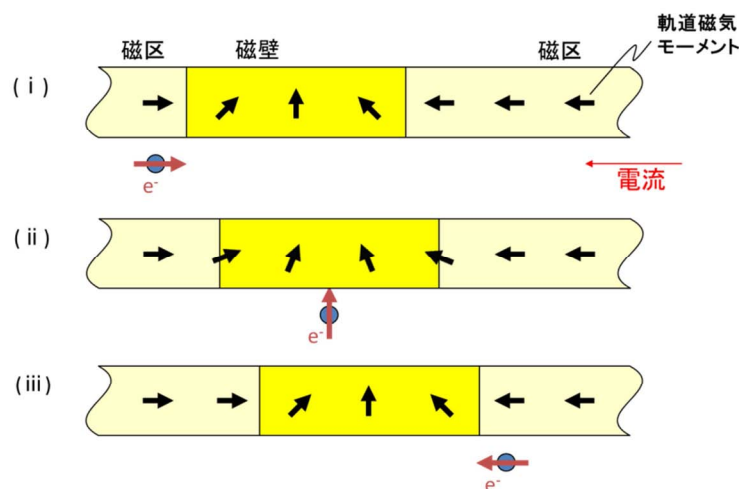


図3-1: 電流誘起磁壁移動のメカニズムを示した模式図。図では磁壁を有する強磁性体細線に右から左に電流が流れる例が示されている。このとき伝導電子は磁壁を貫通する前(i)は右方向のスピンの磁気モーメントを持っていたのに対して、磁壁を貫通した後(ii)は左方向のモーメントを持っている。この差分が軌道磁気モーメントに移行される。

3.2 実験的、理論的な報告

3.2.1 実験的な報告（最初の観測）

1984年のBergerの理論的な予言の後、2004年頃から電流誘起磁壁移動の実験的な観測例が報告され始めた。3.2.1ではごく初期の実験的な研究[2-8]のうちの代表的な文献を紹介する。

Yamaguchiらは線幅240 nm、膜厚10 nmのNiFeからなる細線を用いて電流誘起磁壁移動の実験を行った[5]。外部磁場によりL字形状をした細線に磁壁を導入し、電流パルスの印加とMFM観察を交互に行い、磁壁移動を評価した。その結果、電流とは逆方向に磁壁が移動することが明瞭に確認された。またしきい電流密度は約 $1.0 \times 10^{12} \text{ A/m}^2$ であり、導入するパルス電流の大きさやパルス幅を増大させることで磁壁の移動量が増加することが確認された。また磁壁移動の速度は約3 m/s程度であった。Yamaguchiらの報告はスピン移行トルクに起因した電流誘起磁壁移動を明瞭に観察した最初の報告例である。

Vernierらは線幅120 nm、膜厚5 nmのNiFeからなるU字型に加工された細線を用いて電流誘起磁壁移動の実験を行った[6]。U字型の細線に電流を導入しながら、磁気光学カー効果磁力計（Magneto-Optical Kerr Effect (MOKE) magnetometer）を用いて評価を行った。約 $7.0 \times 10^{11} \text{ A/m}^2$ の電流密度において無

磁場で電流と逆方向への磁壁の移動を観測している。

Kläui らは線幅 100 – 500 nm、膜厚 6 – 27 nm の NiFe からなるジグザグ形状の細線を用いて電流誘起磁壁移動の実験を行った[7]。Yamaguchi, Vernier らと同じく外部磁場により磁壁を導入したのち、パルス電流導入とスピン SEM 観察を交互に行うことで磁壁移動を評価した。しきい電流密度は約 2.0×10^{12} A/m²、磁壁移動の速度は約 0.3 m/s という測定結果が報告されている。またスピン SEM 観察を詳細に行ったところ、電流パルスを何度か導入するうちに磁壁の構造が変化してやがて磁壁が動かなくなる現象も観測されている。

3.2.2 理論の確立（断熱近似での LLG 方程式の導出）

Yamaguchi, Vernier, Kläui らによる実験的な観測例の報告とほぼ同時期に断熱近似を使用したモデルによる理論的な解釈も進んだ[9-13]。ここでは図 3-2 を用いてその概要を説明する。

磁性体の磁区構造やダイナミクスを微視的に取り扱う上では Landau-Lifshitz-Gilbert (LLG) 方程式を用いる方法が一般的である。Li[11], Thiaville[12] らは LLG 方程式に電流誘起磁壁移動時に働くスピン移行トルクの効果を導入することを試みた。電流の効果が無い場合の古典的な LLG 方程式は次式で与えられる⁵。

$$\dot{\mathbf{m}} = -\gamma \mathbf{m} \times \mathbf{H} + \alpha \mathbf{m} \times \dot{\mathbf{m}} \quad (3-1)$$

ここで \mathbf{m} は磁気モーメント、 γ はジャイロ磁気定数、 \mathbf{H} は有効磁場、 α はギルバートのダンピング定数である。右辺の第 1 項は磁場による磁化のラーモア歳差運動に相当し、第 2 項は磁化の時間変化に対する制動作用（摩擦）に相当する。また有効磁場 \mathbf{H} は一般的には次式で与えられる。

$$\mathbf{H} = \mathbf{H}_k + \mathbf{H}_{di} + \mathbf{H}_{ex} + \mathbf{H}_{ext} \quad (3-2)$$

ここで \mathbf{H}_k は材料の異方性磁場、 \mathbf{H}_{di} は双極子相互作用による磁場、 \mathbf{H}_{ex} は隣接する磁気モーメント間に働く交換相互作用に起因した実効磁場、 \mathbf{H}_{ext} は外部磁場である。LLG 方程式を電流誘起磁壁移動に拡張するためには、(3-1)の右辺にスピン移行トルクの効果を付け足せばよい。

伝導電子が磁壁を貫通して流れるときに働くスピン移行トルクの効果を (3-1) 式の右辺に付与する手順を、図 3-2 を用いて以下に説明する。まず位置 \mathbf{x} における軌道電子の磁気モーメントの単位ベクトルを $\mathbf{M}(\mathbf{x})$ 、位置 $\mathbf{x} + d\mathbf{x}$ においては $\mathbf{M}(\mathbf{x} + d\mathbf{x})$ である系に \mathbf{x} 軸に沿って伝導電子 1 個が流れる場合を考える。磁化の空間的な変化が十分に緩やかであればスピン軌道相互作用によりそのスピン磁気モー

⁵ なお、(3-1)式を実際に時間発展的に解く際には、式変形により $\dot{\mathbf{m}}$ を左辺に寄せた形を用いる。

メントの方向は軌道電子の磁化に追従することができ、位置 x における伝導電子のスピンの磁気モーメントの単位ベクトルは $\mathbf{m}(x)$ 、位置 $x+dx$ においては $\mathbf{m}(x+dx)$ となる。1 電子あたりでその差分が軌道磁気モーメントに移行されることになるので、移行分は

$$given = \mathbf{m}(x) - \mathbf{m}(x+dx) = -dx \cdot \frac{\partial \mathbf{m}}{\partial x} \quad (3-3)$$

で与えられることになる。従って、単位時間、単位面積あたりで考えた場合には、全伝導電子が軌道電子に与える角運動量は

$$given = \frac{g\mu_B}{2} \frac{jP}{e} \left(-dx \frac{\partial \mathbf{m}}{\partial x} \right)$$

(3 - 4)

となる。ここで g はランデの g 因子（スピン磁気モーメントの場合は2となる）、 μ_B はボーア磁子、 j は電流密度、 P はスピン分極率、 e は電子の素電荷である。断熱近似においては(3-4)式で与えられる角運動量が厚さ dx 分の軌道電子の磁気モーメントにすべて移行されるわけであるから、時間 dt あたりの軌道電子の磁気モーメントの変化量は、

$$accepted = \frac{d\mathbf{M}}{dt} dx = M_s \dot{\mathbf{m}} dx \quad (3-5)$$

で表される。ここで M_s は飽和磁化を表す。(3-4), (3-5)式の右辺は等しくならなくてははいけないから

$$\dot{\mathbf{m}} = -\frac{g\mu_B P j}{2eM_s} \cdot \frac{\partial \mathbf{m}}{\partial x} \quad (3-6)$$

が得られる。(3-6)式の左辺は(3-1)式の左辺と同一であり、(3-6)式の右辺を(3-1)式の右辺に加えることで電流誘起磁壁移動の際のスピン移行トルクの効果を(3-1)式に取り込むことができることがわかる。

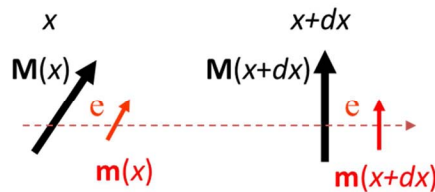


図3-2: 電流誘起磁壁移動の理論を導くための説明図。位置 x と $x+dx$ における軌道磁気モーメント ($\mathbf{M}(x)$, $\mathbf{M}(x+dx)$) とスピン磁気モーメント ($\mathbf{m}(x)$, $\mathbf{m}(x+dx)$) の方向が矢印で示されている。

なお、(3-6)式右辺の係数部分は速度の次元 (m/s) を有し、伝導電子の有するスピン磁気モーメントのドリフト速度を意味することから、スピン偏極電流速度 (spin-polarized current velocity) などと呼ばれることもあり、参考文献[12]では次式で定義される変数 \mathbf{u} で置き換えている。

$$\mathbf{u} = \frac{g\mu_B P}{2eM_x} \mathbf{j} \quad (3-7)$$

本論文でも主にシミュレーション計算において電流を表す際には(3-6)式で定義されたスピン偏極電流速度 \mathbf{u} を用いることとする。

また上記の導出では電流は x 成分のみを有し、磁化は x 方向のみに変化していることを仮定しているが、3次元系に拡張した場合には (3-6) 式は次式で表される。

$$\dot{\mathbf{m}} = -(\mathbf{u} \cdot \nabla) \mathbf{m} \quad (3-8)$$

そして以上をまとめると、電流誘起磁壁移動時のスピン移行トルクを断熱近似のもとで取り込んだ LLG 方程式を書き下すと次式のようになる。

$$\dot{\mathbf{m}} = -\gamma \mathbf{m} \times \mathbf{H} + \alpha \mathbf{m} \times \dot{\mathbf{m}} - (\mathbf{u} \cdot \nabla) \mathbf{m} \quad (3-9)$$

(3-9)式右辺第3項は断熱スピン移行トルク (Adiabatic spin-transfer torque) 項と呼ばれる。

3.2.3 理論の確立 (断熱近似 LLG 方程式の定量的な解析)

(3-9) 式を実際に数值的に解くと、人工的なピンングを設けなくても磁壁はそれ自体が内因性のピンング機構 (intrinsic pinning) を有しており、外因性のピンングが無くとも恒常的な磁壁移動のためのしきい電流密度が存在することが導かれる。以下それを定性的、定量的に説明する。

はじめに、図 3-3 を用いて磁壁が有する内因性ピンングの概要を定性的に説明する。いま、 x 軸を長手方向とする細線において、磁化が $-x$ 方向を向いた磁区と $+x$ 方向を向いた磁区の間に形成された 180° 磁壁を有する系に伝導電子が細線長手方向に導入される場合を考える (図 3-3(a))。なお外部磁場は印加されていないものとする。このとき、初期状態では (3-9) 式右辺の第1項、第2項は0となる。第3項は、 \mathbf{u} は x 成分のみを有するので $-\mathbf{u} \cdot (\partial/\partial x) \mathbf{m}$ となる。定常状態の磁壁の中心においてはベクトル \mathbf{m} のうち y 方向、 z 方向の空間変化はないので $(\partial/\partial x) \mathbf{m}$ は $\partial \mathbf{m}_x / \partial x \cdot \hat{\mathbf{x}}$ となる。 $\hat{\mathbf{x}}$ は x 方向の単位ベクトルである。すなわち、はじめに磁化 \mathbf{m} は $\partial \mathbf{m}_x / \partial x \cdot \hat{\mathbf{x}}$ なる時間変化をし、 $-x$ 方向に回転することがわかる。これは $+x$ 方向に磁壁が移動することを意味している。

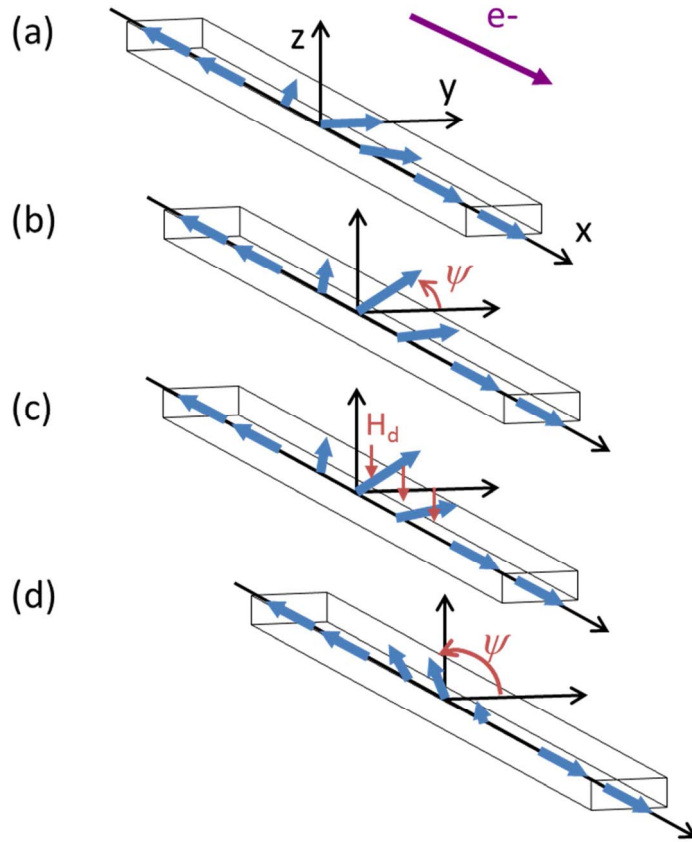


図3-3: 断熱スピン移行トルクモデルにおける内因性ピンング機構の説明図。(a)～(d)は伝導電子によって磁壁に断熱スピン移行トルクが働いたときの強磁性細線中の磁化構造の時間的な変化を継時的に示している。

そして次の瞬間、磁化 \mathbf{m} の時間変化が起こったことから(3-9)式の第2項が有限の値を有するようになる。磁壁の中心において \mathbf{m} は $+y$ 方向、 $\dot{\mathbf{m}}$ は $-x$ 方向なので、 $\alpha\mathbf{m} \times \dot{\mathbf{m}}$ は $+z$ 方向となる。すなわち磁壁移動と同時に磁化は $+z$ 方向に立ち上がることになる(図3-3(b))。図3-3(b)では磁壁の y 軸からの立ち上がり角(位相)を ϕ で表している。これが、磁壁自身が有する内因性ピンングの要因となる。磁壁が $+z$ 方向成分を有したとき、細線の上面($+z$ 面)、下面($-z$ 面)に磁荷が誘起され、 $-z$ 方向への反磁場 \mathbf{H}_d が加わる(図3-3(c))。反磁場 \mathbf{H}_d は(3-2)式のうちの \mathbf{H}_{di} の一種であり、(3-9)式の第1項が有限の値となる。磁壁の中心において \mathbf{m} はほぼ $+y$ 方向、 \mathbf{H} は $-z$ 方向なので $-|\gamma|\mathbf{m} \times \mathbf{H}$ は $+x$ 方向となる。すなわち第1項による磁化回転は第3項の磁壁を駆動する $-x$ 方向への磁化の回転に対してブレーキをかける方向に働くことになる。これが内因性ピンングの実体である。

る。第 3 項の電流による磁壁駆動のトルクが第 1 項の反磁場からくるトルクよりも大きければ、ブレーキに打ち勝って磁壁の移動を続けることができ、磁壁は x 軸を回転の中心軸として y - z 面内で回転しながら $+x$ 方向に移動する (図 3-3 (d))。なお、この y - z 面内 (困難軸方向) で回転しながら磁壁が動く様子は、後に述べる磁場駆動における Walker breakdown との類似性から、電流駆動の場合の磁壁が困難軸方向で回転しながら動作する場合も Walker breakdown と呼ばれることもある。

以上が磁壁の内因性ピニングのメカニズムの定性的な説明であるが、磁壁の内因性ピニングのしきい値は定量的には以下のようにして解析的に導くことができる。しきい値を導出するためには、(3-9) に代わる LLG 方程式として次式で定義される 1 次元 LLG 方程式を考えるのが便利である [14]。

$$(1 + \alpha^2) \dot{q} = \frac{\gamma \Delta}{2} H_{k\perp} \sin(2\psi) + u + \alpha \gamma \Delta H_{ex} \quad (3-10)$$

$$(1 + \alpha^2) \dot{\psi} = -\frac{\gamma \alpha}{2} H_{k\perp} \sin(2\psi) - \frac{\alpha u}{\Delta} + \gamma H_{ex} \quad (3-11)$$

1 次元 LLG 方程式においては磁壁内の磁化の 2 次元、3 次元的な微細構造は無視し、位置 q と位相 ϕ の 2 変数のみで表す。ここで Δ は磁壁幅であり、 $H_{k\perp}$ は磁壁の困難軸異方性磁場である。困難軸異方性磁場とは図 3-3 においては磁壁が y 方向を向いた場合と z 方向を向いた場合のエネルギー差を磁場に換算したものである。つまり、磁壁内の磁化の x 軸を中心にした回転の起こりにくさを表す値と考えることができる。(3-10)式においてしきい電流値 (u_w) は $\dot{q} = 0$ を代入したときに解をもつ u の最大値で与えられる。すなわち

$$u_w = \left[-\frac{\gamma \Delta}{2} H_{k\perp} \sin(2\psi) \right]_{\max} = \frac{\gamma \Delta H_{k\perp}}{2} \quad (3-12)$$

となる。従って (3-12) 式から磁壁を断熱スピン移行トルクで駆動する場合には、磁壁幅 Δ が狭く困難軸磁気異方性 $H_{k\perp}$ が小さいほどスピン偏極電流速度 u のしきい値を小さくできることがわかる。なお、断熱スピン移行トルクで駆動する場合には、(3-9) 式の第 3 項からくる駆動力と第 2 項、及び第 1 項からくるブレーキでしきい値が生ずることを述べたが、駆動力は磁化の空間変化の大きさに比例することから磁壁幅 Δ に反比例し、またブレーキは磁壁の困難軸方向への回転のしにくさに比例することから困難軸異方性磁場 $H_{k\perp}$ に比例すると考えることができる。これに加えて電流密度 j のしきい値を低減する上では、(3-7) 式で定義された u と j の変換式からわかるように分極率 P を大きくし、飽和磁化 M_s を小さくすることも有効である。また断熱近似におけるしきい電流値は後に述べる外因性ピニングやダンピング定数 α には依存しないことも電流誘起磁壁移動の特筆すべき点である。詳細は後述する。

なお磁壁を磁場で駆動した場合にはある磁場を境にして磁壁移動速度が非連続に変化する Walker breakdown が起こることが知られている[15-17]。詳細は省略するが、上記の導出と同様にして、(3-11)式から Walker breakdown が起こるしきい磁場 H_w は

$$H_w = \frac{\alpha H_{k\perp}}{2} \quad (3-13)$$

と求まる。

(3-12)式で与えられる電流のしきい値が 3.2.1 節で紹介した実験で用いられた系においては実際にどの程度の値になるのかを概算する。一般的に NiFe の磁壁幅は 100 nm 程度である。また H_w が 10 Oe 程度であり[16, 17]、 α が 0.02 程度であるので、(3-13) 式から $H_{k\perp}$ は 1000 Oe 程度となる。また γ は 1.76×10^7 [1/Oe·sec] なので、以上の値を用いることで電流のしきい値 u_c はおよそ 1000 m/s と導かれる。次にこれを (3-7) 式を用いて A/m² の次元をもつ通常の電流密度 j に変換する。NiFe の場合、 M_s は 800 emu/cc, P は約 0.7 である。これと物理定数 (g, μ_B, e) を用いることで、 $u = 1000$ m/s は $j = 2 \times 10^{13}$ A/m² に変換される。この値は実験結果[5-7]と比べて 1 桁以上も大きな値である。すなわち実験では理論から予測されるしきい値よりも一桁以上小さな電流において磁壁が移動していることになる。また上記の断熱近似モデルにおいては、導出は省略するが磁壁が電流で駆動される際の移動速度の平均値は

$$\langle v \rangle = \frac{\sqrt{u^2 - u_c^2}}{1 + \alpha^2} \quad (3-14)$$

で与えられる[12]。 α^2 は 1 に比べて十分小さいので、 u^2 が u_c^2 に比べて十分大きければ $\langle v \rangle = u$ となる。つまり NiFe の場合、磁壁が動くときには 1000 m/s に近い速度となることが理論からは予想される。これは実験結果と比べると 2 桁以上大きな値である。以上のように断熱近似で導かれる理論は実験結果との間にしきい電流密度も磁壁移動速度も一桁以上の隔たりがあることがわかる。

3.2.4 理論の確立 (LLG 方程式への非断熱効果の導入)

前節で述べたように、断熱近似を用いて電流誘起磁壁移動をモデル化した場合には実験結果との間に大きな不一致があることが分かった。そこで理論家の間では (3-9) 式に非断熱効果を導入する試みがなされた[18-20]。以下にその内容を説明する。

前述のように磁壁を貫通する方向に電流が流れたとき、磁壁が伝導電子の方向に移動すると同時に、磁壁は位相 ϕ という形で内部エネルギーを蓄える。非断熱効果とはこの内部エネルギーの散逸を意味する。従って (3-9) 式の第 2 項とは逆

方向に働くことになる。Thiaville らはこの非断熱効果を LLG 方程式に取り込んだ形として

$$\dot{\mathbf{m}} = -\gamma \mathbf{m} \times \mathbf{H} + \alpha \mathbf{m} \times \dot{\mathbf{m}} - (\mathbf{u} \cdot \nabla) \mathbf{m} + \beta \mathbf{m} \times (\mathbf{u} \cdot \nabla) \mathbf{m} \quad (3-15)$$

を導いた[19]。同様の表式は Zhang らによっても導かれている[18]。(3-15) 式において右辺第4項が非断熱効果を表しており、 β はその比例係数である。なお、右辺第4項は β 項と呼ばれることもある。またこの第4項は磁化ベクトル \mathbf{m} とスピン偏極電流の効果（右辺第3項）の外積という形をしており第1項の磁場の項と類似していることがわかる。このことからこの項によって発生するトルクは field-like torque と呼ばれる。

(3-15) 式の意味するところを、図3-4を用いて概念的に説明する。まず β が0の場合にはすでに図3-3で説明したように磁壁移動と同時に位相 ψ が発展し、反磁場 \mathbf{H}_d によってブレーキがかかる。スピン偏極電流速度 \mathbf{u} がこのブレーキに打ち勝てるほど大きければよいが、それよりも小さいと磁壁は動き続けることはできずにある長さを動いたところで止まってしまう（図3-4(a)）。一方 β が有限の場合には、電流が流れると(3-15)式右辺第4項により磁壁は $-z$ 方向に回転する（図3-4(b)では $\alpha < \beta$ の場合が示されている）。このとき発生する反磁場 \mathbf{H}_d は $+z$ 方向であり、この反磁場による(3-15)式右辺第1項の回転方向は $-x$ 方向、すなわち第3項に由来する磁壁移動のための磁化の回転方向と同一方向になる。すなわち β は磁壁移動をアシストする方向に働くことになる。

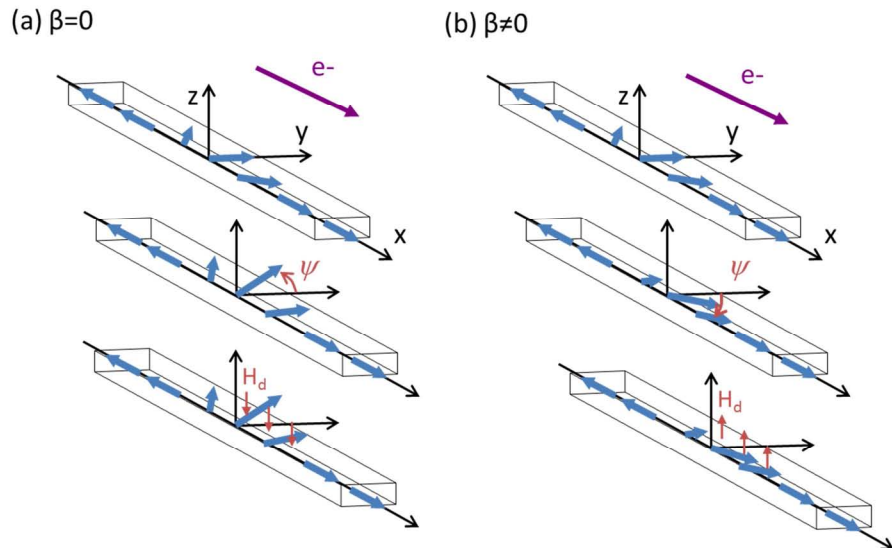


図3-4: 非断熱スピン移行トルクの効果の説明図。(a)は非断熱スピン移行トルクの効果がない場合で、(b)はある場合。(a)と(b)では ψ の符号が異なっている。

参考文献[19]では磁壁移動速度 v とスピン偏極電流速度 u の関係の β 依存性をシミュレーションにより数値的に解いた結果が示されている (図3-5(a))。 β が0の場合には u のしきい値は約 600 m/s であるが、 β が有限の場合にはしきい値は存在していないことがわかる。しかし実験では電流のしきい値は確かに存在することから、これも実験結果とは一致しない。そこで Thiaville らは細線が有するエッジのラフネスなどに起因したピンング効果を導入して再度マイクロマグネティックスシミュレーションによる計算を行っている (図3-5(b))。先の述べた内因性ピンングとの対比からこのようなピンング機構を外因性ピンング (extrinsic pinning) と呼ぶことにする。外因性ピンングがある場合には再びしきい値が発生し、かつ β の大きさに依存して変わっている。 β が 0.1 の場合にはスピン偏極電流速度 u のしきい値は 100 m/s 程度であり、これは通常の電流密度 j に変換すると約 2×10^{12} A/m² となる。これは初期の実験結果で得られているしきい値と比較的よく一致していると言える。

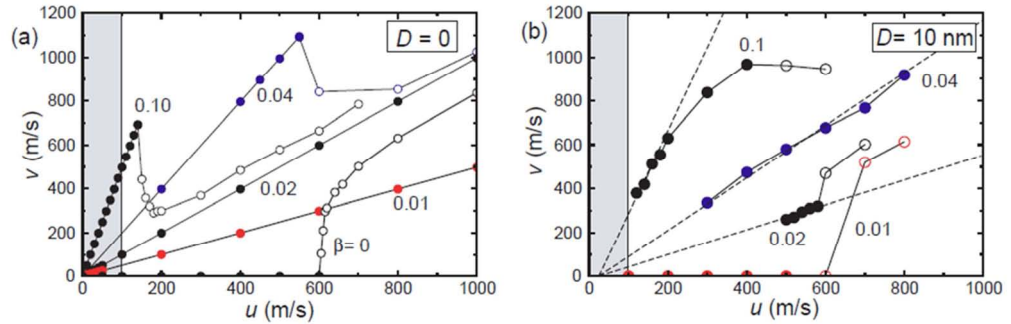


図3-5: 外因性ピンング効果がある場合とない場合の磁壁移動速度と印加電流の関係の比較[19]。(a)は外因性ピンング機構がない場合で(b)はある場合。いくつかの非断熱スピン移行トルク β の大きさについての計算結果が示されている。

ところで非断熱効果と外因性ピンング効果を(3-10), (3-11)式の1次元LLG方程式に入れると

$$(1 + \alpha^2) \dot{q} = -\frac{\alpha \gamma \Delta}{2M_s} \left(\frac{\partial \varepsilon}{\partial q} \right) + \frac{\gamma \Delta}{2} H_{k\perp} \sin(2\psi) + (1 + \alpha\beta)u + \alpha\gamma\Delta H_{ex} \quad (3-10)$$

$$(1 + \alpha^2) \dot{\psi} = -\frac{\gamma}{2M_s} \left(\frac{\partial \varepsilon}{\partial q} \right) - \frac{\gamma \alpha}{2} H_{k\perp} \sin(2\psi) - (\beta - \alpha) \frac{u}{\Delta} + \gamma H_{ex} \quad (3-11)$$

となる。 ϵ は外因性ピンングのポテンシャルエネルギーである。また先に β は磁場と等価な働きを示すことを述べたが、(3-10), (3-11)式から β の効果は

$$H_{\text{eff}} = \frac{\beta u}{\gamma \Delta} \quad (3-12)$$

なる実効磁場 H_{eff} と等価であると考えられることもできることがわかる。従って、外因性ピンングによるピンング磁場が H_c のとき、 β 項の効果によってデピンするのに必要なスピン偏極電流速度のしきい値 u_c は

$$u_c = \frac{\gamma \Delta}{\beta} H_c \quad (3-13)$$

で与えられることになる。つまりスピン偏極電流速度のしきい値を低減するためには、磁壁幅 Δ を狭くすること、しきい磁場 H_c を小さくすること、 β を大きくすることが有効であると言える。

また(3-10), (3-11)式から β が有限な場合の磁壁移動速度として

$$v = \dot{q} = \frac{\beta}{\alpha} u - \frac{\Delta}{\alpha} \dot{\psi} \quad (3-14)$$

が導かれ、 $\dot{\psi}$ の時間変化が0の場合には平均速度 $\langle v \rangle$ は $(\beta/\alpha) \cdot u$ で表されることがわかる。外部磁場や外因性ピンングがない場合に $\dot{\psi}$ の時間変化が0になるスピン偏極電流速度 u は(3-11)式から

$$u \leq \frac{\alpha \gamma \Delta H_{k\perp}}{2|\beta - \alpha|} \quad (3-15)$$

と求まり、特に $\beta = 0, 2\alpha$ の場合には(3-15)式の右辺は(3-12)式の右辺と同一になる。 $\dot{\psi}$ に時間変化がない状態での磁壁移動（速度が一定）と時間変化がある状態での磁壁移動（速度が振動的）はそれぞれ **stationary motion**, **oscillatory motion** などと呼ばれることもある。

以上に述べたような 2004 年~2005 年に行われた理論研究から、実験で観測された比較的低い電流密度での磁壁移動は、単純な断熱近似を仮定したスピン移行トルクモデルでは説明できず、ある程度は β 項の効果によって起こっており、またある程度はジュール熱による温度上昇に起因した M_s の低減[21]によって起こっているものと推測された。

なお、 β 項の起源については先に電流誘起磁壁移動の際の角運動量の移行の際の非断熱性にあると説明したが、Tatara らはこれに加えて伝導電子のスピン磁気モーメントがスピントリップする際に働く軌道磁気モーメントへのトルクの効果も同一の形態で LLG 方程式に取り込むことができると指摘している[20]。このことから β を増大させるためにはスピントリップが高頻度で起こるような材料を用いることが有効であると考えられる。

また β 項が作る実効磁場の大きさは以下のように概算できる。(3・12)式の β , Δ に NiFe を想定した場合の適当な値として $\beta \sim \alpha = 0.02$, $\Delta = 50 \text{ nm}$ を代入し、また実験で用いられる電流密度 j の大よその値である $1 \times 10^{12} \text{ A/m}^2$ をスピン偏極電流速度 u に換算した場合の値である 50 m/s を用いる。このとき、 $\gamma = 1.76 \times 10^7 \text{ (1/Oe sec)}$ を用いると、実効磁場 H_{eff} は約 1.1 Oe となる。従って細線の外因性ピニングによるしきい磁場を数 Oe 程度に低減しない限り、 β 項の効果による磁壁移動は期待できないことがわかる。

3.2.5 実験的な報告（ダイナミクスなどの観測）

3.2.2～3.2.4 節で述べた理論研究によって、断熱スピン移行トルクにより磁壁を駆動する上では $H_{k\perp}$ を低減することが小さな電流で磁壁を駆動する上で効果的であり、 β 項で駆動する場合には H_e を小さくすることが効果的であるという指針が得られた。この指針に基づいていくつかの実験が行われ、実際に磁壁移動の際のダイナミクスの詳細な測定などのより詳細な実験結果も報告された[22-29]。その中でも特筆すべきは IBM の Parkin のグループによる NiFe 細線でのダイナミクスの計測である[23-29]。以下にその代表的な内容を紹介する。

2006 年 5 月に Hayashi らは磁場と電流を印加した状態で細線の抵抗をリアルタイムで計測することにより磁壁移動速度の磁場及び電流依存性を測定した結果を発表した[23]。ここでは幅 300 nm 、膜厚 10 nm の NiFe 細線を用い、NiFe 細線に直交する非磁性メタル配線中に流すパルス電流によって生成されるエルステッド磁場で磁壁を導入したのち、NiFe 細線にパルス電流を導入することでスピン移行トルクによる磁壁移動を誘起している。磁壁移動測定は、磁壁の有無によって生じる異方性磁気抵抗（Anisotropic Magneto-Resistance: AMR）効果を反映した NiFe 細線の抵抗変化をリアルタイムで計測することによって行われた。参考文献[23]では無磁場での電流による磁壁移動は観測されていないが、磁場印加状態での速度が広いレンジで測定されており、また速度が電流の大きさや符号によって変化する様子や、Walker breakdown に伴う磁壁移動速度の非連続な変化も明瞭に観測されている。

続いて 2006 年 9 月に Thomas らは、同じく AMR 効果による細線抵抗の変化を利用して、電流パルスの幅やパルス方向を変えたときの磁壁移動の確率を計測した結果を発表した[24]。用いた細線の幅は 200 nm で、膜厚は 40 nm である。無磁場において磁壁のデピンの確率はパルス幅に大きく依存し、またパルス幅によっては伝導電子の流れる方向と逆方向にも磁壁が移動することを観測している。この結果を磁壁の内部位相 ψ と外因性ピニングポテンシャル ϵ を考慮に入れた 1 次元 LLG 方程式を元にした理論計算と比較したところ、実験と理論計算は非常に良い一致を示すことが述べている。

2006 年 11 月には Hayashi らは、NiFe 細線上に形成されたノッチ近傍に拘束される磁壁の構造の種類と、デピニング磁場及びデピニング電流の関係を調べた結果を発表した[25]。磁壁の構造には Transverse 型と Vortex 型の 2 種類があり、かつそのカイラリティにより合計 4 種類の磁壁が形成されることを細線抵抗の差、及び MFM 観察から明らかにした。またこれらの磁壁構造の差がデピニング電流には影響を及ぼさず、常に一定値となることを報告している。また得られた結果を LLG 方程式を用いたマイクロマグネティックシミュレーションと比較し、議論している。

2007 年 1 月には Hayashi らは、NiFe 細線上での磁壁移動速度を無磁場下で測定し、 $1.5 \times 10^{12} \text{ A/m}^2$ の電流密度において 110 m/s の磁壁移動速度が観測されたことを報告している[26]。この結果は断熱近似のもとで予測される磁壁移動速度よりも大きな速度であることから、 β の存在が確からしいことを裏付けるものである。

また最近では 2010 年 12 月に Thomas らは NiFe 細線上で駆動された磁壁のパルス電流切断後の磁壁の振る舞いから磁壁に慣性があることについて報告している[29]。ここではパルス印加と次のパルス印加の間の待ち時間を制御することで、パルス電流切断後の磁壁の移動を測定した。その結果、パルス電流切断後に数 10 ns の時間スケールで数 μm にわたって磁壁が慣性によって動くことがあることが観測された。彼らはこの結果を β を考慮に入れた理論計算と比較し、 $\beta/\alpha = 3.2$ で実験と理論が比較的良好に一致することを見出した。

このように Parkin らのグループによる NiFe 細線での電流誘起磁壁移動の詳細な測定によって、3.2.2～3.2.4 節で述べた一連の理論が実験結果と非常に良い一致を示すことが確認された。さらに電流誘起磁壁移動を扱う上では図 3-1 に示したような単純なモデルでは不十分であり、磁壁の内部位相 ψ や材料の β の値が磁壁移動の特性を支配する重要なファクターであることがコンセンサスとなった。

3.2.6 実験的な報告（不安定性の観測）

一方で、Parkin のグループによる電流誘起磁壁移動の詳細な実験結果と同時期に、デバイス応用上は好ましくない電流誘起磁壁移動時の不安定性や磁壁の確率的な振る舞いなども主に観察的手法によって観測され始めた[30-35]。以下にその具体的な内容を紹介する。

Togawa らはローレンツ顕微鏡法と電子線ホログラフィー法を用いて電子顕微鏡内で電流パルス印加前後の NiFe 細線の磁区構造をその場観察した結果を報告している[31, 32]。その結果、パルス電流の方向に対して、同方向、逆方向のいずれにも磁壁が動く様子や、磁壁がない状態の細線に電流パルスを印加することで磁壁が生成される現象や、逆に磁壁のある細線に電流パルスを印加することで磁壁が消滅する現象などが観察されている。またこれらの現象は確率的に出現する

ことが指摘されている。

また Meier らは磁気透過 X 線顕微鏡 (Magnetic transmission X-ray microscopy) を用いて NiFe 細線での電流パルス印加前後の磁区構造をその場観察した結果を報告している[33]。その結果、複数回電流パルスを入れたときに、効率よく磁壁が動く場合とまったく動かない場合があることを観測している。彼らはその原因として、電流誘起磁壁移動の場合にも磁場誘起の場合と同じくピンサイトからピンサイトへと熱励起によってバルクハウゼン (Barkhausen) タイプの磁壁移動を示すモデルを提唱している。そして、磁壁移動の確率的な振る舞いは、細線内のローカルなピニングサイトの分布に起因しているものと結論している。

この他 Yang らは磁気光学カー効果 (Magneto-Optic Kerr Effect: MOKE) 顕微鏡法を用いて[34]、Moore らは X 線磁気円二色性 (X-ray magnetic circular dichroism: XMCD) 顕微鏡法を用いて[35]電流誘起磁壁移動をその場観察を行い、電流パルスに対する磁壁の振る舞いの再現性は低く、非常に確率的に振る舞う様子を観測している。

このように、いくつかのグループが実施した観察的な手法による研究によって、電流誘起磁壁移動が実際には確率的な現象であることが指摘された。その原因として彼らは磁性細線に電流パルスを導入した際に発生するジュール熱による熱励起の影響を指摘している。電流によって磁壁移動を誘起するためには比較的大きな電流が必要となるが、この大きな電流がジュール熱を発生させ、結果として制御性を低くしていると考えられることができる。ところで電流誘起磁壁移動を MRAM などのデバイスに応用する場合には、確率的な振る舞いは許されない。このことから電流誘起磁壁移動の効率を劇的に上げない限り、デバイスへの応用は難しいということができる。

3.2.7 実験的な報告 (垂直磁気異方性材料の初期の検討)

第 4 章以降では垂直磁気異方性材料における電流誘起磁壁移動が大きなテーマとなる。そこで 3.2 節の最後に、本研究がスタートした時点での垂直磁気異方性材料における電流誘起磁壁移動の実験的な報告例について紹介する。

Yamanouchi らは強磁性半導体である (Ga,Mn)As を用いて電流誘起磁壁移動の実験を行い、断熱近似を用いた理論と非常に良く一致した結果が得られることを報告している[36-38]。III-V 系化合物半導体である GaAs に Mn を添加したとき、Ga サイトが Mn によって置換され、液体窒素温度において強磁性的な性質を示すことが知られている[39]。(Ga,Mn)As の磁気異方性の容易軸は結晶に加えられる応力によって面内方向にも垂直方向にも向けることができるが、Yamanouchi らの実験では垂直磁気異方性になる領域が用いられている。幅は 20 μm 、膜厚は 17-18 nm の (Ga,Mn)As の細線を用いて、異常ホール効果や MOKE 観察法によって磁壁

移動を評価した結果として、 10^9 A/m^2 のオーダーでの電流密度における電流誘起磁壁移動を観測している[36]。これは NiFe で観測された電流密度よりも 2～3 桁小さな電流密度である。また線幅 $5 \mu\text{m}$ 、膜厚は 20 nm の細線で詳細な測定を行った結果、観測された磁壁移動の測定結果はすべて断熱スピン移行トルクによって誘起される磁壁移動の理論[9-13]によって完全に説明ができることを報告している[37]。なお、(Ga,Mn)As における非常に小さな電流密度での磁壁移動は、材料の持つ小さな飽和磁化 M_s と比較的大きなスピン分極率 P に起因することが計算から導かれる。詳細は 4.5.2 で述べる。ただし (Ga,Mn)As のキュリー温度 T_c は 110 K 程度と非常に低く、実際にこの実験は 100 K 程度の低温において行われている。従ってこの (Ga,Mn)As における電流誘起磁壁移動は室温動作が必要なデバイスには適用できない。

一方 Ravelosona らは Co/Ni 積層膜と Co/Pt 積層膜からなる GMR 積層構成において電流誘起磁壁移動の実験を行っている[40, 41]。異常ホール効果を用いて DC 電流に対する磁壁移動の振る舞いを測定した結果、磁壁は数秒～数 1000 秒の時間スケールで確率的に動く様子が観測された。このときの電流密度は 10^{10} A/m^2 台であり、またしきい磁場が小さいほどしきい電流密度も小さくなることが報告されている[40]。その後、GMR 効果を用いた測定から、上記の確率的な磁壁の振る舞いは、ローカルなピニングサイト間を熱励起によって起こるクリープ現象に起因していることがわかったことから[41]、断熱スピン移行トルクによる磁壁駆動とは別物であるものと考えられる。

本研究を始めた時点での垂直磁気異方性材料を使った電流誘起磁壁移動の実験は上記の 2 グループによるもののみであり、一方は極低温での強磁性半導体での理論と非常に良く一致した実験であり、他方は室温でのメタル強磁性体での確率的な振る舞いを示す実験結果であった。また面内磁気異方性材料と垂直磁気異方性材料が電流誘起磁壁移動にどのような違いを生むかは理論的には明らかになっていなかった。

3.3 電流誘起磁壁移動を利用したデバイスと、応用に向けた課題

本節では、電流誘起磁壁移動を利用したデバイスとして提案されていたもの、及びそれらを実際に応用に結び付ける上での課題について述べる。

電流誘起磁壁移動を利用したデバイスとして最初に提案されたのは、IBM の Parkin によるレーストラックメモリである[42, 43]。提案されているレーストラックメモリの模式図を図 3-6 に示す。レーストラックメモリは複数の強磁性細線を有し、細線に沿って形成される多数の磁区内の磁化の方向で情報が記憶される。情報の記憶には別途設けられた配線や磁性素子におけるエルステッド磁場やスピン注入、電流誘

起磁壁移動などを用いて行われる (図 D)。情報の読み出しには別途設けられた MTJ における TMR 効果が利用される (図 C)。そして各ビットへのアクセスは細線に沿って電流を流すことで磁区と磁区の境界の磁壁をシフトさせることにより行う。つまり各ビットへのアクセスの際に電流誘起磁壁移動が使われる。ハードディスクドライブではビットにアクセスする際にディスクを物理的に回転させるが、レーストラックメモリでは物理的な移動は伴わないので、DRAM レベルの高速でのアクセスが可能となる。また図のように 3 次元的に積層することでハードディスクドライブ並みの容量が実現されることが試算されている。

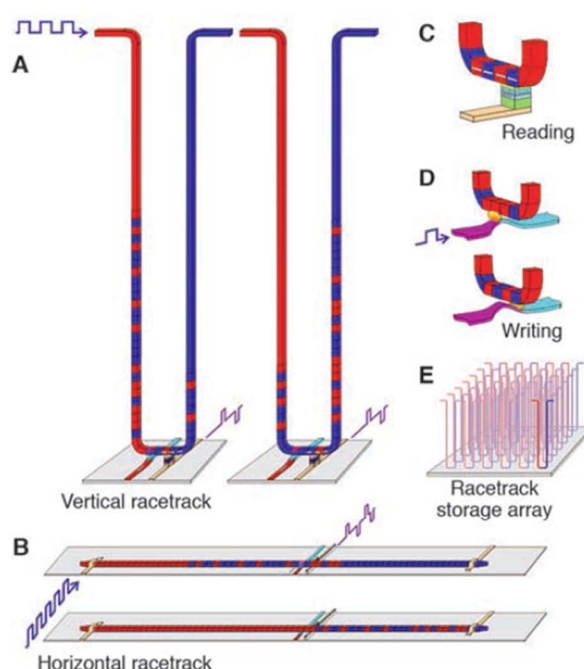


図3-6: Parkin によって提案されたレーストラックメモリの構造の模式図[43]

また電流誘起磁壁移動を利用した MRAM も Sato[44]、Ohno[45]、Grollier[46]、Numata[47]らによって提案されている。Sato らの提案した MRAM の構造を図 3-7 に示す。この MRAM は磁化自由層とトンネル絶縁層と磁化固定層を有する。磁化自由層は 2 つの磁化固定層とその間に配置された 1 つの接合部を有し、二つの磁化固定層の間で電流誘起磁壁移動を利用することにより書き込みが行われる。読み出しは上記 3 層からなる MTJ における TMR 効果を利用する。また Sato らの提案した MRAM においては磁壁のピンングサイトとしてくびれ部が設けられる。Ohno、

Grollier らが提案した MRAM も概ね Sato らが提案した構造と同一である。ここで Sato らが提案した構造では、新たな層を設けるなどして二つの磁化固定群の磁化を反平行方向に固定して単一の磁壁を導入する必要があるが、実際の製造プロセスにおいてこのような反平行方向への磁化固定は容易ではない。

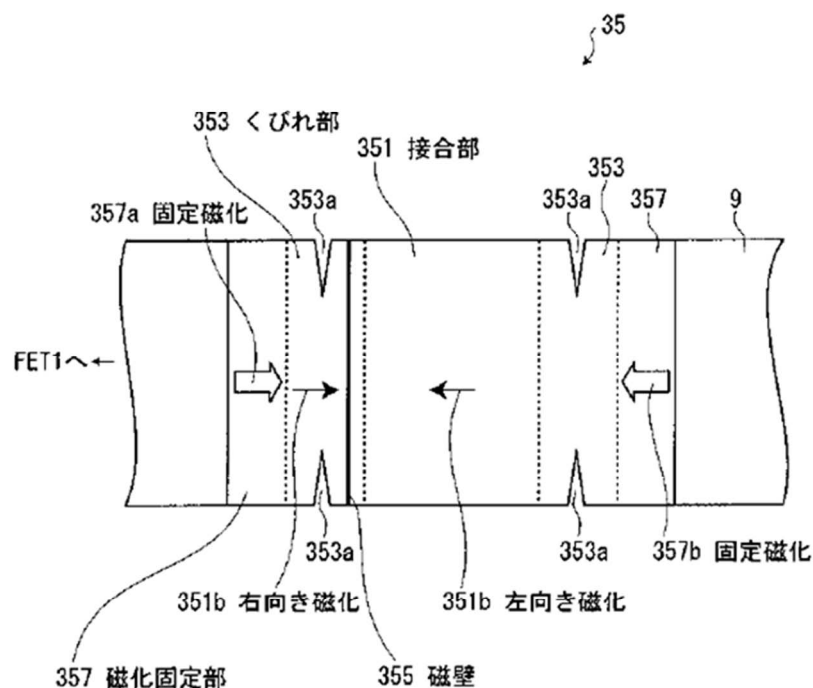


図3-7: Sato らの提案した電流誘起磁壁移動を利用した MRAM の構造の模式図[44]

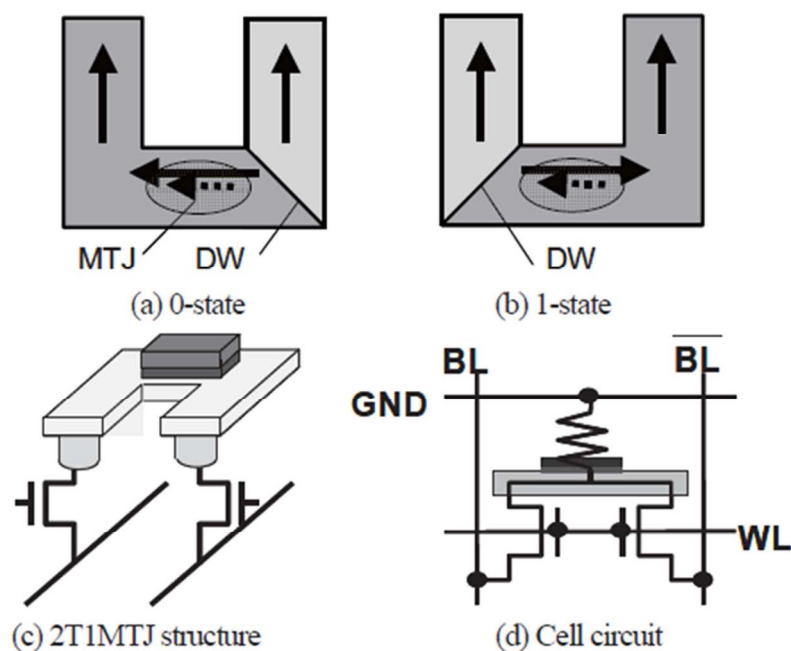


図3-8: Numata らの提案した電流誘起磁壁移動 MRAM[48]。

一方で NEC の Numata らが提案した MRAM ではこの磁化固定の問題を解決される。Numata らが提案した MRAM の構造を図 3-8 に示す。この MRAM は磁化自由層が凹字型の構造を有すること特徴とする。磁化自由層が凹字型をしていることにより、特別な層を設けることなく単一の磁壁を容易に導入することが可能となる。なお、電流誘起磁壁移動を利用して書き込みを行い、TMR 効果を利用して読み出しを行う点では Sato らの提案した MRAM と共通している。NEC では Numata らが提案した MRAM を実際に試作し、その動作実証を行っている[48]。その結果「0」⇔「1」の書き換えが可能であることが実証され、さらに書き込み電流が素子寸法に対してスケールリングすることも確認された。しかし書き込み電流の絶対値は図 3-9 に示されるように数 mA 程度となり、図 2-5 で示した MRAM 実用化の目安である 0.2 mA には程遠いことが分かった。このことから電流誘起磁壁移動を利用した MRAM を商用化するためには、書き込み電流を大幅に低減できるアイデアが必要であるという結論が得られた。

この他、Allwood、Zhao らは電流誘起磁壁移動を利用したロジック素子を提案している（図 3-10）[49, 50]。Allwood は電流誘起磁壁移動と外部磁場を組み合わせることにより、NOT 演算や AND 演算が可能となる構造を提案し、実験で実証している[49]。

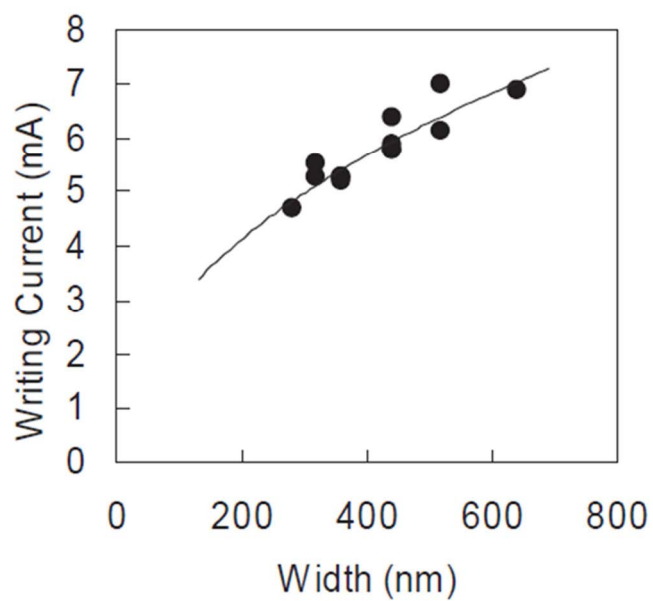


図3-9: 凹字型磁壁移動 MRAM 素子の書き込み電流と磁性細線幅の測定結果[48]

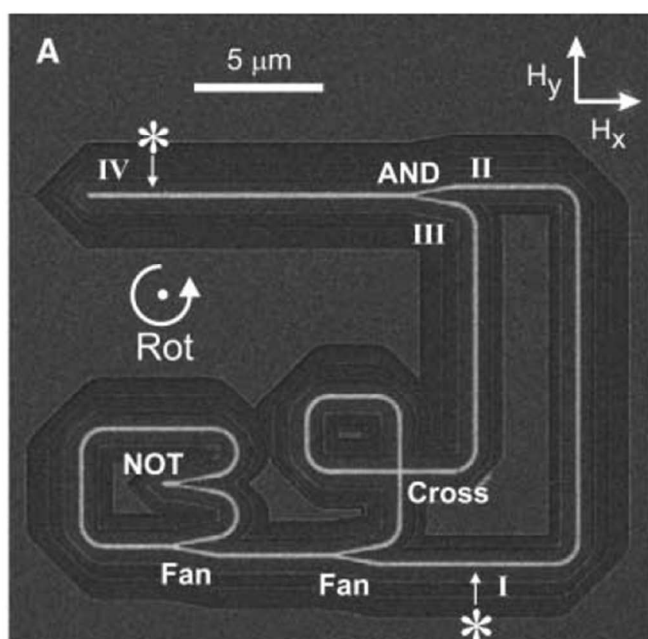


図3-10: Allwood らの提案した電流誘起磁壁移動を利用したロジック回路[49]

第3章の参考文献

- [1] L. Berger: J. Appl. Phys., **55**, 1954 (1984).
- [2] H. Koo, C. Krafft, and R. D. Gomez: Appl. Phys. Lett., **81**, 862 (2002).
- [3] J. Grollier, D. Lacour, V. Cros, A. Hamzic, A. Vaurès, A. Fert, D. Adam, G. Faini: J. Appl. Phys., **92**, 4825 (2002).
- [4] J. Grollier, P. Boulenc, V. Cros, A. Hamzic, A. Vaurès, A. Fert, and G. Faini: Appl. Phys. Lett., **83**, 509 (2003).
- [5] A. Yamaguchi, T. Ono, S. Nasu, K. Miyake, K. Mibu, and T. Shinjo: Phys. Rev. Lett., **92**, 077205 (2004).
- [6] N. Vernier, D. A. Allwood, D. Atkinson, M. D. Cooke, and R. P. Cowburn: Europhys. Lett., **65**, 526 (2004).
- [7] M. Kläui, P.-O. Jubert, R. Allenspach, A. Bischof, J. A. C. Bland, G. Faini, U. Rüdiger, C. A. F. Vaz, L. Vila, and C. Vouille: Phys. Rev. Lett., **95**, 026601 (2005).
- [8] M. Yamanouchi, D. Chiba, F. Matsukura, and H. Ohno: Nature, **428**, 539 (2004).
- [9] X. Waintal and M. Viret: Europhys. Lett., **65**, 427 (2004).
- [10] G. Tatara and H. Kohno: Phys. Rev. Lett., **92**, 086601 (2004).
- [11] Z. Li and S. Zhang: Phys. Rev. Lett., **92**, 207203 (2004).
- [12] A. Thiaville, Y. Nakatani, J. Miltat, and N. Vernier: J. Appl. Phys., **95**, 7049 (2004).
- [13] S. E. Barnes and S. Maekawa: Phys. Rev. Lett., **95**, 107204 (2005).
- [14] L. Thomas, M. Hayashi, X. Jiang, R. Moriya, C. Rettner, and S. S. P. Parkin: Nature, **443**, 197 (2006).
- [15] N. L. Schryer and L. R. Walker: J. Appl. Phys., **45**, 5406 (1974).
- [16] Y. Nakatani, A. Thiaville, and J. Miltat: Nature Mater., **2**, 521 (2003).
- [17] G. S. D. Beach, C. Nistor, C. Knutson, M. Tsoi, and J. L. Erskine: Nature Mater., **4**, 741 (2005).
- [18] S. Zhang and Z. Li: Phys. Rev. Lett., **93**, 127204 (2004).
- [19] A. Thiaville, Y. Nakatani, J. Miltat, and Y. Suzuki: Europhys. Lett., **69**, 990 (2005).
- [20] G. Tatara, T. Takayama, H. Kohno, J. Shibata, Y. Nakatani, and H. Fukuyama: J. Phys. Soc. Jpn., **75**, 064708 (2006).
- [21] A. Yamaguchi, S. Nasu, H. Tanigawa, T. Ono, K. Miyake, K. Mibu, T. Shinjo: Appl. Phys. Lett., **86**, 012511 (2005).
- [22] A. Yamaguchi, K. Yano, H. Tanigawa, S. Kasai, and T. Ono: Jpn. J. Appl. Phys., **45**, 3850 (2006).
- [23] M. Hayashi, L. Thomas, Ya. B. Bazaliy, C. Rettner, R. Moriya, X. Jiang, and S. S. P. Parkin: Phys. Rev. Lett., **96**, 197207 (2006).

- [24] L. Thomas, M. Hayashi, X. Jiang, R. Moriya, C. Rettner, and S. S. P. Parkin: *Nature*, **443**, 197 (2006).
- [25] M. Hayashi, L. Thomas, C. Rettner, R. Moriya, X. Jiang, and S. S. P. Parkin: *Phys. Rev. Lett.*, **97**, 207205 (2006).
- [26] M. Hayashi, L. Thomas, C. Rettner, R. Moriya, Ya. B. Bazaliy, and S. S. P. Parkin: *Phys. Rev. Lett.*, **98**, 037204 (2007).
- [27] L. Thomas, M. Hayashi, X. Jiang, R. Moriya, C. Rettner, and S. S. P. Parkin: *Science*, **315**, 1553 (2007).
- [28] M. Hayashi, L. Thomas, R. Moriya, C. Rettner, and S. S. P. Parkin: *Science*, **320**, 209 (2008).
- [29] L. Thomas, R. Moriya, C. Rettner, and S. S. P. Parkin: *Science*, **330**, 1810 (2010).
- [30] M. Kläui, M. Laufenberg, L. Heyne, D. Backes, U. Rüdiger, C. A. F. Vaz, J. A. C. Bland, L. J. Heyderman, S. Cherifi, A. Locatelli, T. O. Montes, and L. Aballe: *Appl. Phys. Lett.* **88**, 232507 (2006).
- [31] Y. Togawa, T. Kimura, K. Harada, T. Akashi, T. Matsuda, A. Tonomura, and Y. Otani, *Jpn. J. Appl. Phys., Part 2*, **45**, L683 (2006).
- [32] Y. Togawa, T. Kimura, K. Harada, T. Akashi, T. Matsuda, A. Tonomura, and Y. Otani: *Jpn. J. Appl. Phys.*, **45**, L1322 (2006).
- [33] G. Meier, M. Bolte, R. Eiselt, B. Krüger, D.-H. Kim, and P. Fischer: *Phys. Rev. Lett.* **98**, 187202 (2007).
- [34] S. Yang and J. L. Erskine: *Phys. Rev. B*, **75**, 220403(R) (2007).
- [35] T. A. Moore, M. Kläui, L. Heyne, P. Möhrke, D. Backes, J. Rhensius, U. Rüdiger, L. J. Heyderman, T. O. Montes, M. Á. Ninõ, A. Locatelli, A. Potenza, H. Marchetto, S. Cavill d, S. S. Dhesi: *J. Magn. Magn. Mater.*, **322**, 1347 (2010).
- [36] M. Yamanouchi, D. Chiba, F. Matsukura, and H. Ohno: *Nature*, **428**, 539 (2004).
- [37] M. Yamanouchi, D. Chiba, F. Matsukura, T. Dietl, and H. Ohno: *Phys. Rev. Lett.*, **96**, 096601 (2006).
- [38] M. Yamanouchi, J. Ieda, F. Matsukura, S. E. Barnes, S. Maekawa, and H. Ohno: *Science*, **317**, 1726 (2007).
- [39] H. Ohno: *Science*, **281**, 951 (1998).
- [40] D. Ravelosona, S. Mangin, J. A. Katine, Eric E. Fullerton, and B. D. Terris: *Appl. Phys. Lett.*, **90**, 072508 (2007).
- [41] C. Burrowes, D. Ravelosona, C. Chappert, S. Mangin, Eric E. Fullerton, J. A. Katine, and B. D. Terris: *Appl. Phys. Lett.*, **93**, 172513 (2008).
- [42] S. S. P. Parkin, U.S. Patent No. 6834005.
- [43] S. S. P. Parkin, M. Hayashi, and L. Thomas: *Science*, **320**, 190 (2008).

- [44] 佐藤利江、水島公一：公開特許公報、特開 2005-191032.
- [45] 大野英夫、松倉文礼、千葉大地、山ノ内路彦：PCT 国際公開公報、WO2005/069368.
- [46] J. Grollier, M. Munoz Sanchez, A. Fert, F. Nguyen van Dau: PCT 国際公開公報、WO2006/064022.
- [47] 沼田秀明、大嶋則和、鈴木哲広、杉林直彦、石綿延行、深見俊輔：PCT 国際公開公報、WO2007/020823.
- [48] H. Numata, T. Suzuki, N. Ohshima, S. Fukami, K. Nagahara, N. Ishiwata, and N. Kasai: 2007 Symp. on VLSI Tech, Dig. Tech. Pap. p. 232 (2007).
- [49] D. A. Allwood, G. Xiong, C. C. Faulkner, D. Atkinson, D. Petit, and R. P. Cowburn: Science, **309**, 1688 (2005).
- [50] W. S. Zhao, J. Duval, D. Ravelosona, J.-O. Klein, J. V. Kim, and C. Chappert: J. Appl. Phys., **109**, 07D501 (2011).

第4章 計算による垂直磁気異方性材料での電流誘起磁壁移動の検討

本章では電流誘起磁壁移動の数値計算、解析計算を面内磁気異方性材料と垂直磁気異方性材料のそれぞれに対して行った結果を示す[1-4]。ここに述べる計算によって、これまで電流誘起磁壁移動の実験で主に用いられていた NiFe のような面内磁気異方性材料に比べて垂直磁気異方性材料を用いた方がより効率的な磁壁移動を実現できることが理論的に導かれ、実験の方針の転換点となった。

本章でははじめに本研究で用いた計算方法について述べた後、面内磁気異方性材料と垂直磁気異方性材料での電流誘起磁壁移動の計算結果を示し、その違いの要因について考察する[1]。次にピンサイトがある系での電流誘起磁壁移動を面内磁気異方性材料と垂直磁気異方性材料で比較した結果[1-3]や、垂直磁気異方性材料からなる細線における材料定数や細線構造パラメーターと磁壁移動のしきい電流密度の関係に関する計算結果[4]についても記す。

4.1 計算方法

はじめに本研究で用いた電流誘起磁壁移動の計算方法について説明する。本研究では第3章で述べたスピン移行トルクの効果を取り込んだ LLG 方程式を用いてマイクロマグネティックシミュレーション計算、及び解析計算を行った。具体的には、シミュレーションを行う際には(3-15)式を用い、また断熱スピン移行トルクで磁壁を駆動した場合のしきい電流密度を解析的に計算する際には(3-12)式を用いた。

シミュレーターには米国 NIST がソースコードを公開している2次元マイクロマグネティックシミュレーションプログラムである OOMMF[5]を用いた。ただし OOMMF では(3-15)式右辺の第3、4項は組み込まれていないので、第3、4項を付け加えた形にプログラムを書き換えて計算を行った。

シミュレーションを行う際の具体的な計算の手順は以下の通りである。まず古典的な LLG 方程式である(3-1)式を用いてある初期磁化状態から無磁場、無電流の状態で緩和していくことで安定な磁壁を細線内に形成する。次にこの磁壁が導入された細線に磁場や電流を導入し、(3-15)式を時間発展的に解くことで磁壁の構造や位置の時間変化を計算した。

次に計算に用いた材料や細線構造のパラメーターについて記す。シミュレーション計算で用いた材料定数を表4-1に示す。面内磁気異方性(In-plane Magnetic Anisotropy: IMA)材料としては NiFe を想定して行った。また垂直磁気異方性(Perpendicular Magnetic Anisotropy: PMA)材料としては Co 系の合金材料を想定して行った。次にシミュレーション計算で用いた細線の構造に関するパラメーターを表4-2に示す。線幅と膜厚については表4-2に示した値を中心として、その前後

の値についても計算を行った。また細線長の 4000 nm という値は、この値であれば細線が有限長であることによる端部の影響などが磁壁移動に及ぼす影響は十分に小さくなることを事前に確認した上で設定した長さである。グリッドサイズの 4 nm という値についても同様に、この値以下であれば得られる結果に差はないことを事前に確認した。なお、 z 方向にはセルは分割しておらず、膜厚方向は1つのグリッドで計算を行った。また、本研究では電流パルスの立ち上がり時間や立ち下がり時間については考慮せず、定常的な電流を仮定した。すなわち、ある時間において立ち上がり時間 0 で電流が立ち上がり、その後定常的に流れるというような条件下での磁壁移動を解析した。

表4-1: 計算に用いた材料の材料定数

Parameter	Unit	IMA	PMA
Saturation magnetization, M_s	emu/cc	800	600
Anisotropy constant, K_u	erg/cc	0	4×10^6
Exchange stiffness constant, A	$\mu\text{erg/cm}$	1	1.2
Damping constant, α	—	0.02	0.02
Non-adiabatic constant, β	—	0 or 0.04	0 or 0.04

表4-2: 計算に用いた細線の構造パラメーター

Parameter	Unit	Value
Width, w	nm	120
Length, ℓ	nm	4000
Thickness, t	nm	5
Grid size, d	nm	4

4.2 電流誘起磁壁移動の計算結果：面内磁気異方性と垂直磁気異方性の比較

ここでは面内磁気異方性材料と垂直磁気異方性材料のそれぞれについて電流誘起磁壁移動のシミュレーション計算を行った結果を示す。なお、ここではピンニング機構の一切ない細線（Perfect wire）での計算結果について述べ、ピンサイトがある系での計算結果については 4.4 節で述べる。4.2 節でははじめに膜厚が 5 nm の細線での

磁壁移動の計算結果を詳細述べ、その後面内磁気異方性細線、垂直磁気異方性細線のそれぞれについて磁壁移動のしきい電流密度の膜厚依存性についての計算結果について述べる。

4.2.1 シミュレーション計算結果

● 面内磁気異方性細線

($\beta = 0$ の場合)

はじめに図4-1に膜厚が5 nm、 β が0、つまり断熱近似の下での面内磁気異方性細線にスピン偏極電流速度 $u = 600$ m/s が導入されたときの、磁区構造の時間的な変化の計算結果を示す。なお、電流の方向は図中の右から左、従って伝導電子の方向は図中の左から右へ流れている。(この電流方向は、これ以降の図で全て共通である。) 図を見ると、電流が導入されたとき、磁壁は最初の位置から伝導電子の流れの方向に動き出すものの、時間の変化と共にその速度は減衰し、やがて停止していることがわかる。



図4-1: 面内磁気異方性細線 ($t = 5$ nm、 $\beta = 0$) の電流 ($u = 600$ m/s) による磁壁移動の計算結果。(a) 0 ns., (b) 0.5 ns., (c) 1.0 ns., (d) 1.5 ns., (e) 2.0 ns. での磁化状態。赤い領域は右方向、青い領域は左方向に磁化しており、白い領域は x 方向(紙面方向)の磁化成分を持たないことを意味する。(この色の塗り分けは図4-2、図4-5でも共通である。)

次に図4-2には図4-1と同じ系でスピン偏極電流速度を $u = 1000$ m/s としたときの、磁区構造の時間的な変化の計算結果を示す。図4-2は図4-1とは異なり、磁壁は停止することなく動き続けることがわかる。また図4-2を注意深く見ると、磁壁の構造が初期の Transverse 構造から Vortex の core をもつ複雑な構造となっていることがわかる。これは 3.2.3 節で述べた Walker breakdown が電流によって引き起こされたことを意味している。

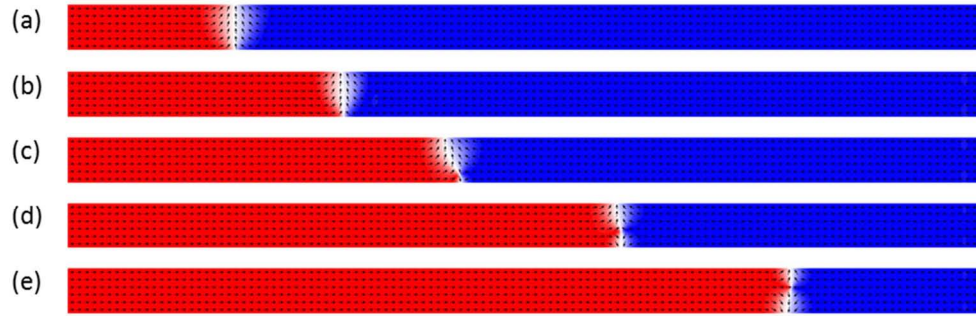


図4-2: 面内磁気異方性細線 ($t = 5 \text{ nm}$) の電流 ($u = 1000 \text{ m/s}$, $\beta = 0$) による磁壁移動の計算結果。(a) 0 ns., (b) 0.5 ns., (c) 1.0 ns., (d) 1.5 ns., (e) 2.0 ns.での磁化状態。

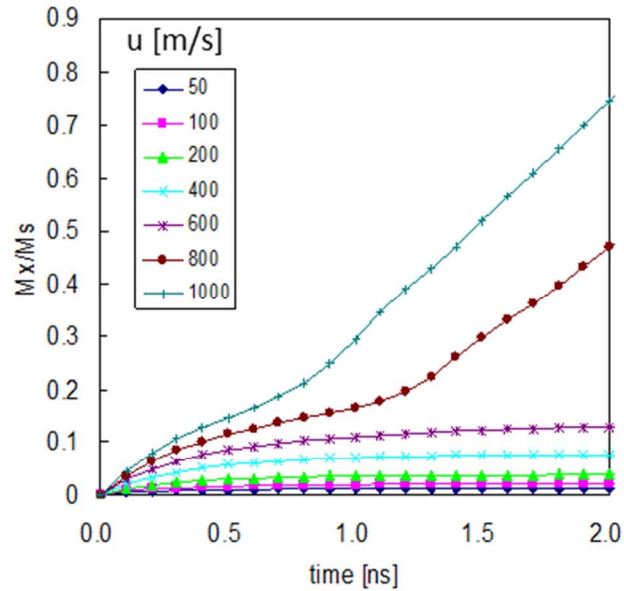


図4-3: 面内磁気異方性細線における磁壁位置の時間的な変化、及びそのスピン偏極電流速度 u 依存性 ($\beta = 0$ の場合)。縦軸の M_x/M_s は磁壁の位置と等価であり、初期位置は $M_x/M_s = 0$ 。

図4-3には異なる電流密度における磁壁位置の時間的な変化を示す。図4-3では横軸が時間、縦軸は M_x/M_s として描かれている。今の場合、縦軸の M_x/M_s は磁壁の位置を表し、初期条件において $M_x/M_s = 0$ であり、細線の端部（初期位置から 2000 nm ）まで磁壁が移動したときに $M_x/M_s = 1$ となる。図4-3を見ると、スピン偏極電流速度 u が 600 m/s 以下のときは、磁壁は動き続けることがで

きずにある距離を動いたのちに停止するのに対して、 u が 800 m/s 以上のときには磁壁は途中で停止することなく動き続けることができ、さらにある時間を境にして速度が変化していることがわかる。より細かく電流密度を変えて計算を実行したところ、膜厚が 5 nm のときには電流密度 u が 620 m/s 以上のときに磁壁は停止することなく動き続けることがわかった。

磁壁が動き続けられるかどうかは上述の Walker breakdown が起こるかどうかで決まる。その様子を図 4-4 に示す。図 4-4 では $u = 400$ m/s (磁壁が停止する場合) と $u = 1000$ m/s (磁壁が動き続けられる場合) のそれぞれにおける、 M_x/M_s と M_z/M_s の時間変化が示されている。ここで M_x/M_s は前述のように磁壁の位置に対応し、一方 M_z/M_s は磁壁内部の磁化の膜面垂直成分、すなわち膜面長手方向からの立ち上がり角に対応する。なお、磁壁の初期条件は $M_y/M_s > 0$ 、 $M_z/M_s = 0$ 、つまり磁化が y 軸正方向を向く Transverse Wall となるように設定した。図 4-4 を見ると、 $u = 400$ m/s の場合には磁壁は停止するが、このとき磁壁内の磁化 (M_z/M_s) は z 軸の負の方向へと回転し、ある値以上への回転はできていないことがわかる。これに対して $u = 1000$ m/s の場合には、磁壁内の磁化 (M_z/M_s) は $u = 400$ m/s の場合よりも大きく z 軸の負の方向へと回転し、あるところで振動的な振る舞い (Breakdown) をしている様子がよくわかる。さらに、この Breakdown の起こっているタイミングが、磁壁の速度 (M_x/M_s の傾き) が変化するタイミングにおおよそ一致していることもわかる。

以上から $\beta = 0$ の面内磁気異方性細線の電流誘起磁壁移動は以下のようにまとめられる。まず u があるしきい値よりも小さいときには、磁壁内部の磁化は z 軸方向 (膜面垂直方向) への回転が途中で止まり、同時に磁壁移動は停止する。一方で u があるしきい値よりも大きなときには、磁壁内部の磁化に Breakdown が起こり、それによって磁壁は動き続けられる。

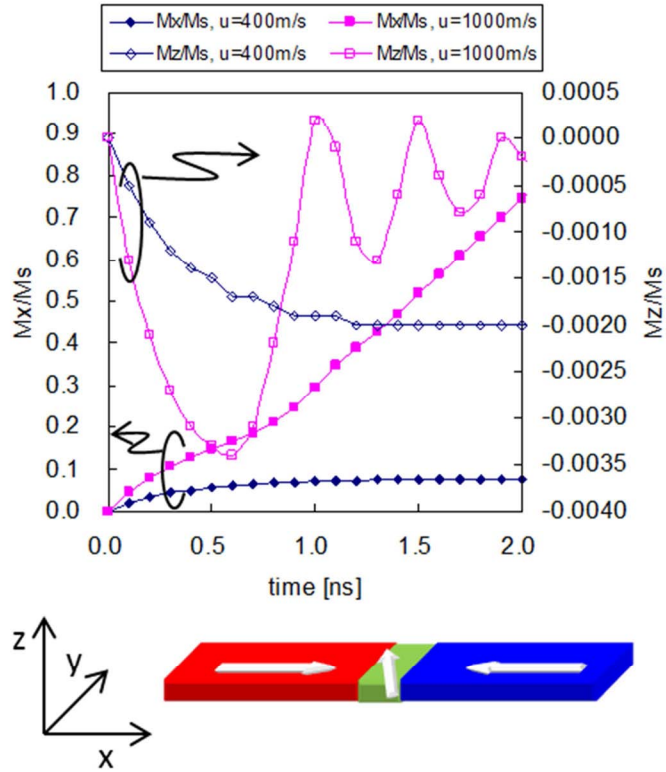


図4-4: 面内磁気異方性細線の $\beta = 0$ のときの電流誘起磁壁移動時の磁壁構造の時間的な変化。縦軸の M_z/M_s は細線内の磁化のz軸方向成分を意味することから、すなわち磁壁内の磁化の膜面からの立ち上がり角と等価である。

(β が有限の場合)

次に β が有限、つまり非断熱効果を取り入れた場合として、 $\beta = 0.04$ のときの面内磁気異方性細線での磁壁移動の計算結果を示す。

図4-5には膜厚が5 nm、 β が0.04の長手磁化膜にスピン偏極電流速度 $u = 600$ m/s が導入されたときの、磁区構造の時間的な変化の計算結果を示す。 β が有限となることで図4-1とは異なり、磁壁は停止することなく、動き続けられることがわかる。

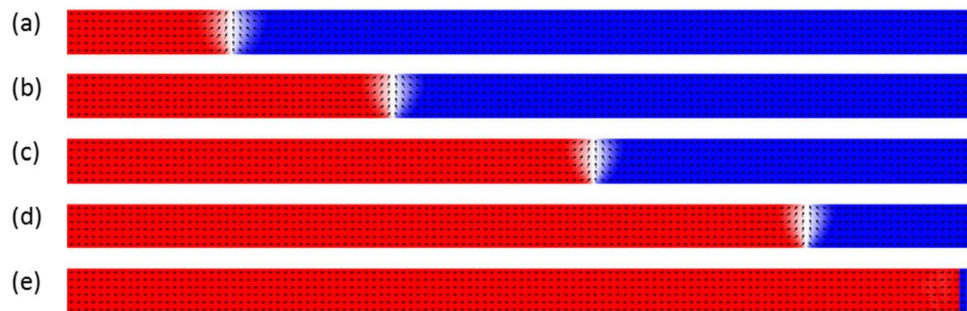


図4-5: 面内磁気異方性細線 ($t = 5 \text{ nm}$) の電流 ($u = 600 \text{ m/s}$, $\beta = 0.04$) による磁壁移動の計算結果。(a) 0 ns., (b) 0.5 ns., (c) 1.0 ns., (d) 1.5 ns., (e) 2.0 ns.での磁化状態。

図4-6には異なる電流密度における磁壁位置の時間的な変化を示す。図4-6は図4-3とは異なり、全てのスピン偏極電流速度において磁壁は停止することなく動き続けていることがわかる。

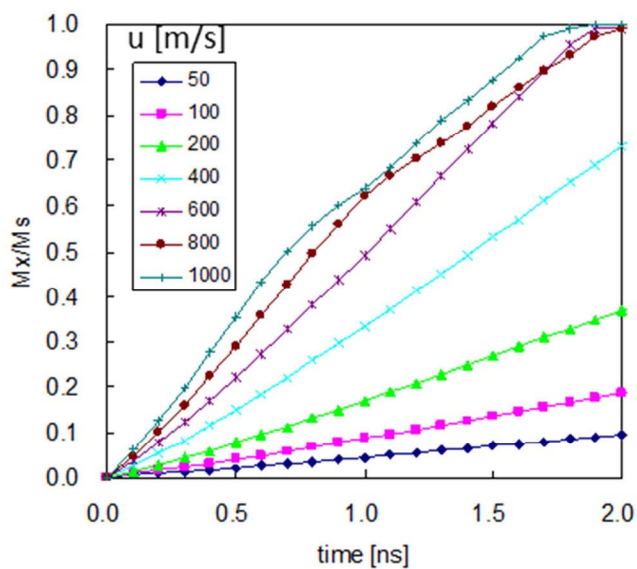


図4-6: 面内磁気異方性細線における磁壁位置の時間的な変化、及びその電流密度依存性 ($\beta = 0.04$ の場合)

また図4-7には $u = 400 \text{ m/s}$ と $u = 1000 \text{ m/s}$ のそれぞれについて、 M_x/M_s と M_z/M_s の時間変化が示されている。図4-7を図4-4と比較すると、 M_z/M_s が図

4-4では負の方向へと変化していたのに対して、図4-7では正の方向へと変化していることに気づく。これは磁壁内部の磁化の回転が z 軸の正の方向($\beta = 0.04$)へ回転するか、負の方向($\beta = 0$)へ回転するかの違いを意味している。磁化の回転方向が β の大きさで異なるのは3.2.4節で述べた通りである。また図4-7からは $u = 1000 \text{ m/s}$ のときには磁壁移動の速度が変化しているが、これは $\beta = 0$ の場合と同様に Walker Breakdown が起こったことと対応していることがわかる。

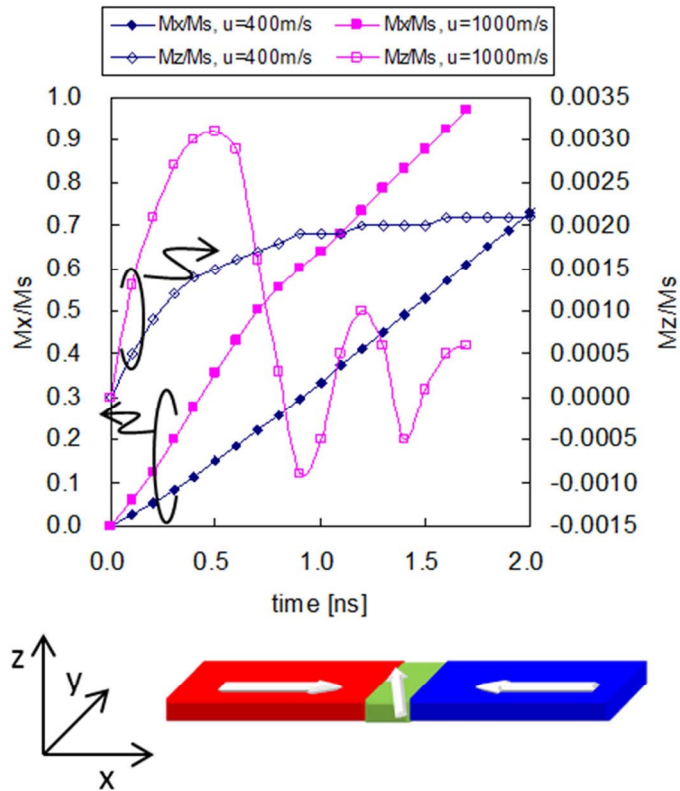


図4-7: 面内磁気異方性細線の $\beta = 0.04$ のときの電流誘起磁壁移動時の磁壁構造の時間的な変化

以上から β が 0.04 のときの面内磁気異方性細線での電流誘起磁壁移動は以下のようにまとめられる。まず $\beta = 0$ の場合とは異なり、電流誘起磁壁移動のしきい電流密度は存在せず、あらゆるスピン偏極電流速度において磁壁移動は可能である。またこのときの磁壁内の磁化の回転方向は $\beta = 0$ の場合とは逆方向となる。

● 垂直磁気異方性細線

次に垂直磁気異方性細線での電流誘起磁壁移動の計算結果を示す。

初めに図4-8に膜厚 5 nm、 $\beta = 0$ の垂直磁気異方性細線のスピン偏極電流速度 $u = 600$ m/s における磁区構造の時間的な変化を示す。図4-1で示したように面内磁気異方性細線の場合には磁壁は移動し続けられずに停止したのに対して、図4-8を見ると磁壁は停止することなく動き続けていることがわかる。

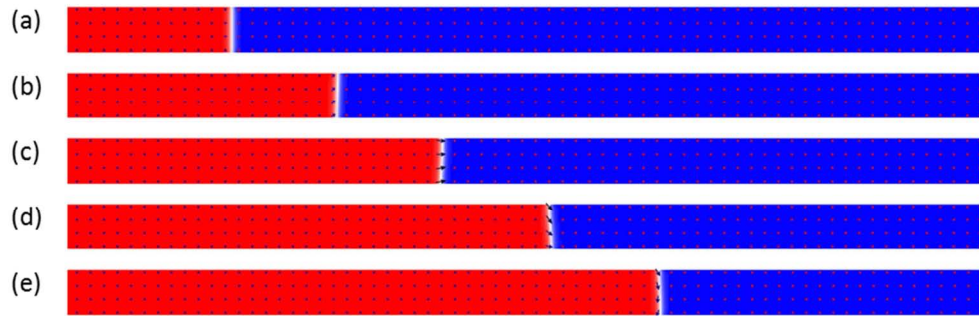


図4-8: 垂直磁気異方性細線 ($t = 5$ nm) の電流 ($u = 600$ m/s、 $\beta = 0$) による磁壁移動の計算結果。(a) 0 ns., (b) 0.5 ns., (c) 1.0 ns., (d) 1.5 ns., (e) 2.0 ns. での磁化状態。赤い領域は紙面上向き方向、青い領域は紙面下向き方向に磁化しており、白い領域はz方向(紙面方向)の磁化成分を持たないことを意味する。

図4-9には異なるスピン偏極電流速度における磁壁位置の時間的な変化の計算結果を示す。ここで今度の場合は縦軸の M_z/M_s が磁壁の位置に対応し、 $M_z/M_s = 0$ が初期位置、 $M_z/M_s = 1$ が細線の端部(初期位置から 2000 nm)に相当する。図から明らかなように、面内磁気異方性細線とは異なり垂直磁気異方性細線では $\beta = 0$ においても小さなスピン偏極電流速度において磁壁は動き続けられることがわかる。なお、この計算で用いた膜厚 5 nm の場合には $u = 40$ m/s 以下では磁壁は動き続けることができずに停止することがわかった。このように、垂直磁気異方性細線におけるスピン偏極電流速度のしきい値は面内磁気異方性細線のしきい値(620 m/s)に比べると一桁以上小さな値である。

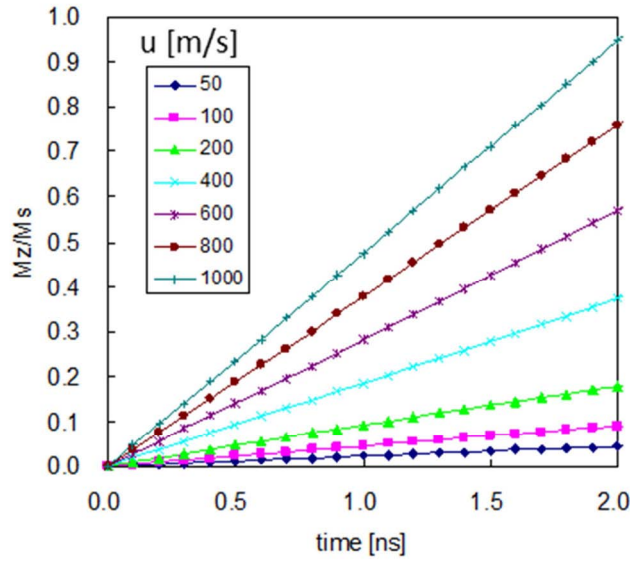


図4-9: 垂直磁気異方性細線における磁壁位置の時間的な変化、及びその電流密度依存性($\beta = 0$ の場合)。縦軸の M_z/M_s は磁壁の位置と等価であり、初期位置は $M_z/M_s = 0$ 。

次に図4-10には電流誘起磁壁移動時の磁壁内部の磁化 (M_x/M_s , M_y/M_s) の時間的な変化を示す。ここで磁壁の初期条件は、 $M_x/M_s=0$, $M_y/M_s>0$ 、すなわち磁壁内の磁化が y 軸正方向を向く Bloch wall となるように設定した。図4-10を見ると、 $u = 400$ m/s の場合も $u = 1000$ m/s の場合も磁壁内の磁化はほぼ等速回転をしており (M_x/M_s と M_y/M_s が位相の $\pi/2$ ずれた \sin 関数のような変化をしている)、その回転の速度は $u = 1000$ m/s の方がほぼ $1000/400$ 倍速くなっている。また、この回転方向は z 軸の正の方向から見たときに、時計回りとなっていることがわかる。

このような磁壁内の磁化の回転は、面内磁気異方性細線でしきい電流密度以上のときに見られた Walker Breakdown と同一であると見なすことができる。様々なスピン偏極電流速度での磁壁内部の磁化の変化を解析したところ、磁壁が停止することなく動き続ける場合には必ず磁壁内の磁化の回転、すなわち Breakdown が起こることがわかった。そしてこの Breakdown の起こる電流密度が面内磁気異方性細線と比べると極めて小さいことが垂直磁気異方性細線の特徴であると言える。なお、Breakdown 時の磁壁内の磁化は等速回転であると述べたが、スピン偏極電流速度が小さいときには回転速度は時間的に不均一であった。

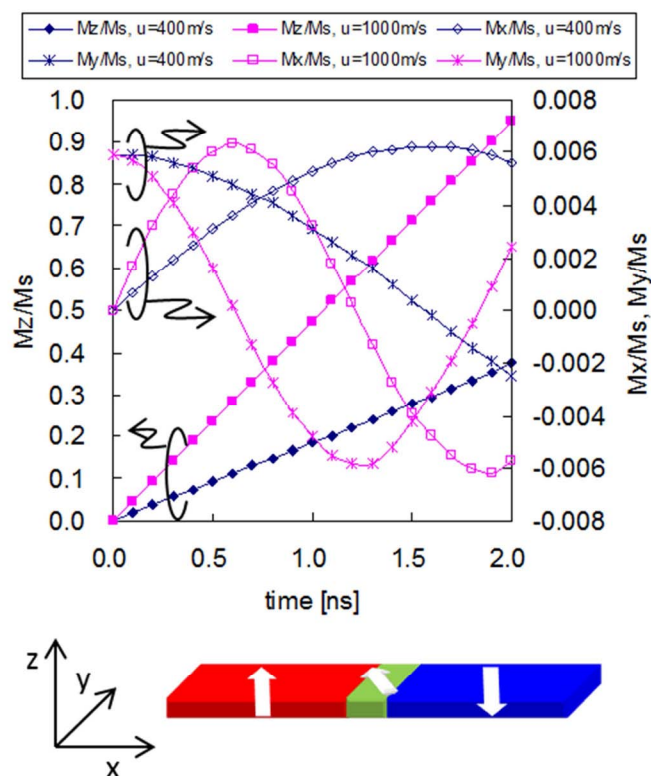


図4-10: 垂直磁気異方性細線の $\beta = 0$ のときの電流誘起磁壁移動時の磁壁構造の時間的な変化。縦軸の M_x/M_s 、 M_y/M_s はそれぞれ細線内の磁化の x 軸方向成分、 y 軸方向成分を意味することから、すなわち磁壁内の磁化の膜面内での回転角と等価である。

次に β が有限の場合の計算結果を示す。なお、図4-8に対応した β が有限の場合の磁区構造の時間的な変化は、 $\beta = 0$ の場合の計算結果である図4-8と一見同様であったので省略する（磁壁内の磁化の回転方向には差異がある。（図4-12参照））。

図4-11には異なるスピン偏極電流速度における磁壁位置の時間的な変化の計算結果を示す。図4-11は図4-9とほとんど同一である。ただし図で示されているよりも低い電流密度においては、図4-9の $\beta = 0$ の場合にはスピン偏極電流速度のしきい値が有限となったのに対して、図4-11の β が有限の場合には有限のしきい値は存在しなかった。

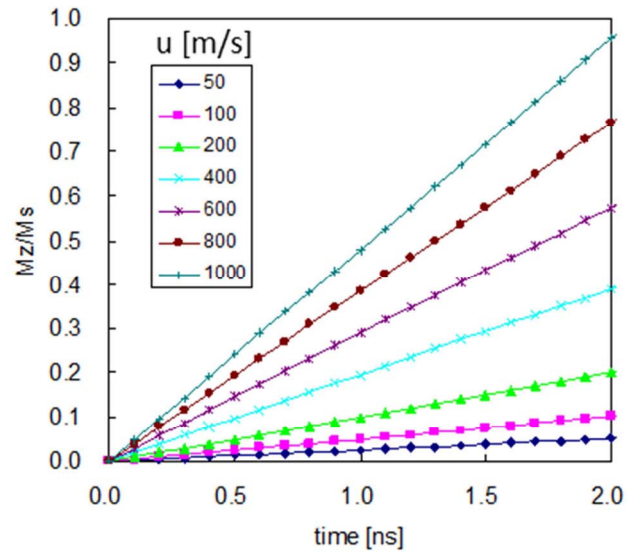


図4-11: 垂直磁気異方性細線における磁壁位置の時間的な変化、及びその電流密度依存性($\beta = 0.04$ の場合)

次に図4-12には $\beta = 0.04$ のときの電流誘起磁壁移動時の磁壁内部の磁化の時間的な変化を示す。まず、図4-12も図4-9と同じく、 $u = 400$ m/s の場合も $u = 1000$ m/s の場合も磁壁内の磁化はほぼ等速回転をしており、その回転速度は $u = 1000$ m/s の方が $u = 400$ m/s に比べて大きいことがわかる。ただし、今回の場合は磁壁内の磁化は z 軸の正の方向から見たときに反時計回りに回転していることがわかる。

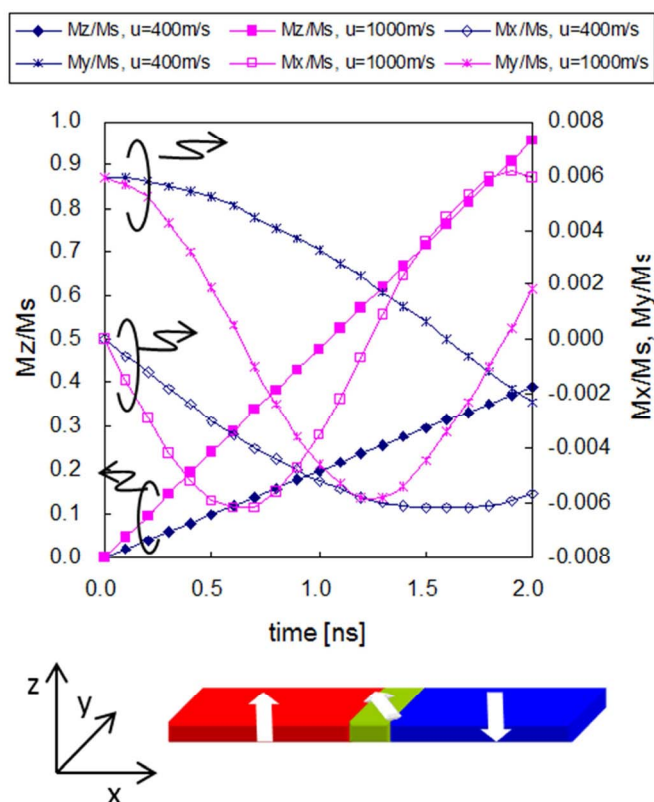


図4-12: 垂直磁気異方性細線の $\beta = 0.04$ のときの電流誘起磁壁移動時の磁壁構造の時間的な変化

以上から、 β が0のときと有限(0.04)のときの垂直磁気異方性細線の電流誘起磁壁移動、及びその面内磁気異方性細線との違いは以下のようにまとめられる。まず、垂直磁気異方性細線の場合 $\beta = 0$ でも面内磁気異方性細線に比べて一桁以上小さなスピン偏極電流速度において恒常的な磁壁移動が可能となる。また、磁壁移動が起こるときには、面内磁気異方性細線と同様に磁壁内部では **Breakdown** が起こる。従って、 $\beta = 0$ の場合に垂直磁気異方性細線で電流誘起磁壁移動のしきい値が小さいことは、**Breakdown** の起こり易さに起因していると言える。また垂直磁気異方性細線で **Breakdown** が起こった場合には、磁壁内の磁化は膜面内(x-y面内)で回転を行う。そして $\beta = 0$ の場合と $\beta = 0.04$ の場合ではこの回転の方向が異なることがわかった。

● まとめ

面内磁気異方性細線と垂直磁気異方性細線のそれぞれに対していくつかの値のスピン偏極電流速度を導入したときの磁壁移動速度の値、及びその β 依存性の計算

結果をまとめたものを図4-13に示す。図4-13 (a) は面内磁気異方性細線での計算結果であるが、図3-5で示した Thiaville らの計算結果をよく再現している。一方、図4-13 (b) は垂直磁気異方性細線での計算結果であるが、定性的には面内磁気異方性細線での計算結果と似通っており、定量的にはスピンの偏極電流速度（横軸）の値に1桁以上の差があり、垂直磁気異方性細線の方が低電流密度領域で変化が起きていることがわかる。これは磁壁移動の定電流ポテンシャルを意味するものであり、応用上非常に重要である。この差が生ずる要因については4.2節で述べる。

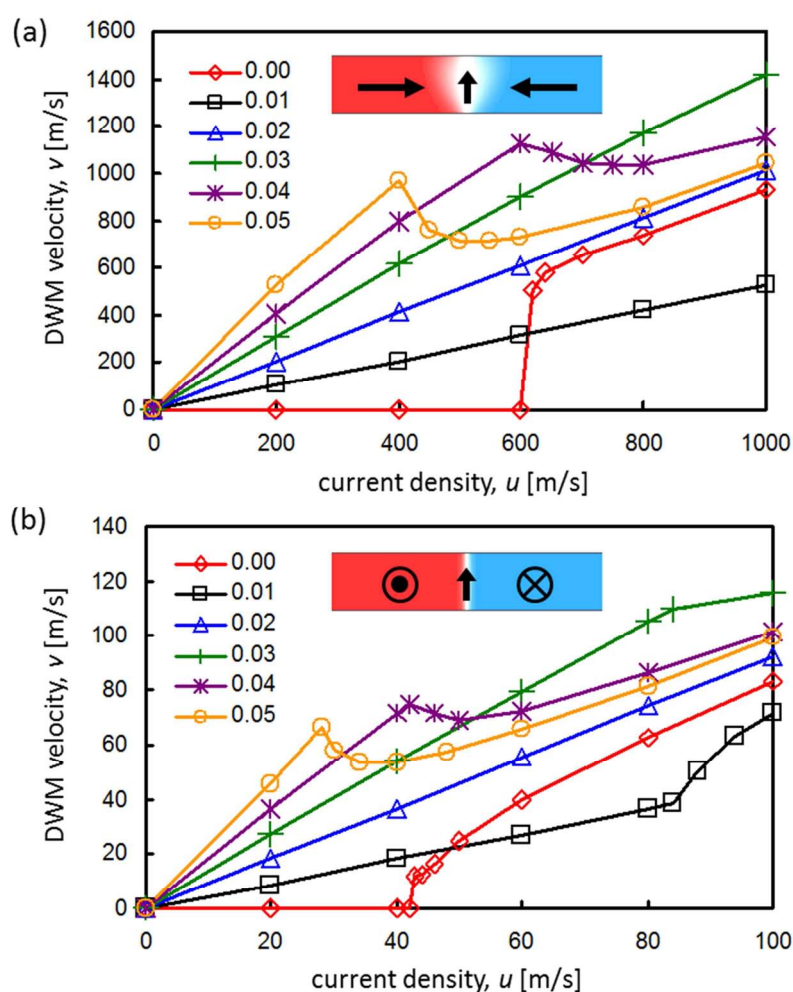


図4-13: 面内磁気異方性細線(a)と垂直磁気異方性細線(b)の磁壁移動速度とスピン偏極電流速度の関係、及びその非断熱スピン移行トルク β 依存性の計算結果。

なお現実的な系で細線に電流を流す場合にはジュール熱による発熱の観点から流すことのできる電流密度は $j = 1 \times 10^{12} [\text{A}/\text{cm}^2]$ 程度であり、これは前述のようにスピン偏極電流速度に換算すると $u = 50 \text{ m/s}$ 程度に相当する。このときには面内磁気異方性細線では β が有限でなければ磁壁移動は起こらず、つまり現実的には面内磁気異方性細線では β が磁壁移動の駆動力となり得る。これに対して、垂直磁気異方性細線では β が 0 の場合でも磁壁移動を起こすことができ、すなわち断熱スピン移行トルク項による磁壁駆動が可能であることが特筆すべき相違点である。

4.2.2 膜厚、線幅依存性の計算結果

4.2.1 では β が 0 の場合と有限の場合での面内磁気異方性細線と垂直磁気異方性細線での磁壁移動の計算結果を示し、 $\beta = 0$ の場合のスピン偏極電流速度のしきい値は面内の場合が 620 m/s 、垂直の場合が 40 m/s となることを述べた。4.2.2 ではこの $\beta = 0$ の場合のスピン偏極電流速度のしきい値の細線膜厚、及び細線幅依存性について計算した結果を述べる。

図4-14は $\beta = 0$ の場合のスピン偏極電流速度のしきい値 u_c の膜厚依存性の計算結果である。まず初めに垂直磁気異方性細線でのしきい値は面内磁気異方性細線と比べて非常に小さいことがここでもわかる。また垂直磁気異方性細線では膜厚の増加に伴いスピン偏極電流速度のしきい値が増大しているのに対して、面内磁気異方性細線では減少していることがわかる。

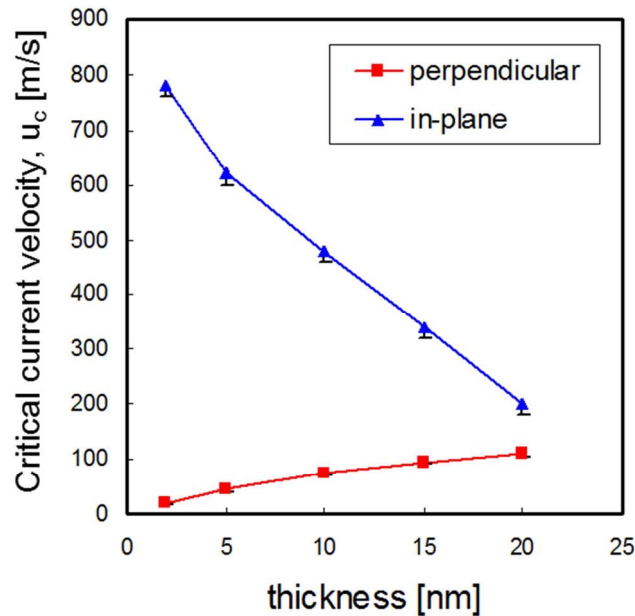


図4-14: 面内磁気異方性細線と垂直磁気異方性細線のスピン偏極電流速度のしきい値の細線膜厚依存性の計算結果

図4-15は垂直磁気異方性細線における $\beta=0$ の場合のスピン偏極電流速度 u_c のしきい値の細線幅依存性の計算結果である。図からわかるように、細線幅が 150 nm 以上の比較的太い領域では u_c の細線幅依存性は小さい。一方で線幅が 100 nm を下回るあたりから、線幅の低減に伴って u_c は急激に減少していることがわかる。なお、図では示されていないが細線幅依存性に関しては面内磁気異方性細線の場合も垂直磁気異方性細線と同じく、線幅の低減により u_c は低減し、また絶対値の点では垂直磁気異方性細線のしきい値 u_c は面内磁気異方性細線に比べて非常に大きいという計算結果が得られた。

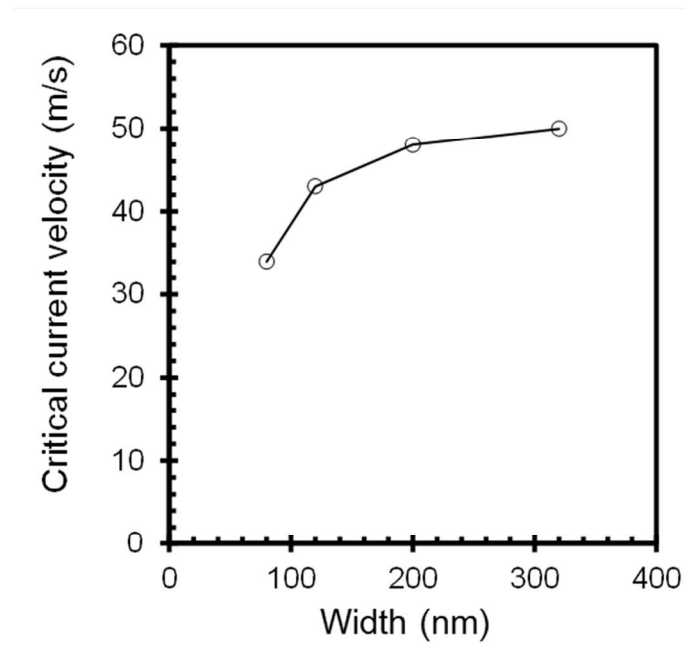


図4-15: 垂直磁気異方性細線のスピン偏極電流速度のしきい値の細線幅依存性の計算結果

ところで図4-14や図4-15で示されている垂直磁気異方性細線におけるスピン偏極電流速度のしきい値の細線膜厚依存性、細線幅依存性は応用上大変好ましいとすることができる。それは、膜厚や線幅を低減したとき、断面積の低減によってしきい電流は自動的にスケールアップするが、それに加えてしきい電流密度まで小さくなるということは、磁壁移動のしきい電流は膜厚、線幅の低減によって断面積の低減以上のスピードで小さくなることになるためである。

4.3 面内磁気異方性細線と垂直磁気異方性細線の違いの要因の考察

4.2 節では面内磁気異方性細線と垂直磁気異方性細線では電流誘起磁壁移動の計算結果は定性的にはよく一致するものの、磁壁移動中の磁化の回転方向やスピン偏極電流速度のしきい値の絶対値、及びその膜厚依存性に大きな違いがあることがわかった。また垂直磁気異方性細線においては、細線膜厚、線幅の低減によりしきい電流密度自体が低減することが分かった。これらは電流誘起磁壁移動をデバイスに適用する上では垂直磁気異方性細線が面内磁気異方性細線に比べて非常に優れていることを意味するものである。本節ではその要因について定性的、定量的に考察する。

4.3.1 定性的な説明

図4-16は面内磁気異方性細線と垂直磁気異方性細線のそれぞれの場合について、磁壁を貫通する方向に伝導電子が流れたときに働く各種トルクによる磁化の回転方向を模式的に表した概念図である。なおこの図では断熱スピン移行トルクでの磁壁移動のしきい値を考えるために β 項の効果は無視している。面内磁気異方性の場合、3.2.3で説明したように(3-9)式の右辺第3項の断熱スピン移行トルクによって磁化は膜面内方向に回転し、第2項のダンピング効果によって磁化は膜面垂直方向に回転する。そして後者によって膜面垂直方向の反磁場が生成され、この磁場が第1項に従って引き起こす磁化回転が第3項の磁壁移動の駆動力となる磁化回転と逆方向となることが磁壁の内因性ピンニングのメカニズムであることを述べた。また3.2.3では第3項の磁壁移動の駆動力は磁壁幅 Δ に反比例し、また第2項の磁壁移動のブレーキとなる膜面垂直方向への回転のしにくさは困難軸異方性磁場 $H_{k\perp}$ に比例することも述べた。磁壁幅が狭ければ駆動力が大きくなり内因性ピンニングに打ち勝つことができ、また困難軸異方性磁場が小さければ困難軸方向への磁壁の磁化の回転が容易となるため上述のブレーキの影響は受けにくくなり、結果として低電流での磁壁駆動が可能となる。

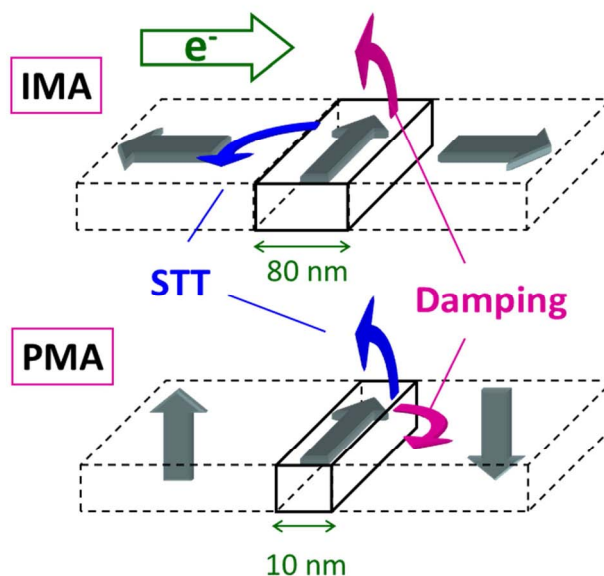


図4-16: 面内磁気異方性細線(IMA)と垂直磁気異方性細線(PMA)の電流誘起磁壁移動の際の断熱スピン移行トルクとダンピングの効果による磁化の回転方向と磁壁幅の違いを表した概念図。

垂直磁気異方性細線の場合にも (3.9) 式に従って磁壁内の磁化の回転が起こる点では面内磁気異方性細線と共通しているが、その回転方向が異なる。そしてこの回転方向の違いがスピン偏極電流速度のしきい値の違いとなって現れる。垂直磁気異方性細線の場合、まず材料の結晶磁気異方性定数 K_u が面内磁気異方性細線に比べて圧倒的に大きいので、通常

$$\delta = \pi \sqrt{\frac{A}{K_u}} \quad (4.1)$$

で与えられる磁壁幅 δ は小さくなる⁶。ここで A は交換スティフネス定数である。すなわち図4-16で青矢印の回転のためのトルクの大きさは垂直磁気異方性細線の方が圧倒的に大きい。また垂直磁気異方性細線の場合、(3.9) 式右辺第2項による磁化の回転は図に示されるように膜面内方向である。この回転方向の違いにより、回転のしにくさ、すなわち困難軸異方性磁場が面内磁気異方性と垂直磁気異方性では異なることも考えられる。4.3.2, 4.3.3 では磁壁幅と困難軸異方性磁場をシミュレーションにより定量的に評価し、実際に面内磁気異方性細線と垂直磁

⁶ (3.15)式で定義される磁壁幅 δ と(3.10),(3.11)式などで用いた磁壁幅 Δ の間には $\delta = \pi\Delta$ なる関係がある。 δ は磁化の遷移幅そのものを意味するのに対して、 Δ は磁壁内部での磁化勾配を表す。その意味で Δ は磁壁幅パラメーターと呼ばれることもある。

気異方性細線でスピン偏極電流速のしきい値にどの程度の違いが生ずることが期待されるのかを計算した結果を示す。

4.3.2 磁壁幅の比較

面内磁気異方性細線と垂直磁気異方性細線での磁壁幅の違いは以下のようにして比較した。まず図4-17のようにマイクロマグネティックシミュレーションで無磁場、無電流の状態では細線に磁壁を形成した。次にこの磁化成分をy方向（幅方向）に平均化した（図4-18）。最後に得られた磁化のプロファイル $M_i(x)/M_s$ を

$$\frac{M_i(x)}{M_s} = \tanh\left(\frac{x}{\Delta}\right) \quad (4.2)$$

でフィッティングし、磁壁幅 Δ の計算値を得た。ここでiは面内磁気異方性細線の場合xであり、垂直磁気異方性細線の場合zである。このようにして得られた面内磁気異方性細線、垂直磁気異方性細線のそれぞれの磁壁幅 Δ の細線膜厚依存性、及び垂直磁気異方性細線での細線幅依存性を図4-19に示す。面内、垂直のいずれも膜厚依存性はほとんどなく、また面内磁気異方性細線の磁壁幅が約40 nmであるのに対して垂直磁気異方性細線では約6 nmと非常に小さいことがわかる。すなわち、垂直磁気異方性細線では面内磁気異方性細線に比べて磁壁移動の駆動力となる断熱スピン移行トルクの大きさが非常に大きくなることが定量的に確かめられた。

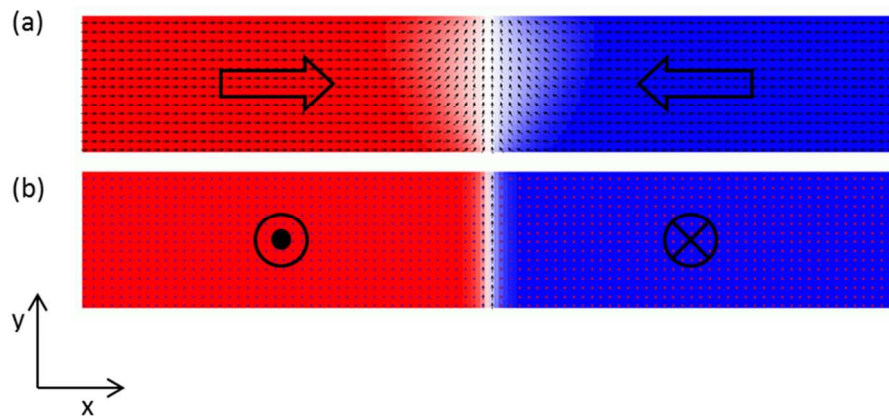


図4-17: 面内磁気異方性細線(a)と垂直磁気異方性細線(b)の磁壁構造のマイクロマグネティックシミュレーション結果

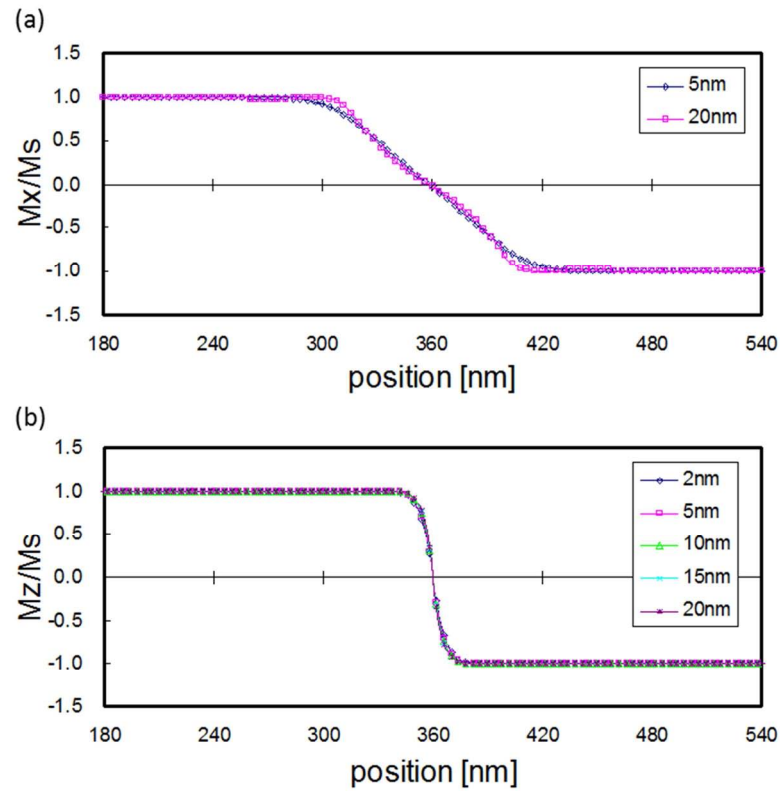


図4-18: 図4-17のシミュレーション結果をもとに計算した面内磁気異方性細線(a)と垂直磁気異方性細線(b)の磁壁部分の磁化のプロファイル。

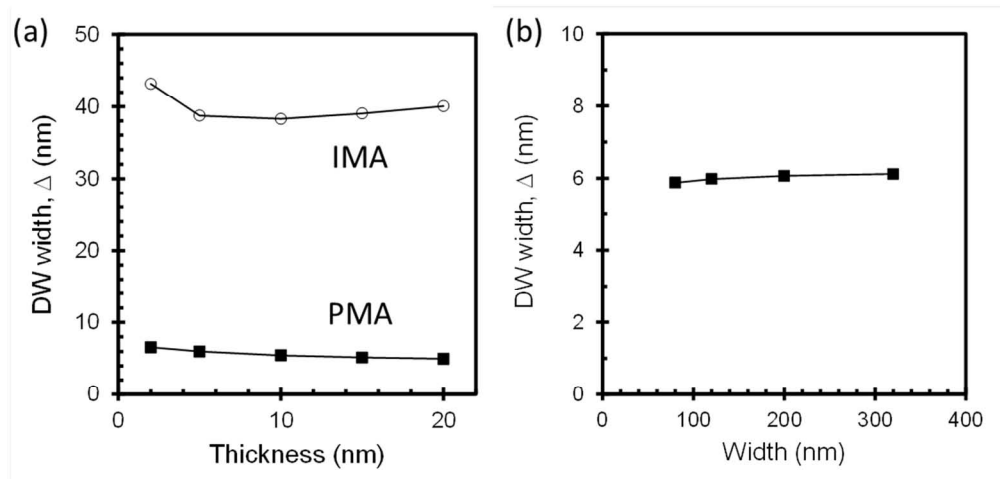


図4-19: 面内磁気異方性細線と垂直磁気異方性細線の磁壁幅の膜厚依存性(a)と細線幅依存性(b)のマイクロマグネティックシミュレーションによる計算結果。

4.3.3 困難軸磁気異方性の比較

次に面内磁気異方性細線と垂直磁気異方性細線での困難軸異方性磁場の違いについて計算した結果を述べる。ここではそれぞれの細線の困難軸異方性磁場を磁場駆動のシミュレーションから Walker breakdown 磁場を求めることで見積もった。図4-20は垂直磁気異方性細線中に形成された磁壁を磁場で駆動した場合の M_x , M_y 成分の時間変化である。2 Oe が印加された場合には Walker breakdown は起こらず位相 (M_x , M_y) は一定値に収束している。一方で磁場が 4 Oe, 6 Oe 印加されたときは Walker breakdown による磁化の回転が起こっている。このようなシミュレーション計算を、印加磁場を変えて行い、Walker breakdown が起こる磁場のしきい値 (Walker field: H_w) を求めた。そして Walker field (H_w) と困難軸異方性磁場 ($H_{k\perp}$) の間の関係式である (3-13) 式を用いることで困難軸異方性磁場の値を見積もった。

面内磁気異方性細線と垂直磁気異方性細線のそれぞれの困難軸異方性磁場の膜厚依存性、および垂直磁気異方性細線における線幅依存性として得られた結果を図4-21に示す。膜厚依存性については約 16 nm を境にしてそれより薄い領域では垂直磁気異方性細線の方が困難軸異方性磁場は小さくなっていることがわかる。つまり膜厚の薄い領域では磁壁移動の際にスピン移行トルクによる駆動力に働くブレーキは小さくなるということが出来る。また困難軸磁気異方性磁場の膜厚依存性は垂直磁気異方性細線と面内磁気異方性細線で逆になっており、垂直は膜厚の低減に従い低減するのに対して、面内では膜厚の低減に伴い増大していることがわかる。この差が図4-14で見られた垂直磁気異方性細線と面内磁気異方性細線の間でのスピン偏極電流速度のしきい値の膜厚依存性が逆になっていることの理由と考えられる。また垂直磁気異方性細線での困難軸異方性磁場の線幅依存性は、約 100 nm を境にしてそれよりも細くなると急激に低減している。この傾向が図4-15で見られたスピン偏極電流速度のしきい値の細線幅依存性を支配しているものと考えられる。

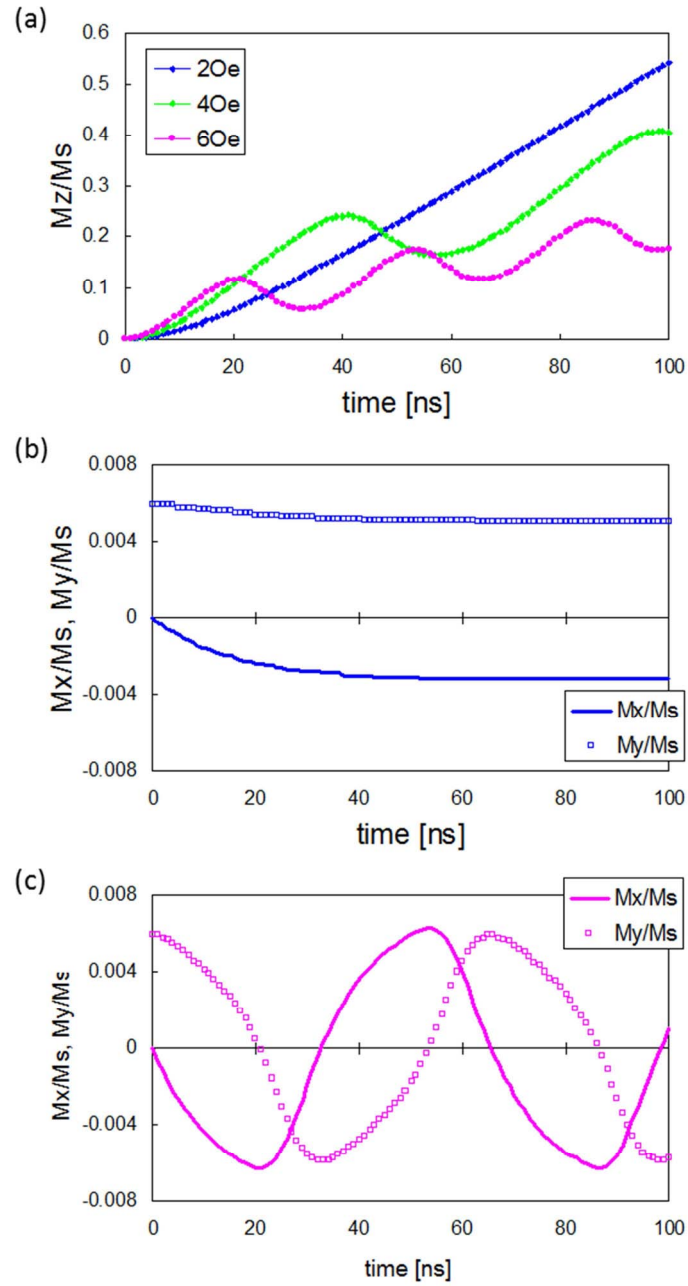


図4-20: 困難軸異方性磁場の計算のために行った垂直磁気異方性細線における磁場誘起磁壁移動の計算結果。(a) 2, 4, 6 Oe の磁場を印加したときの磁壁位置 (M_z/M_s) の時間変化。(b) 2 Oe の磁場を印加したときの磁壁内の磁化構造 (M_x/M_s , M_y/M_s) の時間変化。(c) 6 Oe の磁場を印加したときの磁壁内の磁化構造 (M_x/M_s , M_y/M_s) の時間変化。

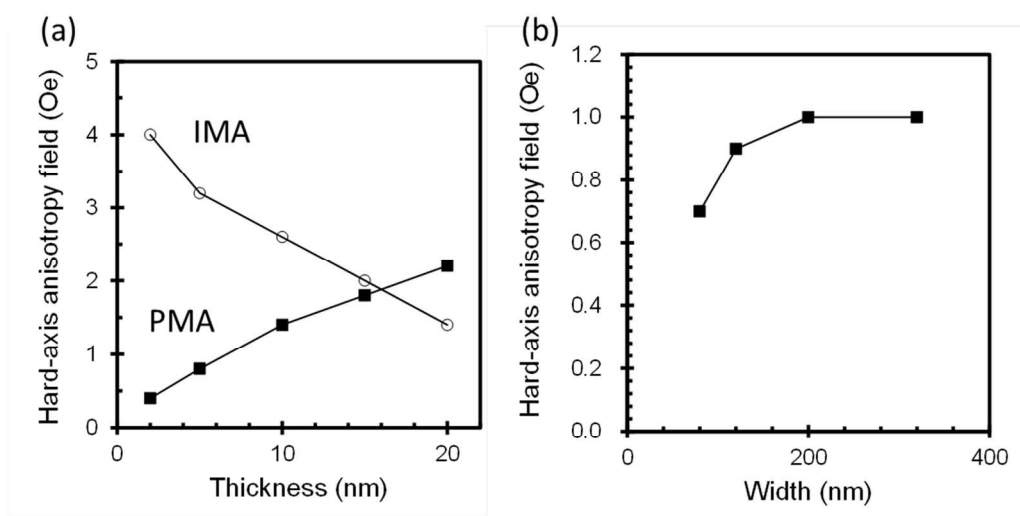


図4-21: 面内磁気異方性膜と垂直磁気異方性細線の困難軸異方性磁場の膜厚依存性(a)と細線幅依存性(b)のマイクロマグネティックシミュレーションによる計算結果。

4.3.4 1次元解析モデルと数値計算の定量的な比較

上記のように垂直磁気異方性細線では面内磁気異方性細線に比べてスピン偏極電流速度のしきい値が非常に小さくなるのは、垂直磁気異方性細線においては磁壁幅が狭いことと、困難軸異方性磁場が小さくなることに起因していることがわかった。4.3.4 では磁壁幅や困難軸異方性磁場の違いから予測されるしきい値が、実際に数値シミュレーションにより求めた結果とどの程度合うのかを議論する。ここで、磁壁幅と困難軸異方性磁場からしきい値を求める際には(3-12)式の解析式を用いた。なおここでは磁壁幅と困難軸異方性磁場を4.3.2, 4.3.3で述べたように数値的に求める方法と、解析的に求める方法の二通りの方法を用いる。本論文では前者を1次元擬解析モデル、後者を1次元完全解析モデルと呼ぶことにする。

まず1次元擬解析モデルと数値計算を比較した結果を図4-22に示す。垂直磁気異方性細線の場合、1次元擬解析モデルに従って導出したしきい値とシミュレーションにより求めたしきい値は非常に良く一致していることがわかる。一方で面内磁気異方性細線の場合には、傾向は似ているもののシミュレーションにより得られた値は1次元擬解析モデルから得られる値の半分程度となっていることがわかる。

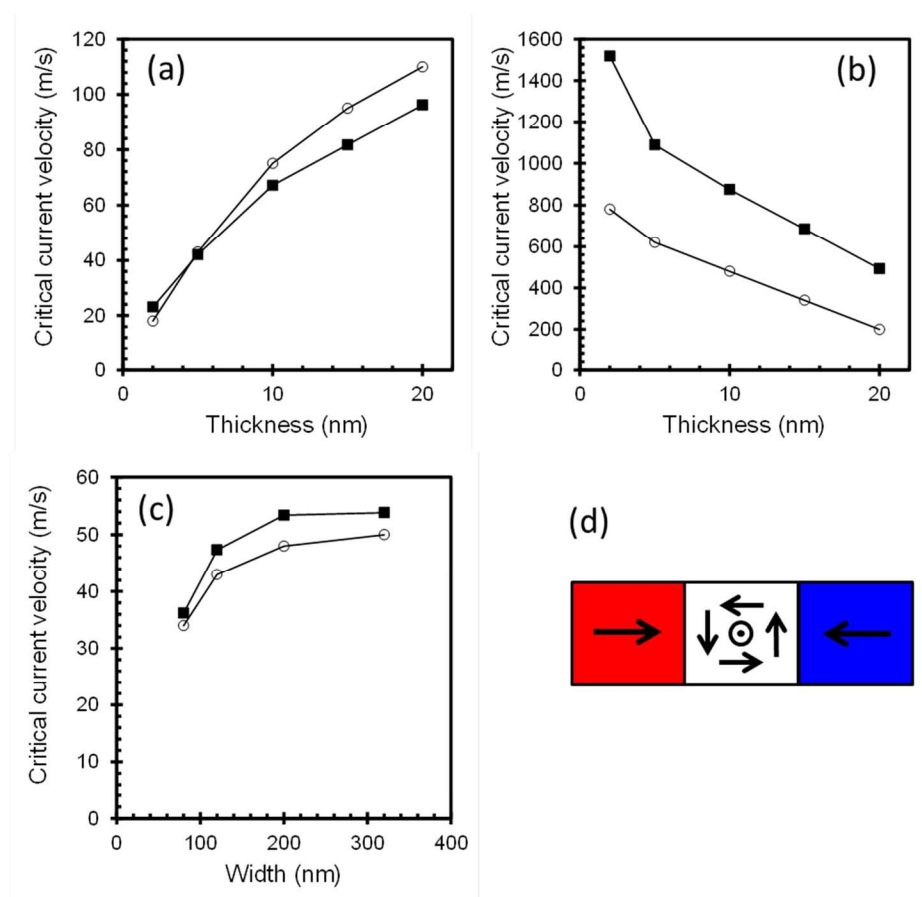


図4-22: 1次元擬解析モデルを用いて計算したスピン偏極電流速度のしきい値(■)とマイクロマグネティックシミュレーションを用いて数値的に求めたスピン偏極電流速度のしきい値(○)の比較。(a)(b): 細線膜厚依存性、(c): 細線幅依存性。(a)(c): 垂直磁気異方性細線、(b): 面内磁気異方性細線。(d)は面内磁気異方性細線において形成される Vortex 磁壁の構造の模式図。

面内磁気異方性細線におけるこのような不一致は磁壁駆動時の磁壁構造の複雑な挙動に起因しているものと推測される。面内磁気異方性細線における電流誘起磁壁移動のシミュレーションを行った結果を詳細に解析したところ、磁壁が動く際には **Vortex** が生成されていることが分かった。**Vortex** のような複雑な2次元構造は1次元モデルには反映されないため、これが2次元シミュレーションと1次元モデルの間での誤差の要因であると考えられる。なお、このような磁壁の2次元的な複雑な構造は、デバイス動作に適用する場合には確率的な振る舞いやビット間ばらつき、ビット内での自己ばらつきの要因になることが懸念される。ここで垂直磁気異方性細線では1次元擬解析モデルと数値計算がよく一致していることから、面内磁気異方性細線で見られたような磁壁は複雑な構造をとりにくいと

考えられ、安定したデバイス動作に適していると言えることができる。

1次元完全解析モデルについては以下のようにして計算を行った。まず磁壁幅 Δ は(4-1)式と $\delta = \pi\Delta$ から求めた。また困難軸異方性磁場は磁壁を扁平回転楕円体で近似することにより以下のようにして求めた。各軸の径が a, b, c の扁平回転楕円体における形状磁気異方性は次式により与えられる。

$$H_{k\perp} = M_s(N_1 - N_2) \quad (4-3)$$

ここで N_1, N_2 は反磁場定数であり、 $a \gg b > c$ の場合、近似的に次式で求められる[6]。

$$N_1 = \frac{bc}{a^2} \left\{ \ln \frac{4a}{b+c} - 1 \right\} \quad (4-4)$$

$$N_2 = \frac{c}{b+c} - \frac{1}{2} \frac{bc}{a^2} \ln \frac{4a}{b+c} + \frac{bc(3b+c)}{4a^2(b+c)} \quad (4-5)$$

今の場合、 a は細線幅 w 、 b は磁壁幅 δ 、 c は細線膜厚 t で置き換えることができる。

このようにして求めた磁壁幅 Δ と困難軸異方性磁場 $H_{k\perp}$ を(3-12)式に代入して得られる1次元完全解析モデルでの解析解を図4-23に示す。なお図4-23ではシミュレーションで求めたスピン偏極電流速度のしきい値の値も示されている。垂直磁気異方性細線の場合も面内磁気異方性細線の場合も解析解とシミュレーションにより得られた値は、膜厚に対する依存性は類似しているものの、値の絶対値は大きく異なっている。垂直磁気異方性細線では解析解はシミュレーション値に比べて約2.7倍大きい。この誤差の要因としては、まずは磁壁を扁平回転楕円体で近似していることにありと考えられる、この他磁壁内での磁化の2次元的な変化が数値計算では実際に起こっているのに対して完全解析モデルではこの効果は含まれないことも誤差要因として考えられる。しかし1次元完全解析モデルは数値計算を行うことなく簡便にスピン偏極電流速度のしきい値を求めることができことから、しきい電流のさまざまなパラメーターに対する依存性を予測する上で便利である。4.5.2では1次元完全解析モデルを用いて磁壁移動のしきい電流密度の材料定数依存性について議論するが、その際は今回得られた誤差である2.7を補正係数として使用することとした。

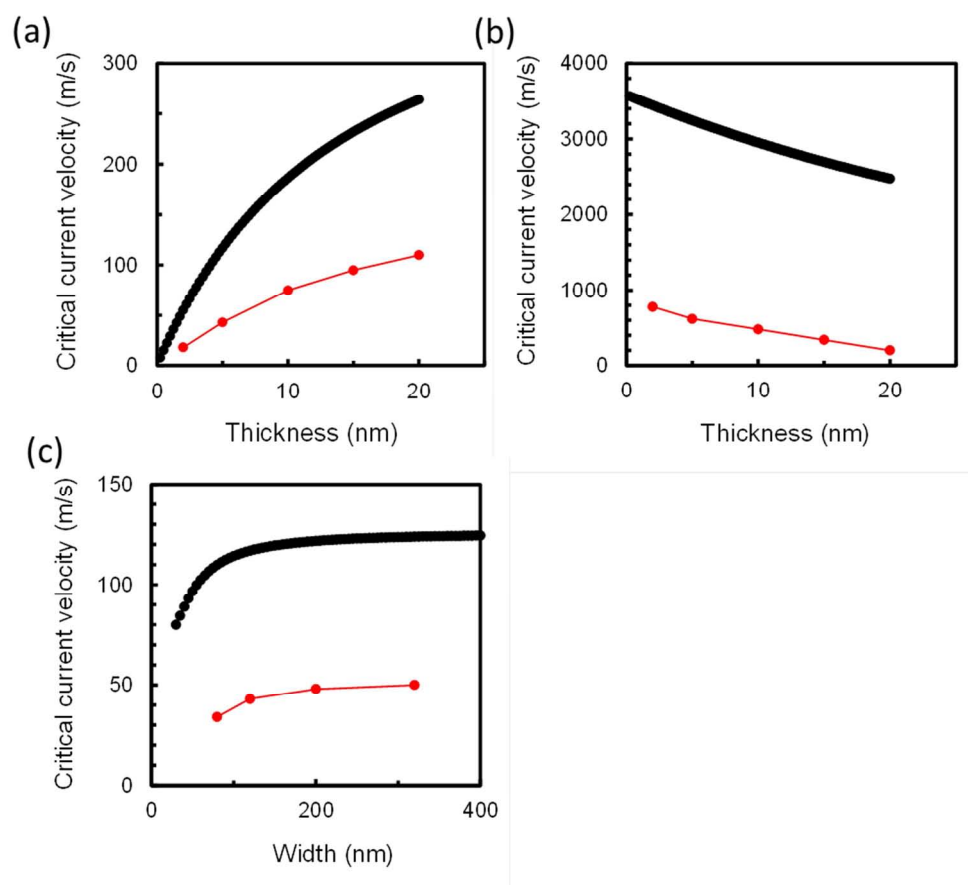


図4-23: 1次元完全解析モデルを用いて計算したスピン偏極電流速度のしきい値(●)とマイクロマグネティックシミュレーションを用いて数値的に求めたスピン偏極電流速度のしきい値(●)の比較。(a)(b): 細線膜厚依存性、(c): 細線幅依存性。(a)(c): 垂直磁気異方性細線、(b): 面内磁気異方性細線。

4.4 ピンサイトがある系でのシミュレーション計算結果

4.2節ではピンニング機構のない **Perfect wire** でのマイクロマグネティックシミュレーションを行い、磁壁の内因性ピンニングに起因したスピン偏極電流速度のしきい値を求めた。しかし実際のメモリデバイスにおいては、記憶した情報は安定に保持される必要になるので、何らかの磁壁のピンサイトが必要となる。また通常の製造プロセスにより磁性膜を細線状に加工した場合、磁性細線は膜の微視的な不均一性や細線エッジのラフネスに起因した外因性のピンニング機構 (**Extrinsic pinning**) を有することになる。ここではこのような外因性のピンニング機構がある場合の電流誘起磁壁移動への影響についてシミュレーションにより調べた結果を記す。

4.4.1 シミュレーション計算結果

ここでは外因性のピンニング機構の電流誘起磁壁移動への影響について検討するために、ノッチを有する細線におけるシミュレーション計算を行った。実際に計算に用いた細線の形状を図4-24に示す。図のようにしきい磁場としきい電流密度（スピン偏極電流速度）の関係を調べるために、異なるノッチの深さの細線を用意し、ノッチに拘束された磁壁をデピンさせるのに必要な磁場、スピン偏極電流速度をシミュレーションにより計算した。なお電流駆動の計算の際はポアソン方程式を解くことで得られた電流密度分布（図4-24（f））を用いた。また計算には（3-9）式を用いたが、その際には $\alpha = 0.02$, $\beta = 0.04$ を用いた。

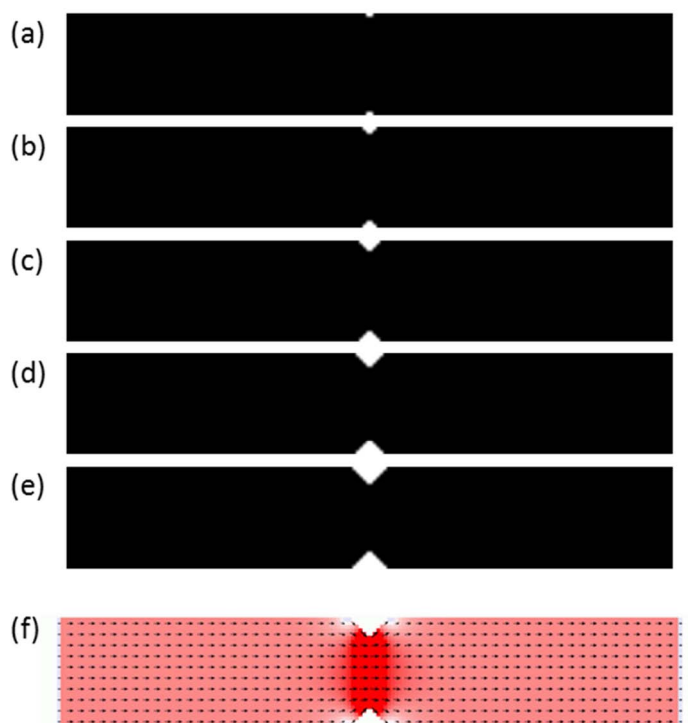


図4-24:ピンサイトがある系での電流誘起磁壁移動のマイクロマグネティックシミュレーション計算に用いた細線パターン(a)－(e)と電流密度分布の計算結果(f)。(a)－(e)はノッチの深さが異なる。細線幅は120 nm、細線長は720 μm とした。

図4-25～図4-27は磁場による磁壁のデピンの計算結果を示している。磁場駆動の計算を行う際は、ノッチに磁壁が拘束されている状態から外部磁場を印加したときに最終的に収束する安定磁化状態を計算した。図4-25は面内磁気異方性細線における計算結果である。60 Oeの磁場が印加された状態では磁壁は

ノッチに拘束されているが、70 Oe の磁場が印加された場合にはノッチから完全にデピンできていることがわかる。つまり磁壁移動のしきい磁場は 60 Oe から 70 Oe の間にあると言える。図4-26は垂直磁気異方性細線における計算結果である。同様に計算結果を見るとしきい磁場は 500 Oe と 600 Oe の間にあることがわかる。

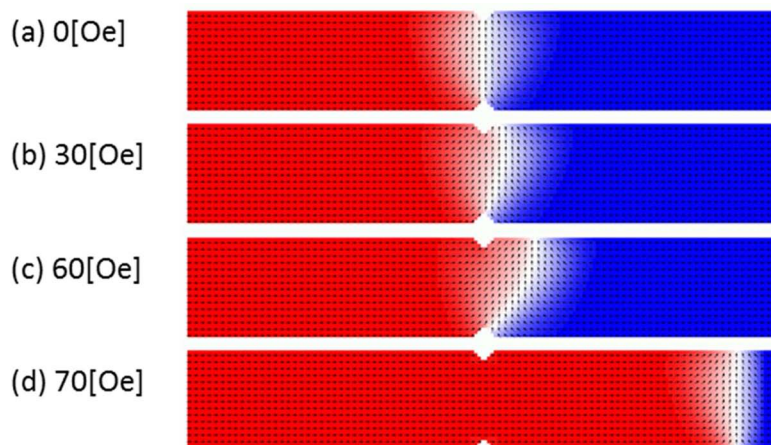


図4-25: 面内磁気異方性細線における外部磁場による磁壁のノッチからのデピンのマイクロマグネティックシミュレーション結果。(a) 初期状態、(b) 30 Oe 印加時、(c) 60 Oe 印加時 (d) 70 Oe 印加時の磁化状態。

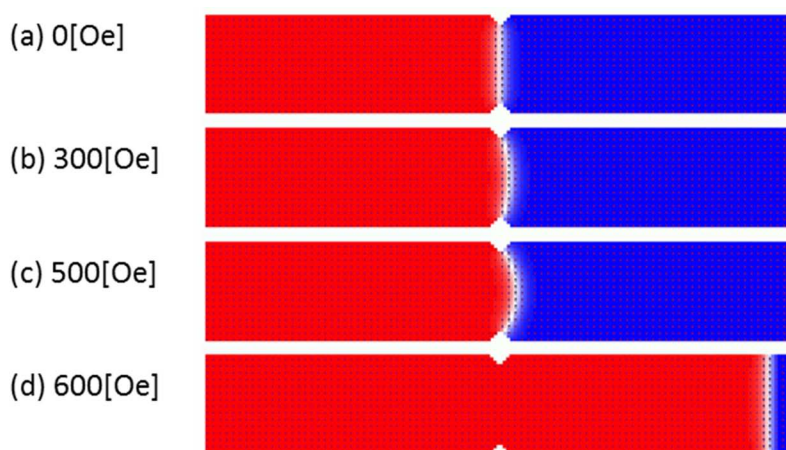


図4-26: 垂直磁気異方性細線における外部磁場による磁壁のノッチからのデピンのマイクロマグネティックシミュレーション結果。(a) 初期状態、(b) 300 Oe 印加時、(c) 500 Oe 印加時 (d) 600 Oe 印加時の収束状態での磁化状態。

図4-27は面内磁気異方性細線、垂直磁気異方性細線のそれぞれにおけるしきい磁場のノッチ深さ依存性の計算結果を示している。なお、面内磁気異方性細線、垂直磁気異方性細線のいずれの場合も2, 5, 20 nmの3通りの膜厚で計算を行った。面内磁気異方性細線、垂直磁気異方性細線いずれの場合も、ノッチの深さが深くなるほどしきい磁場は増大していることがわかる。また垂直磁気異方性磁場は面内磁気異方性細線と比べて約1桁大きなしきい磁場を有していることがわかる。この差は結晶磁気異方性定数の差に起因しているものと考えられる⁷。

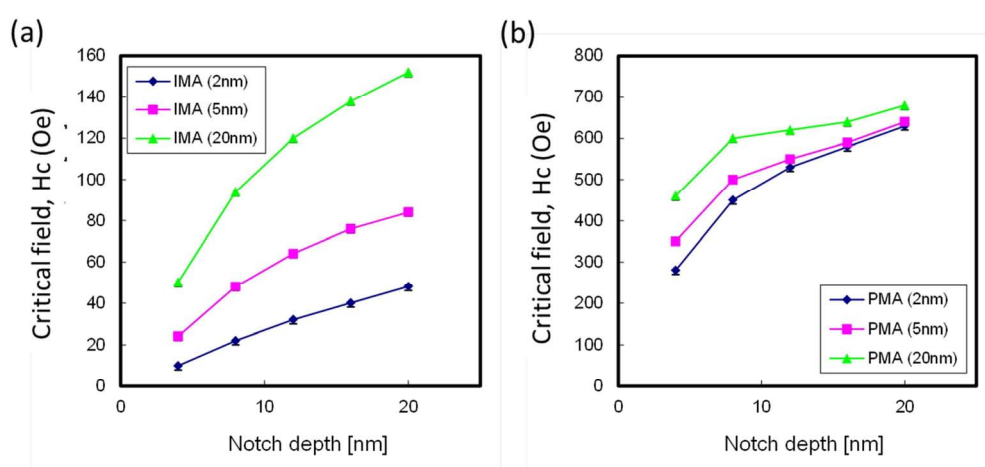
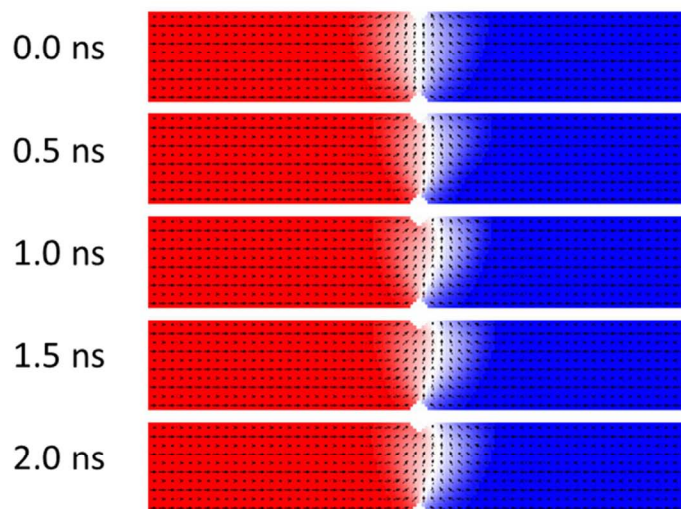


図4-27: 面内磁気異方性細線(a)、垂直磁気異方性細線(b)における磁壁のデピン磁場 H_c のノッチ深さ依存性、及びその細線膜厚依存性の計算結果。

次に図4-28～図4-32はスピン偏極電流による磁壁のデピンの計算結果を示している。電流駆動の計算を行う際は、ノッチに磁壁が拘束されている状態で電流を導入し、時間発展的に解いたときの磁壁の振る舞いを計算した。図4-28では面内磁気異方性細線に450 m/sのスピン偏極電流速度 u が導入された場合、500 m/s 導入された場合での計算結果が示されている。図4-29に異なるスピン電流速度での磁壁位置の時間変化を示す。 u が450 m/s以下のときには磁壁はデピンできず、500 m/s以上のときはデピンできていることがわかる。

⁷ 磁壁のエネルギー σ_d は $\sigma_d = 4\sqrt{AK_u}$ で与えられるので K_u の大きな垂直磁気異方性細線の方が大きくなる。そのためノッチによって拘束されやすいものと考えられる。

(a) $u = 450 \text{ m/s}$



(b) $u = 500 \text{ m/s}$

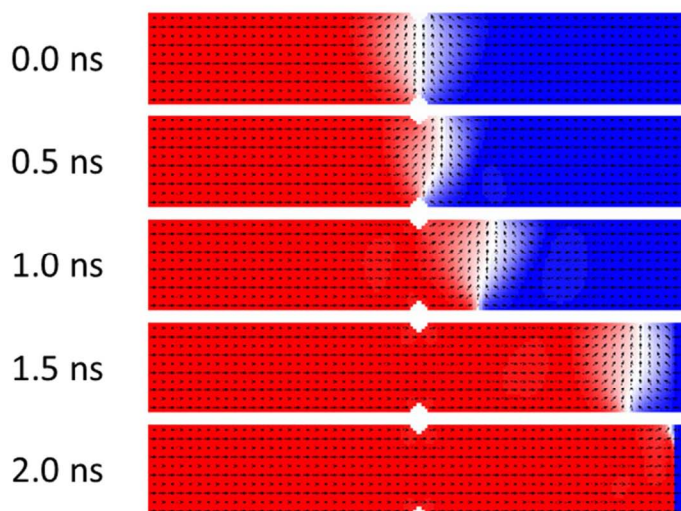


図4-28: 面内磁気異方性細線におけるスピンプラズマ電流による磁壁のノッチからのデビンのマイクロマグネティックシミュレーション結果。(a) $u = 450 \text{ m/s}$ 、(b) $u = 500 \text{ m/s}$ での電流印加後の各時間における磁化状態。

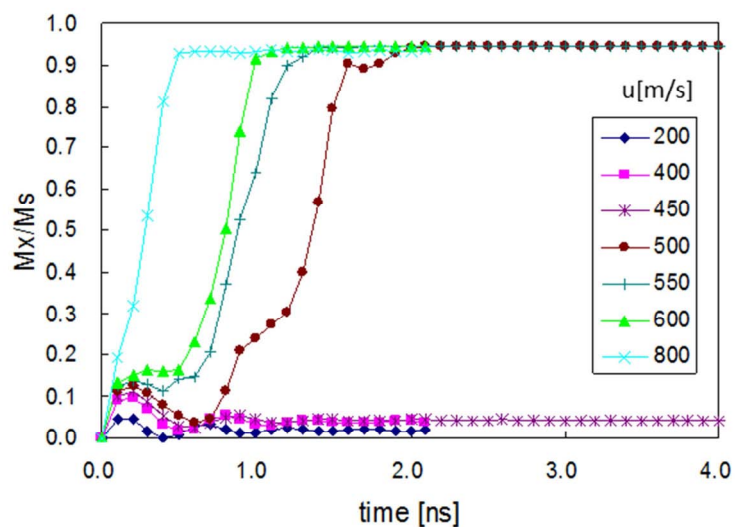
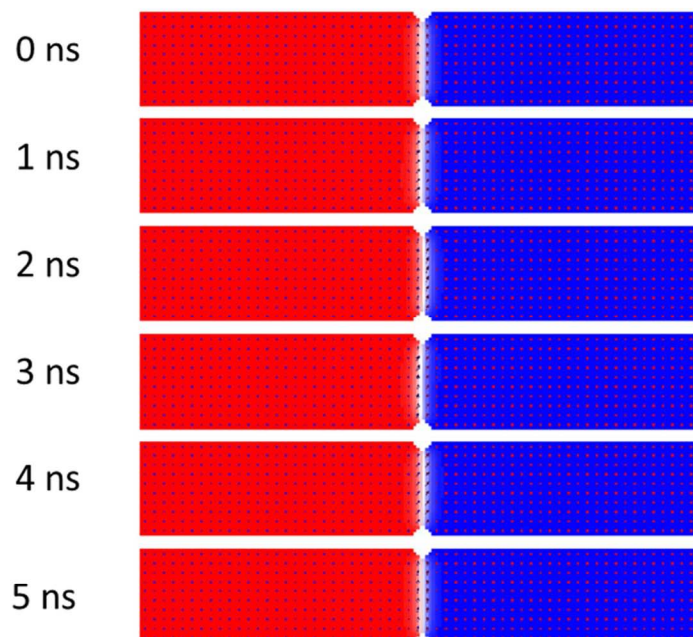


図4-29: ノッチを有する面内磁気異方性細線においてスピン偏極電流を導入したときの磁壁位置の時間変化のスピン偏極電流速度の大きさ依存性の計算結果。

一方図4-30、図4-31には垂直磁気異方性細線の場合でのスピン偏極電流による磁壁のデビンの計算結果が示されている。しきい値は 10 m/s と 20 m/s の間にあることがわかる。

(a) $u = 10 \text{ m/s}$



(b) $u = 30 \text{ m/s}$

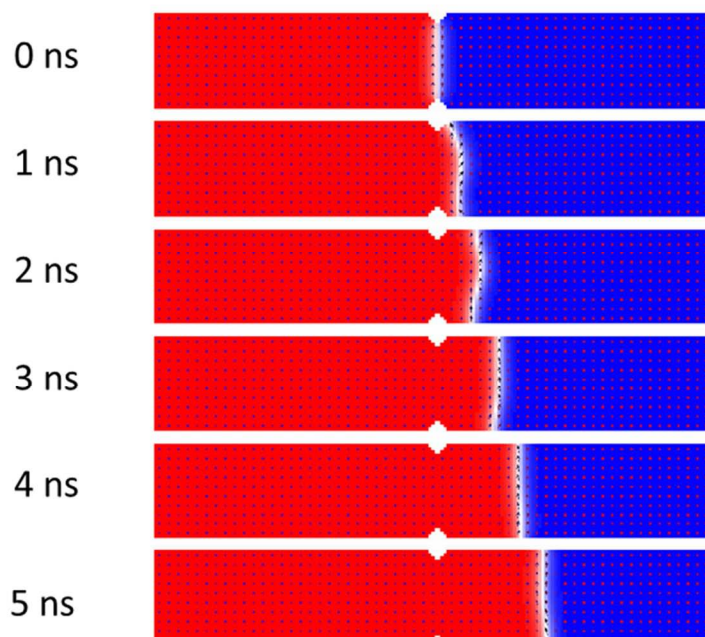


図4-30: 垂直磁気異方性細線におけるスピンの偏極電流による磁壁のノッチからのデビンのマイクロマグネティックシミュレーション結果。(a) $u = 10 \text{ m/s}$ 、(b) $u = 30 \text{ m/s}$ での電流印加後、各時間における磁化状態。

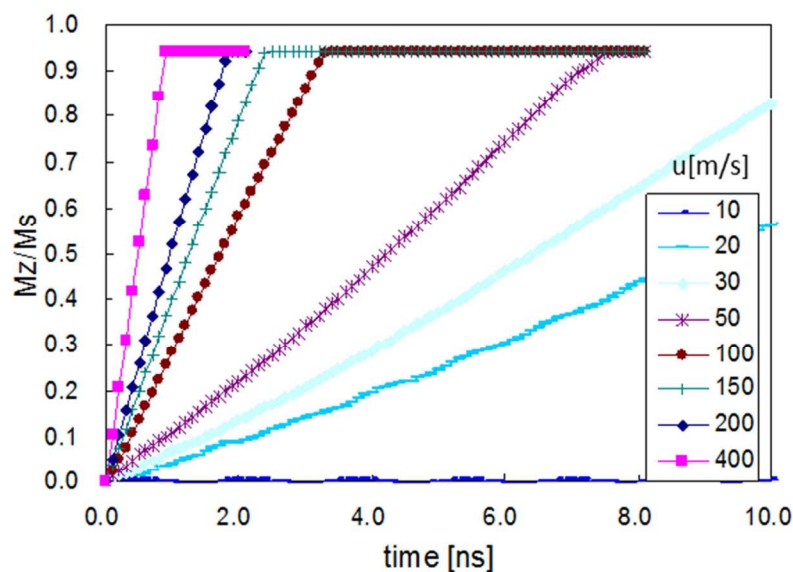


図4-31: ノッチを有する垂直磁気異方性細線においてスピン偏極電流を導入したときの磁壁位置の時間変化のスピン偏極電流速度の大きさ依存性の計算結果。

図4-32にはスピン偏極電流によりデピンさせる場合のスピン偏極電流速度のしきい値 u_c のノッチ深さ依存性が示されている。面内磁気異方性細線の場合、ノッチ深さが増大するほど u_c は概ね増大している。一方で垂直磁気異方性細線の場合、ノッチ深さが増大するにしたがって u_c はわずかに減少している。なお、別途検討した結果、垂直磁気異方性細線において u_c がノッチ深さに対して減少する理由は図4-24 (f) に示されているようにノッチ付近では電流密度が増大することに起因しており、電流密度の増大を考慮に入れない場合にはノッチ深さに対して u_c はほぼ一定となることがわかった。これは応用上非常に重要な結果であるが、詳細は解析的な検討結果と併せて4.4.2で説明する。また図4-32 (a) で膜厚が5 nmの場合に u_c がある値を境にしてノッチ深さが増大したときに減少している原因は、ノッチが深いときには電流によるデピンの際に磁壁構造の変化が起こり、デピンしやすい構造に変化していることに起因していることがシミュレーション結果の解析から分かった。

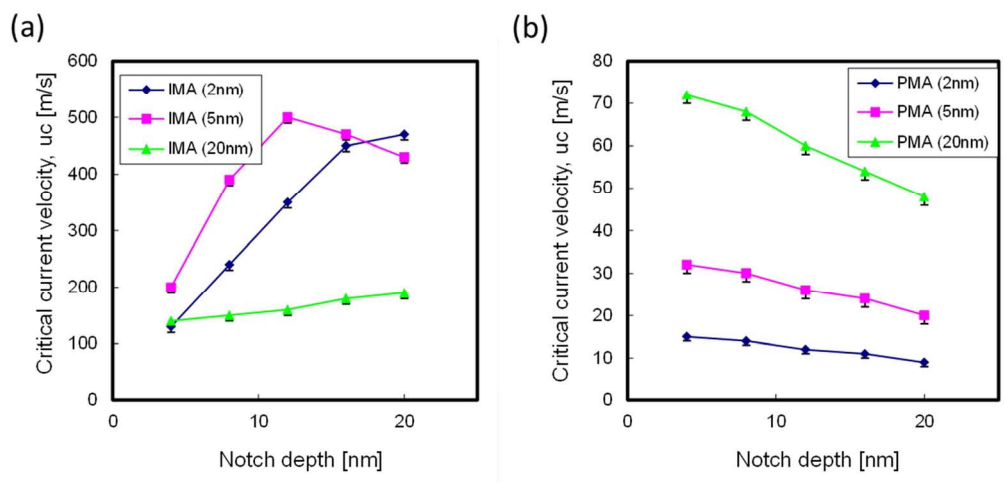


図4-32: 面内磁気異方性細線(a)、垂直磁気異方性細線(b)における磁壁のデピンに必要なスピン偏極電流速度のしきい値 u_c のノッチ深さ依存性、及びその細線膜厚依存性の計算結果。

図4-33は図4-27と図4-32をまとめたものであり、面内磁気異方性細線、垂直磁気異方性細線のそれぞれの場合のしきい磁場としきい電流密度（スピン偏極電流速度）の相関関係を表している。垂直磁気異方性細線は面内磁気異方性細線と比べてしきい磁場は約一桁大きく、一方でしきい電流密度は約一桁小さいことがわかる。応用上は熱安定性を確保するためにはしきい磁場は大きいほど望ましいが、この点で垂直磁気異方性細線は格段に優れていると言える。またしきい電流密度は安定動作、ビットコスト、及び消費エネルギーなどの観点からなるべく小さい方が望ましいが、この点でも垂直磁気異方性細線は優れていると言える。すなわち垂直磁気異方性細線は熱安定性の観点でも書き込み電流の低減の観点でも面内磁気異方性細線に比べてデバイス応用上は格段に好適であることが今回の計算により明らかになった。加えて垂直磁気異方性細線の場合は面内磁気異方性細線の場合とは異なり、4.2.2 で述べた **Perfect wire** での計算結果と同様に膜厚が薄いものほどしきい電流密度 u_c が小さくなっている。これも応用上は非常に好ましい結果である。

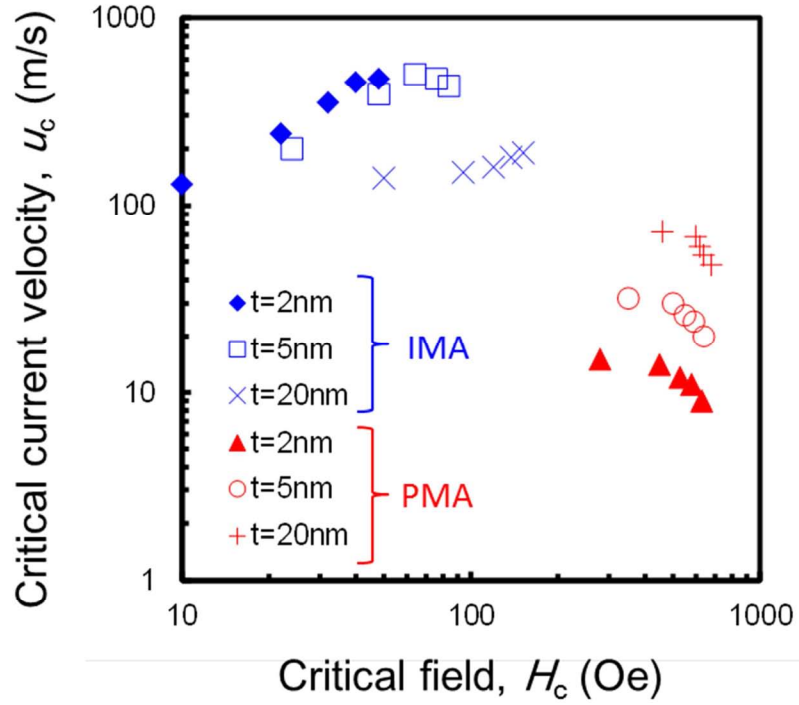


図4-33: 膜厚の異なる面内磁気異方性細線、垂直磁気異方性細線における磁壁のデピンに必要な磁場とスピン偏極電流速度のしきい値(H_c , u_c)の相関関係。

4.4.2 解析計算と得られた結果の意義

図4-33からわかるように垂直磁気異方性細線ではノッチ深さが深くなりしきい磁場が増大しても、しきい電流密度は増大しないことがシミュレーションで確認された。これはしきい磁場としきい電流密度が独立な関係にあることを示唆している。このような特異な振る舞いは1Dモデルを用いた解析的な手法によって以下のようにして説明することができる[2, 7]。解析計算には(3-10), (3-11)式を用いる。また簡単のためにピンサイトのポテンシャルエネルギー($\varepsilon(q)$)の形としては次式で定義される2次関数を仮定する。

$$\begin{aligned}\varepsilon &= V_0 q_0 (q/q_0)^2 \quad (\text{for } q \leq q_0) \\ \varepsilon &= V_0 q_0 \quad (\text{for } q > q_0)\end{aligned}\tag{4-6}$$

このとき準静的な過程でのデピン磁場 H_{c0} は

$$H_{c0} = \frac{V}{M_s}\tag{4-7}$$

となる。

このような系におけるしきい磁場 H_c 、及びしきい電流 u_c (スピン偏極電流速度) をいくつかの V に対して計算したところ、図4-34に示したような関係が得られた。ここで磁場とスピン偏極電流速度はそれぞれ(3-13)式で与えられる困難軸異方性磁場 $H_{k\perp}$ 、及び(3-12)式で与えられる内因性しきい電流速度 u_w で規格化されている。図を見るとしきい磁場はピンポテンシャルの増大に対して線形状に増大している。一方でしきい電流密度はピンポテンシャルが小さい領域ではピンポテンシャルが増大することでしきい電流密度も増大しているが、ある値を境にしてしきい電流密度はピンポテンシャルに依存しない領域が存在していることがわかる。ここで垂直磁気異方性細線、面内磁気異方性細線のそれぞれの場合で、 $H_{k\perp}$ はそれぞれ約 500 Oe、約 2000 Oe であり (図4-21参照)、また H_{c0} はそれぞれ約 500 Oe、約 50 Oe である (図4-27参照)。従って $H_{c0}/H_{k\perp}$ は垂直磁気異方性細線、面内磁気異方性細線でそれぞれ約 1、0.025 である。従って図4-34において面内磁気異方性細線ではしきい電流はピンポテンシャルに依存して増大する領域に位置しており、一方垂直磁気異方性細線はピンポテンシャルに依存せず一定値をとっている領域に相当することになる。従って、図4-32(b)においてスピン偏極電流速度のしきい値がノッチの深さに依存していない現象は、解析計算でも再現されていると言える。

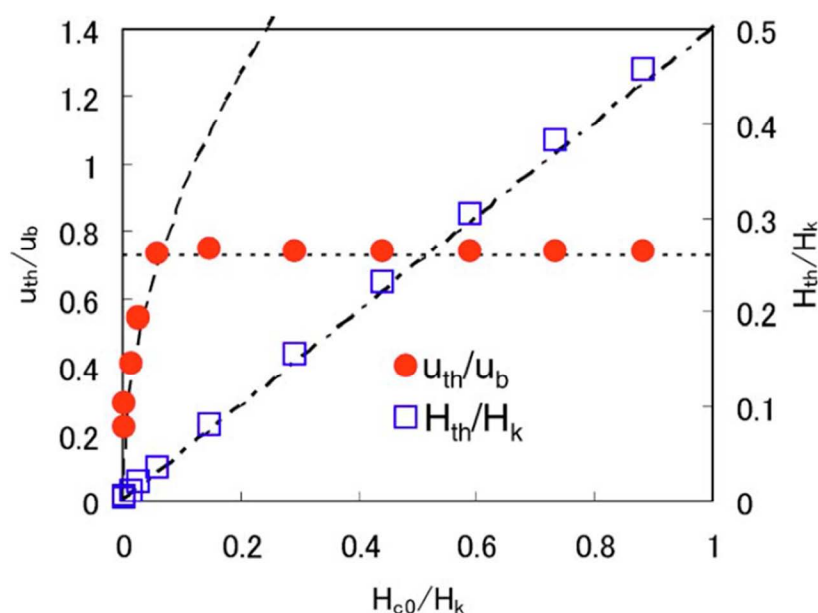


図4-34: あるピンポテンシャルに拘束させた磁壁をデピンさせるのに必要なスピン偏極電流速度と磁場のしきい値のしきい磁場依存性の数値計算結果。

さらに、このしきい電流密度が一定の領域では u_c/u_w は1以下になっており、これはピンサイトがない系での恒常的な磁壁移動のためのしきい値である u_w に比べてピンサイトのある系では小さな電流でデピンできることを意味している。

このようなピンサイトを有する垂直磁気異方性細線における直感的には理解しづらい特徴は、以下のようにして概念的に説明することができる。図4-35は垂直磁気異方性細線における磁化の回転方向などを表した模式図である。伝導電子が磁壁に流れ込んだときには、磁壁内の磁化に対して断熱スピン移行トルクにより膜面垂直方向に回転が起こると同時に、ダンピング項の効果によって膜面内方向で回転し、この膜面内方向の回転によって発生する反磁場が磁壁移動のブレーキとなることを述べた。ここでこのブレーキの大きさは反磁場の大きさ ($\propto \sin \psi$) と磁化の y 成分 ($\propto \cos \psi$) の積に比例するので、 $\sin 2\psi$ に比例して変化する。従って $\psi = \pi/4$ で最大となり、また $\pi/2 < \psi < \pi$ では負になる (図4-35 (b))。ブレーキが負になるということは磁壁移動をアシストする方向にトルクが働くということになる。このようなことから、磁壁の磁化は $\psi = \pi/4$ を超えることさえできれば、Walker breakdown に相当する磁化回転が起こりデピンをアシストするトルクを受けられることになる。

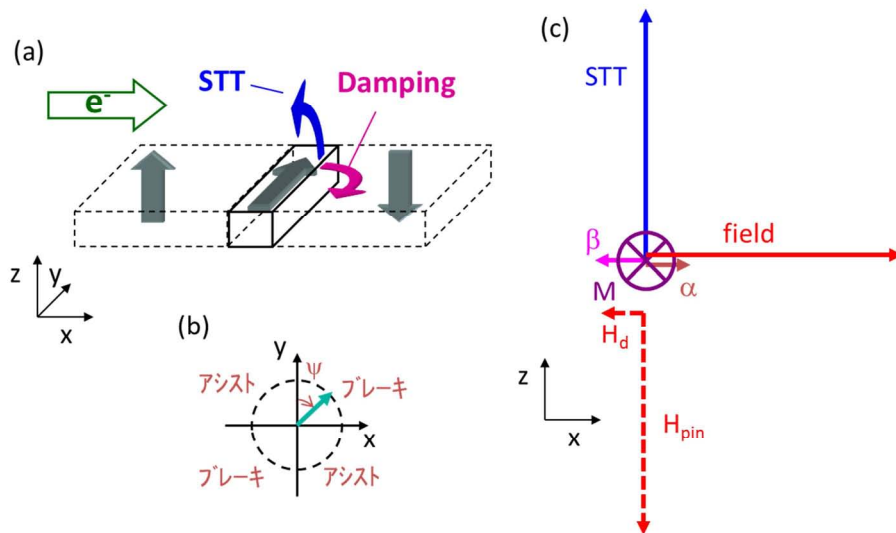


図4-35: 垂直磁気異方性細線における磁壁のピンサイトからのデピンのメカニズムを説明するための概念図。(a): 伝導電子が磁壁を貫通するときの磁壁に働くトルクによる磁化の回転方向。(b): 磁壁内の磁化の位相と、磁壁移動に及ぼす影響の関係。(c) 磁壁の磁化 \mathbf{M} に働くスピン移行トルク(STT)、ピンポテンシャルが作る実効磁場 \mathbf{H}_{pin} と反磁場 \mathbf{H}_d に起因したトルク(field)、とダンピング項(α)、非断熱スピン移行トルク項(β)に起因したトルクによる磁化の回転方向。

そしてピンポテンシャルがある場合には、ピンポテンシャルによって **Walker breakdown** が起こりやすくなる。そのメカニズムを図 4-35 (c) に示す。図 4-35 (c) では電流誘起磁壁移動の際に (3-9) 式の各項が引き起こそうとする磁化の回転方向が矢印で示されている。矢印の長さは回転トルクの大きさに対応している。垂直磁気異方性細線の場合、ピンポテンシャルに由来した磁壁のピンニング磁場 (H_{pin}) は面内磁気異方性細線と比べて大きくなる。このピンニング磁場は解析的には $\mathbf{H}_{\text{pin}} = -\nabla \epsilon(\mathbf{q})$ で与えられるので今の場合 \mathbf{z} 方向となる。従ってこの H_{pin} は磁化を $+x$ 方向に回転させるように働く。 α や β を変えてシミュレーション計算を行ったところ、 H_{pin} による回転は α や β による回転を無視できるほどに大きいことが分かった。この回転は磁壁の **Walker breakdown** を起こす方向である。そして垂直磁気異方性細線の場合、困難軸異方性磁場 $H_{k\perp}$ が小さいので H_{pin} に起因した磁化の回転により容易に **Walker breakdown** が起こる。このとき、磁壁移動に対してブレーキがかかる位相から早く抜け出すことができ、その次に来る磁壁移動をアシストする位相の領域で磁壁がピンサイトからデピンができることになる。

参考文献[2]ではこのようなデピンの様式を **Phase mode** と呼んでおり、参考文献[7]このようなデピンが可能となるようなピンポテンシャルの範囲を **intermediate pinning regime** と呼んでいる。なお、 H_{pin} が小さい場合には H_{pin} による回転の作用を借りることなく断熱スピン移行トルクの作用でデピンでき、この様式は参考文献[2]では **amplitude mode** と呼んでおり、このような磁場範囲を参考文献[7]では **weak pinning regime** と呼んでいる。なお、参考文献[7]では、ピンポテンシャルが図 4-35 の横軸の領域よりも数桁大きくなると再度しきい電流密度がしきい磁場に依存して増大する領域 (**strong pinning regime**) が存在することが指摘されている。

ところで磁壁移動のしきい電流密度がピンポテンシャル及びしきい磁場に依存しないという特性は応用上非常に魅力的である。**MRAM** などのデバイスに電流誘起磁壁移動を適用する場合、メモリ状態を安定に保持するために磁壁がある状態から別の状態に遷移するのに必要なエネルギーバリア E_b が熱活性エネルギー $k_B T$ に比べて十分に大きい必要がある。ここで E_b は今の場合磁壁のピンポテンシャルに比例する。すなわち熱安定性を高めるためにはピンポテンシャルを大きくすればよい。ここで 2.2.2 から 2.2.4 で説明した磁場書き込み型の **MRAM** や 2.2.5 で説明したスピン注入型の **MRAM** の場合、ピンポテンシャルを大きくすれば書き込み電流もそれに比例して大きくなる。しかし上述の特徴は、電流誘起磁壁移動を利用した **MRAM** ではピンポテンシャルが増大しても書き込み電流は増大しない

ことを意味している。すなわち電流誘起磁壁移動を利用した **MRAM** では熱安定性と書き込み電流は独立に設計できることになる。このことから電流誘起磁壁移動を利用した **MRAM** は、優れたスケーラビリティを有していると言える。(微細化で素子を小さくしたとき、それに伴って書き込み電流は低減されるが、ピンポテンシャルを増大させることにより書き込み電流の増大を招くことなく独立に熱安定性を維持することができるため。)

4.5 材料定数依存性

第4章ではこれまでに面内磁気異方性細線と垂直磁気異方性細線での電流誘起磁壁移動のしきい電流密度の違いに注目して計算を行った結果を示し、垂直磁気異方性細線がデバイス応用上は非常に好適であることを示した。本節では垂直磁気異方性細線にフォーカスして、電流誘起磁壁移動のしきい電流密度と材料定数の関係について述べる。はじめにしきい電流密度の材料定数依存性についてのシミュレーション計算結果を示し、次に1次元完全解析モデルに基づいて得られた材料設計の指針について述べる。

4.5.1 シミュレーション計算結果

ここでは材料定数として飽和磁化 M_s 、結晶磁気異方性定数 K_u 、及び交換スティフネス定数 A を変化させたときのしきい電流密度への影響についてシミュレーションにより検討した結果を示す。なお、計算はピンサイトのない完全細線において $\beta=0$ の条件で行った。従って得られた磁壁移動のしきい値は内因性ピニングに起因したスピン偏極電流速度のしきい値 (u_w) に相当する。得られた結果を図4-36に示す。なお図では、マイクロマグネティックシミュレーションにより得られた値 (■) の他に、1次元擬解析モデルを用いて計算した値 (○) も示されている。

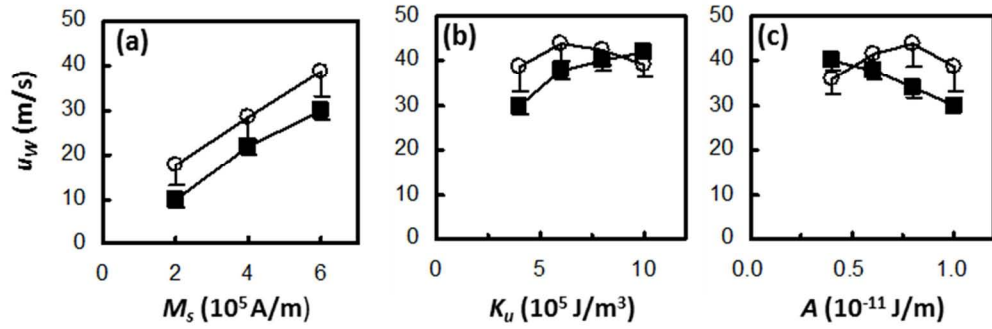


図4-36: 垂直磁気異方性細線における磁壁移動のためのスピン偏極電流速度のしきい値 u_w の飽和磁化依存性(a)、結晶磁気異方性定数依存性(b)、交換スティフネス定数依存性(c)の計算結果。“■”はマイクロマグネティックシミュレーションにより数値的に得られた値であり、“○”は1次元擬解析モデルにより求めた値である。

まず飽和磁化依存性については、 u_w は概ね飽和磁化に比例しており飽和磁化が小さくするに従い低減している。一方結晶磁気異方性定数、及び交換スティフネス定数に関してはその依存性は明確ではなく、それらの u_w はそれらの変化に対してさほど大きく変化してはいないことがわかる。

図4-36において数値解と擬解析解を比較すると分かるように、 u_w の各材料定数に対する振る舞いも、1次元モデルによっておおよそその説明が可能である。

図4-37は磁壁幅 Δ 、及び困難軸異方性磁場 $H_{k\perp}$ の飽和磁化、結晶磁気異方性定数、及び交換スティフネス定数依存性の数値計算の結果である。飽和磁化が減少すると、磁壁幅は緩やかに減少しており、また困難軸異方性磁場も減少している。このため u_w は飽和磁化の減少に伴い減少するものと考えられる。一方で結晶磁気異方性定数と交換スティフネス定数依存性に関しては、結晶磁気異方性定数が増大すると磁壁幅は狭くなるが困難軸異方性磁場は増大しており、一方交換スティフネス定数が増大すると磁壁幅は大きくなるが困難軸異方性磁場は低減している。このため磁壁幅と困難軸異方性磁場の積に比例する u_w は結晶磁気異方性定数と交換スティフネス定数に対しては顕著な依存性を示さないものと理解できる。

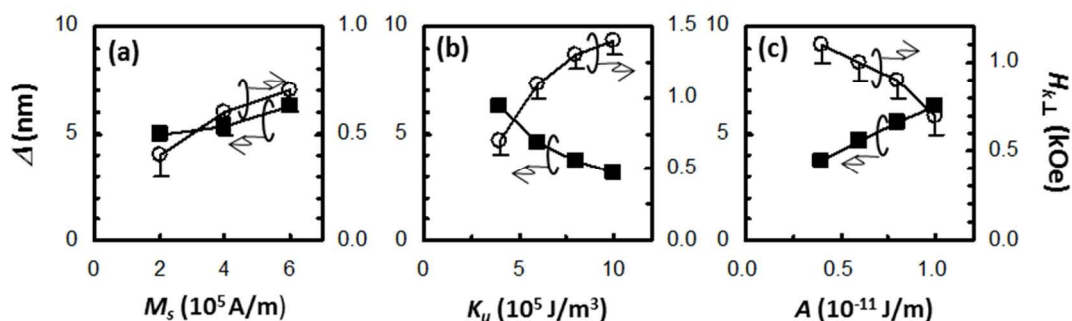


図4-37: 垂直磁気異方性細線における磁壁幅と困難軸異方性磁場の飽和磁化依存性(a)、結晶磁気異方性定数依存性(b)、交換スティフネス定数依存性(c)の計算結果。

4.5.2 1次元完全解析モデルによる材料定数としきい電流密度の関係の導出

4.5.1 では数値的手法、及び1次元擬解析モデルに基づいてしきい電流密度 u_w の材料定数依存性を求めたが、4.5.2 ではより一般的な議論をするために1次元完全解析モデルを用いてしきい電流密度の材料定数依存性について計算し、材料設計の指針について考察する。

4.3.4 で説明した1次元完全解析モデルでは、細線幅、膜厚、飽和磁化、結晶磁気異方性定数、交換スティフネス定数が決まればスピン偏極電流速度のしきい値 (u_w) が計算される。そして材料のスピン分極率 P が決まれば(3・7)式から u_w [m/s] は通常の電流密度 j_c [A/m²] に変換できる。いくつかの線幅 w 、及び膜厚 t に対して飽和磁化、及びスピン偏極率をパラメーターとしてしきい電流密度 j_c [A/m²] を計算した結果を図4-38に示す。なお、ここでは4.3.4 で説明した補正係数の $1/2.7$ が掛けられている。また図では参考のために NiFe の値である $M_s = 800$ emu/cc、 $P = 0.7$ の点が●印で示されている。図から M_s が小さく P が大きいほどしきい電流密度は小さくなることがわかる。また M_s 、 P が NiFe 相当の値を有する垂直磁気異方性材料を用いた場合、線幅 120 nm、膜厚 4 nm 程度のときのしきい電流密度は 1.0×10^{12} A/m² となることがわかる。

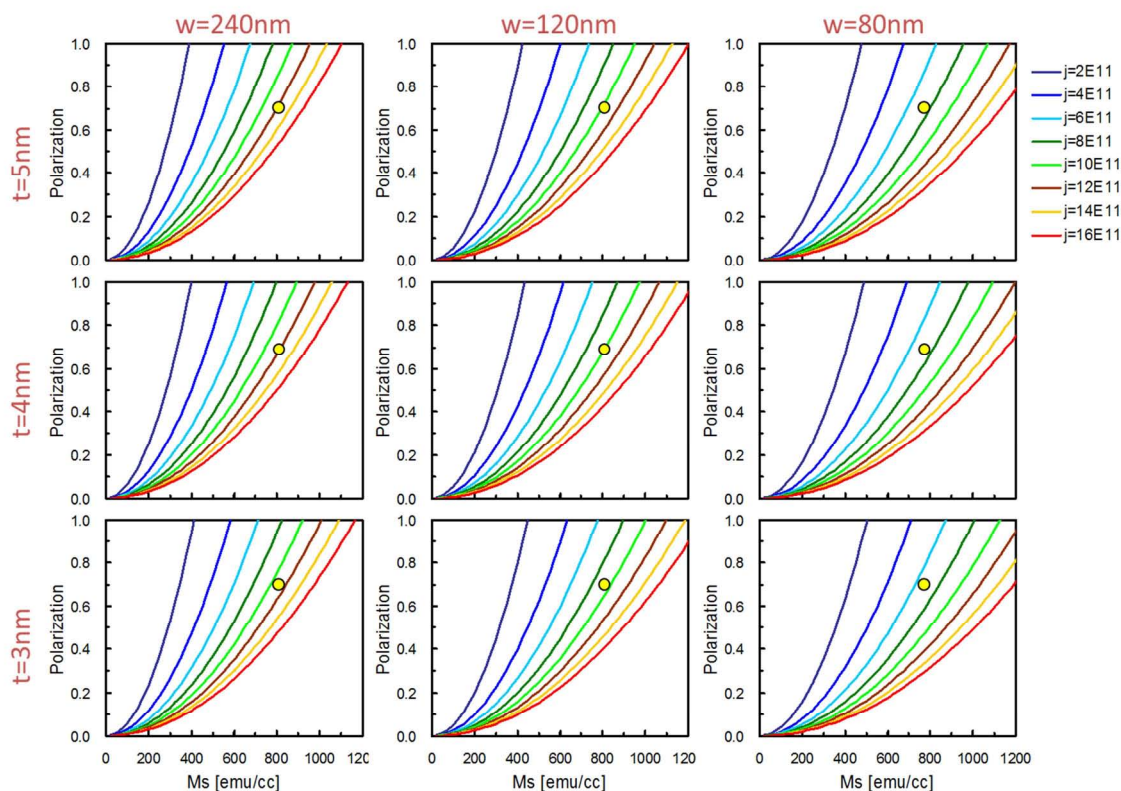


図4-38: 細線幅が 80, 120, 240nm、膜厚が 3, 4, 5 nm の垂直磁気異方性細線における磁壁移動のためのしきい電流密度 j_c と飽和磁化、及びスピンの分極率との関係の 1 次元完全解析モデルに基づいた計算結果。“●”は参考のためにパーマロイ (NiFe) の値である $M_s = 800$ emu/cc、 $P = 0.7$ の位置を示している。

また 1 次元完全解析モデルを用いることによって、よく知られている垂直磁気異方性材料が、電流誘起磁壁移動にどの程度適しているかを推測することもできる。表 4-3 ではよく知られている垂直磁気異方性材料の物性値 (M_s 、 K_u 、 A) 及び磁壁幅 δ と、線幅 120 nm、膜厚 5 nm のときに見積もられる困難軸異方性磁場 $H_{k\perp}$ 、スピン偏極電流速度のしきい値 (u_w : 補正係数 $1/2.7$ は考慮済み)、及び電流密度のしきい値 j_c が 1.0×10^{12} A/m² となるのに必要なスピンの分極率 P の値が示されている⁸。例えば代表的な垂直磁気異方性材料である L1₀ 規則合金構造をもつ FePt では 1.0×10^{12} A/m² の電流密度で磁壁を動かすためにはスピンの分極率は 1 近い値が必要となる。L1₀-FePt のスピンの分極率は 0.7 程度であることが知られているので^[8]、FePt は電流誘起磁壁移動を実現する上ではあまり適していない材料とすることができる。一方で Co/Pt の交互積層膜の場合、 1.0×10^{12} A/m² の電流

⁸ 1.0×10^{12} A/m² 以上の電流密度においてはジュール発熱の影響で不安定な動作が起こることが経験的に分かっているため、この電流密度を基準として用いた。

密度で磁壁を動かすためにはスピン分極率は 0.1 程度でよいことから、ここで用いたモデルでは電流誘起磁壁移動を実現する材料としては適していると言える。また表には示されていないが、3.2.7 で紹介した強磁性半導体である (Ga,Mn)As については、 $M_s = 40 \text{ emu/cc}$ 、 $P = 0.8$ 、 $\Delta = 17 \text{ nm}$ を用いると [9-11]、 $6.5 \times 10^9 \text{ A/m}^2$ というしきい電流密度が導かれる。この結果は実験 [12] で得られたしきい電流密度とよく一致していることがわかる。

このように 1 次元完全解析モデルは各材料の電流誘起磁壁移動に対するポテンシャルを手軽に予測できることができるため、定量性には弱さがあるものの材料選定をする上では非常に有用である。

表 4-3 : 代表的な垂直磁気異方性材料において 1 次元完全解析モデルから導かれる電流誘起磁壁移動特性の計算結果。 u_w' は (3-12) 式で求まる断熱スピン移行トルクモデルでのスピン偏極電流速度のしきい値。 P_{req} は $1.0 \times 10^{12} \text{ A/m}^2$ の電流密度で磁壁を動かすために必要となるスピン分極率。

Material	M [emu/cc]	K_u [J/m ³]	A [J/m]	Δ [nm]	T [nm]	W [nm]	$H_{k\perp}$ [Oe]	u_w' [m/s]	P_{req}
FePt	1140	7.0E+06	1.0E-11	3.8	5	120	8097	49	0.98
CoPt	800	4.9E+06	1.0E-11	4.5	5	120	5229	38	0.53
FePd	1100	1.8E+06	1.0E-11	7.4	5	120	5432	65	1.25
MnAl	560	1.7E+06	1.0E-11	7.6	5	120	2715	33	0.33
Co3Pt	1100	2.0E+06	1.0E-11	7.0	5	120	5613	64	1.23
SmCo5	910	1.1E+07	1.0E-11	3.0	5	120	7095	34	0.55
Co-Pt(hcp)	900	4.0E+05	1.0E-11	15.7	5	120	2540	65	1.02
Co-Cr-Pt	500	4.0E+05	1.0E-11	15.7	5	120	1411	36	0.31
Co/Pt	300	3.0E+05	1.0E-11	18.1	5	120	746	22	0.11
Co/Ni	700	5.0E+05	1.0E-11	14.0	5	120	2325	53	0.69

第4章の参考文献

- [1] S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, and N. Ishiwata: J. Appl. Phys., 103, 07E718 (2008).
- [2] T. Suzuki, S. Fukami, N. Ohshima, K. Nagahara, and N. Ishiwata: J. Appl. Phys., 103, 113913 (2008).
- [3] S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, Y. Ozaki, S. Saito, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, C. Igarashi, S. Miura, N. Ishiwata, and T. Sugibayashi: 2009 Symp. on VLSI Tech., Dig. Tech. Pap., p. 230 (2009).
- [4] S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, and N. Ishiwata: IEEE Trans. Magn., 44, 2539 (2008).
- [5] <http://math.nist.gov/oommf/>.
- [6] J. A. Osborn: Phys. Rev. 67, 351 (1945).
- [7] G. Tatara, T. Takayama, H. Kohno, J. Shibata, Y. Nakatani, and H. Fukuyama: J. Phys. Soc. Jpn., 75, 064708 (2006).
- [8] T. Moriyama, S. Mitani, T. Seki, T. Shima, K. Takanashi, and A. Sakuma: J. Appl. Phys., 95, 6789 (2004).
- [9] T. Dietl, H. Ohno, and F. Matsukura: Phys. Rev. B, 63, 195205 (2001).
- [10] R. P. Panguluri, K. C. Ku, T. Wojtowicz, X. Liu, J. K. Furdyna, Y. B. Lyanda-Geller, N. Samarth, and B. Nadgorny: Phys. Rev. B, 72, 054510 (2005).
- [11] T. Dietl, J. König, and A. H. MacDonald: Phys. Rev. B, 64, 241201(R) (2001).
- [12] M. Yamanouchi, D. Chiba, F. Matsukura, and H. Ohno: Nature, 428, 539 (2004).

第5章 電流誘起磁壁移動に適した垂直磁気異方性材料の開発

本研究では垂直磁気異方性細線における電流誘起磁壁移動を実証するための材料としていくつかの材料を検討したが、そのうち Co/Ni 積層膜において良好な電流誘起磁壁移動を観測することができた。本章ではこの Co/Ni 積層膜に関して、その作製方法や膜構成、及び電気・磁気特性について測定した結果を述べる[1]。はじめに Co/Ni 積層膜に関する過去の研究例を述べ、次に Co/Ni 積層膜の具体的な膜構成や試料作製方法、及び試料の電気、磁気特性測定方法について説明する。その後、測定された磁気特性、電気特性について述べ、電流誘起磁壁移動の実現に適した電気・磁気特性が得られたメカニズムを考察する。なお、電流誘起磁壁移動の実験結果に関しては第 6 章で述べることとし、本章では膜の材料特性の記述に留める。また本章の最後に、Co/Ni 以外に検討した材料についても簡単にその実験結果を記す。

5.1 Co/Ni 積層膜の過去の報告例と課題

Co/Ni 積層膜とは数 Å 厚の Co と Ni が交互に積層されることで垂直磁気異方性が発現される材料である。他の一般的な垂直磁気異方性材料は Pt、Pd、Sm などの非磁性金属でかつ貴金属や希土類金属を含有するのに対して、Co/Ni 積層膜は 3d 遷移金属のみから構成されるため、高いスピン分極率を示すことが期待され、電流誘起磁壁移動の実現がに有望であると考えられる。

まずは Co/Ni 積層膜に関して、本研究を始める以前に報告されていた研究結果を紹介する。Co と Ni を交互に積層することで垂直磁気異方性が発現されることは 1992 年に Daalderop らによって初めて報告された[2]。彼らは、当時既に垂直磁気異方性が発現されることが知られていた Co/Pd 系における磁気異方性発現機構に関して行った第 1 原理的な理論研究[3]から、Pd 層を Pd と価電子数が同じである Ni と置き換えた場合でも垂直磁気異方性が得られる可能性があるかと推測し、それを第 1 原理計算によって確かめた。さらに計算から垂直磁気異方性が得られる膜厚範囲について推定し、実際に実験によって垂直方向に磁化容易軸を持つ Co/Ni 積層膜を作製することに成功した。この研究では、fcc(111)配向した Co と Ni が、原子数が約 1 : 2 の割合で交互に積層されたとき、強い垂直磁気異方性が発現されることが見出されている。そしてこの垂直磁気異方性の起源は Co と Ni の界面におけるフェルミレベルが垂直方向に磁化容易軸を持つ xy 軌道と x^2-y^2 軌道 (z が界面垂直方向) に位置することにあると説明している。

Daalderop らの報告の後、den Broeder らは Co/Ni の膜構成や薄膜作製条件と垂直磁気異方性の関係について詳細に調べ、大きな垂直磁気異方性を得る上で好適な膜構成や作製方法について報告している[4]。また Johnson[5]、Naik[6]らは結晶配向性と

Co/Ni の磁気異方性の関係について詳細に調べている。これらの報告で共通しているのは、fcc 構造で(111)面配向性が強いほど大きな垂直磁気異方性が得られるということである。

ところで上に紹介した文献はいずれも応用先として磁気光学 (MO) デバイスを想定しており、電流誘起磁壁移動を利用した MRAM にそのままの膜構成を適用することはできない。具体的には、上記の文献においては Co/Ni を fcc(111)配向させるために厚い Au、Ag、Cu などの下地層を用いている。例えば参考文献[4]では 60 nm の Au を下地層に用いることで 6.8×10^6 erg/cc の垂直磁気異方性エネルギーを得ている。しかしこのような膜構成において膜面内方向に電流を導入した場合、Co/Ni の膜厚が 5 nm、電気伝導率が Au の 1/10 倍とすると、Co/Ni に流れる電流の 120 倍の電流が Au 下地層に流れてしまうことになる。これでは MRAM の実用化の必須条件である小さな書き込み電流は達成できない。また下地層を単純に薄くすれば Co/Ni の垂直磁気異方性エネルギーが小さくなるが、垂直磁気異方性エネルギーが小さくなるとジュール熱によるランダムな磁化反転などの不安定な動作が起りやすくなる。

また電流誘起磁壁移動を利用した MRAM として用いる場合、下地層、Co/Ni 層、キャップ層の合成抵抗の値も重要な指標となる。これは、詳細は 7.3.2 で説明するが、抵抗が大き過ぎると電源電圧 (V_{dd} と呼ばれる) により流せる電流が小さくなってしまったためである。3 端子素子においては図 2-4 に示したように書き込み電流の経路に二つのセルトランジスタが挿入されるが、大まかな目安としてこのセルトランジスタの抵抗よりも磁性層の抵抗が十分に小さければ上述のような問題は起こらない。ここでセルトランジスタの抵抗は概ね 1 k Ω 以上である。このことから Co/Ni 積層膜全体のシート抵抗は 1 k Ω よりも十分に小さいことが好ましい。

加えて、Co/Ni 積層膜を MRAM に適用するためには、材料特性の耐熱性も重要となる。LSI の標準プロセスの最大温度である約 350°C⁹において特性が不可逆に変化しないことが、LSI に混載する MRAM を構成する材料に求められる必要条件となる。すなわち、350°Cで熱処理が施された後も、良好な物性を維持している必要がある。

本研究において電流誘起磁壁移動に適した材料を開発するに当たっては、MRAM に適用できるような Co/Ni 積層膜の膜構成を開発することを目的とした。具体的な観点としては、Co/Ni に比べてなるべく電気抵抗の高い下地材料を用いて、なるべく大きな結晶磁気異方性を達成することができ、かつ積層膜の合成抵抗はセルトランジスタの抵抗と比べて十分小さく、また耐熱性に優れていることを念頭に置いて材料の検討を行った。

⁹ LSI プロセスにおいては Cu 配線のアニールやパッケージング工程で 350°Cの熱処理が施される。

5.2 電流誘起磁壁移動に適した Co/Ni 垂直磁化膜の膜構成設計

5.2.1 膜構成、試料作製方法、及び測定方法

図5-1に本研究で用いた Co/Ni 積層膜の代表的な積層構造を示す。基板には SiO_2 膜で覆われた Si ウェハを用いた。膜構成は基板側から $\text{Ta}(t_{\text{Ta}})/\text{Pt}(t_{\text{Pt}})/[\text{Co}(t_{\text{Co}})/\text{Ni}(t_{\text{Ni}})]_N/\text{Co}(t_{\text{Co}})/\text{Pt}(t_{\text{Pt}})/\text{Ta}(t_{\text{Ta}})$ である。 t_{Ta} 、 t_{Pt} 、 t_{Co} 、 t_{Ni} は Ta、Pt、Co、Ni 層の膜厚を意味し、N は Co/Ni の積層回数を意味する。 t_{Ta} 、 t_{Pt} 、 t_{Co} 、 t_{Ni} の代表的な値はそれぞれ 3 nm, 1.6 nm, 0.3 nm, 0.6 nm であり、N は 4 である。

薄膜の作製には DC マグネトロンスパッタリング法を用い、すべての層を真空を破ることなく堆積した。チャンバーの到達真空度は 2×10^{-7} Pa 程度である。薄膜は室温で堆積させた。また薄膜堆積後の熱処理等は施していない。薄膜の耐熱性を評価する際には真空中での熱処理を行った。熱処理炉内の真空度は約 1×10^{-5} Pa である。

薄膜の磁気特性は主に磁化曲線 ($M-H$ 曲線) を測定することにより評価した。磁化曲線の測定には振動試料型磁力計 (Vibrating Sample Magnetometer: VSM) を用いた。VSM 測定に用いた試料のサイズは 10 mm 角である。また薄膜のシート抵抗は 4 探針法により測定した。

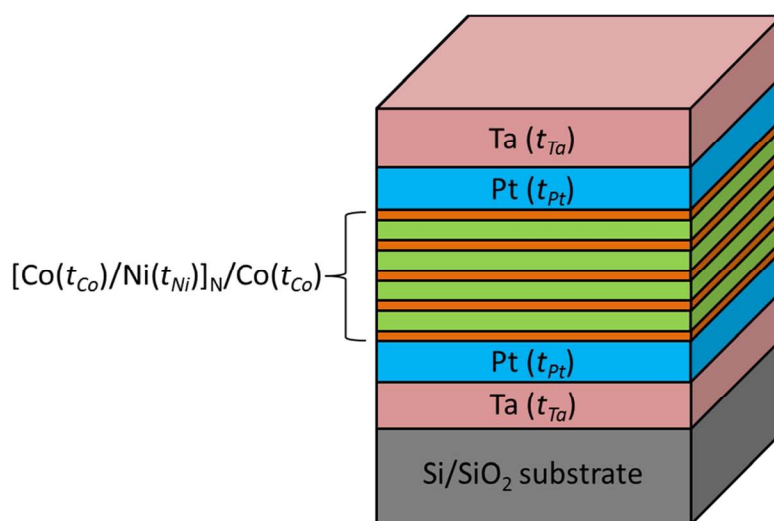


図5-1: 本研究で用いた Co/Ni 積層膜の膜構成

5.2.2 磁気特性

(下地構成依存性)

はじめに Co/Ni 積層膜の下地構成について検討した結果を示す。図5-2は面直、面内方向の磁化曲線の下地構成依存性である。図では、無下地 (non) の場合、Pt(2 nm)のみの場合、Ta(5 nm)のみの場合、及び Ta(5 nm)/ Pt(2 nm)を用いた場

合が比較されている。図からわかるように、Ta/Pt 下地の場合のみ垂直方向が磁化容易軸となっており、垂直方向に角型性のよい磁化曲線が得られていることがわかる。一方で無下地、Ta 下地、Pt 下地の場合は面内方向が磁化容易軸となっている。この結果から、Co/Ni で垂直磁気異方性を発現させるためには Ta/Pt 下地が良好であることがわかる。なお、他の下地構成として Ta/Ru、Ta/Pd、Ta/Au、Ta/Ir、NiFeB/Pt など検討したが、Ta/Pt の組み合わせにおいて最も大きな磁気異方性が得られた。

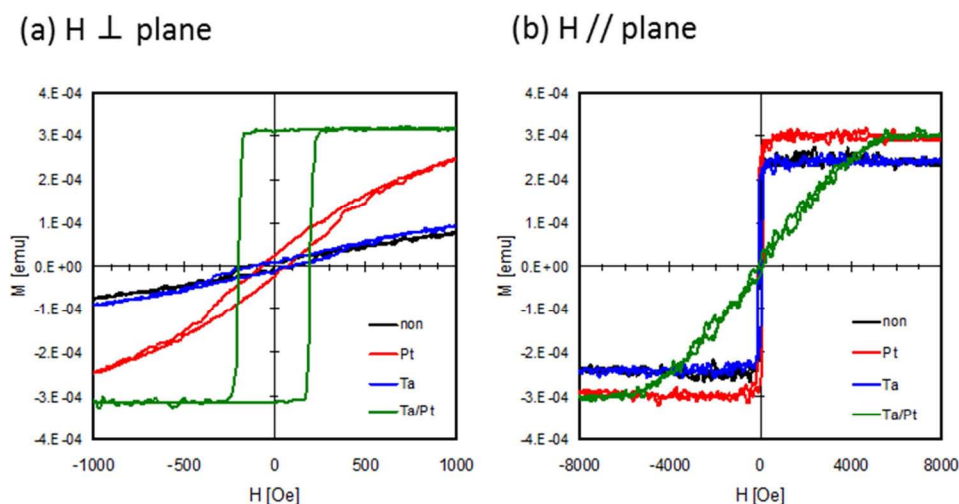


図5-2: Co/Ni 積層膜の磁化曲線の下地材料依存性。(a): 基板垂直方向の磁化曲線、(b): 基板平行方向の磁化曲線。Co/Ni 積層膜の膜構成は、sub./ X/[Co(0.3)/Ni(0.6)]₄/ Co(0.3)/ Pt(3)。

次に Ta/Pt 下地について、Ta、Pt の膜厚依存性の検討を行った。

図 5 - 3 は磁化曲線の Ta 膜厚依存性の測定結果であり、図 5 - 4 には基板垂直方向の磁化曲線から読み取った保磁力 H_c と基板面内方向の磁化曲線から読み取った飽和磁場 H_{sat} の Ta 膜厚依存性が示されている。ここで、基板垂直方向の保磁力 H_c は連続膜の状態における磁壁の移動のしやすさを表している。また基板面内方向の飽和磁場 H_{sat} は磁気異方性エネルギーに逆らって磁化を困難軸方向に倒すのに必要な磁場を表すことから、磁気異方性の大きさを表していると考えることができる。図から Ta が 1 nm でも垂直方向が磁化容易軸となっていることがわかる。ただし、保磁力 H_c も、また飽和磁場 H_{sat} も Ta が 3 nm 以上のものと比べると小さい。一方で Ta の膜厚が 3 nm 以上であれば飽和磁場 H_{sat} はほぼ一定であり、Ta 膜厚が 3 nm 以上であれば結晶磁気異方性エネルギーはほぼ飽和していることがわかる。ただし、Ta 膜厚が 3 nm を超えても保磁力 H_c は増加を続けていることがか

ら、Ta 膜厚の増大に伴い磁壁のピンニングの量や大きさが増大しているものと考えられる。図 5-3、図 5-4 に示した結果から十分大きな結晶磁気異方性が得られる Ta 下地の最小の膜厚は 3 nm と判断できることから、電流誘起磁壁移動の実験を行う上では Ta 下地層の膜厚は 3 nm に決定した。

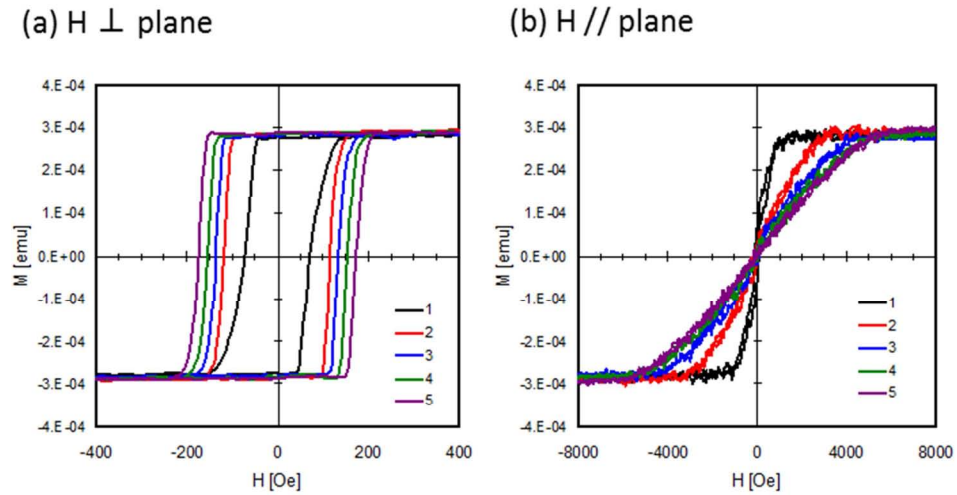


図5-3: Co/Ni 積層膜の磁化曲線の Ta 下地層膜厚依存性。(a): 基板垂直方向の磁化曲線、(b): 基板平行方向の磁化曲線。Co/Ni 積層膜の膜構成は、sub./Ta(x)/ Pt(2.0)/ [Co(0.3)/Ni(0.6)]₄/ Co(0.3)/ Pt(3)。

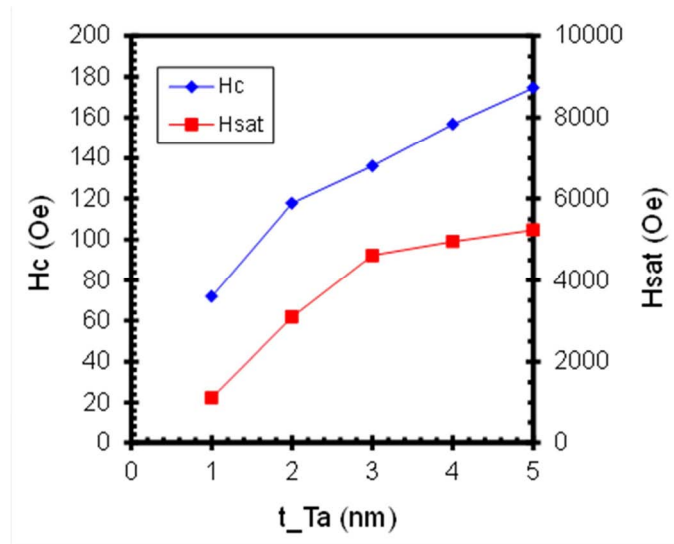


図5-4: 図5-3から読み取った基板垂直方向磁化曲線における保磁力 H_c と異方性磁場 H_{sat} の Ta 下地層膜厚依存性。

図 5-5 は磁化曲線の Pt 膜厚依存性の測定結果であり、図 5-6 には保磁力 H_c と飽和磁場 H_{sat} の Pt 膜厚依存性が示されている。Pt 膜厚が 1.0 nm 以下のときは基板垂直方向が磁化容易軸とはなっていないのに対して、Pt 膜厚が 1.2 nm 以上のときは基板垂直方向に角型性のよい磁化曲線が得られている。また保磁力、飽和磁場ともに Pt 膜厚の増加に伴いある一定値に収束していることがわかる。なお、図示はされていないが Pt キャップ層の膜厚を変化させた場合には Co/Ni の磁化曲線に変化は見られなかった。このことから Pt 下地層の膜厚の増加に伴う垂直磁気異方性の増大は、Co/Ni の fcc(111)配向化の Pt 下地層による促進にあることが推測される。

なおここで、十分な垂直磁気異方性を得るためには Pt 下地層の膜厚は 5 nm 程度まで厚くすればよいが、Pt 膜厚が厚くなると電流誘起磁壁移動の際に Pt を流れる電流の量が増大するため、トータルの電流量で損をすることになり、Pt 膜厚には最適値があることが推測される。最適な Pt 膜厚を決定するにあたっては、実際に磁壁移動素子を用いて評価した。その評価結果は第 6 章で示す。

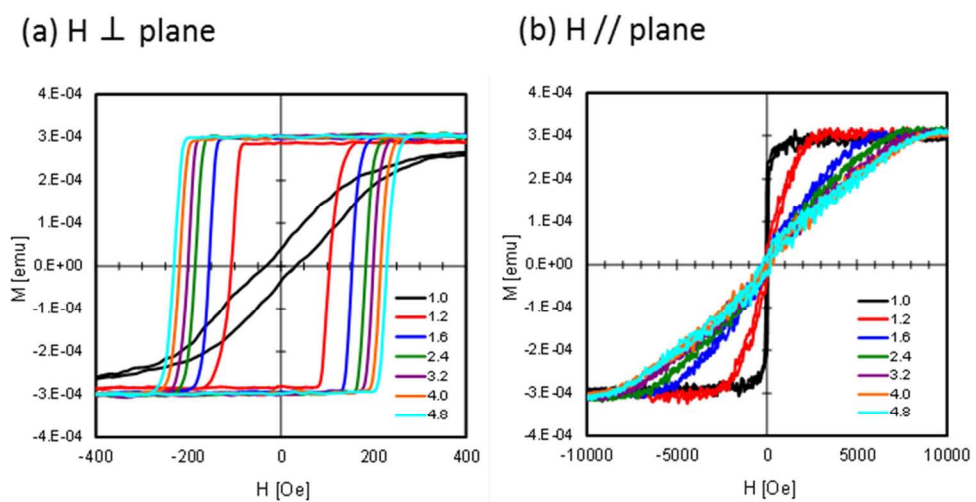


図 5-5: Co/Ni 積層膜の磁化曲線の Pt 下地層膜厚依存性。(a): 基板垂直方向の磁化曲線、(b): 基板平行方向の磁化曲線。Co/Ni 積層膜の膜構成は、sub./Ta(5)/Pt(x)/[Co(0.3)/Ni(0.6)]₄/Co(0.3)/Pt(3)。

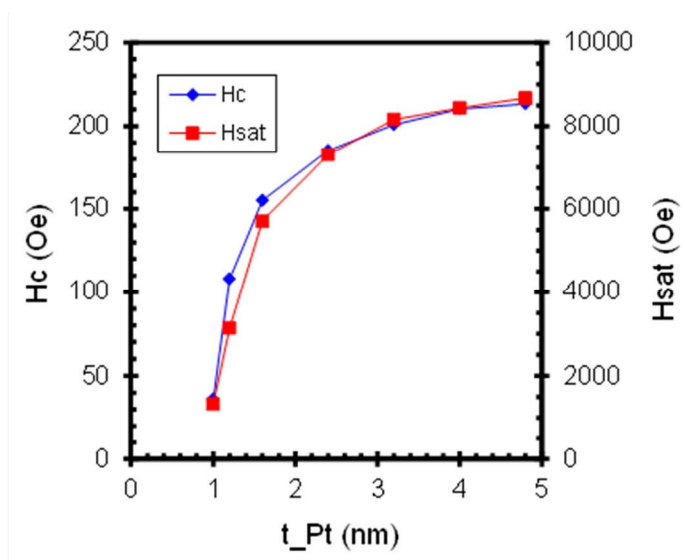


図5-6: 図5-5から読み取った基板垂直方向磁化曲線における保磁力 H_c と異方性磁場 H_{sat} の Pt 下地層膜厚依存性。

なお、 H_{sat} は Pt 膜厚の増大に伴い、9000 Oe 程度の値に収束している。ここで飽和磁化の値として 770 emu/cc を用いると異方性磁場 H_k^{10} は 19 kOe 程度となり、磁気異方性定数 K_u^{11} は $7.2 \times 10^6 \text{ erg/cc}$ となる。

(積層回数依存性)

次に Co/Ni 層の下地構成を Ta/Pt で固定し、Co/Ni の積層回数依存性について調べた結果を記す。図5-7に Co/Ni の積層回数 N を変えたときの磁化曲線の変化の様子を示す。ここで sub./ Ta/ Pt/ [Co/Ni]_N/ Pt/ Ta という膜構成において、 N が整数の場合は Pt キャップ層には Ni が接していることを意味しており、 N が半整数（整数+0.5）の場合には Co で接していることを意味している。図から N が 1 から 6.5 の範囲ではすべて磁化容易軸は垂直方向であることがわかる。

¹⁰ 異方性磁場 H_k は $H_{sat} + 4\pi M_s$ で与えられる。

¹¹ 磁気異方性定数 K_u は $H_k M_s / 2$ で与えられる。

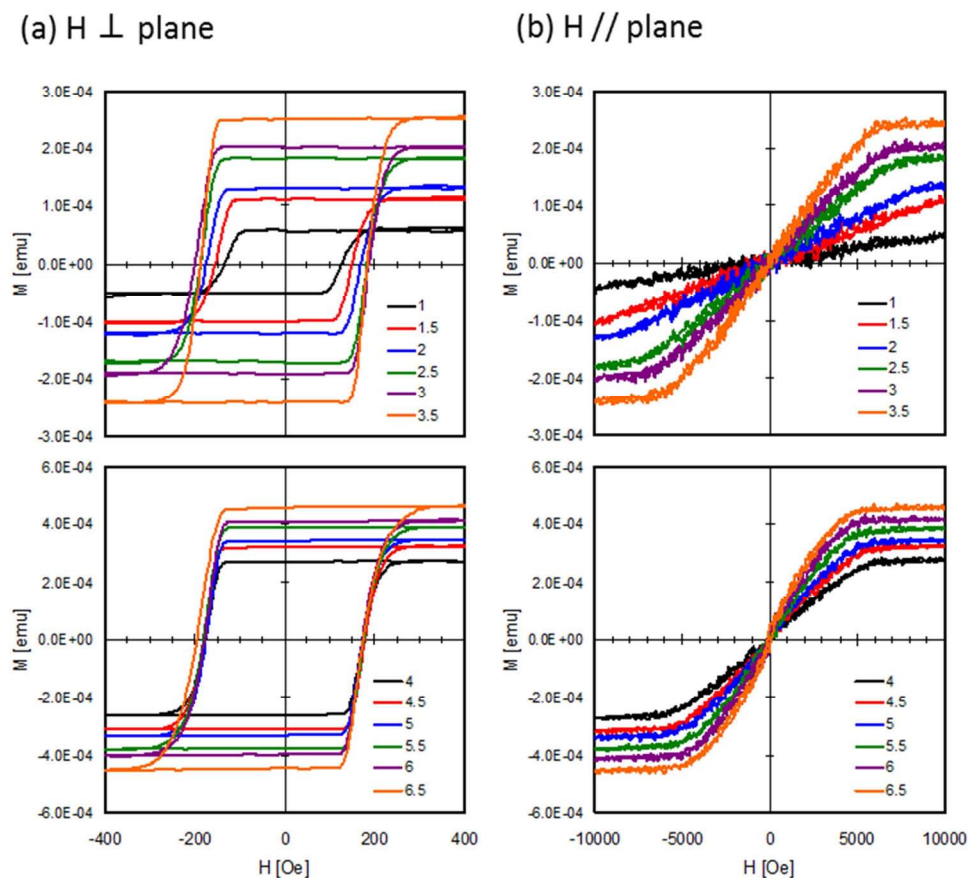


図5-7: Co/Ni 積層膜の磁化曲線の Co/Ni 積層回数依存性。(a): 基板垂直方向の磁化曲線、(b): 基板平行方向の磁化曲線。Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(1.6)/ [Co(0.3)/Ni(0.6)]_N/ Pt(3)。

図 5 - 8 には容易軸方向の保磁力 H_c 、困難軸方向の飽和磁場 H_{sat} 、及び飽和磁化 M_s と磁化ボリューム $M_s \cdot t$ (飽和磁化と膜厚の積) の積層回数依存性が示されている。まず H_c については N が 2 以下のときには小さいが、 N が 2.5 以上のときにはほぼ一定の値となっている。これは $N \geq 2.5$ では薄膜中の磁壁を磁場で移動させる場合にはほぼ同等の大きさのピンングが磁壁に働くことを意味している。このことから N が 2.5 以上の場合には Co/Ni の組織に大きな変化は見られないと推測される。次に H_{sat} については N が小さくなるほど増大している。これは N が小さいほど垂直磁気異方性の大きさが大きくなるものと理解される。 M_s については N が整数の場合 (Ni で終わる場合) と N が半整数の場合 (Co で終わる場合) で M_s の値が異なっており、 N が大きくなると M_s の値は 800 emu/cc 程度に収束している。なおこの振動的な振る舞いは Co と Ni の磁気モーメントの大きさの違いから生じているものと推察できる。第 4 章で述べた計算結果からは磁性層の膜厚は薄

いほど、また磁性層の飽和磁化は小さいほど小さな電流密度での磁壁の駆動が可能となるが、Co/Ni の積層回数と電流誘起磁壁移動の関係を実際に実験で調べた結果については第6章で記述する。

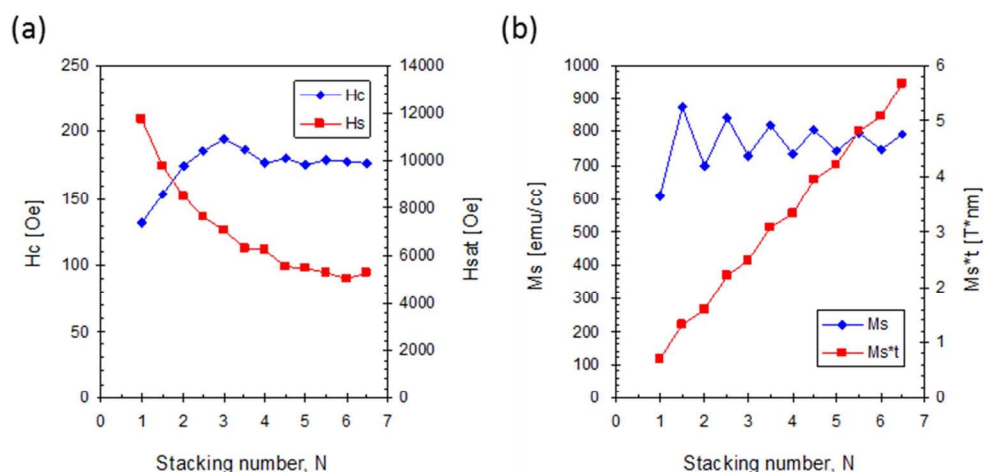


図5-8: 図5-7から読み取った基板垂直方向磁化曲線における保磁力 H_c 、異方性磁場 H_{sat} (以上(a))、飽和磁化 M_s 、及び磁気ボリューム M_s*t (以上(b)) Co/Ni 積層回数依存性

(Co, Ni 層膜厚依存性)

次に Co/Ni 積層膜における Co と Ni の膜厚依存性について調べた結果を示す。

図5-9は Co/Ni 積層膜の磁化曲線の Co, Ni 膜厚依存性を示している。ここでは Co の膜厚は 0.2, 0.3, 0.4 nm の3水準、及び Ni の膜厚はそれぞれの Co の膜厚に対して 1, 2, 3, 4 倍の4水準の薄膜を作製し、磁化曲線を測定した。図から Co が 0.2 nm のときと 0.3 nm のときは、いずれの Ni 膜厚の場合にも垂直方向の磁化容易軸を持っているのに対して、Co 膜厚が 0.4 nm の場合は、特に Ni が厚い場合に垂直磁気異方性の兆候は見られるものの残留磁化は小さくなっていることがわかる。図5-10は各々のサンプルの H_c 、 H_{sat} 、及び M_s を、横軸を Co と Ni の膜厚比にとってプロットしたものである。 H_c については Co の膜厚が厚い場合で特に Ni が厚くなるに従って減少していることがわかる。一方で H_{sat} は Co が 0.2 nm の場合を除いて Ni 膜厚が Co 膜厚の2倍のときに最大となっている。この結果は Daalderop らの理論計算の結果[2]と一致する。Co 膜厚が 0.2 nm の場合における H_{sat} のピークが $t_{Ni}/t_{Co} = 2$ よりも大きい位置にくる理由については、Co と Ni の膜厚が薄い場合には結晶性が悪いことが考えられる。また M_s は Ni 膜厚が増大する

に従って減少しているが、これは Co と Ni の磁化の大きさの違いに起因しているものと考えられる。

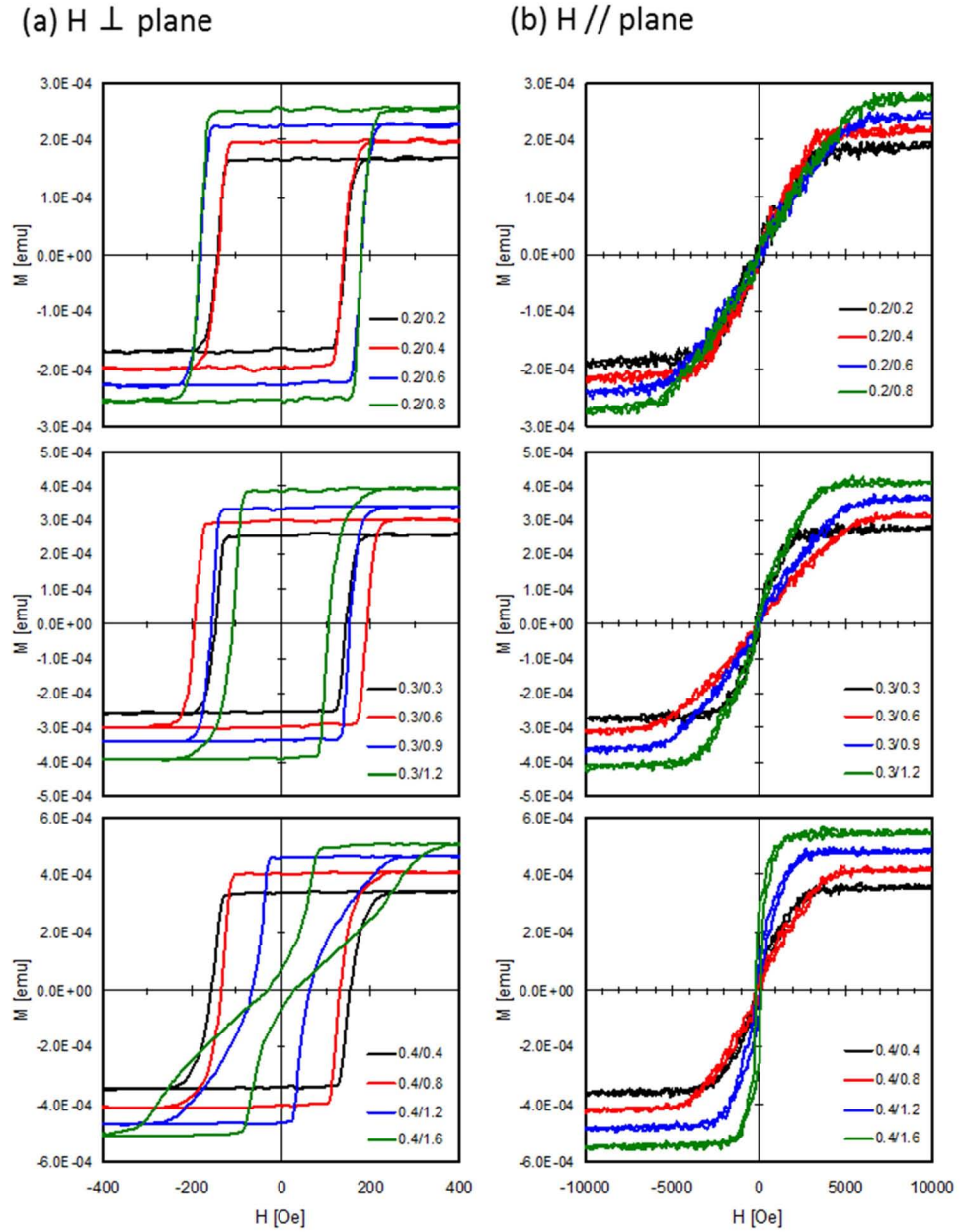


図5-9: Co/Ni 積層膜の磁化曲線の Co, Ni 膜厚依存性。(a): 基板垂直方向の磁化曲線、(b): 基板平行方向の磁化曲線。Co/Ni 積層膜の膜構成は、sub./ Ta(5)/ Pt(2)/ [Co(x)/Ni(y)]₄/ Co(x)/ Pt(3)。

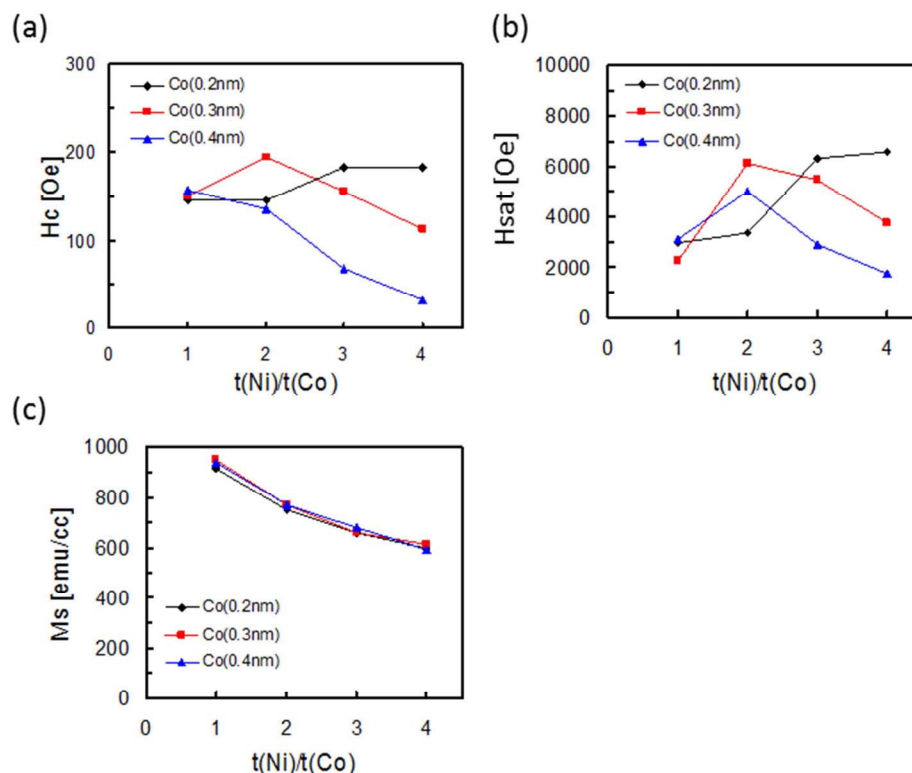


図5-10: 図5-9から読み取った基板垂直方向磁化曲線における保磁力 H_c (a) 異方性磁場 H_{sat} (b)、飽和磁化 M_s (c) の Co, Ni 膜厚依存性。横軸は Ni 膜厚 $t(\text{Ni})$ と Co 膜厚 $t(\text{Co})$ の膜厚比 ($t(\text{Ni})/t(\text{Co})$) としてある。

(耐熱性)

続いて Ta/Pt 下地層上に成長した Co/Ni 積層膜の耐熱性の評価を行った結果を示す。本研究では Co と Ni の膜厚が異なる5つのサンプルを用い、薄膜堆積後 (as-deposited) と 200°C、275°C、350°Cで2時間アニールしたサンプルの磁化曲線を比較した。図5-11に5つのサンプルの磁化曲線の熱処理による変化を、また図5-12には H_c 、 H_{sat} 、 M_s の熱処理による変化を示す。まず垂直方向の磁化曲線も面内方向の磁化曲線も、熱処理によって垂直磁気異方性が失われるような致命的な変化は起こっておらず、Co/Ni の垂直磁気異方性は 350°Cの耐熱性があると言することができる。また細かく見ると、 H_c は熱処理により概ね増大しており、磁壁のピンング強度が増大していることが推測される。また H_{sat} は 275°Cまでの熱処理では as-deposited に比べて増大するのに対して、350°Cの熱処理では as-deposited と似たような値になっている。このことから 275°Cまでは結晶性の向上により垂直磁気異方性が増大し、350°Cまでなると拡散などの効果によって垂直磁気異方性は減少するものと類推される。 M_s は熱処理温度の増大とともにわずか

に減少しているが、これは Pt や Ta や SiO_2 中の Si, O などの非磁性元素の拡散によるものと推測される。電流誘起磁壁移動特性と熱処理温度の関係についても第6章で示す。

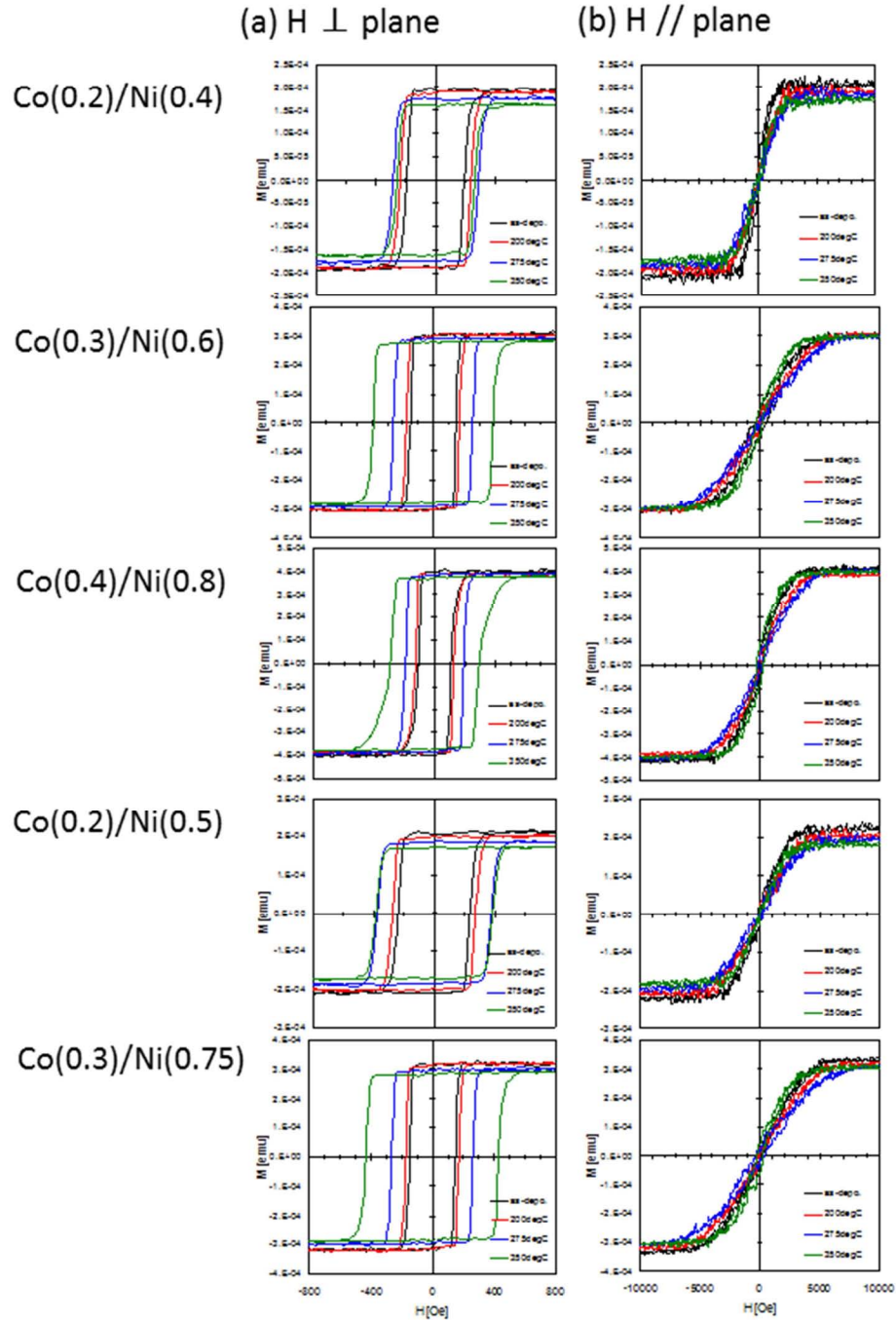


図5-11: 5つの膜構成の Co/Ni 積層膜の磁化曲線のアニール温度依存性。
(a): 基板垂直方向の磁化曲線、(b): 基板平行方向の磁化曲線。Co/Ni 積層膜の膜構成は、sub./ Ta(5)/ Pt(2)/ $[\text{Co}(x)/\text{Ni}(y)]_4$ / Co(x)/ Pt(3)。

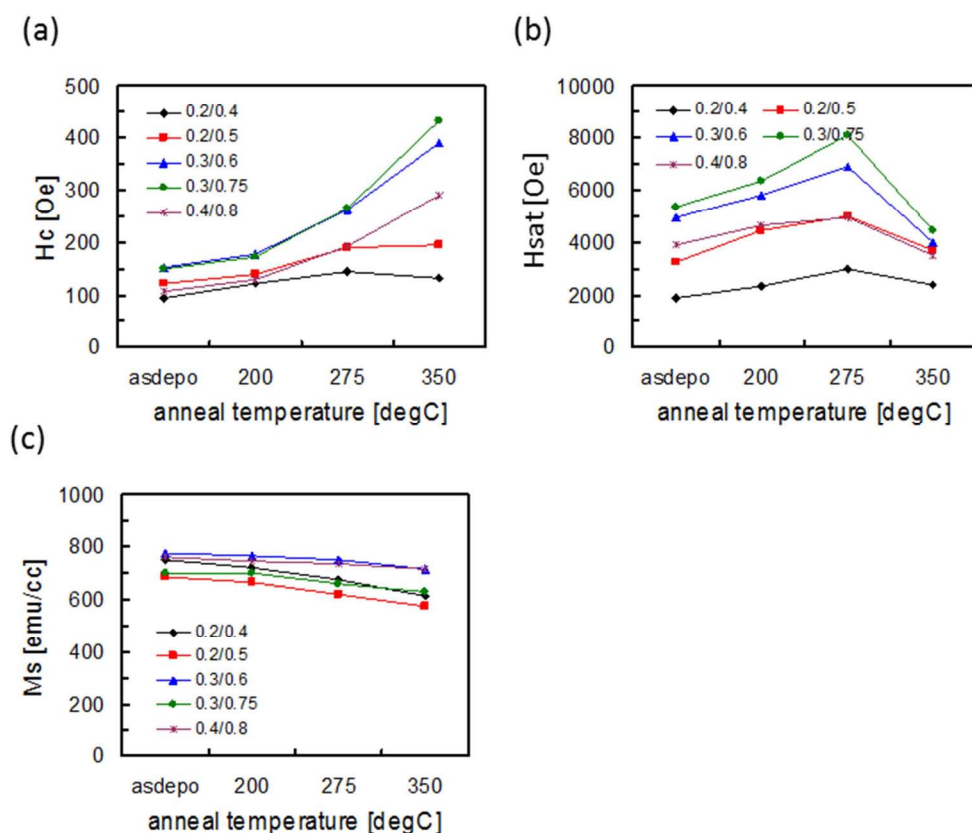


図5-12: 図5-11から読み取った基板垂直方向磁化曲線における保磁力 H_c (a)異方性磁場 H_{sat} (b)、飽和磁化 M_s (c)のアニール温度依存性

5.2.3 電気特性

5.1節で述べたように、電流誘起磁壁移動を実現する上では十分大きな垂直磁気異方性が得られているのと同時に、Co/Ni層の電気抵抗が他の層に比べて小さく、より多くの電流がCo/Ni層を流れるような構成になっている必要がある。5.2.2ではCo/Ni層の磁気特性の膜構成依存性について述べたが、5.2.3では電気特性についてシート抵抗測定から得られた結果を示す。

図5-13にTa/Pt下地を有するCo/Ni積層膜のシート抵抗と各層の分流比¹²の

¹² 分流比を算出する際には、別途Ta下地のみ、Ta/Pt下地のみ、Ta/Pt/[Co/Ni]_N（キャップ層無し）などの膜構成からなるサンプルも作製し、シート抵抗の測定を行った。Ta下地層、Pt下地層、[Co/Ni]層、Ptキャップ層、Taキャップ層は並列抵抗の関係にあるものと仮定して、得られた測定値から各層を流れる電流の分流比を算出した。

Pt 下地層膜厚依存性を示す。シート抵抗は数 10 $\Omega/\text{sq.}$ の範囲で変化しており、Pt 下地層の膜厚が厚くなるほど減少している。また Pt 下地層の膜厚が厚くなると Pt 下地層に流れる電流の分流分が増大するが、Co/Ni 層を流れる電流の割合は概ね 40% 程度の値で大きくは変化していないことがわかる。

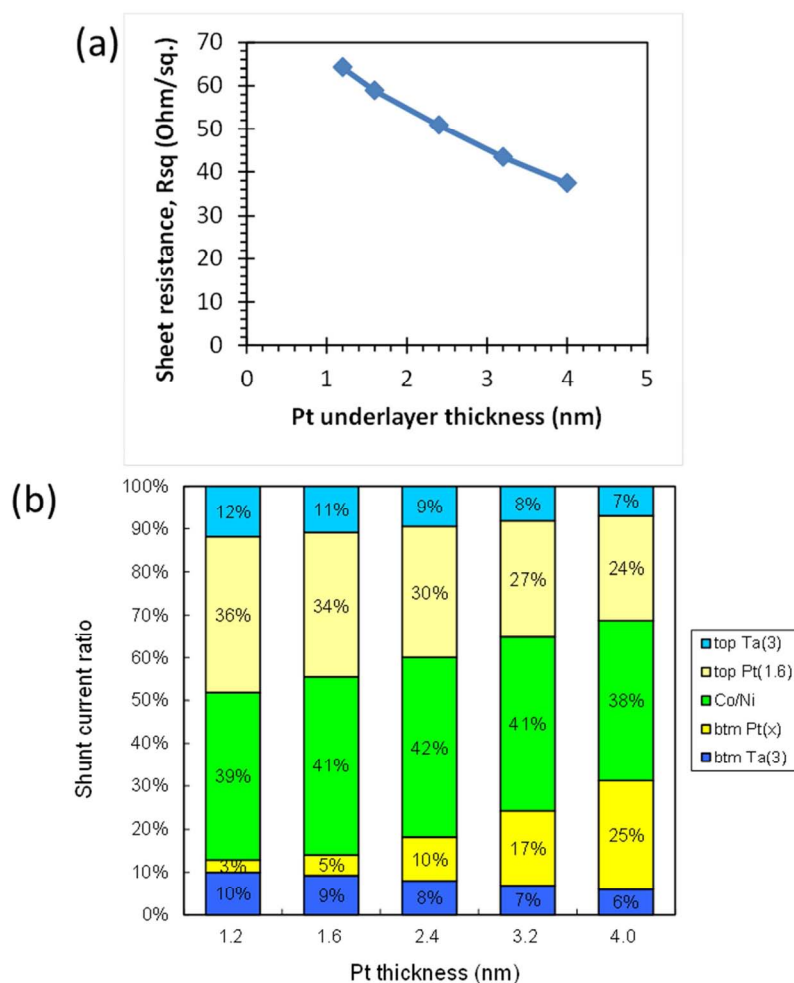


図5-13: (a) Co/Ni 積層膜のシート抵抗の Pt 下地層膜厚依存性。(b) Co/Ni 積層膜における各層への電流の分流比の算出結果。Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(x)/ [Co(0.3)/Ni(0.6)]₄/ Co(0.3)/ Pt(1.6)/ Ta(3)。

また図5-14には Pt 下地層の膜厚に対する Pt 下地層、Co/Ni 層、Pt キャップ層の抵抗率¹³の変化を示す。図を見ると Pt 下地層の抵抗率は膜厚が厚くなるこ

¹³ 抵抗率 ρ ($\Omega \text{ cm}$) とシート抵抗 R_{sq} ($\Omega/\text{sq.}$) の間には膜厚を t として $\rho = R_{sq} \cdot t$ なる関係が成り立つ。抵抗率は電気伝導度 σ と反比例の関係にあり、Pt、Co、Ni のバルクの抵抗率

とで急激に減少していることがわかる。また Co/Ni 層の抵抗率についても Pt 下地層の膜厚の増加に伴い顕著な減少が見られる。一方で Pt キャップ層については Pt 下地層膜厚が厚くなるに従い減少しているが、その程度は多と比べると比較的小さい。この抵抗率は各層の結晶構造の規則性に関連していることが考えられる。

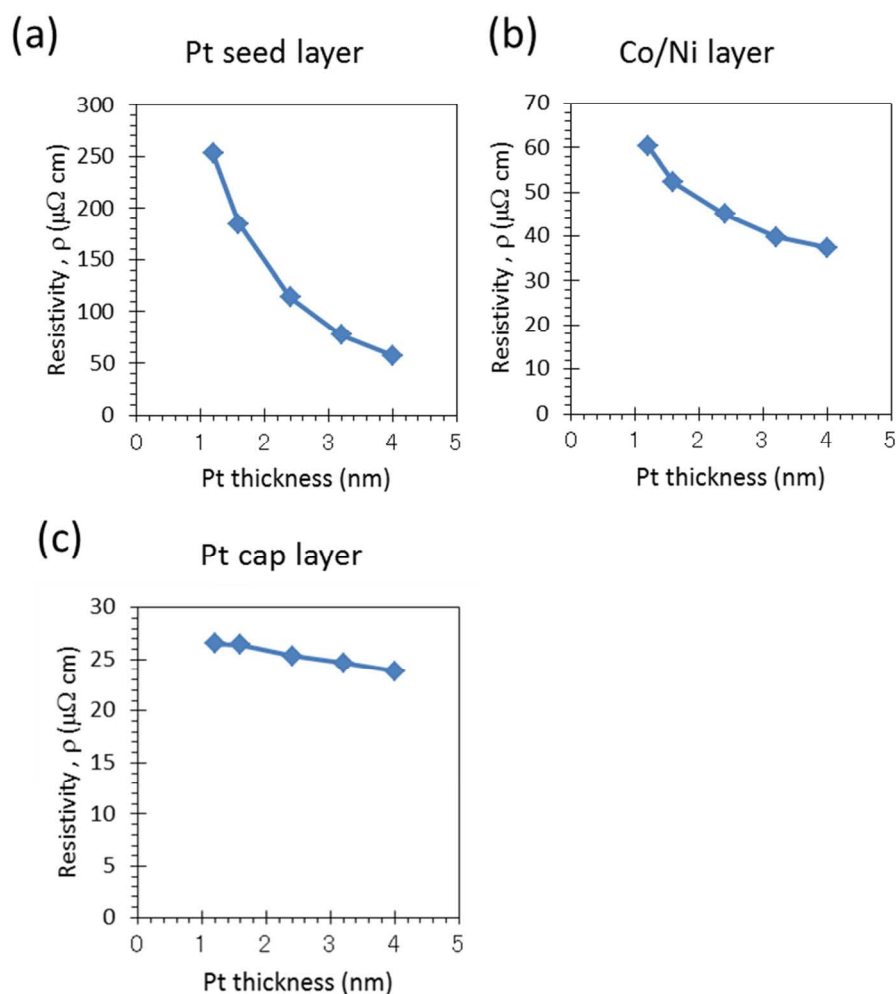


図5-14: Co/Ni 積層膜における各層の抵抗率の Pt 下地層膜厚依存性の算出結果。(a): Pt 下地層、(b): Co/Ni 層、(c): Pt キャップ層。Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(x)/ [Co(0.3)/Ni(0.6)]₄/ Co(0.3)/ Pt(1.6)/ Ta(3)。

図 5-15 は Co/Ni 上の Pt キャップ層の膜厚と全体のシート抵抗、及び分流比の関係を示している。シート抵抗の値自体は Pt キャップ層の膜厚が増大するほど減少している。また Pt キャップ層を流れる電流の割合も Pt キャップ層が厚くな

はそれぞれ 10.4, 5.8, 7.0 μΩ cm である。

るほど増大し、それに対応して Co/Ni 層を流れる電流の割合は減少している。

図 5-13 では Pt 下地層の膜厚が増大しても Co/Ni 層を流れる電流の割合は大きくは変化しなかったのに対して、図 5-14 では Pt キャップ層の厚膜化に伴って Co/Ni 層を流れる電流は減少している。このような違いが生ずる要因については 5.2.4 で考察する。

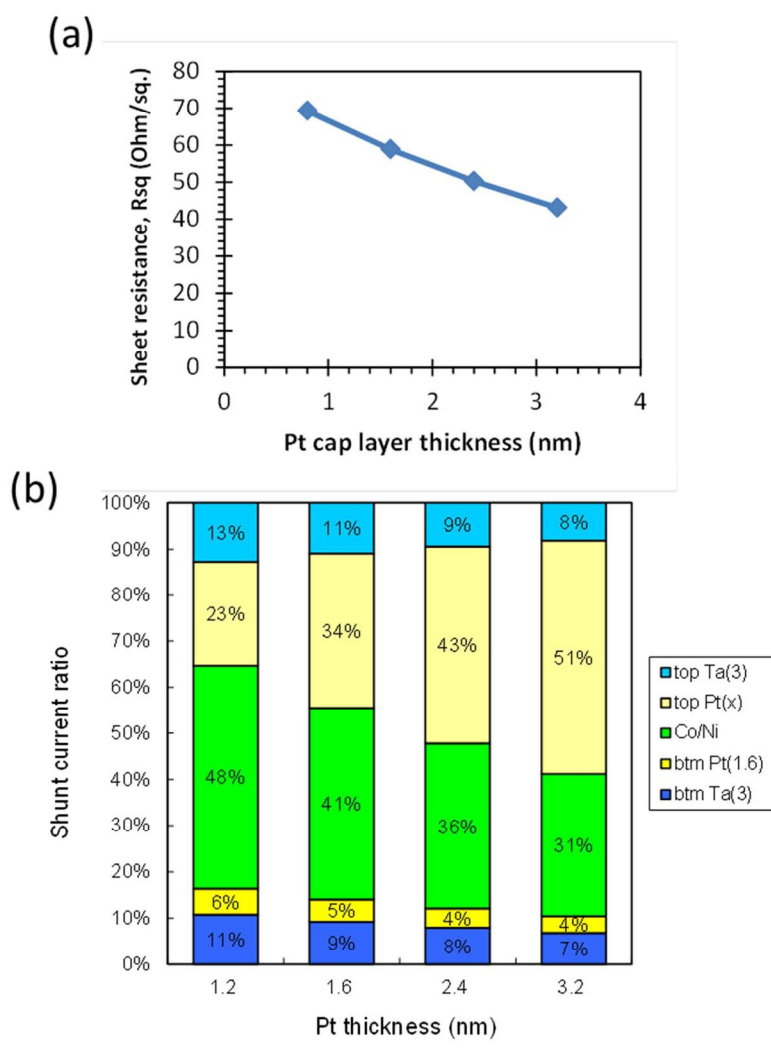


図5-15: (a) Co/Ni 積層膜のシート抵抗の Pt キャップ層膜厚依存性。(b) Co/Ni 積層膜における各層への電流の分流比の算出結果。Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(1.6)/ [Co(0.3)/Ni(0.6)]₄/ Co(0.3)/ Pt(x)/ Ta(3)。

図 5-16 には Pt キャップ層の抵抗率の Pt キャップ層依存性の測定結果を示す。図 5-14 では Pt 下地層の膜厚の変化に伴い、Pt 下地層、Co/Ni 層、Pt キ

ヤップ層の抵抗率が顕著に変化する様子が示されているが、図 5-16 を見ると、Pt キャップ層の抵抗率のその膜厚依存性は非常に小さいことがわかる。

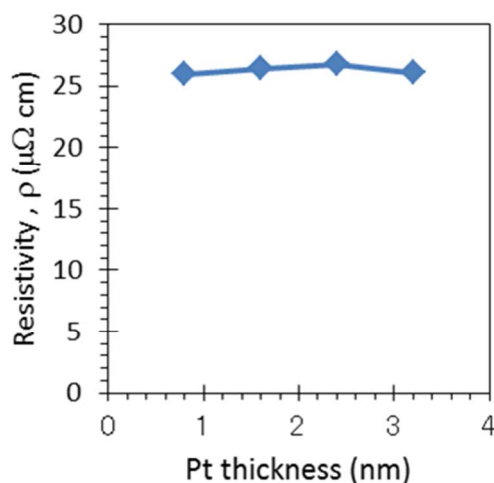


図 5-16: Pt キャップ層の抵抗率の Pt キャップ層膜厚依存性の算出結果。

Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(1.6)/ [Co(0.3)/Ni(0.6)]₄/ Co(0.3)/ Pt(x)/ Ta(3)。

図 5-17 にはシート抵抗と分流比の Co/Ni 積層回数依存性の測定結果が示されている。Co/Ni の積層回数が 1 程度と非常に少ない場合でもシート抵抗の値は 100 Ω /sq. であり、セルトランジスタの抵抗値と比べると十分に小さいと言える。また Co/Ni 層への分流比は Co/Ni の積層回数が増すほど増大している。

また図 5-18 には Co/Ni 層、Pt キャップ層の抵抗率の Co/Ni 積層回数依存性の算出結果が示されている。

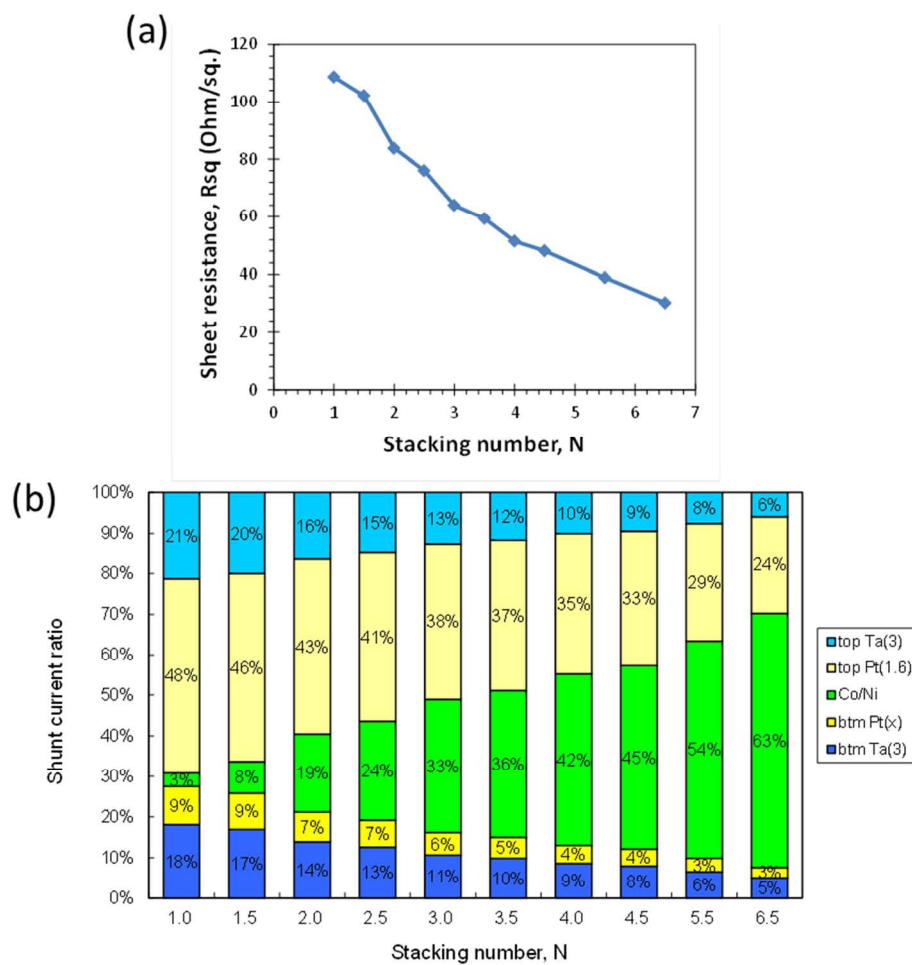


図5-17: (a) Co/Ni 積層膜のシート抵抗の Co/Ni 積層回数依存性。(b) Co/Ni 積層膜における各層への電流の分流比の算出結果。Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(1.6)/ [Co(0.3)/Ni(0.6)]_N/ Pt(1.6)/ Ta(3)。

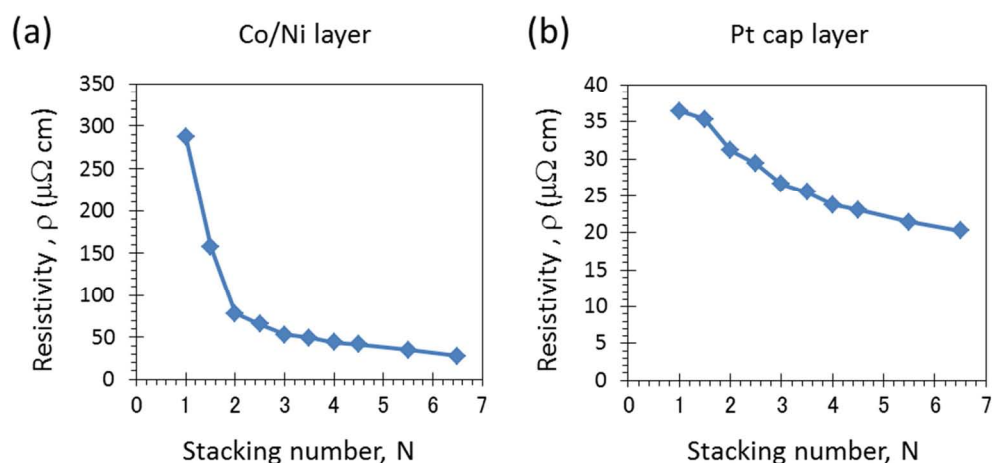


図5-18: Co/Ni 積層膜における各層の抵抗率の Co/Ni 積層回数依存性の算出結果。(a): Co/Ni 層、(b): Pt キャップ層。Co/Ni 積層膜の膜構成は、sub./ Ta(3)/ Pt(1.6)/ [Co(0.3)/Ni(0.6)]_N/ Pt(1.6)/ Ta(3)。

以上のシート抵抗の測定結果から、まず Co/Ni 積層膜のシート抵抗はセルトランジスタの抵抗と比べて十分に小さく、メモリ動作上は問題ない範囲にあると判断できる。また過去の文献[2-6]から予測される Co/Ni 層への分流比と比べて、Ta/Pt 下地層を用いることによって得られる Co/Ni 層への分流比は非常に大きくなることが分かった。なおここで得られた分流比は第6章で述べる電流誘起磁壁移動の実験において電流密度を算出する際に使用した。また図5-14、図5-16、図5-18で示した各層の抵抗率の算出結果は、電流誘起磁壁移動のしきい電流密度の膜構成依存性の測定結果を解釈する上で参考にした。

5.2.4 考察

これまでに述べたように Ta/Pt 下地を用いることで、Co/Ni 積層膜においてこれまでに報告されていた磁気異方性エネルギーと同等以上の垂直磁気異方性を得ることができ、同時にこれまで報告されていた膜構成から予測される Co/Ni 層への分流比よりも格段に大きな値を得られることが分かった。ここではこのような結果が得られたメカニズムについて考察する。

5.1 節で述べたように Co/Ni 積層膜における垂直磁気異方性は Co と Ni の fcc(111)配向と密接な関係があることが理論、実験からわかっている。このことから今回の Ta/Pt 下地は Co/Ni の fcc(111)配向化を促進する上で効果的であったと推測される。

Ta/Pt 下地において強く fcc(111)配向した Co/Ni が得られるメカニズムは、Ta、

Pt の表面エネルギーを用いて説明ができる。一般的にある材料の上にそれよりも表面エネルギーの小さな材料が堆積する場合、2 次元的な Frank–van der Merwe モードで layer-by-layer タイプの結晶成長をすることが知られている。ここで Ta と Pt の表面エネルギーはそれぞれ 3.018 J/m^2 と 2.691 J/m^2 であるので[7]、Ta/Pt 下地はこのケースに相当し、Ta 下地の上で Pt 層は layer-by-layer 成長すると考えられる。また Pt は fcc 構造が安定であるが、fcc 構造の場合(111)面に比べて他の面の表面エネルギーは比較的高い[8]。このため Pt 層が堆積するときは結晶成長の初期の段階から fcc(111)配向で成長すると考えられる。そして Co と Ni は(111)配向した Pt 上にエピタキシャル成長するため、fcc(111)配向した Co/Ni 積層膜が得られることになる。なお、Pt 層が 1.0 nm 以下のときは十分な垂直磁気異方性が得られなかったことから、 1.0 nm 以下の膜厚では Co/Ni の結晶成長のテンプレートとして十分に機能できるだけの配向性が得られていないものと考えられる。

また図 5-13 では Pt 下地層の膜厚が増大して Pt 層への分流が増大しても Co/Ni 層への分流は変わっていない。これは Pt 層が厚くなることでより Co/Ni の結晶性がよくなり、電気抵抗が下がることに起因しているものと考えられる。実際、Co/Ni 層単独の抵抗率は図 5-14 からわかるように Pt 下地層の膜厚が増大するに従って減少している。

5.3 Co/Ni 以外で検討した材料

第 5 章ではこれまでに Co/Ni 積層膜の過去の研究結果や、本研究で電流誘起磁壁移動の実験に用いた膜の膜構成や電気・磁気特性に関して述べた。第 6 章以降ではこの Co/Ni 積層膜を用いた電流誘起磁壁移動の評価結果について述べるが、その前に 5.3 節で Co/Ni 以外で電流誘起磁壁移動を実現する材料として検討したもの、及びその実験結果を簡単に述べる。

Co/Ni 以外で電流誘起磁壁移動の検討を行った材料としては Co-Pt 合金、Co-Cr-Pt 合金、及び Co/Pt 積層膜がある。このうち Co-Cr-Pt 合金においては電流による磁壁移動が観測された[9]。ここでは基板側から Ta(5 nm)/ Ru(2 nm)/ Co-Cr-Pt(8 nm)/ Pt(2 nm)という膜構成を用いた。 $1.0 \times 10^{12} \text{ A/m}^2$ 程度の電流密度において磁壁が電流と逆方向に移動することが観測されたが、一方でジュール熱による不安定動作（磁区生成など）の兆候も観測された。これは Ru 下地層への電流の分流で説明できるものと考えられる。5.2.3 で説明した電流の分流分の見積もりと同様の方法で上記の Co-Cr-Pt 合金細線での分流比を算出したところ、Co-Cr-Pt 層への電流の分流は 20% 程度であり、70%程度の電流が Ru 層に流れてしまうことが分かった。このことから Ru 層への電流の分流によって生ずるジュール熱で細線の温度が上昇し、Co-Cr-Pt での磁区の生成などが起こったものと考えられる。

また Co-Pt 合金においては、電流誘起磁壁移動は観測されなかった。これは Co-Pt

合金では飽和磁化 M_s が大きい ($M_s \sim 1200 \text{ emu/cc}$) ことに起因しているものと考えられる (図 4-38 参照)。

一方 Co/Pt 積層膜においても電流誘起磁壁移動は観測されていない。Co/Pt 積層膜の飽和磁化は小さく、図 4-38 では磁壁移動が観測されるべき領域に位置している。Co/Pt 積層膜で電流誘起磁壁移動が観測できていない理由は現在のところ明らかにはなっていないが、Pt 層内でのスピン軌道相互作用による動的なスピン分極率の実効値が低いことなどをその原因として推測している。

また最近、CoFeB と MgO を積層したとき、その界面において垂直磁気異方性が発現されることが実験的に確認された [10]。この CoFeB/MgO 細線においても制御性の高い電流誘起磁壁移動が観測されたが[11]、この結果は本論文では省略する。

第 5 章の参考文献

- [1] S. Fukami, T. Suzuki, H. Tanigawa, N. Ohshima, and N. Ishiwata: Appl. Phys. Express, **3**, 113002 (2010).
- [2] G. H. O. Daalderop, P. J. Kelly, and F. J. A. den Broeder: Phys. Rev. Lett., **68**, 682 (1992).
- [3] G. H. O. Daalderop, P. J. Kelly, and M. F. H. Schuurmans: Phys. Rev. B, **42**, 7270 (1990).
- [4] F. J. A. den Broeder, E. Janssen, W. Hoving, and W. B. Zeper: IEEE Trans. Magn., **28**, 2760 (1992).
- [5] M. T. Johnson, J. J. de Vries, N. W. E. McGee, J. aan de Stegge, and F. J. A. den Broeder: Phys. Rev. Lett., **69**, 3575 (1992).
- [6] V. M. Naik, S. Hameed, R. Naik, L. Pust, L. E. Wenger, G. L. Dunifer, and G. W. Auner: J. Appl. Phys., **84**, 3273 (1998).
- [7] L. Z. Mezey and J. Giber: Jpn. J. Appl. Phys. **21**, 1569 (1982).
- [8] R. A. Johnson: Phys. Rev. B, **37**, 3924 (1988).
- [9] H. Tanigawa, K. Kondou, T. Koyama, K. Nakano, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, and T. Ono: Appl. Phys. Express, **1**, 011301 (2008).
- [10] S. Ikeda, K. Miura, H. Yamamoto, K. Mizunuma, H. D. Gan, M. Endo, S. Kanai, J. Hayakawa, F. Matsukura, and H. Ohno: Nature Materials, **9**, 721 (2010).
- [11] S. Fukami, T. Suzuki, Y. Nakatani, N. Ishiwata, M. Yamanouchi, S. Ikeda, N. Kasai, and H. Ohno: Appl. Phys. Lett., **98**, 082504 (2011).

第6章 Co/Ni 細線における電流誘起磁壁移動の実験

本章では、第 5 章で述べた垂直磁気異方性を有する Co/Ni 積層膜を細線状に加工し、電流誘起磁壁移動を測定した結果を示す[1-3]。はじめにサンプルの構造や作製方法、及び測定方法について述べた後、得られた実験結果を記す。実験結果では主に Co/Ni の膜構成依存性、細線の線幅依存性、アニール温度依存性、及びピンサイトのある系での磁壁移動の測定結果について示す。

6.1 試料構成、作製方法、測定方法

はじめに 6.1 節では測定に用いた試料の構成と作製方法、及び測定方法について述べる。本研究では電流誘起磁壁移動の測定ために異常ホール効果の検出を用いた素子（ホール素子）と磁壁抵抗の検出を用いた素子（磁壁抵抗素子）の 2 種類を用いた。以下にそれらの構造、作製方法、測定方法について説明する。

（ホール素子）

図 6-1 にホール素子の構造と測定回路を示す。ホール素子は Cu 配線が埋め込まれた Si 基板上にクロス形状に加工された磁性細線が形成された構造を有する。図 6-1 (b) の SEM 写真において A-B 間の Cu 配線（コントロール線）にパルス電流を流すことにより発生するエルステッド磁場で磁壁を磁性細線に導入し、A-C 間でパルス電流を流すことにより磁壁を駆動する。検出の際は A-C 間に微弱な DC 電流を導入しながら D-E 間で発生する異常ホール効果に起因した起電力を読み出す。磁壁移動部の線幅 (W_{DWM})、コントロール線からホールクロスまでの距離 (L_{DWM})、ホール端子側の磁性細線の線幅 (W_{EHE})、D,E 端子までのクロス部分からの距離 (L_{EHE}) の代表的なサイズはそれぞれ 150 nm, 2 μ m, 70 nm, 1.5 μ m とした。

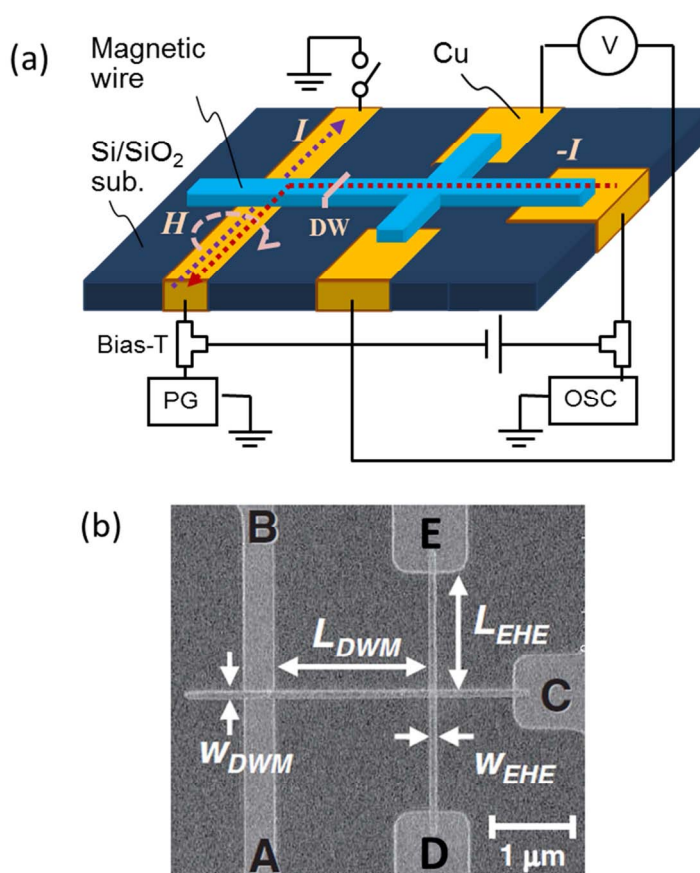


図6-1:異常ホール効果の検出を用いた素子（ホール素子）の構造と測定回路の模式図（a）とホール素子部分の SEM 像（b）。PG は Pulse generator、OSC は Oscilloscope、Bias-T は Bias-tee を意味する。

図 6-2 には図 6-1 に示したようなホール素子を形成するためのプロセスのフローを示す。はじめにフォトリソグラフィー法と RIE（Reactive Ion Etching）法を用いて Si 基板に溝を形成し（図中①）、メッキ法と CMP（Chemical-Mechanical Polishing）法により Cu 配線を埋め込む（図中②）。その後磁性層（Co/Ni 積層膜）をスパッタリング法により堆積し、続いて Si-N・Si-O ハードマスク層を CVD（Chemical Vapor Deposition）法により堆積する（図中③）。次にフォトリソグラフィー法と RIE 法により磁壁移動細線の Si-O ハードマスクを形成し（図中④）、再度 Si-O ハードマスク層を CVD 法により堆積後（図中⑤）、今度はホールクロス細線の Si-O ハードマスクを形成する（図中⑥）。最後に Si-N ハードマスク層を先に形成した Si-O ハードマスクを用いて RIE 法によりエッチング後、磁性層を IBE 法によりエッチングした（図中⑦）。

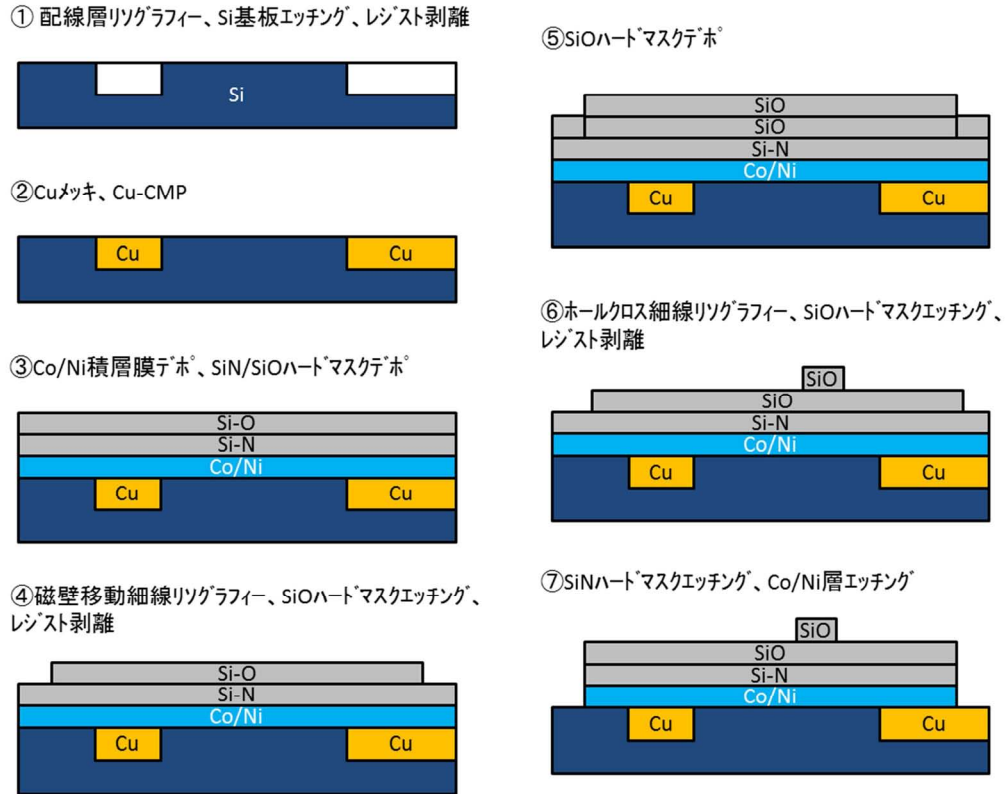


図6-2: ホール素子の形成工程のプロセスフロー

図 6-3 に測定の一連のシーケンスを模式的に示す。はじめに基板垂直方向に大きな外部磁場を印加し磁性細線を単磁区化させる (図中 (1))。次にコントロール線にパルス電流 (I_{inj}) を導入し、エルステッド磁場により磁性細線のコントロール線近傍に反対方向に磁化した磁区を作る (図中 (2))。この後、磁性細線へのパルス電流 (I_{DWM}) の導入 (図中 (3-1)) と、磁性細線に微弱な DC 電流 (I_{sense}) を流しながらのホール起電力測定 (図中 (3-2)) を、 I_{DWM} を変えながら交互に行い、磁壁移動特性を評価した。 I_{DWM} のパルス幅は 100 ns とし、パルス電流の立ち上がり時間、立ち下がり時間は 20 ns とした。

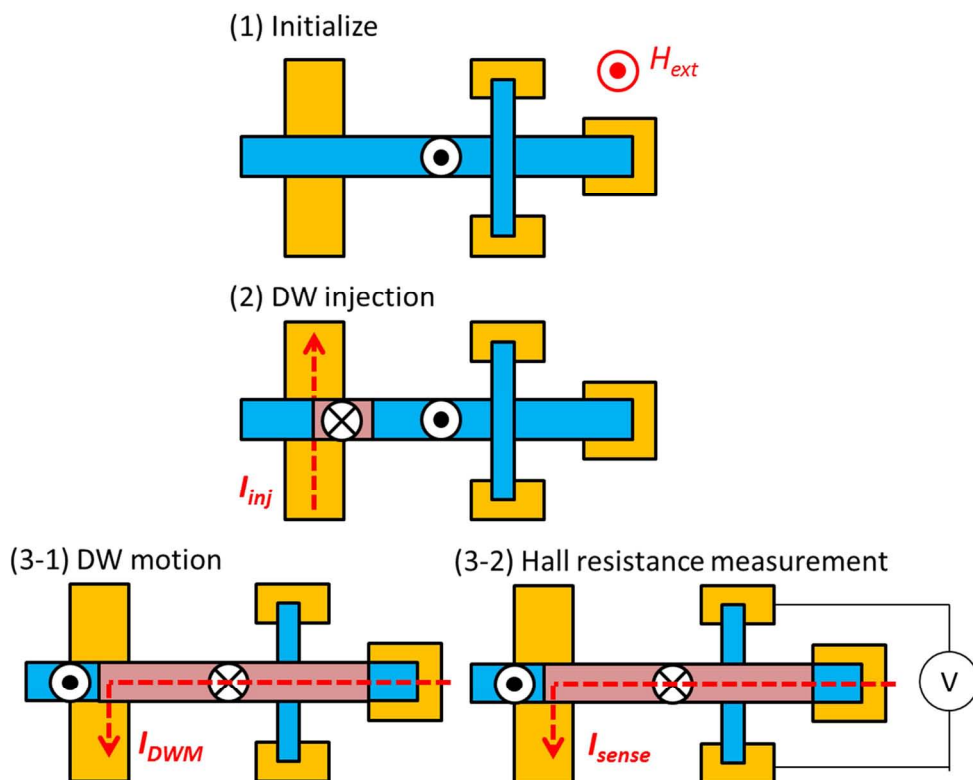


図6-3: ホール素子の測定シーケンスの模式図

図6-4にホール素子での代表的な測定結果を示す。なお図6-4で示されている実験結果では、負の電流は図6-1(b)のSEM写真においてCからAに向かう方向への電流に対応している。すなわちこの系では負の電流において電流誘起磁壁移動によるホール起電力の変化（抵抗の変化）が観測されることが期待される。図6-4では正負両方向の電流を導入した場合の抵抗の応答の様子が示されている。またリファレンスとして図6-3の測定シーケンスにおいて(2)で示されている磁壁の導入を行わなかった場合(w/o DW)の抵抗変化も示されている。図6-4からわかるように、磁壁を導入した場合にのみ、負電流において抵抗が変化している。これはスピン移行トルクにより磁壁が移動したことを意味している。

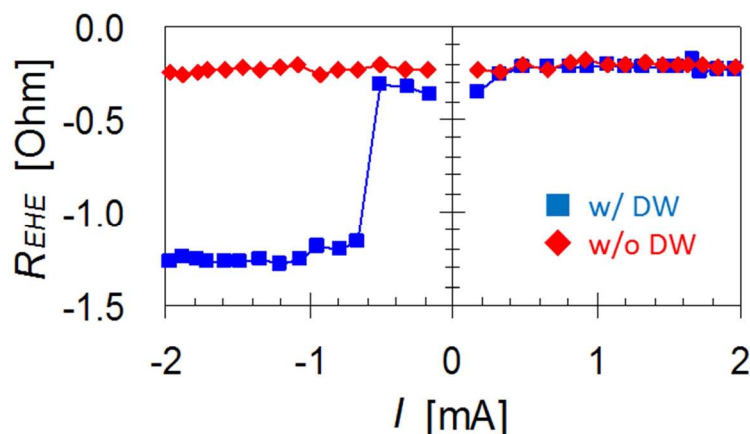


図6-4: ホール素子の測定結果の一例。縦軸はホール抵抗で横軸は印加パルス電流の電流値。“■”は磁壁を導入した状態、“◆”は磁壁を導入していない状態での測定結果。

(磁壁抵抗素子)

次に本研究で用いた二つ目の測定素子構成である磁壁抵抗素子の構造、形成方法、及び測定方法について述べる。図6-5に磁壁抵抗素子の構造と測定回路を示す。磁壁抵抗素子においては、Co/Ni 積層膜からなる磁壁移動層の両端部に Co/Pt が積層される。Co/Pt は Co/Ni と比べて垂直磁気異方性が大きい材料であり、このため両端部の Co/Pt が積層された領域は磁化の方向は一方向に固定され、一方で中央部の Co/Ni 積層膜のみからなる領域の磁化は上下 (+z、-z) 2方向をとることができる。この中央部において磁壁が移動することになる。磁壁移動部の代表的な線幅 (w) は 150 nm 程度であり、その長さ (L) は 200 nm 程度とした。この Co/Ni 層と Co/Pt 層からなる積層膜がメタル層 (M4) と Via の上に形成される。図6-5 (b) の SEM 像からわかるように、磁性素子の両端部は Via を覆うように幅広な形状とした。

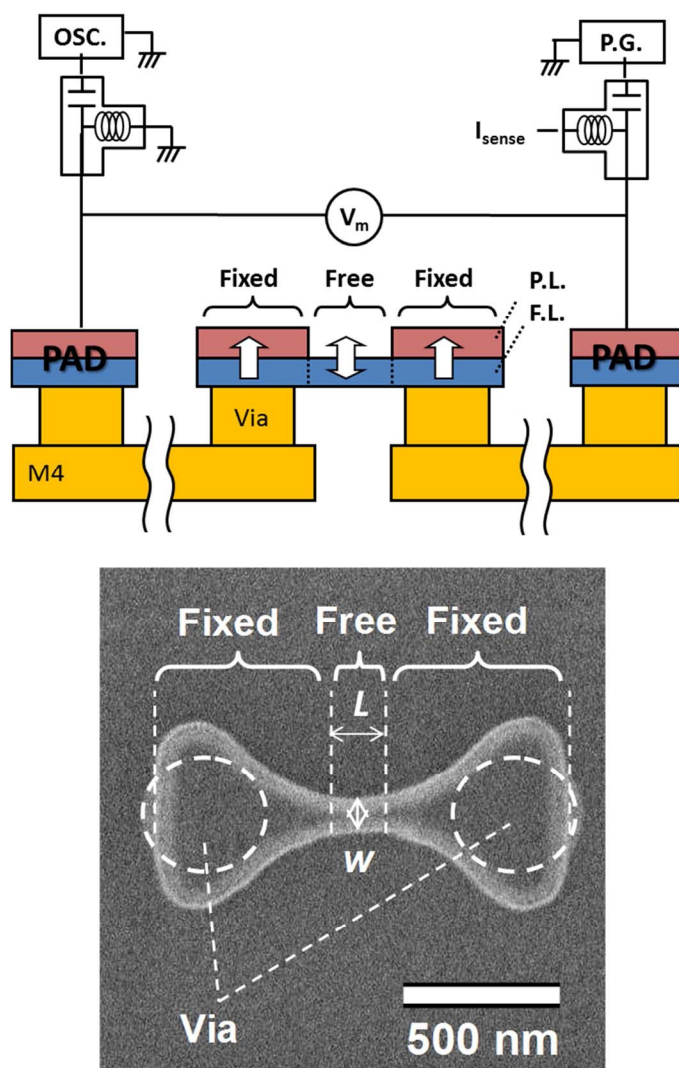


図6-5:磁壁抵抗の検出を用いた素子（磁壁抵抗素子）の構造と測定回路の模式図（a）とホール素子部分の SEM 像（b）。

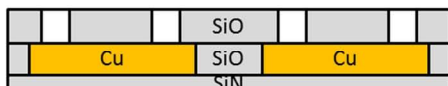
図 6-6 にこの磁壁抵抗素子の形成プロセスのフローを模式的に示す。初めに Si-O が堆積した Si 基板上にフォトリソグラフィ法と RIE 法を用いて M4 層の溝を形成し（図中①）、メッキ法と CMP 法により Cu を埋め込み、Via を形成する。続いて Si-O 層間膜を CVD 法により堆積後、フォトリソグラフィ法と RIE 法により Via の溝を形成する（図中②）。次にメッキ法により Cu を埋め込み Cu-Via を形成したのち、Co/Ni 積層膜、Co/Pt 積層膜、Si-N ハードマスク層、Si-O ハードマスク層を順次堆積する（図中③）。そして Co/Pt 層のパターニングをフォトリソグラフィ法、RIE 法、及び IBE 法により行い（図中④）、再度 Si-N、Si-O ハードマスク層を堆積し（図中⑤）、今度は磁壁移動細線のハードマスクを形成する（図中⑥）。最後に

Si-N ハードマスクを RIE 法によりエッチングし、Co/Pt 層、Co/Ni 層を IBE 法によりパターニングした (図中⑦)。

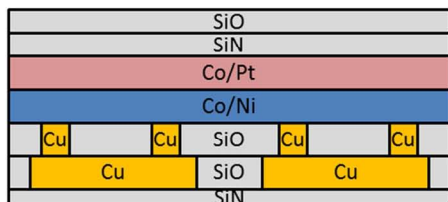
① SiN/SiO 層間膜デポ、M4リソグラフィ、M4エッチング、レジスト剥離



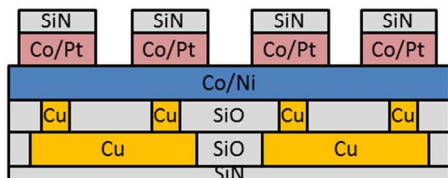
② Cuメッキ、Cu-CMP、SiO 層間膜デポ、Viaリソグラフィ、Viaエッチング、レジスト剥離



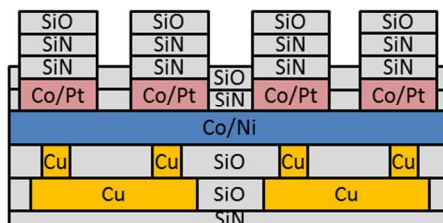
③ Cuメッキ、Cu-CMP、Co/Ni・Co/Pt層デポ、SiN/SiOハードマスクデポ



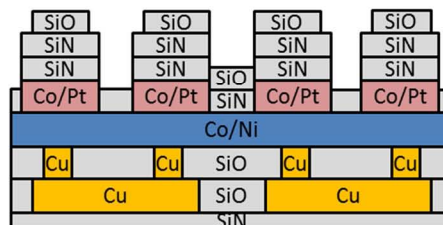
④ PLリソグラフィ、SiOハードマスクエッチング、レジスト剥離
SiNハードマスクエッチング、Co/Pt層エッチング



⑤ SiN/SiOハードマスクデポ



⑥ FLリソグラフィ、SiOハードマスクエッチング、レジスト剥離



⑦ SiNハードマスクエッチング、Co/Ni層エッチング

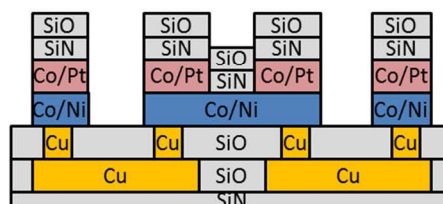


図6-6: 磁壁抵抗素子の形成工程のプロセスフロー。SiN の下は Si/SiO₂ 基板。

図 6-7 には磁壁抵抗素子の測定方法が模式的に示されている。初めに大きな磁場を基板垂直方向に印加し磁性細線全体を単磁区化する (図中 (1))。次に (1) で印加したよりも絶対値が小さく、かつ符号が逆方向の磁場を印加し、磁性細線中央の Co/Ni 積層膜のみからなる部分 (磁壁移動部) の磁化を反転させる。この時点で磁壁移動部の両端に磁壁が形成される (図中 (2))。この後、磁性細線へのパルス電流 (I_{DWM}) の導入 (図中 (3-1)) と、磁性細線に微弱な DC 電流 (I_{sense}) を流しながらの磁壁抵抗¹⁴の測定 (図中 (3-2)) を、 I_{DWM} を変えながら交互に行うことにより磁壁

¹⁴ 磁壁がある場合、磁壁がない場合と比べてスピン依存散乱によって抵抗が上昇する。これが磁壁抵抗である [4]。

移動特性を評価した。また図の（3－1）で電流 I_{DWM} を導入するかわりに（2）とは逆方向の外部磁場を印加することで磁場による磁壁移動特性の評価も併せて行った。 I_{DWM} のパルス幅は 100 ns とし、パルス電流の立ち上がり時間、立ち下がり時間は 20 ns とした。

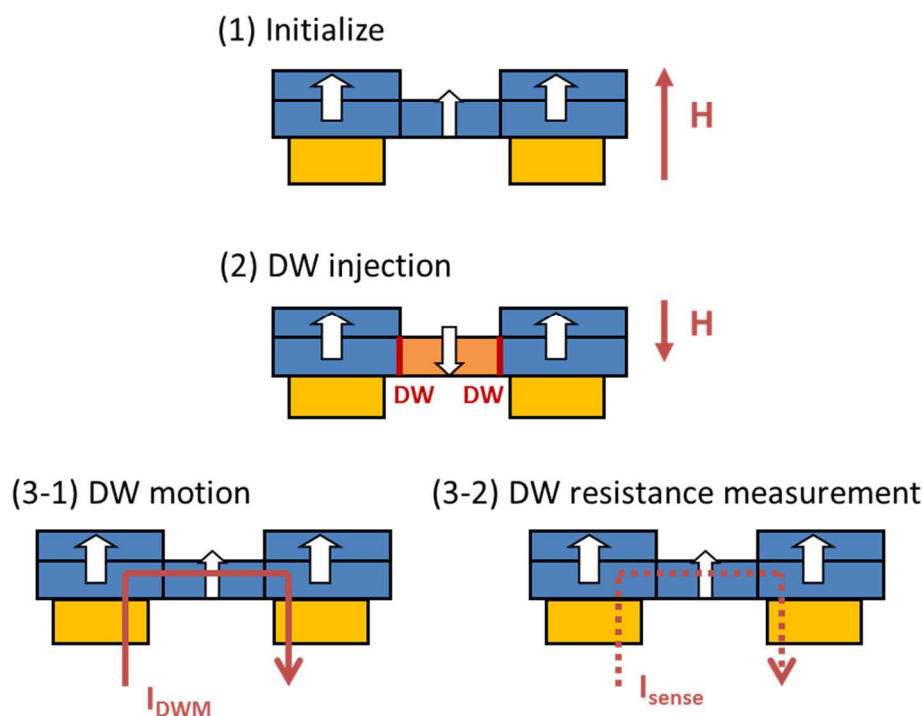


図6－7: 磁壁抵抗素子の測定シーケンスの模式図

図6－8に磁壁抵抗素子での代表的な測定結果を示す。電流が小さいときには高抵抗状態であるのに対して、正負いずれも 0.5 mA 程度の電流を導入したときに低抵抗状態に遷移している。これは 0.5 mA 程度の電流で二つのうちの一方の磁壁が移動し、他方の磁壁と結合して消滅したことを意味している。

なお、図6－8からわかるように磁壁抵抗素子においては左右どちらの磁壁が動いたかは測定結果からはわからないので、磁壁の移動方向と電流の方向の関係を判別することはできない。一方で磁壁抵抗素子は前述のホール素子と比べると第7章で述べる MRAM 素子と近い形をしており、より実際のメモリデバイスに近い特性を評価できることが期待できる。

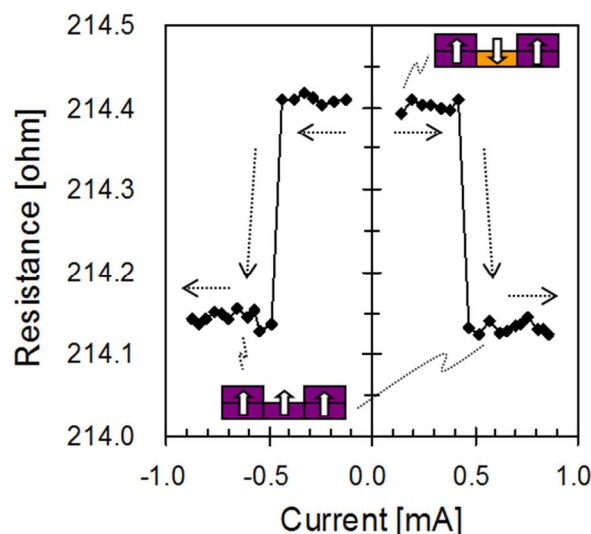


図6-8: 磁壁抵抗素子の測定結果の一例。縦軸は細線抵抗で横軸は印加パルス電流の電流値。抵抗変化量は磁壁 2 個分の磁壁抵抗に相当する。

6.2 測定結果

次に 6.1 節で述べた素子を用いて測定した Co/Ni 細線の電流誘起磁壁移動特性について述べる。

6.2.1 膜構成依存性

はじめに図 5-1 に示した膜構成を有する Co/Ni 積層膜の膜構成と電流誘起磁壁移動の関係測定した結果を示す[1]。

● Pt 下地層、キャップ層膜厚依存性

Co/Ni 積層膜においては、Co/Ni の磁気特性は Pt 下地層の膜厚によって大きく変化するが、Pt キャップ層の膜厚にはほぼ依存しないことを 5.2.2 において述べた (図 5-5、図 5-6 参照)。ここでは様々な膜厚の Pt 下地層、キャップ層を有する Co/Ni 細線を用いて測定した電流誘起磁壁移動のしきい電流、及びしきい電流密度の Pt 下地層、Pt キャップ層の膜厚依存性の測定結果を示す。図 6-9、図 6-10 にホール素子を用いて評価した Co/Ni 細線における電流誘起磁壁移動のしきい電流 (I_c) としきい電流密度 (j_c) の Pt 下地層膜厚依存性、及び Pt キャップ層膜厚依存性を示す。なお測定に用いた Co/Ni の細線幅は 150 nm であり、また Co/Ni 積層膜の膜構成は sub./Ta(3 nm)/ Pt(x_1 nm)/ [Co(0.3 nm)/ Ni(0.6 nm)]₄/ Co(0.3 nm)/ Pt(x_2 nm)/ Ta(3 nm)とした。電流値から電流密度を算出する際には図 5-13 に示した分流比の測定結果を用いた。

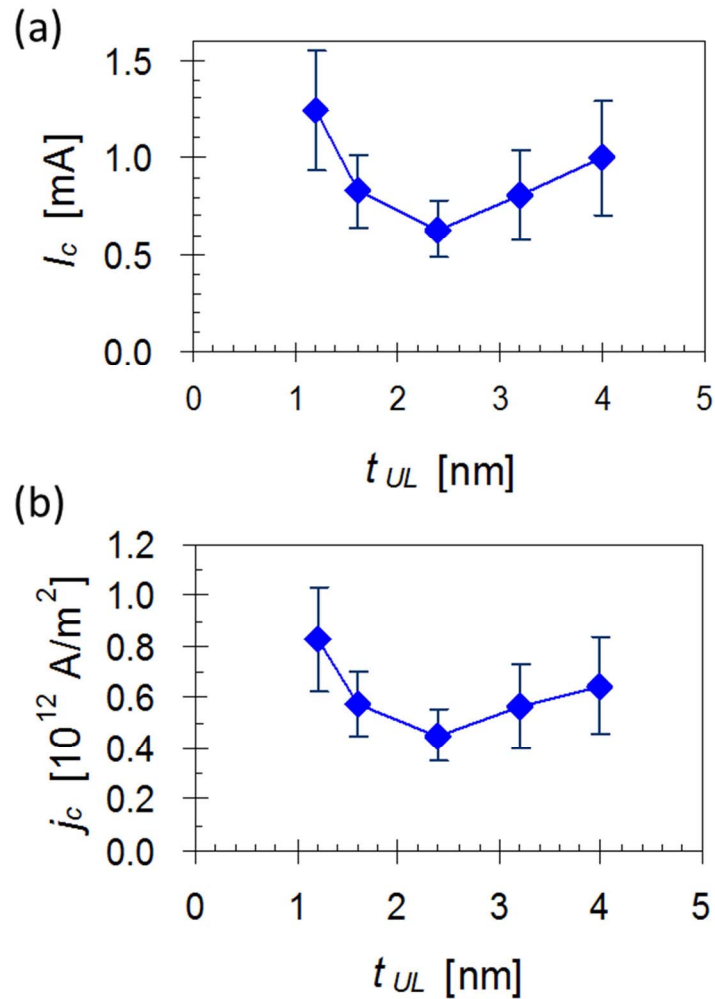


図6-9: ホール素子を用いて測定した Co/Ni 積層膜における磁壁移動のしきい電流 (a) としきい電流密度 (b) の Pt 下地層膜厚依存性

まず図6-9から、磁壁移動のしきい電流、及びしきい電流密度は Pt 下地層膜厚に対して下に凸の依存性を有し、膜厚が 2.4 nm の場合に最小値をとっていることがわかる。一方で図6-10からは Pt キャップ層の膜厚に対して磁壁移動のしきい電流密度はほぼ変化せず、Pt キャップ層が厚くなると、Pt キャップ層への分流の増加に対応してしきい電流が増大していることがわかる。このことから図5-1に示した膜構成を有する Co/Ni 積層膜でなるべく小さな電流での電流誘起磁壁移動を実現する上では、Pt 下地層は最適膜厚に設定し、一方 Pt キャップ層はなるべく薄くすることが好ましいと言える。

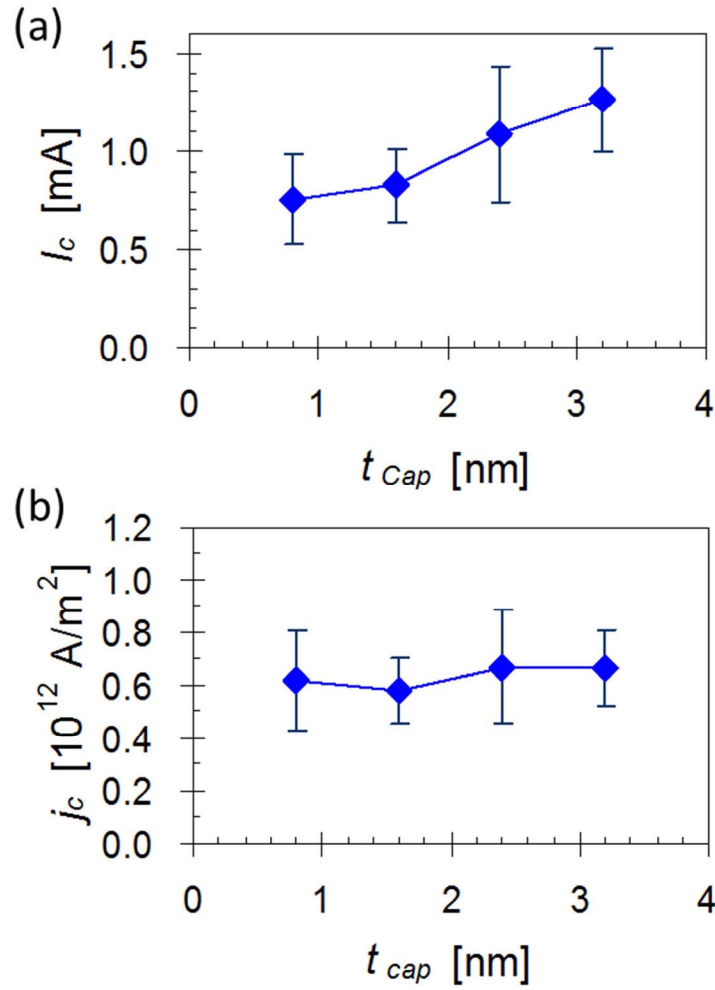


図6-10: ホール素子を用いて測定した Co/Ni 積層膜における磁壁移動のしきい電流 (a) としきい電流密度 (b) の Pt キャップ層膜厚依存性

図 6-9、図 6-10 に示された結果は以下のように解釈することができる。まず Pt キャップ層膜厚に対して Co/Ni 積層膜の磁気特性は変化せず、また電流誘起磁壁移動のしきい電流密度も変化しなかったことから、Co/Ni 積層膜に隣接する Pt 層の膜厚自体は電流誘起磁壁移動特性には影響を及ぼさないと考えることができる。従って、しきい電流密度の Pt 下地層依存性は、Pt 下地層そのものの膜厚が電流誘起磁壁移動特性に影響を及ぼしているのではなく、Pt 下地層膜厚の変化に伴う Co/Ni 積層膜の何らかの物性の変化を反映しているものと考えられる。ここで (3-7) 式と (3-12) 式からわかるように断熱スピン移行トルクで磁壁が駆動される場合のしきい電流密度 j_c は M_s (飽和磁化)、 K_u (結晶磁気異方性定数)、 P (ス

ピン分極率)、 w (線幅)、及び t (膜厚) の関数として表されることがわかる¹⁵。ここで M_s 、 w 、 t はこの実験では Pt 下地層膜厚とは無関係である。また Co/Ni 積層膜の K_u は Pt 下地層の増加とともに増大した後徐々に飽和し (図 5-6 参照)、一方で理論的には磁壁移動のしきい電流密度は K_u の増大に対して上に凸の関係を有する (図 4-36 参照) ことを考えると、図 6-9 で得られている j_c の Pt 下地層膜厚依存性は K_u の変化でも説明はつかない。従って残された可能性として Co/Ni 積層膜における実効的なスピン分極率 (P) が Pt 下地層の膜厚によって変化することが考えられる。より具体的には Co/Ni 積層膜のスピン分極率はある Pt 下地層膜厚のときに最大値をとることが実験結果から示唆される。

Co/Ni 積層膜のスピン分極率 (P) が Pt 下地層膜厚によって変化するメカニズムとして以下の二つが考えられる。一つ目は Pt 下地層におけるスピン散乱である。Pt はスピン軌道相互作用が大きいことから、Pt 下地層において伝導電子のスピンが散乱され、結果として実効的な分極率が低下することは十分に考えられる。例えば Pt 下地層の膜厚が厚いときに Pt 下地層におけるスピン散乱の頻度が増大すると考えると、実験結果で見られたしきい電流密度が Pt 下地層膜厚の厚い領域で増大する現象が説明できる。ここで図 5-14 (a) を見ると、Pt 下地層の膜厚が増大するに従い、Pt 下地層の抵抗率が急激に減少している。これは Pt 下地層の膜厚が厚くなると、Pt 下地層の結晶配向性が促進されるため、Pt の本来持つ高いスピン起動相互作用が発現されやすくなると考えることができることから、電流誘起磁壁移動の測定結果と対応がつく。なお、Pt キャップ層が厚くなっても電流誘起磁壁移動特性が変化しない理由も、図 5-14 (c) で Pt キャップ層の抵抗率が Pt キャップ層の膜厚に対して顕著な変化を示していないことから、Pt キャップ層でのスピン散乱の度合いは Pt キャップ層の膜厚にほとんど依存しないものとして説明がつく。

二つ目の考えられるメカニズムは Co/Ni 層自体のスピン分極率に Pt 下地層膜厚依存性があるということである。5.1 節で述べたように、垂直磁気異方性の発現に寄与する Co/Ni の d バンドの電子構造は fcc(111)配向と密接な関係がある。ここで Pt 下地層の膜厚が薄い領域で Co/Ni 積層膜の垂直磁気異方性が小さいことは、この領域では d バンドの電子構造が Pt 下地層の膜厚が厚い領域とは異なっていることを示唆している。もし Pt 下地層の膜厚が薄い場合の Co/Ni の d バンドではスピン分極率が低いとすると、Pt 下地層が薄い領域で電流誘起磁壁移動のしきい電流密度が増大する現象が説明できる。また d バンドの構造以外にも、Pt 下地層の膜

¹⁵ (3-7) 式から j_c は M_s と P と u の関数となっており、(3-12) 式から u は磁壁幅 Δ と困難軸異方性磁場 $H_{k\perp}$ の関数となっている。磁壁幅 Δ は (4-1) 式からわかるように K_u の関数であり、困難軸異方性磁場は (4-3) ~ (4-5) 式からわかるように w と t と Δ の関数で近似的に表される。

厚が薄い領域では Co/Ni の結晶性が悪く、スピンの散乱体が多いために実効的なスピン分極率が減少すると考えることもできる。ここで図 5-14 (b) を見ると、Pt 下地層の膜厚が薄いときには Co/Ni 層の抵抗率が比較的大きい。これは Co/Ni 層の結晶構造の規則性が低いことを意味しており、上述の d バンドの電子構造の不完全性や格子欠陥の存在による説明とも整合している。

なお以上に述べたようなスピン分極率の Pt 下地層膜厚依存性は、磁壁移動速度を評価することによって見積もることができると考えられ、今後検討していく予定である。

- Co/Ni 積層回数依存性

5.2.2 では Pt 下地層膜厚と同じく、Co/Ni の積層回数を変化させた場合にも Co/Ni 積層膜の磁気特性が変化することを述べた。ここでは電流誘起磁壁移動特性の Co/Ni 積層回数依存性の測定結果を示す。

図 6-11 にホール素子を用いて測定した電流誘起磁壁移動のしきい電流、しきい電流密度の Co/Ni 積層回数依存性の測定結果を示す。図からわかるようにしきい電流、しきい電流密度のいずれも Co/Ni の積層回数に依存して変化しており、積層回数が 3～5 回程度のときにしきい電流もしきい電流密度も最小となっている。また積層回数が 2 回以下のサンプルについては電流誘起磁壁移動自体が観測されなかった。すなわち Co/Ni の積層回数は少なすぎても多すぎても、しきい電流密度は増大することがわかる。また図で積層回数が 3.0, 3.5, 4.0, 4.5 のものを比べると、積層回数が半整数の試料と比べて整数の試料の方がしきい電流、しきい電流密度ともに小さくなっていることがわかる。つまり、半整数のものは Co と Ni のうち Co が Pt キャップ層と接し、整数のものは Ni が Pt キャップ層と接していることから、しきい電流、しきい電流密度の低減のためには Co/Ni は整数回積層し Ni 上に Pt キャップ層を堆積したほうがよいことがわかる。

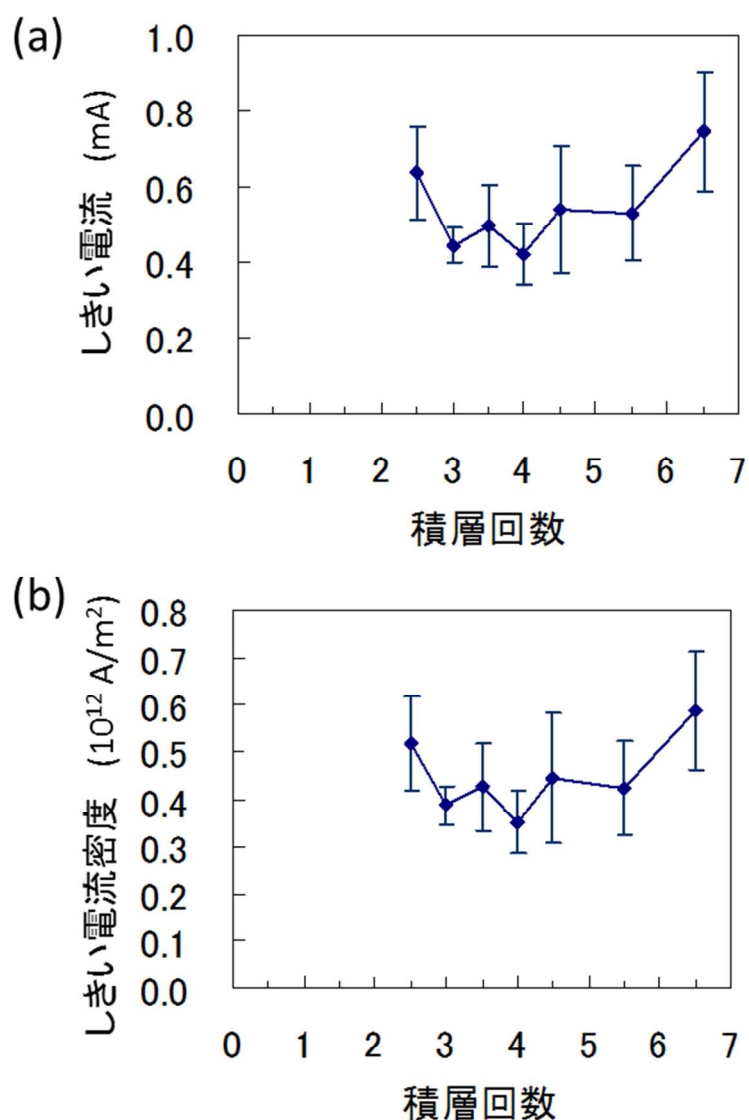


図6-11:ホール素子を用いて測定した Co/Ni 積層膜における磁壁移動のしきい電流 (a) としきい電流密度 (b) の Co/Ni 積層回数依存性

図 6-11 で得られたしきい電流、しきい電流密度の Co/Ni 積層回数依存性は以下のようにして解釈することができる。まず図 5-8 からわかるように M_s は積層回数が半整数の場合に大きく、整数の場合に小さい。そして図 6-11 に示した実験結果によればしきい電流密度は積層回数が整数の場合で小さくなっている。しきい電流密度は(3-7), (3-12), (4-3)式から M_s の 2 乗に比例するので (図 4-3 6 参照)、積層回数が整数の場合にしきい電流密度が小さくなる実験結果は M_s の変化を反映しているものとして説明できる。

またしきい電流密度は困難軸磁気異方性に比例し、図 4-22 (a) からわかるように膜厚にほぼ比例するので、積層回数が多くなったときにしきい電流密度が増大することは膜厚の変化を伴う困難軸磁気異方性の変化を反映しているものとして説明できる。

一方で積層回数が少ない領域では、図 5-8 では M_s はさほど大きくは変化しておらず、 K_u は増大しており、膜厚は減少することになるが、これらで図 6-11 に示されているような積層回数の低減に伴うしきい電流密度の増大を説明することは不可能である。残された可能性としてはここでもやはり実効的なスピン分極率に Co/Ni 積層回数依存性があることを考える必要がある。例えば Co/Ni の積層回数が少なくなれば Pt 下地層やキャップ層を流れる電流は多くなるので Pt 下地層、キャップ層内でのスピン散乱による実効的なスピン分極率の低下の影響をより受けやすくなることが予測される。また Co/Ni の積層回数が薄い領域では Co/Ni の fcc(111)配向性が十分ではなく、またスピン散乱体となる欠陥なども多いため実効的なスピン分極率が低下することも考えられる。このことは図 5-18 (a) で示した Co/Ni 層の抵抗率の Co/Ni 積層回数依存性の測定結果と整合している。このように Co/Ni の積層回数が薄い領域で実効的なスピン分極率が小さいと考えると、図 6-11 で示された積層回数の低減でしきい電流密度が増大し、2 以下になると磁壁移動自体が観測されなくなることの説明がつく。

6.2.2 細線幅依存性

次に Co/Ni 細線の細線幅を変えたサンプルでの電流誘起磁壁移動のしきい電流、しきい電流密度の測定結果を示す[2]。測定には 6.1 節で説明した 2 つの素子構成のうち磁壁抵抗素子を用いた。磁壁移動部 (F.L.) の膜構成は、sub./ Ta(3 nm)/ Pt(1.6 nm)/ [Co(0.3 nm)/ Ni(0.6 nm)]_N/ Co(0.3 nm)とし、また磁化固定部 (P.L.) の膜構成は磁壁移動部側から [Pt(1.2 nm)/Co(0.3 nm)]₅ とした。作製した素子の SEM 像を図 6-12 に示す。なお細線を形成する際には、CAD 上での細線幅は 300 nm, 320 nm, 340 nm, 360 nm, 380 nm, 400 nm となるように設計し、これを図 6-6 の⑥のフォトリソグラフィの工程において線幅方向へシフトさせて 2 重露光を行うことにより 100 nm 前後の線幅となるように形成した。図 6-12 から細線幅が 80 nm から 200 nm 程度の細線が形成されていることがわかる。

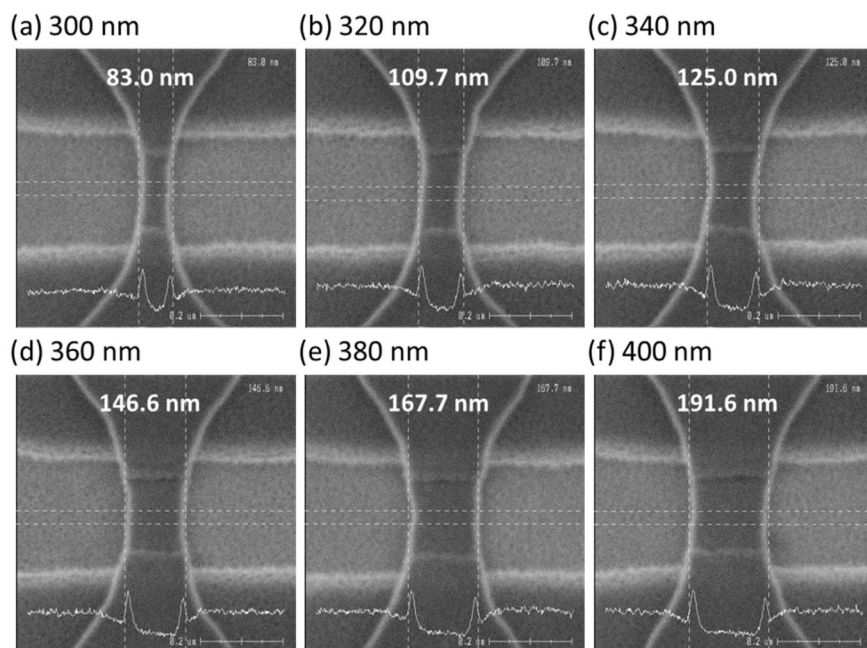


図6-12: 細線幅依存性の測定に用いた磁壁抵抗素子の SEM 像。**図6-6**の⑥の Si-O ハードマスクエッチングの工程の直後の素子を観察したものである。(a), (b), (c), (d), (e), (f)はそれぞれ CAD 設計寸法が 300, 320, 340, 360, 380, 400 nm の素子に対応する。

図6-13に積層回数が 5.5 回のものと 4.5 回のもののしきい電流の細線幅依存性の測定結果を示す。しきい電流はサイズの減少とともに減少しており、線幅が約 100 nm のときに 0.2 mA 以下となっている。2.2.3 で述べたように、3 端子 MRAM 素子で混載 SRAM、混載 DRAM と同等以上のコストパフォーマンスを実現するためには書き込み電流の値を 0.2 mA 以下にまで低減する必要があることを述べたが、**図6-13**に示した結果から細線幅が 100 nm 程度以下のときにこのクライテリアを達成できることがわかる。

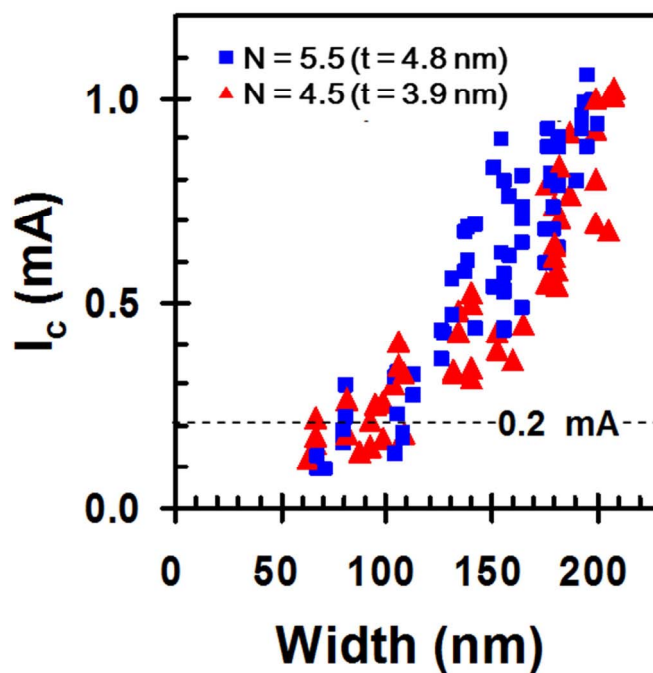


図6－13: 磁壁抵抗素子を用いて測定した Co/Ni 積層膜における磁壁移動のしきい電流の細線幅依存性

図 6－1 4 には図 6－1 3 の縦軸の電流値を電流密度に変換した結果を示す。また図では実験結果と併せてマイクロマグネティックシミュレーションで求めたしきい電流密度の細線幅依存性の計算結果も示されている。なおマイクロマグネティックシミュレーションでは、欠陥のない単純な細線 (Perfect wire) と、局所的に磁気異方性定数を変化させ外因性ピンング効果を持たせた異方性分散細線 (Anisotropy-distributed wire : A.D. wire) [5] の両方で計算を行った。まず図 4－1 5、図 4－2 2 (c) で示したように理論からはしきい電流密度は細線幅の低減に伴って減少することが導かれるが、図 6－1 4 を見ると理論と同じくしきい電流密度は細線幅が細くなるに従って低減していることがわかる。そしてその低減のしかたは定量的にも異方性分散細線での計算結果とよく一致していることがわかる。

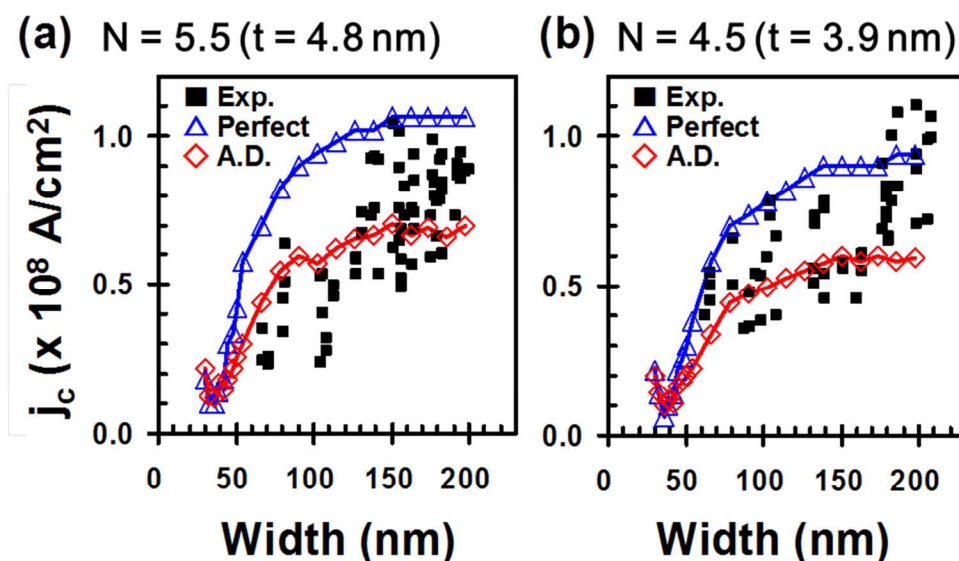


図6-14: 磁壁抵抗素子を用いて測定した Co/Ni 積層膜における磁壁移動のしきい電流密度の細線幅依存性(“■”)とマイクロマグネティックシミュレーション結果(“△”、“◇”)。“△”は欠陥のない単純な細線(Perfect wire)での計算結果であり、“◇”は異方性分散細線(Anisotropy-distributed wire)。(a)は Co/Ni の積層回数Nが 5.5 のものであり、(b)はNが 4.5 のもの。

6.2.3 アニール温度依存性

続いて、Co/Ni 細線における電流誘起磁壁移動特性のアニール温度依存性に関する測定結果を示す。5.1 節において、MRAM を LSI に混載するためには、LSI の標準プロセスの最大温度である 350℃において特性が不可逆に変化しないことが求められることを述べた。また 5.2.2 では Co/Ni の磁気特性とアニール温度の関係の実験結果を示し、熱処理によって磁気特性は若干変化するものの 350℃においても垂直磁気異方性が消失するような致命的な変化は起こらないことを述べた。ここでは電流誘起磁壁移動のしきい電流をアニールの前後で比較した結果を示す。

図6-15にはホール素子を用いて測定した磁壁移動のしきい電流のアニール前後での値が示されている。なお測定に用いた Co/Ni 積層膜の膜構成は sub./Ta(3 nm)/Pt(1.6 nm)/[Co(0.3 nm)/Ni(0.6 nm)]₄/Co(0.3 nm)/Pt(1.6nm)/Ta(3 nm)である。初めに試料加工後に測定を行い、次に 300℃にて 2 時間の熱処理を行った後測定を行い、最後に 350℃にて 2 時間熱処理を行った後で再度測定を行った。図6-15(a)では試料加工後の測定値を横軸に、300℃熱処理後の測定値を縦軸にとって比較されており、図6-15(b)では 300℃熱処理後を横軸、350℃熱処

理後の測定値を縦軸にとって比較されている。図からわかるように熱処理によって磁壁移動のしきい電流の値に顕著な変化は見られていない。このことからここで用いた Co/Ni 積層膜の電流誘起磁壁移動特性は 350°Cでの耐熱性を有していることがわかった。

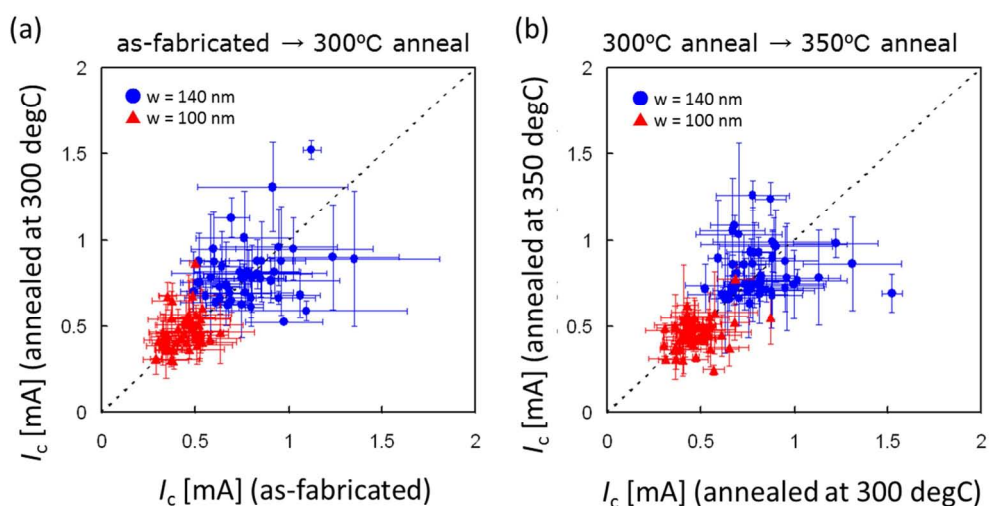


図6-15: Co/Ni 細線における電流誘起磁壁移動のしきい電流のアニール温度依存性。(a)は熱処理前と300°C熱処理後でのしきい電流の比較、(b)は300°C熱処理後と350°C熱処理後の比較。

6.2.4 ピンサイトのある系での磁壁移動

次に強い人工的なピンサイトのある系での電流誘起磁壁移動の測定結果を示し、磁壁移動素子の熱安定性について議論する[3]。4.4 節で垂直磁気異方性細線においては電流誘起磁壁移動のしきい電流密度は内因性ピンングに支配されるため、外因性ピンングによって支配されるしきい磁場とは独立の関係にあること、及びその結果として電流誘起磁壁移動を利用した MRAM においては高い熱安定性を維持しながら、それとは独立に書き込み電流を低減することが可能であることを述べた。

ところで高い熱安定性を実現するためには磁場駆動の磁壁移動のしきい磁場を増大させる必要がある。磁壁移動のしきい磁場を増大させるためには、基礎研究のレベルではノッチなどの2次元的な微細構造を導入する方法がよく用いられる[6]。しかしノッチのような微細な構造はLSIの量産プロセスには不向きである¹⁶。

¹⁶ LSI 量産プロセスにおいてはプロセス装置の特性をもとに最小設計寸法が各層で定義さ

そこで本研究では 3 次元的な段差構造を用いて磁壁のピンサイトを形成し、しきい磁場の増大を試みた。磁壁のピンサイトとして段差を導入する試みは Ashida らによってなされている[7]。しかしこの報告では Si-O 酸化膜を RIE 法でエッチングすることにより段差を形成しているため、形成される段差の高さは数 10 nm 程度となり、またテーパ角度が 90 度に近い段差を得ることも難しい。しかし Co/Ni 積層膜の膜厚は数 nm であり、また磁壁幅は 10 nm 程度であるので、Ashida らと同様な方法で作製した段差を Co/Ni 細線における磁壁のピンサイトとすることは困難である¹⁷。そこで本研究でははじめに Co/Ni 細線において磁壁のピンサイトとして機能するような数 nm 規模の微細な段差を形成するためのプロセスを検討した。

作製した素子の構造を図 6-16 に示す。ここでは図で示されるような磁壁抵抗素子を用いて段差を有する Co/Ni 細線での電流及び磁場による磁壁移動特性の評価を行った。図 6-16 (a) で F.L. と示されている部分の両端部の下側に Ta 層が形成されており、この Ta 層によって F.L. に 3 次元的な段差が導入される。図 6-16 (b) は Ta 層まで形成した段階での、すなわち F.L. 層を堆積する表面の AFM 像である。数 nm 程度でテーパ角度が急峻な段差が形成できていることがわかる。

れ、マスク検査の際に最小設計寸法よりも微細な構造はエラーとして検出される。このため細線幅よりも小さな微細構造であるノッチはレチクルには搭載できない。

¹⁷ 実際に Si-O 層を RIE 法によりエッチングして段差を形成したところ、制御できる段差の高さは約 10 nm 以上であり、またそのテーパ角度は 45 度以下であった。

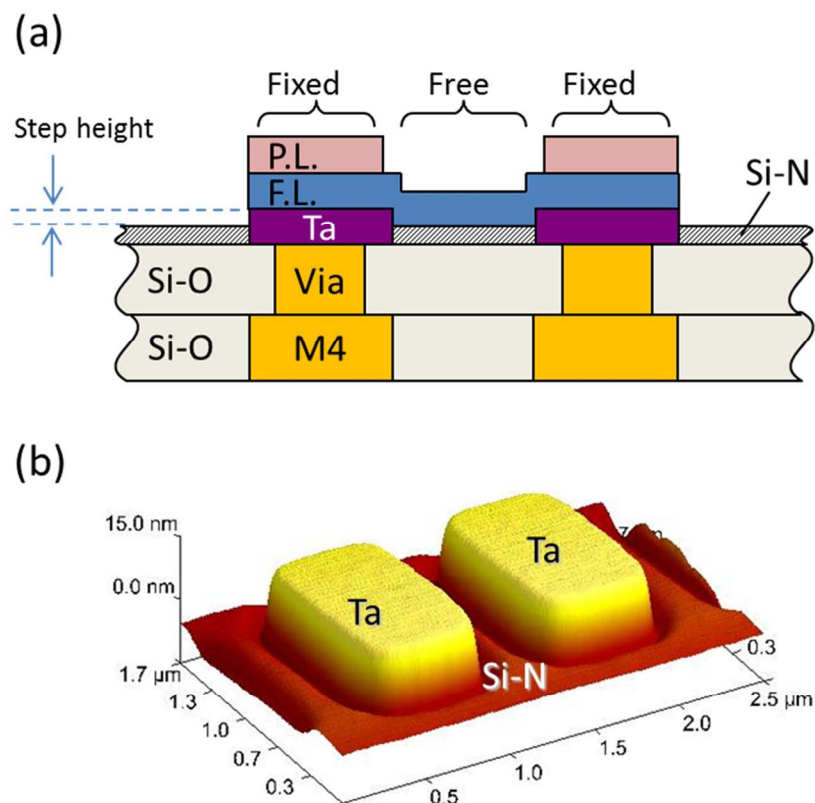
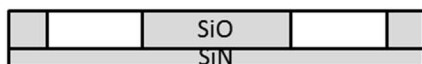


図6-16: 段差を有する磁壁抵抗素子の構造の断面図(a)と Ta によるステップを形成した後の表面の AFM 観察像。

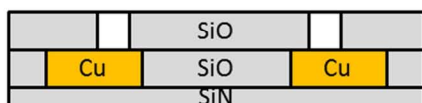
このような素子を形成するのに用いたプロセスのフローを図 6-17 に示す。はじめに M4 配線とビアを形成する工程は図 6-6 と同一である。ビアまで形成したのち、Ta 層をスパッタリング法により堆積させ、続いて Si-N、Si-O ハードマスク層を CVD 法により堆積させる。Ta 層の膜厚は 30 nm とした (図中③)。次にフォトリソグラフィ法、RIE 法で Si-O ハードマスクをパターニングし、RIE 法で Si-N ハードマスク、Ta 層をエッチングする (図中④)。このとき Si-O ハードマスクは消失するように予め堆積膜厚を設定しておく。そして Si-N 層間膜、Si-O 層間膜を CVD 法により堆積させ (図中⑤)、セリア (CeO₂) スラリーを用いた CMP により平坦化を行う (図中⑥)。この状態で Ar イオンビームで全面を IBE (Ion Beam Etching) 法によりエッチバックすると、Ta と Si-N のエッチングレートの違い (Si-N のエッチングレートは Ta と比べて約 1.5 倍速い) から Ta 層の境界に段差を形成することができる。またエッチング時間をコントロールすることにより、任意の高さの段差を得ることができる。この状態で Co/Ni 層、及び Co/Pt 層

を堆積する（図中⑦）。この後のプロセスは図 6-6 の③から⑦と同一であるので省略する。

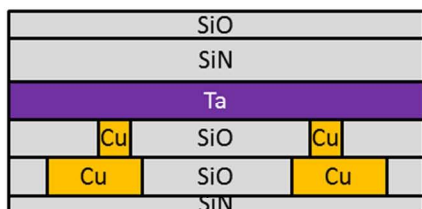
① SiN/SiO 層間膜デポ、M4 リソグラフィ、M4 エッチング、レジスト剥離



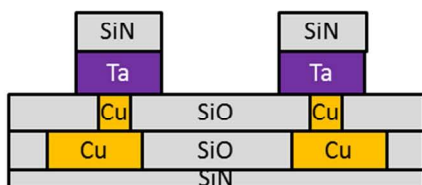
② Cu メッキ、Cu-CMP、SiO 層間膜デポ、Via リソグラフィ、Via エッチング、レジスト剥離



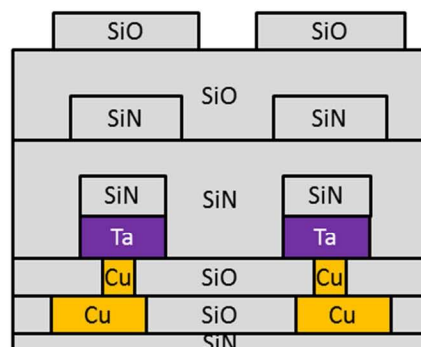
③ Cu メッキ、Cu-CMP、Ta 層デポ、SiN/SiO ハードマスクデポ



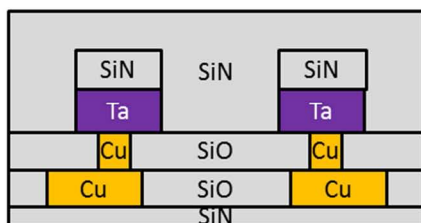
④ Ta 層リソグラフィ、SiO ハードマスクエッチング、レジスト剥離、SiN ハードマスク/Ta 層エッチング



⑤ SiN/SiO 層間膜デポ



⑥ SiO-CMP



⑦ IBE、Co/Ni・Co/Pt 層デポ

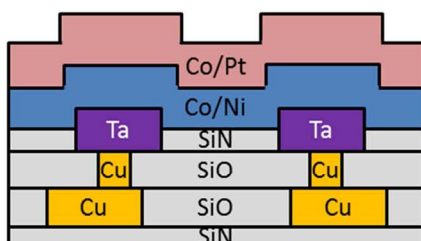


図 6-17: 段差を有する磁壁抵抗素子の形成工程のプロセスフロー

上述のように、Si-N 中に埋め込まれた Ta と Si-N のエッチングレートの違いを利用することで任意の高さの微細な段差を形成することができる。また Ta 層は RIE 法によりパターニングするため、エッジのテーパ角度は非常に大きくすることができ、形成される段差は非常に急峻になる。AFM 観察から段差の高さは 4 nm から 20 nm の範囲で任意に制御することができ、また断面 SEM 観察から形成される段差のテーパ角度は 60 から 80 度程度であることがわかった。このような段差は Co/Ni 細線に形成される磁壁のピンサイトとしては理想的であると言える。

本研究では図 6-17 の⑦の IBE の工程における Ta の表面が現れてからエッチングをストップさせるまでの時間を変えることで段差の高さの異なるサンプルを作製した。エッチングの時間をコントロールするにあたっては、ミリング装置に取り付けられた SIMS (Secondary Ion Mass Spectroscopy) 検出器で検出される Ta シグナルをモニターした。図 6-18 に IBE 工程において得られた SIMS シグナルを示す。Ta シグナルが立ち上がった後、約 180 秒後に立ち下がっていくと同時に Si-O シグナルが飽和していることから、Ta 30 nm をエッチングするには 180 秒程度を要していることがわかる。

そこで Ta シグナル出現後、60 秒、120 秒、180 秒経過したところでエッチングをストップしたサンプルを作製し、段差の高さを AFM により測定した。なお AFM により得られる段差高さが正しいことは断面 SEM 観察で別途確かめた。得られた結果を図 6-19 に示す。エッチング時間の増加とともに段差の高さは増大していることがわかる。また Ta シグナル出現後、エッチングを 100 秒以下で止めることで 10 nm 以下の段差を形成できることがわかる。

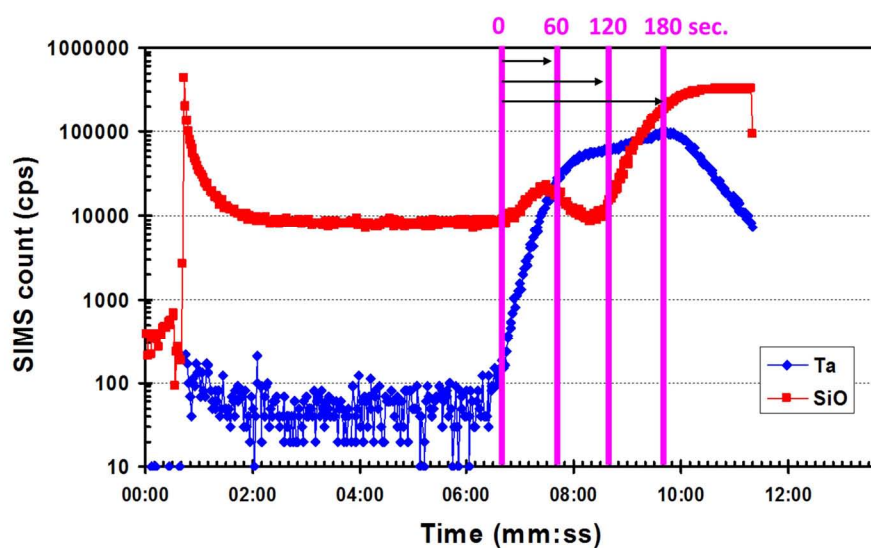


図 6-18: 段差を有する磁壁抵抗素子の形成における Ta 層エッチバック時の SIMS シグナル

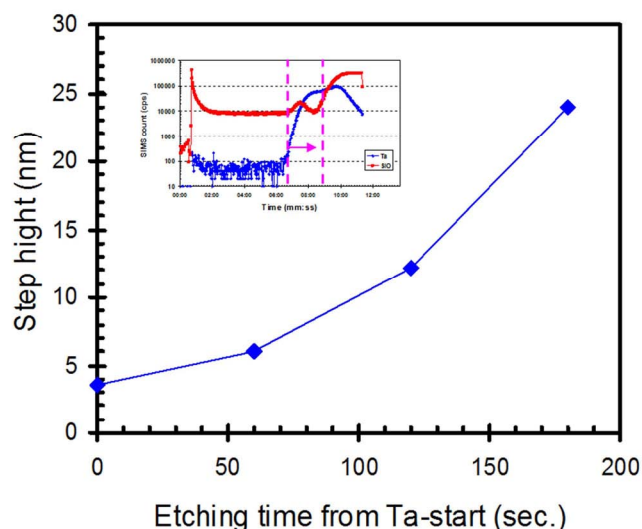


図6-19: 段差を有する磁壁抵抗素子の形成における Ta 層エッチバック工程での Ta ピーク出現からエッチングストップまでの時間と形成される段差の高さの関係の AFM による測定結果。

図6-18、図6-19に示した予備実験の結果をもとに段差の高さの異なる4つのサンプルを作製し、そのしきい磁場としきい電流を測定した。4つのサンプルのうちの一つは Ta 層の埋め込みを行わない通常の磁壁抵抗素子であり、残りの3つのサンプルは図6-17で示した段差素子形成プロセスを用い、Ta シグナル出現からエッチングを止めるまでの時間はそれぞれ 40, 80, 160 秒とした。これらの3つのサンプルで期待される段差の高さは図6-19から 4, 8, 18 nm である。なお、磁壁移動部 (F.L.) の膜構成は、sub./ Ta(3 nm)/ Pt(1.6 nm)/ [Co(0.3 nm)/ Ni(0.6 nm)]₅/ Co(0.3 nm)とし、また磁化固定部 (P.L.) の膜構成は磁壁移動部側から [Pt(1.2 nm)/Co(0.3 nm)]₅とした。

得られた段差の高さとしきい磁場、しきい電流の関係の測定結果を図6-20に示す。まず 0, 4, 8 nm の3つのサンプルを比較すると、しきい磁場は段差が増大するにしたがって増大していることがわかる。そして 0 nm のもので 200 Oe 程度であるのに対して、8 nm のものでは 800 Oe 程度まで増大している。一方で段差の高さが 18 nm のもののしきい磁場は 8 nm のものときほどかわらない値を示している。これは Co/Ni の膜厚である 4.8 nm に対して段差の高さが十分に大きくなると、しきい磁場が段差の高さに依存しなくなることを示唆している。

次にしきい磁場としきい電流の関係 (図6-20 (b)) を見ると、理論で予測された通りしきい電流はしきい磁場に依存せず一定の値を取っていることがわかる。これは磁場による磁壁移動が外因性のピニングに支配されるのに対して、電

流誘起磁壁移動での磁壁移動は外因性ピンングではなく内因性ピンングに支配されていることを示唆している。言い換えると Co/Ni 細線における電流誘起磁壁移動の駆動力は β 項による field-like torque ではなく、断熱スピン移行トルクであることがわかる。

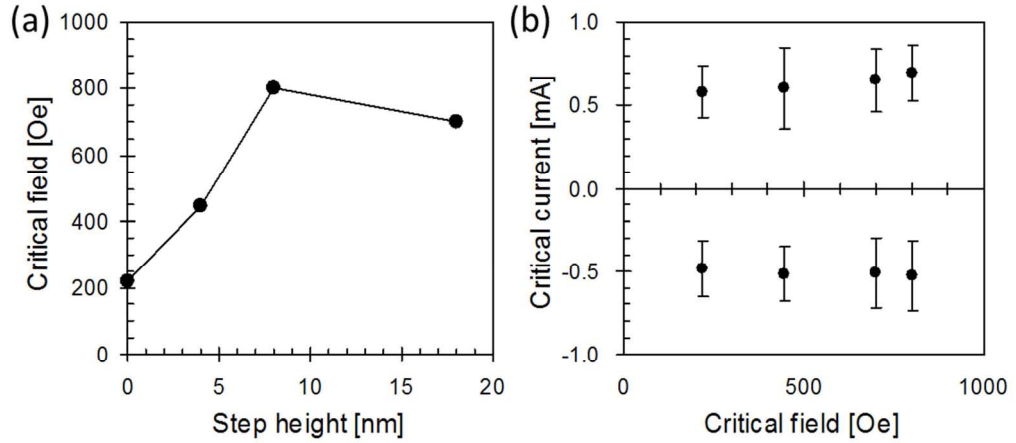


図6-20: 段差を有する磁壁抵抗素子で測定されたピンサイトからデピンするのに必要なしきい磁場の段差高さ依存性(a)と、しきい磁場としきい電流の関係(b)

続いて段差の高さと熱安定性の関係を評価した結果を示す。本研究では熱安定性 Δ ($= \Delta E / k_B T$) を測定するために、しきい磁場の自己ばらつきの測定を行い、得られた結果を理論式でフィッティングした。熱擾乱を加味した場合、ある磁場 H が印加されたときの磁壁のデピンングの確率 P は次式で与えられる[8]。

$$P = 1 - \exp[-\tau_0 \exp\{-\Delta(1 - \frac{H}{H_{c0}})^m\}] \quad (6-1)$$

ここで H_{c0} は絶対零度におけるしきい磁場であり、また τ_0 , τ はそれぞれ固有周波数 (1GHz) と試行時間である。また m はピンポテンシャルの関数の次数に相当し、参考文献[9]では m は 2 とされている。(4-7) 式から反転確率と Δ の関係が得られるので、しきい磁場の自己バラツキを測定することにより Δ を見積もることができることがわかる。

図6-21に段差の高さが 0 nm のサンプルと 8 nm のサンプルのしきい磁場の自己バラツキの測定結果と、しきい磁場の分布を示す。図6-21(a₂), (b₂)の分布を(4-7)式を用いてフィッティングすることにより、段差が 0 nm, 8 nm のサンプルの熱安定性 Δ はそれぞれ 27, 135 と見積もられた。

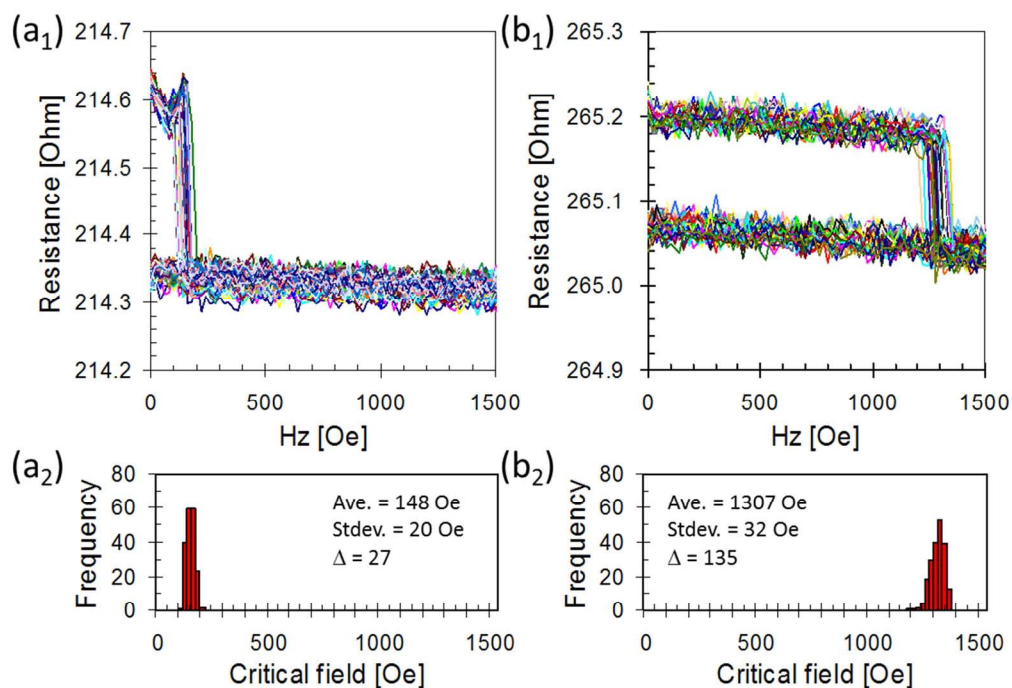


図6-21: 段差のない磁壁抵抗素子(a_1)、(a_2)と段差のある磁壁抵抗素子(a_1)、(a_2)の抵抗—磁場特性(R—H特性)の繰り返し測定結果(a_1)、(b_1)としきい磁場の分布(a_2)、(b_2)。

次に図6-21に示したような測定を段差の高さが 0, 4, 8 nm のサンプルで各 4 素子ずつ行った。求まったしきい磁場、しきい電流、及び熱安定性 Δ の関係を図6-22に示す。まずしきい電流としきい磁場の関係は図6-20と同じく相関関係がないことがわかる。一方で熱安定性はしきい磁場と概ね比例の関係にあることがわかる。ここで 10 年間データを保持するための Δ の必要値は約 60 であるが、段差が 0 nm のサンプルでは Δ の値は 60 以下になっているのに対して、段差が 4, 8 nm のサンプルでは 60 以上となっている。

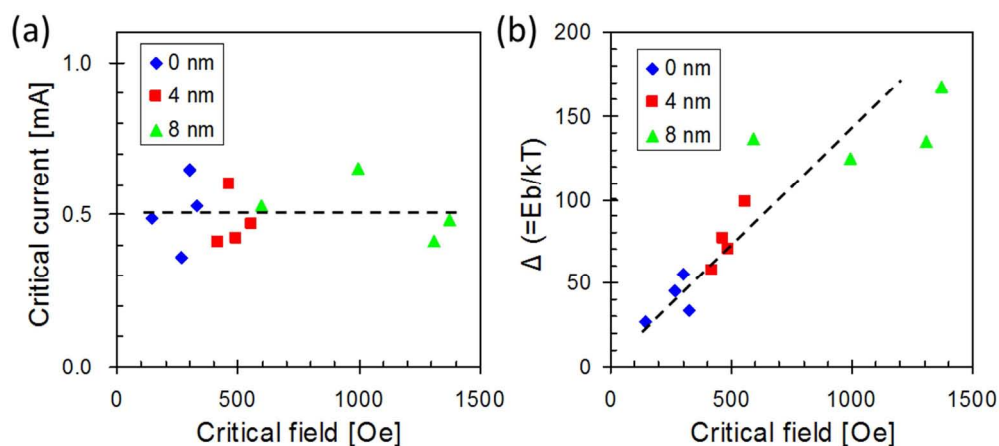


図6-22: 段差の高さが0, 4, 8 nmのサンプル(各4素子)のしきい磁場、しきい電流、及び熱安定性 Δ の関係。(a)しきい電流としきい磁場の関係、(b)熱安定性 Δ としきい磁場の関係。

これらの結果から以下の結論が得られる。まず本研究で用いた方法により形成した段差を用いることで10年間のデータ保持が可能な磁壁のピンサイトが実現できると言える。また4.4.2において磁壁移動のしきい磁場としきい電流に相関関係がないことは、電流誘起磁壁移動を利用したMRAMでは書き込み電流と熱安定性を独立に設計できることからスケーリング特性に非常に優れていると言えることを述べたが、上述の実験結果はこのユニークな特長を実験的に実証したものであると言える。

6.2.5 その他の磁壁移動の実験結果

6.2.1~6.2.4ではCo/Ni積層膜からなる細線における電流誘起磁壁移動特性の膜構成依存性、細線幅依存性、アニール温度依存性、及びピンサイトのある系での磁壁移動特性について詳細に述べた。6.2.5ではこれ以外に得られた実験結果を簡単に紹介する。

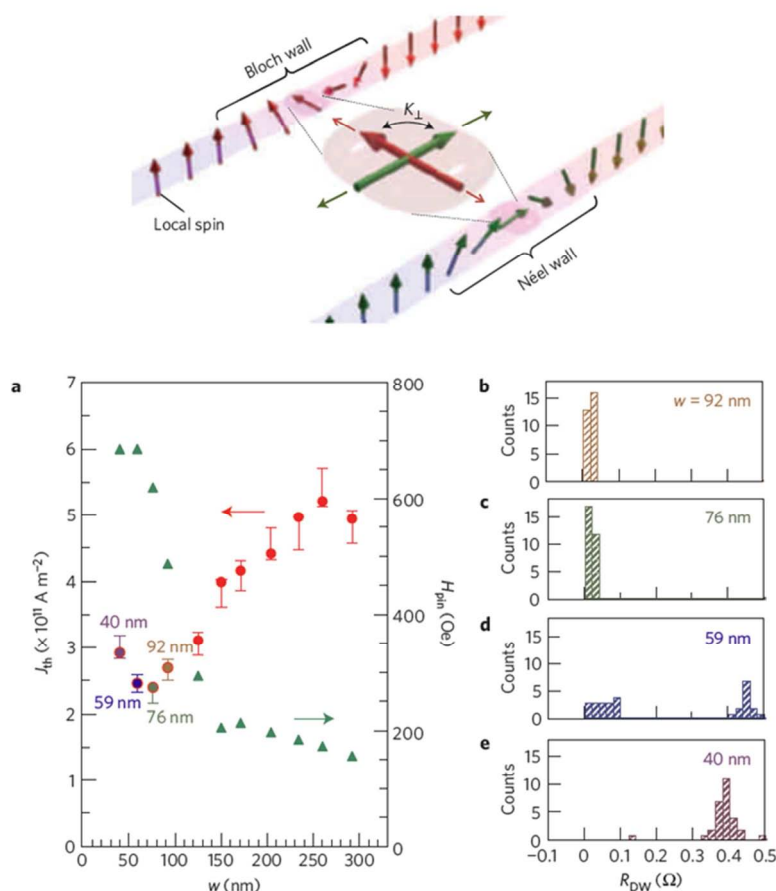


図6-23: ホール素子を用いて測定した Co/Ni 細線における磁壁移動のしきい電流密度としきい磁場の細線幅依存性(a) と各線幅での磁壁抵抗の分布(b-e)

まず図6-23～図6-26には磁壁の構造と磁壁移動特性の関係について詳細に調べた結果[10, 11]を示す。図6-23の挿絵のように垂直磁気異方性細線における磁壁は細線幅が狭くなると Bloch 磁壁から Neel 磁壁に構造が変態することが知られている[12]。そしてこの Bloch 磁壁から Neel 磁壁に変化する線幅においてしきい電流密度は極小値を取ることが理論的に導かれている。EB 描画法を用いて最小 40 nm の細線を作製して測定したしきい電流密度の細線幅依存性を図6-23(a)に示す。図から細線幅が 76 nm ～ 59 nm の領域でしきい電流密度は極小値を取っていることがわかる。また Bloch 磁壁と Neel 磁壁では磁壁の抵抗が異なることを利用して磁壁の構造と細線幅の関係を調べたところ(図6-23(b))¹⁸、76 nm ～ 59 nm の線幅で磁壁抵抗が急激に増大する領域があり、得られたしき

¹⁸ Bloch 磁壁の場合にはスピン依存散乱に起因して抵抗が増大することを述べたが、Neel 磁壁の場合にはこれに加えて AMR 効果に起因した抵抗の増大が起こる。AMR 効果とは、

い電流の線幅依存性の測定結果は磁壁の構造の変化に起因していることがわかる。この結果はしきい電流密度が磁壁の困難軸磁気異方性に由来した内因性ピンングに支配されていることを意味している。

また図 6-24 には磁壁移動のしきい電流の z 方向外部磁場依存性の測定結果が示されている。図 6-20 や図 6-22 ではしきい電流（密度）がしきい磁場に依存しないという測定結果を示したが、図 6-24 からはこれと同様にしきい電流密度は印加される外部磁場にも依存していないことがわかり、やはり内因性ピンングに支配された磁壁移動で予測される特性と合致した結果が得られた。

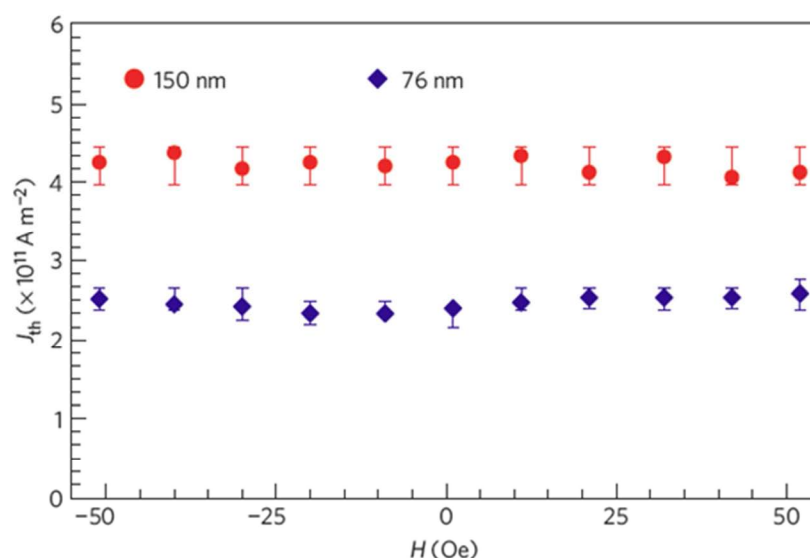


図6-24: ホール素子を用いて測定した Co/Ni 細線における磁壁移動のしきい電流密度の外部磁場依存性

さらには磁壁移動速度の外部磁場依存性を測定した結果、磁壁移動速度も外部磁場に依存しないという結果が得られた（図 6-25, 26）。また図 6-26 では磁壁移動速度の測定結果がシミュレーションによる計算結果と比較されている。エッジにラフネスを導入した系（Rough wire）における計算結果は実験結果と非常に良く一致していることがわかる。なお、Perfect wire と Rough wire の違いについては、Perfect wire が磁壁内の磁化の位相（ y ）に応じて速度が変化するのに対して、Rough wire では磁壁の Walker breakdown が起こりやすく、常に平均化

伝導電子の流れる方向と磁化ベクトルの方向の相対角が平行のときに抵抗が高くなり、垂直のときに抵抗が低くなるという現象である。Bloch 磁壁の場合には伝導電子の方向と磁化ベクトルの方向は常に垂直なので AMR 効果に起因した抵抗上昇は見られないのに対して、Neel 磁壁では磁壁内部の磁化は伝導電子の方向と平行になるので抵抗上昇が起こる。この抵抗上昇は一般的に磁壁抵抗よりも数倍大きくなる。

された速度で動くことによる差異であると考えられる。

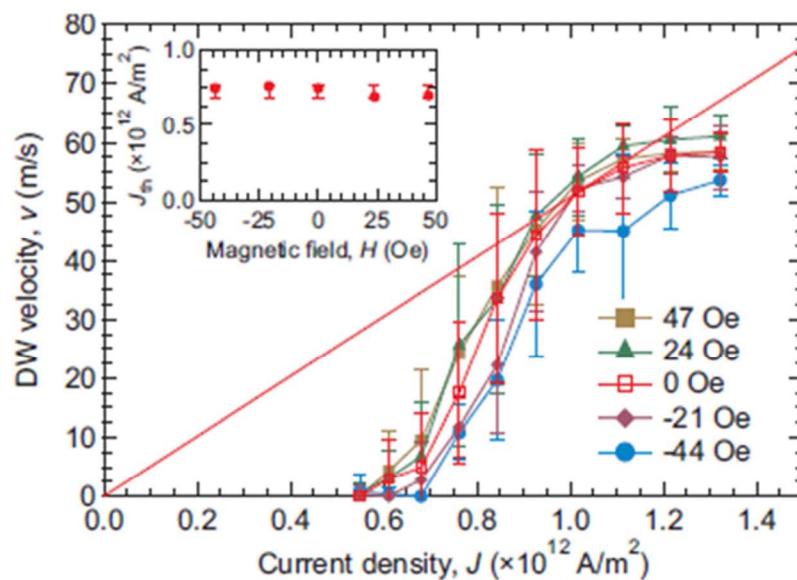


図6-25: ホール素子を用いて測定した Co/Ni 細線における磁壁移動速度と印加電流密度の関係の外部磁場依存性

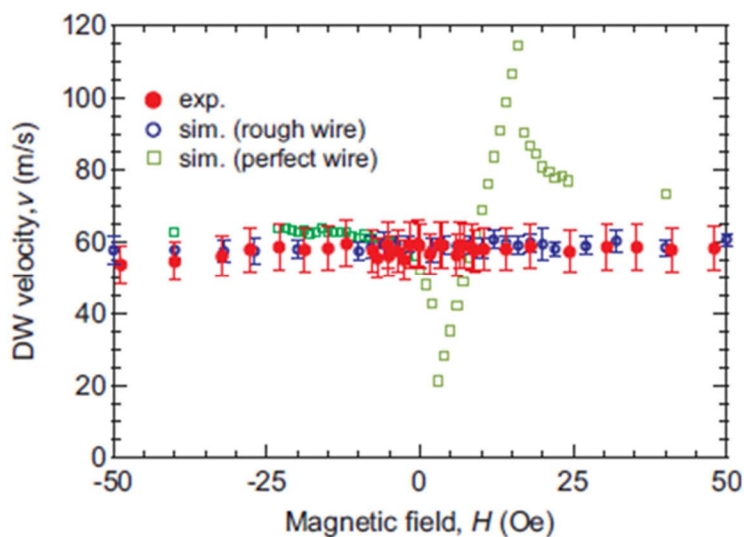


図6-26: ホール素子を用いて測定した Co/Ni 細線における磁壁移動速度の外部磁場依存性と、マイクロマグネティックシミュレーション結果。

次に環境温度を変えた場合の電流誘起磁壁移動の測定結果を示す。図 6-27

ではサンプルを液体ヘリウムを用いて冷却した状態で電流を導入して測定したしきい電流密度が、室温大気中で測定した結果が比較されている[13]。図 6-27 (a) は磁壁移動確率の電流密度依存性を示しており、図 6-27 (b) は試料抵抗の上昇から求めた試料温度の電流密度依存性を示している。図から磁壁移動のしきい電流密度は温度を低減しても変化していないことがわかる。

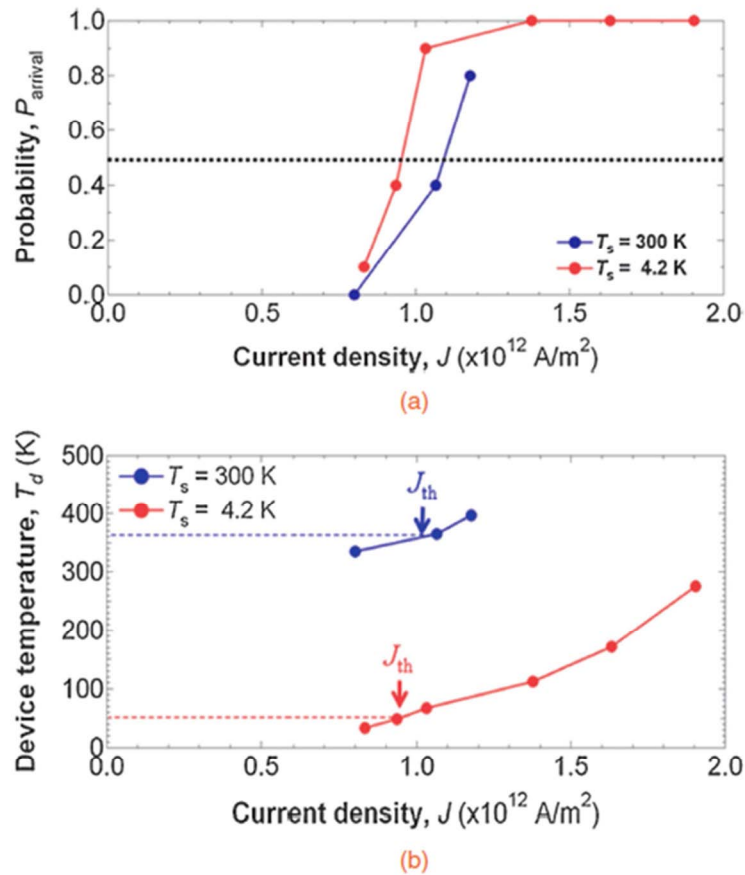


図6-27: ホール素子を用いて測定した Co/Ni 細線における磁壁移動の観測確率と印加電流密度の関係の試料環境温度依存性(a)、及び印加電流密度と試料温度の関係の見積もり値(b)。

また図 6-28 には室温以上の温度での磁壁移動の測定結果を示す。ここでは図 6-28 (a) に示されるように Co/Ni 積層膜と Si 基板との間の SiO_2 膜の膜厚を変えることで Co/Ni 細線から基板への熱伝導の起こりやすさが異なるサンプルを作製し、試料温度としきい電流の関係を調べた。また磁壁移動のしきい電流 I_{DW} の他に、磁壁を導入していない状態でもホール抵抗の変化が起こってしまう反転核生成電流 I_{N} の評価も併せて行った (図 6-28 (b))。図 6-28 (c) か

ら反転核生成電流 I_N が SiO_2 膜厚の増大に伴って減少しているのに対して磁壁移動のしきい電流 I_{DW} は SiO_2 に依存せず一定値をとっていることがわかる。また図 6-28 (d) ではパルス電流導入中の細線の抵抗測定から試料温度の印加電流依存性を見積もった結果が示されている。反転核生成が起こるのはいずれの試料でも 645 K (372 °C) 程度であり、そこまでは安定した磁壁移動が実現できていることがわかる。

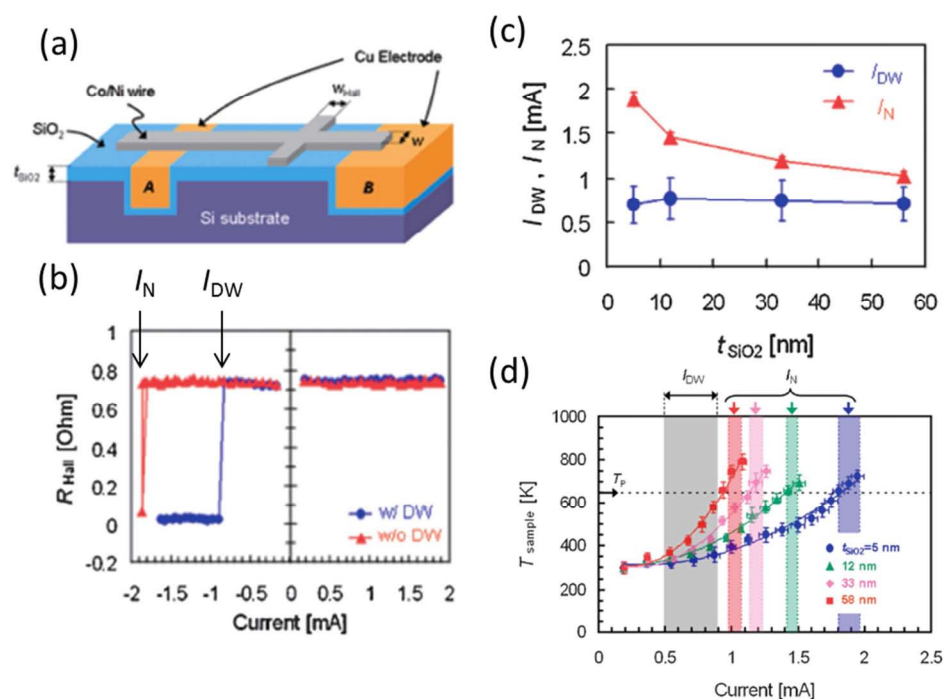


図6-28: Co/Ni 細線を用いて行った高温領域での電流誘起磁壁移動特性の実験結果。(a): サンプル構造の概念図、(b): パルス電流印加によるホール抵抗の変化の測定結果、磁壁移動のしきい電流 I_{DW} と反転核生成電流 I_N の SiO_2 スペーサー膜厚依存性、(d) 異なる SiO_2 スペーサー層膜厚を有するサンプルでの印加電流とサンプル温度の関係。

図 6-27、図 6-28 で示した結果から、電流誘起磁壁移動は極低温から 300°C 以上の高温まで非常に広い動作温度を有していることがわかる。通常の半導体デバイスが満たすべき動作補償温度は -40~150°C であるが、Co/Ni 積層膜を用いた磁壁移動 MRAM はこの補償温度の要請を十分にクリアできるものと考えられる。

次に複数の磁壁を同時に移動した結果を示す。応用先として MRAM を想定した場合には単一の磁壁を電流で駆動できればよいが、参考文献[15]で開示されている

ようなレーストラックメモリ (図 3-6 参照) を想定した場合には一回の電流で複数の磁壁を平行移動させる必要がある。図 6-29、図 6-30 にはこのレーストラックメモリの基本動作をデモンストレーションした結果を示す。図 6-29 では Ti/Au からなる配線へのパルス電流の印加と Co/Ni 細線へのパルス電流の印加を順次行い、合計 21 個の磁壁をシリアルに駆動した様子が示されている。また図 6-30 では Co/Ni 細線に 2 つの磁壁を導入し、2 つの磁壁をホールクロスの左右で往復させたときのホール抵抗の変化が示されている。図 6-29、図 6-30 の結果は複数の磁壁の位置を電流の方向によって任意に制御できることを示している。

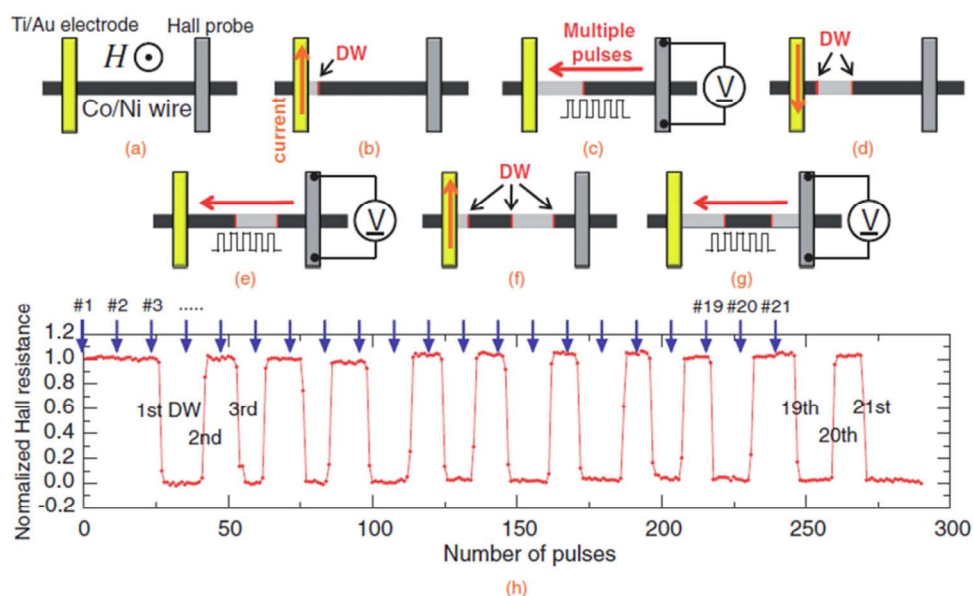


図 6-29: (a)–(g) 磁壁の導入、移動過程での Co/Ni 細線の磁化構造の模式図と、(h) パルス電流印加後のホール抵抗の測定結果。矢印の位置にて磁壁の導入を行った。

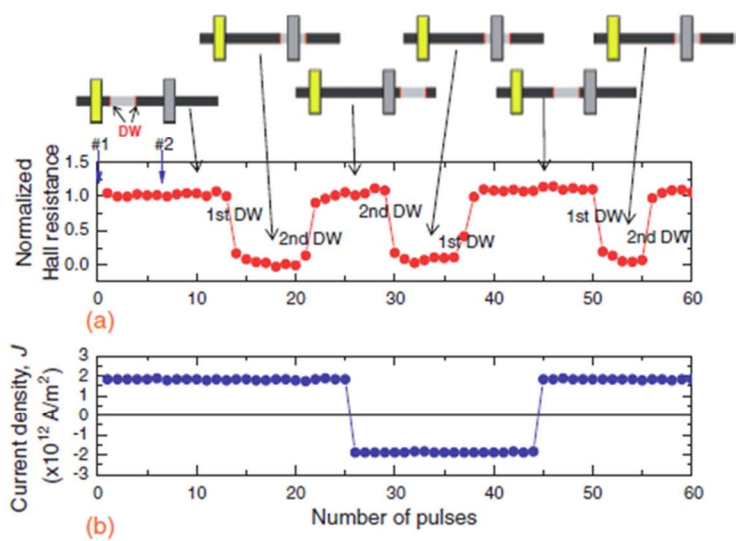


図6-30: (a)パルス電流印加後のホール抵抗の測定結果と、(h)各電流パルスの電流密度の実測値。

第6章の参考文献

- [1] S. Fukami, T. Suzuki, H. Tanigawa, N. Ohshima, and N. Ishiwata: Appl. Phys. Express, **3**, 113002 (2010).
- [2] S. Fukami, Y. Nakatani, T. Suzuki, K. Nagahara, N. Ohshima, and N. Ishiwata: Appl. Phys. Lett., **95**, 232504 (2009).
- [3] S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, and N. Ishiwata: J. Appl. Phys., **108**, 113914 (2010).
- [4] H. Tanigawa, A. Yamaguchi, S. Kasai, T. Ono, T. Seki, T. Shima, and K. Takanashi: J. Appl. Phys., **99**, 08G520 (2006).
- [5] Y. Nakatani and N. Hayashi: J. Magn. Soc. Jpn. **25**, 252 (2001).
- [6] T. Koyama, G. Yamada, H. Tanigawa, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, Y. Nakatani, and T. Ono: Appl. Phys. Express, **1**, 101303 (2008).
- [7] H. Ashida, T. Ochiai, Y. Shimizu, and A. Tanaka: IEEE International Magnetic Conference, 2008 (unpublished), Paper No. GT-18.
- [8] Y. Higo, K. Yamane, K. Ohba, H. Narisawa, K. Bessho, M. Hosomi, and H. Kano: Appl. Phys. Lett., **87**, 082502 (2005).
- [9] L. Thomas, M. Hayashi, X. Jiang, R. Moriya, C. Rettner, and S. S. P. Parkin: Nature, **443**, 197 (2006).
- [10] T. Koyama, D. Chiba, K. Ueda, K. Kondou, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, K. Kobayashi, and T. Ono: Nature Materials, **10**, 194 (2011).
- [11] T. Koyama, D. Chiba, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono: Appl. Phys. Lett., **98**, 192509 (2011).
- [12] S.-W. Jung, W. Kim, T.-D. Lee, K.-J. Lee, and H.-W. Lee: Appl. Phys. Lett., **92**, 202508 (2008).
- [13] K. Ueda, T. Koyama, D. Chiba, K. Shimamura, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono: Appl. Phys. Express, **4**, 063003 (2011).
- [14] H. Tanigawa, K. Suemitsu, S. Fukami, N. Ohshima, T. Suzuki, E. Kariyada, and N. Ishiwata: Appl. Phys. Express, **4**, 013007 (2011).
- [15] S. S. P. Parkin, U.S. Patent No. 6834005.
- [16] D. Chiba, G. Yamada, T. Koyama, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono: Appl. Phys. Express, **3**, 073004 (2010).

第7章 MRAM 素子の試作と評価結果

第 5 章では Co/Ni 積層膜の膜レベルでの物性の測定結果を示し、第 6 章ではそれを細線に加工したときの電流誘起磁壁移動の測定結果を示した。第 7 章では Co/Ni 積層膜を用いた MRAM 素子を実際に試作して測定したメモリ特性の評価結果[1, 2]を示す。初めに MRAM 素子の構成について述べた後、メモリ特性の評価結果を示し、最後に MRAM 素子の各パラメーターと素子サイズの関係（スケーリング特性）について解析的に見積もった結果[3]を記す。

7.1 MRAM 素子構成

垂直磁気異方性細線における電流誘起磁壁移動を利用した MRAM 素子で現在開発が行われている構成には一体型素子[4]と分離型素子[5]の 2 種類がある。図 7-1 に 2 種類の MRAM 素子の構成を模式的に示す。また一体型素子、分離型素子のレイアウト例をそれぞれ図 7-2、図 7-3 に示す。

一体型素子（図 7-1 (a)、図 7-2）も分離型素子（図 7-1 (b)、図 7-3）も磁壁移動層（DW-motion layer）の両端部の磁化は磁化固定層（Fixing layer）によって反平行に固定した領域（磁化固定領域）があり、その間に磁化が固定されていない領域（磁壁移動領域）が形成される。書き込みはこの磁壁移動領域で磁壁を移動させることで行う。すなわち記憶される情報は磁壁の位置に対応する。この点では一体型素子も分離型素子も共通しているが、磁化固定領域の磁化の固定方法や読み出し方法で両者には大きな違いがある。

まず一体型素子は磁壁移動層の両端部の磁化固定領域の磁化を固定するための磁化固定層（Fixing layer）が磁壁移動層の下部に配置される。これに対して分離型素子では磁化固定層は磁壁移動層の上部に配置される。さらに読み出しのための磁気トンネル接合（Magnetic tunnel junction; MTJ）にも一体型素子と分離型素子では大きな違いがある。まず一体型素子ではトンネルバリアとリファレンス層（Ref. layer）は磁壁移動層の中央の磁壁移動領域にじかに積層して設けられ、またリファレンス層は垂直方向に固定された磁化を有する。読み出しの際はこの MTJ における TMR 効果を利用して記憶されている情報を読み出す。一方で分離型素子では磁壁移動層とは離れた位置にセンサー層（Sensor layer）が設けられ、このセンサー層に隣接してトンネルバリアとリファレンス層が設けられることで読み出しのための MTJ が形成される。この MTJ は磁壁移動層に対して紙面奥行き方向（y 方向）にずれるようにして設けられる。またセンサー層は面内方向で自由な磁化を有しており、リファレンス層は面内方向で紙面奥行き方向に固定された磁化を有している。そしてセンサー層の磁化は磁壁移動層中央部の磁壁移動領域からの漏洩磁束によって±y 方向で向きを変える。これによって磁壁移動層に記憶された情報を TMR 効果を利用して読み出す

ことができる。

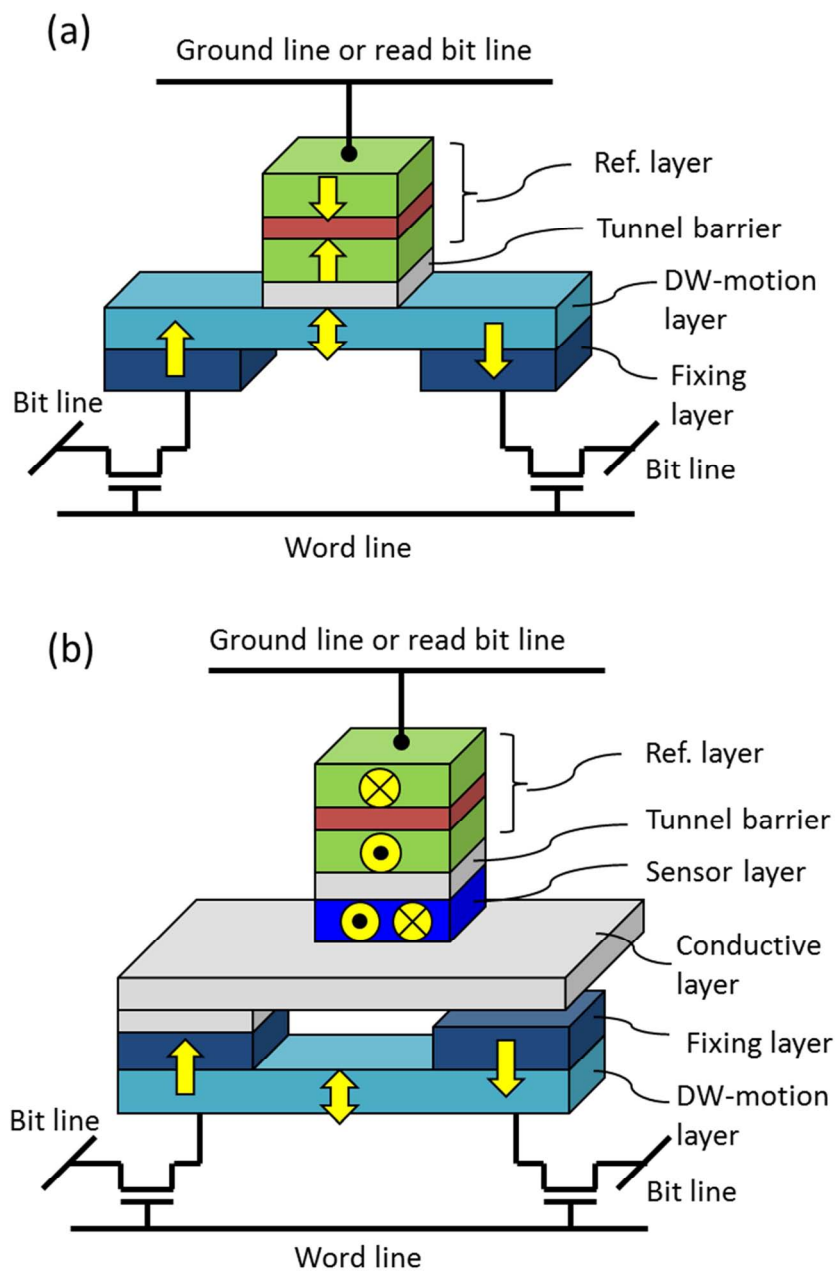


図7-1: 一体型素子(a)と分離型素子(b)の構造の模式図

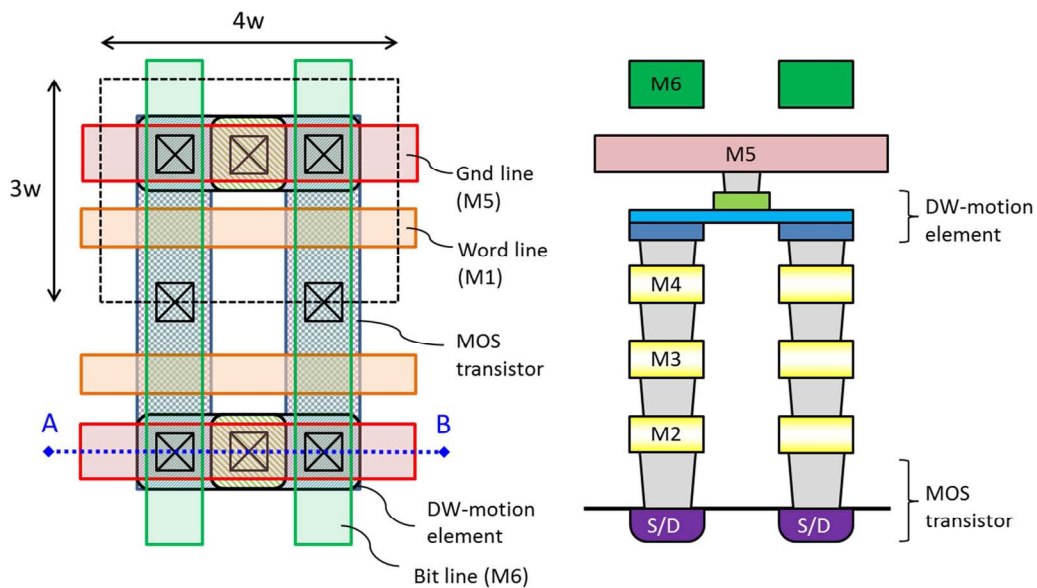


図7-2: 一体型素子のレイアウト図。(a): 平面図、(b): 断面図(図(a)の線分A-Bでの断面図)

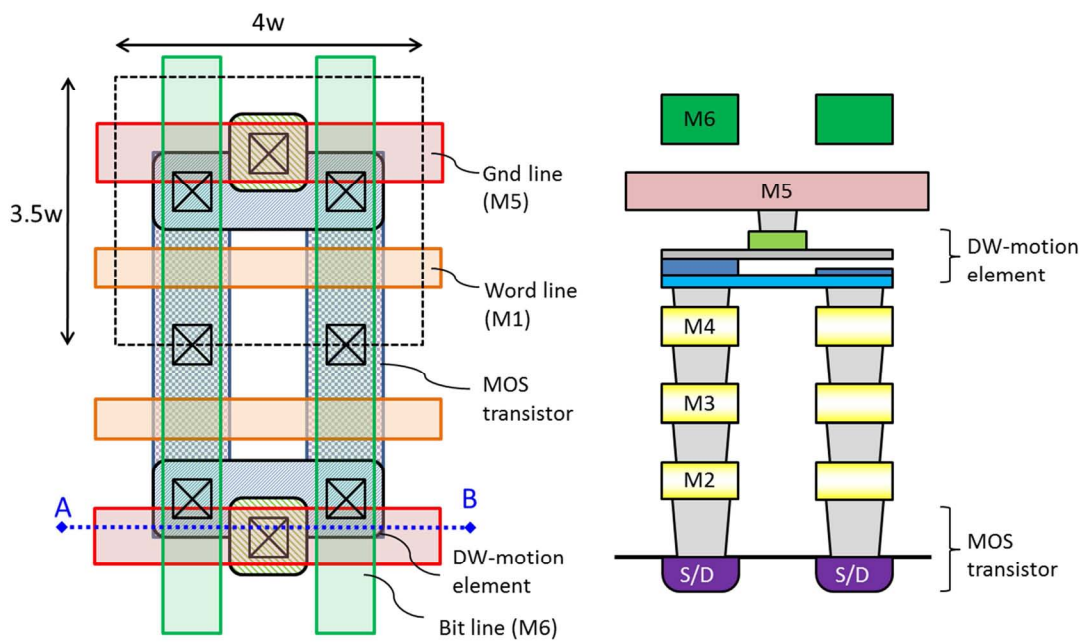


図7-3: 分離型素子のレイアウト図。(a): 平面図、(b): 断面図(図(a)の線分A-Bでの断面図)

一体型素子と分離型素子にはそれぞれ以下のような長所と短所がある。まず図7-2と図7-3を比較するとわかるように、一体型素子は分離型素子に比べてセル面積

が小さくできる上、プロセス数も少なくなり、コストの点で有利である。実際、一体型素子の 1 セルの面積は MRAM 層の最小線幅を w とすると $12w^2$ となり、 $w = 90 \text{ nm}$ のときのセル面積は $0.1 \mu\text{m}^2$ となる。これは 45 nm 世代の混載 DRAM と同等のセル面積である。一方で分離型素子は図 7-3 では理想的なセル面積は $14w^2$ となっているが、実際にはプロセスマージンなども含めるとこれを大きく上回る面積となってしまう。またレイヤー間のアライメントの制約も分離型素子と比べて厳しくないため、微細化への適用性にも優れている。

しかしその一方で一体型素子では磁性技術的な課題が多い。まず磁化固定層 (Fixing layer) が磁壁移動層 (DW-motion layer) の下部に設けられることで以下のような困難が生ずる。このような構成を形成するためにははじめに磁化固定層のパターニングを行い、磁化固定層を埋め込んだうえでその表面を出した後、磁壁移動層を堆積させなくてはならない。ここで磁壁移動層に図 5-1 に示されているような膜構成の Co/Ni 積層膜を用いる場合、Co/Ni 積層膜の最下層は Ta となり、磁化固定層と磁壁移動層の間での交換相互作用による強い磁気結合が得られず、磁壁移動層両端部の磁化固定領域の反平行方向への磁化固定が困難となる。このため下部の層との交換結合が可能となるような下地層を有する Co/Ni 積層膜の膜構成を開発する必要がある。また一体型素子では MTJ の磁化配置は垂直方向となるが、垂直磁化の MTJ で大きな TMR 比を実現するのは面内磁化の MTJ と比べて一般的に難易度が高く、技術の蓄積も少ない。別の観点からみると、一体型素子では磁壁移動層は良好な電流誘起磁壁移動特性を実現すると同時に大きな TMR 比を得るための工夫も必要となる。従っていくつかのトレードオフの中で磁壁移動層の膜構成を最適化していく必要がある。

一方で分離型素子はまず磁化固定層は磁壁移動層の上部に配置され、磁壁移動層と磁化固定層は連続して堆積させられるので交換相互作用による磁気結合が可能である。また読み出しのための MTJ は磁壁移動層とは別の場所に設けられるので、書き込み特性 (磁壁移動層) と読み出し特性 (センサー層/トンネルバリア/リファレンス層からなる MTJ) は独立に最適化が可能である。また MTJ は面内磁化配置となるので容易に大きな TMR 比が得られ、また面内 MTJ が十分な信頼性を有していることもすでに確認されている。

まとめると、コストパフォーマンスや微細化のポテンシャルの点では一体型素子が優れているものの、解決すべき技術課題が多く、一方で分離型素子は最終的な特性では一体型素子に劣るもののさほどの障害もなく容易に素子動作を実現できると言える。7.2 節では MRAM 素子の評価結果を示すが、これらは分離型素子で得られたものである。作製した分離型素子の断面 TEM 像を図 7-4 に示す。磁壁移動層には図 5-1 に示されているような Co/Ni 積層膜を用いた。また磁化固定層には Co/Pt 積層膜を用いた。センサー層/トンネルバリア/リファレンス層の膜構成はそれぞれ

CoFeB or NiFe、MgO、Ta/PtMn/CoFe/Ru/CoFeB とした。V4 は Cu、M5 は Cu-Al 合金とした。

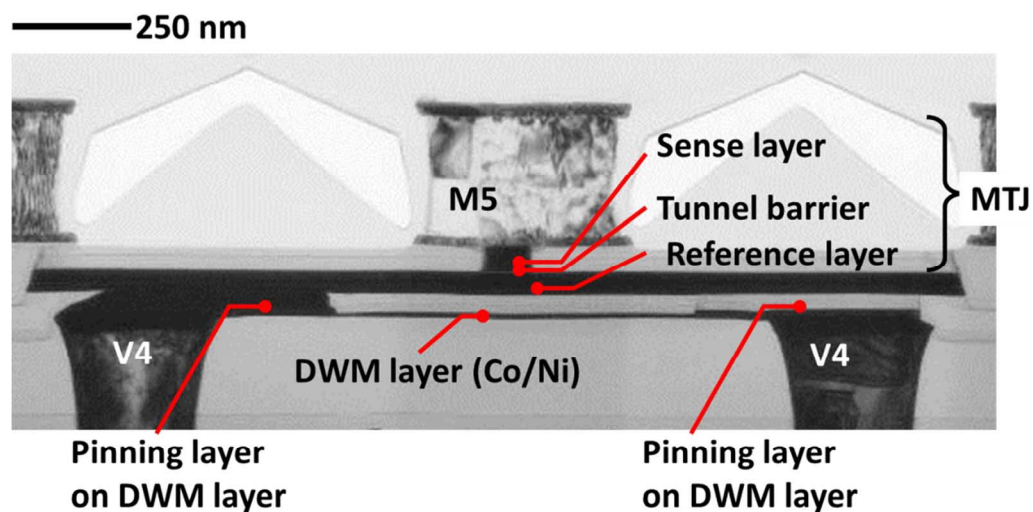


図7-4: 試作した分離型素子の断面 TEM 像

7.2 メモリ動作評価結果

図7-5に試作した磁壁移動型 MRAM 素子アレイのチップ写真を示す。本研究では 4 kbit の素子アレイを作製し、メモリテスターによる評価を行った。用いた CMOS 工程のデザインルールは 90 nm であり、MRAM 素子の最小線幅は約 150 nm である。

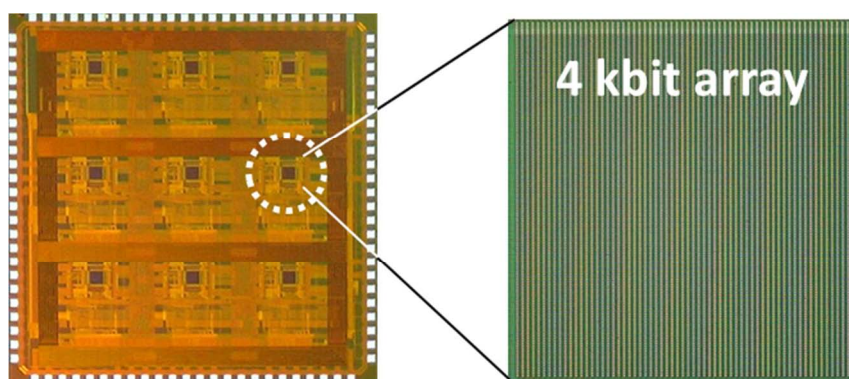


図7-5: 試作した磁壁移動型 MRAM 素子アレイのチップ写真。試作したチップは 9つのドメインを搭載しており、各ドメインは 4kbit のメモリアレイを有する。

図7-6に試料に外部磁場を印加してメモリ状態を初期化した後の磁壁移動層と磁化固定層のみからなるアレイの MFM (Magnetic Force Microscopy) 像を示す。いずれの素子においても磁壁移動層の両端部の磁化が反平行方向を向いており、均一な初期状態が実現されていることがわかる。

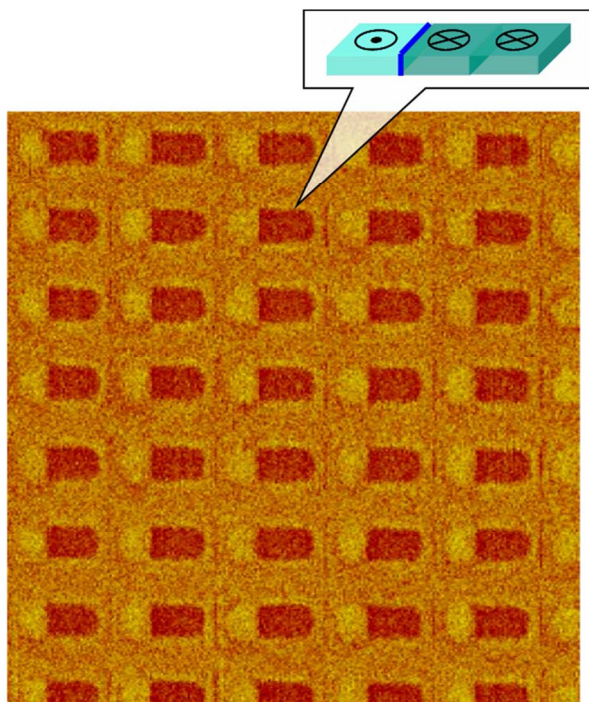


図7-6: 磁壁移動層と磁化固定層のみからなる素子アレイの外部磁場による磁壁導入後の磁化状態の MFM 像

次に図7-7に単一素子に磁場を印加した場合と電流を印加した場合の MTJ 抵抗の変化 ($R-H$ 特性、 $R-I$ 特性)を示す。なおここでは図7-1 (b)に示した分離型構造を用いており、センサー層には CoFeB を用いた。また磁壁移動層の細線幅は約 200 nm とした。100%の MR 比が得られており、また磁場、電流の両方において双方向の磁化反転が得られていることがわかる。

図7-8には分離型素子に「0101...」、「0000...」、「1111...」、「00001111...」というパターンの電流を導入したときの MTJ 抵抗の変化を示す。非常に良好なデータ反転特性と上書き (オーバーライト) 特性が得られていることがわかる。またこのような良好な特性は 10^9 回の書き込みを行った後でも維持されていることが確認された。

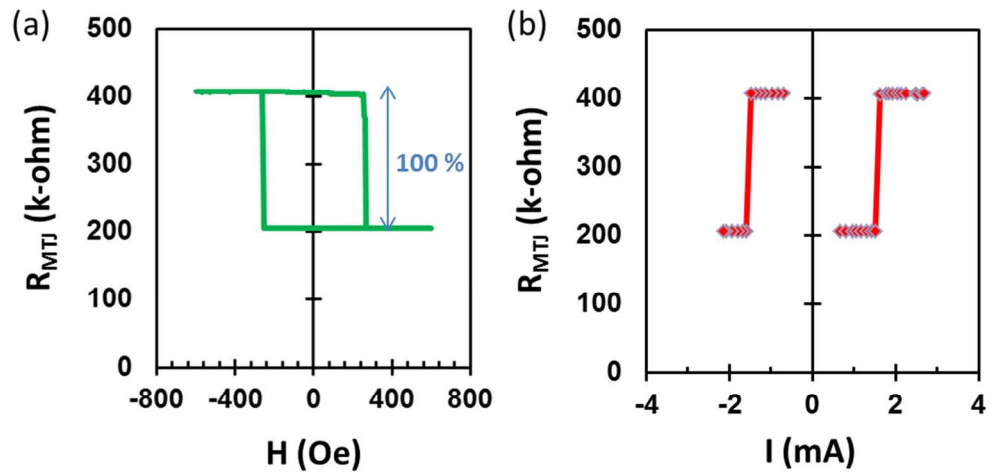


図7-7:分離型素子の外部磁場印加時のMTJ抵抗の変化(R - H 特性)(a)とパルス電流印加時のMTJ抵抗の変化(R - I 特性)(b)

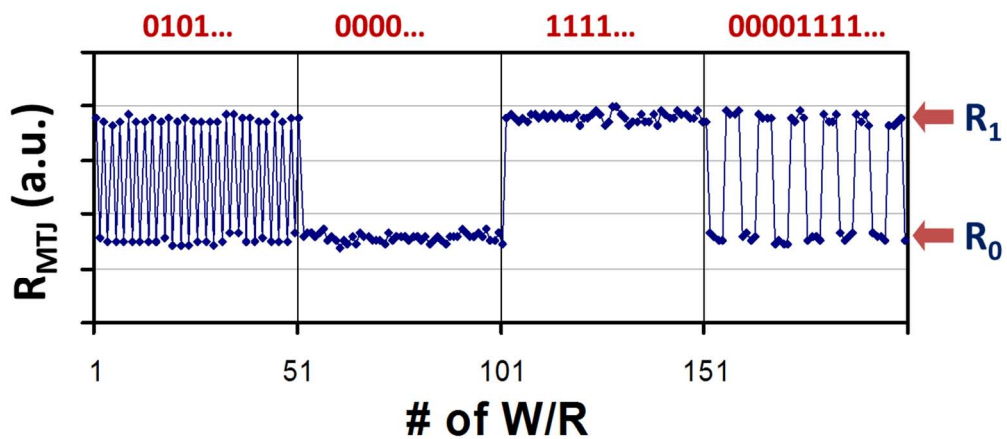


図7-8:分離型素子の繰り返し書き込み評価結果

7.3 スケーリング特性の見積もり

前節では電流誘起磁壁移動を利用したMRAM素子で良好なメモリ特性が実証されたことを示した。本節ではこの磁壁移動素子のスケーリング特性（微細化に対して特性がどのように変化するか）について解析的に見積もった結果を記す。はじめに解析に用いたモデルを説明し、次にそのモデルに基づいて計算したスケーリングファクターと各世代での特性値について記す。最後に微細化に向けた課題と、微細化をしていく上での阻害要因とその対策について述べる。

7.3.1 用いるモデル

ここでは図7-1 (a) に示した一体型素子を前提にして計算を進める。計算で用いたより具体的な素子の構造を図7-9に示す。磁壁移動層は幅が w の長方形の形状を有しており、また MTJ 領域と磁化固定層は $w \times w$ の正方形形状をしているものとした。また磁化固定領域 (Fixed region) と MTJ 領域の間には $\delta + m$ のスペースを設けるものとした。ここで δ と m はそれぞれ磁壁幅とアライメントマージンに相当する。

磁壁移動層は前述の Co/Ni 積層膜からなるものとした。想定した膜構成は sub./Ta(3 nm)/ Pt(1.6 nm)/ [Co(0.3 nm)/ Ni(0.6 nm)]_{4.5} である。この膜の飽和磁化 (M_s) は 750 emu/cc とし、垂直磁気異方性定数 (K_u) は 5×10^5 J/m³ とした。またこの膜構成での合計のシート抵抗 R_{sq} は 50 Ω /sq. とし、Co/Ni に流れる電流の2割程度の電流が Ta/Pt 下地部分に流れると仮定した (図5-15 参照)。またスピン分極率は文献[6]において磁壁移動速度から見積もられた値である 0.59 を採用した。磁壁幅 δ はマイクロマグネティックシミュレーションから 15 nm とした。

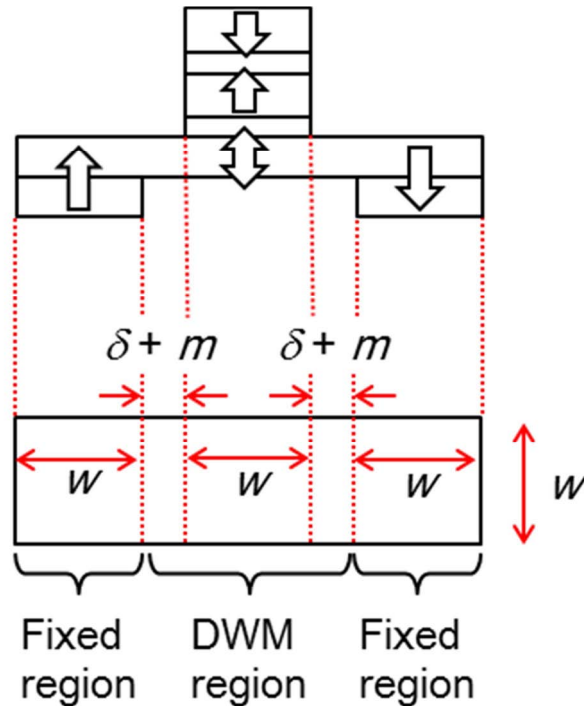


図7-9: スケーリング特性の見積もりに用いた磁壁移動素子の構造の模式図

また磁壁移動の駆動力は第 6 章で述べたように断熱スピン移行トルクであった。このときピンサイトからデピンするのに必要な磁場と電流は互いに独立な関係となる。従って書き込み電流と熱安定性は独立に設計できるという仮定を用いた。

また磁壁移動の駆動力が断熱スピン移行トルクであるとき、磁壁移動速度は近似的に (3・7) 式で与えられる。すなわち磁壁移動速度は導入する書き込み電流の電流密度に比例することになる。本研究では磁壁移動速度が 30 m/s と 50 m/s となるような二つの電流密度でスケーリング特性の見積もりを行った。30 m/s と 50 m/s の磁壁移動速度を実現するための電流密度は (3・7) 式から 6.5×10^{11} , 1.1×10^{12} A/m² と導かれる。これらの電流密度はいずれも本研究で対象とするおよそ 100 nm 以下の線幅においては磁壁移動のしきい電流密度よりも大きな値である (図 6-14、図 6-23、及び文献[7]参照)。

7.3.2 スケーリング特性

本研究では書き込み電流、書き込み時間、書き込み経路の抵抗、熱安定性、及び読み出し特性のスケーリング特性について計算を行った。具体的には素子の幅 w が $1/k$ になったときに各パラメーターがどのように変化するかを意味するスケーリングファクター (F) を算出した。

a. 書き込み電流

書き込み電流 I_{sw} は次式で与えられる。

$$I_{sw} = j \cdot w \cdot t \cdot a \quad (7-1)$$

ここで j , t , a はそれぞれ電流密度、膜厚、電流の分流に伴う補正係数である。従ってスケーリングファクター F は

$$F = \frac{1}{k} \quad (7-2)$$

となる。また Co/Ni 膜の場合、 t と a はそれぞれ 3.9 nm, 1.2 であるのでこれらを代入することでスケーリング特性は図 7-10 のようになる。図 7-10 では参考までに ITRS (International Technology Roadmap for Semiconductor) [8] の High-performance technology トランジスタと Low-operating power トランジスタの駆動電流も破線で示されている。図からわかるように、線幅が大よそ 100 nm 以下であれば、磁壁移動速度が 30 m/s となるような条件の電流は 4F サイズの nMOS トランジスタにより駆動できることがわかる¹⁹。

¹⁹ トランジスタの駆動電流は、トランジスタのゲート電極に接続されるワード線に電圧を

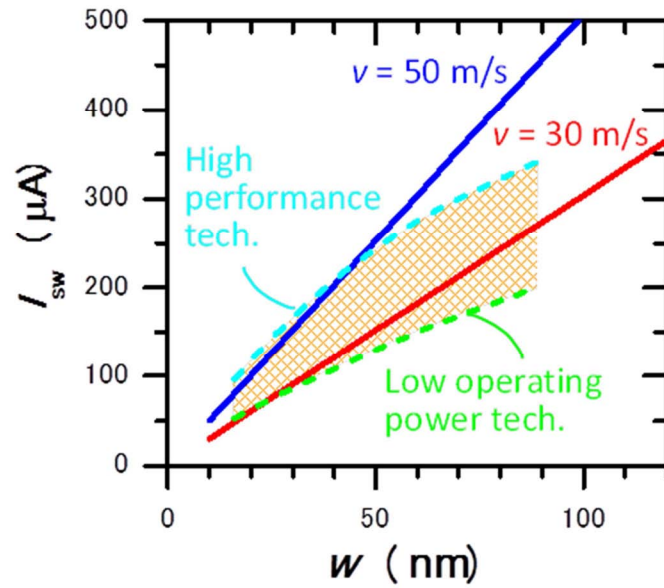


図7-10: 書き込み電流の細線幅依存性。破線は ITRS[8] トランジスタの駆動電流から概算した 4F サイズのトランジスタの駆動電流の上限値。

b. 書き込み経路の抵抗

書き込み経路の抵抗 R_{DWM} はシート抵抗 R_{sq} と磁壁移動領域の長さ ($L = w + 2\delta + 2m$) に比例し、線幅 w に反比例する。すなわち

$$R_{DWM} = \frac{R_{sq} \cdot (w + 2\delta + 2m)}{w} \quad (7-3)$$

となる。従って、各世代でのアライメントマージンをそれぞれ m , m' とすると、スケーリングファクター F は

$$F = \frac{w + 2k\delta + 2km'}{w + 2\delta + 2m} \quad (7-4)$$

と表される。ここでもし w が δ ($= 15 \text{ nm}$) や m ($\sim 20 \text{ nm}$) を無視できるほどに大きければ F は 1 となり、抵抗は世代にほとんど依存しないことがわかる。また m は ITRS の技術世代と M1 ハーフピッチの差で大よそ代用することができるので、その値を用いることによってスケーリング特性が得られる。

加える (ワードブースト) によって増大が可能となる。従ってワードブーストを用いることによって図7-10に示されているよりも小さなサイズのトランジスタにより設計が可能であると考えられる。ワードブーストも考慮してセルサイズを見積もったところ、45nm 世代のルールでレイアウトしたときのセルサイズは約 $0.1 \mu\text{m}^2$ となった。これは混載 SRAM と比べると十分に小さく、混載 DRAM のセルサイズに匹敵する値である。

得られた抵抗の線幅依存性を図7-11に示す。図からわかるように抵抗は線幅が50 nm以上ではほぼ100 Ω程度であり、ここから短くなっても1 kΩよりはるかに小さい値に留まっている。一方で図7-10で見積もられているような電流を駆動するのに必要なトランジスタの抵抗は概ね1 kΩ以上となる。このことから書き込みパスの抵抗は世代が進んで素子が微細化されても実動作上の何の障害にもならないと考えることができる。

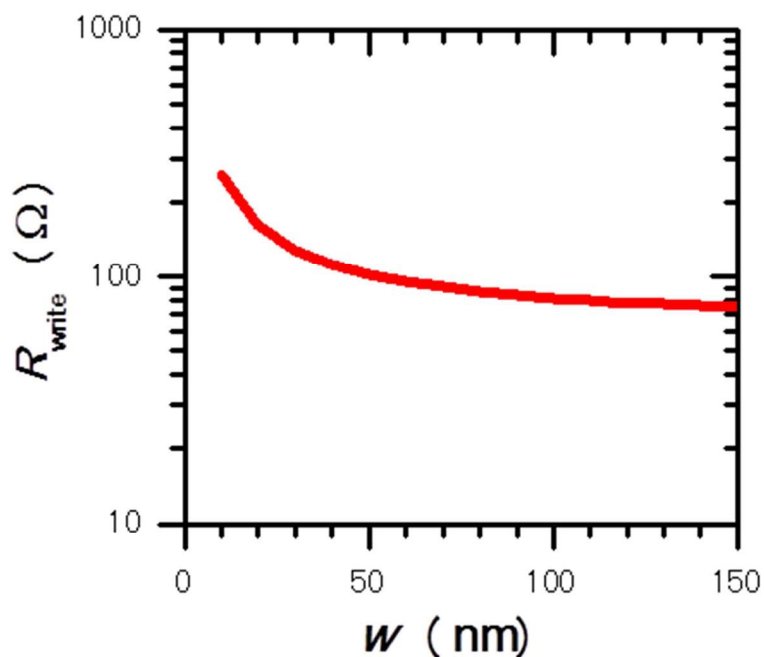


図7-11: 書き込みパスの抵抗の細線幅依存性

c. 熱安定性

熱安定性 Δ は $\Delta E/k_B T$ で定義され、10年以上のデータ保持特性を実現する上では60以上が必要となる。言い換えると世代によらず Δ が60以上となるように各パラメーターを調整する必要がある、すなわち F は1にならないといけない。ところで Δ はしきい磁場 H_c 、線幅 w 、及び比例係数 C_1 を用いて

$$\Delta = C_1 \cdot H_c \cdot w \quad (7-5)$$

と表すことができる。ここで C_1 はサイズには依存せず、飽和磁化 M_s 、膜厚 t 、ピンポテンシャルのサイズに依存する比例係数である。ここでは C_1 の値は図6-19の段差を有する磁壁移動素子のうち、段差の高さが0 nmのものと4 nmのものの測定結果を線形近似することで求めることとした(図7-12(a))。(7-5)式から微細化、すなわち w の減少に対して Δ を一定に保つため

には H_c を増大させていく必要があることがわかる。図7-12 (a) で求めた比例係数 C_1 を用いて計算される必要とされる H_c の細線幅依存性が図7-12 (b) に示されている。図から細線幅が 45 nm のときに必要となる H_c は約 80 kA/m (1000 Oe) であることがわかる。Co/Ni の H_c は約 16 kA/m (200 Oe) なので、 H_c を増大させるための何らかのピンサイトの形成が必要となることがわかる。なおここでは熱によるデータの消失は磁壁移動モードにより起こることを仮定しており、磁化が反転核生成モードにより反転することは考慮に入っていない。しかし反転核生成磁場は約 2000 Oe であり、細線幅が約 20 nm 以上の領域では図7-12 (b) で得られている磁壁移動磁場のしきい値に比べて十分大きい。従ってこの点で上述の仮定は正しいと考えられる。

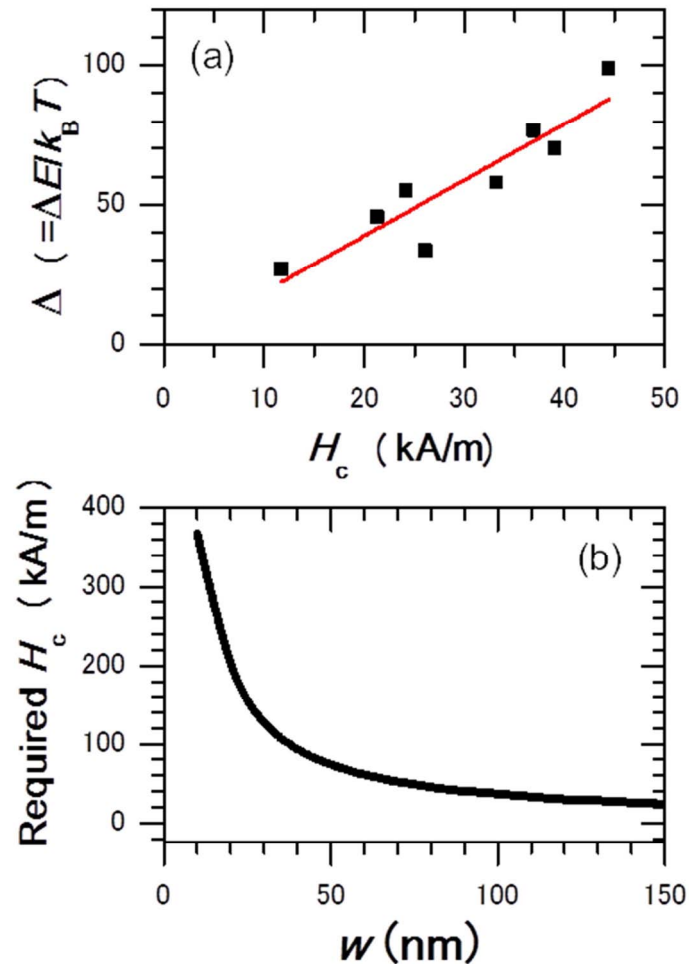


図7-12: 熱安定性としきい磁場の関係の実験結果とその線形近似(a).
及び熱安定性確保のために必要とされるしきい磁場の細線幅依存性

d. 書き込み時間

書き込み時間 t_{sw} は

$$t_{sw} = t_{DWM} + t_{dpn} \quad (7-6)$$

で書き表すことができる。ここで t_{DWM} は磁壁が移動するのに必要な時間であり、 t_{dpn} は磁壁がピンサイトからデピンするのに必要な時間である。ここで t_{DWM} は

$$t_{DWM} = \frac{w + \delta + 2m}{v} \quad (7-7)$$

で与えられる。従ってスケーリングファクター F は各世代でのデピン時間を t_{dpn} 、 t_{dpn}' すると、

$$F = \frac{(w/k + \delta + 2m')/v + t_{dpn}'}{(w + \delta + 2m)/v + t_{dpn}} \quad (7-8)$$

となる。もし w が δ 、 m 、 t_{dpn} を無視できるほどに大きければ(7-8)式の右辺は $1/k$ となる。すなわち書き込み時間はサイズに対してリニアにスケーリングすることになる。また t_{dpn} は文献[9]によれば $t_{dpn} = C_2 \cdot (2\pi/\omega)$ と書くことができ、ここで ω は $\omega = \gamma(H_c H_k \delta / q_0)^{1/2}$ で与えられる。 γ はジャイロ磁気定数、 H_k は磁壁の困難軸異方性磁界、 q_0 は磁壁のピンポテンシャル幅の半分である。また C_2 は数値的に導かれる定数である。ここではスケーリング特性を導出するために $H_k = 80$ kA/m と $q_0 = \delta$ を仮定し書き込み時間の細線幅依存性を計算した。その結果を図7-13に示す。いずれの世代においても数 ns での書き込みができ、特に 45 nm 以下の世代では 2 ns 程度の非常に短い時間での書き込みが可能なことから SRAM などの高速メモリの代替としても十分なポテンシャルを有していると考えることができる。

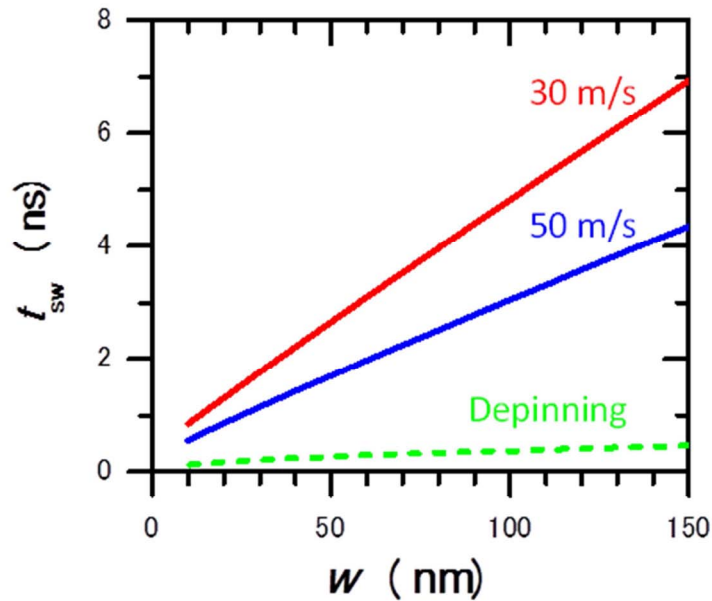


図7-13: 書き込み時間の細線幅依存性。破線はデピン時間(t_{dpn})で、実線は合計の書き込み時間(t_{sw})。

e. 読み出し特性

3 端子素子では読み出し特性は 2.2.3 で述べたように書き込み特性とは独立に設計できる。すなわち世代世代で最適な回路特性が得られるように MTJ を設計していけばよいことになる²⁰。例えば文献[10]では 3 端子素子において MTJ 抵抗が 5 k Ω で TMR 比が 70% 以上のとき、500 MHz でのランダムアクセス特性が得られることが述べられている。この MTJ 抵抗は、細線幅が 45 nm の場合の抵抗と面積の積 (RA) としては 10 $\Omega\mu\text{m}^2$ に相当する。この程度の RA と TMR 比は既存の技術[11, 12]により十分に達成できる値であると考えられることから、3 端子素子の読み出し特性は素子の微細化により大きな影響はもたらされないと判断できる。

f. まとめ

これまでに導かれた各パラメーターのスケールリングファクターと微細化によるデバイス特性への影響として考えられることを表 7-1 に示す。表に示

²⁰ 仮に世代によらず同じ MTJ を用いる場合、トンネルバリアの RA は一定なので、MTJ 抵抗のスケールリングファクター F は k^2 となり、TMR 比のスケールリングファクターは 1 となる。但し読み出し特性は世代ごとに調整していくと考えられるので、表 7-1 においてスケールリングファクターは「任意」とした。

されているように磁壁移動素子のサイズ w が小さくなると、メモリ容量は増大、書き込みの消費電力は低減、動作周波数は増大することがわかる。すなわち 3 端子の磁壁移動素子はスケーリング特性に非常に優れているといえることができる。但し、微細化をする上では熱安定性を維持するために素子サイズの低減に伴ってしきい磁場を増大させていく必要がある。

表 7-1 : スケーリング特性のまとめ

Parameter	Scaling factor (F)	Impact
w	$\frac{1}{k}$	Larger capacity
R_{DWM}	$\frac{w + 2k\delta + 2km'}{w + 2\delta + 2m}$	Negligible
I_{sw}	$\frac{1}{k}$	Lower power
t_{sw}	$\frac{(w/k + \delta + 2m')/v + t_{apn}'}{(w + \delta + 2m)/v + t_{apn}}$	Higher speed
Thermal stability	1 (Must be developed)	No
Reading property	Arbitrary	No

表 7-2 には典型的な 5 つの世代でのデバイス特性を示す。なおここでは磁壁移動速度は 30 m/s となるような電流密度を使ったときの特性値が示されている。線幅が 32 nm のとき (CMOS の技術世代は 16~22 nm) には 100 μ A 以下の電流でかつ 2 ns 以下の時間での書き込みが可能であることがわかる。またこのときの磁壁移動素子内での 1 回の書き込みで消費する電力 ($R_{DWM} \cdot I_{sw}^2 \cdot t_{sw}$ で定義される) は 2.3 fJ と求まる。

表7-2：3端子磁壁移動素子の各世代でのデバイス特性

F ; tech. node [nm]		45-65	32-45	22-32	16-22	11-16
w ; width [nm]		90	65	45	32	22
Assumption	Stack (thickness in nm)	Ta(3)/ Pt(1.6)/ [Co(0.3)/Ni(0.6)] ₄ / Co(0.3)				
	j_{write} ; Write current density in Co/Ni layer [A/m ²]	6.5×10^{11}				
	$\Delta (= \Delta E / k_B T)$; Thermal stability	60				
R_{DWM} ; resistance of DWM layer [Ohm]		84	92	106	124	152
I_{sw} ; switching current [mA]		273	197	137	97	67
t_{sw} ; switching time [ns]		4.4	3.3	2.4	1.9	1.6
H_c ; required critical field [Oe]		512	710	1026	1442	2098

7.3.3 微細化に向けた課題と微細化を阻害する要因に関する考察

ここでは素子を微細化していく上での技術課題とその対策、及び微細化を阻害する本質的な要因について考察する。

素子を微細化していく上での最も大きな技術課題は熱安定性を保証するためのしきい磁場の増大であると考えられる。しきい磁場を増大させるための有効な方法としては 6.2.4 で述べた人工的なピンサイトの導入が挙げられる。特に図6-17や図6-19で示したように段差ピンサイトを導入することでしきい磁場は 1000 Oe (80 kA/m) 程度まで増大させることができていることから、このようなピンサイトを均一に作ることができれば微細化に伴う熱安定性の低下の問題を解決することができると考えられる。

またしきい磁場を増大させるためには人工的なピンサイトを利用する以外に、垂直磁気異方性定数 K_u の大きい Co/Ni に代わる新たな材料を用いることも有効と考えられる。垂直磁気異方性の大きな材料は一般的に材料の持つしきい磁場（保磁力）そのものが大きいと人工的なピンサイトを形成しなくても熱安定性を保証できる可能性がある。この点で K_u の大きな材料における電流誘起磁壁移動には大変興味を持たれる。

また Co/Ni に代わる材料を開発することは熱安定性以外の視点からも興味深い。例えば飽和磁場 M_s が小さく、またはスピン分極率 P が大きな材料において電流誘起磁壁移動が実現できれば、その材料を用いることで書き込み電流をさらに低減したり、或いは書き込み時間を短縮したりすることが可能となる。加えて、熱安定性を保証する上で K_u の大きさに十分な余裕があれば、膜厚 t を薄くすることができるため、より一層の書き込み電流の低減がもたら

される。以上から、Co/Ni に代わる開発ターゲットとしては、 K_u が大きく、 M_s が小さく、 P の大きい材料が候補として挙げられる。

次に微細化を阻害する本質的な要因と、微細化の限界サイズに関して述べる。微細化を阻害する本質的な要因としては熱擾乱に伴うランダムな磁化反転が挙げられる。データを記憶している磁壁移動領域においてランダムな磁化反転が熱擾乱によって起こってしまえば、磁壁を安定してピンさせていたとしても安定したデータ保持特性は実現されない。ところでランダムな磁化反転に対応したエネルギーバリア ΔE は $M_s H_n V_s / 2$ で与えられ、磁壁のピンニングと同じくこれも 60 kT 以上の値でないといけない。ここで $M_s = 750 \text{ emu/cc}$ 、 $H_n \approx 2K_u / M_s = 1.1 \text{ MA/m}$ 、 $V_s \approx w^2 \cdot t$ とすると、臨界サイズ w^* は約 10 nm となることがわかる。すなわち Co/Ni を使う限りどれだけ磁壁のピンニングの熱安定が向上できても本質的には約 10 nm 以下には微細化できないこととなる。この微細化限界を遠ざけるためには、垂直磁気異方性 K_u がより大きな材料で置き換える必要がある。

また 6.2.5 で述べたように細線幅を細くしていった場合には、磁壁の困難軸異方性磁場が変化する。十分太い領域では Bloch wall となるが、線幅が細くなると困難軸異方性磁場が減少し、Bloch wall から Neel wall に遷移する線幅において困難軸異方性磁場は最小値をとる。その後さらに線幅を細くすると困難軸異方性磁場は増大する。磁壁移動のしきい電流密度は(3・12)式からわかるように困難軸異方性磁場に比例するため、ある線幅以下では現実的な電流密度での書き込みができないことになってしまう²¹。ところでこの困難軸異方性磁場は細線の膜厚や磁気異方性定数に依存するので、この微細化限界は磁気異方性の大きさや膜厚によって遠ざけられると考えられる。なおこの点でも K_u の大きな材料では Bloch 磁壁から Neel 磁壁に遷移するサイズが小さくなることから、電流誘起磁壁移動が実現可能な高 K_u 材料の開発が有望視される。

また細線幅ではなく細線長に関しては、磁壁幅が微細化のボトルネックとなる。図 7-9 からわかるように磁壁移動素子の細線長は $3w + 2m + 2\delta$ で表されるので、 w や m は世代の進行で小さくなるのに従って δ の占める割合が大きくなる。そして δ も K_u の大きい材料ほど小さくなるのでこの点でも K_u の大きな材料による置き換えが有効であると考えられる。

最後に読み出し特性に関しても、明確な臨界サイズが定義できるような微細化阻害要因とはならないものの微細化を妨げる要因としては挙げられる。微細化に伴い MTJ のサイズが小さくなると、同じ MTJ 抵抗を実現するため

²¹ 実効的な困難軸異方性磁場は細線のエッジのラフネスにも依存するので、明確な微細化限界のサイズを導出することは困難である。

の MTJ の抵抗と面積の積 (RA) は小さくなる。これは MTJ の実効的な膜厚を薄くすることと等価である。例えば素子サイズ w が 16 nm の場合、MTJ 抵抗として 10 k Ω を実現するために求められる RA は 2.56 $\Omega\mu\text{m}^2$ となる。十分な信頼性を維持した上でこのような小さな RA を実現することも一つの課題として挙げられる。

第7章の参考文献

- [1] S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, Y. Ozaki, S. Saito, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, C. Igarashi, S. Miura, N. Ishiwata, and T. Sugibayashi, Dig. Tech. Pap. - Symp. VLSI Technol. 2009, 230.
- [2] S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, S. Saitoh, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, E. Kariyada, Y. Kato, K. Suemitsu, H. Tanigawa, K. Kinoshita, S. Miura, N. Ishiwata, and T. Sugibayashi: 2010 International Conference on Solid State Devices and Materials, Dig. Tech. Pap. p. 1094 (2010).
- [3] S. Fukami, N. Ishiwata, N. Kasai, M. Yamanouchi, H. Sato, S. Ikeda, and H. Ohno: (submitted).
- [4] 深見俊輔、石綿延行：PCT 国際出願公開公報 WO2009/001706.
- [5] 深見俊輔、石綿延行、鈴木哲広、永原聖万、大嶋則和：PCT 国際出願公開公報 WO2009/060749.
- [6] T. Koyama, D. Chiba, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono: Appl. Phys. Lett., **98**, 192509 (2011).
- [7] T. Koyama, D. Chiba, K. Ueda, K. Kondou, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, K. Kobayashi, and T. Ono: Nature Materials, **10**, 194 (2011).
- [8] <http://www.itrs.net/reports.html>
- [9] T. Suzuki, S. Fukami, N. Ohshima, K. Nagahara, and N. Ishiwata: J. Appl. Phys., **103**, 113913 (2008).
- [10] N. Sakimura, T. Sugibayashi, T. Honda, H. Honjo, S. Saito, T. Suzuki, N. Ishiwata, and S. Tahara: IEEE J. Solid-State Circuits, **42**, 830 (2007).
- [11] S. Ikeda, K. Miura, H. Yamamoto, K. Mizunuma, H. D. Gan, M. Endo, S. Kanai, J. Hayakawa, F. Matsukura, and H. Ohno: Nature Materials, **9**, 721 (2010).
- [12] K. Yakushiji, K. Noma, T. Saruya, H. Kubota, A. Fukushima, T. Nagahama, S. Yuasa, and K. Ando: Appl. Phys. Express, **3**, 053003 (2010).

第8章 まとめ

本論文では垂直磁気異方性細線における電流誘起磁壁移動の計算結果と実験結果、及び垂直磁気異方性細線を用いて試作した MRAM 素子のメモリ特性の評価結果について記した。第 1 章では大まかな研究の背景や本研究の目的について述べ、第 2 章、第 3 章ではそれぞれ MRAM、電流誘起磁壁移動について、本研究を進める上での土台となった過去の研究報告や業界動向について詳細に説明した。次に第 4 章では電流誘起磁壁移動に関する理論計算を行った結果を記し、垂直磁気異方性細線において良好な電流誘起磁壁移動が期待できることを述べた。また第 5 章では本研究で用いた垂直磁気異方性材料である Co/Ni 積層膜に関して、その膜レベルでの磁気特性や電気特性の測定結果について述べた。そして第 6 章では Co/Ni 積層膜を用いて作製した細線における電流誘起磁壁移動特性の測定結果を記し、さらに第 7 章では Co/Ni 積層膜を用いて試作した MRAM 素子のメモリ特性の評価結果について述べた。以下に第 4 章から第 7 章の計算と実験で得られた成果をまとめ、最後に全体を総括する。

8.1 第4章のまとめ

第 4 章では面内磁気異方性細線と垂直磁気異方性細線での電流誘起磁壁移動特性の計算を行うことにより、面内磁気異方性細線に比べて垂直磁気異方性細線ではデバイス応用に適した特性が得られることを示した。

計算には第 3 章で説明したマイクロマグネティクス理論に基づいたスピン移行トルクの効果を含んだ LLG 方程式を用い、シミュレーション計算や解析計算を行った。

はじめに欠陥のない **Perfect wire** で面内磁気異方性細線と垂直磁気異方性細線での電流誘起磁壁移動特性のマイクロマグネティックシミュレーションを行い結果を比較したところ、断熱スピン移行トルクによって駆動される際のしきい電流密度は垂直磁気異方性細線では面内磁気異方性細線に比べて 1 桁以上小さくなり、面内磁気異方性細線では実験で観測が可能な電流密度での磁壁移動がほぼ期待できないのに対して、垂直磁気異方性細線ではそれが可能であることを述べた。またしきい電流密度の膜厚依存性や線幅依存性を計算したところ、垂直磁気異方性細線では膜厚や細線幅の低減によってしきい電流密度自体が低減されるという結果が得られた。

次に得られた結果を解析的な理論式に基づいて議論し、面内磁気異方性細線と垂直磁気異方性細線での電流誘起磁壁移動特性の大きな違いの要因について考察した。その結果、面内磁気異方性細線と垂直磁気異方性細線の間での差異は磁壁幅の違いと困難軸異方性磁場の違いに起因しており、これらの差を考慮することで定量的に説明が可能であることを解析モデルにより示した。

またピンサイトがある系での磁壁移動特性について面内磁気異方性細線と垂直磁

気異方性細線のそれぞれについて計算により検討を行った。その結果、垂直磁気異方性細線では面内磁気異方性細線と比べてしきい磁場 (= 熱安定性) は一桁大きくなり、一方しきい電流密度は一桁小さくなるという応用上大変好ましい結果が得られた。さらに数値計算と解析計算から、垂直磁気異方性細線においてはしきい磁場としきい電流密度は独立の関係にあり、従ってこれを利用した **MRAM** では書き込み電流と熱安定性を独立に設計できるという知見が得られた。

最後に垂直磁気異方性細線における電流誘起磁壁移動特性の材料定数依存性について計算を行った。その結果、飽和磁化が小さいほどしきい電流密度は小さくなり、また磁気異方性定数や交換スティフネス定数はさほど大きな影響は与えないことがわかった。また1次元モデルを用いることによって材料パラメーター (飽和磁化、スピントランスポンド率) と期待されるしきい電流密度の関係が計算によって導かれ、その後の材料開発の指針が得られた。

8.2 第5章のまとめ

第5章では本研究で用いた **Co/Ni** 積層膜に関して、電流誘起磁壁移動の実現に適した膜構成の検討結果を示した。

はじめに **Co/Ni** 積層膜に関して本研究を開始した時点で報告されていた研究結果について述べ、電流誘起磁壁移動を用いた **MRAM** に適用するために **Co/Ni** 積層膜に求められる条件について述べた。具体的な条件としては、なるべく高抵抗な下地を用いてなるべく大きな垂直磁気異方性を実現でき、かつ細線全体の合成抵抗はセルトランジスタの合成抵抗に比べて十分低く、また 350°C での耐熱性も有することなどを挙げた。

次に **Co/Ni** 積層膜の磁気特性の膜構成依存性について得られた結果を示した。まずいくつかの下地材料に関する検討を行った結果、**Ta/Pt** 下地を用いることによって良好な垂直磁気異方性の実現されることが分かった。また磁化曲線の **Ta** 膜厚依存性、**Pt** 膜厚依存性、**Co/Ni** 積層回数依存性、**Co**, **Ni** 膜厚依存性に関する実験データを示した。さらに **Ta/Pt** 下地を有する **Co/Ni** 積層膜では 350°C での耐熱性も有していることが確認された。

またシート抵抗測定により **Co/Ni** 積層膜の抵抗特性を測定したところ、合成抵抗はセルトランジスタの抵抗に比べて十分小さく、また過去の報告例と比べて非常に大きな電流が **Co/Ni** 部分に流れるという見積もり結果が算出された。

また第5章の最後には、**Co/Ni** 積層膜以外で電流誘起磁壁移動のための材料として検討した材料について、得られた結果を簡単に記した。

8.3 第6章のまとめ

第6章では第5章で述べた Co/Ni 積層膜を細線状に加工して測定した電流誘起磁壁移動特性についての実験結果を記した。はじめに本研究で用いたホール素子と磁壁抵抗素子の二つの素子の構成、作製方法、測定方法について説明した後、得られた実験結果について述べ、Co/Ni 細線において断熱スピン移行トルクを仮定した理論と合致する実験結果が得られたことを述べた。

はじめに Co/Ni 積層膜の膜構成と電流誘起磁壁移動のしきい電流、しきい電流密度の関係に関する測定結果について述べた。実験の結果、しきい電流、しきい電流密度は下地の Pt 層の膜厚や Co/Ni の積層回数に依存して有意な変化を示すわり、好適な膜構成に関する知見が得られた。特に、Pt 下地層の膜厚は 2.4 nm 程度のときにしきい電流密度は最小となり、また Co/Ni の積層回数は 3～5 回程度で、かつ積層回数は整数回 (Co/Ni/.../Co/Ni) のときにしきい電流密度が小さくなることがわかった。これらの結果は Co/Ni 積層膜の実効的なスピン分極率に関連していることを指摘した。

次にしきい電流、しきい電流密度の細線幅依存性に関する測定結果を示した。細線幅が約 100 nm 以下のときにしきい電流は 0.2 mA 以下となり、混載 SRAM、混載 DRAM と同等以上のコストパフォーマンスを実現できることが分かった。また細線幅の低下に伴いしきい電流密度が低減するという理論が示唆する結果も実験により確認された。

また作製した Co/Ni 細線にアニール処理を施し、耐熱性を評価したところ、350°C 熱処理後も同等の電流誘起磁壁移動特性を維持できていることが確認された。

次に人工的なピンサイトのある系での電流誘起磁壁移動の測定を行った。本研究では LSI の量産化プロセスへの適用が可能な段差構造を磁壁のピンサイトの構造として採用した。また Co/Ni 積層膜の磁壁のピンサイトとなるような微細な段差の形成プロセスを開発し、数 nm 規模でテーパ角度の大きな理想的な段差を形成していることを確認した。そしてこの方法で形成した段差をピンサイトに用いた Co/Ni 細線素子を試作し、しきい磁場としきい電流を評価した結果、しきい磁場としきい電流が無関係であるという理論と合致する実験結果が得られた。またしきい磁場の自己バラツキを測定することにより素子の熱安定性を評価したところ、段差を導入した素子においては 10 年間のデータ保持特性が可能な熱安定性を有していることが確認されたほか、今回形成した段差のようなピンサイトを導入することによって電流誘起磁壁移動を利用した MRAM は自由にスケールリングできることが示された。

第6章の最後には、上記の実験結果以外で得られた磁壁移動のしきい電流密度と磁壁移動速度の細線幅依存性、磁壁移動特性の環境温度依存性、複数磁壁の駆動に関する実験結果を簡単に紹介した。

8.4 第7章のまとめ

第7章では Co/Ni 積層膜を用いて試作した MRAM 素子の評価結果を示し、さらにこの MRAM 素子のスケーリング特性について解析的に見積もった結果についても述べた。

はじめに垂直磁気異方性材料を磁壁移動層に用いた MRAM 素子の構造としては一体型素子と分離型素子の2つがあり、それぞれに長所、短所があることを述べた。

次に 4 kbit の分離型素子のメモリアレイを作製し、評価することで得られたメモリ特性を示した。良好な R-H 特性、R-I 特性や繰り返し書き込み特性、上書き特性が確認された。

また第7章の後半では、解析的なモデルを用いて導出した MRAM 素子のスケーリング特性について述べた。書き込み電流や書き込み時間は素子サイズに対してほぼリニアにスケーリングし、また書き込みパスの抵抗は素子サイズの微細化によってデバイス動作に影響を及ぼすような変動は起こらないことが導かれた。また熱安定性維持のために必要なしきい磁場の素子サイズ依存性について見積もった。最後に微細化していく上での技術課題とその対策や、微細化を阻害する本質的な要因と臨界サイズについても述べ、Co/Ni 積層膜に代わる材料としては、高 K_u 、低 M_s 、高 P が次世代の材料に求められる特性であることを述べた。

8.5 総括

最後に本研究の全体を総括する。

本研究によって、まずこれまでの電流誘起磁壁移動の研究の主流であった面内磁気異方性細線に比べて圧倒的に優れた特性が垂直磁気異方性細線で得られることが理論的に明らかになった。また電流誘起磁壁移動の実現に適した Co/Ni 積層膜の膜構成を開発し、この Co/Ni 積層膜を用いた細線素子においてデバイスに適用する上で十分な電流誘起磁壁移動特性が得られることを実験により示すことができた。最後に Co/Ni 積層膜を用いて MRAM 素子アレイを試作し評価した結果、良好なメモリ動作が確認できた。

今後はこの垂直磁化磁壁移動型 MRAM 素子を量産化に向けて最適化していくことにより、LSI の混載メモリやロジックインメモリへの適用が期待できる。当 MRAM 素子を用いることによって現在の LSI 技術が直面している微細化限界や、微細化に伴う消費電力の増大の問題などを解決でき、新たな省エネ技術として注目を集めるものと期待される。

謝辞

本研究を遂行しまとめるにあたっては実に多くの方々にお世話になりました。そのうちの一部の方々のお名前を記し、感謝の意を表したいと思います。

まず本論文をまとめるにあたってご多忙の中数々の有益なアドバイスを下さりました名古屋大学の田中信夫教授、浅野秀文教授、井上順一郎教授、宇治原徹教授、斉藤晃准教授に深く感謝申し上げます。また筆者の学部、修士課程での指導教官である田中信夫先生には、学生時代に研究の進め方や論文の書き方などの基本についてまさに手取り足取り教えて頂きました。そこで学習したことが就職後に本研究を遂行する上での礎になったと思います。重ねてお礼申し上げます。

また本研究は主に筆者が日本電気株式会社システムデバイス研究所、デバイスプラットフォーム研究所、グリーンイノベーション研究所に所属していた時期に行ったものであり、その際には公私両面にわたって多くの先輩、同僚、後輩のサポートを受けました。特に石綿延行氏、鈴木哲広氏、本庄弘明氏、大嶋則和氏、谷川博信氏、永原聖万氏、沼田秀明氏、五十嵐忠二氏、笠井直記氏、杉林直彦氏、崎村昇氏、根橋竜介氏、斉藤信作氏、三浦貞彦氏、木下啓蔵氏、末光克己氏、苅屋田英嗣氏、村畑美智雄氏、森馨氏、加藤有光氏、辻幸秀氏には日々の業務の中で磁性物理の基礎、材料技術、半導体プロセス技術、LSI回路技術等から実験装置の扱い方やデータのまとめ方に至るまで、懇切丁寧なご指導やアドバイスを頂きましたこと、お礼申し上げます。また研究所の長である田原修一所長、望月康則所長には長期にわたって基礎的な研究に取り組む機会を与えて頂いたことに感謝申し上げます。

なお本研究で扱った電流誘起磁壁移動 MRAM の開発は NEDO「スピントロニクス不揮発性機能技術プロジェクト（2006 年度～2010 年度）」の一環として行われたものです。このプロジェクトの共同メンバーである京都大学化学研究所の小野輝男教授、千葉大地助教、葛西伸哉助教（現、物質・材料研究機構）、山口明啓助教（現、産業技術総合研究所）と小野研の学生の方々、及び電気通信大学の仲谷栄伸教授には電流誘起磁壁移動の基礎や実験、計算の行い方などに関して多くのご指導、ご助言、ご協力を賜りましたこと、感謝申し上げます。また電流誘起磁壁移動の理論計算に関しては、首都大学東京の多々良源准教授からも非常に有益なご助言を頂きました。ここに、感謝申し上げます。

また 2010 年度からの 3 端子磁壁移動素子の研究は日本学術振興会・最先端研究開発支援プログラム「省エネルギー・スピントロニクス論理集積回路の研究開発」の枠組みの中で行ってきました。当プロジェクトにおいては東北大学電気通信研究所、及び省エネルギー・スピントロニクス集積化システムセンターの大野英男教授、池田正二准教授、山ノ内路彦助教、佐藤英夫助教、及び物質・材料研究機構の林将光氏らからも多くのご指導、ご助言、ご協力を賜りましたこと、お礼申し上げます。

研究業績

原著論文

(First author)

- (1) S. Fukami, H. Honjo, T. Suzuki, and N. Ishiwata, "Reduction of writing field distribution in a magnetic random access memory with toggle switching," IEEE Trans. Magn., vol. 43, pp. 3512-3516, 2007.
- (2) S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, and N. Ishiwata, "Micromagnetic analysis of current driven domain wall motion in nanostrips with perpendicular magnetic anisotropy," J. Appl. Phys., vol. 103, p. 07E718, 2008.
- (3) S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, and N. Ishiwata, "Intrinsic threshold current density of domain wall motion in nanostrips with perpendicular magnetic anisotropy for use in low-write-current MRAMs," IEEE Trans. Magn., vol. 44, pp. 2539-2542, 2008.
- (4) S. Fukami, H. Honjo, T. Suzuki, and N. Ishiwata, "Low write-current magnetic random access memory cell with anisotropy-varied free layers," J. Appl. Phys., vol. 104, p. 113901, 2008.
- (5) S. Fukami, Y. Nakatani, T. Suzuki, K. Nagahara, N. Ohshima, and N. Ishiwata, "Relation between critical current of domain wall motion and wire dimension in perpendicularly magnetized Co/Ni nanowires," Appl. Phys. Lett., vol. 95, p. 232504, 2009.
- (6) S. Fukami, T. Suzuki, H. Tanigawa, N. Ohshima, and N. Ishiwata, "Stack structure dependence of Co/Ni multilayer for current-induced domain wall motion," Appl. Phys. Express, vol. 3, p. 113002, 2010.
- (7) S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, and N. Ishiwata, "Large thermal stability independent of critical current of domain wall motion in Co/Ni nanowires with step pinning sites," J. Appl. Phys., vol. 108, p. 113914, 2010.
- (8) S. Fukami, T. Suzuki, Y. Nakatani, N. Ishiwata, M. Yamanouchi, S. Ikeda, N. Kasai, and H. Ohno, "Current-induced domain wall motion in perpendicularly magnetized CoFeB nanowire," Appl. Phys. Lett., vol. 98, pp. 082504, 2011.
- (9) S. Fukami, N. Ishiwata, N. Kasai, M. Yamanouchi, H. Sato, S. Ikeda, and H. Ohno, "Scalability prospect of three-terminal magnetic domain-wall motion device," IEEE Trans. Magn., submitted.

<参考>

- (1) S. Fukami and N. Tanaka, "A theoretical consideration on the stability of $L1_0$ magnetic phase in Fe-(Pd,Pt) alloy clusters", Philos. Mag. Lett, vol. 84, pp. 33-40, 2004.
- (2) S. Fukami, A. Ohno, and N. Tanaka, "HRTEM and EELS studies of $L1_0$ -ordered FePt nano

- clusters on MgO films prepared below 673 K", *Mater. Trans.*, vol. 45, pp. 2012-2017, 2004.
- (3) S. Fukami, N. Tanaka, S. Shimatsu, and O. Kitakami, "Nanostructure of CoPtCr-SiO₂ granular films for magnetic recording media," *Mater. Trans.*, vol. 46, pp. 1802-1806, 2005.

(Co-author)

- (1) T. Sugibayashi, N. Sakimura, T. Honda, K. Nagahara, K. Tsuji, H. Numata, S. Miura, K. Shimura, Y. Kato, S. Saito, Y. Fukumoto, H. Honjo, T. Suzuki, K. Suemitsu, T. Mukai, K. Mori, R. Nebashi, S. Fukami, N. Ohshima, H. Hada, N. Ishiwata, N. Kasai, S. Tahara, "A 16-Mb Toggle MRAM with Burst Modes," *IEEE J. Solid-State Circuits*, Vol.42, No.11, pp.2378-2385, 2007.
- (2) H. Honjo, R. Nebashi, T. Suzuki, S. Fukami, N. Ishiwata, T. Sugibayashi, and N. Kasai, "Performance of write-line inserted magnetic tunneling junction for low-write-current magnetic random access memory cell," *J. Appl. Phys.*, vol. 103, p. 07A711, 2008.
- (3) N. Ohshima, H. Numata, T. Suzuki, S. Fukami, K. Nagahara, and N. Ishiwata, "Reduction of critical current density for domain wall motion in U-shaped magnetic patterns," *J. Appl. Phys.*, vol. 103, p. 07D914, 2008.
- (4) T. Suzuki, S. Fukami, N. Ohshima, K. Nagahara, and N. Ishiwata, "Analysis of current-driven domain wall motion from pinning sites in nanostrips with perpendicular magnetic anisotropy," *J. Appl. Phys.*, vol. 103, p. 113013, 2008.
- (5) T. Suzuki, S. Fukami, N. Ohshima, K. Nagahara, and N. Ishiwata, "Current-driven domain wall motion, nucleation, and propagation in a Co/Pt multi-layer strip with a stepped structure," *IEEE Trans. Magn.*, vol. 44, p. 2325, 2008.
- (6) H. Tanigawa, K. Kondou, T. Koyama, K. Nakano, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, and T. Ono, "Current-driven domain wall motion in CoCrPt wires with perpendicular magnetic anisotropy," *Appl. Phys. Express*, vol. 1, p. 011301, 2008.
- (7) T. Koyama, G. Yamada, H. Tanigawa, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, Y. Nakatani, and T. Ono, "Control of domain wall position by electrical current in structured Co/Ni wire with perpendicular magnetic anisotropy," *Appl. Phys. Express*, vol. 1, p. 101303, 2008.
- (8) T. Suzuki, S. Fukami, K. Nagahara, N. Ohshima, and N. Ishiwata, "Evaluation of scalability for current-driven domain wall motion in a Co/Ni multilayer strip for memory applications," *IEEE Trans. Magn.*, vol. 45, p. 3776, 2009.
- (9) H. Honjo, S. Fukami, R. Nebashi, T. Suzuki, N. Ishiwata, S. Miura, and T. Sugibayashi, "Performance of shape-varying magnetic tunneling junction for high-speed magnetic random access memory cells," *J. Appl. Phys.*, vol. 105, p. 07C921, 2009.

- (10) H. Tanigawa, T. Koyama, G. Yamada, D. Chiba, S. Kasai, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Domain wall motion induced by electric current in a perpendicular magnetized Co/Ni nano-wire," *Appl. Phys. Express*, vol. 2, p. 053002, 2009.
- (11) D. Chiba, G. Yamada, T. Koyama, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Control of multiple magnetic domain walls by current in a Co/Ni nano-wire," *Appl. Phys. Express*, vol. 3, p. 073004, 2010.
- (12) N. Ohshima, H. Numata, S. Fukami, K. Nagahara, T. Suzuki, N. Ishiwata, K. Fukumoto, T. Kinoshita, and T. Ono, "Magnetic configuration of submicron-sized magnetic patterns in domain wall motion memory," *J. Appl. Phys.*, vol. 107, p. 103912, 2010.
- (13) K. Ueda, D. Chiba, T. Koyama, G. Yamada, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Current-induced domain wall motion in Co/Ni nano-wires with different Co and Ni thickness," *J. Phys.: Conf. Ser.*, vol. 266, p. 012110, 2011.
- (14) T. Suzuki, S. Fukami, N. Ishiwata, M. Yamanouchi, S. Ikeda, N. Kasai, and H. Ohno, "Current-induced effective field in perpendicularly magnetized Ta/CoFeB/MgO wire," *Appl. Phys. Lett.*, vol. 98, p. 142505, 2011.
- (15) T. Koyama, D. Chiba, G. Yamada, K. Ueda, K. Kondo, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Observation of the intrinsic pinning of a magnetic domain wall in a ferromagnetic nano-wire," *Nature Materials*, vol. 10, pp. 194-197, 2011.
- (16) K. Ueda, T. Koyama, D. Chiba, K. Shimamura, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Current-induced magnetic domain wall motion in Co/Ni nanowire at low temperature," vol. 4, p. 063003, 2011.
- (17) H. Tanigawa, K. Suemitsu, S. Fukami, N. Ohshima, T. Suzuki, E. Kariyada, and N. Ishiwata, "Effect of device temperature on domain wall motion in a perpendicularly magnetized Co/Ni wire," *Appl. Phys. Express*, vol. 4, p. 013007, 2011.
- (18) K. Kondo, R. Hiramatsu, T. Koyama, Y. Nakatani, D. Chiba, S. Fukami, N. Ishiwata, and T. Ono, "Electrical investigation of notch width dependence on domain wall structure in Co/Ni nanowire," *Jpn. J. Appl. Phys.*, vol. 50(7 part 1), p. 073002, 2011.
- (19) T. Koyama, D. Chiba, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Magnetic field insensitivity of magnetic domain wall velocity induced by electrical current in Co/Ni nanowire," *Appl. Phys. Lett.*, vol. 98, p. 192509, 2011.
- (20) T. Koyama, D. Chiba, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Wire width dependence of threshold current density for domain wall motion in Co/Ni nanowires," *IEEE Trans. Magn.*, vol. 47, pp. 3089-3091, 2011.

- (21) D. Chiba, S. Fukami, K. Shimamura, N. Ishiwata, K. Kobayashi, and T. Ono, "Electrical control of the ferromagnetic phase transition in cobalt at room temperature," *Nature Materials*, vol. 10, pp. 853-856, 2011.
- (22) M. Hayashi, Y. Nakatani, S. Fukami, M. Yamanouchi, S. Mitani, and H. Ohno, "Domain wall dynamics driven by spin transfer torque and the spin orbit field," *J. Phys. Condens. Matter*, accepted for publication.
- (23) K. Sekiguchi, T. N. Vader, K. Yamada, S. Fukami, N. Ishiwata, S. M. Seo, S. W. Lee, K. J. Lee, and T. Ono, "Modulation of spin wave attenuation by layered nanostructures," *Appl. Phys. Lett.*, submitted.
- (24) R. Hiramatsu, K. Kondou, T. Koyama, Y. Yoshimura, D. Chiba, S. Fukami, N. Ishiwata, T. Ono, "Effect of dc current on domain wall depinning field in Co/Ni nanowire," *Jap. J. Appl. Phys.*, accepted for publication.
- (25) H. Honjo, S. Fukami, T. Suzuki, R. Nebashi, N. Ishiwata, S. Miura, N. Sakimura, T. Sugibayashi, N. Kasai, and H. Ohno, "Domain wall motion cell with perpendicular anisotropy wire and in-plane MTJ," *J. Appl. Phys.*, accepted for publication.
- (26) H. Honjo, S. Fukami, R. Nebashi, N. Ishiwata, S. Miura, N. Sakimura, T. Sugibayashi, N. Kasai, and H. Ohno, "MTJ with Fe/NiFeB free layer for magnetic logic circuits," *J. Appl. Phys.*, accepted for publication.
- (27) T. Koyama, K. Ueda, K.-J. Kim, Y. Yoshimura, D. Chiba, K. Yamada, J.-P. Jamet, A. Mougin, A. Thiaville, S. Mizukami, S. Fukami, N. Ishiwata, Y. Nakatani, H. Kohno, K. Kobayashi, and T. Ono, "Current-induced magnetic domain wall motion below intrinsic threshold triggered by Walker breakdown," submitted.
- (28) D. Chiba, M. Kawaguchi, S. Fukami, N. Ishiwata, K. Shimamura, K. Kobayashi, and T. Ono, "Electric field control of magnetic domain wall velocity in cobalt," submitted.
- (29) K. Shimamura, D. Chiba, S. Ono, S. Fukami, N. Ishiwata, M. Kawaguchi, K. Kobayashi, and T. Ono, "Giant electrical control of Curie temperature (>50 K) in cobalt using an ionic liquid film," submitted.

<参考>

- (1) H. Y. Pan, S. Fukami, J. Yamasaki and N. Tanaka, "HRTEM studies of nm-sized FePd particles embedded in MgO after annealing over 920K", *Mater Trans*, vol. 44, pp.2048-2054, 2003.
- (2) H. Y. Pan, A. Ohno, S. Fukami, J. Yamasaki and N. Tanaka, "Microstructure change of vanadium clusters in ZnO crystalline films by heat treatment", *Nanotechnology*, vol. 15, p. S420-S427, 2004.

- (3) N. Tanaka, A. Ohno, S. Fukami, and J. Yamasaki, “Electron Tomography of Nano-Magnetic Materials Less Than 1 nm Resolution,” *Microscopy and Microanalysis*, vol. 10 (suppl. 2), pp. 1176-1177, 2004.

解説

- (1) 深見俊輔、鈴木哲広、永原聖万、大嶋則和、斉藤信作、尾崎康亮、根橋竜介、崎村昇、本庄弘明、森馨、五十嵐忠二、三浦貞彦、石綿延行、杉林直彦、「垂直磁化磁壁移動セルを用いた高速低電流MRAM」、*信学技報、IEICE Technical Report SDM2009-114, ICD2009-30 (2009-07)*, pp. 91-95.
- (2) 石綿延行、深見俊輔、鈴木哲弘、大嶋則和、永原聖万、三浦貞彦、杉林直彦、「電流誘起磁壁移動現象の高速MRAMへの応用」、*日本磁気学会誌*、Vol. 05, No. 4, 2010.

国際学会発表

(First author)

- (1) S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, and N. Ishiwata, “Micromagnetic Analysis of the Current Driven Domain Wall Motion in Nano-strips with Perpendicular Magnetic Anisotropy,” *Int Conf on Magnetism & Magnetic Materials (MMM)*, Tampa, FL, USA, 2007/11/5-11/9.
- (2) S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, and N. Ishiwata, “Intrinsic Threshold Current Density of Domain Wall Motion in Nanostrips with Perpendicular Magnetic Anisotropy for Use in Low-Write-Current MRAMs,” *IEEE International Magnetism Conference (INTERMAG)*, Madrid, Spain, 2008/5/4-5/8.
- (3) S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, S. Saitoh, Y. Ozaki, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, C. Igarashi, S. Miura, N. Ishiwata, and T. Sugibayashi, “Low Current Perpendicular Domain Wall Motion Cell for Scalable High-Speed MRAM,” *Symp on VLSI Technology*, Kyoto, Japan, 2009/6/15-6/17.
- (4) S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, S. Saitoh, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, E. Kariyada, Y. Kato, K. Suemitsu, H. Tanigawa, K. Kinoshita, S. Miura, N. Ishiwata, and T. Sugibayashi, “Current Status and Future Challenge of Embedded High-Speed MRAM,” *Int. Conf. on Solid State Devices & Materials (SSDM)*, Tokyo, Japan, 2009/9/22-9/24.
- (5) S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, and N. Ishiwata, “Displacement and retention characteristics of domain wall trapped at step pinning site in Co/Ni nanowire:

critical current, critical field, and thermal stability,” 55th Annual Conference on Magnetism & Magnetic Materials (MMM), Atlanta, GA, USA, 2010/11/14-11/18.

- (6) S. Fukami, T. Suzuki, Y. Nakatani, N. Ishiwata, M. Yamanouchi, S. Ikeda, N. Kasai, and H. Ohno, “Domain wall motion induced by electric current in CoFeB/MgO wire with perpendicular magnetic anisotropy,” IEEE International Magnetic Conference (INTERMAG), Taipei, Republic of China, 2011/4/25-4/29.

<参考>

- (1) S. Fukami, S. Arai and N. Tanaka: “Spontaneous ordering of Fe-Pt nano-clusters into L10 phase below 673K”, International Workshop of Nano-scale Magnetoelectronics, Nagoya, Japan, November 2003.
- (2) S. Fukami and N. Tanaka: “Structure and magnetic property of FePt nano-clusters on MgO films”, International Symposium on the Creation of Novel Nanomaterials, Osaka, Japan, January 2004.

(Co-author)

- (1) T. Sugibayashi, N. Sakimura, Nagahara, Y. Honda, K. Nagahara, K. Tsuji, H. Numata, S. Miura, K. Shimura, Y. Kato, S. Saito, Y. Fukumoto, H. Honjo, T. Suzuki, K. Suemitsu, T. Mukai, K. Mori, R. Nebashi, S. Fukami, H. Hada, N. Ishiwata, N. Kasai, S. Tahara, “A 16Mb Toggle MRAM with Burst Modes”, *Asian Solid-State Circuits Conf.* p.299, 2006.
- (2) H. Numata, T. Suzuki, N. Ohshima, S. Fukami, K. Nagahara, N. Ishiwata, N. Kasai “MRAM Cell Technology Utilizing Domain Wall Motion by Spin Current Injection”, Symp on VLSI Technology, p. 232, 2007.
- (3) H. Honjo, R. Nebashi, S. Fukami, T. Suzuki, T. Sugibayashi, N. Ishiwata, and N. Kasai, “Performance of Write-line-inserted MTJ for Low-write-current MRAM Cell,” Int Conf on Magnetism & Magnetic Materials (MMM), Tampa, FL, USA, 2007/11/5-11/9.
- (4) N. Ohshima, H. Numata, T. Suzuki, S. Fukami, K. Nagahara, and N. Ishiwata, “Reduction of Critical Current Density for Domain Wall Motion in U-shaped Magnetic Patterns,” Int. Conf. on Magnetism & Magnetic Materials (MMM), Tampa, FL, USA, 2007/11/5-11/9.
- (5) T. Suzuki, S. Fukami, K. Nagahara, N. Ohshima, and N. Ishiwata, “Current-driven Domain Wall motion, Nucleation and Propagation in a Co/Pt Multilayer Wire with a Stepped Structure,” IEEE Int. Magnetism Conf. (INTERMAG), Madrid, Spain, 2008/5/4-5/8.
- (6) H. Tanigawa, K. Kondou, T. Koyama, K. Nakano, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, and T. Ono, “Current-driven domain wall motion in CoCrPt wires with perpendicular magnetic anisotropy,” IEEE Int. Magnetism Conf. (INTERMAG), Madrid, Spain, 2008/5/4-5/8.

- (7) H. Honjo, S. Fukami, N. Ishiwata, S. Miura, T. Sugibayashi, R. Nebashi, and T. Suzuki, "Performance of a Shape-varying MTJ for High Speed MRAM," Int. Conf. on Magnetism & Magnetic Materials (MMM), USA, 2008/11/10-11/14.
- (8) H. Tanigawa, T. Koyama, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, and T. Ono, "Current-Driven Domain Wall Motion in Co/Ni Wires with Perpendicular Magnetic Anisotropy," Int. Conf. on Magnetism & Magnetic Materials (MMM), USA, 2008/11/10-11/14.
- (9) R. Nebashi, N. Sakimura, H. Honjo, S. Saito, Y. Ito, T. Miura, Y. Kato, K. Mori, Y. Ozaki, Y. Kobayashi, N. Ohshima, K. Kinoshita, T. Suzuki, K. Nagahara, N. Ishiwata, K. Suemitsu, S. Fukami, H. Hada, T. Sugibayashi, N. Kasai, "A 90nm 12ns 32Mb 2T1MTJ MRAM", *IEEE ISSCC (International Solid State Circuit Conference) Dig. Tech. Papers*, Vol.52, p. 462, 2009.
- (10) T. Suzuki, S. Fukami, K. Nagahara, N. Ohshima, and N. Ishiwata, "Evaluation of Scalability for Current-driven Domain Wall Motion in a Co/Ni Multi-layer Strip for Memory Application by Using Domain Wall Resistance Measurement," IEEE Int. Magnetism Conf. (INTERMAG), USA, 2009/5/4-5/8.
- (11) T. Koyama, H. Tanigawa, G. Yamada, D. Chiba, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, Y. Nakatani, and T. Ono, "Current-Driven Domain Wall Motion in Co/Ni Wires with Perpendicular Magnetic Anisotropy," Int. Conf. on Magnetism (ICM), Germany, 2009/7/26-7/31.
- (12) T. Koyama, H. Tanigawa, G. Yamada, D. Chiba, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, Y. Nakatani, and T. Ono, "Current-Induced Domain Wall Motion in Co/Ni Wires with Perpendicular Magnetic Anisotropy," Int. Colloquium on Magnetic Films & Surfaces (ICMFS), Germany, 2009/7/20-7/24.
- (13) N. Ishiwata, S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, S. Saitoh, Y. Ozaki, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, C. Igarashi, S. Miura, and T. Sugibayashi, "High-speed Magnetic Memory based on Spin-Torque Domain Wall Motion," Int. Conf. on Solid State Devices & Materials (SSDM), 2009/10/7-10/9.
- (14) N. Ishiwata, S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, S. Saitoh, Y. Ozaki, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, C. Igarashi, S. Miura, and T. Sugibayashi, "Current-induced Domain Wall Motion MRAM," Int. Magnetism Conf./Int. Conf. on Magnetism & Magnetic Materials (INTERMAG/MMM), USA, 2010/1/18-1/22.
- (15) Y. Mochizuki, N. Sakimura, S. Fukami, N. Ishiwata, and T. Sugibayashi, "Embedded MRAM with Three-Terminal Cell Architectures," Annual Non-Volatile Memory Technology Symp (NVMTS), 2009/10/25-10/28.
- (16) D. Chiba, T. Koyama, G. Yamada, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima,

- N. Ishiwata, Y. Nakatani, and T. Ono, "Domain Wall Displacement Induced by Current in Co/Ni Nano-Wires with Perpendicular Magnetic Anisotropy," Int. Symp. on Advanced Nanodevices & Nanotechnology (ISANN), 2009/11/29-12/4.
- (17) D. Chiba, T. Koyama, G. Yamada, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Current-Induced Domain Wall Motion in Perpendicularly Magnetized Co/Ni Nano-Wires," Int. Magnetism Conf./Int. Conf. on Magnetism & Magnetic Materials (INTERMAG/MMM), USA, 2010/1/18-1/22.
- (18) N. Ishiwata, S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara, S. Miura, T. Sugibayashi, "High-speed MRAM based on Spin-Torque Domain Wall Motion," The 2nd International Symposium on Advanced Magnetic Materials and Applications (ISAMMA 2010), 2010/7/12-7/16.
- (19) T. Koyama, K. Ueda, D. Chiba, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Effect of external magnetic field on threshold current density for current-induced domain wall motion," 55th Annual Conference on Magnetism and Magnetic Materials (MMM), Atlanta, GA, USA, 2010/11/14-11/18.
- (20) K. Kondo, D. Chiba, S. Fukami, N. Ishiwata, Y. Nakatani, T. Ono, "Resistance of Domain-Wall pinned at notch in Co/Ni nanowire," International Conference of the Asian Union of Magnetism Societies, 2010/12/5-12-8.
- (21) D. Chiba, K. Shimamura, S. Fukami, N. Ishiwata, and T. Ono, "Coercivity modulation by electric field in Co/Pt ultra-thin film," Symposium on Surface and Nano Science 2011 (SSNS'11), Shizukuishi, Japan, 2011/1-19-1/22.
- (22) T. Koyama, D. Chiba, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Wire width dependence of threshold current density for domain wall motion in Co/Ni nano-wires," IEEE International Magnetic Conference (INTERMAG), Taipei, Republic of China, 2011/4/25-4/29.
- (23) S. Matsunaga, A. Katsumata, M. Natsui, S. Fukami, T. Endoh, H. Ohno, and T. Hanyu, "Fully parallel 6T-2MTJ nonvolatile TCAM with single-transistor-based self match-line discharge control," 2011 Symp. on VLSI Circuit, Kyoto, Japan, 2011/6/15-17.
- (24) R. Nebashi, N. Sakimura, Y. Tsuji, S. Fukami, H. Honjo, S. Saito, S. Miura, N. Ishiwata, K. Kinoshita, T. Hanyu, T. Endoh, N. Kasai, H. Ohno, and T. Sugibayashi, "A content addressable memory using magnetic domain wall motion cells," 2011 Symp. on VLSI Circuit, Kyoto, Japan, 2011/6/15-17.
- (25) T. Koyama, K. Ueda, D. Chiba, S. Fukami, H. Tanigawa, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Observation of magnetic domain wall motion induced by adiabatic spin transfer torque in Co/Ni nanowires," 2011 International Conference on Solid State

Devices and Materials (SSDM), Nagoya, Japan, 2011/9/28-30.

- (26) H. Honjo, S. Fukami, T. Suzuki, R. Nebashi, N. Ishiwata, S. Miura, N. Sakimura, T. Sugibayashi, N. Kasai, and H. Ohno, "Domain wall motion cell with perpendicular anisotropy wire and in-plane MTJ," 56th Annual Conference on Magnetism and Magnetic Materials (MMM), Scottsdale, AZ, USA, 2011/10/30-11/3.
- (27) H. Honjo, S. Fukami, R. Nebashi, N. Ishiwata, S. Miura, N. Sakimura, T. Sugibayashi, N. Kasai, and H. Ohno, "MTJ with Fe/NiFeB free layer for magnetic logic circuits," 56th Annual Conference on Magnetism and Magnetic Materials (MMM), Scottsdale, AZ, USA, 2011/10/30-11/3.
- (28) M. Hayashi, S. Fukami, T. Suzuki, M. Yamanouchi, J. Sinha, N. Ishiwata, Y. Nakatani, S. Mitani, and H. Ohno, "Spin orbit field assisted current driven domain wall motion in perpendicularly magnetized ultrathin CoFeB/MgO nanowires," 56th Annual Conference on Magnetism and Magnetic Materials (MMM), Scottsdale, AZ, USA, 2011/10/30-11/3.
- (29) K. Ueda, T. Koyama, D. Chiba, S. Fukami, H. Tanigawa, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, and T. Ono, "Temperature dependence of spin polarization in Co/Ni detected from current-induced DW motion," 56th Annual Conference on Magnetism and Magnetic Materials (MMM), Scottsdale, AZ, USA, 2011/10/30-11/3.
- (30) T. Endoh, S. Togashi, F. Iga, Y. Yoshida, T. Ohsawa, H. Koike, S. Fukami, S. Ikeda, N. Kasai, N. Sakimura, T. Hanyu, and H. Ohno, "A 600MHz MTJ-based nonvolatile latch making use of incubation time in MTJ switching," 2011 International Electron Device Meeting (IEDM), Washington DC, USA, 2011/12/5-12/7.
- (31) N. Sakimura, R. Nebashi, Y. Tsuji, H. Honjo, T. Sugibayashi, H. Koike, T. Ohsawa, S. Fukami, T. Hanyu, H. Ohno, and T. Endo, "High-speed simulator including accurate MTJ models for spintronics integrated circuit design," 2012 IEEE International Symposium on Circuits and Systems (ISCAS), Seoul, Korea, 2012/5/20-23 (to be presented).

<参考>

- (1) A. Ohno, S. Fukami, J. Yamasaki and N. Tanaka: "3D electron tomography of nano-magnetic materials less than 1nm resolution", 8th Asia-Pacific Conference on Electron Microscopy, Kanazawa, Japan, June 2004.
- (2) A. Ohno, S. Fukami, J. Yamasaki and N. Tanaka: "Electron tomography of nano-magnetic materials less than 1 nm resolution", Microscopy and Microanalysis, Savannah, U.S.A., August 2004., Proc. M&M2004, pp. 1176CD.
- (3) N. Tanaka, A. Ohno, K. Yoshida, S. Fukami, M. Makihara, J. Yamasaki, J. Usukura, "Cryo-electron tomography of magnetic and catalytic clusters, nanotubes, polymers and human cells", 8th Inter American Congress of Electron Microscopy, Sep.25-30, 2005, Hotel

Nacional de Cuba, La Habana, Cuba.

- (4) J. Yamasaki, N. Tanaka, Y. Nakagaki, S. Fukami, and H. Sawada, "Cross-sectional observations of surface structures on MgO{100} by Cs-corrected TEM", Microscopy and Microanalysis 2005, Aug. 1-4, 2005, Honolulu, Hawaii
- (5) N. Tanaka, J. Yamasaki, Y. Nakagaki, S. Fukami, H. Sawada, "First Cross-Sectional Analysis of MgO {100} Surfaces by Cs-corrected TEM", 8th Inter American Congress of Electron Microscopy (2005) Habana, Cuba, Sep.25-30.
- (6) J. Yamasaki, Y. Nakagaki, S. Fukami and N. Tanaka, "Structural Analyses of Surfaces/Interfaces by Cs-corrected TEM", The 3rd Japan-China Joint Seminar on Atomic Level Characterization", (2006) Xiamen, China, Mar.7-10, Modern Science Instruments. P.35

国内学会発表

(First author)

- (1) 深見俊輔、本庄弘明、鈴木哲広、石綿延行：「トグルMRAMの書き込み磁界ばらつきの要因解析と低減」日本応用磁気学会 学術講演会、島根大学、2006/9/11-9/14
- (2) 深見俊輔、鈴木哲広、永原聖万、大嶋則和、石綿延行、谷川博信、小山知弘、山田元、葛西伸哉、小野輝男、「垂直磁化膜における磁壁電流駆動とMRAMへの応用」、日本応用磁気学会 スピンエレクトロニクス専門研究会、名古屋大学、2009/1/16.
- (3) 深見俊輔、鈴木哲広、永原聖万、大嶋則和、斉藤信作、尾崎康亮、根橋竜介、崎村昇、本庄弘明、森馨、五十嵐忠二、三浦貞彦、石綿延行、杉林直彦：「垂直磁化磁壁移動セルを用いた高速低電流MRAM」、電子情報通信学会 シリコン材料・デバイス研究会 (SDM)、東京工業大学、2009/7/16-7/17.
- (4) 深見俊輔、大野英男：「垂直磁化細線における電流誘起磁壁移動」、日本磁気学会 スピンエレクトロニクス専門研究会、中央大学、2011/8/22.
- (5) 深見俊輔、石綿延行、山ノ内路彦、佐藤英夫、池田正二、笠井直記、大野英男：「3端子磁壁移動素子のスケーラビリティ」、2011年秋季第72回応用物理学会学術講演会、山形大学、2011/8/29-9/2.
- (6) 深見俊輔、鈴木哲広、仲谷栄伸、石綿延行、山ノ内路彦、池田正二、笠井直記、大野英男：「垂直磁化CoFeB/MgO細線における電流誘起磁壁移動」、第35回日本磁気学会学術講演会、新潟コンベンションセンター、2011/9/27-9/30.

<参考>

- (1) 深見俊輔、Pan HuaYong, 山崎順, 田中信夫：“FePd微粒子内包MgO複合膜の構造と物性の研究”，日本金属学会2003年春期（第132回）大会，千葉大学，2003年3月

- (2) 深見俊輔, 田中信夫: “Fe-(Pd, Pt) 規則合金のL10相安定性に及ぼすサイズ効果”, 日本金属学会2004年春期(第134回)大会, 東京工業大学, 2004年3月.
- (3) 深見俊輔, 田中信夫: “MgO膜上の低温規則化FePtナノ粒子の作製と物性評価”, 日本金属学会2004年春期(第134回)大会, 東京工業大学, 2004年3月.
- (4) 深見俊輔, 田中信夫: “低温自己規則化FePtナノ微粒子の構造と磁性”, 日本顕微鏡学会第49回シンポジウム, 名古屋大学, 2004年11月.
- (5) 深見俊輔, 田中信夫, 北上修, 島津武仁: “CoPtCr-SiO₂垂直磁気記録媒体薄膜のナノ構造”, 日本金属学会2005年春期(第136回)大会, 横浜国立大学, 2005年.

(Co-author)

- (1) 杉林直彦、本田雄士、崎村昇、永原聖万、三浦貞彦、志村健一、辻清孝、福本能之、本庄弘明、鈴木哲広、加藤有光、斉藤信作、笠井直記、沼田秀昭、大嶋則和、根橋竜介、末光克巳、向井智徳、森馨、深見俊輔、波田博光: 「4MbMRAMとその応用」 電子情報通信学会 集積回路研究会
- (2) 杉林直彦、根橋竜介、崎村昇、本庄弘明、斉藤信作、伊藤雄一、三浦貞彦、加藤有光、森馨、尾崎康亮、小林洋介、大嶋則和、木下啓蔵、鈴木哲広、永原聖万、石綿延行、末光克巳、深見俊輔、波田博光、笠井直記: 「MRAMの技術動向、今後の展開、32MbMRAM開発」 電子情報通信学会 集積回路研究会 (ICD)、2009.
- (3) 大嶋則和、沼田秀昭、鈴木哲広、深見俊輔、永原聖万、石綿延行、福本恵紀、木下豊彦: 「XMCD-PEEMによるU字形状磁性体の磁区観察」、日本応用磁気学会 学術講演会、2007-9/11-9/14.
- (4) 大嶋則和、沼田秀昭、鈴木哲広、深見俊輔、永原聖万、石綿延行: 「U字形状磁性体に形成された磁壁の電流駆動」、日本応用磁気学会 学術講演会、2007-9/11-9/14.
- (5) 大嶋則和、沼田秀昭、鈴木哲広、深見俊輔、永原聖万、石綿延行: 「高速MRAMを目指した磁壁移動メモリ技術」、日本応用磁気学会 スピンエレクトロニクス専門研究会、2007/7/23.
- (6) 大嶋則和、沼田秀昭、鈴木哲広、深見俊輔、永原聖万、石綿延行: 「高速MRAMを目指した磁壁移動メモリ技術 —DW Seesawの提案と基礎動作実証—」、日本学術振興会 アモルファス・ナノ材料第147委員会 講演会、2007/12/11.
- (7) 小山知弘、谷川博信、近藤浩太、葛西伸哉、大嶋則和、深見俊輔、石綿延行、小野輝男: 「垂直磁気異方性を有する強磁性細線中の磁壁電流駆動における細線幅依存性」、日本物理学会 年次大会、2008/3/22-3/26.
- (8) 谷川博信、近藤浩太、小山知弘、葛西伸哉、大嶋則和、深見俊輔、石綿延行、小野輝男: 「垂直磁気異方性を持つCoPtCr細線中の磁壁電流駆動」、日本物理学会 年次

大会、2008/3/22-3/26.

- (9) 大嶋則和、沼田秀昭、鈴木哲広、深見俊輔、永原聖万、石綿延行、福本恵紀、木下豊彦：「XMCD-PEEMを用いたサブミクロン磁性パターンの磁区構造観察」、応用物理学会 学術講演会、2008/9/2-9/5.
- (10) 大嶋則和、深見俊輔、鈴木哲広、永原聖万、石綿延行：「垂直磁化膜を用いた磁壁電流駆動のメモリ動作検討」、応用物理学会 春季応用物理学関係連合講演会、2009/3/30-4/2.
- (11) 小山知弘、谷川博信、山田元、千葉大地、葛西伸哉、大嶋則和、深見俊輔、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線中の磁壁電流駆動 — 磁壁移動速度の測定—」、日本物理学会 年次大会、2009/3/27-3/30.
- (12) 谷川博信、小山知弘、山田元、千葉大地、葛西伸哉、大嶋則和、深見俊輔、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線中の磁壁電流駆動 — しきい電流密度の低減—」、日本物理学会 年次大会、2009/3/27-3/30.
- (13) 千葉大地、谷川博信、小山知弘、山田元、葛西伸哉、大嶋則和、深見俊輔、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線における電流注入磁壁移動(1)」、応用物理学会 春季応用物理学関係連合講演会、2009/3/30-4/2.
- (14) 山田元、小山知弘、谷川博信、千葉大地、葛西伸哉、大嶋則和、深見俊輔、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線への単一磁壁導入」、日本物理学会 年次大会、2009/3/27-3/30.
- (15) 杉林直彦、根橋竜介、崎村昇、本庄弘明、斉藤信作、伊藤雄一、三浦貞彦、加藤有光、森馨、尾崎康亮、小林洋介、大嶋則和、木下啓蔵、鈴木哲広、永原聖万、石綿延行、末光克巳、深見俊輔、波田博光、笠井直記：「MRAMの技術動向、今後の展開、32MbMRAM開発」電子情報通信学会 集積回路研究会 (ICD)、2009.
- (16) 大嶋則和、永原聖万、深見俊輔、鈴木哲広、尾崎康亮、石綿延行：「Co/Ni磁壁移動層を用いた磁気トンネル接合膜の検討」、応用物理学会 学術講演会、2009/9/8-9/11.
- (17) 鈴木哲広、深見俊輔、永原聖万、崎村昇、三浦貞彦、石綿延行：「Co/Ni垂直磁化膜を用いた磁壁移動型メモリセルの電気特性」、応用物理学会 学術講演会、2009/9/8-9/11.
- (18) 鈴木哲広、深見俊輔、永原聖万、大嶋則和、石綿延行：「垂直磁化細線と面内MTJを用いた磁壁移動型MRAM」、日本磁気学会 学術講演会、2009/9/12-9/15.
- (19) 石綿延行、深見俊輔、鈴木哲広、永原聖万、大嶋則和、斉藤信作、尾崎康亮、根橋竜介、崎村昇、本庄弘明、森馨、五十嵐忠二、三浦貞彦、杉林直彦：「SoC混載に適した垂直磁化磁壁移動型MRAM」、日本磁気学会 スピンエレクトロニクス研究会、2009/11/2.

- (20) 山田元、小山知弘、上田浩平、千葉大地、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線における複数磁壁電流駆動」、日本物理学会 秋季大会、2009/9/25-9/28.
- (21) 小山知弘、山田元、上田浩平、千葉大地、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「外部磁場下におけるCo/Ni細線中の磁壁電流駆動」、日本物理学会 秋季大会、2009/9/25-9/28.
- (22) 千葉大地、小山知弘、山田元、上田浩平、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni 細線における電流注入磁壁移動 (2)」、応用物理学会 学術講演会、2009/9/8-9/11.
- (23) 上田浩平、小山知弘、山田元、千葉大地、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線の磁気異方性定数の決定」、日本物理学会 秋季大会、2009/9/25-9/28.
- (24) 小山知弘、山田元、上田浩平、千葉大地、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「細線形状制御による磁壁駆動電流密度の低減」、日本物理学会 秋季大会、2010/3/20-3/23.
- (25) 鈴木哲広、深見俊輔、大嶋則和、永原聖万、三浦貞彦、石綿延行、杉林直彦：「スピントルク磁壁移動と高速MRAMへの応用」、第57回春季応用物理学関係連合講演会、2010/3/17-3/20.
- (26) 千葉大地、小山知弘、山田元、上田浩平、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線における電流注入磁壁移動 (3)」、第57回春季応用物理学関係連合講演会、2010/3/17-3/20.
- (27) 三浦貞彦、深見俊輔、鈴木哲広、永原聖万、大嶋則和、斉藤信作、根橋竜介、崎村昇、本庄弘明、森馨、谷川博信、加藤有光、石綿延行、杉林直彦：「スピン移行トルク磁壁移動を用いた高速磁気ランダムアクセスメモリ」、第74回半導体・集積回路技術シンポジウム、2010/7/8-7/9.
- (28) 千葉大地、小山知弘、山田元、上田浩平、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「Co/Ni細線における磁壁電流駆動の温度依存性」、2010日本物理学会秋季大会、2010/9/23-9/26.
- (29) 上田浩平、千葉大地、小山知弘、山田元、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「垂直磁気異方性を有するCo/Ni細線の磁壁電流駆動現象における積層膜厚および膜厚比率依存性」、第34回日本磁気学会学術講演会、2010/9/4-9/7.
- (30) 小山知弘、千葉大地、山田元、上田浩平、谷川博信、深見俊輔、鈴木哲広、大嶋則和、石綿延行、仲谷栄伸、小野輝男：「磁壁電流駆動における閾電流密度に対する外

部磁場の影響」、2010日本物理学会秋季大会、2010/9/23-9/26.

- (31) 小山知弘, 大嶋則和, 千葉大地, 小嗣真人, 大河内拓雄, 谷川博信, 深見俊輔, 永原聖万, 鈴木哲広, 石綿延行, 木下豊彦, 小野輝男:「SPELEEMを用いたCo/Ni細線中の電流誘起磁壁移動観察」、2011日本物理学会年次大会、2010/3/25-3/28.
- (32) 上田浩平, 小山知弘, 千葉大地, 谷川博信, 深見俊輔, 鈴木哲広, 大嶋則和, 石綿延行, 仲谷栄伸, 小野輝男:「Co/Ni細線における磁壁電流駆動の温度依存性II」、2011日本物理学会年次大会、2010/3/25-3/28.
- (33) 近藤浩太, 仲谷栄伸, 平松亮, 千葉大地, 深見俊輔, 石綿延行, 小野輝男:「磁壁回転素子の開発2」、2011日本物理学会年次大会、2010/3/25-3/28.
- (34) 平松亮, 近藤浩太, 千葉大地, 深見俊輔, 石綿延行, 小野輝男:「電流印加におけるデピニング磁場測定」、2011日本物理学会年次大会、2010/3/25-3/28.
- (35) 上田浩平, 小山知弘, 千葉大地, 深見俊輔, 谷川博信, 鈴木哲広, 大嶋則和, 石綿延行, 仲谷栄伸, 小野輝男:「垂直磁化Co/Ni細線の磁壁電流駆動の温度依存性」日本物理学会2011年秋季大会、富山大、2011/9/21-9/24.
- (36) 小山知弘, 上田浩平, 千葉大地, 深見俊輔, 谷川博信, 鈴木哲広, 大嶋則和, 石綿延行, 仲谷栄伸, 小野輝男:「磁壁電流駆動における閾電流密度に対する外部磁場の影響II」日本物理学会2011年秋季大会、富山大、2011/9/21-9/24.
- (37) 平松亮, 近藤浩太, 小山知弘, 千葉大地, 深見俊輔, 石綿延行, 仲谷栄伸, 小野輝男:「Co/Ni細線における磁壁内磁化回転検出の試み」日本物理学会2011年秋季大会、富山大、2011/9/21-9/24.
- (38) 佐藤英夫, 山ノ内路彦, 三浦勝哉, 池田正二, 深見俊輔, 小泉遼平, 甘華東, 水沼広太郎, 松倉文礼, 大野英男:「垂直CoFeB/MgO磁気トンネル接合のスイッチング電流と熱安定性」第35回日本磁気学会学術講演会、新潟コンベンションセンター、2011/9/27-9/30.
- (39) 上田浩平, 小山知弘, 千葉大地, 平松亮, 深見俊輔, 谷川博信, 鈴木哲広, 大嶋則和, 石綿延行, 仲谷栄伸, 小野輝男:「磁壁電流駆動を用いたCo/Ni細線におけるスピン分極率の温度依存性」日本物理学会第67回年次大会、関西学院大学、2012/3/24-27.
- (40) 島村一利, 千葉大地, 河口真志, 小野新平, 深見俊輔, 石綿延行, 小野輝男:「Co超薄膜におけるイオン液体を用いた磁性の電界制御」日本物理学会第67回年次大会、関西学院大学、2012/3/24-27.
- (41) 河口真志, 千葉大地, 深見俊輔, 石綿延行, 小野輝男:「遷移金属強磁性体薄膜における電場効果」日本物理学会第67回年次大会、関西学院大学、2012/3/24-27.
- (42) 吉村瑤子, 小山知弘, 千葉大地, 深見俊輔, 石綿延行, 山ノ内路彦, 大野英男, 仲谷栄伸, 小野輝男:「垂直磁化Co/Ni細線における面内磁場下の磁壁電流駆動」日本物

理学会第67回年次大会、関西学院大学、2012/3/24-27.

- (43) 平松亮, 近藤浩太, 小山知弘, 千葉大地, 深見俊輔, 石綿延行, 仲谷栄伸, 小野輝男:「Co/Ni細線における磁壁内の磁化回転検出の試みⅡ」日本物理学会第67回年次大会、関西学院大学、2012/3/24-27.
- (44) 小山知弘, 上田浩平, 千葉大地, 深見俊輔, 石綿延行, 河野浩, 仲谷栄伸, 小林研介, 小野輝男:「電流誘起磁壁速度と磁場誘起磁壁速度の加算性について」日本物理学会第67回年次大会、関西学院大学、2012/3/24-27.
- (45) 千葉大地, 河口真志, 深見俊輔, 石綿延行, 島村一利, 小林研介, 小野輝男:「Co垂直磁化膜における磁壁移動速度の電界制御」2012年春季第59回応用物理学関係連合講演会、早稲田大学、2012/3/15-18.
- (46) 島村一利, 千葉大地, 小野新平, 深見俊輔, 石綿延行, 河口真志, 小林研介, 小野輝男:「電気二重層を利用したCo超薄膜の磁性制御」2012年春季第59回応用物理学関係連合講演会、早稲田大学、2012/3/15-18.

<参考>

- (1) 中垣佳浩, 深見俊輔, 田中信夫:“FePt·MgO単結晶薄膜の作製とナノ構造解析”, 日本金属学会2005年春期(第136回)大会, 横浜国立大学, 2005年3月講演予定
- (2) 山崎順、田中信夫、中垣佳浩、深見俊輔、沢田英敬,「球面収差補正電子顕微鏡によるMgO{100}表面構造の断面観察」, 日本顕微鏡学会第61回学術講演会, 2005年6月1日〜3日, つくば、IC-11