

超伝導単一磁束量子回路の
高速システム化技術に関する研究

橋本 義仁

目次

第 1 章：序論.....	1
1-1：はじめに	1
1-2：超伝導エレクトロニクスの歴史.....	2
1-3：超伝導単一磁束量子（SFQ）回路の現状と高速システム化における課題.....	10
1-4：本研究の目的.....	20
1-5：本研究の概要.....	20
第 2 章：超伝導受動線路（PTL）を用いた SFQ 論理集積回路の設計.....	23
2-1：PTL を用いた SFQ パルス伝送に関する物理的考察	25
2-1-1：SFQ 回路における 2 種類の配線 - JTL と PTL.....	25
2-1-2：PTL と SFQ 回路とのインピーダンス整合	28
2-1-3：弱い信号に対するインピーダンス整合	36
2-1-4：共振のクオリティを低減するための方法とデザイン・トレードオフ.....	38
2-2：PTL 伝送回路の設計	41
2-3：PTL 伝送回路評価用リング型テスト回路と評価方法.....	44
2-4：PTL 伝送回路のバイアスマージンの周波数特性の測定評価と解析.....	46
2-5：PTL 間のクロストークの PTL 伝送回路への影響.....	51
2-5-1：クロストーク評価回路の設計	53
2-5-2：測定評価	55
2-5-3：解析	60
2-5-4：複数の交差部を有する MSL 間のクロストークの評価	62
2-5-5：MSL 交差部でのエネルギー損失の影響	68
2-6：短い PTL を用いた PTL 伝送回路の性質.....	71
2-6-1：PTL 伝送回路のバイアスマージンの周波数特性の PTL 長さ依存性.....	71
2-6-2：PTL 伝送回路の遅延時間の PTL 長さ依存性	73
2-7：PTL を用いた SFQ 論理集積回路の設計方法	75
2-8：PTL を用いた 4×4 スイッチ回路の 40GHz オンチップ動作の実証.....	79
2-8-1：4×4 スイッチチップの設計	79
2-8-2：測定評価	84
2-8-3：解析	87
2-9：本章のまとめ.....	91
第 3 章：マルチチップモジュール（MCM）とチップ間 SFQ パルス伝送回路.....	94
3-1：従来のチップ間 SFQ パルス伝送回路と課題	94
3-2：チップ間 SFQ パルス伝送回路の設計	100

3-3：MCMにおける広帯域バンプ接続構造の検討	103
3-4：チップ間 SFQ パルス伝送回路の試作と測定評価	107
3-4-1：評価回路の設計	107
3-4-2：測定評価	110
3-5：100Gbps チップ間 SFQ パルス伝送	117
3-6：本章のまとめ	123
第4章：10Gbps×32ch 冷凍機システム	124
4-1：従来の冷凍機システムと課題	125
4-2：冷凍機システムの基本設計	126
4-3：冷凍機システムの開発	128
4-4：冷凍機システムの特性評価	133
4-4-1：I/O リンクの高周波特性の評価	133
4-4-2：冷凍機システムの冷却能力に関する評価	141
4-5：超伝導電圧ドライバ	143
4-5-1：超伝導電圧ドライバの比較検討	143
4-5-2：超伝導電圧ドライバの設計	145
4-5-3：超伝導電圧ドライバの低速機能試験	150
4-6：冷凍機システムで冷却された SFQ 回路の 10Gbps 動作実証	152
4-7：本章のまとめ	158
第5章：2×2 スイッチシステム	160
5-1：2×2 スイッチシステムの基本設計	160
5-2：2×2 スイッチ MCM の設計	161
5-2-1：2×2 スイッチ回路の設計	161
5-2-2：8ch 超伝導電圧ドライバの設計	167
5-2-3：2×2 スイッチ MCM の設計	169
5-3：2×2 スイッチ MCM の試作と測定評価	174
5-4：2×2 スイッチシステムの試作と測定評価	176
5-4-1：2×2 スイッチシステムの 40Gbps 動作実証	176
5-4-2：2×2 スイッチシステムの 40Gbps 動作時の BER 評価	184
5-5：本章のまとめ	187
第6章：冷凍機システムのトータルスループット向上のための I/O 高速化	188
6-1：NRZ 型超伝導電圧ドライバ	188
6-1-1：NRZ 型超伝導電圧ドライバの設計	189
6-1-2：NRZ 型超伝導電圧ドライバの測定評価	192
6-2：極低温光入力インタフェース	200
6-2-1：冷凍機システムで冷却された UTC-PD の 40Gbps 動作の測定評価	200

6-2-2：UTC-PD/SFQ インタフェイス回路の設計.....	204
6-2-3：SFQ 回路の光入力動作評価のための評価回路の設計	206
6-2-4：SFQ 回路の光入力動作の測定評価	209
6-3：本章のまとめ.....	218
第 7 章：今後の課題.....	219
7-1：冷凍機システムの出力リンクのインピーダンス整合の改善.....	219
7-2：MCM 上の SFQ 回路が発生する熱の影響の低減.....	226
7-2-1：MCM におけるチップの発熱の問題.....	227
7-2-2：評価チップの設計	228
7-2-3：実験	230
7-3：本章のまとめ.....	237
第 8 章：総括.....	238
8-1：本研究のまとめ.....	238
8-2：本研究の波及効果.....	241
8-3：今後の課題	242
謝辞.....	244
付録：本論文で用いた略称	247
参考文献.....	249
研究業績.....	259

第 1 章:序論

1-1:はじめに

情報通信技術 (Information and Communication Technology; ICT) が社会に深く浸透して我々の生活や企業活動を支える社会的基盤となり、いつでも、どこでも、何でも、誰でもがネットワークに接続して自由に情報をやり取りできるユビキタスネットワーク社会が現実のものとなりつつある。2010 年 12 月時点の日本のインターネット利用者数は 9,462 万人となり、人口普及率は 78.2% に達している[1]。ADSL、FTTH 等のブロードバンドの利用が拡大し、インターネットを介して音楽、映像、ゲームソフト等の大容量のデジタルコンテンツを利用することが容易になった。図 1-1 に示すように、インターネットの総ダウンロード量は 2006 年の約 460Gbps から 2011 年には 1.5Tbps に達し、この 5 年間で 3.3 倍に急増している[2]。その結果、ICT 機器の年間消費電力は 2006 年に約 470 億 kWh と国内総発電量の約 5% を占めるようになり、2025 年には約 5 倍の 2400 億 kWh (国内総発電量の 20% 超) に増大すると見込まれている[3]。このトレンドが続いた場合、2020 年には Pbps クラスのコアルータが必要になると予測されており、その消費電力は 10MW に達すると予測されている[4]。また次世代のエクサスケールのスーパーコンピュータの消費電力は数 1000MW に達すると予測されている[5]。このように我々が扱う情報の量が爆発的な増加を続けており、それとともに ICT 機器の消費電力が急増している一方で、エネルギー問題や環境負荷低減への危機意識の高まりから、エネルギー利用の高効率化が重要な課題となっている。そのため、ICT 機器には、爆発的に増大する情報を扱うための大容量化、高速化と同時に、省電力化という、相反する課題が課せられている。この課題は言い換えれば電力消費あたりの処理能力を向上することであり、ゆえに ICT 機器の Figure of Merit として電力性能比 (bit/W 等) が重要になっている。これは我々が身近で用いる PC 等の ICT 機器だけの課題ではない。これまで電力性能比を犠牲にしてまでも高速マシンを実現することを追求してきたスーパーコンピュータにおいてさえ、今では普通のコンピュータよりも省エネ度を高めることが設計の最大目標になっている[6]。

この 30 年以上の間、ICT 機器の処理能力向上と低消費電力化はシリコン CMOS トランジスタをスケールリング則にしたがって微細化することにより実現されてきた。これは CMOS トランジスタの寸法 (ゲート長、ゲート幅、ゲート酸化膜厚さ) および動作電圧を $1/k$ 倍にすると、トランジスタの消費電力は $1/k^2$ に低減され、動作速度が k 倍に高速化され、集積度 (単位面積当たりのトランジスタ数) が k^2 倍に向上されるものである。しかし CMOS の微細化による処理能力向上と低消費電力化が困難になってきている。まず処理能力向上については、微細化によりトランジスタの遅延が減少する一方で、配線抵抗と配線間容量が増加するため単位長さあたりの配線遅延は増大することから、配線遅延が ULSI の処理速度を制限する要因になっている[7]-[9]。一方、消費電力低減については、微細化が進むほどトランジスタのリーク電流が増大することが主な原因と

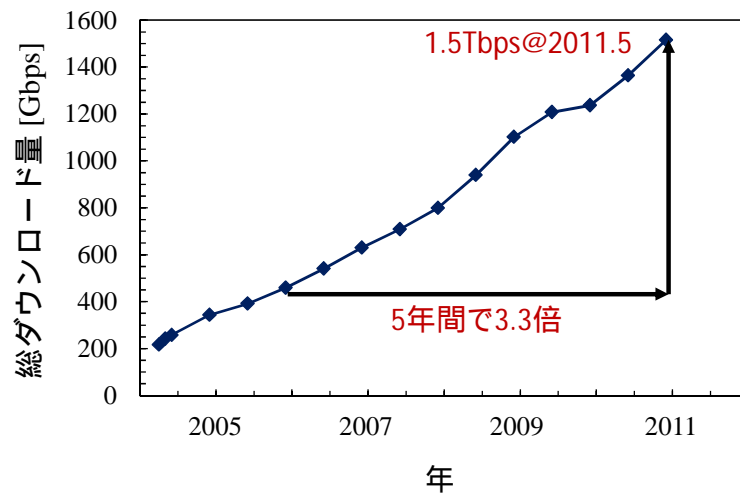


図 1-1. 日本のインターネットにおける総ダウンロード量の推移（総務省の推計による[2]）。

なり、最先端のプロセスでは待機電力が動作時の消費電力（ $\propto fCV^2$ 。 f はクロック周波数、 C はキャパシタンス、 V は動作電圧）と同程度になっており、ゲート長が約 20nm より短くなると待機電力が動作時の電力を上回ることが予測されている[10]。したがって従来の CMOS の微細化の延長では処理能力向上も消費電力低減も困難であり、電力性能比の向上は壁にぶつかると考えられる。この CMOS の問題を本質的に解決するには新たな物理に基づくデバイス/回路技術の研究開発が必須である。

超伝導単一磁束量子（Single Flux Quantum; SFQ）デバイス[11], [12]は、bit あたりの消費電力が CMOS に比べて約 3 ケタ低く、100GHz 以上の高速動作が可能なデバイスである。SFQ デバイスを用いた SFQ デジタル集積回路は、基板上の光の速度で信号を伝送する超伝導伝送線路を用いることができるため、デバイスの高速性能を損なわずに大規模デジタル集積回路を実現するポテンシャルを有する。そのため、Si CMOS が直面する電力性能比向上の壁を打ち破るブレイクスルー技術として注目されており、世界的に精力的な研究が進められている[13], [14]。

1-2: 超伝導エレクトロニクスの歴史

極低温で物質の電気抵抗がゼロになる超伝導現象は 1911 年にオランダの H. Kamerlingh Onnes によって発見された。超伝導体は電気抵抗がゼロであるだけでなく、完全反磁性、磁束の量子化、ジョセフソン効果[15], [16]という、超伝導体以外の材料では実現できない特異な性質を有する。昨年、超伝導現象発見から 100 年目を迎えたが、その間、超伝導現象を利用した技術の研究開発は様々な分野で展開されてきた[17]。強電応用では、磁気共鳴画像（Magnetic Resonance Imaging; MRI）装置のための超伝導磁石、送電線のための超伝導線材等がある[17]。一方、エレクトロニク

ス応用は、大きくセンサ、フィルタ、標準器、そしてディジタル回路に分けられ、それぞれの分野で実用化に向けた研究開発が進められている[18]。センサ分野では、超高感度磁気計測が可能な超伝導量子干渉素子 (Superconducting QUantum Interference Device; SQUID) [19]を用いた心磁計、脳磁計が市販されており、免疫診断、地下埋蔵物の探査の研究開発も進められている。また数 100GHz から 1THz 程度の範囲の高感度電磁波センサである SIS ミキサが ALMA (Atacama Large Millimeter/submillimeter Array) 計画の電波望遠鏡の受信機として用いられている。さらに、転移端センサ (Transition Edge Sensor; TES) を用いた X 線分析装置や、超伝導単一光子検出器 (Superconducting Single Photon Detector; SSPD) を用いた量子暗号通信が実証されている。フィルタ分野では、シャープな周波数特性の超伝導バンドパスフィルタが米国の携帯電話基地局に導入されている。標準器分野では、周波数が既知の電磁波を当てると物理定数だけで決まる電圧を生じる DC 電圧標準器が一次標準器として各国で広く採用されている。さらに、同様の原理による AC 電圧標準器を用いた任意波形生成器の研究開発が進められている。ディジタル回路分野では、SFQ デバイスを用いた集積回路作製技術および設計技術が大きく進展し、アナログ/ディジタル変換器 (Analog-to-Digital Converter; ADC) [20]、ディジタル信号処理回路 (Digital Signal Processor; DSP) [21]、ネットワークスイッチ[22]、マイクロプロセッサ[23], [24]等が開発されてその高速かつ低消費電力性能が実証されている。

本研究では、超伝導エレクトロニクス、特に、SFQ デジタル回路の高速システム化技術の研究開発を行う。超伝導ディジタル回路技術は、Josephson 素子を集積した回路技術である。Josephson 素子は、1962 年に Josephson によって理論的に予測され[15]、その翌年に Anderson らによって実験的に証明された[16] Josephson 効果を用いた素子であり、2 つの超伝導体を弱結合したものである。超伝導ディジタル回路においては、図 1-2 (a)に示した、超伝導体/絶縁体/超伝導体の積層構造からなるトンネル接合、特に超伝導体として Nb を用いた Nb/AlOx/Nb のトンネル接合が、Josephson 素子として広く用いられている。本研究でも Nb/AlOx/Nb の Josephson 接合を用いる。Nb/AlOx/Nb の Josephson 接合では、2 つの Nb 超伝導電極の間の弱結合は厚さ数 nm の AlOx をトンネルバリアとする Nb 超伝導電極間のトンネリングによって実現されている。後述するように、SFQ 回路においては、図 1-2 (b)のように Josephson 接合にシャント抵抗を接続する。図 1-2 (c)に、等価回路図上の Josephson 接合のシンボルを示す。SFQ 回路の等価回路図では、特に断りのない限り、シャント抵抗を接続した接合を図 1-2 (c)のシンボルで表記する。図 1-3 (a)に、シャント抵抗が接続されていない、ペアな Josephson 接合 (図 1-2 (a)) の I - V 特性を示す。接合を流れる電流 I が接合の臨界電流値 I_C 未満の場合、超伝導状態が保たれ、接合の両端に電圧を生じない。電流 I が I_C を超えると、接合は電圧状態に遷移し、接合の両端に有限の電圧 V が発生する。電圧状態の接合に流れている電流 I を I_C 以下に下げても、超伝導状態には戻らない。そのため I - V 特性はヒステリシスを有する。一方、図 1-3 (b)は、図 1-2 (b)のようにシャント抵抗を接続した接合の I - V 特性を模式的に示している。図 1-3 (a)と異なり、 I - V 特性のヒステリシスをなくすることができる。

Josephson 効果は DC Josephson 効果と AC Josephson 効果によって特徴づけられる。超伝導は巨視的量子現象であり、超伝導電流を担うキャリアである電子対の状態は巨視的波動関数で表記さ

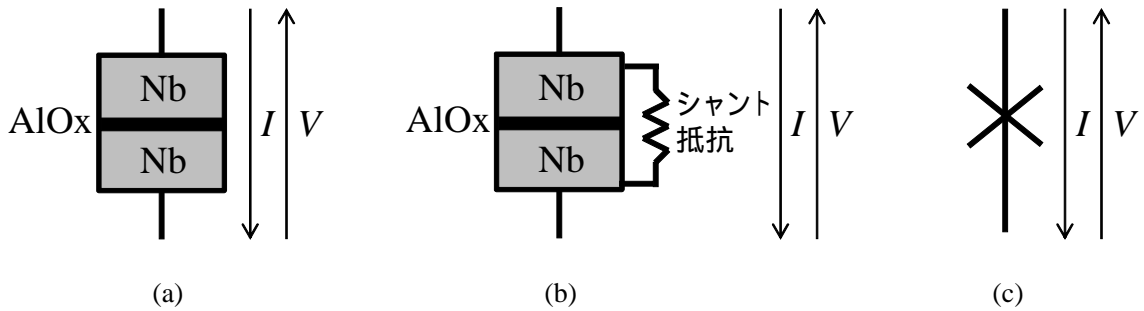


図 1-2. Josephson 接合。(a) Nb/AlOx/Nb Josephson 接合の構成、(b) Nb/AlOx/Nb Josephson 接合にシャント抵抗を接続した場合の構成、(c) Josephson 接合の等価回路図上のシンボル。

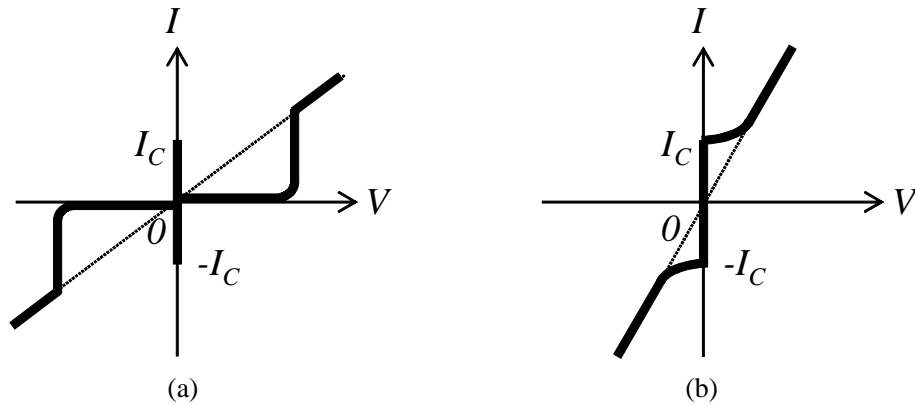


図 1-3. Josephson 接合の I-V 特性。(a) シャント抵抗を接続していないペアな接合の場合、(b) シャント抵抗を接続した接合の場合。

れる。DC Josephson 効果とは、Josephson 接合の 2 つの超伝導電極間に流れる無損失の超伝導電流 I_S と、2 つの超伝導電極の巨視的波動関数の位相の差との関係を記述するものである。図 1-2 (a) の Josephson 接合の上部の Nb 超伝導電極の巨視的波動関数の位相を ϕ_1 、下部の Nb 超伝導電極の巨視的波動関数の位相を ϕ_2 とすると、Josephson 接合を流れる超伝導電流 I_S と、2 つの巨視的波動関数の位相の差 ϕ ($\equiv \phi_1 - \phi_2$) との間には以下の関係がある。

$$I_S = I_C \sin \phi \quad (1-1)$$

接合の臨界電流値 I_C は接合の面積とトンネルバリアの高さで決まる。Josephson 接合に DC の超伝導電流 I_S が流れている状態では、Josephson 接合の電極間の電圧 V はゼロである。

一方、AC Josephson 効果は、Josephson 接合の電極間に発生する電圧 V と接合の位相差 ϕ との関係を記述するものである。接合を流れる電流 I が臨界電流値 I_C を超えると Josephson 接合の電極間

に電圧が発生する。この電圧の平均を V とすると、 V と接合の位相差 ϕ との間には次の関係がある。

$$\frac{d\phi}{dt} = \frac{2e}{\hbar} V = \frac{2\pi}{\Phi_0} V \quad (1-2)$$

(1-2)式で、 e は素電荷、 \hbar はプランク定数 h を 2π で割ったもの、 Φ_0 は磁束量子であり、

$$\Phi_0 \equiv \frac{h}{2e} = 2.07 \times 10^{-15} \text{ [Wb]} \quad (1-3)$$

である。(1-1)式と(1-2)式を用いて Josephson 接合の性質を述べる。まず、 I_S が I_C 未満で時間変動している場合を考える。(1-1)式の両辺を時間で微分し、(1-2)式を用いると、以下ようになる。

$$\frac{dI_S}{dt} = I_C \frac{d}{dt} \sin \phi = I_C \frac{d\phi}{dt} \frac{d}{d\phi} \sin \phi = \frac{2\pi I_C \cos \phi}{\Phi_0} V \quad (1-4)$$

ゆえに、

$$V = \frac{\Phi_0}{2\pi I_C \cos \phi} \frac{dI_S}{dt} \quad (1-5)$$

である。したがって、超伝導電流 I_S が時間的に変動している場合、接合の両端に発生する平均電圧 V は I_S の時間微分に比例する。一般にインダクタンスの両端に生成される電圧はインダクタンスを流れる電流の時間微分に比例し、その比例定数はインダクタンスである。この Josephson 接合とインダクタンスとのアナロジーから、超伝導電流 I_S は以下の式で表される非線形インダクタンス L_{eff} に流れる電流と等価である。

$$L_{eff} \equiv L_J \frac{1}{\cos \phi} \quad (1-6)$$

ここで L_J は、

$$L_J \equiv \frac{\Phi_0}{2\pi I_C} \quad (1-7)$$

であり、Josephson 接合の等価インダクタンスと呼ばれる。(1-6)式から、 ϕ が $\pi/2$ に比べて非常に低

い場合、つまり接合を流れる超伝導電流 I_S が I_C に比べて非常に小さな範囲で時間変動している場合は、Josephson 接合は等価インダクタンス L_J で近似できる。一方、DC 電流を接合に流した場合、DC 電流が I_C 未満ならば(1-1)式から接合の両端の電圧は 0 だが、DC 電流が I_C を超えると接合は有限の平均電圧 V を生じ、(1-2)式から接合の位相差 ϕ の時間微分が正になり、 ϕ が時間とともに増大する。その状態では、(1-6)式から L_{eff} は ϕ の増大とともに正負に振動し、Josephson 接合は交流発振器のように振る舞う。接合が生じる平均電圧 V が時間変動しない場合（接合に I_C を超える DC 電流を流している場合に相当する）、(1-2)式の両辺を時間で積分し、(1-1)式に代入すれば、

$$I_S = I_C \sin \left(2\pi \frac{V}{\Phi_0} t \right) \quad (1-8)$$

である。つまり、超伝導電流を交流発振器として扱う場合、その発振周波数 f は次式で表される。

$$f = \frac{V}{\Phi_0} \quad (1-9)$$

Josephson 接合の等価回路は多くの場合、図 1-4 に示す RSJ (Resistive Shunted Junction) モデルで記述される[25], [26]。RSJ モデルでは、Josephson 接合を流れる電流 I を 3 つのコンポーネントの和として記述する。このうち I_S は超伝導電流であり、(1-1)式で記述される。 I_N は常伝導電流であり、接合の電極間をトンネルする準粒子による電流である。図 1-2 (b)のように接合にシャント抵抗が接続されている場合は、シャント抵抗を流れる常伝導電流も I_N に含まれる。 I_D は変位電流であり、図 1-2 の接合がキャパシタの構造をしているために発生する電流である。したがって図 1-4 の RSJ モデルは以下の式で表現できる。

$$I = I_S + I_N + I_D = I_C \sin \phi + \frac{V}{R} + C_J \frac{dV}{dt} \quad (1-10)$$

(1-10)式において、 R は接合のトンネルバリアの非線形抵抗とシャント抵抗の合成抵抗であり、 C_J は接合のキャパシタンスである。

(1-2)式を用いて(1-10)式から V を消去すると、 ϕ に関する次の 2 階微分方程式を得る。

$$i = \sin \phi + \frac{\Phi_0}{2\pi I_C R} \frac{d\phi}{dt} + \frac{\Phi_0 C_J}{2\pi I_C} \frac{d^2 \phi}{dt^2} \quad (1-11)$$

(1-11)式において i は、

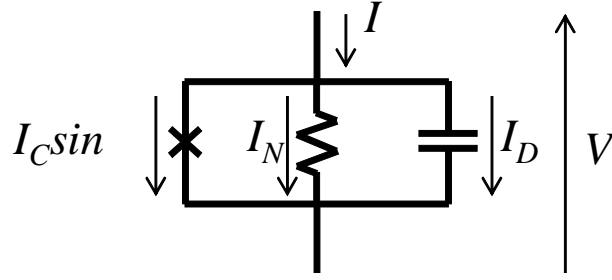


図 1-4. Josephson 接合の RSJ モデル。

$$i \equiv \frac{I}{I_C} \quad (1-12)$$

であり、 I_C で規格化した無次元の電流である。ここで、以下の 2 つの角周波数を定義する。

$$\omega_c \equiv \frac{R}{L_J} = \frac{2\pi I_C R}{\Phi_0} \quad (1-13)$$

$$\omega_p \equiv \frac{1}{\sqrt{L_J C_J}} = \sqrt{\frac{2\pi I_C}{\Phi_0 C_J}} \quad (1-14)$$

ω_c は緩和時間の逆数であり、 ω_p はプラズマ周波数と呼ばれる。これらの角周波数を用いると、RSJ モデルを記述する(1-11)式は以下ようになる。

$$i = \sin \phi + \frac{1}{\omega_c} \frac{d\phi}{dt} + \frac{1}{\omega_p^2} \frac{d^2 \phi}{dt^2} \quad (1-15)$$

(1-15)式は、 ϕ を位置座標にとると、 ϕ 空間のポテンシャル $U(\phi)$ の中の、速度 $d\phi/dt$ に比例する摩擦力 $F(d\phi/dt)$ が働く、質量 m の粒子の動作を記述する次の 2 階微分方程式と等価である。

$$-\frac{dU(\phi)}{d\phi} + F(d\phi/dt) = m \frac{d^2 \phi}{dt^2} \quad (1-16)$$

(1-15)式と(1-16)式を比較すれば、 $U(\phi)$ 、 $F(d\phi/dt)$ 、 m が以下の式で表されることが分かる。

$$U(\phi) = -\int (i + \sin \phi) d\phi = 1 - \cos \phi - i\phi \quad (1-17)$$

$$F(d\phi/dt) = -\frac{1}{\omega_c} \frac{d\phi}{dt} \quad (1-18)$$

$$m = \frac{1}{\omega_p^2} \quad (1-19)$$

ただし(1-17)式で、積分定数は $\phi=0$ において $U(\phi)=0$ になるようにとった。図 1-5 に(1-17)式のポテンシャルとその中を運動する粒子を示す。図 1-5 を Josephson 接合の力学モデルと呼ぶ。Josephson 接合の性質はこの力学モデルとのアナロジーから理解することができる。(1-18)式と(1-13)式から、 R が低いほど摩擦力は強く働く。また、(1-19)式と(1-14)式から、質量は C_J が大きいほど大きい。また(1-17)式からわかるように、 i はポテンシャルの傾きである。このポテンシャルの中の粒子の運動を述べる。最初に図 1-5 のポテンシャルの傾きが水平であるとする。これは $i=0$ の状況であり、Josephson 接合に流れている電流が 0 であることに相当する。その状況で、粒子は図 1-5 のポテンシャルのいずれかのローカルミニマムの位置にあり、静止しているとする。粒子は静止しているので粒子の位置座標 ϕ の時間微分はゼロであり、これは(1-2)式から接合の平均電圧 V がゼロであることに対応する。この初期状態から、図 1-5 のポテンシャルの傾きを徐々に強くしてゆく。これは i を増加させることを意味しており、接合に流す電流を増加させることに対応する。すると粒子は最初の位置よりもポテンシャルの低い位置に移動する。そして i が 1 を超えると、ポテンシャルの傾きは ϕ 空間のいずれの位置でも負になり、粒子は ϕ が正の向きに動いてゆく。粒子の速度、

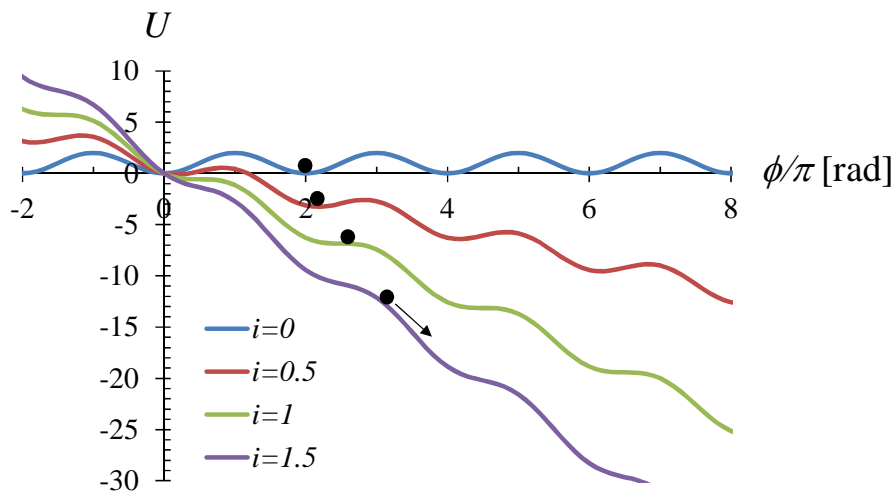


図 1-5. Josephson 接合の力学モデル。

つまり $d\phi/dt$ は正になり、これは(1-2)式から接合に正の平均電圧 V が発生することに対応する。(1-12)式から、 $i=1$ は接合に流れる電流 I が接合の臨界電流値 I_C に等しい場合に対応する。つまり接合に流れる電流 I が I_C を超えると接合に電圧 V が発生する。粒子が運動をしている状態で、ポテンシャルの傾きを弱めて $i < 1$ としても、粒子は慣性を有しているのでポテンシャルの山を乗り越え続け、運動は止まらない。これは接合の I - V 特性にヒステリシスが存在することに対応する。粒子の慣性は質量が大きいほど、つまり、 ω_p が小さいほど強い。したがって(1-14)式から、 C_J が大きいほど I - V 特性のヒステリシスが顕著になる。粒子の運動は摩擦力を強くすることにより抑制できるので、摩擦力を強くするほど接合の I - V 特性のヒステリシスを小さくできる。(1-18)式から摩擦力は $1/\omega_c$ に比例する。さらに(1-13)式から ω_c は R に比例するので、摩擦力は R に反比例する。ゆえに、 R を小さくするほど、接合の I - V 特性のヒステリシスを小さくすることができる。以下の式で定義される無次元量 β_C は McCumber-Stewart 係数[25], [26]と呼ばれる。

$$\beta_C \equiv \left(\frac{\omega_c}{\omega_p} \right)^2 = \frac{2\pi I_C R^2 C_J}{\Phi_0} \quad (1-20)$$

(1-20)式の中辺と上記の議論から、 β_C は粒子の慣性の大きさと粒子に働く摩擦力の強さとの比であると考えることができる。したがって $\beta_C \gg 1$ の場合、つまり摩擦力が慣性に対して非常に弱い場合、接合の I - V 曲線のヒステリシスは顕著になる。そのような接合をアンダーダンブ接合と呼ぶ。図 1-2 (a)のシャント抵抗を接続していないペアな接合はアンダーダンブ接合であり、図 1-3 (a)の I - V 特性を有する。逆に $\beta_C \ll 1$ の場合、つまり、摩擦力が慣性に対して非常に強い場合、接合の I - V 特性のヒステリシスはなくなる。このような接合をオーバードンブ接合と呼ぶ。 $\beta_C \sim 1$ の接合をクリティカルダンブ接合と呼ぶ。クリティカルダンブ接合は、接合の I - V 曲線にヒステリシスが現れるか現れないかの境界の接合である。図 1-3 (b)に示した I - V 特性は、クリティカルダンブ接合の I - V 特性である。SFQ 回路ではクリティカルダンブ接合を用いる。

Josephson 接合を用いた超伝導デジタル回路の研究開発は、ラッチングロジックを用いたものから始まった。ラッチングロジックとは、 I - V 曲線にヒステリシスを有するアンダーダンブ接合を用いた回路技術である。アンダーダンブ接合に I_C より低いバイアス電流を流した状態で入力電流を加えると、バイアス電流と入力電流の和が I_C を超えた時に接合は電圧状態にスイッチし、電圧を生じる。この状態で入力電流をゼロに戻しても、 I - V 特性がヒステリシスを持つため接合は出力電圧を維持する（つまりラッチされる）。接合が超伝導状態にある場合、つまり、電圧を発生していない場合を論理値“0”に対応させ、接合が電圧状態にある場合、つまり接合が電圧を出力している場合を論理値“1”に対応させることによりデジタル回路を構成する技術がラッチングロジックである。ラッチングロジックではバイアス電流をゼロに戻さないと接合が超伝導状態にリセットされないため、バイアス（電源電流と等価である）は毎クロック立ち下げなければならない。したがってクロック電源を用いなければならない。1960 年代末から IBM がラッチングロジックを

用いた超高速コンピュータの研究開発を推進した[27]。日本では 1970 年代半ばから研究開発が始まり、1982 年から 1991 年まで、通産省工業技術院（当時）の大型プロジェクト“ 科学技術用高速計算システムの研究開発 ” が行われた。これらの研究開発により、GHz 級のクロック周波数での動作が可能な超伝導マイクロプロセッサやメモリ等が開発され、回路設計技術だけでなく Josephson 接合の作製技術や集積化プロセス技術が大きく進展した[28], [29]。しかし、ラッチングロジックはクロック電源を用いるため、GHz 級の高周波電源をチップに供給しなければならず、そのため、クロストークや GND 変動などの高周波ノイズの回路への影響を低減しなければならないという技術的困難があった。さらに、パンチスルー現象による素子の誤動作確率がクロック周波数とともに増大する問題もあった。このような技術的困難が一因となり、その後、ラッチングロジックと異なり DC 電源駆動で 100GHz を超える動作が可能な SFQ ロジックへ研究開発の対象は移っていった。

1-3: 超伝導単一磁束量子 (SFQ) 回路の現状と高速システム化における課題

SFQ 回路は磁束量子を情報担体とする回路である。SFQ 回路の基本構成は、図 1-6 に示すような、超伝導体と Josephson 接合からなる超伝導ループである。超伝導ループの中では、磁束 Φ が、

$$\Phi = n\Phi_0 \quad (1-21)$$

と量子化される。ただし(1-21)式で n は 0 または正の整数である。SFQ 回路では $n=1$ の場合、つまり、単一磁束量子 Φ_0 が超伝導ループの中に存在する場合を論理値“1”に、存在しない場合を論理値“0”に、それぞれ対応させることによってバイナリデータを表現する。超伝導ループからの磁束の出し入れは、Josephson 接合が超伝導状態から一時的に電圧状態にスイッチすることにより行われる。磁束量子の有無をバイナリデータの“1”、“0”に対応させて演算を行うアイディアは 1976 年に Nakajima らによって提案された[11]。その後、Likharev らによってロジック/メモリファミリーとして体系化され[12]、現在に至っている。

SFQ 回路の基本的な機能としてデータの保持と伝送について概説する。図 1-7 にデータを保持する回路の例として RS フリップフロップ (RS flip-flop; RSFF) を示す。RSFF では接合 J1 に DC バイアス I_B が印加されている。*set* 端子からパルス状の電流 I_S が入力されると、 I_B と I_S の和が接合 J1 の臨界電流値を一時的に超えるため、接合 J1 は一時的に電圧状態にスイッチする。従って J1 の直上にはパルス状の電圧 $v(t)$ が発生する。この電圧 $v(t)$ は、時間積分すると Φ_0 になるため SFQ パルスと呼ばれる[12]。SFQ パルス電圧によって、保持ループ (J1-L-J2 からなる超伝導ループ) には $I_L \approx \Phi_0/L$ の電流が流れる。 I_L が接合 J2 の臨界電流値よりも低くなるように L が十分大きく

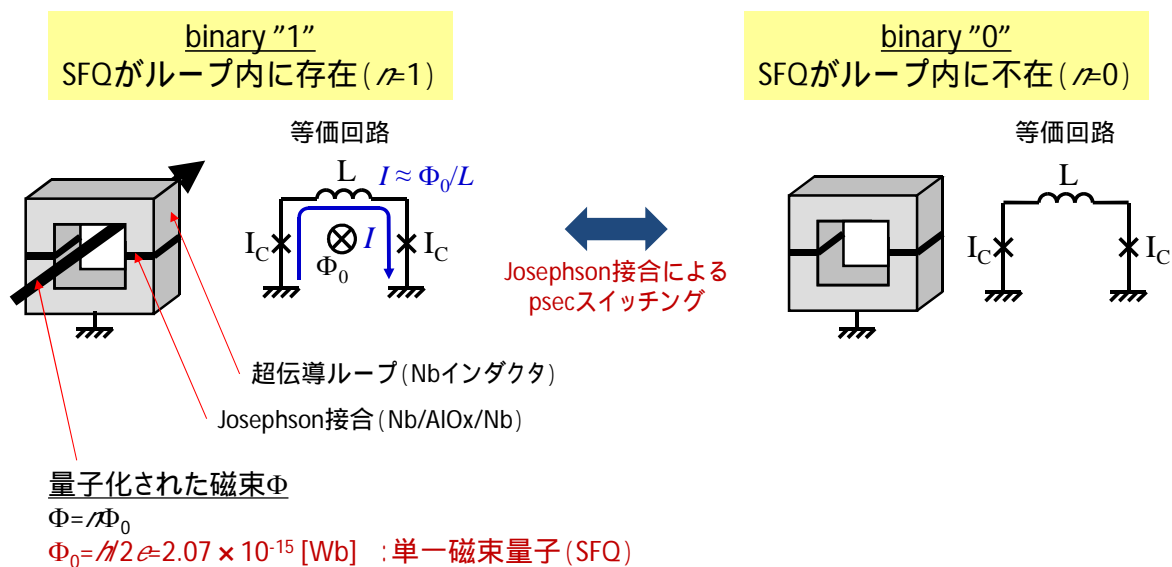


図 1-6. SFQ 回路の基本原理。

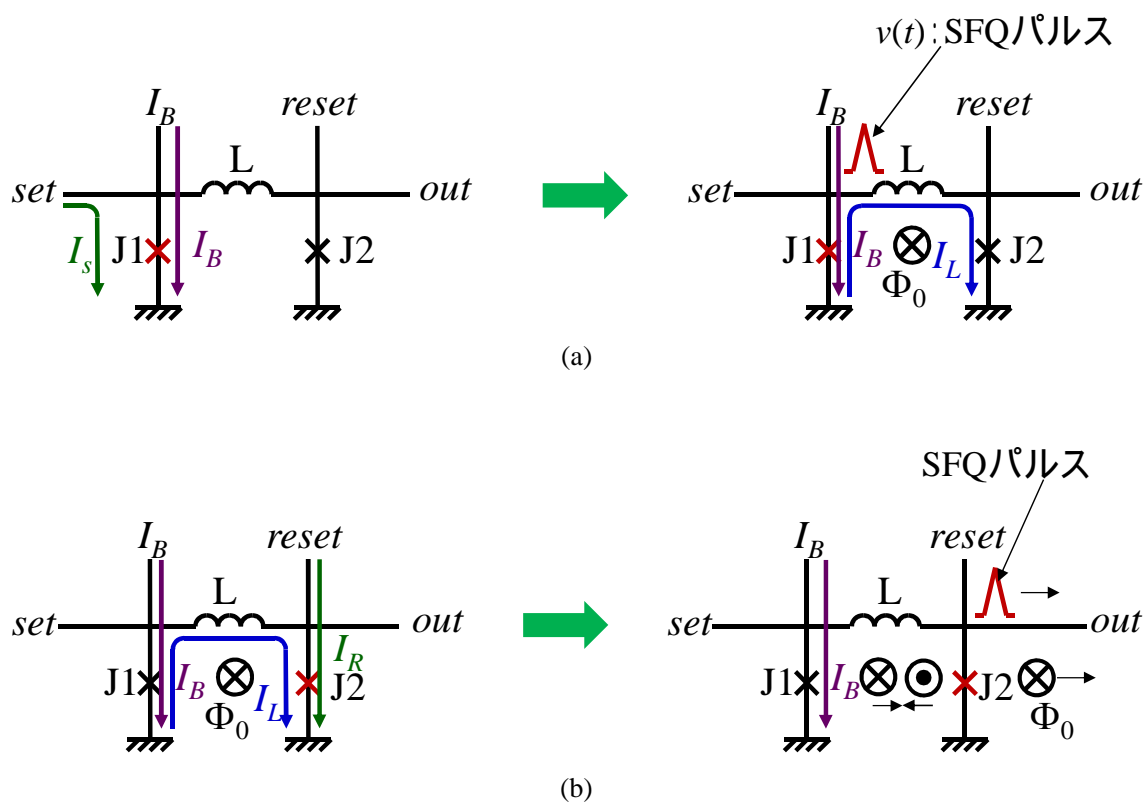


図 1-7. RSFF。 (a)データ"1"の書き込み、(b)データ"1"の読み出し。

設計されているので J2 は電圧状態にスイッチしない。ゆえに I_L は流れ続ける。これは磁束量子 Φ_0 すなわち論理値“1”のデータが保持ループに保持されていることを意味する。保持されている磁束（データ“1”）を読み出すには *reset* 端子からパルス状の電流 I_R を入力する。 I_L と I_R の和が接合 J2 の臨界電流値を一時的に超えるため J2 がスイッチし、J2 の直上に SFQ パルスが生成される。この際、J2 が発生した SFQ パルス電圧によって、J2 の右側（出力側）と左側（保持ループ側）にそれぞれ Φ_0 に対応する電流が流れる。このうち、出力側に流れる電流は出力電流として取り出される。つまり、論理値“1”が読み出される。一方、保持ループ側に生成される電流は、保持されていた超伝導電流と同一の大きさで逆向きであるので、保持ループに流れていた電流と相殺し、結果として保持ループの電流が消滅する。これは保持ループ内で磁束量子 Φ_0 が対消滅することを意味しており、その結果、保持ループのデータは“0”に戻る。したがって、この読み出しは破壊的な読み出しである。

図 1-8 は SFQ パルスを伝送する回路であり、Josephson 伝送線路（Josephson Transmission Line; JTL）と呼ばれる。JTL は接合とインダクタンスが一次元的に繰り返し接続された回路であり、各接合には DC バイアス電流 I_B が印加されている。*in* 端子から SFQ パルスが入力されると、SFQ パルスが誘起する電流 $I_L \approx \Phi_0/L$ が接合 J1 に流れる。 I_B と I_L の和が J1 の臨界電流値よりも大きくなるように L を十分小さく設計してあるため、接合 J1 が電圧状態にスイッチし、SFQ パルスを生成する。J1 が生成した SFQ パルス電圧は、J1 の右側（出力側）と左側（入力側）に約 Φ_0/L の電流を生成する。このうち、入力側に流れる電流は、最初に入力された SFQ パルスの電流と相殺するため、入力側は磁束 Φ_0 が消滅して初期状態に戻る。一方、出力側に流れた電流は I_B と加算され、次の接合 J2 をスイッチさせ、J2 の直上に SFQ パルスを発生させる。この動作が繰り返されるため、*in* 端子から入力された SFQ パルスは接合を次々にスイッチさせながら *out* 端子に向かって伝播し、それと並行して磁束量子 Φ_0 も伝搬する。これまでに実証されたほとんどの SFQ 回路では論理セル間の配線に JTL を用いている。JTL の 1 接合あたりの遅延は現在の $J_C=2.5\text{kA}/\text{cm}^2$ プロセスで約 4psec である。そのため JTL 配線は接合の個数を変えることにより psec オーダーでクロックやデータのタイミングを設計できる。さらに、JTL のスイッチング時間はバイアスに依存するので、JTL は室温から供給するバイアス電流 I_B を変化させることにより遅延時間を制御する可変遅

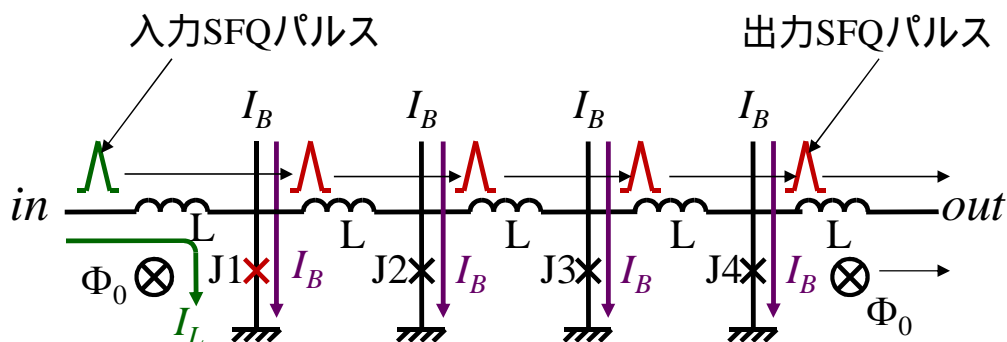


図 1-8. JTL。

延線としても使える。これらの性質は SFQ 集積回路の数 10GHz 以上の高速動作を実現するために非常に役立つ性質である。しかし、JTL を構成する接合のスイッチング時間が熱雑音によって揺らぐため、JTL を伝搬する SFQ パルスにタイミングジッタが生じるというデメリットと、接合の I_C 等のプロセスばらつきにより各接合のスイッチング時間がばらつくため、試作した JTL の遅延時間が設計値からずれるというデメリットを併せ持つ[30]。タイミングジッタと遅延ずれは、接合数の $1/2$ 乗に比例するので JTL 配線が長くなるほど増大し[30]、SFQ 集積回路のタイミングエラー確率を増大させる。

図 1-9 は SFQ パルスを伝送するもうひとつの回路であり、本研究では PTL 伝送回路と呼ぶ。PTL はマイクロストリップライン (Microstrip Line; MSL) やストリップライン (Strip Line; SL) 等の超伝導伝送線路の総称であり、アクティブ伝送線路である JTL との違いを明記するため、PTL (Passive Transmission Line) という用語が用いられている。PTL 伝送回路は、PTL、ドライバ、レシーバで構成される。ドライバに SFQ パルスが入力されると、それにより誘起される電流と DC バイアス電流の和がドライバ接合の臨界電流値を超えるためドライバが SFQ パルスを生成する。この SFQ パルスは PTL を伝搬しレシーバに達する。SFQ パルスにより誘起される電流とレシーバ接合への DC バイアス電流の和がレシーバ接合の臨界電流値を超えるため、レシーバ接合が SFQ パルスを生成し、後段の回路に信号が伝達される。超伝導 PTL は無損失であるため、RC 遅延ではなく LC 遅延、つまり基板上の光の速度で SFQ パルスを伝送できる[12]。長さ 1mm の PTL の遅延はおよそ 8psec であり、現状のプロセスによる JTL の 2 接合分の遅延 (長さ $40\mu\text{m} \sim 120\mu\text{m}$ 程度) に相当する。したがって単位長さあたりの遅延が JTL に比べて非常に短い。さらに JTL と異なり、ドライバとレシーバにしか接合を含まないため、タイミングジッタやタイミングずれが非常に小さく、かつ、配線長に依存しないという利点を有する。

SFQ 回路の動作速度について述べる。SFQ パルスは時間積分すると Φ_0 になるので、SFQ パルスを半値幅 τ 、高さ V の三角波で近似すると、パルス幅 τ は、

$$\tau = \frac{\Phi_0}{V} \quad (1-22)$$

である。接合がスイッチしているとき、接合に印加されている電流を I_C 、接合の抵抗を図 1-3 (b) の I - V 曲線の抵抗 R (Josephson 接合の非線形抵抗とシャント抵抗の合成抵抗) とすると、 $V \approx I_C R$ である。従って(1-22)式から、

$$\tau \approx \frac{\Phi_0}{I_C R} \quad (1-23)$$

と見積もられる。パルス幅 τ は接合のスイッチング時間とみなせるので、接合のスイッチング時間 τ は $I_C R$ 積を高くすることにより短くできる。SFQ 回路では $\beta_C=1$ の接合 (クリティカルダンブ接

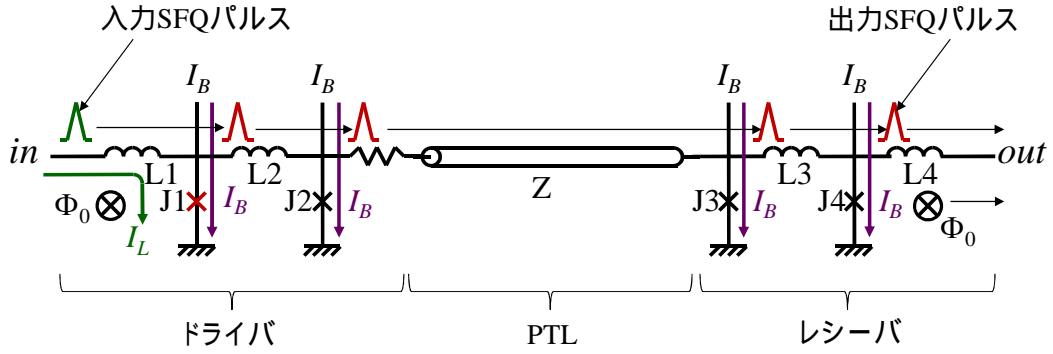


図 1-9. PTL 伝送回路。

合) を用いるので、(1-20)式から、

$$C_J = \frac{\beta_C \Phi_0}{2\pi I_C R^2} = \frac{\Phi_0}{2\pi I_C R^2} \quad (1-24)$$

である。また、接合のキャパシタンス C_J と接合の臨界電流密度 J_C (接合の単位面積あたりの I_C) 間に、 $C_J \propto I_C / J_C$ の関係があるので、(1-24)式から、

$$I_C R \propto \sqrt{J_C} \quad (1-25)$$

であり、 $I_C R$ 積は $\sqrt{J_C}$ に比例する。(1-23)式と(1-25)式から、接合のスイッチング時間 τ は、

$$\tau \propto \frac{1}{\sqrt{J_C}} \quad (1-26)$$

である。すなわち、接合のスイッチング時間 τ は $\sqrt{J_C}$ に反比例する。接合の $I_C R$ 積は、現在の $J_C = 2.5 \text{ kA/cm}^2$ のプロセス[31]では約 0.37 mV であり、(1-23)式から τ はおよそ 5 psec である。 τ は J_C を高くするほど短くなるが、最小値は超伝導体のギャップエネルギーで決まり、本研究で用いる Nb (ギャップエネルギーは 3.3 meV) では、 τ の最小値は約 0.7 psec である。一方、接合がスイッチするときに消費するエネルギー E は、接合に印加されている DC バイアス電流を I_B 、接合が生じる電圧を $v(t)$ とすると、

$$E = \int_{-\infty}^{\infty} I_B v(t) dt = I_B \Phi_0 \quad (1-27)$$

である。ここで、SFQ パルスを時間で積分すると Φ_0 になることを用いた。接合の I_C は動作温度(約 4K)での熱雑音に比べて十分大きく設計する必要があり、約 0.2mA 程度が現在用いられている。バイアスを I_C の 70% とすると、(1-27)式から、bit あたりの消費電力は約 0.3 [aW/bit] となる。この電力性能比は最先端の CMOS に比べると約 3 桁小さい[5]。

このように、SFQ デバイスは超低消費電力かつ超高速のデバイスである。それに加え、SFQ 回路では、psec 幅の SFQ パルスを顕著な損失なしに cm オーダーの長さにならって基板上的の光速で伝搬できる超伝導 PTL を回路の配線に用いることができる。容量をチャージして信号を伝送する半導体集積回路の RC 配線では送信端と受信端が同電位になるまで待たなければならないため、1 度に 1 つの信号しか伝送できない。これと対照的に、SFQ 回路では psec 幅の RZ (Return-to-Zero) の SFQ パルスをバリスティックに伝送するため、複数の SFQ パルスからなるパルス列を一度に伝送することができる。従って超伝導 PTL 配線は、RC 配線に比べて遅延が非常に短いだけでなく高スループットの信号伝送が可能である。この高速かつ高スループットの配線を用いることができるので、SFQ 回路は、大規模集積回路やマルチチップモジュール (Multi-Chip Module; MCM) レベルにまで、高速性を保ちつつスケラブルに大規模集積化できるポテンシャルを有する。

すでに述べたように SFQ 回路の動作速度は $\sqrt{J_C}$ に比例する。図 1-10 に示すように、これまでに、 $J_C=50\text{kA/cm}^2$ の高 J_C プロセスで試作された T フリップフロップ (T flip-flop; TFF) の動作が 750GHz まで実証されている[32]。また、現状レベルの $J_C=1\sim 2.5\text{kA/cm}^2$ のプロセス技術[31], [33]でも、AD コンバータ (Analog-to-Digital Converter; ADC) [20]、ネットワークスイッチ[34], [35]、マイクロプロセッサ[36]など、1,000 ~ 10,000 接合規模の様々な SFQ 集積回路の動作が 10GHz ~ 40GHz 程度のクロック周波数で実証されている。さらには、次世代のプロセスとして確立しつつある $J_C=10\text{kA/cm}^2$ のプロセス[37]で試作したシフトレジスタが 120GHz で[38]、シリアルアダーが 93GHz で[39]、それぞれ実証されている。

このように、SFQ 回路技術は小規模な集積回路の 100GHz 級動作が実証されるまで進展している。しかし、それらの高速動作はチップ上でのみ実証されたものである。図 1-11 に従来の SFQ 回

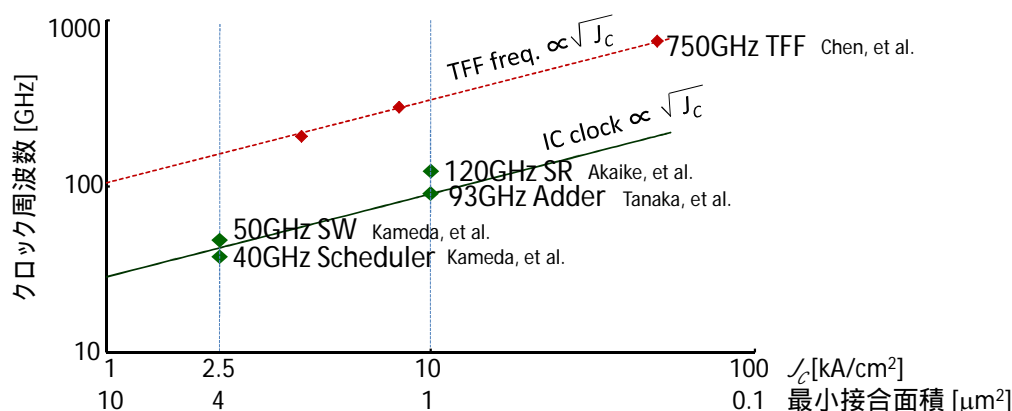


図 1-10. これまでに実証された SFQ 回路のクロック周波数と J_C の関係。

路の高速動作実証のセットアップを示す[40]。図のように、SFQ 回路チップはワイヤボンディングによりセラミック等のパッケージに実装され、液体ヘリウムに浸すことにより 4.2K に冷却される。セラミックパッケージと室温エレクトロニクスとの間は低速の同軸ケーブルで接続される。チップ上には、被測定回路（Circuit Under Test; CUT）である SFQ 回路と、オンチップテストのための入力シフトレジスタ（Shift Register; SR）、出力 SR、高周波クロック発生器（High-Frequency Clock Generator; HFCG）が集積されている。このセットアップによる SFQ 回路の高速動作実証は以下のように行う。まず、室温から、10kbps 程度の伝送レートでデータと 10kHz 程度の低周波クロックを入力 SR に入力することにより、入力 SR にテストパターンを書き込む。次に、HFCG にトリガパルス（1 発のパルス）を入力すると、HFCG は所定の個数の高周波クロックパルス（40GHz 等）を出力する。この高周波クロックパルスは入力 SR、CUT、出力 SR に順次入力される。その結果、入力 SR に書き込まれていたテストパターンが読み出されて CUT に入力され、CUT がデータを処理して結果を出力し、CUT の出力データが出力 SR に書き込まれる、という一連の動作が HFCG から出力されたクロックの周波数（40GHz 等）で行われる。最後に、室温から 10kHz 程度の低周波クロックを出力 SR に入力することにより、出力 SR に格納されている CUT の出力データを 10kbps 程度の伝送レートで室温エレクトロニクス（オシロスコープ等）に伝送し、期待値パターンと比較することにより、CUT が 40GHz 等の高周波クロックで正常に動作したか否かをチェックする。この方法は SFQ 回路の高速動作を実証するには優れた方法であるが、SFQ 回路の高速動作を室温から直接使うことができない。また、本研究以前に報告されたほとんどの SFQ 回路は、論理セル間の配線に JTL を用いていた。回路の配線に PTL を用いた報告もあるが[41]-[46]、いずれも回路の中の一部の長距離配線に PTL を用いたものに過ぎなかった。また、PTL 伝送回路の動作はある周波数でしか検証されておらず、本研究で明らかにする PTL の共振現象について考察した研究はなかった。そのため、PTL の共振周波数においても広いバイアスマージンで動作する PTL 伝送回路を実現した例はなかった。

SFQ 回路の高速性能を実用的なシステムの中で室温から直接利用するためには、SFQ 回路と室温エレクトロニクスとの間で高速信号のやり取りを行い、SFQ 回路と室温エレクトロニクスをシ

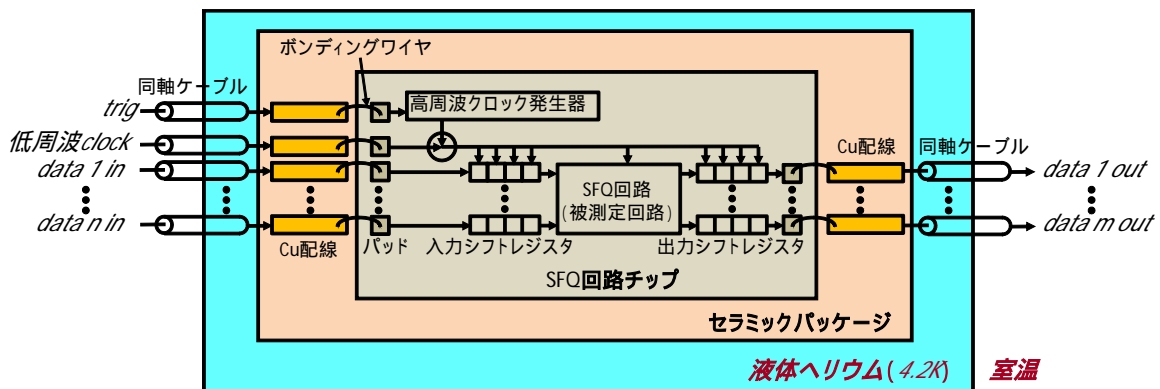


図 1-11. 従来の SFQ 回路の高速動作実証のセットアップ。

ームレスに動作させることが必要である。また、SFQ 回路の高速動作を保ったまま回路規模を拡大できるスケーラビリティが必要である。そのためにはマルチチップから構成されるマルチチップモジュール (Multi-Chip Module; MCM) が不可欠であり、チップ上、および、MCM におけるチップ間で、高速信号伝送を行う技術が必要である。このような SFQ 回路の実用的な高速システムを実現することを考えた時、図 1-11 の従来の SFQ 集積回路とその高速動作実証のセットアップには、チップ上の SFQ 回路設計の問題、チップ実装の問題、SFQ 回路と室温エレクトロニクスとの間の入出力 (Input/Output; I/O) の問題、そして冷却の問題が存在する。この問題を以下に述べる。

チップ上の SFQ 回路設計の問題

従来のほとんどの SFQ 回路で論理セル間配線に用いられていた JTL は Josephson 接合を用いたアクティブ回路である。Josephson 接合のスイッチング時間は熱雑音によって揺らぎ、この揺らぎが JTL を伝搬する SFQ パルスのタイミングジッタの原因となる[30]。さらに、ジョセフソン接合の I_c 等のプロセスばらつきにより各接合のスイッチング時間がばらつくため、試作した JTL の遅延時間が設計値からずれる。タイミングジッタと遅延ずれは SFQ 論理回路のタイミングエラーを発生させる要因となる。タイミングジッタと遅延ずれは、JTL を構成する接合の個数の $1/2$ 乗に比例するため配線長にともなって増大する[30]。SFQ 回路が大規模になるほど回路内の最長の配線は長くなるため、タイミングジッタと遅延ずれが増大し、動作速度が律速される[47]。ゆえに、従来の JTL 配線を用いた SFQ 論理集積回路は、高速性を保ったままスケーラブルに回路規模を拡大することが困難であるという問題がある。

チップ実装の問題

従来の SFQ 回路チップの実装方法では、SFQ 回路チップの入出力信号はワイヤボンディングを通して伝送される。ボンディングワイヤはインダクタンスが nH 程度と非常に高いため SFQ パルスを伝送できない。さらに、セラミックパッケージ上の Cu 配線は 4.2K で常伝導体であるため損失が大きく、SFQ パルスを伝送できない。これらの理由により、図 1-11 のチップ実装方法で複数の SFQ 回路チップを実装した MCM を構成した場合、チップ間では SFQ パルスよりも幅の広くエネルギーの高い信号を伝送しなければならない。その結果、チップ間ではチップ上よりも信号伝送レートが遅くなる。ゆえに、SFQ 回路の高速性を保ったまま SFQ 回路の規模を拡大する高速 MCM を実現できないという問題がある。

SFQ 回路と室温エレクトロニクスとの間の I/O の問題

図 1-11 に示したオンチップテストでは SFQ 回路と室温エレクトロニクスとの間でやり取りされる信号の伝送レートは低速であるため、室温から SFQ 回路の高速動作を直接利用することができないという問題がある。

冷却の問題

図 1-11 の冷却方式は SFQ 回路チップを液体ヘリウムに浸す方式である。液体ヘリウムは蒸発するため、常に補充しなければならない。そのためヘリウム補充の手間とヘリウムのコストがかかり、実用システムに適さないという問題がある。

SFQ 回路の高速動作を室温から直接使える実用レベルのシステムを実現するには、上述した問題を解決する必要がある。図 1-12 は、本研究が目指す SFQ 高速システム概念図であり、上述した従来の問題を解決したものである。図 1-12 で、各チップ上の SFQ 回路は PTL 配線で設計されている。そして複数の SFQ チップが超伝導 MCM 基板にはんだバンプでフリップチップ接続されて SFQ MCM を構成している。チップと基板をワイヤではなくはんだバンプで接続することにより、SFQ パルスのチップ間伝送に必要な広帯域の接続部を実現する。超伝導 MCM 基板には超伝導 PTL が形成されている。チップ上に形成されたチップ間 SFQ パルス伝送回路により、はんだバンプと MCM 基板上 PTL を通してチップ間で SFQ パルスが伝送される。SFQ 回路から出力される SFQ パルスは超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) で高速のまま増幅されてチップ外に出力され、極低温半導体アンプでさらに増幅されて室温に出力される。SFQ MCM と極低温半導体アンプは多 ch の広帯域 I/O ケーブルを実装した冷凍機システムで冷却されている。

図 1-12 の SFQ 高速システムを実現するには、以下の技術課題に取り組むことが不可欠である。

- (i) SFQ 回路の高速性能を大規模集積回路および MCM へとスケラブルに実現するための、超伝導 PTL を用いた SFQ パルス伝送技術
- (ii) 数 10Gbps/ch の広帯域 I/O ケーブルを多 ch 実装した冷凍機システム
- (iii) 4K の SFQ 回路と室温エレクトロニクスとの間の数 10Gbps/ch の高速 I/O 技術

上記(i)の課題は PTL 配線を用いた SFQ パルス伝送回路であり、チップ上パルス伝送とチップ間パルス伝送に大別される。低ジッタ、低タイミングばらつき、低消費電力等、PTL の JTL に対する基本的な優位性は広く認識されており、本研究以前に PTL 配線の研究がいくつか報告されている[41]-[46]。これらの研究はいずれも、SFQ パルスを伝送したときの PTL とドライバおよびレシーバとのインピーダンス整合をいかにしてとるかに焦点が当てられていた。しかし、それらの議論は PTL 伝送回路のひとつの側面でしかない。本研究で指摘するように PTL 伝送回路は共振器であるが、PTL 伝送回路の共振器としての物理的性質を考察した研究はなく、そのため、共振周波数においても安定に動作する PTL 伝送回路はこれまで実証されていなかった。また、PTL 配線を実際の SFQ 回路に適用した場合、JTL 配線に対してどのような優位性がどの程度あるのか、の検証もなされていなかった。一方、PTL 配線を用いたチップ間 SFQ パルス伝送は、SFQ 回路のスケラビリティを確保するために必須の課題である。SFQ 回路の高速性を MCM レベルでも実現するためには、チップ上での SFQ パルス伝送レートと同程度の伝送レートでチップ間 SFQ パルス伝送を行う技術が不可欠である。超伝導チップ間の SFQ パルス伝送については、Herr らによって二磁束量子 (Double Flux Quantum; DFQ) ドライバを用いた方式が $J_C=8\text{kA}/\text{cm}^2$ の高 J_C プロセスで

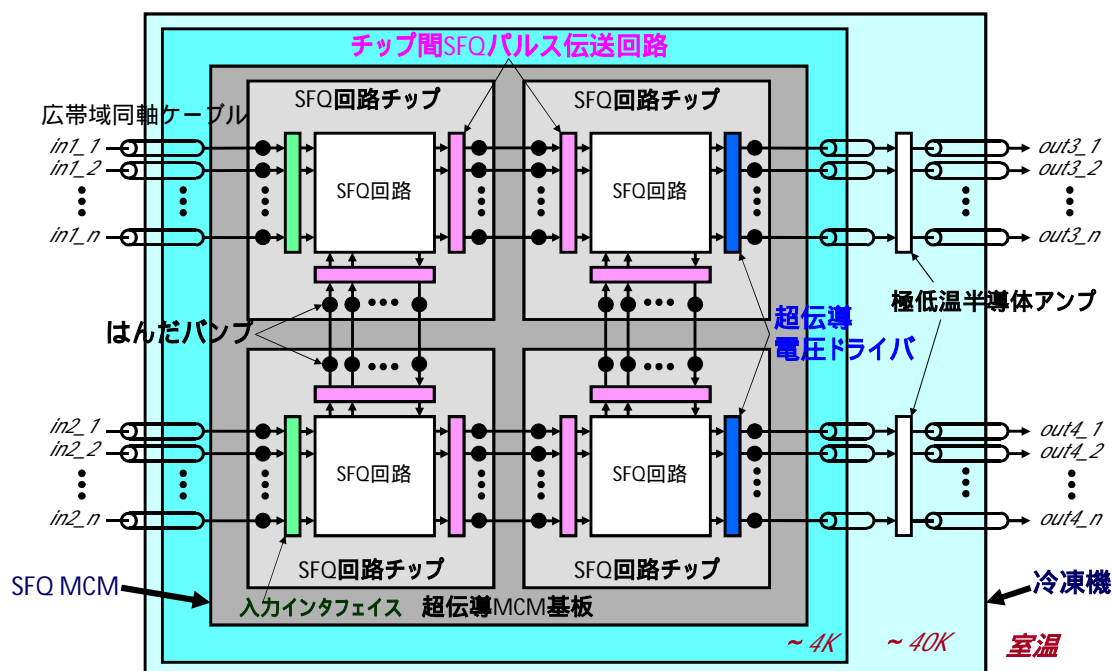


図 1-12. SFQ 高速システムの概念図。

60Gbps まで実証されている[48]。しかし DFQ ドライバは本質的にチップ上 SFQ パルス伝送用の PTL 伝送回路に比べてスループットが低い回路構成になっており、チップ上における SFQ パルス伝送レートと同程度のチップ間 SFQ パルス伝送レートを実現できないという問題を有していた。

上記(ii)の冷凍機システムでは、限られた冷却能力の冷凍機にいかにして多くの広帯域 I/O ケーブルを実装するかが最大の課題である。これは、熱が主に電子によって伝導されるため、電気伝導度の高い広帯域ケーブルは熱伝導も高いことが本質的な原因である。また、冷凍機は作業ガスの圧縮、解放を繰り返して冷却するため、温度振動と機械振動を発生する。さらに、冷凍機に実装する高周波ケーブルやコネクタ類は、室温と 4K の間の大きな温度サイクルを何度も経験する。これらの状況下でも、破損せず、SFQ 回路が動作する、高信頼性が課題となる。

上記(iii)の高速 I/O は入力リンクと出力リンクに分けられるが、入力リンクよりも出力リンクが技術的に困難である。それは SFQ 回路が情報担体として処理する SFQ パルスが幅 psec 程度、振幅 mV 程度の微小なパルスであり、かつ、SFQ 回路のインピーダンス (数 Ω) が室温エレクトロニクスとのインピーダンス (50 Ω) と大きく異なり、さらに、SFQ 回路の動作する 4K ステージから室温まではおよそ 1m の伝送距離があり、その伝送路上に複数の構造不連続箇所が存在するからである。SFQ 回路の出力を数 10Gbps/ch 以上の高速でかつ低ビットエラーレート (Bit Error Rate; BER) で室温まで伝送するためには、高速かつ高出力の超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) が不可欠である。冷凍機の冷却能力が限られているため、SVD には高速、高出力とは相反する省電力、省スペースが要求され、このトレードオフの最適化が課題となる。さらに、

SVD の出力は、チップ上 MSL、はんだバンプ、基板上 MSL、同軸ケーブルと伝送されるため、伝送線路上に構造不連続が存在する。そのような実装上の構造不連続部も含めたインピーダンス整合をとるためのインピーダンス設計が課題となる。一方、入力リンクの課題としては光入力が挙げられる。これは室温から光ファイバで光信号を入力し、極低温で電気に変換して SFQ 回路に入力する方式であり、光ファイバの熱流入が無視できるほど小さいため、冷凍機システムの広帯域化のために有力な技術である。ここでは、極低温で高速動作が可能な光/電気変換デバイス、および、光/電気変換デバイスと SFQ 回路の間の数 10Gbps/ch の高速インタフェイスが課題になる。

1-4: 本研究の目的

1-3 節で述べたように、図 1-12 に示した SFQ 高速システムを実現するためには上記(i)～(iii)の技術課題を解決することが必要不可欠である。また、それらの技術を冷凍機システムに集積する技術の研究開発が必要不可欠である。さらに、その結果実現される冷凍機システムの電力性能比を実験的に検証することが重要な課題である。そこで本研究では、以下の 3 点を目的とする。

上記の各技術課題、すなわち、PTL を用いたチップ上およびチップ間 SFQ パルス伝送回路、広帯域多 ch 冷凍機システム、高速 I/O の研究開発を行い、その結果開発された各技術を集積することにより、SFQ 高速システムのひとつの完成形を示すこと。

試作した SFQ 高速システムの 40GHz 以上での高速動作実験を行い、本研究の結果達成される SFQ 高速システムの電力性能比を示すこと。

実験結果をもとに SFQ 高速システムの電力性能比をさらに向上するための今後の課題を抽出すること。

1-5: 本研究の概要

前節で述べた本研究の目的を達成するために、本研究では、まず、SFQ 回路の高速システム化に必須である各要素技術、すなわち、PTL 伝送回路、チップ間 SFQ パルス伝送回路、冷凍機システム、超伝導電圧ドライバの研究開発を行う。次に、開発したこれらの要素技術を集積することにより、 2×2 スイッチシステムを設計、試作し、40Gbps での動作実験を行う。この動作実験により、本研究で開発した SFQ 回路の高速システム化のための各要素技術とそのインテグレーションの有効性を検証する。さらに、冷凍機システムのトータルスループット向上のための I/O 技術として、NRZ 型 SVD と極低温光入力インタフェイスの研究開発を行い、25Gbps/ch までの電気出力リンクの動作実験と 40Gbps/ch までの光入力リンクの動作実験を行う。またこれらの I/O 技術を集積することにより、40Gbps シリアル光入力による SFQ 回路の 40Gbps システムのひとつの完成

形を実証する。その実証実験の結果を踏まえて、本研究で開発した各要素技術を用いることによって実現できる冷凍機システムのトータルスループットを示す。さらに、これらの実験結果に基づいて、冷凍機システムのトータルスループットの冷凍機への投入電力に対する比、すなわち冷凍機システムの電力性能比を示す。そして、さらに大規模な SFQ 回路の高速システム化のための今後の課題を述べる。なお、本研究の回路設計には、名古屋大学、横浜国立大学、NICT、NEC の共同研究によって開発された CONNECT 標準セルライブラリ[49]の標準セルおよびセルベース設計法を用いた。また、本研究の回路の試作には、NEC の Nb 標準プロセス（3 層の Nb 配線層を有する）[31]、および Nb 標準 II プロセス（4 層の Nb 配線層を有する[37]）を用いた。これらは $J_C=2.5\text{kA/cm}^2$ のプロセスだが、本研究の一部の回路では、これらのプロセスと同じデバイス構造で J_C を 10kA/cm^2 に高めたプロセスを用いて回路を試作した。

以上の研究内容を報告する本論文の構成は以下のとおりである。

第 2 章では、PTL を用いたチップ上 SFQ パルス伝送について述べる。まず、これまで報告された PTL 伝送回路（PTL、ドライバ、レシーバで構成される回路）に関する研究を述べ、その課題を述べる。次に、PTL 伝送回路が共振器であることに着目し、その物理的性質を考察する。この考察に基づいて PTL 伝送回路を設計、試作し、共振周波数においても広いバイアスマージンを有する PTL 伝送回路を実証する。次に、交差する PTL 間のクロストークが PTL 伝送回路に与える影響を、実験とシミュレーションを用いて明らかにする。さらに、すべての配線に PTL を用いた 4×4 スイッチ回路を設計し、JTL 配線を用いた 4×4 スイッチ回路と比較することにより、PTL 配線導入によって回路のタイミングジッタ、消費電力等が大幅に削減されることを定量的に示す。

第 3 章では、チップ間 SFQ パルス伝送技術について述べる。ここでの課題は、チップと MCM 基板を接続するバンパ接続部での構造不連続に起因する反射と信号損失の影響下で安定な回路動作を実現することであり、伝送回路の設計とバンパ接続構造の広帯域化設計の 2 点が重要である。この章では、従来技術よりも高い伝送レートを実現できるチップ間伝送回路を提案する。提案する回路は第 2 章のチップ上 PTL 伝送回路を改良したものである。次に 3 次元高周波解析により、SFQ パルス伝送に必要な帯域を実現するためのバンパ接続構造を検討する。そして実験により、チップ上伝送レートと同程度のチップ間伝送レートのチップ間 SFQ パスする伝送を実証する。さらに、 $J_C=10\text{kA/cm}^2$ の高 J_C プロセスで実験を行い、 100GHz 級の SFQ MCM の実現可能性を検証する。

第 4 章では、冷凍機システムについて述べる。まず、本研究以前に報告されている冷凍機システムの課題を示す。次に、 $10\text{Gbps} \times 32\text{ch}$ の I/O ケーブルを実装した冷凍機システムの設計、試作し、実験により I/O リンクの高周波特性を明らかにする。次に、超伝導電圧ドライバ（SVD）を設計する。設計、試作した SVD を、試作した冷凍機システムで冷却し、 10Gbps 以上での動作実験を行う。この実験により、本研究で開発した冷凍機システムと SVD が、SFQ 回路の 10GHz 以上のシステム動作実験に使用するのに十分な性能を有するかどうかを検証する。

第 5 章では、第 2 章～第 4 章で開発した SFQ 回路の高速システム化のための要素技術、すなわち PTL 伝送回路、チップ間 SFQ パルス伝送回路、超伝導電圧ドライバ、冷凍機システムを集積した 2×2 スイッチシステムを設計、試作する。このスイッチシステムは、 2×2 スイッチチップと

8ch SVD チップが超伝導 MCM 基板にフリップチップ接続された 2×2 スイッチ MCM が冷凍機システムで冷却されたものである。このスイッチシステムの動作実験を 40Gbps 以上で行い、第 2 章～第 4 章で開発した各技術、および、それらの技術のインテグレーションの有効性を検証する。

第 6 章では、冷凍機システムの I/O 高速化のための NRZ 型 SVD と光入力を述べる。まず、NRZ 信号の基本周波数が RZ 信号の基本周波数の $1/2$ であることに着目し、第 4 章で設計した SVD(RZ 出力)と異なる NRZ 型 SVD(NRZ 出力)による出力リンクのスループット拡大を試みる。次に、極低温ステージに単一走行キャリアフォトダイオード(Uni-Traveling Carrier Photodiode; UTC-PD)を実装し、光ファイバを実装した光入力冷凍機システムを試作する。さらに UTC-PD の 40Gbps シリアル出力信号を 40Gbps の SFQ パルスに変換する PD/SFQ インタフェイスを提案する。そして PD/SFQ インタフェイス、1:2 DEMUX、NRZ 型電圧ドライバを集積した評価チップを光入力冷凍機システムで冷却し、SFQ 回路の光入力によるシステムレベルでの 40Gbps 動作を実証する。この実験結果から、本研究で開発した光入力冷凍機システムのスループットの、冷凍機システム全体の消費電力に対する比、すなわち電力性能比を明らかにする。

第 7 章では、今後の課題のうち、実験によって具体的に明らかになった課題について述べる。まず SVD の出力波形に現れる反射から、TDR と同じ原理によって冷凍機システムの出力リンク上のインピーダンス不整合箇所を明らかにし、その不整合に対する回路設計上の対策を検討する。次に MCM 実装された SFQ 回路が発生する熱が SFQ 回路自身の接合の I_c を低下させる問題を実験により定量的に明らかにし、そのメカニズムを明らかにする。そしてこの実験結果に基づき、いかなる規模の SFQ 集積回路でも冷却可能にするためのチップからの熱除去方法を検討する。

第 8 章では、本論文の研究全体にわたる総括を行い、各章で得られた研究結果の概要を述べる。また、本研究の波及効果について述べる。さらに、SFQ 高速システムに関して、今後どのような研究が重要であるかを述べる。

第2章:超伝導受動線路(PTL)を用いた SFQ 論理集積回路の設計

SFQ 回路技術が高速回路技術として有望な理由は、100GHz を超える高速クロック動作を $1\mu\text{W/gate}$ 以下の低消費電力で実現できる Josephson 素子の性質だけでなく、psec 幅の SFQ パルスを基板上的の光速でほぼ無損失で伝送できる超伝導伝送線路 (Passive Transmission Line; PTL) を回路の配線に用いることができる点にある[12]。本研究では、PTL という用語は、マイクロストリップライン (Microstripline; MSL) やストリップライン (Stripline; SL) などの伝送線路の総称として用いる。半導体 ULSI では配線の RC 遅延が高速化のボトルネックになっている[7]-[9]。超伝導 PTL は抵抗が 0 なので、遅延は RC 遅延ではなく LC 遅延であり、つまり光の伝搬遅延に等しい。このことから、SFQ 回路技術は、半導体のようなインテリジェントな論理回路と光配線のような超高速配線とを両方実現できるユニークな回路技術であると言える。この高速 PTL 配線により、大規模集積回路や、さらにはマルチチップモジュール (Multi-Chip-Module; MCM) のレベルにおいても、SFQ 回路の高速性を生かすことができると期待されている。

超伝導 PTL を mm ~ cm のオーダーにわたって psec 幅のパルスが伝搬することは、Kautz よって理論的に予測され[50]、その後、実験的に証明された[51]-[53]。SFQ 回路の半導体回路に対する最たる優位性はこの超伝導 PTL 配線にあるということは、SFQ 回路技術の黎明期から主張されてきた[12]。しかしこれまでのほとんどすべての SFQ 回路の実証は JTL 配線を用いて行われている。PTL を用いた SFQ パルス伝送回路の物理的性質は詳しく研究されてはいない。ゆえに PTL を回路の一部に用いた例はいくつかあるが、PTL を大規模な SFQ 集積回路に用いるための具体的な設計方法は未解決の課題である。

これまでに報告された PTL に関する研究を述べる。SFQ 回路の配線に PTL を用いるためには、SFQ 回路と PTL とのインピーダンス整合が必要である。Polonsky らは、典型的な SFQ 回路である JTL の等価インピーダンスを近似的に導出し、PTL の特性インピーダンスと等しい等価インピーダンスを有する JTL を PTL の両端に接続し、それらの JTL 間で PTL を介した SFQ パルス伝送を実証した[41] (本論文では、以降、PTL の送信端に接続される JTL 等の SFQ 回路をドライバ、PTL の受信端に接続される JTL 等の SFQ 回路をレシーバと呼ぶ。また、ドライバ、PTL、レシーバから構成される回路を PTL 伝送回路と呼ぶ)。その後、デシメーション・フィルタ[42]、非同期プロセッサのハンドシェイク[43]、オンチップクロック発生器[44]などで、SFQ 回路の一部の配線に PTL を用いた例が報告された。しかしこれらの例はいずれも、SFQ 回路の中の比較的長距離の配線に限定的に用いられたものであった。Suzuki らは、PTL と JTL とのインピーダンス整合について、シミュレーションを駆使して検討した[45]。特に、ドライバ、PTL、レシーバで構成される超伝導ループへの磁束トラップ防止のために、PTL の特性インピーダンスに比べて小さい抵抗を PTL と直列に挿入することの重要性を指摘しており、この抵抗値まで含めた回路パラメータを最

適化している[45]。さらに Suzuki らは、PTL の長さが 0.6mm、3mm、6mm、9mm の 4 種類のリング型回路を試作し、それぞれのリング型回路で動作周波数約 11GHz、約 8GHz、約 6.7GHz、約 5.9GHz で、ドライバとレシーバのバイアスマージンを評価した。また、これら 4 つの PTL リング型回路の周回遅延時間から、PTL の単位長さあたりの遅延時間を 8.4psec/mm と評価した[46]。

これら本研究以前の報告において、特に文献[41]、[45]、[46]で、PTL 伝送回路の性質について考察が与えられているが、これらの考察はいずれも SFQ パルスを伝送したときの JTL の等価インピーダンスを求めることに主眼が置かれていた。しかしこれは PTL 伝送回路の性質の一面でしかない。本研究で明らかにするように、PTL 伝送回路は共振器であり、その共振が PTL 伝送回路に与える影響は非常に大きい。PTL 伝送回路を大規模 SFQ 集積回路に用いるためには、この共振周波数においても安定に動作する PTL 伝送回路を実現することが必須である。本研究では、共振器としての PTL 伝送回路の物理的性質を考察する。そして、共振の影響を低減する回路設計上の方法を提案する。これらの考察に基づいて、共振周波数においても安定に動作し、かつ、十分なバイアスマージンを有する PTL 伝送回路を設計し、実証する。PTL を SFQ 集積回路の配線に適用するためには、インピーダンス整合以外にも様々な課題がある。その課題のひとつは、交差する PTL 間のクロストークの評価と対策である。また、PTL 配線を用いた SFQ 集積回路の設計方法の開発が必要である。また PTL を実回路に適用した場合の JTL に対する優位性を明らかにする必要がある。本章ではこれらの課題にも取り組む。

本章ではまず、PTL と従来 SFQ 回路の配線に用いられてきた JTL との、伝搬遅延、タイミングジッタ、消費電力等を比較し、SFQ 回路の大規模高速化のために PTL 配線の導入が必要であることを示す。次に、PTL 伝送回路におけるインピーダンス整合理論を概説する。次に、PTL 伝送回路が共振器であることを指摘し、共振器としての PTL 伝送回路の物理的性質を考察する。そしてこの考察に基づき、共振周波数においても安定に動作する PTL 伝送回路を設計する。次に、リング型テスト回路を用いた PTL 伝送回路の評価方法を述べる。さらに、開発したリング型テスト回路を用いた PTL 伝送回路の測定評価の結果を述べる。次に、交差する PTL 間のクロストークがレシーバに与える影響に関する実験と解析を述べる。さらに、PTL 配線を用いた SFQ 論理集積回路の設計方法を提案し、その設計方法を用いた回路の例として、すべての論理セル間に PTL 配線を用いた 4×4 スイッチチップの設計と実験結果について述べる。この 4×4 スイッチを例として、JTL 配線を用いた SFQ 論理集積回路と PTL 配線を用いた SFQ 論理集積回路について、接合数、消費電力、レイテンシ、タイミングジッタ、タイミングばらつき等の比較を定量的に行い、PTL 配線の SFQ 論理集積回路の高性能化への寄与を明らかにする。

2-1: PTL を用いた SFQ パルス伝送に関する物理的考察

2-1-1: SFQ 回路における 2 種類の配線 - JTL と PTL

従来 SFQ 回路では、論理セル間の信号伝送に JTL 配線が用いられてきた。JTL は図 2-1 に示すように Josephson 接合とインダクタンスとから構成される[12]。各段の LI_C 積が Φ_0 より小さくなるように設計し、各接合に適切なバイアスを供給することにより、クロックを用いずに、情報担体である磁束量子 Φ_0 が次々に接合をスイッチさせて伝搬する。接合はスイッチするときに SFQ パルスが発生する。このようにして JTL では、磁束量子 Φ_0 と SFQ パルスとが並行して伝搬していく。JTL 配線は集中定数回路なので、幅 psec 程度の超短パルスである SFQ パルスを反射の発生無しに伝搬させることができるという利点を持つ。また、1 接合あたりの遅延が数 psec と短いため（CONNECT 標準セルライブラリ[49]の JTL では設計バイアスのとき約 4psec/接合）、所望の接合数で構成した JTL をデータパスやクロックパスに挿入するだけで、数 psec の高精度なタイミング調整ができるという利点を有する。また JTL の遅延はバイアスに依存するため、バイアスを制御することにより遅延を psec オーダーで制御する可変遅延線を実現できる。これらの性質は、SFQ 集積回路を 40GHz 以上などの高速クロックで動作させるためには欠かせない重要な性質である。しかし JTL は Josephson 接合で構成されるアクティブ回路であるため以下の欠点を併せ持つ。

- (iv) 接合数が配線長に比例して増大する。
- (v) 消費電力が配線長に比例して増大する。
- (vi) 単位長さあたりの伝搬遅延が PTL に比べて大きい。
- (vii) 素子パラメータのばらつきという不可避な要因により、JTL に含まれる接合の個数の 1/2 乗に比例した伝搬遅延時間の設計値からのずれが発生する[30]。
- (viii) 熱雑音などの不可避な要因により、JTL に含まれる接合の個数の 1/2 乗に比例したタイミングジッタが発生する[30]。

上記(i)～(v)の欠点はいずれも、JTL 配線の長さが長くなるほど顕著になり、(i)は SFQ 回路の歩留まりの低下を、(ii)は SFQ 回路の消費電力の増大を、(iii)は SFQ 回路の遅延の増大を、(iv)と(v)は SFQ 回路のタイミングエラーの発生確率の増大を、それぞれ引き起こす。このうち特に(iii)～(v)の欠点は SFQ 回路のクロック周波数が高くなるほど顕著になることから、長い JTL 配線は SFQ 論理集積回路の動作速度を制限する要因になる。

一方、PTL は図 2-2 に示すように、超伝導体の信号線と、超伝導体の GND と、誘電体とから構成される。PTL の両端に接続されている回路はそれぞれドライバ、レシーバと呼ぶ。ドライバは PTL に信号を出力する回路であり、レシーバは PTL を伝搬してきた信号を受信する回路である。

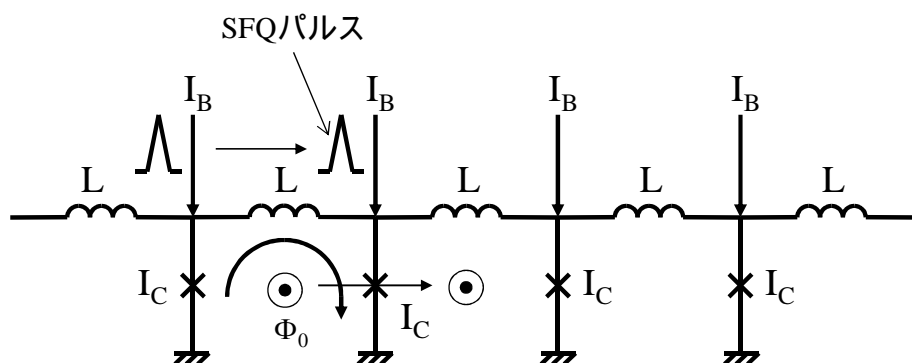


図 2-1. JTL の等価回路図。 I_C 、 L 、 I_B はそれぞれ接合の臨界電流値、インダクタンス、バイアス電流値である。

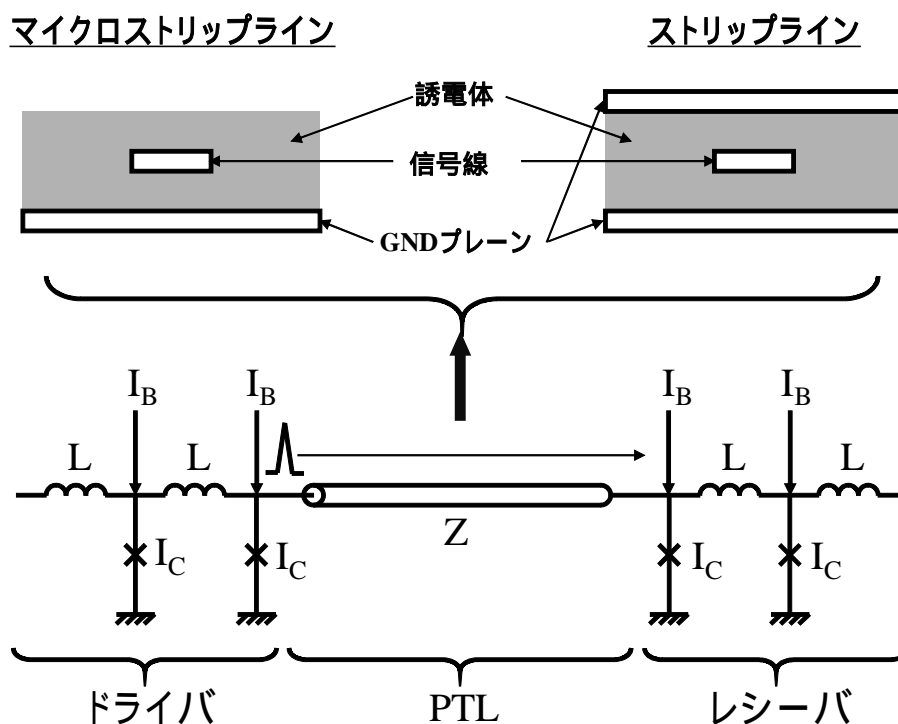


図 2-2. PTL 伝送回路と PTL の構造。PTL の構造としてマイクロストリップライン (MSL) とストリップライン (SL) を示す。

一般にドライバとレシーバは論理機能やメモリ機能を有さないため JTL とみなすことができる。本研究では、ドライバ、PTL、レシーバで構成される回路 (図 2-2) を PTL 伝送回路と呼ぶ。表 2-1 に NEC の Nb 標準プロセス ($J_C=2.5\text{kA}/\text{cm}^2$) [31] の場合の JTL と PTL の比較を示す。表 2-1 で、

JTL は、CONNECT セルライブラリの長さ $80\mu\text{m}$ の 2 接合 JTL セルを用いた場合を想定した¹。PTL はドライバ、レシーバにしか接合を有さないため、接合数、消費電力、タイミングばらつき、タイミングジッタが配線長に依存しない。さらに、伝搬遅延時間が JTL に比べて 1 桁小さい。このことから、特に mm オーダーなどの長距離配線において、JTL を PTL で置き換えることにより、JTL の上記(i)～(v)の欠点を大幅に軽減し、SFQ 回路の高速化、低消費電力化、高歩留まり化が可能になると期待できる。また PTL は信号伝播遅延が JTL に比べて 1 桁小さいため、配線のレイアウトの自由度が高く、SFQ 集積回路のレイアウト設計を JTL 配線の場合よりも遙かに簡便にするという利点も有する。しかし、伝搬遅延時間が JTL に比べて 1 桁小さいため、psec オーダーのタイミング調整を狭い面積で行うには PTL は不向きである。さらに、バイアス制御による可変遅延線も PTL では実現できない。

以上の比較から、SFQ 回路の高速性を保ったまま回路を大規模化するためには PTL 配線の導入が必要である。しかし JTL も併用することが重要である。具体的には、比較的長い配線では PTL を用いることで接合数、消費電力、伝搬遅延時間、タイミングばらつき、タイミングジッタを低減し、psec オーダーのタイミング調整や、比較的短い配線、可変遅延線などには JTL を用いる、ということが重要である。

表 2-1. JTL と PTL との比較

	JTL	PTL
接合数	25 個/mm (配線長に比例)	3 個 (配線長に依存しない)
消費電力	$9.4\ \mu\text{W}/\text{mm}$ (配線長に比例)	$1.1\ \mu\text{W}$ (配線長に依存しない)
伝搬遅延時間	$104\ \text{psec}/\text{mm}$ (配線長に比例)	$9.9\ \text{psec} + 8.4\ \text{psec}/\text{mm}$ (配線長に 1 次依存)
タイミングずれ ^a	$0.85 \times \sqrt{25l_{JTL}}\ \text{psec}$ (配線長 l_{JTL} [mm] の 1/2 乗に比例)	$1.5\ \text{psec}$ (配線長に依存しない)
タイミングジッタ ^b	$0.09 \times \sqrt{25l_{JTL}}\ \text{psec}$ (配線長 l_{JTL} [mm] の 1/2 乗に比例)	$0.16\ \text{psec}$ (配線長に依存しない)

^a タイミングずれは、Furuta らのモンテカルロ計算結果[54]をもとに算出した。

^b タイミングジッタは、Terai らの実験結果[55]をもとに算出した。

¹ CONNECTセルライブラリのJTLセルには様々な長さや様々な接合数のセルが存在する。最も短い長さ $40\mu\text{m}$ の2接合JTLセルを用いた場合、接合数、消費電力、伝播遅延時間は表2-1の2倍になり、タイミングばらつき、タイミングジッタは表2-1の $\sqrt{2}$ 倍になる。

2-1-2: PTL と SFQ 回路とのインピーダンス整合

PTL は伝送線路なので、図 2-2 の PTL 伝送回路を安定に動作させるためには、ドライバと PTL との間、および、PTL とレシーバとの間で、インピーダンス整合をとることが必要である。このインピーダンス整合の問題は Polonsky らによって最初に議論された[41]。この節では、Polonsky らによる JTL と PTL とのインピーダンス整合の理論[41]を述べ、その理論の結果として見出される新たな問題を指摘する。

図 2-3 は、一様かつ半無限の長さの JTL である。具体的には、JTL を構成するすべての接合の I_C が同一であり、かつ、すべてのインダクタンスが等しく、かつ、各接合に供給されているバイアス電流がすべて等しい。ある接合がスイッチしてから右隣の接合がスイッチするまでに要する時間（言い換えれば 1 接合あたりの SFQ パルスの伝搬遅延）を τ とする。この JTL の等価的なインピーダンスを Polonsky らは以下のように導出した[41]。以下では、JTL を構成するインダクタンス L と接合の臨界電流値 I_C が次の条件を満たす場合を考える。

$$LI_C \ll \Phi_0 \quad (2-1)$$

(2-1)式の物理的意味は、ここで考えている JTL が分布定数型のものであるということである。この近似のもとでは、インダクタンス L の両端の位相差が常に 2π よりも非常に小さい。なぜならば、(2-1)式の条件下では、図 2-3 の各接合は、接合の左側に接続されているインダクタンスに流れる電流が Φ_0/L に達するはるか前にスイッチするからである。これは以下のように示すことができる。まずインダクタンス L を流れる電流を I_L とすると、インダクタンス L の両端の位相差 $\phi'(t) - \phi(t)$ は次の式を満たす。

$$\frac{\Phi_0}{2\pi} (\phi'(t) - \phi(t)) = LI_L < LI_C \ll \Phi_0 \quad (2-2)$$

(2-2)式の右から 2 番目の不等号は、接合が十分バイアスされており I_L が I_C に達する前に接合がスイッチすることを想定しているため成立する。また(2-2)式の最右辺は(2-1)式である。(2-2)式からインダクタンス L の両端の位相差は、

$$\phi'(t) - \phi(t) \ll 2\pi \quad (2-3)$$

となる。ゆえに(2-1)式の条件下では、インダクタンス L の両端の位相差は 2π に比べて非常に小さい。インダクタンス L を流れる電流 I_L は、(2-2)式から、以下の式で表現できる。

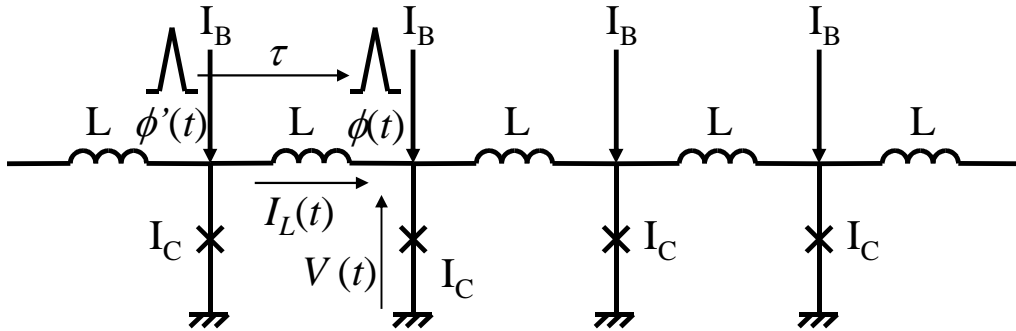


図 2-3. 一様な JTL の等価回路図。 I_C 、 L 、 I_B はそれぞれ、接合の臨界電流値、インダクタンス、

$$I_L = \left(\frac{\Phi_0}{2\pi} \right) \frac{\phi'(t) - \phi(t)}{L} \quad (2-4)$$

ここで JTL は一様であると仮定しているので、インダクタンス L の両端の位相差は、同一の接合における時間軸上での位相差に等しい。つまり、

$$\phi'(t) - \phi(t) = \phi(t + \tau) - \phi(t) \quad (2-5)$$

と表現できる。したがって、(2-4)式の I_L は以下のように書き換えることができる。

$$I_L = \left(\frac{\Phi_0}{2\pi} \right) \frac{\phi(t + \tau) - \phi(t)}{L} \quad (2-6)$$

すでに述べたように、各インダクタンス L の両端の位相差 ((2-5) 式の左辺) は常に 2π よりも非常に小さい。したがって、同一の接合における時間軸上の位相差 ((2-5) 式の右辺) もまた、常に 2π よりも非常に小さい。つまり、

$$\frac{\phi(t + \tau) - \phi(t)}{2\pi} \ll 1 \quad (2-7)$$

である。したがって、(2-6)式を τ について展開し、 τ の高次の項を無視することが可能である。 τ の最低次の項のみ残すと、以下の近似式が得られる。

$$I_L \approx \left(\frac{\Phi_0}{2\pi} \right) \frac{\tau}{L} \frac{d\phi}{dt} = \frac{\tau V}{L} \quad (2-8)$$

ここで V は接合が発生する電圧であり、最右辺の導出には Josephson の関係式 ((1-2)式) を用いた。(2-8)式から、図 2-3 のような JTL に SFQ パルスが伝搬している場合の、JTL の等価的な特性インピーダンスのひとつの可能な表現を得る。

$$Z_{JTL} \equiv \frac{V}{I_L} \approx \frac{L}{\tau} \quad (2-9)$$

従って一様な JTL と特性インピーダンス Z を持つ PTL とを接続したとき、

$$Z = Z_{JTL} \approx \frac{L}{\tau} \quad (2-10)$$

が満たされていれば JTL と PTL とのインピーダンス整合が成立する。(2-10)式を、JTL と PTL との間の SFQ パルス伝送時のインピーダンス整合条件と呼ぶ。以上が Polonsky の理論である。

ここで(2-10)式の最右辺について考察を与える。PTL の特性インピーダンス Z 、および、PTL の単位長さあたりの伝搬遅延 τ_{PTL} は、PTL の単位長さあたりのキャパシタンス C_{PTL} と単位長さあたりのインダクタンス L_{PTL} を用いて一般に、

$$Z = \sqrt{\frac{L_{PTL}}{C_{PTL}}} \quad (2-11)$$

$$\tau_{PTL} = \sqrt{L_{PTL} C_{PTL}} \quad (2-12)$$

と表現される。(2-11)式と(2-12)式から C_{PTL} を消去すると、

$$Z = \frac{L_{PTL}}{\tau_{PTL}} \quad (2-13)$$

を得る。したがって、(2-10)式のインピーダンス整合条件は、

$$\frac{L}{\tau} \approx \frac{L_{PTL}}{\tau_{PTL}} \quad (2-14)$$

と書ける。つまり、単位長さあたりのインダクタンスと単位長さあたりの伝搬遅延との比が、PTL と JTL とで同一であれば、インピーダンス整合が実現できるということである。Polonsky らの議論では、JTL は分布定数型のものを想定している ((2-1)式)。分布定数型 JTL はバイアスが印加されている点で PTL とは異なるが、分布定数型の伝送線路である点は PTL と同じである。Polonsky らの理論は、PTL のインピーダンスの一表式である (2-13) 式の右辺の表式を、アクティブな伝送線路である JTL にまで拡張した ((2-9) 式の右辺) ものであると考えることができる。

Polonsky の公式 ((2-10) 式) から、ドライバ、レシーバと整合する PTL のインピーダンスについて以下の 2 つのことが言える。まず、ドライバ、レシーバのスイッチング時間 τ は $\sqrt{J_C}$ に反比例するため、ドライバ、レシーバと整合する PTL のインピーダンス Z は $\sqrt{J_C}$ に比例する。次に、ドライバ、レシーバが JTL である場合、 LI_C 積が一定であればスイッチング時間 τ は一定である。そのため、 LI_C 積一定の下では L が I_C に反比例し、 τ は不変である。したがって (2-10) 式から、ドライバ、レシーバのインピーダンスは I_C に反比例する。

(2-10) 式の整合条件は理想的な場合には満たされる。しかし、現実の SFQ 回路では少なくとも以下の 2 つの理由により実現することが不可能である。

- (a) (2-10) 式の整合条件は $LI_C \ll \Phi_0$ の条件下で、つまり分布定数型 JTL の場合の近似理論から導出された整合条件である。しかし SFQ 集積回路で使用される JTL は集中定数型 JTL であるため、この近似が適用できない。
- (b) (2-10) 式から、 Z_{JTL} は τ に依存する。 τ は様々な要因、例えば接合の I_C 、接合のシャント抵抗、インダクタンス、JTL に供給されるバイアス電流などに依存する。実際の SFQ 集積回路では多数の PTL 伝送回路を含むが、プロセスのばらつきが存在するため、SFQ 集積回路内のすべてのドライバ、レシーバについて設計通りの τ を実現することは不可能である。仮にすべてのドライバ、レシーバの τ を設計値に合わせられたとしても、バイアスマージンは点でしかない。

従って Polonsky の理論からは、PTL と JTL (ドライバとレシーバも JTL と等価である) との間の完全なインピーダンス整合をとることは現実的には不可能であるという問題が導き出される。ゆえに、現実の PTL 伝送回路では、PTL のレシーバ端で発生する反射をゼロにすることはできない。半導体回路のように配線が常伝導体であり損失を有する場合、多少のインピーダンス不整合による反射波は減衰するため大きな問題にはならない。また、伝送する信号がレベル信号のように幅広で低伝送レートであれば、反射波の影響は波形の一部に現れるだけなので大きな問題にはならない。しかし、SFQ 回路の場合、PTL が超伝導体であるため無損失であり、レシーバからの反射波はほとんど減衰せずに PTL 上を伝搬してドライバに達する。さらに、SFQ 回路で扱う SFQ パルスは幅 psec の RZ 信号なので反射波による波形の歪みは顕著に現れる。そのため、本節で明らかにするように、このわずかなインピーダンス不整合によって発生する小さな反射波が、無損失 PTL の両端で多重反射を受けながら長い時間存在し、反射波に敏感な SFQ パルスに大きな影響を

与える。レシーバで発生する反射波は一般に、正のピークと負のピークを有する両極性の形状をしている²。そのため、ドライバやレシーバに反射波が達すると、ドライバ、レシーバに供給されているバイアス電流が一時的に増減する。反射の振幅が大き過ぎる場合には、比較的高バイアスの条件下でバイアスと反射波を足し合わせた電流が SFQ パルスの入力なしにドライバあるいはレシーバをスイッチさせてしまう誤動作が発生し得る。さらに、比較的低バイアスの条件下で反射波がドライバやレシーバのバイアスを減少させてしまい、SFQ パルスの入力を受けてもドライバやレシーバがスイッチしない誤動作も発生し得る。これらの誤動作が発生すると、ドライバやレシーバのバイアスマージンが減少する。

この反射波の影響は、信号が PTL を往復するのに要する時間 T_{rt} と同じ周期でドライバに SFQ パルスが入力されている場合に最も強くなると考えられる。図 2-4 に、PTL を用いてドライバからレシーバに SFQ パルス列を一定の時間間隔 T で繰り返し伝送する場合を示す。ある SFQ パルス入力を受けてレシーバがスイッチすると反射波が生じ、その反射波はドライバに向かって伝搬する。ドライバが SFQ パルスを出力してから、反射波がドライバに返ってくるまでに要する時間を T_{rt} とすると、

$$T \approx T_{rt} \quad (2-15)$$

の場合、ドライバには後続の SFQ パルス入力とレシーバからの反射波が毎回ほぼ同時に入ってくる。

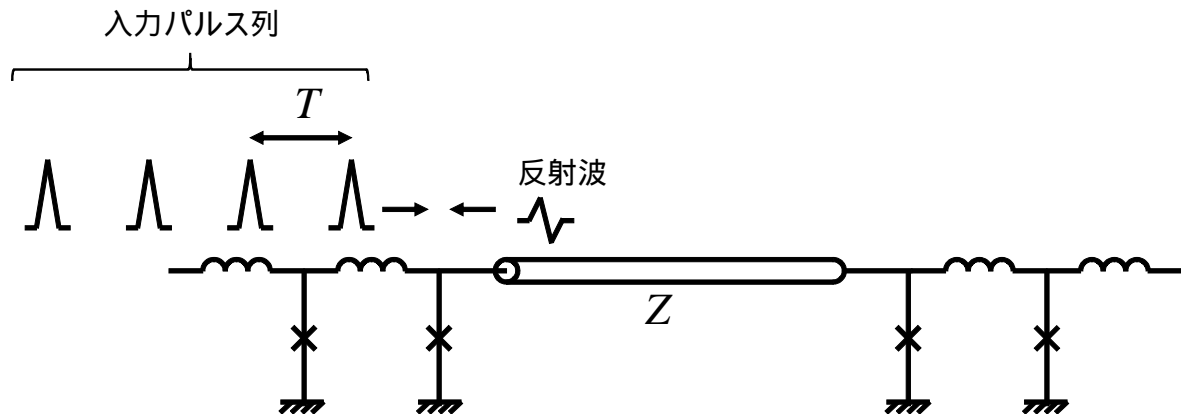


図 2-4. 反射のドライバ、レシーバへの影響を説明するための模式図。

² レシーバは SFQ パルスを受信してスイッチすると SFQ パルスを出力するが、レシーバが出力する SFQ パルスはレシーバの後段に伝播するものとレシーバの前段つまり PTL 側に向かって伝播するものの両方が存在する。反射波とは、PTL からレシーバに入射する SFQ パルスとレシーバから PTL に向かって出力される SFQ パルスの差分である。信号波形の極性を議論する上では差分は微分と同等なので（微分は差分を時間差で割り、分母の時間差を無限小にした極限ではあるが、波形の情報を有している分子は差分と同一である）、反射波は SFQ パルスを微分したものと同様の形状になる。SFQ パルスは近似的に正極性の RZ パルスなので、その微分は両極性になる。以上から、PTL 伝送回路においてレシーバ端で発生する反射波は両極性の波形になる。

ることになる。ドライバは SFQ パルスの入力を受けて SFQ パルスを PTL 上に出力するが、それと同時にドライバに達した反射波が PTL のドライバ端で反射されるため、ドライバが出力した SFQ パルスとドライバ端での反射波は重ね合わされて PTL 上をレシーバに向かって伝搬する。この SFQ パルスと反射波が重ね合わされた信号の入力を受けてレシーバがスイッチすると、レシーバは新たな反射波を発生する。それと同時に、ドライバからレシーバに伝搬してきた反射波も PTL のレシーバ端で反射されるため、ドライバからレシーバに伝搬してきた反射波と、レシーバが新たに発生した反射波が重ね合わされる。(2-15)式の条件下では、このプロセスが繰り返され、PTL 上を多重反射する反射波の振幅が増大する。その結果、反射波によるドライババイアス、レシーババイアスの変動が大きくなる。これは PTL の往復遅延時間 T_{rt} と PTL に入力される SFQ パルスの繰り返し周期 T とがほぼ等しい場合に起こる共振現象である。

$$f_{res} \equiv \frac{1}{T_{rt}} \quad (2-16)$$

で定義される周波数 f_{res} を PTL の共振周波数と呼ぶ。SFQ パルスの繰り返し周波数 f は、

$$f \equiv \frac{1}{T} \quad (2-17)$$

なので、(2-15)式は以下のように書き換えられる。

$$f \approx f_{res} \quad (2-18)$$

同様の共振現象は、 f が共振周波数 f_{res} のハーモニクスやサブハーモニクスに等しい場合にも起こる。つまり、以下の(2-19)式または(2-20)式の条件が満たされるときに、共振によるドライバ、レシーバの動作への影響が発生する。

$$f \approx mf_{res} \quad (m : 1 \text{ 以上の整数}) \quad (2-19)$$

$$f \approx \frac{f_{res}}{n} \quad (n : 2 \text{ 以上の整数}) \quad (2-20)$$

(2-19)式と(2-20)式を PTL 伝送回路における共振条件と呼ぶ。 f_{res} は PTL の長さに依存する。ドライバに入力される SFQ パルスの繰り返し周波数 f が(2-19)式または(2-20)式の共振条件を満たす場合、ドライバやレシーバのバイアスマージンが特に大きく減少する可能性がある。したがって PTL 伝送回路においては、共振の影響を低減する回路設計が重要であり、PTL 伝送回路の評価は共振

周波数およびそのハーモニクスとサブハーモニクスを含む広い周波数範囲で行わなければならない。これらのことは、JTL 配線を用いた SFQ 回路にはなかった新たな問題である。しかしこれまで、PTL 伝送回路における共振の影響とその低減のための設計方法に関する具体的な議論はなされていなかった。

実際に Polonsky のインピーダンス整合の式 (2-10 式) にしたがって、 $J_C=2.5\text{kA/cm}^2$ で設計した PTL 伝送回路のシミュレーションを行った。図 2-5 はシミュレーションした等価回路である。PTL の特性インピーダンスは 2Ω 、長さは 3mm である。バイアスの設計値は接合の I_C の 70% である。PTL は $40\mu\text{m}$ ごとに 型の LC 回路で近似した。図 2-6 (a) に、バイアスが設計バイアスの -8% の場合に、SFQ パルスを 1 個伝送した場合のドライバの出力波形を示す。図のように、レシーバからの反射が PTL の両端で多重反射して徐々に減衰する。反射波の最大振幅はドライバ出力の最大振幅の約 $1/8$ であり、非常に強い反射は発生していないことが分かる。図 2-6 (b) は図 2-6 (a) の時間軸を拡大したものである。反射波の多重反射の周期は約 $55\text{psec} \sim 65\text{psec}$ である。図 2-7 は、図 2-5 の PTL 伝送回路で、バイアスが設計値の -8% の場合について、周期 T (周波数 $f=1/T$) の繰り返しパルス列を伝送した場合のレシーバの出力波形のシミュレーション結果である。図 2-7 (a) はパルス列の繰り返し周期が 55psec の場合であり、1 発目の出力に比べて 2 発目以降の出力電圧が高くなっている。これは図 2-6 (b) のポジティブな反射がドライバの出力に重なったためであると考えられる。つまり反射波がドライバに対してプラスのバイアスとして作用したことを示している。一方、図 2-7 (b) は、パルス列の繰り返し周期が 65psec の場合であり、この場合は、レシーバの出力波形が反射の影響で歪み、パルスが入力されるたびに振幅が小さくなってゆき、ついに SFQ パルスを出力しない誤動作が発生している。設計バイアスに対してわずか 8% 低いバイアスで反射による誤動作が発生した。この回路についてパルス列の時間間隔 T を変化させてバイアスマージンをシミュレーションした結果を図 2-8 に示す。 $T=65\text{psec}$ の付近でバイアスマージンが著しく減少している。 $T=60\text{psec}$ の場合に比べると $T=65\text{psec}$ の場合は下側バイアスマージンが 30% 程度も狭い。このように、ドライバ出力の $1/8$ 程度の弱い反射波が、PTL 伝送回路のバイアスマージンを約 30% も減少させる。これは、パルス列の繰り返し周波数 f が PTL の往復遅延時間 T_r で決まる PTL 伝送回路の共振周波数 f_{res} と近い場合に、反射波が共振によって増幅されるからである。

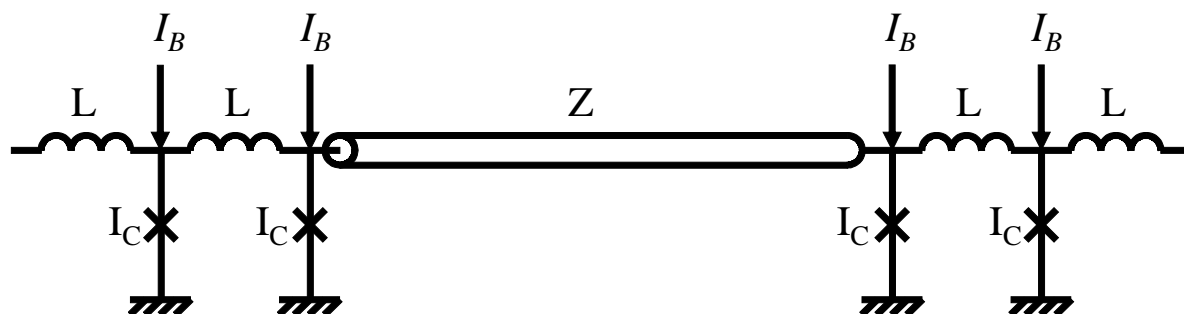


図 2-5. Polonsky らのインピーダンス整合の式を用いて設計した PTL 伝送回路の等価回路図。

$I_C=0.125\text{mA}$ 、 $I_B=0.088\text{mA}$ 、 $L=7\text{pH}$ 、 $Z=2\Omega$ 。

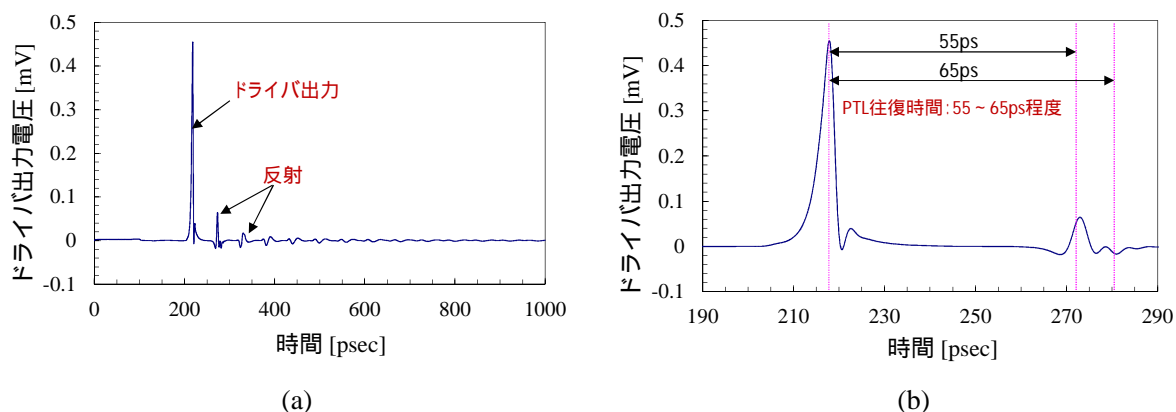


図 2-6. 図 2-5 の PTL 伝送回路において 1 パルスを送ったときのドライバ出力のシミュレーション波形。(a)ドライバの出力波形と(b)その拡大図。

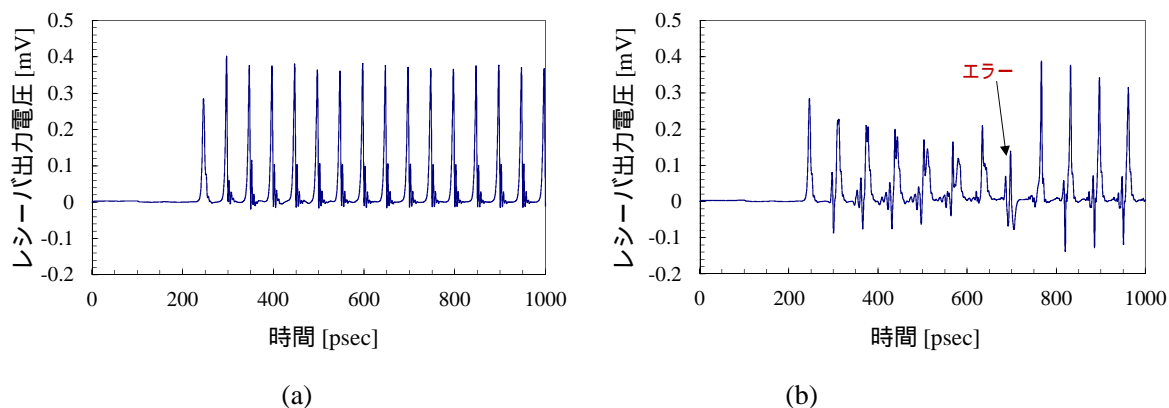


図 2-7. 図 2-5 の PTL 伝送回路においてパルス列を送ったときのレシーバ出力のシミュレーション波形。パルス列の繰り返し周期が(a) 55ps の場合、(b) 65ps の場合。

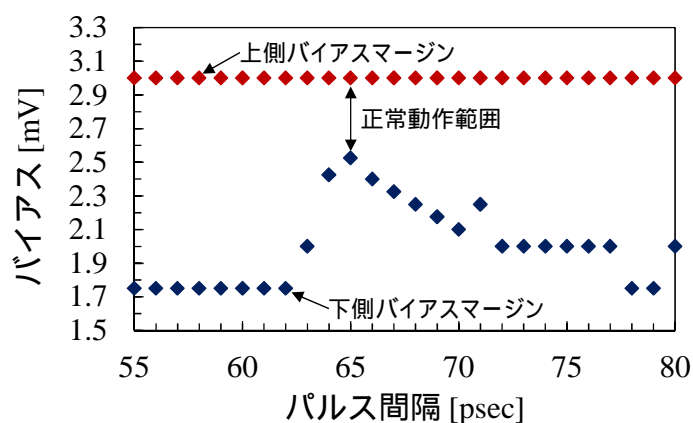


図 2-8. 図 2-5 の PTL 伝送回路のバイアスマージンの、パルス列の繰り返し周期に対する依存性のシミュレーション結果。バイアスは設計バイアスを基準にパーセンテージで表示している。

SFQ 論理集積回路は現在の $J_C=2.5\text{kA/cm}^2$ のプロセスでも 20～40GHz で動作する。一方、実際に SFQ 集積回路の配線として使われうる、長さが 1～3mm 程度の PTL の共振周波数は約 20GHz～60GHz である³。従って SFQ 集積回路内では、(2-19)式または(2-20)式の共振条件が満たされることがあり得る。また将来 J_C の高いプロセスが開発されれば、SFQ 回路のクロック周波数は高くなるため、さらに短い配線で共振条件を満たすことになり、共振条件を満たす配線が出現する確率が高くなる。つまり SFQ 回路の高速化に伴って PTL 伝送回路の共振が回路動作に与える問題が重要度を増す。以上の考察から、SFQ 回路において PTL の共振が重要な問題になる理由は、超伝導 PTL が無損失であるため反射が減衰せず、かつ、信号である SFQ パルスが psec 幅の RZ であるため反射の影響を受けやすく、かつ、SFQ 回路が数 10GHz～100GHz 超という高速クロックで動作するため回路の PTL 配線の共振周波数とクロック周波数とが同程度になる、という SFQ 回路特有の性質に起因すると結論付けられる。

2-1-3: 弱い信号に対するインピーダンス整合

前節で明らかにしたように、PTL を用いて SFQ パルスを伝送したときに、PTL とドライバ、レシーバとのインピーダンス整合を完全にとることは現実的には不可能であり、PTL の共振周波数と等しい繰り返し周波数の SFQ パルス列を伝送した場合に、共振の影響により PTL 伝送回路のバイアスマージンが著しく減少する。実際の SFQ 集積回路では、レシーバからの反射に加え、熱雑音やクロストークなどのノイズが PTL の両端で多重反射する可能性も考えられる。そのようなノイズも共振により増幅され、PTL 伝送回路の動作に影響を与え得る。本研究では反射や様々な雑音を総称して“弱い信号”と呼ぶ。本研究で扱う弱い信号の定義は、接合をスイッチさせるために必要な電流値に比べて十分小さい電流である⁴。PTL 伝送回路の設計ではこれら弱い信号の影響も考慮しなければならない。しかし、これまで弱い信号の PTL 伝送回路への影響については具体的な議論がなされていなかった。ここでは弱い信号に対する PTL と SFQ 回路とのインピーダンス整合について考察する[56]。

Josephson 接合は SFQ パルスに対してはアクティブな素子として振舞うが、弱い信号に対しては近似的にパッシブなインピーダンスとして振舞う。したがって、弱い信号が PTL を伝搬する場合の PTL と JTL との間のインピーダンス整合問題は Polonsky らの議論[41]とは異なる取り扱いを

³ Suzukiらの実験によれば、NECのNb標準プロセスで試作されたPTLの伝搬遅延時間は約8.4psec/mmであり[46]、本研究でも後述するように実験から8.6psec/mmとなった。ここではPTLの共振周波数をこれらの測定値から概算した。

⁴ 反射やクロストークなどのノイズがドライバやレシーバをスイッチさせてしまうほど強い場合はあり得るが、ノイズが入力されたときの接合のスイッチングのダイナミクスを議論することは非常に困難である。ここではこれらのノイズによって接合がスイッチしない場合に限定し、近似を用いた考察を展開するが、その考察はPTL伝送回路の本質的性質を明らかにするものであり、その結果得られる知見はPTL伝送回路の設計指針として意義のあるものである。

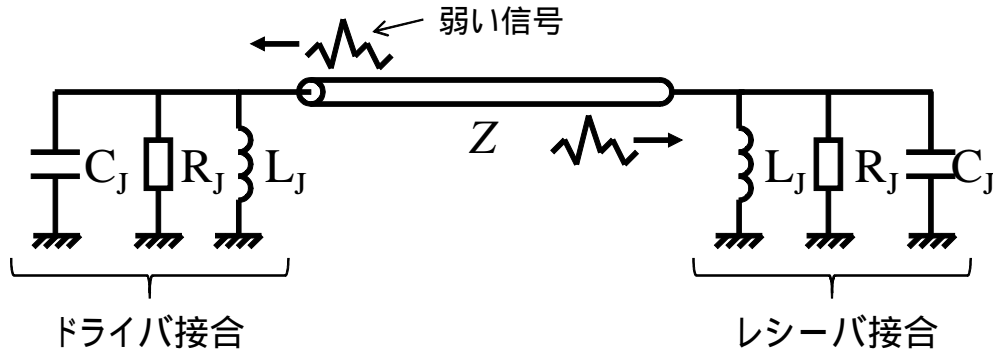


図 2-9. 弱い信号に対する PTL 伝送回路。

しなければならない。弱い信号に対する PTL 伝送回路を図 2-9 に示す。図 2-9 では議論を容易にするために、PTL に直接接続されている接合しか考慮せず、接合は線形素子で近似している。図 2-9 で、 R_J 、 C_J 、 L_J はそれぞれ、接合の非線形抵抗とシャント抵抗の合成抵抗、キャパシタンス、等価インダクタンス ((1-6)式) である。

図 2-9 は PTL 伝送回路が弱い信号に対して共振器として振舞うことを示している。つまり、PTL を往復する時間の逆数である共振周波数（および共振周波数のハーモニクス）に等しい周波数を有する信号は、PTL の両端で反射されて定在波を立てる。従って熱雑音、クロストークなどの弱い信号の、PTL の共振周波数あるいはそのハーモニクスに等しい周波数を有する成分が繰り返し PTL 伝送回路に印加されると、それらの雑音は PTL 伝送回路に蓄積される。蓄積された弱い信号はドライバ、レシーバのバイアス電流に重畳するため、バイアスマージンの変動を引き起こす。これらの、熱雑音、クロストーク、SFQ パルス伝送時の反射波などの弱い信号の、PTL 伝送回路への影響を低減するためには、図 2-9 の弱い信号に対する PTL 伝送回路の共振のクオリティを可能な限り低減することが必要である。超伝導 PTL は無損失なので、共振のクオリティを低減することは図 2-9 の回路の PTL の両端での反射係数を低減することによってのみ、つまり、PTL の両端でのインピーダンス整合を改善することによってのみ実現できる。ここに、2-1-2 節で述べた SFQ パルスを伝送する場合の PTL とドライバ、レシーバとのインピーダンス整合問題とは異なる、第 2 のインピーダンス整合問題、すなわち、弱い信号が伝播している場合の PTL とドライバ、レシーバとのインピーダンス整合問題が存在する。図 2-9 の近似的な等価回路において、PTL のドライバ端での反射係数を k_{DRV} 、レシーバ端での反射係数を k_{REC} とすると、

$$k_{DRV}(f) = \frac{Z_{DRV}(f) - Z_{PTL}}{Z_{DRV}(f) + Z_{PTL}} \quad (2-21)$$

$$k_{REC}(f) = \frac{Z_{REC}(f) - Z_{PTL}}{Z_{REC}(f) + Z_{PTL}} \quad (2-22)$$

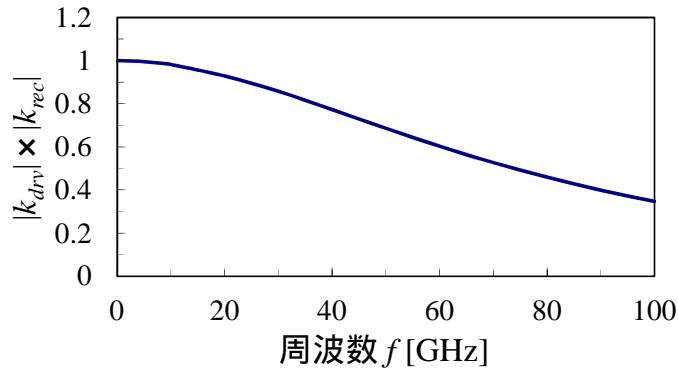


図 2-10. 図 2-5 の PTL 伝送回路の反射係数積。

である。 f は MSL を伝播する信号の周波数である。 Z_{DRV} 、 Z_{REC} はそれぞれドライバ接合、レシーバ接合を図 2-9 のように線形モデルで近似したときのインピーダンスである。図 2-9 から明らかなように、DC においては接合のインピーダンスは 0 になる。したがって低い周波数では接合のインピーダンスは非常に低く、PTL の両端での反射係数は非常に高くなる。このことから、PTL の長さが長いほど、つまり PTL の共振周波数が低いほど、PTL の共振周波数における PTL の両端での反射係数が高くなり、共振による弱い信号の増幅が顕著になる。例として図 2-5 の PTL 伝送回路について(2-21)式、(2-22)式から PTL 両端での反射係数の積を計算したものを図 2-10 に示す。図のように、SFQ 回路の動作周波数の範囲である 10GHz 程度～40GHz 程度では、PTL の両端での反射係数積は約 0.8～約 1 と非常に高いことが分かる。

2-1-4: 共振のクオリティを低減するための方法とデザイン・トレードオフ

図 2-9 の回路において PTL の両端のインピーダンス整合を改善する方法として本研究では 2 つの方法を提案する[56], [57]。ひとつは、図 2-11 に示すように PTL と直列に抵抗 R_S を挿入することである。PTL 上を多重反射する反射波は、抵抗 R_S で消費されて熱に変わり、減衰する。図 2-12 (a)に反射係数積の R_S に対する依存性を計算した例を示す。この反射係数積は、図 2-5 のドライバ接合とレシーバ接合を線形近似し、 R_S を挿入した場合について計算したものである。 R_S は反射係数積を下げるだけでなく、PTL とドライバ接合とレシーバ接合とから構成される超伝導ループに磁束がトラップされることにより生成される永久電流がドライバとレシーバのバイアスマージンを減少あるいはシフトさせることを防ぐために必要である[45], [46]。そのような磁束トラップはチップ冷却の過程や、SFQ パルスを受けたレシーバがスイッチできなかった場合などに発生する可能性がある。Suzuki らは磁束トラップ防止のために PTL と直列の抵抗 R_S を用いている。しかし PTL の特性インピーダンスが 4Ω であるのに対して R_S は 0.12Ω であり[46]、DC での反射係数積は -0.94 と非常に高い。このことから、文献[46]の PTL 伝送回路は共振周波数におけるバイアスマ

ージンの減少が大きいことが予想される。

共振のクオリティを低減するもうひとつの方法としてドライバ接合、レシーバ接合の抵抗 R_J を低くすることを提案する。これは接合のシャント抵抗を低くすることで実現できる。図 2-11 で、ドライバ接合やレシーバ接合に到達した弱い信号は R_J , C_J , L_J に分流し、このうち R_J に分流した成分が消費されて熱になり減衰する。ゆえに R_J が C_J , L_J のインピーダンスに比べて低いほど R_J に分流する成分が増加し、信号の減衰が強くなる。ある J_C のプロセスで作製されたある I_C の接合について R_J を低減することは接合の β_C ((1-20)式) を低減することになる。図 2-12 (b) に反射係数積の β_C に対する依存性を計算した結果を示す。この反射係数積は、図 2-5 のドライバ接合とレシーバ接合を線形近似し、 $R_S=0.5\Omega$ を挿入した場合について計算したものである。

図 2-12 に示したように、上述した 2 つの方法によって共振のクオリティを効果的に低減できる。しかし、共振のクオリティを低減する上記の方法は、PTL 伝送回路のバイアスマージンを減少させるという副作用を有する。まず R_S による回路動作への影響について述べる。弱い信号に対するインピーダンス整合は、 R_S が PTL の特性インピーダンスに近づくほど向上する。しかし、 R_S はドライバの出力パルスの電圧を下げ、その結果レシーバの下側バイアスマージンを狭めるため、 R_S を大きくし過ぎることはできない。さらに、 R_S の挿入は新たな反射生成の原因を創り出す。図 2-13 に示すように、ドライバが生成した SFQ パルスの電圧は R_S によって減衰するため、 R_S 通過

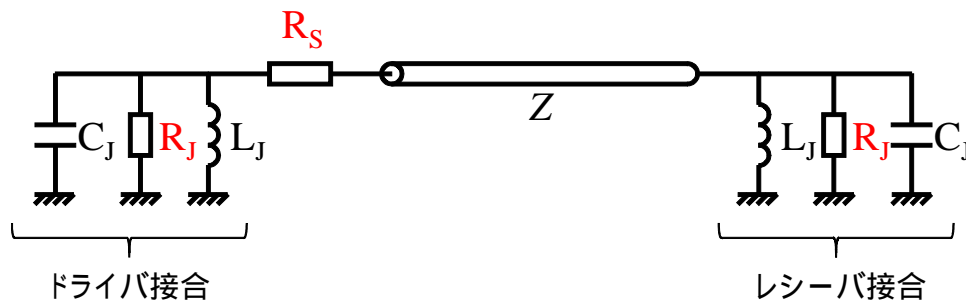


図 2-11. 共振のクオリティを低減する方法。

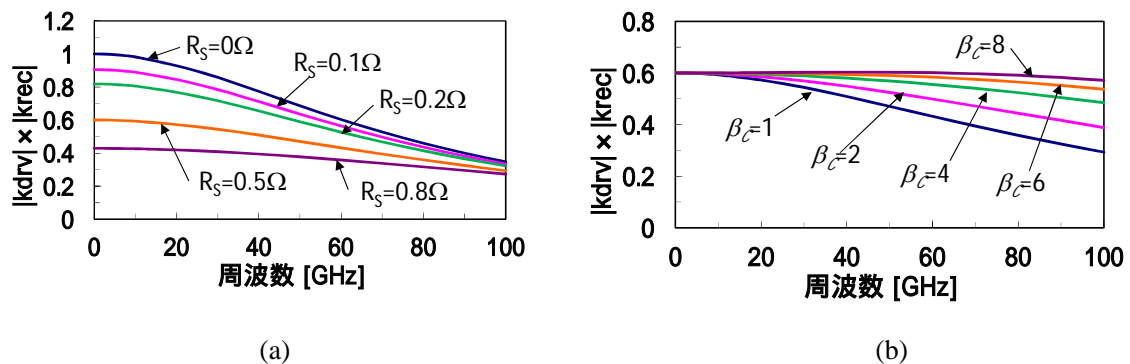


図 2-12. 反射係数積の(a) R_S 依存性と(b) β_C 依存性。(a)は図 2-5 の PTL 伝送回路において $\beta_C=1$ の場合の計算結果、(b)は図 2-5 の PTL 伝送回路に $R_S=0.5\Omega$ を挿入した場合の計算結果である。

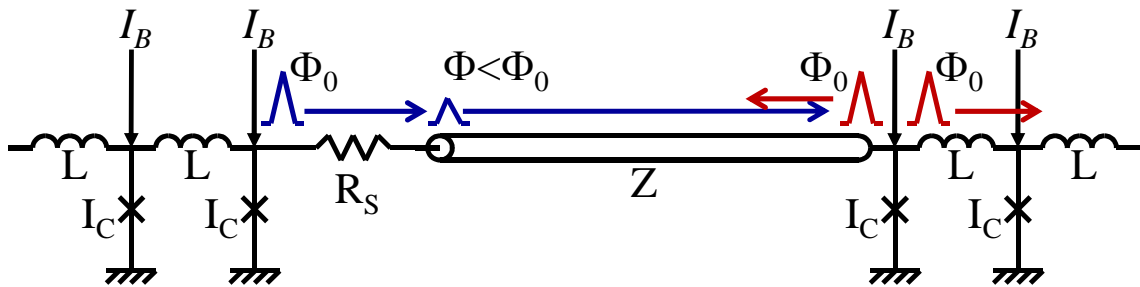


図 2-13. R_S による磁束減少と反射生成のメカニズム。

後のパルスが運ぶ磁束は Φ_0 よりも小さくなる。一方、レシーバはこの減衰したパルスを受けてスイッチし、SFQ パルスを生成する。レシーバが生成した SFQ パルスはレシーバの前後に伝搬する。従って PTL からレシーバに入ってくる磁束 (Φ_0 未満) とレシーバから PTL に出ていく磁束 (Φ_0) との間に差が生じ、この差が反射波としてドライバに伝わっていく。レシーバに伝播する磁束は R_S が高いほど減少するので、 R_S が高いほどレシーバで発生する反射波は強くなる。したがって R_S の挿入は、弱い信号に関する PTL とドライバ、レシーバとのインピーダンス整合を改善する働きがあるが、SFQ パルス伝送に関するインピーダンス整合 (2-10 式) を悪化させる。

一方、 β_C を低くすることは PTL 伝送回路の動作に次のような影響を与える。 β_C を低くすることによりドライバ接合のスイッチングが遅くなるためドライバの出力電圧のピーク値は下がり、波形はブロードになる。これによりレシーバの低バイアス側のバイアスマージンを狭める。さらに、ドライバとレシーバのスイッチング時間が長くなるので、(2-10) 式から、ドライバとレシーバの等価的なインピーダンスが低くなるため、PTL の特性インピーダンスを低く変更しない限り、SFQ パルス伝送時の PTL とドライバ、レシーバのインピーダンス整合が悪化し、反射が強くなる。つまりここでも、弱い信号が伝播している場合の PTL とドライバ、レシーバとのインピーダンス整合を改善することは、SFQ パルス伝送の場合のインピーダンス整合を悪化させる。なお、 β_C を低くした場合は PTL の特性インピーダンスを低くすれば、SFQ パルス伝送時のインピーダンス整合を悪化させないことが可能だが、PTL の特性インピーダンスを低く変更することは PTL の線幅を広くすることになるため、SFQ 回路の高集積化の妨げになる。

以上のように、共振のクオリティの低減と PTL 伝送回路のバイアスマージン拡大との間にはトレードオフの関係がある。言い換えれば、PTL と SFQ 回路とのインピーダンス整合問題には、SFQ パルス伝送の場合と弱い信号が伝搬する場合とのふたつの問題があり、これらの 2 つの整合問題は互いに相容れない。したがって PTL 伝送回路の最適化設計の本質は、SFQ パルス伝送に関するインピーダンス整合と弱い信号の伝搬に関するインピーダンス整合との間のトレードオフを最適化することである、と結論づけられる。

2-2: PTL 伝送回路の設計

これまでの考察に基づき、PTL 伝送回路の設計方法として以下のアプローチを提案する。

- (i) レシーバからの強い反射を避けるために、SFQ パルス伝送時のインピーダンス整合条件 (2-10 式) をもとに PTL のインピーダンスとドライバおよびレシーバの回路パラメータの初期値を設定する。
- (ii) 共振の影響を低減するために、(i) のインピーダンス整合の度合いをできるだけ落とさずに可能な限り PTL 両端での反射係数積を下げる。

この方法により設計した PTL 伝送回路の等価回路を図 2-14 に示す。最適化には Saber シミュレータ[58]を用いた。この設計では最初に、レシーバ接合の I_C を 0.14mA とした。すでに述べたようにレシーバ接合の I_C が低いほど、高い特性インピーダンスの (つまり線幅の細い) PTL を使用できる。しかしレシーバの後段に接続される SFQ 回路の入力接合の I_C とレシーバ接合の I_C とに大きな差がある場合、レシーバと後段の SFQ 回路の間に中間的な I_C を有する接合を挿入しなければならず、接合数が増大してしまう。本研究では CONNECT セルライブラリ[49]の標準セルを用いた SFQ 論理集積回路の設計を前提としている。CONNECT セルの JTL の I_C は 0.22mA であり、他の論理セルの入力接合も JTL の接合の I_C と同程度である。したがってレシーバの後段に接続する SFQ 回路の入力接合の I_C は約 0.2mA であり、この入力接合とレシーバ接合とを中間接合を用いずに直接接続するためには、レシーバ接合の I_C は後段の SFQ 回路の入力接合の I_C のおよそ $\sqrt{1/2}$ 倍以上であることが好ましい。そのため、レシーバ接合の I_C を $0.14\text{mA} (= \sqrt{1/2} \times 0.2\text{mA})$ とした。レシーバ接合と後段の接合、およびこれらの接合を接続するインダクタンスとで形成される 2 接合 JTL の LI_C 積を仮におよそ $\Phi_0/2$ とすると、 $I_C=0.14\text{mA}$ の場合、 L はおよそ 7~8pH である。また、接合のスイッチング時間はおよそ 4psec であるので、レシーバのインピーダンス Z_{REC} のおよその値は(2-10)式から、

$$Z_{REC} \approx \frac{L}{\tau} \approx \frac{8}{4} = 2 \quad [\Omega] \quad (2-23)$$

と見積もることができる。従って PTL のインピーダンス Z_{PTL} を 2Ω に設定した。プロセスは NEC の Nb 標準プロセス[31]を想定した。 J_C は $2.5\text{kA}/\text{cm}^2$ である。PTL は GP 層を GND とし、BAS 層を信号線とする MSL とした。GP 層と BAS 層の間は厚さ 300nm の SiO_2 で絶縁されている。PTL の単位長さあたりの L_{PTL} は Chang による超伝導 MSL のインダクタンスの式[59]を用いて計算し、PTL の単位長さあたりの C_{PTL} は SiO_2 の比誘電率 ϵ_r を 4 として平行平板近似を用いて計算した。これらの L_{PTL} と C_{PTL} と PTL の特性インピーダンス ((2-11) 式) とから計算した結果、 2Ω の PTL の線

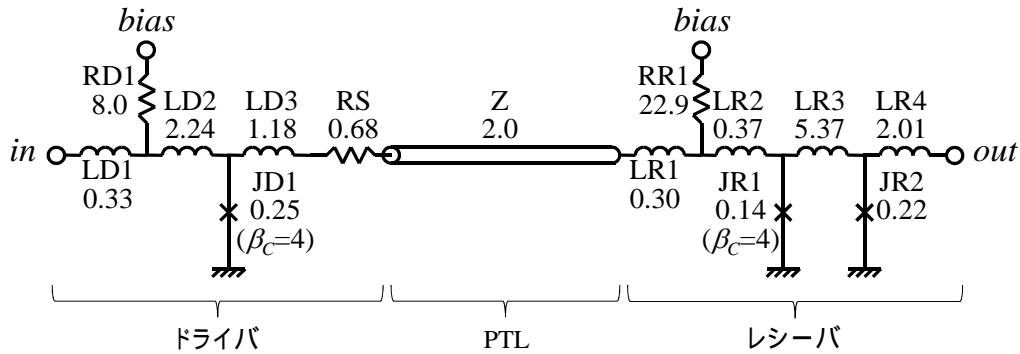


図 2-14. 設計した PTL 伝送回路の等価回路図。単位は、接合の臨界電流値は mA、インダクタンスは pH、抵抗は Ω である。設計バイアスは 2.5mV である。

幅は $34\mu\text{m}$ となった。最適化のシミュレーションでは、特性インピーダンス 2Ω 、長さ 3mm の PTL の両端にドライバとレシーバを接続した回路モデルを用いた。(2-12)式から、3mm の PTL の往復の伝搬遅延時間 T_{rt} は約 43psec であり、共振周波数 f_{res} は約 23GHz と見積もられた⁵。SFQ 集積回路は NEC の Nb 標準プロセスで 40GHz 動作が実証されているため、PTL 伝送回路も 40GHz で動作することを最適化の目標とした。シミュレーションで PTL の長さを 3mm としたのは、DC ~ 40GHz の間に共振周波数を設定することにより、共振周波数における PTL 伝送回路の動作を検証するためである。シミュレーションでは、PTL は、長さ $40\mu\text{m}$ ごとに L (0.64pH) と C (0.13pF) の Γ 型回路で近似した。長さ $40\mu\text{m}$ の PTL の伝搬遅延時間は(2-12)式から約 0.3psec であり、 $J_C=2.5\text{kA}/\text{cm}^2$ では SFQ パルスの幅は約 2 ~ 3psec なので、SFQ パルスには長さ $40\mu\text{m}$ の PTL は集中定数に見える。そのためこの Γ 型回路の繰り返しによる MSL の集中定数近似を用いることができる。最適化では、ドライバとレシーバの共通バイアスのマージンの周波数依存性を、動作周波数 10GHz ~ 40GHz の範囲で計算し、共振周波数におけるバイアスマージンの減少が可能な限り小さくなるように（言い換えれば共振の鋭さが可能な限り弱くなるように）ドライバとレシーバの回路パラメータを調整した。その結果、ドライバ接合の I_C として 0.25mA、PTL と直列の抵抗 RD1 として 0.68Ω を得た。ドライバ接合とレシーバ接合のベアな McCumber 定数 β_C は、最適化の結果 4 となった。ドライバはスイッチング遅延を最小にするために 1 個の接合で構成した。一方、レシーバは 2 個の接合で構成した。レシーバの初段の接合 (JR1) は、PTL からのパルスを受信するためのレシーバ接合であり、レシーバの本体である。一方、2 段目の接合 (JR2) は、レシーバと後段の SFQ 回路とを接続することを考慮したバッファステージである。具体的には、JR2 と LR4 から構成される部分を、CONNECT 標準セルライブラリの JTL と同じ回路パラメータとした。こ

⁵ PTL伝送回路におけるPTLの往復遅延時間は、正確には、PTLの往復に要する時間とドライバ接合での遅延とレシーバ接合での遅延の和になる。しかしここでは、共振周波数の概算を見積もるため、ドライバ接合とレシーバ接合での遅延時間は無視した。ドライバ接合とレシーバ接合での遅延時間は、2-4節で後述するように、実験によって評価する。

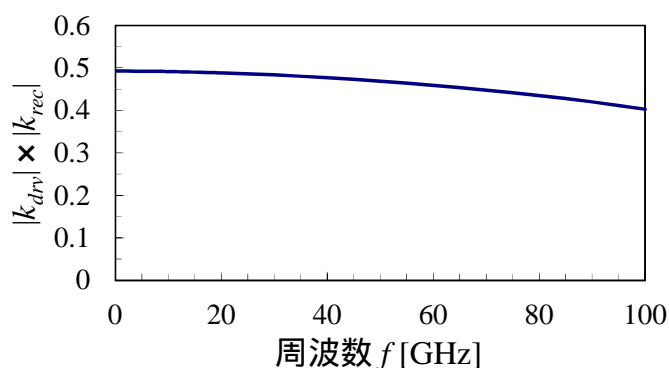


図 2-15. 設計した PTL 伝送回路の反射係数積。

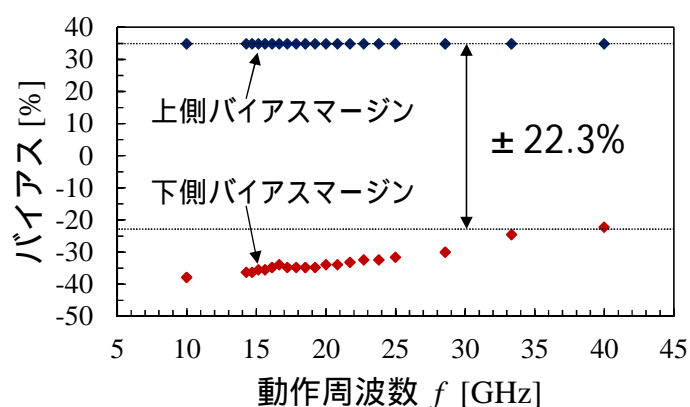


図 2-16. ドライバとレーザの共通バイアスのマージンの、動作周波数依存性のシミュレーション結果。バイアスは設計バイアスに対するパーセンテージで表示されている。

のバッファステージを設けたことにより、レーザの後段にいかなる CONNECT セルが接続されても、レーザの動作が強く影響を受けない⁶、つまり PTL とレーザのインピーダンス整合が悪化しないようにした。最適化された PTL 伝送回路の反射係数積の計算結果を図 2-15 に示す。反射係数積は最大でも 0.5 以下になるように設計されている。したがってレーザからの反射波がドライバ端で反射されるときに反射波の電圧を半分以下に減衰させることができる。PTL の長さが 3mm の場合の共振周波数約 23GHz における反射係数積は 0.49 である。シミュレーションで求め

⁶ CONNECTセルライブラリの論理セルは、JTLと接続したときに、JTLと論理セルとの接続点でJTL側にも論理セル側にもバイアス電流が1.5 μ A以下しか漏れないように設計されている[49]。これは論理セルとJTLとの干渉を防ぐためである。本研究のレーザはCONNECTセルライブラリのJTLと同じパラメータを有するバッファステージを設けたため、セルライブラリのいずれの論理セルがレーザの後段に接続された場合でも、レーザと後段の論理セルとの接続点でバイアス電流の漏れは1.5 μ A以下である。このような設計により、レーザの後段にいかなる論理セルが接続された場合でも、PTLとレーザとのインピーダンス整合の度合いが強く変化しないようにした。

たドライバとレシーバの共通バイアスのマージンの動作周波数依存性を図 2-16 に示す。図 2-5 の PTL 伝送回路の周波数特性 (図 2-8) に比べると、共振の影響が非常に小さくなるように設計できていることが分かる。これはレシーバ端での強い反射を回避するために適切な PTL のインピーダンスを設定し、かつ共振に配慮して反射係数積を十分下げたためである。

2-3: PTL 伝送回路評価用リング型テスト回路と評価方法

一般の論理セルの評価や JTL 等の配線セルの評価と異なり、PTL 伝送回路の評価においては、共振が PTL 伝送回路に与える影響を評価することが重要かつ不可欠である。そのため、PTL 伝送回路は、共振周波数を含む広い動作周波数範囲でバイアスマージンの動作周波数依存性を測定評価する必要がある。そのような測定評価のために、PTL 伝送回路評価用リング型テスト回路と、そのテスト回路を用いた評価方法を開発した。リング型テスト回路は、Polonsky ら[60]、および、Goldbin ら[61]によって提案され、セルレベルの SFQ 回路の高速動作実証に使用された。リング型テスト回路の利点は、高速の測定器を用いずに、SFQ 回路の 10GHz 以上などの高速動作評価が可能な点にある。このリング型テスト回路を PTL 伝送回路の評価に用いた例は 2 つ報告されている[44], [46]。Gupta らは、リング型テスト回路を用いて PTL の単位長さあたりの伝搬遅延時間を評価した[44]。その後 Suzuki らにより初めて、リング型テスト回路を用いた PTL 伝送回路の高速動作時のバイアスマージンの測定評価が行われた[46]。しかし、Suzuki らの高速動作評価は PTL の共振周波数を含まない離散的な 4 つの周波数だけで行われており、共振周波数における PTL 伝送回路の評価はこれまでに行われていない。本研究では共振周波数を含む広い動作周波数領域での PTL 伝送回路の周波数特性を評価することを目的に、従来のリング型テスト回路を応用し、PTL 伝送回路評価用のテスト回路と評価方法を開発した。

図 2-17 は、PTL 伝送回路用に開発したリング型テスト回路の構成図である。PTL 伝送回路用リング型テスト回路は、PTL 伝送回路 (ドライバ、PTL、レシーバで構成される回路であり、被測定回路である) DC/SFQ、固定バイアスブロック、可変遅延線 (Variable Delay Line; VDL) から構成される。VDL は、他の回路部分と別バイアスになっている JTL であり、VDL のバイアスを変化させることにより遅延時間を外部から制御できる。固定バイアスブロックは、JTL とコンフルエンス・バッファ (Confluence Buffer; CB) で構成される。固定バイアスブロックのうち、ドライバと VDL の間に挿入されている固定バイアス回路は 8 接合の JTL であり、レシーバと VDL の間に挿入されている固定バイアス回路は 8 接合の JTL と CB である。固定バイアスブロックを構成する接合のうちのひとつの接合の平均電圧を測定するためにモニター端子を設けた。以下ではこの平均電圧をモニター電圧 V と呼ぶ。リング型テスト回路に DC/SFQ から SFQ パルスを入力すると、SFQ パルスはリング型テスト回路を周回し、モニター電圧 V は有限になる。Josephson の関係式 (1-9 式) から、SFQ パルスの周回周波数 f とモニター電圧 V の間には以下の関係がある。

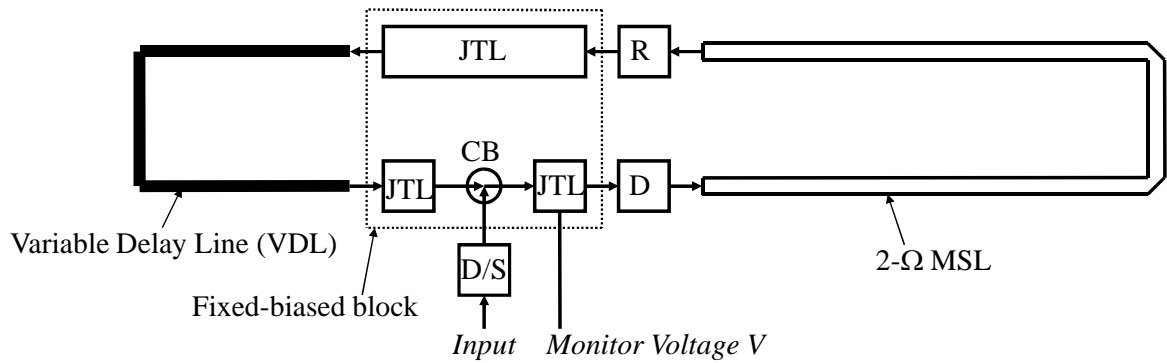


図 2-17. PTL 伝送回路評価用リング型テスト回路の構成図。D、R、D/S、CB はそれぞれ、ドライバ、レシーバ、DC/SFQ コンバータ、コンフルエンス・バッファである。

$$f = \frac{V}{\Phi_0} \quad (2-24)$$

リング型テスト回路に 1 個の SFQ パルスが周回しているときのモニター電圧を ΔV と定義する。 ΔV は VDL のバイアス I_B に依存する。 N 個の SFQ パルスがリング型テスト回路を周回しているときのモニター電圧 V は、以下の式で表される。

$$V(N, I_B) = N \Delta V(I_B) \quad (2-25)$$

N 個の SFQ パルスが周回しているときの PTL 伝送回路のスループット T は、ドライバ、レシーバの動作周波数 f に等しいので、(2-24)式と(2-25)式とから、

$$T(N, I_B) = f(N, I_B) = \frac{V(N, I_B)}{\Phi_0} = \frac{N \Delta V(I_B)}{\Phi_0} \quad (2-26)$$

と表される。

SFQ 回路は、各セルがインダクタで接続されているため、セル間のアイソレーションが悪い。そのため、固定バイアスブロックを挿入せずに VDL とドライバを直接接続したり、VDL とレシーバを直接接続すると、VDL のバイアスを増減させたときに⁷、VDL のバイアス電流の一部がドライバやレシーバ側に漏れ出たり、逆にドライバやレシーバのバイアス電流の一部が VDL に漏れ出しまい、その結果ドライバやレシーバのバイアスが変動し、正確なバイアスマージンの測定

⁷ 後述するように、リング型テスト回路を用いた測定評価では、ドライバとレシーバの動作周波数を変化させるために VDL バイアスを変化させながらバイアスマージンを測定する。

ができない。この VDL バイアスを変化させたときの漏れ電流の影響を回避するために、言い換えれば VDL とドライバのアイソレーションおよび VDL とレシーバのアイソレーションを向上するために、固定バイアスブロックの挿入は必須である。

図 2-17 のリング型テスト回路を用いた PTL 伝送回路の評価方法を説明する。ここでは説明の便宜上、レシーバの評価方法を説明するが、ドライバの評価も同様の方法で行う。まず、リング型テスト回路のすべてのバイアスをバイアスマージンの中央に設定する。これは、被測定回路である PTL 伝送回路以外の回路が誤動作を発生する確率を無視できるレベルに下げするためである。この状態で DC/SFQ から SFQ パルスを入力する。すると SFQ パルスはリング型テスト回路を周回する。リング型テスト回路の構成要素のいずれかが誤動作を起こさない限り、SFQ パルスは周回を続ける。SFQ パルスが周回している状態で、モニター電圧 V を測定する。SFQ パルスの周回周波数 f は、(2-24)式で計算する。 f は PTL 伝送回路の動作周波数 f に等しい。また f は PTL 伝送回路のスループット T に等しい。レシーバのバイアスマージンはこのモニター電圧 V を保持できるようなレシーババイアスの範囲として定義できる。したがって、モニター電圧 V を測定しながらレシーバのバイアスを変化させ、室温からパルスを入力した直後の V を維持できるレシーババイアスの範囲を測定することによってレシーバのバイアスマージンを測定する⁸。レシーバが誤動作を発生すると周回している SFQ パルスの個数に増減が生じる。その結果、モニター電圧 V に飛びが生じる。レシーバの誤動作の発生確率が十分低ければ、誤動作が短時間に 2 回以上発生する確率は無視できるため、一旦飛びを生じたモニター電圧 V はその値を維持するので、低速のデジタルマルチメータで誤動作を検出することができる。PTL 伝送回路の動作周波数 f は、VDL のバイアスを変えることにより変化させる。この方法による周波数可変範囲は比較的狭いが、周回させる SFQ パルスの個数 N をも変えることにより、さらに広い周波数範囲でのバイアスマージンの測定が可能である。このようにしてレシーバのバイアスマージンを、共振周波数を含む広い動作周波数領域で測定する。上記と同様の方法で、ドライバのバイアスマージンや、ドライバとレシーバの共通バイアスのマージンの周波数特性を測定できる。

2-4: PTL 伝送回路のバイアスマージンの周波数特性の測定評価と解析

最適化した図 2-14 の PTL 伝送回路を評価するために、図 2-17 のリング型テスト回路を設計し、NEC の Nb 標準プロセス[31]で試作した。試作したリング型テスト回路の顕微鏡写真を図 2-18 に

⁸ モニター電圧 V は揺らぎを持っている。また、レシーバやドライバのバイアスを変化させると V は変化する。しかし 2-4 節で述べるように、 V のこれらの揺らぎや変化よりも、周回する SFQ パルスの個数 N が変化したときの V の飛びが十分大きくなるようにリング型テスト回路を設計することにより、周回する SFQ パルスの増減、つまり PTL 伝送回路の誤動作を明確に検出できる。

示す。モニター電圧 V を計測する接合の直近には 50Ω 抵抗を接続し、 V をモニターするラインの特性インピーダンスは 50Ω とした。これは、モニターラインが接続されているパッド等で発生する反射の接合への影響を低減するために、接合の直近で整合終端させたものである。図 2-19 に示したように、評価チップをセラミックパッケージにワイヤボンディングで実装し、そのセラミックパッケージを図 2-20 の測定治具に実装し、測定治具を液体ヘリウムに浸してチップを 4.2K に冷却し、測定評価を行った。まず PTL の伝搬遅延時間の測定を行った。測定方法は基本的に Suzuki らが行った方法[46]と同じである。リング型テスト回路に設計バイアス (2.5mV) を供給した状態で、SFQ パルスを 1 個周回させ、モニター電圧 V を測定した。この測定を 500 回行い、測定された 500 のモニター電圧 V の平均値 $\langle V \rangle$ を計算した。得られたモニター電圧の平均値 $\langle V \rangle$ から、(2-24) 式を用いて周回周波数 f を計算し、SFQ パルスがリング型テスト回路を 1 周するのに要する時間、すなわち周回遅延時間 ($=1/f$) を計算した。この一連の測定を、PTL の長さが 1mm 、 2mm 、 3mm 、 4mm の 4 種のリングテスト回路について行った。図 2-21 にこのようにして得られた周回遅延時間の PTL 長さ依存性を示す。この測定から、PTL の単位長さあたりの遅延時間は約 8.6ps/mm と評価された。この値は NEC の Nb 標準プロセスで測定された Suzuki らの実験結果 (8.4psec/mm) [46] とよく一致する。

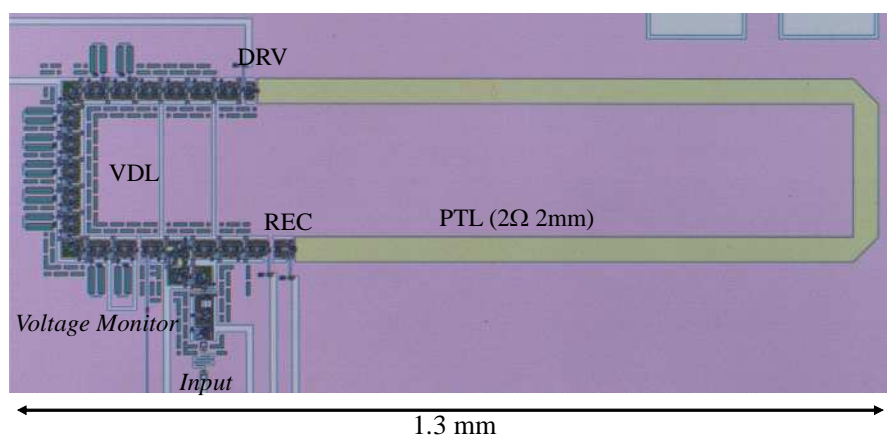


図 2-18. 試作したリング型テスト回路の顕微鏡写真。

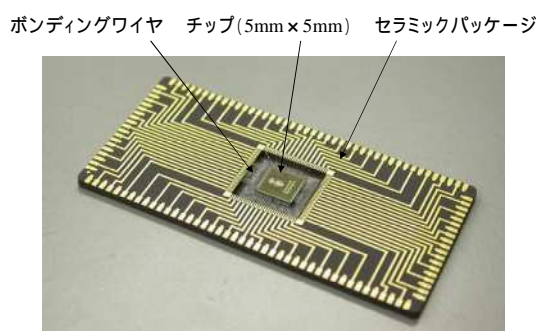


図 2-19. セラミックパッケージに実装された評価チップ。

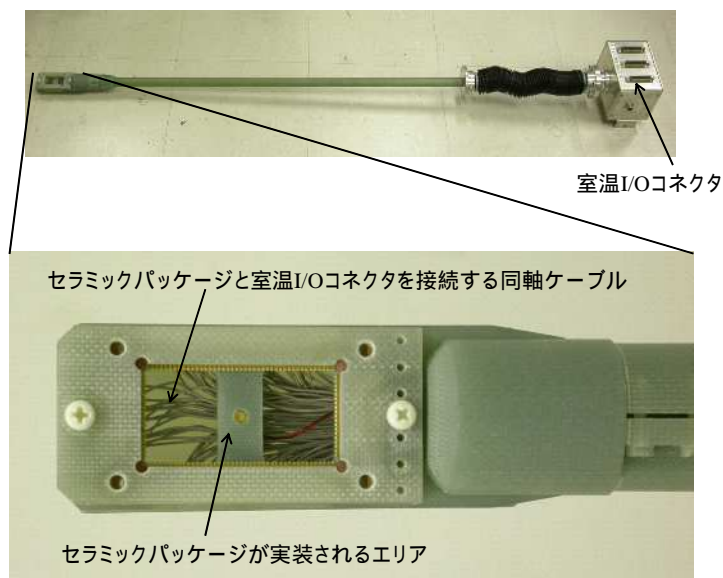


図 2-20. 測定治具。

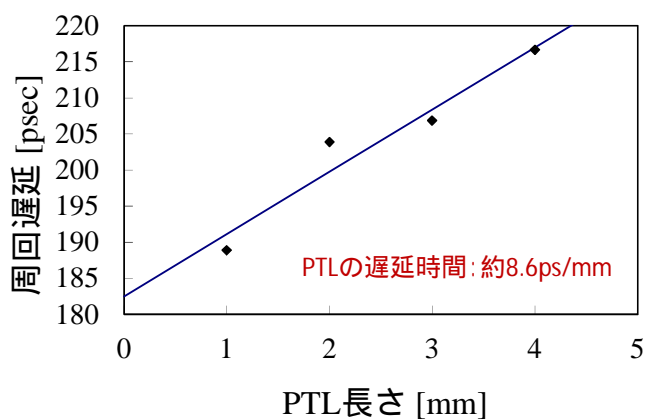


図 2-21. PTL の遅延時間の測定結果。

次に、リング型テスト回路を用いて、PTL 伝送回路のバイアスマージンの動作周波数依存性を測定した。測定の具体的な手順は以下のとおりである。

まず、 V の測定を行う。リング型テスト回路に、DC/SFQ から 1 個のパルスを入力し、その直後にモニター電圧 V を測定する。この測定を M 回行う。測定器やバイアスが時間的に揺らいでいるため、この測定の結果得られる M 個のモニター電圧 V はある平均値と標準偏差を有する分布になる。この分布の平均値を V の測定結果とする。PTL 伝送回路のバイアスマージンの動作周波数依存性を測定するときに VDL をいくつかの値(例えば設計値の-20%、-10%、 $\pm 0\%$ 、+10%、+20%)に変化させて測定するため、 V は、それぞれの VDL の値の場合について測定しておく。

次に、測定で得られた V を用いて、PTL 伝送回路のバイアスマージンの周波数依存性を測定する。測定は以下の手順で行う。以下では例としてレシーバの下側バイアスマージンの測定を説

明するが、レシーバの上側マージン、ドライバのバイアスマージンも同様の手順で測定できる。

- (1) リング型テスト回路のすべての構成要素のバイアスをバイアスマージンの中央に設定し、SFQ パルスを N 個入力してリングを周回させ、そのときのモニター電圧 V を測定する。これを V_{old} とする。
- (2) この状態からレシーバのバイアス電流を I だけ減少させ、その直後にモニター電圧 V を測定する。このとき、

$$|V - V_{old}| > \frac{\Delta V}{2} \quad (2-27)$$

であれば、周回していた SFQ パルスの消失あるいは新たな SFQ パルスの生成、すなわちレシーバの誤動作が発生したと判断し、そのときのレシーババイアス電流値に I を加算した値をレシーバの下側バイアスマージンとして記録する。一方、SFQ パルスの消失や生成が観測されない場合は V を新たな V_{old} として(2)の手続きを繰り返す。

- (3) (1)～(2)の測定を複数回繰り返すことにより、レシーバの下側バイアスマージンの分布を得る。この分布の平均値をレシーバの下側バイアスマージンの測定結果とする。
- (4) (1)～(3)の測定を、VDL バイアスを変えて行う。その際、(2-27)式の V は、事前の測定で得られた各 VDL バイアスに対応する V の値を用いる。
- (5) (1)～(4)の測定を、リング型テスト回路を周回する SFQ パルスの個数 N を変えて行う。

以上の測定により、レシーバの下側バイアスマージンの周波数特性を得る。同様にして、レシーバの上側バイアスマージン、ドライバの上下のバイアスマージン、あるいはレシーバとドライバの共通バイアスの上下のマージンなどの周波数特性を測定できる。

上述の測定方法にしたがって PTL 伝送回路の測定評価を行った。測定を行った PTL 伝送回路は PTL の長さが 2mm のものである。まず ΔV の測定を行った。室温から 1 個のパルスを入力し、その直後にモニター電圧 V を測定する、という測定を 500 回行った。PTL 伝送回路のバイアスマージンの周波数特性を測定する際に VDL を設計値の -24% ~ +14% にわたる 12 個の値に変化させるため、 ΔV もこれらの 12 個の VDL バイアスの場合について測定した。その結果、VDL バイアスが設計値の -24% ~ +14% の間では、 ΔV の平均値は 9.41 μ V ~ 12.25 μ V であり、これに対し、 ΔV の標準偏差は最大でも 0.73 μ V と ΔV の平均値の 1/10 以下であった。したがって、バイアスマージンの測定において、リング型テスト回路を周回する SFQ パルスの個数 N の変化によって発生するモニター電圧 V の変化は明確に検出することができる。

次に、PTL 伝送回路のバイアスマージンの動作周波数依存性を、上述した手順に従って測定した。測定は長い時間を要するため、LabVIEW [62] で作成した自動測定プログラムを用いて行った。上述した測定手順における I は設計バイアスに対して 0.3% と設定した。図 2-22 に、VDL バイア

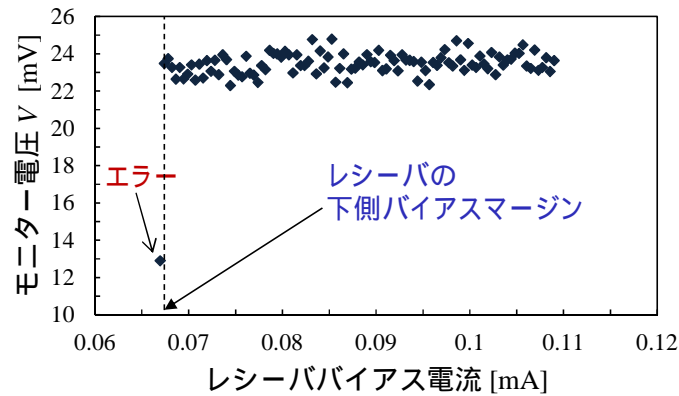


図 2-22. バイアスマージンの測定評価で得られたモニター電圧 V のレーザーバイアス依存性の一例。

スが設計値のときに、2 個の SFQ パルスを周回させた場合にレーザーバイアスを I (設計バイアスに対して 0.3%) ずつ下げながら測定したモニター電圧 V の測定結果 (上記(2)の測定) を示す。レーザーバイアスを下げていくとレーザーの動作周波数が低下するためモニター電圧 V が若干低下する。しかしこの低下の大きさは V (VDL が設計バイアスの時は $11.4\mu\text{V}$) に比べると非常に小さく、周回している SFQ パルス数が保持されていることが分かる。そしてあるところまでレーザーバイアスを下げた時に、モニター電圧 V が大きく低下している。その時のモニター電圧 V の低下はおおよそ $10\mu\text{V}$ であり、VDL バイアスが設計値の時 V ($11.4\mu\text{V}$) と同程度である。このことから、このモニター電圧 V の急激な低下は、周回していた SFQ パルスが 1 個消失したことを示している。レーザーの下側バイアスマージンは V が急激な低下を示す直前のバイアス値である。この測定を、SFQ パルスの個数 N と VDL バイアスを変えることにより、広い動作周波数で行った (上記(3)、(4)の測定)。図 2-23 に測定結果を示す。25 ~ 26GHz で共振によりバイアスマージンが減少している。しかし、共振周波数を含む 40GHz までの周波数領域で $\pm 23.4\%$ の広いバイアスマージンが得られた。PTL 伝送回路の共振周波数 f_{res} は、PTL の往復の伝播遅延時間とドライバ接合での遅延時間とレーザー接合での遅延時間との和の逆数である。また、PTL の単位長さあたりの伝播遅延時間は図 2-21 の測定から約 8.6psec/mm である。したがって、PTL の長さを l [mm]、ドライバ接合での遅延時間とレーザー接合での遅延時間の和を τ_J [psec] すると、PTL の共振周波数 f_{res} [GHz] は以下のように表すことができる。

$$f_{res} \approx \frac{1000}{8.6l + \tau_J} \text{ [GHz]} \quad (2-28)$$

図 2-23 の測定結果から、PTL の長さ l が 2mm の PTL 伝送回路では共振周波数はおおよそ 25 ~ 26GHz である。(2-28)式で $l=2$ [mm]、 $\tau_J=5$ [psec] とすると f_{res} は 25.4GHz となり、実験結果とよく合う。つまり、本研究で設計、試作した図 2-14 の PTL 伝送回路の共振周波数 f_{res} は、(2-28)式で $\tau_J=5$ [psec]

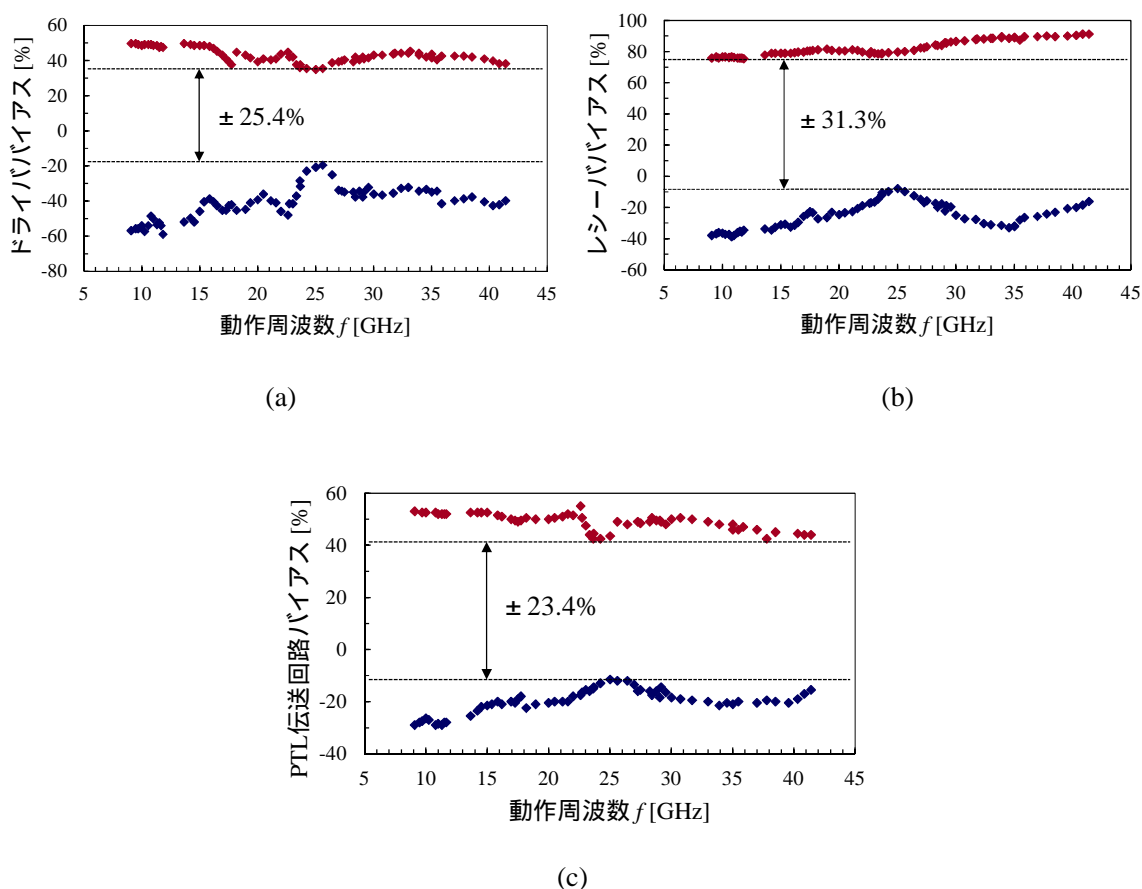


図 2-23. (a)ドライババイアス、(b)レシーババイアス、および、(c) ドライバとレシーバの共通バイアスの、マージンの周波数特性の測定結果。

とにおいて計算することにより見積もることができることが明らかになった。この結果は本研究の次節以降の実験で様々な PTL 伝送回路の共振周波数を見積もるために用いる。

以上のように、本研究で開発した図 2-17 のリング型テスト回路とその評価方法を用いることにより、PTL 伝送回路の共振によるバイアスマージンの減少の測定評価を初めて実現した。また、本研究で開発した PTL 伝送回路(図 2-14)は、共振によるバイアスマージンの減少はあるが、PTL の長さが 2mm の場合に、共振周波数を含む 10GHz ~ 40GHz の動作周波数範囲で $\pm 23.4\%$ と十分広いバイアスマージンを有することが示された。

2-5: PTL 間のクロストークの PTL 伝送回路への影響

SFQ 回路の配線に用いられる PTL には、配線の下側または上側にのみ GND プレーンが設けられているマイクロストリップライン (Microstrip Line; MSL) と、配線の上下両側に GND プレーン

が設けられているストリップライン (Strip Line; SL) とがある (図 2-2)。このうち MSL は SL に比べて必要な配線層数が少ないため、配線層数の比較的少ないプロセスで作製する SFQ 回路の配線として用いられる。SFQ 集積回路内に多数の MSL 配線を用いた場合、MSL 同士が交差する箇所が発生する。図 2-24 に交差した MSL を示す。大規模な SFQ 論理集積回路になるほど、図 2-24 のような MSL の交差部が多数発生すると考えられる。MSL は片側にしか GND プレーンを設けないため、MSL の交差部では MSL 間に寄生キャパシタンス C_p が存在する。NEC の Nb 標準プロセスで図 2-24 の交差する MSL を作製した場合、下側の MSL は BAS 層、上側の MSL は COU 層で作製することになる。BAS 層と COU 層の間の SiO_2 層間絶縁膜 ($\epsilon_r \sim 4$) の厚さは 400nm なので、交差部の寄生キャパシタンス C_p は MSL の線幅が $34\mu\text{m}$ の場合でも 0.1pF のオーダーであり非常に小さいが、SFQ パルスの立ち上がり時間が数 psec と非常に速いため、2-5-1 節で示すようにドライバやレシーバの I_C に比べて無視できない大きさのクロストーク電流を発生し、ドライバやレシーバの動作に影響を与える可能性がある。具体的な例として、交差する MSL のうち上側の MSL に SFQ パルスが伝送されると、交差部の寄生キャパシタンス C_p を介して下側の MSL にクロストークノイズが流れる。このクロストークノイズが下側 MSL の両端に接続されているドライバとレシーバのバイアスを変動させ、動作に影響を与えることが予想される (図 2-24 の)。また、上側 MSL に SFQ パルスを伝送したときに MSL 交差部の C_p を通して信号の一部を損失するため、この SFQ パルスを受信するレシーバの下側バイアスマージンが減少する可能性もある (図 2-24 の)。さらに交差部のインピーダンス不整合での反射により、上側 MSL に接続されているドライバの上側バイアスマージンが減少する可能性も考えられる (図 2-24 の)。PTL を SFQ 集積回路に導入するには、これらの MSL 交差部におけるクロストークの PTL 伝送回路への影響を明らかにし、その対策を検討することが必要不可欠である。そこで本節では、交差する超伝導 MSL 間

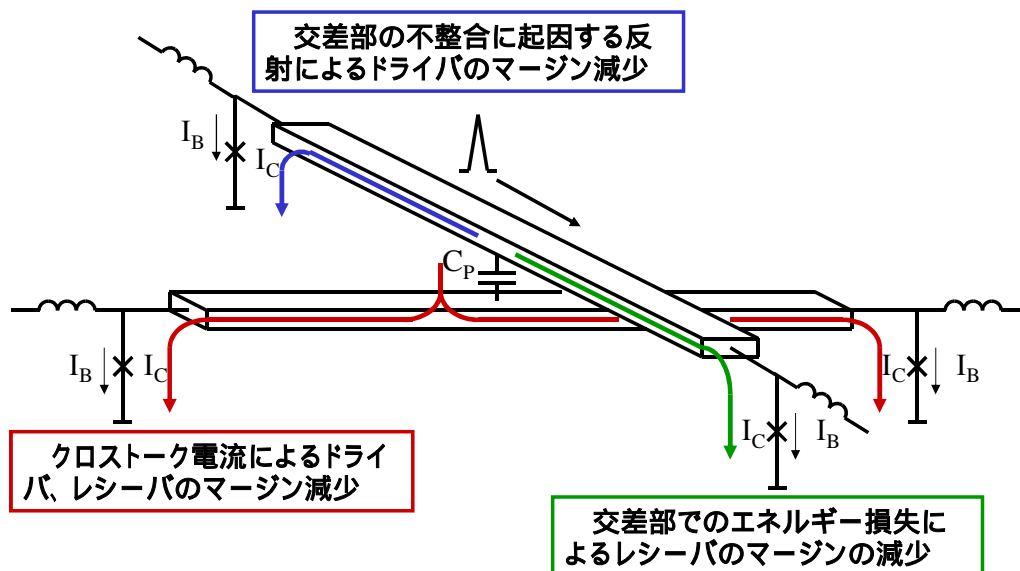


図 2-24. 交差するマイクロストリップライン間のクロストークの影響。

のクロストークがMSLに接続されているドライバ、レシーバに与える影響について、実験によって評価を行い、さらにシミュレーションも用いてそのメカニズムを明らかにする。

MSL間のクロストークがドライバとレシーバに与える影響については、Dimovらが理論的研究を行っている[63]。Dimovらは、交差するMSL間の寄生キャパシタンスを有限差分時間領域（Finite-Difference Time-Domain; FDTD）法を用いて計算し、寄生キャパシタンスを介して流れるクロストークノイズが、ドライバとレシーバの上側バイアスマージンを減少させることを理論的に予測した[63]。これに対し本研究では、2-2節で設計したPTL伝送回路（図2-14）のレシーバについて、上側バイアスマージンだけでなく下側バイアスマージンについても実験的に評価し、解析を行った[64]。

2-5-1: クロストーク評価回路の設計

交差するMSL間のクロストークノイズがPTL伝送回路に与える影響を評価するための評価回路を設計した。図2-25に設計した評価回路の構成図と、NECのNb標準プロセス[31]で試作した評価回路の顕微鏡写真を示す。 J_C は $2.5\text{kA}/\text{cm}^2$ である。図2-25に示すように、この評価回路は2つのリング型回路で構成される。MSLの交差部において上側に位置するMSLを上側MSLと呼び、上側MSLを有するリング型回路を上側リング回路と呼ぶ。また、MSLの交差部において下側に

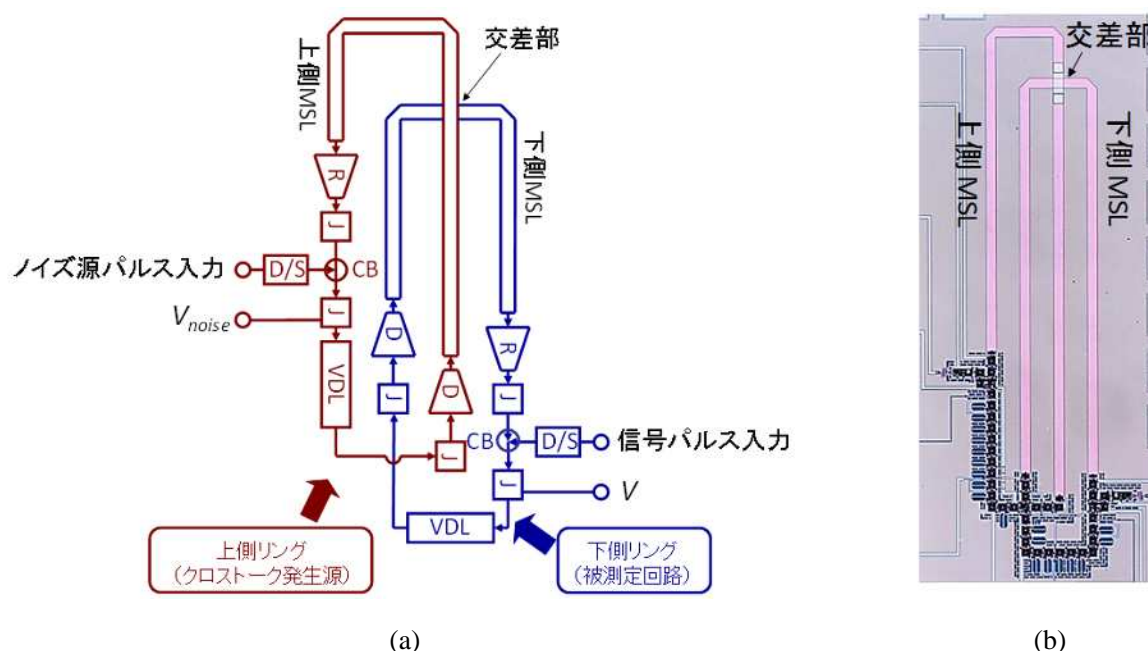


図2-25. クロストーク評価用のリング型テスト回路の(a)構成図と(b)顕微鏡写真。D、R、J、VDL、D/S、CBはそれぞれ、ドライバ、レシーバ、固定バイアスJTL、可変遅延線、DC/SFQコンバータ、コンフルエンス・バッファを示す。

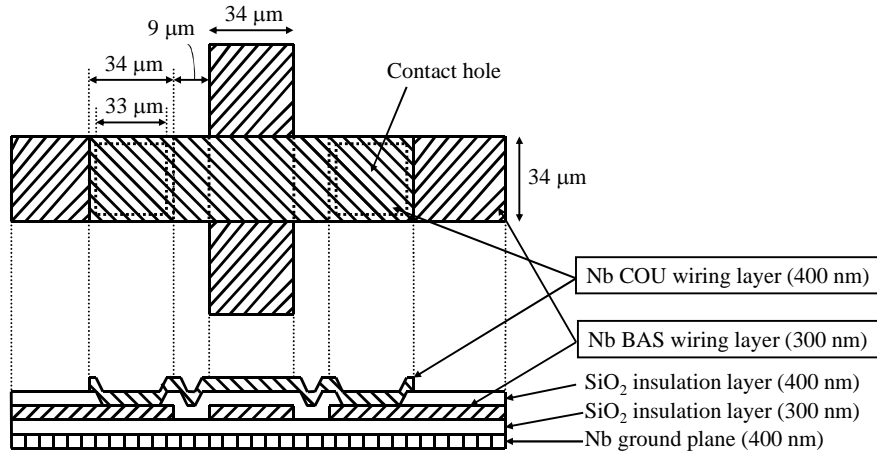


図 2-26. MSL の交差部の断面概略図。() 内の数字は厚さである。コンタクトホールは $33\mu\text{m} \times 33\mu\text{m}$ である。

位置する MSL を下側 MSL と呼び、下側 MSL を有するリング型回路を下側リング回路と呼ぶ。それぞれのリング回路は基本的に同じ構成であり、特性インピーダンス 2Ω 、長さ 3mm の MSL、ドライバ、レシーバ、VDL、固定バイアスブロック、DC/SFQ から構成される。固定バイアスブロックは、JTL と CB から構成される。MSL は BAS 層で作製されており、線幅は $34\mu\text{m}$ である。図 2-26 に、MSL の交差部の断面概略図を示す。MSL の交差部では、上側 MSL は COU 層、下側 MSL は BAS 層で作製されており、上側 MSL と下側 MSL は厚さ 400nm の SiO_2 で絶縁されている。 SiO_2 の比誘電率 ϵ_r を 4 とすると、交差部での上側 MSL と下側 MSL の間の寄生キャパシタンス C_p は平行平板近似で約 0.1pF と見積もられる。ここでクロストーク電流 $I_{\text{crosstalk}}$ のオーダーを見積もる。図 2-25 の上側 MSL にノイズ源となる SFQ パルスが伝搬すると、この SFQ パルスが MSL 交差部に達したときに寄生キャパシタンス C_p を介して下側 MSL にクロストーク電流 $I_{\text{crosstalk}}$ が流れる。SFQ パルスの電圧を V_{noise} とすると、クロストーク電流 $I_{\text{crosstalk}}$ は、

$$I_{\text{crosstalk}} = C_p \frac{dV_{\text{noise}}}{dt} \quad (2-29)$$

である。クロストーク電流のオーダーを見積もるために、ここでは図 2-27 のように SFQ パルスを半値幅 τ の二等辺三角形で近似する。SFQ パルス電圧 V_{noise} の時間積分は Φ_0 なので、この近似のもとでは V_{noise} のピーク値は Φ_0/τ となる。したがって $I_{\text{crosstalk}}$ は、

$$I_{\text{crosstalk}} = C_p \frac{dV_{\text{noise}}}{dt} = C_p \frac{\Phi_0}{\tau^2} \quad [\text{mA}] \quad (2-30)$$

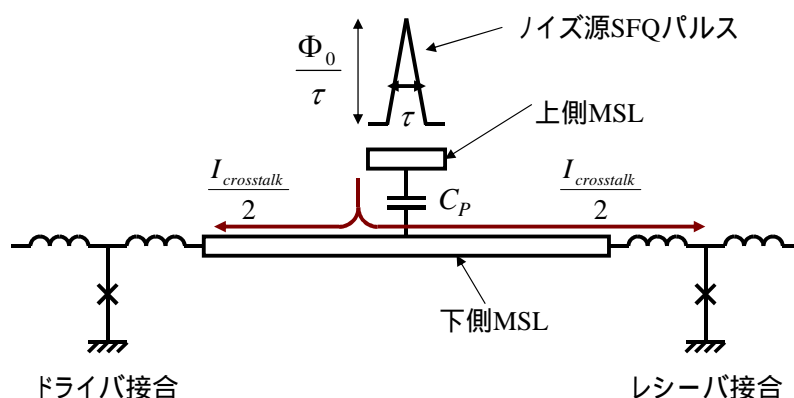


図 2-27. MSL の交差部におけるクロストーク電流の見積り。

である。 $J_C=2.5\text{kA/cm}^2$ では τ はおよそ 2psec であるので、(2-30)式から、 $I_{\text{crosstalk}}$ はおよそ 0.052mA と見積もられる。 C_P を介して流れる $I_{\text{crosstalk}}$ は下側 MSL で 2 つに分流してドライバ端とレシーバ端に伝搬する。したがって、下側 MSL のドライバ端、レシーバ端にそれぞれおよそ 0.026mA のクロストーク電流が伝搬する。この 0.026mA という電流値は、レシーバの I_C (0.14mA) の約 18% であり、ドライバの I_C (0.25mA) に対しては約 10% であり、無視できない大きさである。レシーバはドライバよりも I_C が低いため、特に強くクロストーク電流の影響を受ける。

図 2-25 の評価回路では、下側リング回路のドライバとレシーバが被測定回路である。上側リング回路は、下側リング回路に対してクロストークノイズを印加するために用いる。そのため以下では、上側リング回路を周回する SFQ パルスをノイズ源 SFQ パルスと呼ぶ。上側リング回路を周回するノイズ源 SFQ パルスが MSL 交差部を通過するたびに、寄生キャパシタンス C_P を介して下側 MSL にクロストークノイズが印加される。そのクロストークノイズは下側リング回路のドライバ、レシーバの動作に影響を与える。本研究では、クロストークの影響が特に強いレシーバについて、クロストークの影響を明らかにする。具体的には、ノイズ源 SFQ パルスが周回していない場合と、ノイズ源 SFQ パルスが周回している場合の 2 つの場合について、下側リング回路のレシーバのバイアスマージンを測定し、上記 2 つの場合について得られたバイアスマージンを比較することにより、クロストークノイズによるレシーバのバイアスマージンの減少分を測定評価する。

2-5-2: 測定評価

レシーバのバイアスマージンの測定方法は 2-3 節～2-4 節で述べたとおりである。最初に、図 2-25 の評価回路のすべての構成要素のバイアス電流をバイアスマージンの中央に設定し、下側リング回路の DC/SFQ から SFQ パルスを入力し、下側リング回路に SFQ パルスを周回させる。この状態で、下側リング回路のレシーバのバイアス電流を段階的に変化させる。バイアスを変化させた直後に毎回、固定バイアスブロックの中の接合の平均電圧(以下ではこれをモニター電圧 V と呼ぶ)

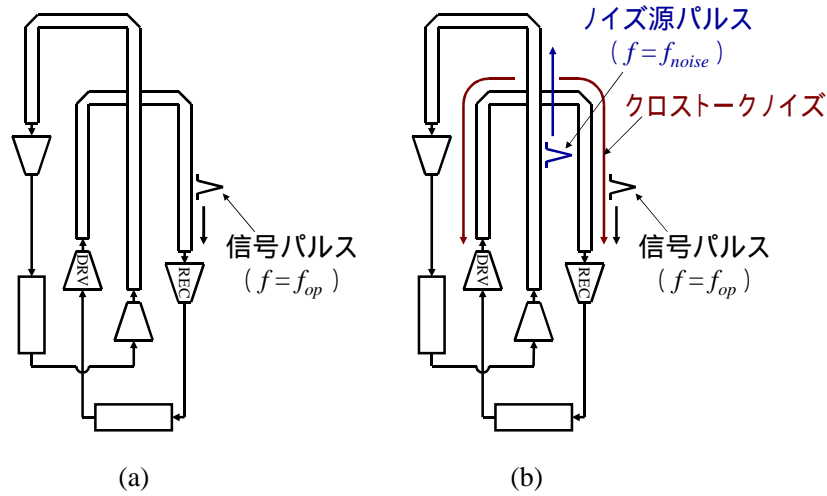


図 2-28. クロストークの PTL 伝送回路への影響の評価方法。クロストークノイズを(a)印加しない場合と(b)印加した場合。

を計測する。バイアスマージンは、レシーババイアスが初期値のときに周回させた SFQ パルスの個数 N が保持されるバイアス範囲と定義される。実際の実験ではこの測定を 10 回行い、得られた 10 個のバイアスマージンを平均することにより、レシーバのバイアスマージンを得た。測定された 10 個のバイアス値の標準偏差は 1% 以内であった。レシーバの動作周波数 f_{op} は、下側リング回路に周回させる SFQ パルスの個数 N と、下側リング回路の VDL のバイアスを変化させることによって変化した。

最初に、上側リング回路にノイズ源 SFQ パルスが周回していない場合、すなわち、下側 MSL にクロストークノイズが印加されていない場合 (図 2-28 (a)) について、下側リング回路のレシーバの下側バイアスマージン $M0_L$ と上側バイアスマージン $M0_U$ を、 $f_{op}=10\text{GHz}$ 、 20GHz 、 30GHz の場合について測定した。次に、上側リング回路にノイズ源 SFQ パルスが周回している場合、すなわち、下側 MSL にクロストークノイズが印加されている場合 (図 2-28 (b)) について、下側リング回路のレシーバの下側バイアスマージン $M1_L$ と上側バイアスマージン $M1_U$ の、ノイズ源 SFQ パルスの周回周波数 f_{noise} に対する依存性を、 $f_{op}=10\text{GHz}$ 、 20GHz 、 30GHz の場合について測定した。これら 2 つの測定結果から、クロストークノイズがある場合とない場合の差、つまり、クロストークノイズによる下側バイアスマージンの減少分 M_L と上側バイアスマージンの減少分 M_U を計算した。ここで、

$$\Delta M_L \equiv |M0_L - M1_L| \quad (2-31)$$

$$\Delta M_U \equiv |M_{0U} - M_{1U}| \quad (2-32)$$

である⁹。ノイズ源 SFQ パルスの伝送レート f_{noise} は、上側リング回路の VDL バイアスと上側リング回路に周回するノイズ源 SFQ パルスの個数を変化させることにより変化させた。 ΔM_L および ΔM_U の対する依存性を測定した。

図 2-29 (a)に、 $f_{op}=10\text{GHz}$ に固定し、 f_{noise} を $5\text{GHz} \sim 30\text{GHz}$ まで変化させた場合の M_{1L} と M_{1U} の f_{noise} に対する依存性を測定した結果を示す。図 2-29 (b)は、図 2-29 (a)の上側バイアスマージン付近と下側バイアスマージン付近を拡大したものである。図 2-29 (b)で、点線で示したのは $f_{noise}=0$ のとき、つまりクロストークノイズが印加されていないときのバイアスマージン M_{0L} 、 M_{0U} である。図から分かるように、 M_{1L} は M_{0L} より狭く、 M_{1U} も M_{0U} より狭くなっており、クロストークの影響でバイアスマージンが減少することが確認された。この測定を、 $f_{op}=10\text{GHz}$ 、 20GHz 、 30GHz の 3 通りの場合について行った。これらの一連の測定から得られた M_L 、 M_U の f_{noise} に対する依存性を図 2-30 に示す。図から分かるように、上側バイアスマージンと下側バイアスマージンとで大きな違いが見られた。測定から明らかになった結果は以下の通りである。

- (i) クロストークノイズは、レシーバの上側バイアスマージンよりも下側バイアスマージンを大きく減少させた。
- (ii) f_{noise} が約 18GHz と約 27GHz のとき、 ΔM_L は極大値をとった。 18GHz は下側 MSL の共振周波数 f_{res} とほぼ一致する（(2-28)式で $\tau_j=5\text{psec}$ とおいた式から見積もられる下側 MSL の共振周波数は約 18GHz である）。また、 27GHz は f_{res} の $3/2$ 倍にほぼ一致する。
- (iii) ΔM_L と ΔM_U は、下側 PTL 伝送回路の動作周波数 f_{op} にはほとんど依存しない。

上記の測定結果のうち(ii)は、共振によってクロストークノイズが増幅された結果だと考えられる。図 2-31 に、共振によってクロストークノイズが増幅されるメカニズムを示す。寄生キャパシタンス C_p を介して下側 MSL に印加されたクロストークノイズは、下側 MSL の両端に向かって伝播する（図 2-31 (a)）。下側 MSL の端部に達したクロストークノイズは、反射され、反対側の MSL 端部に向かって伝播する。このようにして、クロストークノイズは下側 MSL の両端で多重反射されて往復する。この多重反射の周波数は、下側 MSL の共振周波数 f_{res} に等しい。したがって、 f_{noise} が f_{res} と一致する場合、下側 MSL 上を多重反射しているクロストークノイズが MSL 交差部に達するたびに、上側 MSL を周回するノイズ源 SFQ パルスも MSL 交差部に達して、寄生キャパシタンス C_p を介して新たなクロストークノイズを下側 MSL に印加する（図 2-31 (b)）。つまり新たなクロストークノイズがすでに存在するクロストークノイズに重畳され、その結果下側 MSL を伝播す

⁹ 本節では、バイアスは設計バイアスに対するパーセンテージで表示する。つまり、設計バイアスを0%とし、設計バイアスに比べて10%低いバイアスは-10%、設計バイアスより10%高いバイアスは+10%など并表示する。

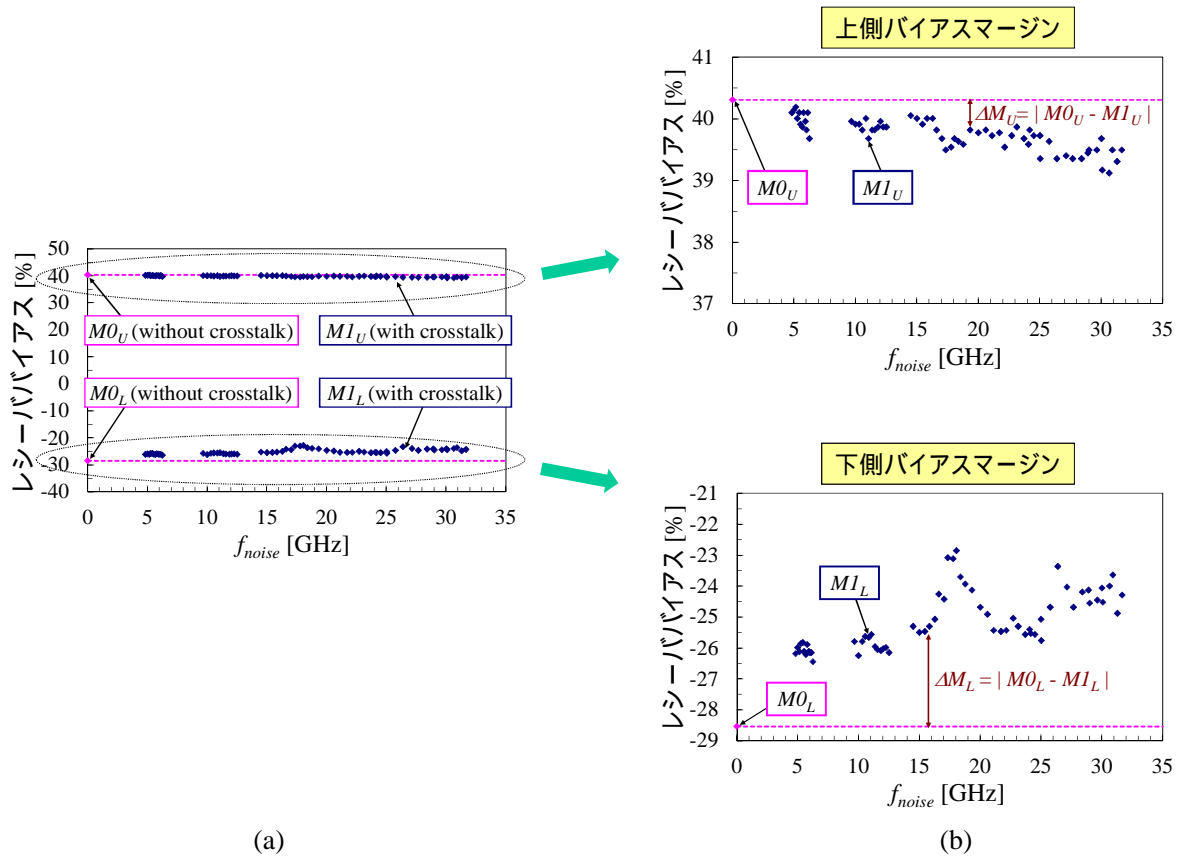


図 2-29. (a) $f_{op}=10\text{GHz}$ の場合に測定された ΔM_L と ΔM_U 、および、(b) その拡大図。

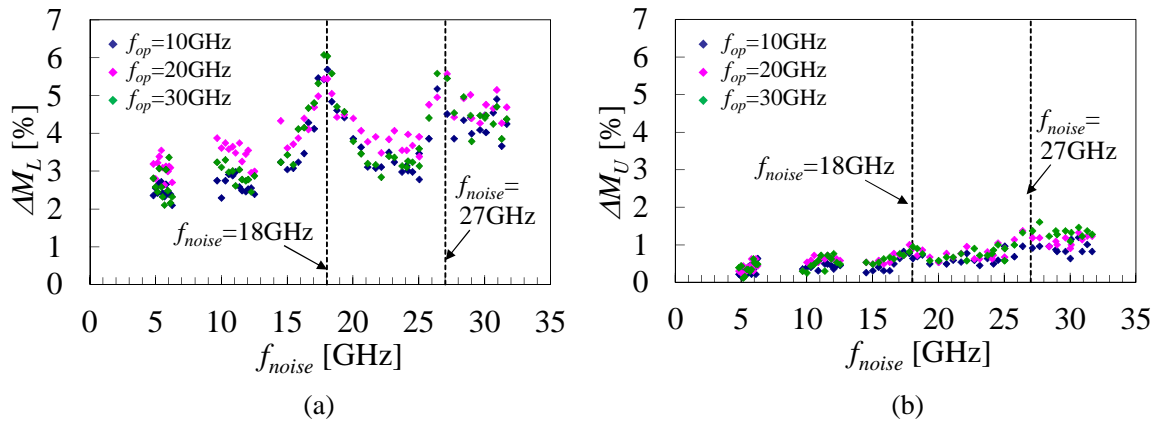


図 2-30. $f_{op}=10, 20, 30\text{GHz}$ の場合に測定された(a) ΔM_L の f_{noise} 依存性と(b) ΔM_U の f_{noise} 依存性。

るクロストークノイズは増幅される。これが共振によるクロストークの増幅である。図 2-31 では $f_{noise} \sim f_{res}$ の場合を示したが、 f_{noise} が f_{res} の 1/2 の整数倍の場合にも同様の増幅が起こる。そのため、下側 MSL の共振周波数の 1.5 倍である 27GHz でもクロストークによる ΔM の極大が起こった。

次に、ノイズ源 SFQ パルスの周回周波数 f_{noise} が f_{res} に等しい場合について、つまり共振により

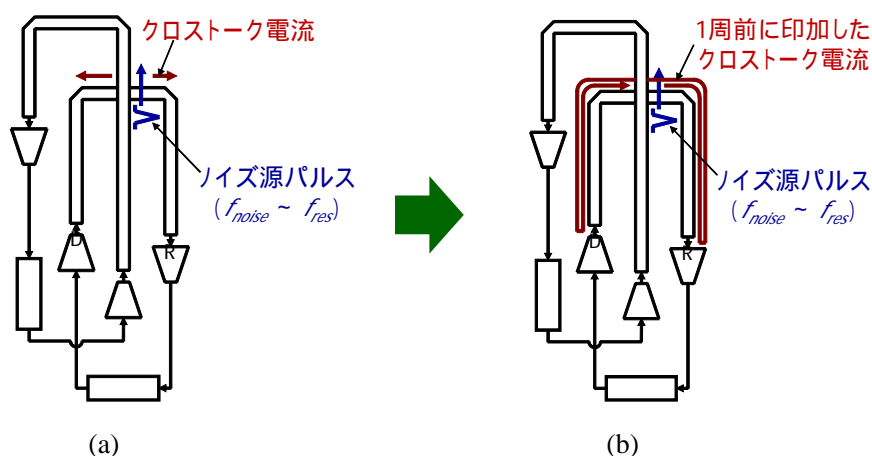


図 2-31. 共振によるクロストークノイズの増幅の説明図。

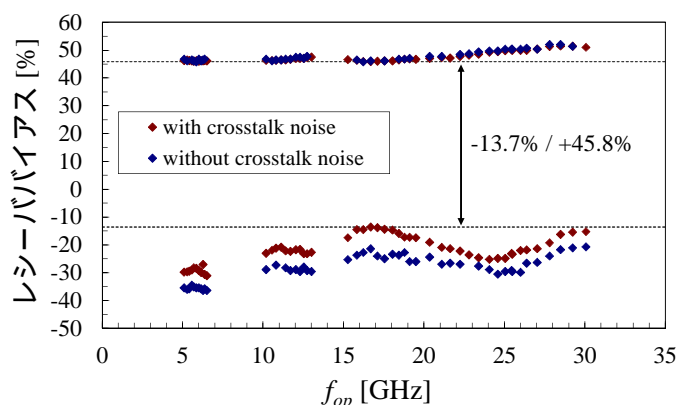


図 2-32. 測定された下側リングのレーザのバイアスマージンの動作周波数依存性。

クロストークノイズが最も大きな影響を与える場合について、下側リングのレーザのバイアスマージン (MI_L と MI_U) の動作周波数 f_{op} に対する依存性を、動作周波数 f_{op} が 5GHz ~ 30GHz の範囲で測定した。測定結果を図 2-32 に示す。図 2-32 には、クロストークノイズが存在しない場合のバイアスマージン (MO_L と MO_U) の f_{op} に対する依存性も合わせて示した。レーザの上側バイアスマージンはクロストークノイズによりほとんど減少せず、下側バイアスマージンは f_{op} が 5GHz から 30GHz にわたって、クロストークノイズにより約 5 ~ 8% 減少した。レーザのバイアスマージンは、クロストークノイズが共振によって増幅されている状況下でも、 f_{op} が 5GHz から 30GHz の範囲で設計バイアスの -13.7% ~ +45.8% と広い。以上の測定結果から、MSL 交差部が存在する場合はレーザの下側バイアスマージンが減少することを考慮して SFQ 論理集積回路を設計する必要があるが、MSL 交差部が 1 箇所だけの場合、クロストークは回路が全く動作しないほどの深刻な問題にはならないことが示された。

2-5-3: 解析

測定の結果、クロストークノイズはレシーバの上側バイアスマージンよりも下側バイアスマージンを大きく減少させることが示された(2-5-2 節の測定結果(i))。この実験結果のメカニズムを明らかにするためにシミュレーションを行った。図 2-33 に、シミュレーションした回路の等価回路図を示す。MSL は 2-2 節と同様に、 Γ 型の LC 回路の繰り返し回路で近似した。1 段の Γ 型 LC 回路は長さ $40\mu\text{m}$ の MSL を集中定数で近似した。簡単のため、シミュレーションでは、下側 MSL に 1 個の SFQ パルスだけを伝送した場合について、下側 MSL に接続されているレシーバのバイアスマージンを計算した。下側 MSL に接続されているレシーバのバイアスマージンは、(1)上側 MSL にノイズ源 SFQ パルスが伝送されていない場合、および、(2)上側 MSL に 1 個のノイズ源 SFQ パルスが伝送されている場合、の 2 つの場合について計算した。(2)のシミュレーションにおいては、下側レシーバのバイアスマージンが最小になるように、ノイズ源パルスのタイミングを調整した。そのようなタイミングでノイズ源 SFQ パルスが伝送されている場合の、 ΔM_L 、 ΔM_U をシミュレーションで求めた。その結果、レシーバの上側バイアスマージンの減少 ΔM_U は 0% であり、下側バイアスマージンの減少 ΔM_L は 4% であった。

以上のように、シミュレーションでも、実験と同様にクロストークノイズは上側バイアスマージンにはほとんど影響を与えず、下側バイアスマージンを減少させることが確認された。この結果について考察する。クロストークはキャパシタンス C_p を介して流れるので SFQ パルスを微分した形状になる((2-29)式)。したがって SFQ パルスの立ち上がり部分、つまり dV_{noise}/dt が正の部

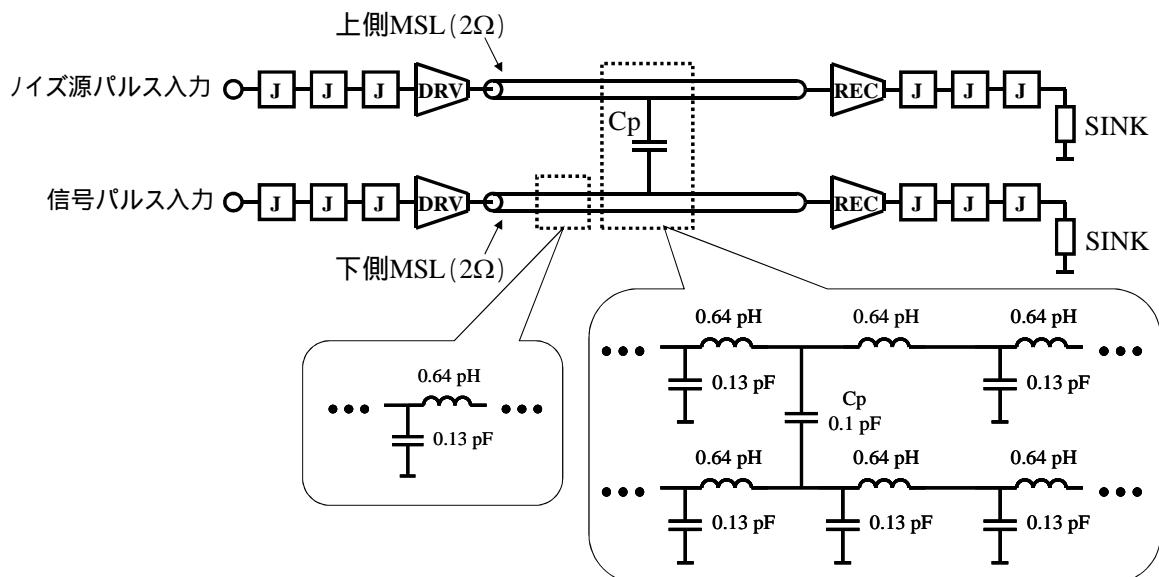


図 2-33. シミュレーションで用いた回路の構成。DRV、REC、J はそれぞれ、ドライバ、レシーバ、JTL を示す。

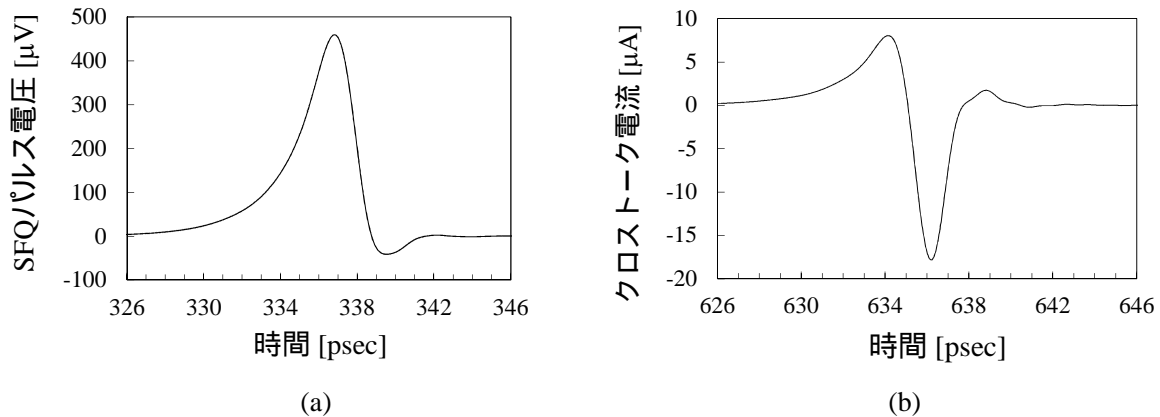


図 2-34. シミュレーション結果。(a) SFQ パルスの波形と(b)下側 MSL に流れるクロストーク電流の波形。

分は、クロストーク電流が正であり、SFQ パルスの立ち下り部分、つまり dV_{noise}/dt が負の部分は、クロストーク電流が負になる。一方、図 2-34 (a)のシミュレーション波形が示すように、SFQ パルスは一般に立ち上がりのほうが立ち下りよりも遅い。ゆえに、クロストーク電流 $I_{crosstalk}$ は、正のピークよりも負のピークのほうが絶対値が大きい。それは図 2-34 (b)に示すようにシミュレーションでも確認された。このことから、クロストーク電流は、下側 MSL のレシーバ接合のバイアス電流を増加させる効果よりも減少させる効果の方が強い。このことが、上側バイアスマージンよりも下側バイアスマージンに影響を与えた原因のひとつだと考えている。さらに、接合をスイッチさせるのに必要なオーバードライブの量は印加するオーバードライブの幅に依存する[65]。これは図 1-5 の Josephson 接合の力学モデルで考えると、オーバードライブはポテンシャルの傾きを強くすることに相当する。オーバードライブがかけられている間、ポテンシャルの傾きは ϕ 空間のどの位置でも負になり、粒子は運動して運動エネルギーを得る。その後オーバードライブが無くなると、ポテンシャルの傾きはもとに戻り、ポテンシャルの山が再び現れる。オーバードライブがかけられている間に粒子が得た運動エネルギーがポテンシャルの山を越えるのに十分であれば粒子は山を越える、つまり接合はスイッチする。しかしオーバードライブが短い場合、粒子が得る運動エネルギーがポテンシャルの山を越えるのには不十分となり、接合はスイッチしない。クロストークノイズの正側のピークは、レシーバ接合をスイッチさせるに十分な幅を有していなかったのだと考えられる。

以上の本研究の実験と解析から得られた結果は、Dimov ら[63]が理論的に予測したことと異なる。Dimov らは、寄生キャパシタンス C_p を介して下側 MSL に流れるクロストーク電流 $I_{crosstalk}$ とドライバ（またはレシーバ）に加えられているバイアス電流 I_B との合計の電流値がドライバ接合（またはレシーバ接合）の I_C を超えると、ドライバ（またはレシーバ）がスイッチするという誤動作が生じると論じており、そのような誤動作を起こさないための最大許容寄生キャパシタンスを計算している[63]。つまり Dimov らはクロストークノイズがドライバとレシーバの上側バイア

スマージンを減少させると述べている。しかし Dimov らの議論は、クロストーク電流 $I_{crosstalk}$ のピーク値が十分長い時間持続する場合（DC 的なクロストーク電流）の近似理論であり、実際の状況を反映していない¹⁰。一方、本研究はクロストークのダイナミックな影響を実験により明らかにしたものである。本研究の実験とシミュレーションは、クロストーク電流がドライバやレシーバの上側バイアスマージンに与える影響は Dimov らが予測したよりも非常に小さいということを明らかにした。

2-5-4: 複数の交差部を有する MSL 間のクロストークの評価

前節までに、1 つの交差部を有する MSL 間のクロストークノイズが PTL 伝送回路に与える影響について述べた。しかし大規模な SFQ 論理集積回路においては、複数の MSL が交差することが予想される。そのため本節では、複数の MSL が交差している場合の、クロストークによる PTL 伝送回路への影響について述べる。

MSL が複数の交差部を有する場合にクロストークが PTL 伝送回路に与える影響を評価するための評価回路を設計し、NEC の Nb 標準プロセスで試作した。図 2-35 に評価回路の構成図とレイ

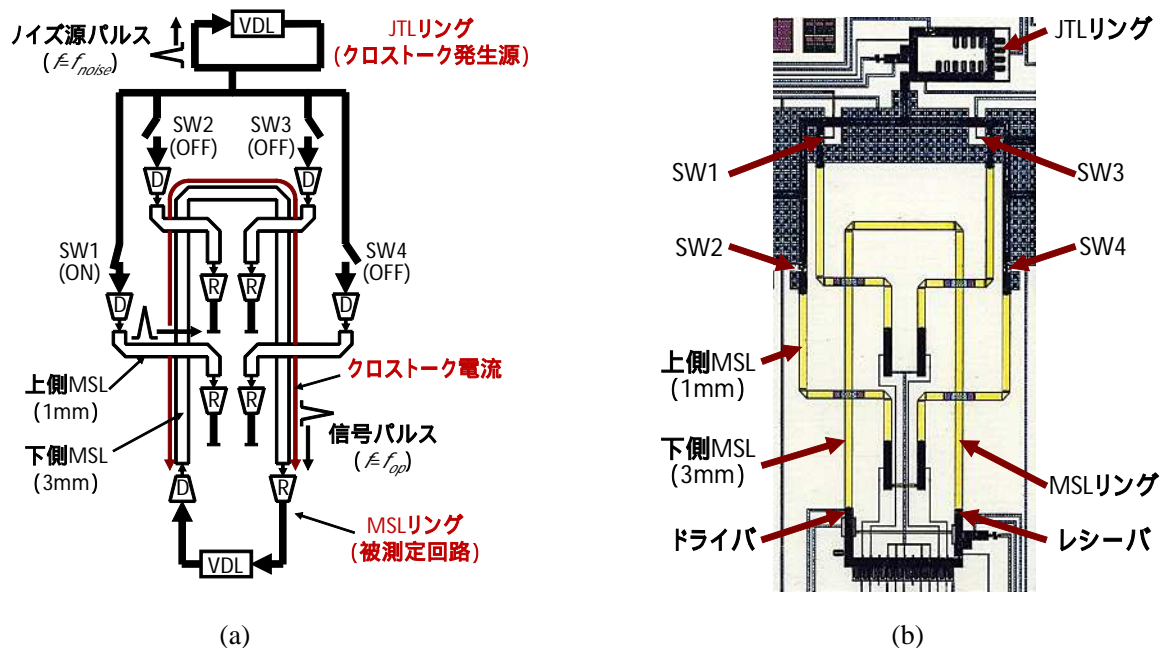


図 2-35. 複数の交差部を有する MSL のクロストークが PTL 伝送回路に与える影響を評価するための評価回路の(a)構成図と(b)レイアウト。D、R、VDL、SW はそれぞれ、ドライバ、レシーバ、可変遅延線、スイッチである。

¹⁰ DC的にオーバードライブした場合（つまりオーバードライブの幅が無限大の場合）、電流が接合の I_C をわずかに超えれば接合はスイッチする。

アウトを示す。この評価回路は、リング型テスト回路と、リング型テスト回路の MSL (以降、下側 MSL と呼ぶ) に交差する 4 本の MSL (以降、上側 MSL と呼ぶ) から構成される。リング型テスト回路は図 2-17 と基本的に同じ構成である。上側 MSL、下側 MSL はいずれも特性インピーダンス 2Ω であり、幅 $34\mu\text{m}$ の BAS 層で形成されている。下側 MSL の長さは 3mm であり、上側 MSL の長さは 1mm である。4 つの MSL 交差部では、上側 MSL は COU 層で形成されており、MSL 交差部の断面は図 2-26 と同じである。4 本の上側 MSL のそれぞれの両端にはドライバとレシーバが接続されており、レシーバの後段には JTL が接続されており、その JTL の後段には SINK セル (JTL の信号線を、抵抗を介して GND に接続するセル) が接続されて終端されている。この評価回路はノイズ源 SFQ パルス列を生成する JTL リングを有している。JTL リングは、JTL、VDL、DC/SFQ、CB、SPL で構成されており、DC/SFQ からパルスを入力すると SFQ パルスが JTL リングを周回し、周回する SFQ パルスが SPL を通過するたびに SFQ パルスが JTL リング外に出力される。従って、JTL リングを 1 周するのに要する時間を周期とするノイズ源 SFQ パルス列が出力される。JTL リングが出力するノイズ源 SFQ パルス列の繰り返し周波数を f_{noise} とする。 f_{noise} は、JTL リングの VDL のバイアスと、JTL リングを周回する SFQ パルスの個数を変化させることにより変化させることができる。JTL リングから出力された繰り返し周波数 f_{noise} のノイズ源 SFQ パルス列は 4 つに分岐され、上側 MSL に接続されている 4 つのドライバに入力され、ドライバによって上側 MSL 上を伝送され、レシーバで受信され、SINK で終端される。この評価回路は 4 個のスイッチ SW1 ~ SW4 も有しており、SW を閉じた場合にのみ、上側 MSL にノイズ源 SFQ パルス列が伝送される。これらのスイッチを用いることにより、ノイズ源 SFQ パルス列を伝送する上側 MSL を任意に選択することができる。この評価回路では、リング型テスト回路の構成要素である PTL 伝送回路 (ドライバ、下側 MSL、レシーバ) が被測定回路であり、下側 MSL を伝送される SFQ パルスを信号パルスと呼ぶ。また、被測定回路である PTL 伝送回路を、以下では被測定 PTL 伝送回路と呼ぶ。

この評価回路を用いた、クロストークノイズの被測定 PTL 伝送回路への影響の評価方法を説明する。まず SW1 ~ SW4 を開き、4 本の上側 MSL にノイズ源 SFQ パルスが伝送されていない場合、つまり、下側 MSL にクロストークノイズが印加されていない場合について、被測定 PTL 伝送回路のバイアスマージンを測定する。この測定で得られる下側バイアスマージンを MO_L 、上側バイアスマージンを MO_U とする。次に JTL リングに SFQ パルスを周回させ、かつ、SW1 ~ SW4 の少なくともいずれかひとつを閉じることにより、4 本の上側 MSL の少なくとも 1 本に繰り返し周波数 f_{noise} のノイズ源 SFQ パルス列を伝送させる。図 2-35 (a) には SW1 が閉じている場合を例示している。この状態で、つまり下側 MSL にクロストークノイズが印加されている状態で、被測定 PTL 伝送回路のバイアスマージンを測定する。この測定で得られる下側バイアスマージンを MI_L 、上側バイアスマージンを MI_U とする。以上の測定結果から、クロストークノイズによる下側バイアスマージンの減少分 M_L と上側バイアスマージンの減少分 M_U を、それぞれ(2-31)式と(2-32)式で計算する。

図 2-36 に 1 個のスイッチだけを閉じた場合の測定結果を示す。測定は SW1 ~ SW4 のいずれか 1 個が閉じている場合 (4 通り) について行った。図 2-36 (a) は、 MI_L の f_{noise} 依存性、図 2-36 (b) は

MI_U の f_{noise} 依存性である。これらの測定で、被測定 PTL 伝送回路の動作周波数 f_{op} は 30GHz に固定した。図 2-36 には、 $f_{op}=30\text{GHz}$ でスイッチをすべて開いて測定された MO_L と MO_U も点線で示した。これらの測定から、以下の結果を得た。

- (iv) クロストークノイズは、レシーバの上側バイアスマージンよりも下側バイアスマージンを大きく減少させた。
- (v) f_{noise} が下側 MSL の共振周波数 f_{res} (約 18GHz) のときでも、 ΔM_L は顕著な極大値をとらなかった。

次に、被測定 PTL 伝送回路の動作周波数 f_{op} を 30GHz、ノイズ源パルスの繰り返し周波数 f_{noise} を下側 MSL の共振周波数である 18GHz に固定し、SW1 ~ SW4 のいずれか 1 個が閉じている場合 (4 通り)、いずれか 2 個が閉じている場合 (6 通り)、いずれか 3 個が閉じている場合 (4 通り)、4 個が閉じている場合 (1 通り) の計 15 通りの場合について被測定 PTL 伝送回路のレシーバのバイアスマージンを測定した。この測定から得られた M_L 、 M_U の、閉じているスイッチの個数に対する依存性を図 2-37 に示す。この測定の結果、以下のことが示された。

- (vi) ノイズ源パルスが伝送されている上側 MSL の本数が多いほど、クロストークによるレシーババイアスマージンの減少が大きい。

上記の実験結果のうち、(iv)は MSL の交差部が 1 個の場合の実験結果 (2-5-2 節の測定結果(i)) と同じである。また、(vi)の結果から、下側 MSL にカップルする MSL のうち、ノイズ源 SFQ パルス列が伝送されている MSL の本数が多いほど、つまり、下側 MSL に流れるクロストークノイズの総量が多いほど、レシーバのバイアスマージンの減少が大きいことが明らかになった。

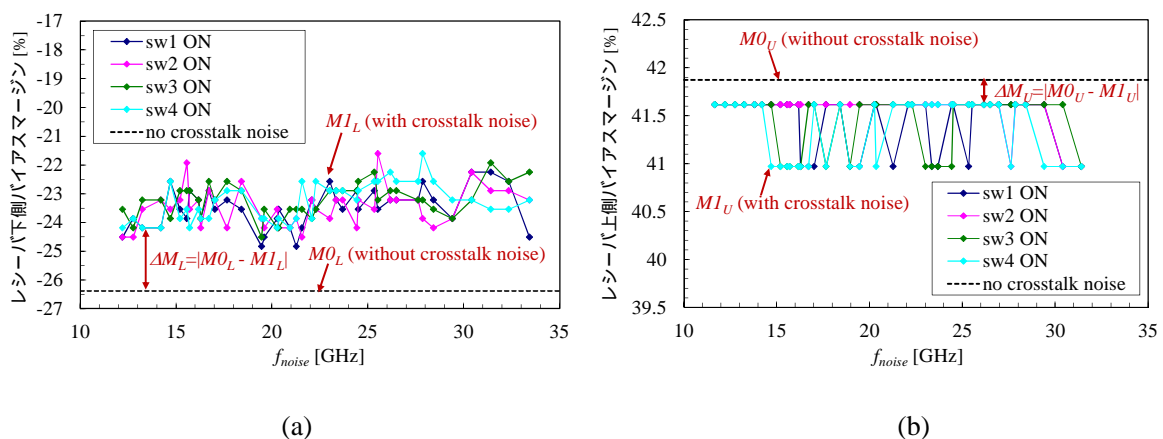


図 2-36. スイッチを 1 個だけ閉じた場合の、レシーバのバイアスマージンの f_{noise} に対する依存性の測定結果。

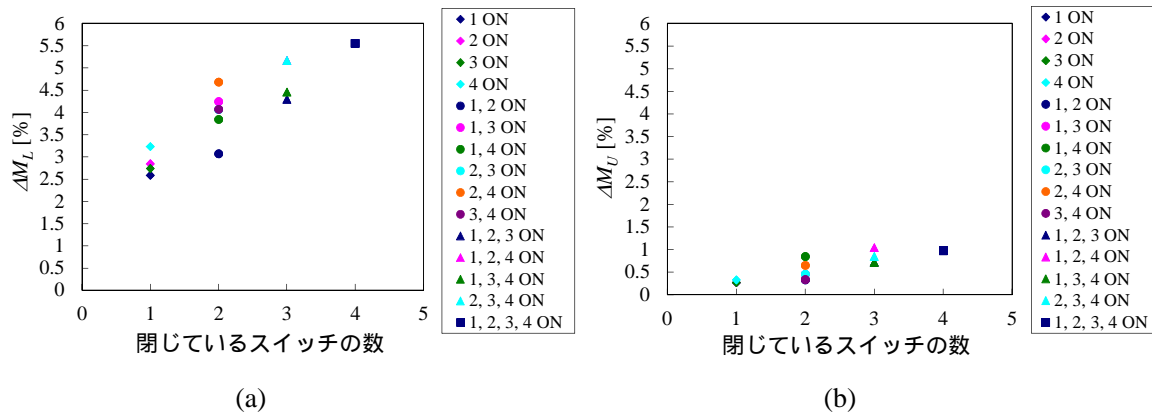


図 2-37. ΔM_L 、 ΔM_U の、閉じているスイッチの個数に対する依存性の測定結果。

しかし測定結果(v)は、2-5-2 節の測定結果(ii)と異なる結果となった。2-5-2 節の評価回路(図 2-25)と本節の評価回路(図 2-35)の差異は、2-5-2 節の評価回路ではノイズ源パルスが伝送される MSL と被測定回路の MSL の長さ(つまり共振周波数)が同一であったが、本節の評価回路ではノイズ源パルスが伝送される MSL の長さが被測定回路の MSL の長さとは異なるという点である。このことから、同一の長さの MSL が交差している場合に、クロストークの共振による増幅が顕著になることが示唆される。このことを検証するために、図 2-33 の回路について、上側 MSL の長さが下側 MSL の長さと同じ場合、および、等しくない場合の 2 つの場合のシミュレーションを行った。具体的には、上側 MSL に繰り返し周波数 f_{noise} のノイズ源 SFQ パルス列を伝送させた時に下側 MSL に流れるクロストーク電流をシミュレーションで求めた。その結果を図 2-38 に示す。図 2-38 (a) は上側 MSL と下側 MSL の長さがどちらも 3mm で等しい場合である。この場合、上側 MSL を伝播する SFQ パルスの繰り返し周波数 f_{noise} が下側 MSL の共振周波数 f_{res} (シミュレーションでは約 19.3GHz) と等しいときに、下側 MSL を流れるクロストークノイズの振幅が増幅された。一方、図 2-38 (b) は上側 MSL の長さが 1mm、下側 MSL の長さが 3mm の場合のシミュレーション結果である。この場合、上側 MSL を伝播する SFQ パルスの伝送レート f_{noise} が下側 MSL の共振周波数 f_{res} と等しいときに、下側 MSL を流れるクロストークノイズの振幅は少し増幅されるが顕著には増幅されなかった。このシミュレーション結果は実験結果(v)と符合する。つまり、ノイズ源となる SFQ パルス列を伝送する MSL の長さと、クロストークノイズを受ける MSL の長さが等しい(共振周波数が等しい)場合に、ノイズ源 SFQ パルス列の繰り返し周波数 f_{noise} が MSL の共振周波数 f_{res} に等しいときにクロストークノイズが増幅されることが、実験およびシミュレーションから確認された。この結果についてさらに考察する。図 2-39 は、図 2-38 のシミュレーションにおける、上側 MSL を伝播するノイズ源 SFQ パルスの波形を示したものである。図 2-39 (a) は上側 MSL と下側 MSL の長さがどちらも 3mm で等しい場合であり、図 2-38 (a) と同じ場合である。 f_{noise} が下側 MSL の共振周波数 f_{res} (約 19.3GHz) に等しい場合でも、それ以外の場合でも、SFQ パルス列のピーク値に大きな差はない。一方、図 2-39 (b) は上側 MSL の長さが 3mm で下側 MSL の長さが

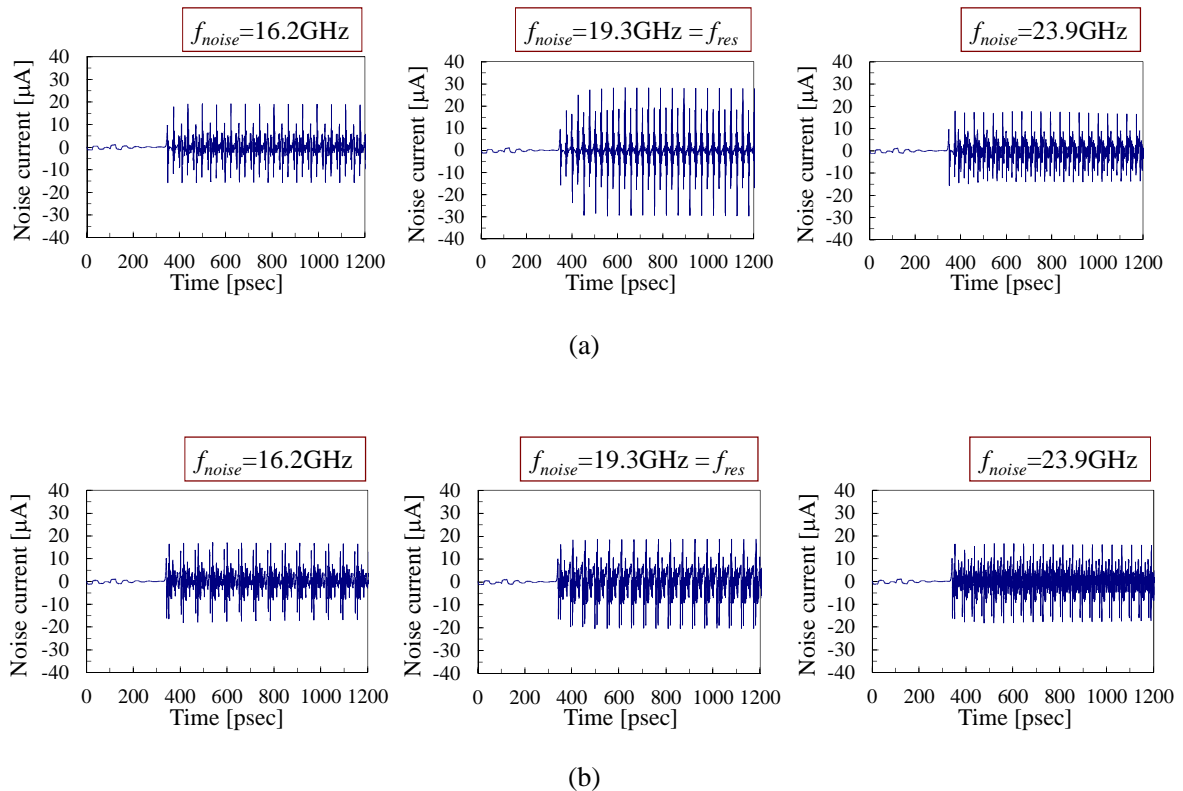


図 2-38. クロストーク電流のシミュレーション結果。(a)上側 MSL と下側 MSL の長さが等しい場合、(b)上側 MSL と下側 MSL の長さが異なる場合。

1mm の場合であり、図 2-38 (b)と同じ場合であるが、図 2-39 (a)の場合と同様に、 f_{noise} が下側 MSL の共振周波数 f_{res} (約 19.3GHz) に等しい場合でも、それ以外の場合でも、SFQ パルス列のピーク値に大きな差はない。そこで、上側 MSL を伝送される SFQ パルス列の繰り返し周波数 f_{noise} が下側 MSL の共振周波数 f_{res} (約 19.3GHz) に等しい場合について、図 2-39 (a)、(b)の、上側 MSL を伝送されるノイズ源 SFQ パルスの波形を拡大したものを図 2-40 に示す。図 2-40 から分かるように、上側 MSL の長さが 1mm の場合は、下側 MSL の共振周波数 f_{res} において上側 MSL 自身は共振していないため、ノイズ源 SFQ パルスは上側 MSL の両端で発生する反射波と重ならず、波形が歪んでいない。一方、上側 MSL の長さが 3mm の場合、下側 MSL の共振周波数 f_{res} においては、上側 MSL 自身も共振しているため、上側 MSL を伝送されるノイズ源 SFQ パルスは上側 MSL の両端で発生する反射波と重なり、波形が歪んでいる。ノイズ源 SFQ パルスが反射波と重なって歪んだ結果、図 2-40 に示したように SFQ パルスの立ち上がり立ち下りに、上側 MSL の長さが 1mm の場合 (つまり反射波の重なりを受けない場合) よりも時間微分が大きい部分が発生している。 C_p を通したクロストーク電流の振幅はノイズ源パルス電圧の時間微分に比例する (2-29 式)。したがってこのシミュレーション結果から、上側 MSL と下側 MSL の共振周波数が等しい場合、下側 MSL の共振周波数と等しい繰り返し周波数で上側 MSL にノイズ源 SFQ パルス列を伝送したと

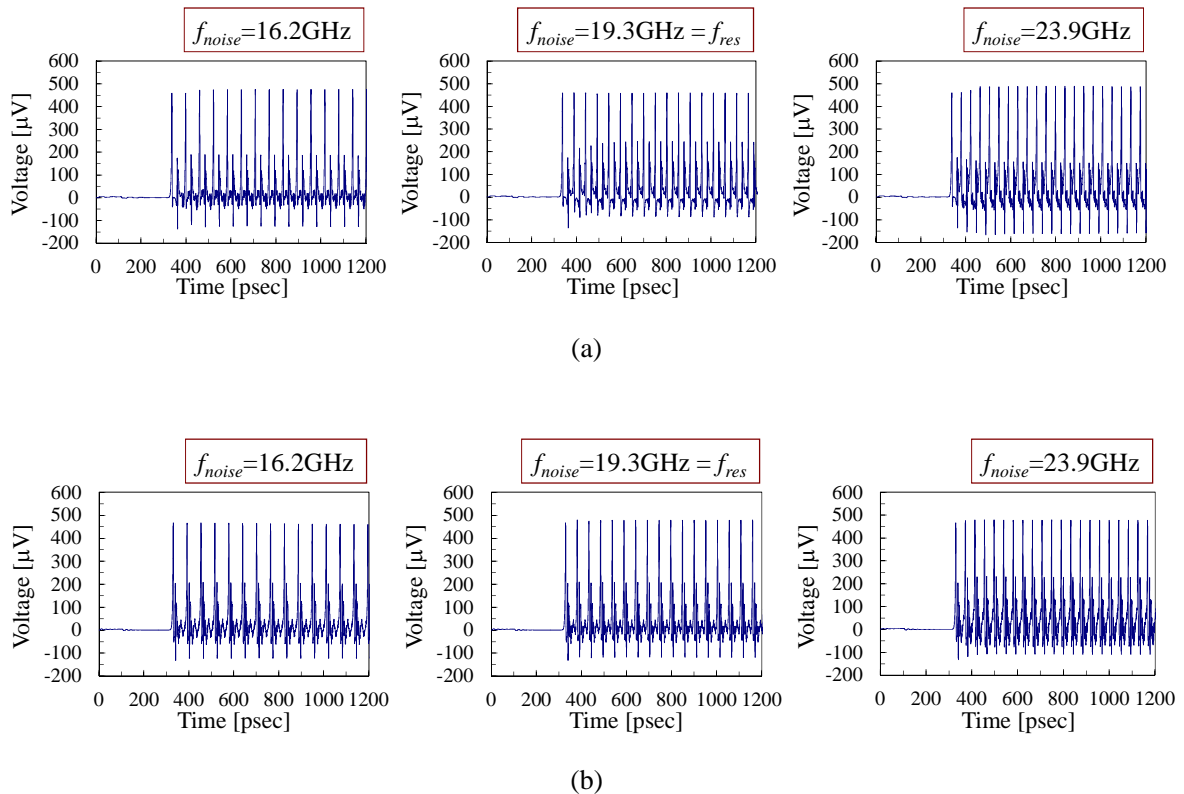


図 2-39. 上側 MSL を伝搬する信号波形のシミュレーション結果。(a)上側 MSL と下側 MSL の長さが等しい場合、(b)上側 MSL と下側 MSL の長さが異なる場合。

きに、上側 MSL を伝送されるノイズ源 SFQ パルスの波形が上側 MSL 自身の共振により歪み、その結果、ノイズ源 SFQ パルスの波形に時間微分が高い部分が発生するため、クロストーク電流が強くなるのだと考えられる。図 2-37 の実験結果では、クロストークノイズを発生させる MSL の本数が 4 本の場合でも M_L が 5.5% 程度でしかなく、2-5-2 節の交差部が 1 つの場合の M_L (図 2-30 で f_{noise} が f_{res} のときの値) と同程度であったが、上側 MSL の長さが被測定回路の MSL の長さと同じの場合、交差する MSL の本数が 4 本であれば、図 2-37 の結果よりも M_L は大きくなると考えられる。

以上の実験とシミュレーションから、以下の結論を得た。すなわち、図 2-41 に示したような、MSL が多数交差している構造において、各 MSL の長さが等しい場合、共振によるクロストークノイズの増幅作用が最も顕著になる。そして、クロストークによる PTL 伝送回路のバイアスマージンの減少分は、交差する MSL の本数が多いほど大きくなる。ゆえに、SFQ 論理集積回路において、例えば長さが同一で平行に並走したバスのような MSL の束同士が交差する場合、クロストークによる PTL 伝送回路の大幅なバイアスマージンの減少が発生する。したがってそのような等しい長さの多数の MSL が交差する構造においては、クロストークの影響を回避するために MSL の交差部にシールドを設けることが必要であると結論付けられる。

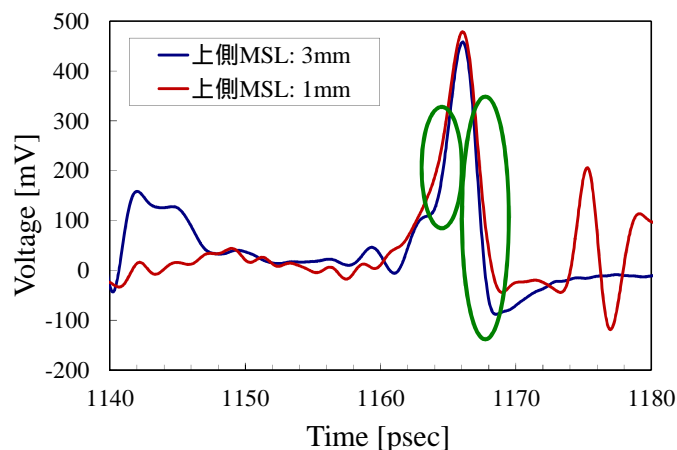


図 2-40. ノイズ源パルスのシミュレーション波形。上側 MSL の長さが 3mm の場合、反射波との重ね合わせによって SFQ パルスの立ち上がりと立下りに時間変化の速い部分が現れる（緑色の線で囲んだ部分）。

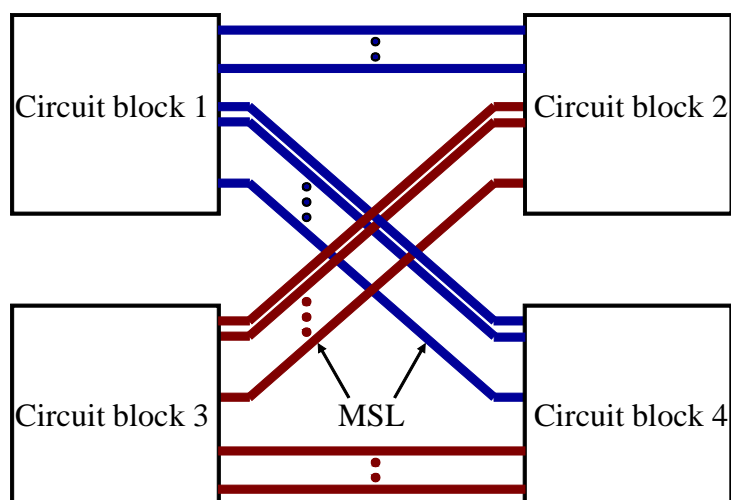


図 2-41. クロストークの影響が特に強い配線の類型。

2-5-5:MSL 交差部でのエネルギー損失の影響

図 2-24 で示したように、MSL 交差部では、信号パルスの一部が寄生キャパシタンス C_p を介して他方の MSL にリークするため、信号のエネルギーが損失する。その結果、この信号パルスを受けるレシーバの下側バイアスマージンが減少する可能性が考えられる。この信号損失の交差数に対する依存性を評価するための評価回路を設計した。図 2-42 (a), (b)に評価回路のレイアウト図を

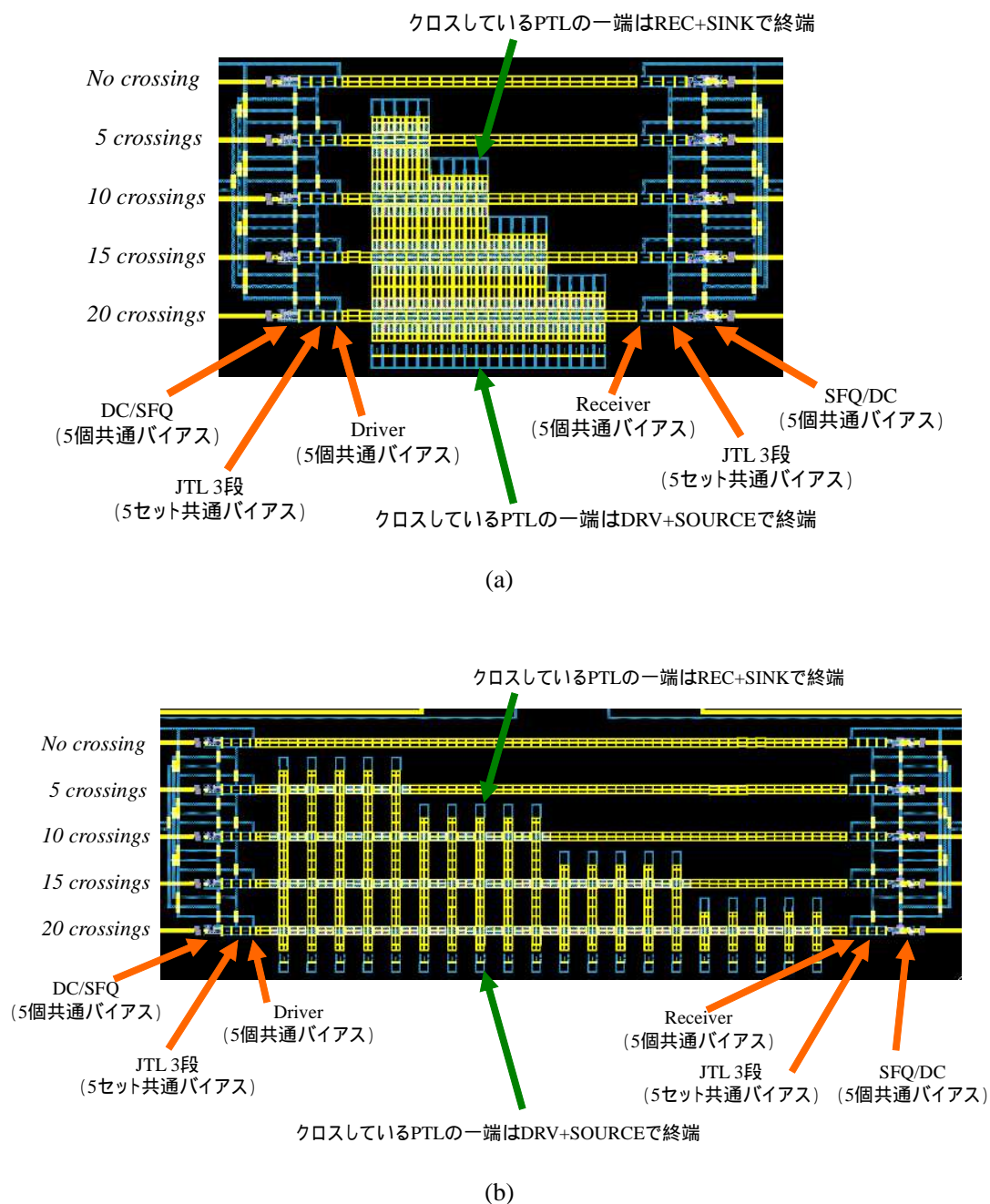


図 2-42. MSL 交差部での信号損失を評価するための評価回路。(a)被測定 MSL が交差部で Via を有する場合、(b)被測定 MSL が交差部で Via を有さない場合。

示す。いずれの評価回路も、ドライバ、 2Ω MSL、レシーバからなる被測定回路が 5 組レイアウトされている。5 組の被測定回路が有する MSL 交差部はそれぞれ、0 か所、5 か所、10 か所、15 か所、20 か所である。図 2-42 (a)の回路では、被測定回路の MSL は MSL 交差部で Via を経由して

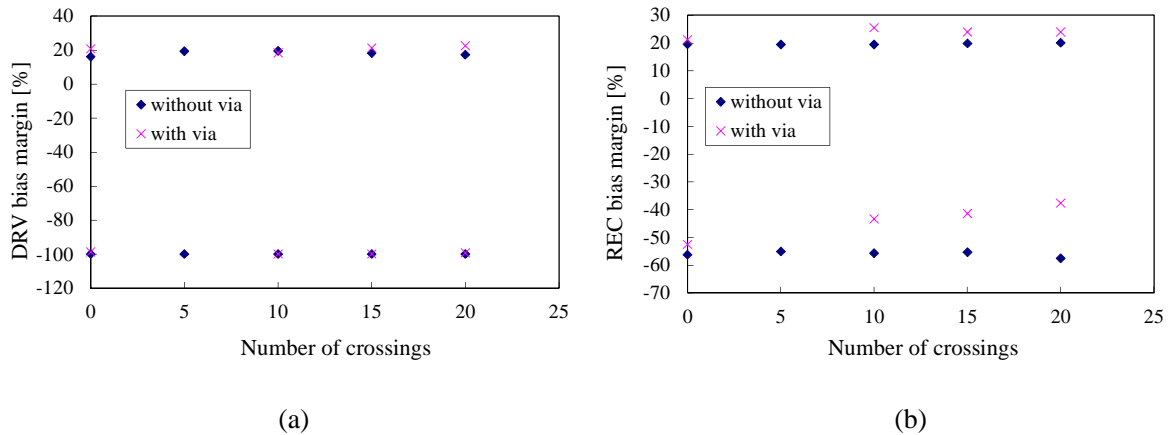


図 2-43. MSL 交差部での信号損失を評価するための評価回路の実験結果。(a)ドライババイアスマージンの交差数依存性、(b)レシーババイアスマージンの交差数依存性。

COU 層で形成されている。つまり、被測定回路の MSL は交差部で段差を有する。一方、図 2-42 (b) の回路では、被測定回路の MSL は交差部で段差を有さず、ドライバからレシーバまで一貫して BAS 層で形成されている。被測定回路の MSL に交差している回路は、ドライバ、 2Ω MSL、レシーバからなる回路であり、これらの回路のドライバ端は SOURCE (JTL の入力端が抵抗を介して GND に接続されているセル) で、レシーバ端は SINK で、それぞれ終端されている。

これらの回路の測定を行った。被測定回路のドライバから MSL を通して 10kHz の低速でパルスパターンを送信し、レシーバで受信した。その正常動作をするドライババイアスのマージンとレシーババイアスのマージンを測定した。測定の結果得られた、バイアスマージンの MSL 交差数依存性を図 2-43 に示す。図 2-43 (a)のように、ドライババイアスマージンは MSL 交差数に依存せず一定だった。一方、図 2-43 (b)のように、レシーババイアスマージンは、MSL に段差がない場合 (図 2-42 (b)の回路の場合) は、MSL 交差数に依存せず一定だったが、MSL に段差がある場合 (図 2-42 (a)の回路の場合) は、MSL 交差数が増えるほど下側バイアスマージンが減少した。このことから、少なくとも低速においては、MSL が単に交差しているだけでは信号損失の影響は顕著ではないことが分かる。一方、MSL が段差を有する場合、交差部で信号の一部が損失することが分かる。交差部の寄生キャパシタンスは図 2-42 (a)の回路と図 2-42 (b)の回路とで厳密には異なる。しかしこの結果はむしろ、MSL が段差を有する場合、段差を有さない場合に比べて交差部でのインピーダンス不整合が強く、信号がドライバ側に反射した結果、レシーバに伝送される信号のエネルギーが減少していることを示している可能性がある。そのため、段差部での PTL のインピーダンス設計は今後の課題である。この実験結果から言えることは、交差部が 20 以下など少ない場合は大きな問題にならないが、非常に多くの交差部を有する MSL を用いる可能性がある大規模 SFQ 回路においては、MSL の段差がないような設計が必要であるということである。

2-6: 短い PTL を用いた PTL 伝送回路の性質

これまで、PTL は SFQ 回路の一部の長距離配線のみにより用いられてきた。しかし、PTL 配線の JTL 配線に対する優位性を最大限に利用するためには、SFQ 回路の多くの配線に PTL を用いる必要がある。そこで本研究では、すべての論理セル間に PTL 配線を用いた SFQ 論理集積回路の設計に関する研究を行った。本節以降では、この PTL 配線を用いた SFQ 論理集積回路の設計に関する研究について述べる。すべての論理セル間に PTL 配線を用いた場合、数 $10\mu\text{m}$ 程度の非常に短い配線も使われる可能性がある。そのような短い PTL は伝送線路とはみなせず、集中定数回路とみなせる。PTL 配線を用いた SFQ 回路の設計方法を確立するには、そのような集中定数とみなせる短い PTL 配線を有する PTL 伝送回路の基本的性質を明らかにする必要がある。そのため本節ではまず、PTL 伝送回路のバイアスマージンの周波数特性の PTL 長さ依存性を実験で明らかにする。さらに、PTL 伝送回路の遅延時間の PTL 長さに対する依存性をシミュレーションで明らかにする[66]。

2-6-1: PTL 伝送回路のバイアスマージンの周波数特性の PTL 長さ依存性

PTL 伝送回路のバイアスマージンの周波数特性の PTL 長さ依存性を評価するために、長さがそれぞれ 4mm 、 2mm 、 1mm 、 $400\mu\text{m}$ 、 $200\mu\text{m}$ 、 $20\mu\text{m}$ の PTL を有する 6 種類のリング型テスト回路を設計した。PTL 伝送回路は 2-2 節で最適化したもの（図 2-14）である。これら 6 種類のリング型テスト回路を同一のチップ上にレイアウトし、NEC の Nb 標準プロセスで試作した。これらのリング型テスト回路を用いて、ドライバとレシーバの共通バイアスのマージンの周波数依存性を、動作周波数 $10\text{GHz} \sim 40\text{GHz}$ の範囲で測定した。図 2-44 に測定結果を示す。共振周波数は PTL の長さが短くなるほど高くなり、長さが 1mm よりも短い PTL では 40GHz よりも高くなった。すでに述べたように、本研究の PTL 伝送回路の共振周波数 f_{res} は(2-28)式で $\tau_J = 5$ [psec]と置いて見積もることができる。(2-28)式で $\tau_J = 5$ [psec]と置くと、 f_{res} は PTL の長さが 4mm のときは約 14GHz 、 2mm のときは約 25GHz 、 1mm のときは約 45GHz と見積もられる。一方、図 2-44 の測定結果からは、 f_{res} は PTL 長さが 4mm のときおよそ 14GHz であり、 2mm のときおよそ 25GHz であり、 1mm のときは 40GHz 以上になっており、(2-28)式で $\tau_J = 5$ [psec]として見積もった値とよく一致する。

この実験から、ドライバとレシーバの共通バイアスのマージンは、PTL の長さが $20\mu\text{m}$ という集中定数とみなせる場合も十分広く、むしろ PTL の長さが短くなるほど、同一周波数におけるバイアスマージンは広いという結果になった。これは、PTL の長さが短いほど、言い換えれば PTL の往復遅延時間が短くなるほど、同一時間内に反射波がより多い回数、PTL の両端で多重反射するため、次の SFQ パルスがドライバに入力されるまでの間により強く減衰してしまうからであると考えられる。

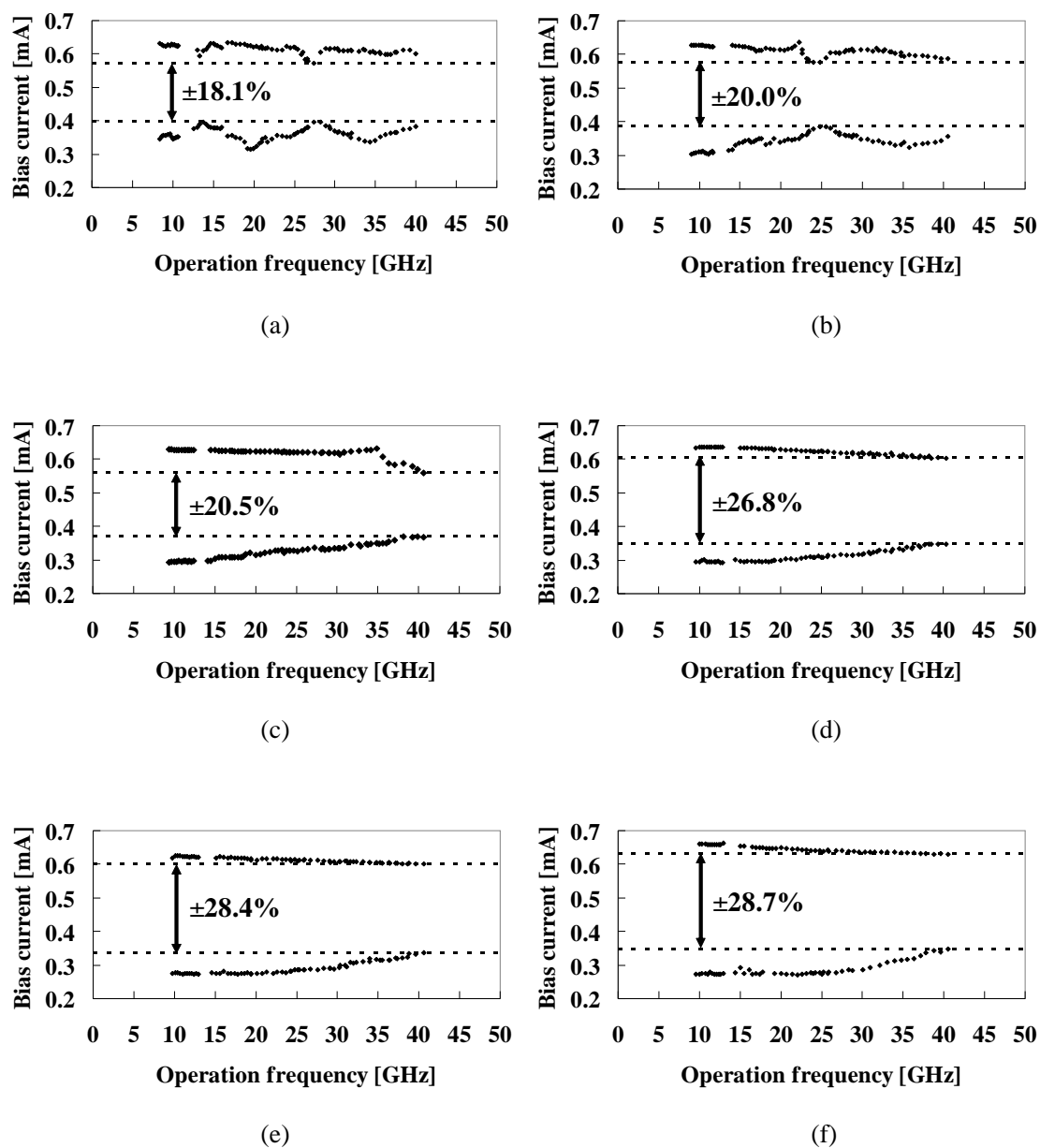


図 2-44. ドライバとレシーバの共通バイアスのマージンの周波数特性の特定結果。PTL の長さはそれぞれ、(a) 4mm、(b) 2mm、(c) 1mm、(d) 400 μm 、(e) 200 μm 、(f) 20 μm である。それぞれの測定結果に、動作周波数 10GHz ~ 40GHz における最も狭いバイアスマージンが記入されている。

2-6-2: PTL 伝送回路の遅延時間の PTL 長さ依存性

SFQ 論理集積回路のタイミング設計においては、PTL 伝送回路の遅延時間を明らかにしておくことが必要不可欠である。PTL が分布定数的に見えるような十分長い場合には、PTL 伝送回路の遅延時間 t_w は、PTL 長さに依存しないドライバとレシーバのスイッチング遅延の和 τ_0 と¹¹、PTL の長さ l_p に比例した PTL の伝播遅延とを加えたものになる。つまり、

$$t_w = \tau_0(I_B) + l_p \tau_p \quad (2-33)$$

と表現できる。ここで τ_p は単位長さあたりの PTL 伝搬遅延時間であり、 I_B はドライババイアス電流とレシーババイアス電流の和である。 τ_0 は I_B に依存するので、(2-33)式で引数 I_B をあらわに表記した。しかし、SFQ 論理集積回路においてすべての論理セル間に PTL 配線を用いた場合、PTL が集中定数とみなせる短い配線も起こり得る。そのような集中定数とみなせる短い PTL についても、 t_w が(2-33)式のように PTL 長さ l_p に対してリニアに依存するか否かは明らかではない。そこで、PTL 伝送回路の遅延時間 t_w の PTL 長さ l_p に対する依存性をシミュレーションで計算した。シミュレーションした等価回路図を図 2-45 に示す。遅延時間 t_w は、図 2-45 に示したように、ドライバがスイッチしてからレシーバがスイッチするまでの時間である。なお、シミュレーションでは、接合の位相が π を越えたときに接合がスイッチしたと判断した。

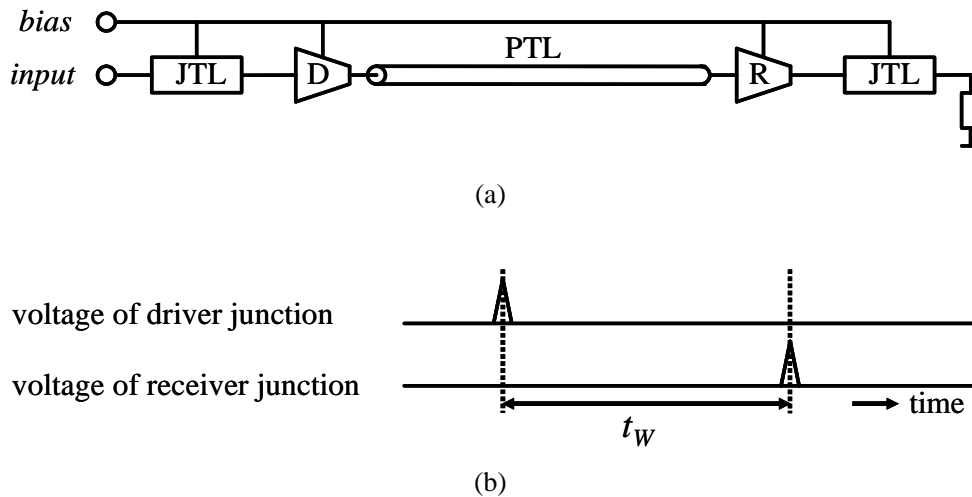


図 2-45. シミュレーションで用いた回路モデル。(a)モデルの等価回路図、(b)伝搬遅延 t_w の定義。D、R はそれぞれ、ドライバ、レシーバを示す。

¹¹ τ_0 は SFQ パルス伝送時のドライバとレシーバのスイッチング時間の和であり、(2-28)式の τ_j とは異なる。

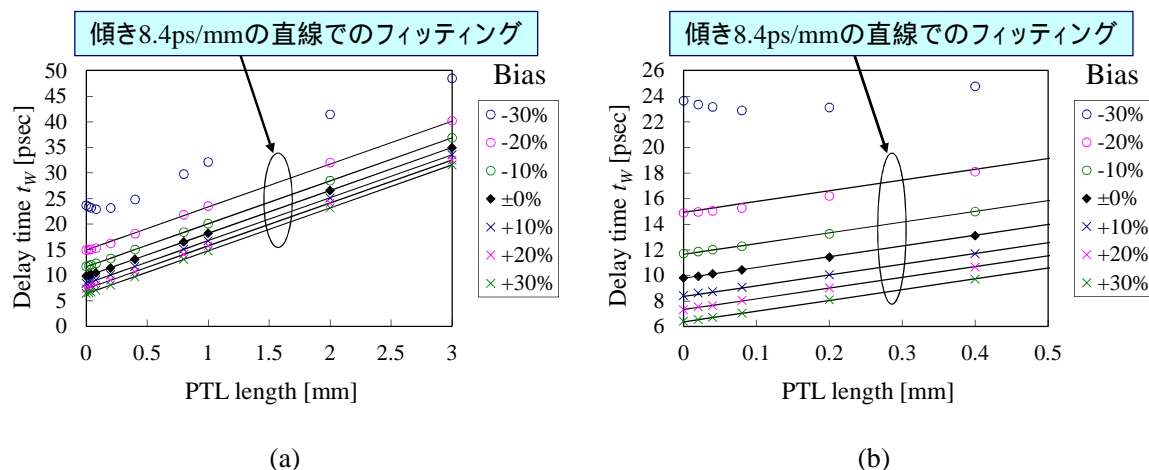


図 2-46. 様々なバイアスの場合について行った t_w の PTL 長さ依存性のシミュレーション結果。バイアスが設計値の-20% ~ +30% の場合のシミュレーション結果それぞれに対して、傾きが 8.4ps/mm の直線がフィッティングされている。(b)は、(a)において PTL 長さが短い領域の拡大図である。

表 2-2. τ_0 のバイアス電流依存性

バイアス電流 ^a	-20%	-10%	±0%	+10%	+20%	+30%
τ_0 [ps]	14.9	11.6	9.8	8.3	7.3	6.4

^a 設計バイアスに対するパーセンテージ。

図 2-46 にシミュレーション結果を示す。十分長い PTL の場合は、 t_w は PTL 長さに線形に依存するが、比較的短い PTL の場合、 t_w は PTL 長さに非線形に依存することが示された。これは、PTL 長さが短い場合、ドライバがスイッチング動作を終える前に、レシーバからの反射がドライバに返ってくるため、ドライバのスイッチング時間が長くなるからだと考えられる。この t_w の l_p に対する非線形的な依存性は、ドライバとレシーバのバイアス電流が低いときにより顕著になる。これは、ドライバがスイッチングに要する時間が、バイアス電流が低いほど長くなるため、レシーバからの反射の影響をより長い PTL の場合（したがってより伝搬遅延時間の長い PTL の場合）に受けるからである。しかし図 2-46 (b)に示したように、バイアス電流が設計値の-20%以上の場合については、 t_w は PTL 長さが 0 ~ 3mm の範囲にわたって、0.4psec 以下の誤差で、同一の傾きの直線でフィッティングできることが示された。したがって、設計バイアスの-20%以上のバイアスで動作している場合、PTL 伝送回路の遅延時間は PTL の長さによらず、(2-33)式の簡便な式で、誤差 0.4ps 以内で近似できる。(2-33)式で τ_0 だけがバイアス電流 I_B に依存する。SFQ 集積回路の設計の便利のために、表 2-2 に、図 2-46 のシミュレーションから抽出された τ_0 （フィッティング直線の縦軸の切片）のバイアス電流依存性を示す。

2-7: PTL を用いた SFQ 論理集積回路の設計方法

本節では、すべての論理セル間に PTL 配線を用いた SFQ 論理集積回路の設計方法について述べる。CONNECT セルライブラリの論理セルは JTL 配線用に設計されているため、入出力端子に直接 PTL を接続できない。そこで本節ではまず、入出力端子に PTL を直接接続できる、PTL 用論理セルの構成法を提案する。次に、PTL 用論理セルを設計し、シミュレーションでタイミングパラメータを明らかにするとともに、実験で動作を検証する。さらに、その PTL 用論理セルと PTL 配線を用いた SFQ 論理集積回路の設計方法を提案する[66]。

PTL 配線を論理セル間に適用できるようにするために、入出力端子に PTL を接続することが可能な、PTL 用論理セルを提案する。図 2-47 (a)に、本研究が提案する PTL 用論理セルの概念図を示す。この PTL 用論理セルの最大の特徴は、クロック入力端子だけでなくクロック出力端子を有することである。一般の論理セルはクロックについては入力端子しか持たない。本研究と同時期に提案された PTL 用論理セルも、クロックについては入力端子しか有さない[67], [68]。後述するように、図 2-47 (a)のようなセル構成にすることにより、クロック分岐に必要な接合数を削減することが可能である。一方で、図 2-47 (a)の PTL 用論理セルは、スプリッタの配置の自由度を奪うため、文献[67], [68]の方法と比べて、レイアウト設計の自由度を低下させるというデメリットを有する。しかし本研究では、SFQ 論理集積回路の接合数を削減することを優先し、図 2-47 のような構成を提案する。これは接合数の削減が、SFQ 集積回路のジッタ、タイミングばらつき、電源電流、消費電力削減に寄与し、大規模な論理集積回路の高速かつ低電力動作を実現するために効果があるからである。

図 2-47 (a)の PTL 用論理セルのひとつの実現方法を図 2-47 (b)に示す。PTL 用論理セルは基本的に、JTL 用論理セル、PTL ドライバ、PTL レシーバ、スプリッタで構成される。JTL 用論理セルとスプリッタは CONNECT 標準セルライブラリ[49]のセルである。本研究では、図 2-47 の PTL 用論理セルの例として、D フリップフロップ (D-flip-flop; DFF) \ AND、NOT、非破壊読み出しセル (Non-Destructive Read-Out; NDRO) \ CB を設計した。CB は非同期の (したがってクロック入力を持たない) OR ゲートとして用いる。図 2-48 に、NEC の Nb 標準プロセス[31]を想定して設計し

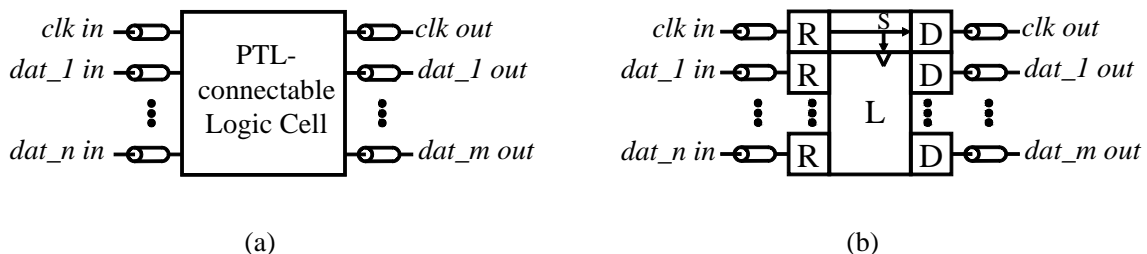


図 2-47. PTL 接続用論理セルの(a)概念図と(b)その実現方法。L、S、R、D はそれぞれ、JTL 接続用論理セル、スプリッタ、レシーバ、ドライバを示す。

た PTL 用論理セルの構成図とレイアウトを示した。表 2-3 に、シミュレーションから求めた各 PTL 用論理セルのタイミングパラメータを示す。

これらの PTL 用論理セルを NEC の Nb 標準プロセスで試作し、10kHz の低速クロックで機能試験を行った。最もバイアスマージンが狭かったのは AND であり、バイアスマージンは $\pm 21.6\%$ であった。最もバイアスマージンが広がったのは DFF であり、バイアスマージンは $\pm 29.6\%$ であった。PTL 配線を用いた SFQ 論理集積回路の動作を検証するには十分なバイアスマージンが得られた。

40GHz 級の SFQ 論理集積回路の設計においては、データ信号とクロック信号のタイミングを psec オーダーで設計することが必須である。PTL は単位長さあたりの伝搬遅延時間が約 8.6ps/mm と非常に短いため、1ps の遅延を作り出すのに約 116 μm の長さが必要であり、大きな面積を必要とする。一方、文献[67], [68]で報告されているような、PTL 用リピータ (JTL の入出力端に PTL レシーバと PTL ドライバを接続したもの) を用いてタイミング調整を行った場合、最低でもドライバとレシーバの接合が必要になるため、それらの接合の固定遅延が不要な場合には余計な接合を用いることになる。本研究ではこれらの問題を解決するため、この psec オーダーのタイミング

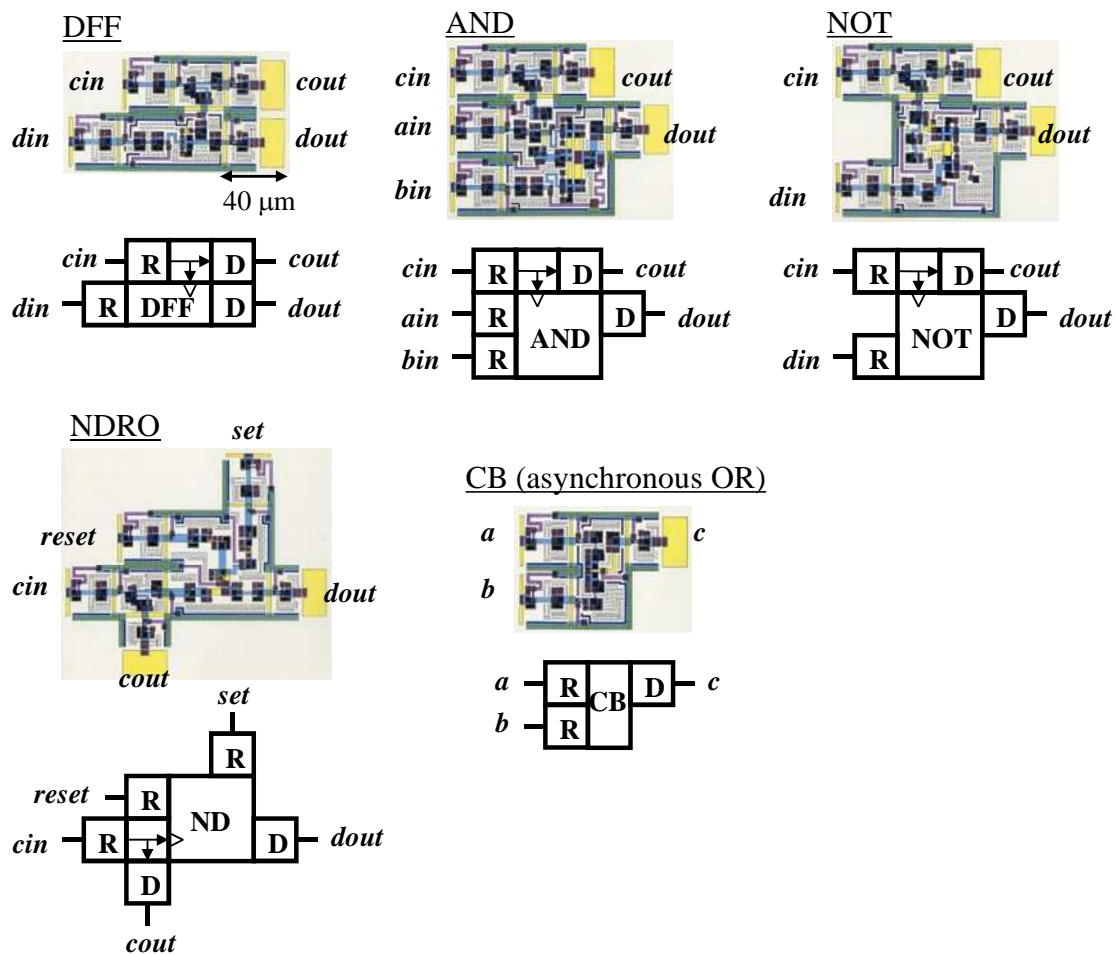


図 2-48. PTL 接続用論理セルの構成とレイアウト。

表2-3. PTL用論理セルのタイミングパラメータ

PTL用論理セル	<i>clk in-clk out</i> [ps]	delay ^a [ps]	setup [ps]	hold [ps]
DFF	20.2	31.7	-8.1	8.1
AND	(<i>ain</i>) (<i>bin</i>)	20.5	-16.1 -15.0	16.8 15.5
NOT	20.5	36.0	6.2	10.9
NDRO	(<i>set</i>) (<i>reset</i>)	20.3	-11.4 0.4	11.6 -0.3
CB	N/A	29.4	N/A	N/A

^a 論理セルの場合、クロックが入力されてからデータが出力されるまでの時間。CBの場合、データが入力されてからデータが出力されるまでの時間。

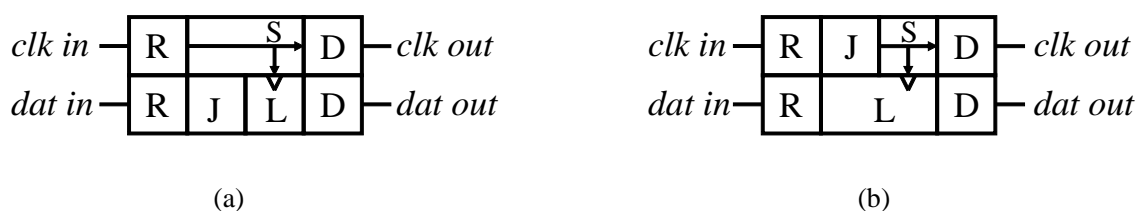


図 2-49. タイミング設計の方法。(a)データ信号への遅延の追加、(b)クロック信号への遅延の追加。J は JTL を示す。

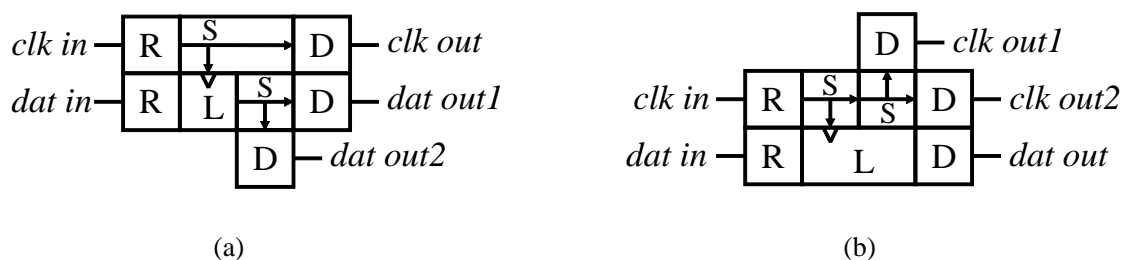


図 2-50. 複数出力端子を有する PTL 接続用論理セル。(a) 2 つのデータ出力端子を有するセル、(b) 2 つのクロック出力端子を有するセル。

設計を、PTL 用論理セル内のレシーバの直後に所望の接合数の JTL を挿入することにより行う方式を提案する(図 2-49)。PTL レシーバは、2 つの接合から構成されるが、2-2 節で述べたように、レシーバの 2 段目の接合とインダクタンスは CONNECT 標準セルライブラリの JTL と同じである。

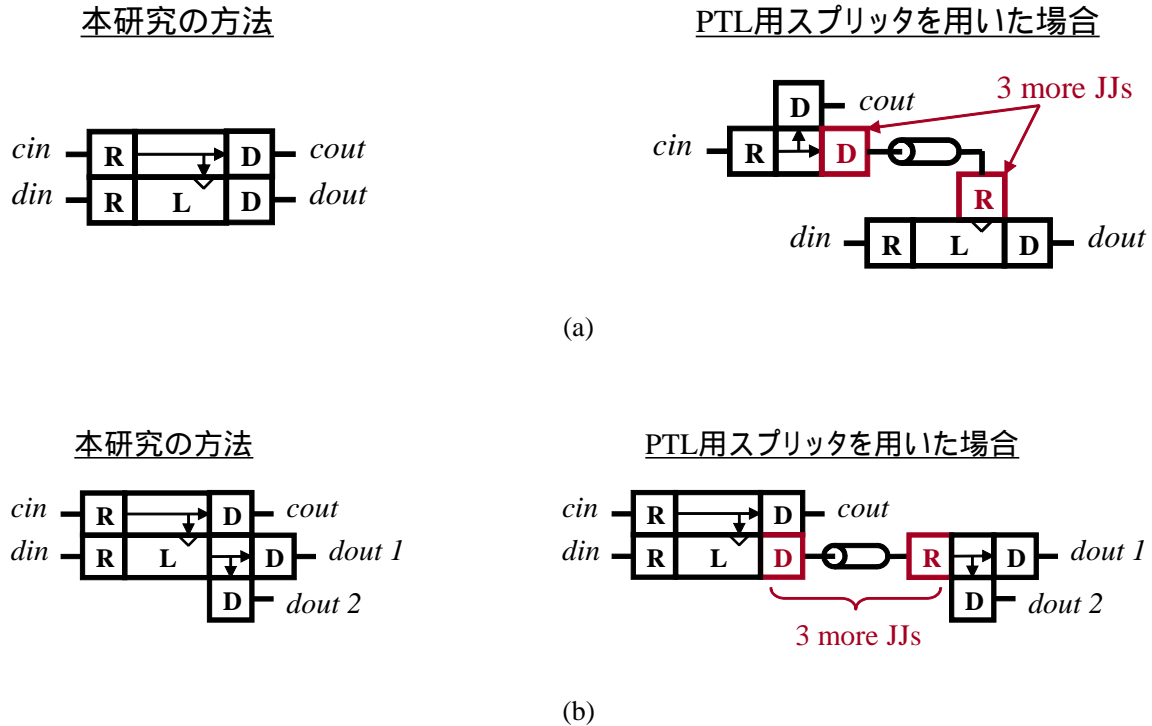


図 2-51. スプリッタ内蔵の場合と外付けの PTL 用スプリッタを用いた場合の比較。(a)クロック信号の分岐、(b)出力データの分岐。

したがって、PTL 用論理セルのレシーバの直後に JTL を挿入することは、単にレシーバの 2 段目の JTL の段数を増加させるだけなので、レシーバと PTL のインピーダンス整合に影響を与えない。

また、ファンアウトが 2 の論理セルは、PTL 用論理セル内にスプリッタを挿入することにより実現する (図 2-50)。文献[67], [68]で報告されている設計方法では、スプリッタの入出力端子にレシーバとドライバを接続した PTL 用スプリッタを使用して信号を分岐しているが、本研究の信号分岐手段はこれらの文献とは異なる。

図 2-51 に、スプリッタを PTL 用論理セルに内蔵した場合と、PTL 用スプリッタを使用した場合とを比較する。SFQ 回路の論理セルのほとんどはクロック入力を有する。クロック入力を有する論理セルの個数を N とすると $N-1$ 個のクロック分岐 (したがって $N-1$ 個のスプリッタ) が必要であるため、SFQ 論理集積回路内では非常に多くのクロック分岐が用いられる。また SFQ 論理集積回路では多くのデータ信号の分岐も用いられる。そのような分岐のために PTL 用スプリッタを用いることは、ドライバ、レシーバの接合数を増やすことになる。図 2-51 に示したように、本研究の設計方法では、PTL 用スプリッタを不要にしたことにより、SFQ 論理集積回路の接合数を削減することが可能である。

これらの PTL 用論理セルを配置し、各 PTL 用論理セル間を PTL で結線し、各論理セルに必要な接合数の JTL を挿入してクロックとデータのタイミングを調整することにより、すべての論理セル間の配線に PTL を用いた任意の SFQ 論理集積回路を設計することができる。

2-8: PTL を用いた 4×4 スイッチ回路の 40GHz オンチップ動作の実証

PTL 配線は、mm オーダーなどの長距離配線に用いた場合に効果を強く発揮する。そのため、これまで報告された例では、PTL は SFQ 回路の中の一部の長距離配線にのみ適用されてきた。Semenov らは、デシメーション・フィルタを面積の限られたチップ内にレイアウトするために、回路を分断し、分断された各部分回路を折り曲げて配置し、部分回路間を PTL 配線で接続した[42]。これは PTL によるレイアウトの自由度の向上の例である。Deng らは、非同期プロセッサのハンドシェイクの遅延を低減するために、PTL 配線を用いた[43]。これは PTL の低遅延を利用した例である。Gupta らは、分布定数型 JTL を用いた低ジッタのオンチップクロック発振器において、生成されたクロック信号を低ジッタで分配するために PTL を用いた[44]。これは PTL のジッタが少ないことを利用した例である。しかし、これらの報告では、回路に用いられているほとんどの配線は依然として JTL であった。PTL は短い配線になるほど JTL に対する優位性が低下し、2~4 接合程度の JTL で接続できる長さ以下においては、PTL 配線はドライバとレシーバの接合がオーバーヘッドになる。しかし本研究ではあえてすべての配線に PTL を用いた SFQ 論理集積回路の設計を試みる。それは、将来的に自動配置配線ツールを用いた大規模 SFQ 論理集積回路の設計を行うことを考えた場合、すべての配線を例外なく PTL で実現する方がツールの開発がシンプルになるからである。本節では、2-7 節で述べた SFQ 論理集積回路の設計方法を用いて設計した、すべてのセル間配線に PTL を用いた 4×4 スイッチの設計の詳細と実験結果について述べる。さらに、 4×4 スイッチを例として、JTL 配線を用いた場合と PTL 配線を用いた場合について、SFQ 回路の消費電力、回路遅延、タイミングジッタ、タイミングずれ、接合数を比較し、PTL 配線を導入することによる SFQ 論理集積回路の高性能化を定量的に明らかにする[69]。

2-8-1: 4×4 スイッチチップの設計

図 2-52 に、設計した 4×4 スイッチチップの回路構成図を示す。この 4×4 スイッチチップには、 4×4 スイッチ回路とオンチップテスト回路[40], [70], [71]が集積されている。オンチップテスト回路は、シフトレジスタ(Shift Register; SR)と高周波クロック発生器(High-Frequency Clock Generator; HFCG)とから構成される。チップは階層的に設計した。まず、 2×2 スイッチ回路を、論理セル間のすべての配線に PTL を用いて設計した。次に、設計した 2×2 スイッチ回路を 4 個配置し、 2×2 スイッチ回路間を PTL で接続することにより、 4×4 スイッチ回路を設計した。最後に、 4×4 スイッチ回路、HFCG、4 個の SR を配置し、これらの回路の間を PTL 配線で接続し、 4×4 スイッチチップを設計した。以下では、 4×4 スイッチチップの設計の詳細を述べる。

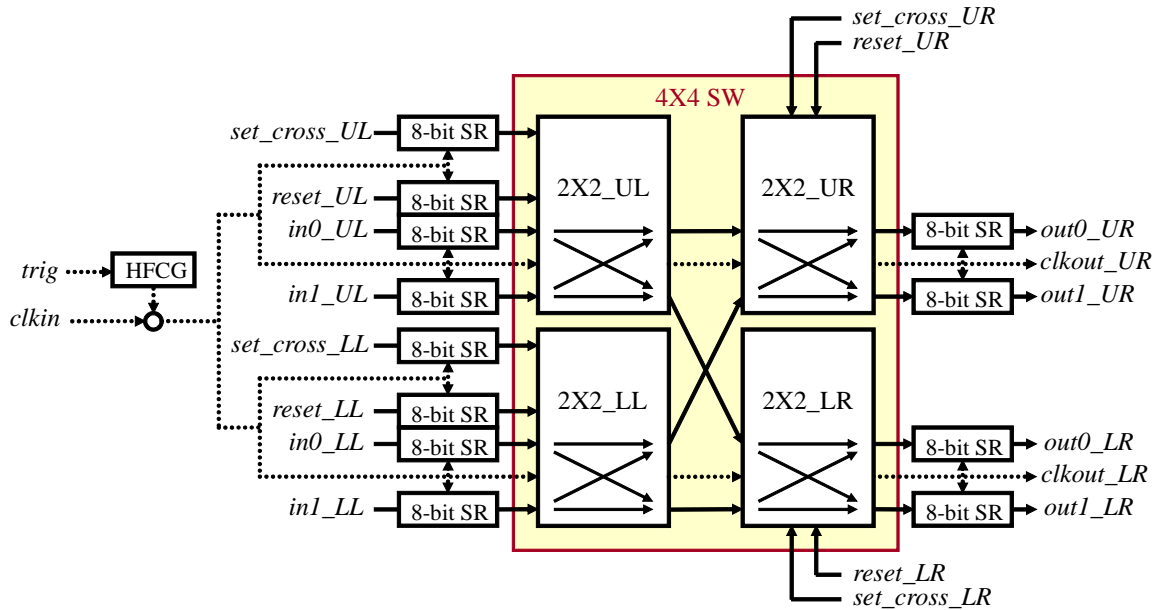


図 2-52. 4×4 スイッチチップのブロック図。

2-8-1-1: 2×2 スイッチ回路の設計

図 2-53 (a)は、設計した 2×2 スイッチ回路の論理回路図である。このスイッチ回路は、13 個の論理セルから構成される。このスイッチ回路は、2 つのデータ入力 $in0$ 、 $in1$ と、2 つのデータ出力 $out0$ 、 $out1$ とを有する。図 2-53 (b)にスイッチ回路の制御を示す。このスイッチ回路には $cross$ と bar の 2 つの状態があり、これらの状態のいずれをとるかは、2 つの制御信号 set_cross と $reset$ で制御される。具体的には、 set_cross が入力されると、スイッチ回路の状態は $cross$ になり、 $in0$ から入力されたデータは $out1$ から出力され、 $in1$ から入力されたデータは $out0$ から出力される。一方、 $reset$ が入力されると、スイッチ回路の状態は bar になり、 $in0$ から入力されたデータは $out0$ から出力され、 $in1$ から入力されたデータは $out1$ から出力される。

図 2-53 の 2×2 スイッチ回路を 2-7 節で述べた SFQ 論理集積回路設計方法を用いて設計した。図 2-54 は試作した 2×2 スイッチ回路の顕微鏡写真である。2-7 節で述べた PTL 用論理セルを配置し、これらのすべてのセル間を PTL で配線した。さらに、すべての論理セルで、40GHz においてタイミングマージンが可能な限り最大になるように、クロックとデータのタイミングを設計した。タイミング設計は 2-7 節で述べたように、PTL 用論理セル内に必要な接合数の JTL を挿入することによって行った。CONNECT 標準セルライブラリには、2 接合 JTL セルと 3 接合 JTL セルがある。2 接合 JTL と 3 接合 JTL の設計バイアスにおける遅延時間はそれぞれ 8.3ps および 12.8ps で

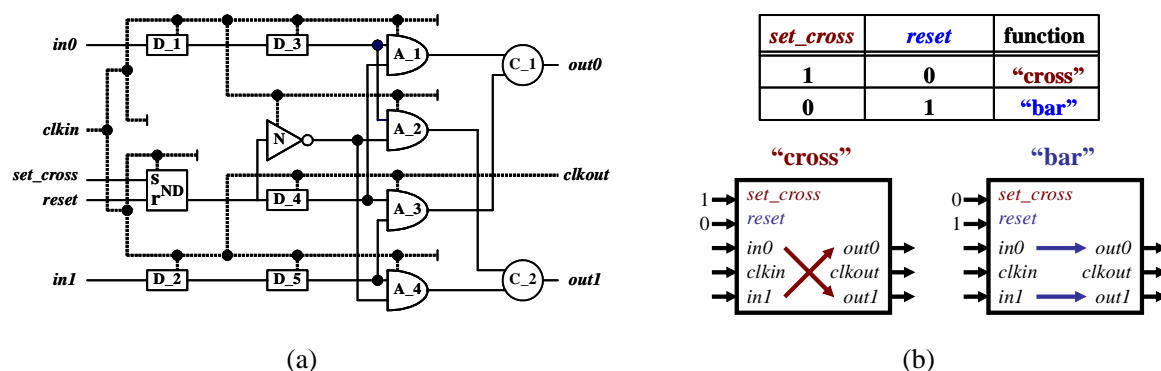


図 2-53. 2×2 スイッチ回路の(a)論理回路図と(b)状態図。D、ND、N、A、C はそれぞれ、DFF、NDRO、NOT、AND、コンフルエンス・バッファである。コンフルエンス・バッファは非同期の OR として使用した。

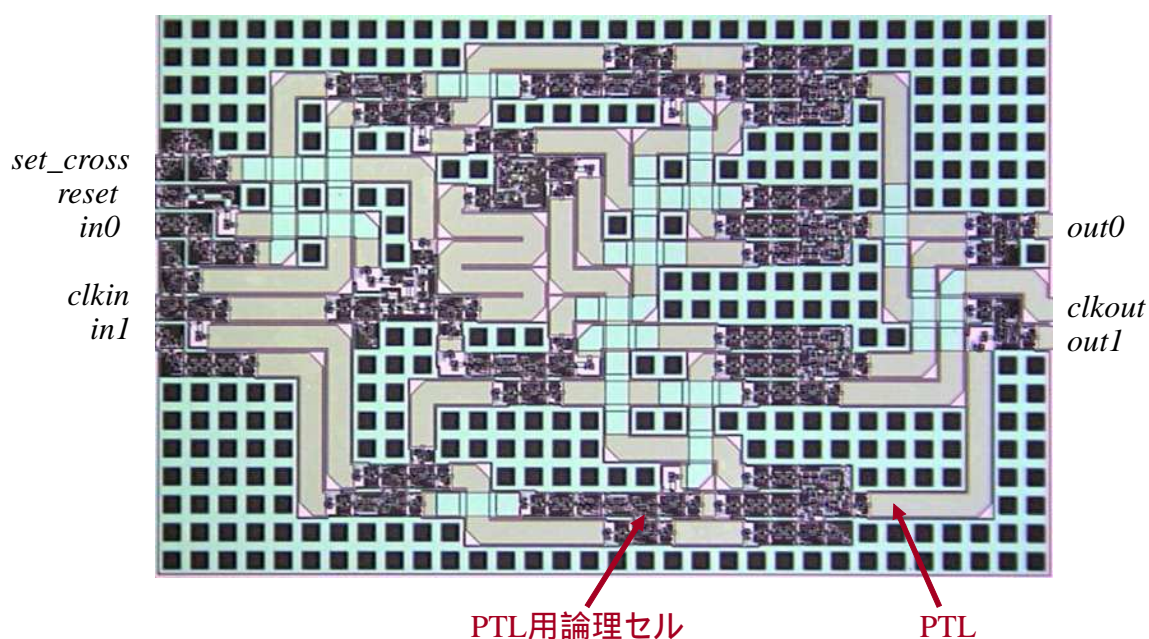


図 2-54. すべての論理セル間に PTL 配線を用いた 2×2 スイッチ回路の顕微鏡写真。タイミング調整用の JTL はすべて PTL 接続用論理セルに内蔵されている。回路サイズは $1280\mu\text{m} \times 720\mu\text{m}$ である。

ある。これら 2 種類の JTL セルを用いることにより、約 4ps のきざみでクロックとデータの相対遅延を調整した。また、出力信号の分岐は、2-7 節で述べたように、SPL を PTL 用論理セル内に挿入することにより行った。4ps より非常に小さいタイミング調整が必要な箇所は、PTL の長さを変えることでタイミング調整を行った。CONNECT セルライブラリの JTL セル 1 個分 (最小の長さ $40\mu\text{m}$) の長さの PTL を挿入することにより、約 0.3ps の遅延を挿入することができ、JTL セル

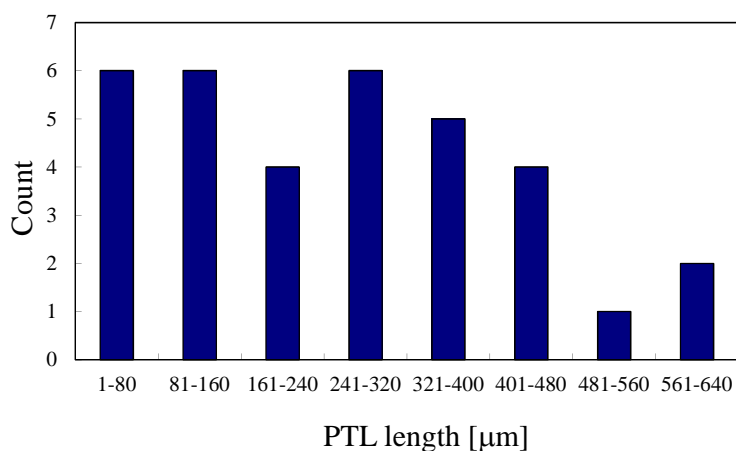


図 2-55. 2×2 スイッチで用いた PTL の長さの分布。

を用いる場合（約 8psec）よりも細かいタイミングの微調整を行うことが可能である。PTL の長さで遅延調整を行ったのは NOT セルへの入力だけである。NOT は 40GHz でのタイミングマージンが $\pm 4\text{psec}$ しかなく、 2×2 スイッチ回路を構成する論理セルの中でタイミングマージンが突出して狭いため、PTL 長さの調整によるタイミング微調整が必要であった。

この設計で用いた PTL は特性インピーダンスが 2Ω の MSL であり、線幅は $34\mu\text{m}$ である。図 2-55 に、 2×2 スイッチ回路の中で使用した MSL の長さの分布を示す。 2×2 スイッチ回路で使用した MSL の本数は 34 本であり、その中で最長の MSL は $630\mu\text{m}$ 、最短の MSL は $20\mu\text{m}$ であった。JTL 1 セル分の長さ¹²の配線は JTL セル 1 個、すなわち接合 2 個を用いれば接続できる。一方、このような短い配線に PTL を用いた場合、ドライバとレシーバの 2 つのセルが必要になり、接合は 3 個必要になる。したがって、このような短い配線に PTL を用いると、JTL 配線を用いる場合よりも回路の接合数を増加させることになる。今回設計した 2×2 スイッチ回路では、6 本の配線（使用した PTL の約 18%）が、JTL セルの長さ以下の（つまり $80\mu\text{m}$ 以下の）PTL 配線であった。しかし、これらのオーバーヘッドを有しても、2-8-3 で後述するように、JTL 配線で設計した場合よりも接合数が大幅に削減される。なお、2-6-2 で示したように、バイアスが設計値の -20% あるいはそれ以上であれば、PTL 長さによらず PTL 伝送回路の伝播遅延時間は PTL 長さに比例する。 2×2 スイッチのタイミング設計においては、(2-33)式と表 2-2 の τ_0 の値を用いた。

2×2 スイッチ回路の中で用いられた MSL 交差部は 18 個であり、1 本の MSL が有する交差の最大数は 4 個であった。最長の MSL、つまり最も共振周波数が低い PTL の長さは $630\mu\text{m}$ であり、その共振周波数は、(2-28)式で $\tau_f = 5 [\text{psec}]$ と置くと約 63GHz と見積もられるので、想定している動作周波数 40GHz に比べて高い。したがってこの 2×2 スイッチ回路では 2-5-5 節で述べたような共

¹² CONNECTセルライブラリには様々な長さのJTLセルがあるが、頻繁に用いられるものは長さ $40\mu\text{m}$ と $80\mu\text{m}$ のJTLセルである。そのためここではJTLセルの長さを $80\mu\text{m}$ とする。

振によるクロストークの増幅の問題は考慮しなくてよい。そのため、MSL の交差部に MSL 間のシールドは設けなかった。また、2-5 節で述べたように、MSL の交差部における信号損失に関する実験から、交差部が 4 個であれば、MSL 間にシールドを設けなくても、SFQ パルスの信号損失がレシーバに与える影響は深刻ではないことは確認済みである。

2-8-1-2: 4×4 スイッチ回路の設計

設計した 2×2 スイッチ回路を 4 個配置し、2×2 スイッチ回路間を 6 本の PTL で接続することにより 4×4 スイッチ回路を設計した。この 4×4 スイッチ回路においては、図 2-52 の右側の 2 個の 2×2 スイッチ回路 (2×2_UR と 2×2_LR) の初段の DFF (図 2-53 (a) の D_1 と D_2) で、40GHz においてタイミングマージンが可能な限り最大になるように、クロックとデータのタイミングを設計する必要がある。ここでは長さが 220μm と 920μm の 2 種類の PTL を使用して 2×2 スイッチ回路を接続した。これらの PTL の長さの差 700μm は、約 6psec の遅延時間差に相当する。この 6psec の遅延差は 2 接合の JTL セル 1 個 (設計バイアスでの遅延が 8.3psec) を短い方の PTL に直列に挿入することで、約 2psec に短縮した。DFF はセットアップ時間とホールド時間の和が 0.1psec と非常に短いので、40GHz (クロックサイクル 25psec) において 2psec のタイミング差は十分許容できる。このように、2×2 スイッチ回路間のタイミング調整は簡単に行うことができた。仮に 2×2 スイッチ回路間の配線を長さ 80μm の 2 接合 JTL セルを複数用いて実現した場合、700μm の長さの差は約 73ps の遅延時間差を生じる。この大きな遅延差を、2 接合の JTL セルを用いてキャンセルするには、9 個の JTL セルを短い方の JTL 配線に付加する必要がある、JJ 数、バイアス電流、回路面積、回路遅延、タイミングジッタが増大する。この比較からも、JTL 配線を PTL 配線に置き換えることによる改善の効果が分かる。

各 2×2 スイッチ回路を接続する 6 本の PTL のうち、長さ 920μm の 2 本の PTL は交差している。この長さ 920μm の PTL の共振周波数は、(2-28) 式で $\tau_f=5$ [psec] と置くと約 48GHz と見積もられる。したがって、想定している動作周波数 40GHz よりも共振周波数が高いため、共振によるクロストークノイズの増幅の問題は考慮しなくてよい。そのため、この交差部でも PTL 間シールドは使用していない。

2-8-1-3: チップ設計

設計した 4×4 スイッチ回路の高速動作実証にはオンチップテスト手法[40], [70], [71]を用いた。オンチップテスト回路は、4 個の 8 ビット入力 SR、4 個の 8 ビット出力 SR、HFCG で構成した。HFCG は、14 個のスプリッタと 14 個の CB で構成されており、トリガパルス *trig* を入力すると 14 個の高周波 SFQ クロックパルスを出力する。入力 SR、出力 SR、HFCG は 1 次元の繰り返し回路であり、CONNECT セルライブラリの標準セルを直接接続して設計した。スイッチチップは、2-8-1-2 で設計した 4×4 スイッチ回路と、入力 SR、出力 SR、HFCG を配置し、これらの回路間を

表 2-4. 4×4 スイッチチップの接合数、バイアス電流、消費電力。

	接合数	バイアス電流 [mA]	消費電力 [mW]
4×4 スイッチ回路	1478	188.3	0.47
オンチップテスト回路	1334	196.5	0.49
4×4 スイッチチップ	2812	384.8	0.96

PTL で接続することにより設計した。各入力 SR のクロック出力端子とデータ出力端子はそれぞれ、対応する 4×4 スイッチのクロック入力端子とデータ入力端子に、長さ 2.56mm の PTL を用いて接続した。各出力 SR のクロック入力端子とデータ入力端子はそれぞれ、対応する 4×4 スイッチ回路のクロック出力端子とデータ出力端子に、長さ 2.60mm の PTL で接続した。このように並走するクロックとデータを同一の長さの PTL を用いて伝送することにより、タイミング調整を不要とした。これらの長さ約 2.6mm の PTL の共振周波数は、(2-28)式で $\tau_f=5$ [psec] と置くと約 20GHz と見積もられ、回路の動作周波数 40GHz よりも低いので共振を起こす可能性がある。しかしこれらの PTL は交差部を有さないように設計したためクロストークの問題はない。なお、HFCG から各入力 SR にクロックを供給するために、HFCG と各入力 SR は、長さ 0.44mm の PTL と長さ 1.30mm の PTL で接続した。これらの PTL も交差部は有さないように設計した。表 2-4 に示すように、4×4 スイッチ回路の接合数は 1478 個、バイアス電流は 188.3mA、消費電力は 0.47mW である。オンチップテスト回路の接合数は 1334 個、バイアス電流は 196.5mA、消費電力は 0.49mW である。チップ全体では、接合数が 2812 個、バイアス電流が 384.8mA、消費電力が 0.96mW となった。

2-8-2: 測定評価

4×4 スイッチチップを NEC の Nb 標準プロセス[31]で試作した。 J_c は $2.5\text{kA}/\text{cm}^2$ である。図 2-56 は試作した 4×4 スイッチチップの顕微鏡写真である。スイッチチップをセラミックパッケージにワイヤボンディングで実装し、そのセラミックパッケージを測定治具に実装し、測定治具を液体ヘリウムに浸してチップを 4.2K に冷却した。図 2-57 に示すように、4×4 スイッチ回路は $2^4=16$ 種類のルーティングを有する。これらすべてのルーティングを試験するため、図 2-57 に示したテストパターンを用いてオンチップテストを行った。図 2-58 はオンチップテストで得られた 4×4 スイッチ回路の動作波形であり、16 種類すべてのルーティングについて全ビット動作を 40GHz クロックで確認した。測定したチップは 10 チップであり、そのうち 6 チップで 40GHz の全ビット動作を確認した。40GHz でのバイアスマージンは、最良のチップで $\pm 4.5\%$ であった。4×4 スイッチ回路のバイアスマージンは、今回設計したスイッチ回路の中で突出してタイミングマージンが狭い NOT セルのタイミングエラーで制限されているものと考えられる。この実験結果により、本研究で開発した PTL 配線を用いた SFQ 論理集積回路の設計方法の有効性が示された。

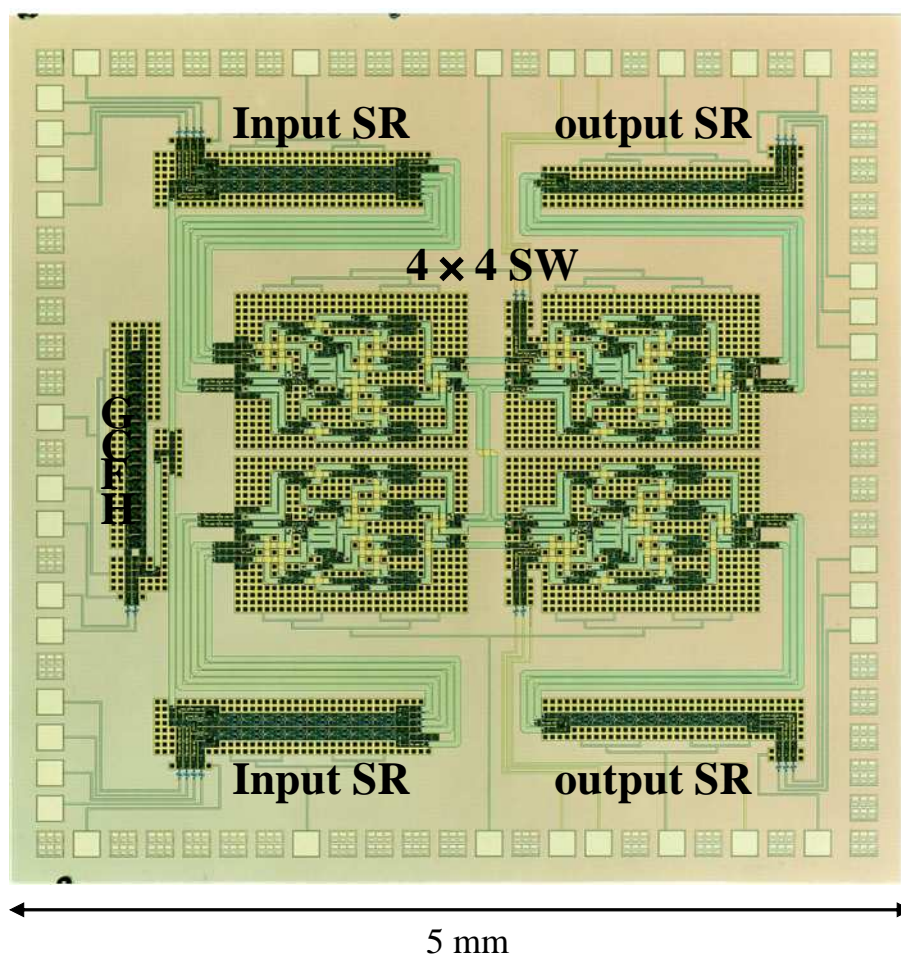


図 2-56. 試作した 4×4 スイッチチップの顕微鏡写真。SW、SR、HFCG はそれぞれ、スイッチ、シフトレジスタ、高周波クロック発生器である。チップサイズは 5mm×5mm である。

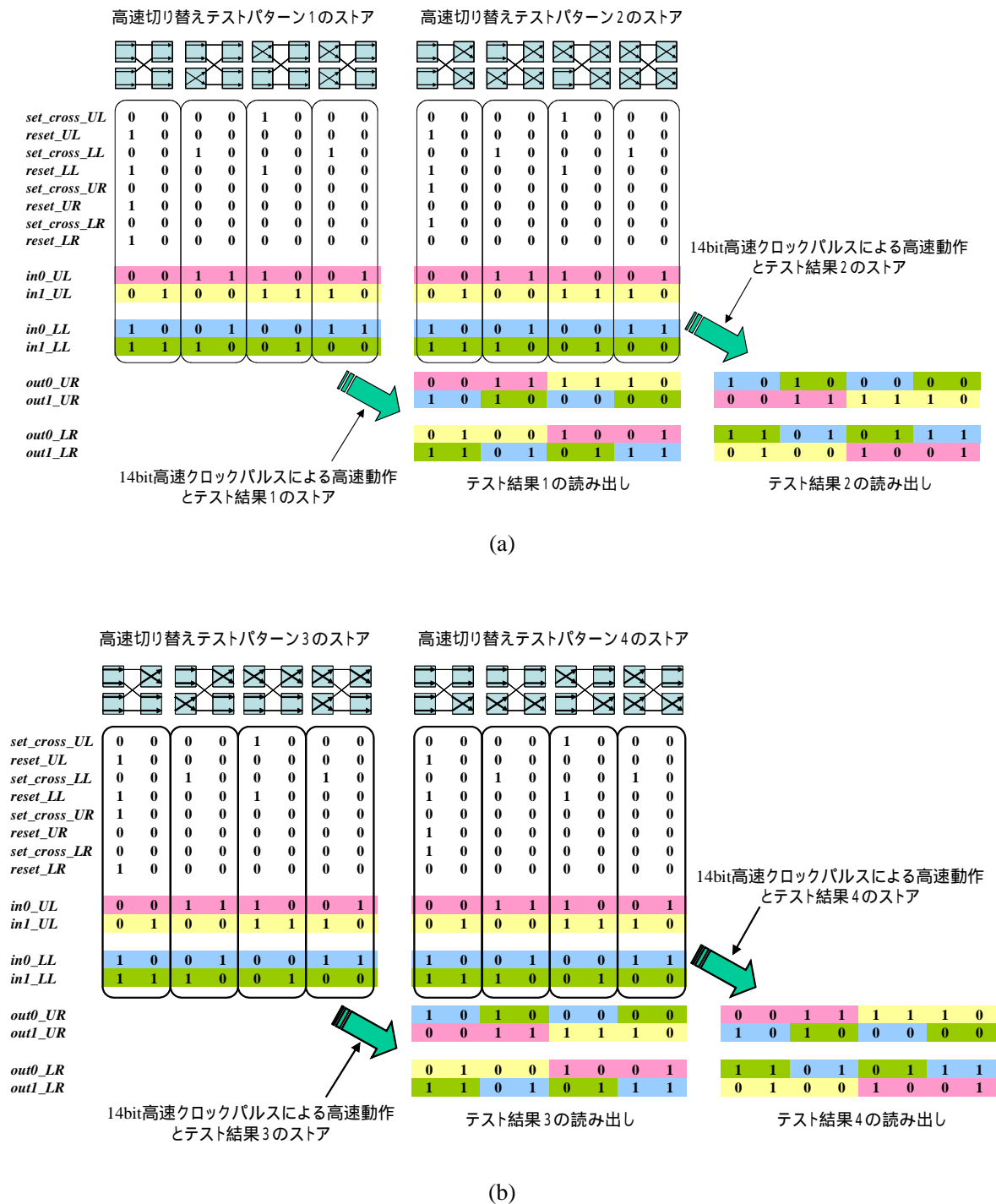


図 2-57. オンチップテストの入力パターンと期待出力パターン。(a)と(b)の2種類のテストパターンにより、4×4スイッチの全16種類のルーティングをテストする。

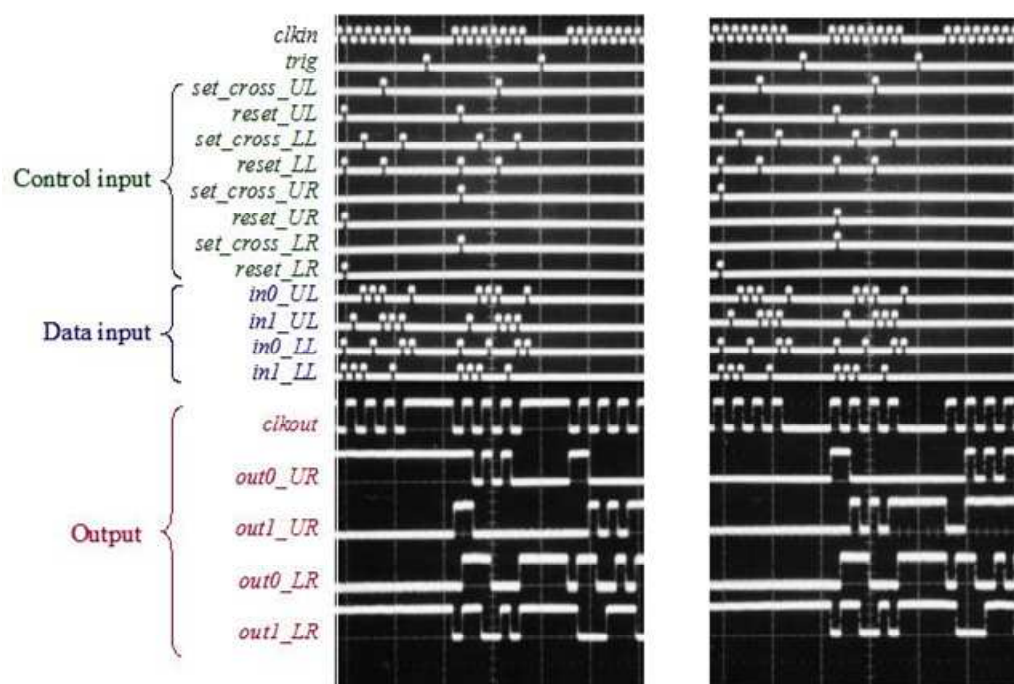


図 2-58. 4×4 スイッチ回路のオンチップテストの波形。左の写真は 8 種類のルーティング動作（図 2-57 (a)）を、右の写真は別の 8 種類のルーティング動作（図 2-57 (b)）を示している。

2-8-3: 解析

PTL をすべての論理セル間の配線に用いた SFQ 集積回路が、JTL 配線を用いた場合に比べて、どのような利点をどの程度有するのかを定量的に比較することは非常に重要である。PTL の JTL に対する優位性は回路の種類に依存するが、本節では今回設計した 4×4 スイッチ回路を例にとり、JTL 配線と PTL 配線の場合について比較を行った。今回設計した 4×4 スイッチ回路と論理回路図が同一のスイッチ回路は、JTL 配線を用いてすでに設計され、40GHz 動作が実証されている[72]。この JTL 版 4×4 スイッチ回路と、今回設計した PTL 版 4×4 スイッチ回路とを比較した。比較の結果を表 2-5 に示す。PTL 版スイッチは、JTL 版と比較して接合数が 50%削減された。したがって、PTL の使用により回路の歩留まりの向上が期待できる。PTL 版の消費電力とバイアス電流は JTL 版に比べて 55%削減された。大規模な SFQ 回路において、高いバイアス電流が発生する磁場による回路の誤動作が深刻な問題になることが指摘されているが[73], [74]、PTL 配線を用いることによりこの問題を大幅に軽減できる。回路のレイテンシは JTL 版に対して 64%削減された。大規模な SFQ 回路を高速クロックかつ低い誤動作確率で動作させる際に最も重要となる問題は、熱ノイズに起因するタイミングジッタと、プロセスばらつきに起因するタイミングの設計値からのずれ

表2-5. PTL版4×4スイッチ回路とJTL版4×4スイッチ回路との比較

	JTL版4×4スイッチ回路	PTL 版 4×4 スイッチ回路
接合数	2966	1478 (-50%) ^a
消費電力 [μW]	1000	470 (-55%)
バイアス電流 [mA]	415	188 (-55%)
レイテンシ [ps]	804	291 (-64%)
N_{JJ} ^b	250	91 (-64%)
タイミングジッタ ^c [ps]	1.4	0.9 (-40%)
タイミングずれ ^d [ps]	13.4	8.1 (-40%)

^a()内の数字はJTL版に対する値をパーセンテージで表示したものであり、JTL版と等しい場合を±0%とした。マイナスの数字はJTL版よりも小さいことを示す。

^bクリティカル論理セルの入力端子に接続されているクロックパスとデータパスに含まれるJJ数の合計。ただしクロックパスとデータパスが共有するJJは除く。

^cクリティカル論理セルにおけるタイミングジッタの見積もり値。

^dクリティカル論理セルにおけるタイミングばらつきの見積もり値。

である[30]。SFQ 論理集積回路の中で、最大のタイミングジッタおよび最大のタイミングずれは、クロック入力端子に接続されているクロックパスに含まれる接合数と、データ入力端子に接続されているデータパスに含まれる接合数の合計（ただしクロックパスとデータパスが共有する接合は除く）が最も多い論理セルである。そのような論理セルを、ここでは便宜上、クリティカル論理セルと呼ぶ。図 2-59 は、今回設計した 4×4 スイッチ回路の中のクリティカル論理セルを示したものである。クリティカル論理セルは、右側の 2 つの 2×2 スイッチ回路（図 2-59 の 2×2_UR と 2×2_LR）の中の DFF（図 2-53 (a)の D_2）である。クリティカル論理セルの入力端子に接続されているクロックパスに含まれている接合とデータパスに含まれている接合の個数の和（ただしクロックパスとデータパスが共有する接合は除く）を N_{JJ} と定義する。表 2-5 に示すように、PTL 版スイッチの N_{JJ} は、JTL 版スイッチの N_{JJ} と比べて 64% 削減された。タイミングの設計値からのずれもタイミングジッタも $\sqrt{N_{JJ}}$ に比例するため[30]、PTL 版スイッチでは、JTL 版に比べて、タイミングジッタとタイミングずれがいずれも約 40% 削減される。NEC の Nb 標準プロセスで作製された JTL の、接合 1 個のタイミングジッタは約 0.09ps であると報告されている[55]。この値と N_{JJ} から、JTL 版 4×4 スイッチ回路のクリティカル論理セルにおけるタイミングジッタは、およそ 1.4ps と見積もられる。一方、PTL 版 4×4 スイッチのクリティカル論理セルにおけるタイミングジッタはおよそ 0.9ps と見積もられる。また、NEC の Nb 標準プロセスで設計した JTL について、タイミングばらつきの接合数依存性をモンテカルロ計算により評価した Furuta らの報告によれば、タイミングずれは接合 1 個で約 0.85pssec である[54]。この値と N_{JJ} から、クリティカル論理セルにおけるタイミングずれは、JTL 版スイッチ回路で約 13.4pssec、PTL 版スイッチ回路で約 8.1pssec と見

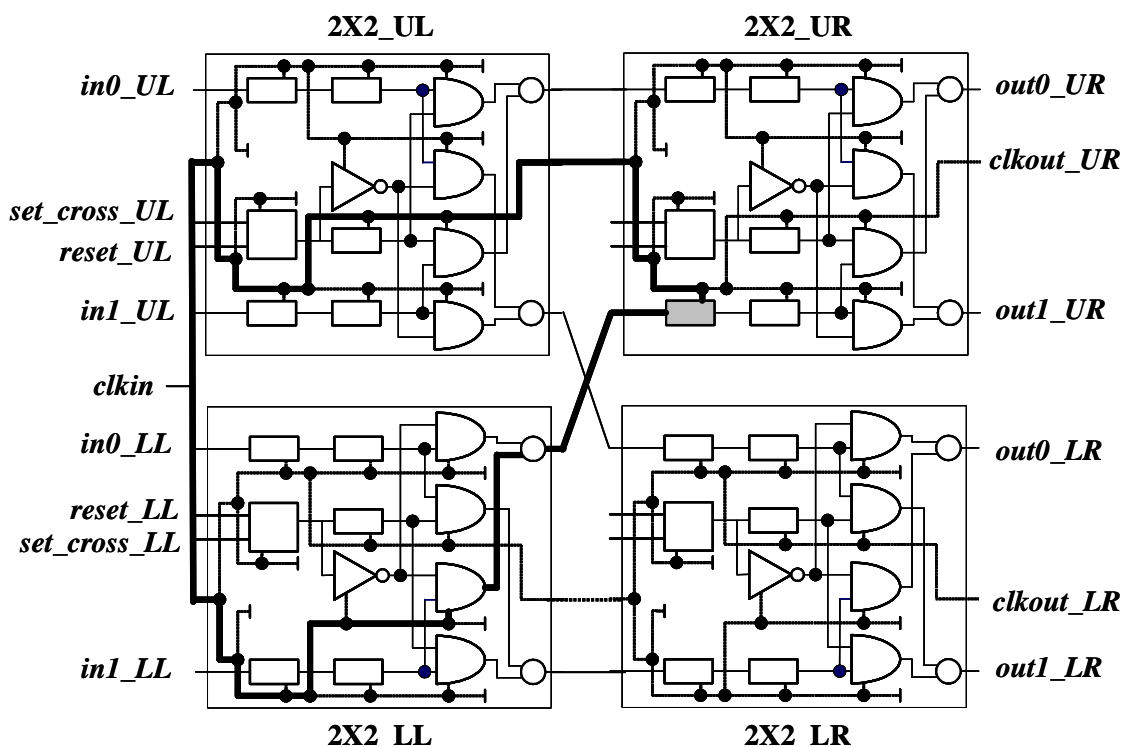


図 2-59. PTL 版 4×4 スイッチのクリティカル論理セル。網掛けの論理セル (2×2_UR の D_2) がクリティカル論理セルのひとつである。クリティカル論理セルの入力端子に接続されているクロックパスとデータパスは太線で示してある。回路の対称性から、2×2_LR の D_2 もクリティカルセルである。

積もられる。このように、JTL 配線を PTL 配線に置き換えることにより、タイミングジッタとタイミングずれも大幅に削減できることが示された。

以上の比較で明らかになったように、PTL 配線の適用により、SFQ 論理集積回路の接合数は大幅に削減される。しかしこれは回路面積が削減されることを意味しない。実際、PTL 版 2×2 スイッチ (図 2-54) の回路面積は、JTL 版 2×2 スイッチ回路の約 1.2 倍である。この原因のひとつは、ドライバとレシーバのオーバーヘッドである。このオーバーヘッドを削減するには、PTL 用論理セルの接合数と回路面積を削減する必要がある。2-7 節で設計した PTL 用論理セル (図 2-48) は CONNECT セルライブラリのセルとドライバセル、レシーバセルを単に接続しただけであるため、セルの外形が矩形ではなく、冗長な接合も含まれており、改善の余地がある。他の原因は、PTL の交差部が大きな面積を占めていることである。本研究で設計した PTL の交差部は、図 2-26 に示したように、BAS 層と COU 層の間の Via を要する。その結果、PTL の交差部 (40μm×120μm) は、JTL の交差部 (最小で 40μm×40μm) の 3 倍の面積になっている。この問題を解決するためには、Nb 配線層の層数を増やし、交差部の Via を不要にする必要がある。図 2-60 (a)に、本研究で用い

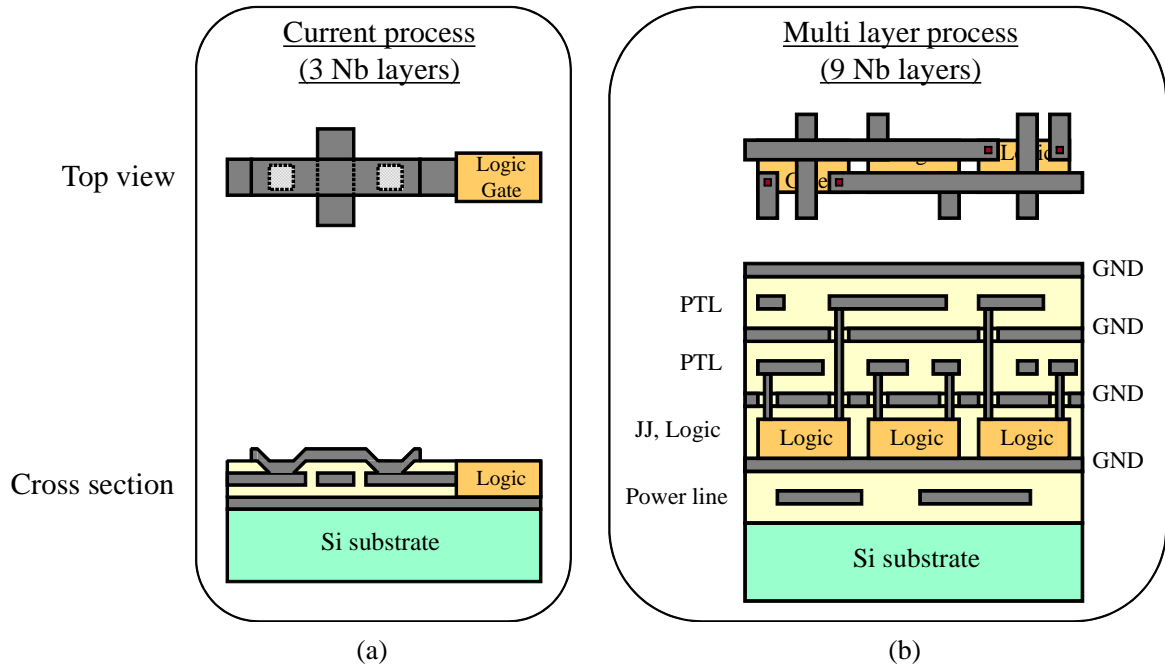


図 2-60. (a)本研究で用いた 2 層配線プロセスと(b) Nb 配線層を 9 層有する多層配線プロセス。

たプロセスのデバイス構造を示す。図 2-60 (b)には、PTL の JTL に対する優位性を十分活用するためのデバイス構造を示す[75]。図 2-60 (b)のデバイス構造を実現するには、少なくとも 9 層の Nb 配線層を集積できるプロセス技術が必要である。このデバイス構造では、チップは 4 枚の Nb の GND プレーン（シールドの役割も兼ねる）で区切られた 4 階のフロアを有する。例えば、最低階は DC 電源ラインに、その上の階は論理ゲートに¹³、その上の階は PTL 配線に、さらにその上の階は別の PTL 配線に用いるデバイス構造が考えられる。そのようなデバイス構造の利点は以下のとおりである。

- (i) Via を用いずに PTL の交差が作製できるため、PTL 交差部の面積を削減できる。
- (ii) PTL を論理ゲートの直上に形成できるため、回路面積を削減できる。
- (iii) PTL がストリップライン（SL）構造になるため、PTL の線幅を削減できる。
- (iv) PTL 間にシールド（GND プレーン）があるため、PTL 交差部のクロストークを回避できる。

これらの利点により、PTL 配線を用いた SFQ 集積回路の面積は、現在の Nb 標準プロセス（図 2-60 (a)）の場合に比べて大幅に削減できる。また、PTL の JTL に対する優位性を最大限に利用することが可能になる。本研究以降に SRL で開発されたアドヴァンストプロセスは Nb 配線層を 9 層有

¹³ 論理ゲートはジョセフソン接合を含む。ジョセフソン接合の形成に上部Nb電極と下部Nb電極が必要なため、論理ゲートの形成には2層のNb配線層を要する。

する[76]。そのようなプロセスと PTL 配線を組み合わせれば SFQ 集積回路の小型化を実現できる。

本研究で用いた PTL は線幅が $34\mu\text{m}$ と非常に広い。この線幅の広さは PTL 配線のひとつの欠点と言える。そのためここで PTL の線幅についての将来的な値を見積もることを試みる。本研究で用いた PTL は特性インピーダンスが 2Ω の MSL であった。 J_C は $2.5\text{kA}/\text{cm}^2$ である。レシーバの I_C を現在の 0.14mA から、Nb 標準プロセスで使用可能な最小値 0.1mA に変更すれば、PTL の特性インピーダンスを約 3Ω に上げることができる。これは、レシーバの LI_C 積を同一とした場合に、 I_C を $1/1.4$ 倍にすれば L を 1.4 倍にできるためである。スイッチング時間 τ は LI_C 積が同一ならばほとんど変わらないため、レシーバのインピーダンス (2-10 式) は約 1.4 倍に高くなり、 3Ω の PTL を用いることが可能になる。さらに、 J_C をアドヴァンストプロセス[76]と同じ $10\text{kA}/\text{cm}^2$ に高めれば、特性インピーダンスが約 6Ω の PTL を使用することが可能になる。これは、レシーバのスイッチング時間 τ が $(J_C)^{-1/2}$ に比例するため、レシーバのインピーダンスが $\sqrt{J_C}$ に比例するからである。このようにして PTL のインピーダンスを 2Ω から 6Ω に高めることにより、線幅は約 $1/3$ となるため約 $11\sim 12\mu\text{m}$ に縮小される。さらに図 2-60 (b)で示したデバイス構造を実現できれば、PTL は MSL から SL に変わる。SL の線幅は MSL の線幅のおよそ半分であるので¹⁴、 6Ω の SL は $5\sim 6\mu\text{m}$ の幅で実現できる。したがって現在の Nb 標準プロセスと同程度の厚さの SiO_2 絶縁膜で、 $5\mu\text{m}$ の線幅は実現可能である。さらに線幅を縮小する方法としては SiO_2 よりも誘電率が高い絶縁体を用いることが考えられるが、その場合、PTL の伝搬遅延時間が増大するので¹⁵、絶縁体の誘電率は、線幅と伝搬遅延のトレードオフを考慮して選択すべきである。

2-9: 本章のまとめ

本研究では、PTL 伝送回路が共振器であることに着目し、これまで議論されてこなかった共振器としての PTL 伝送回路の物理的性質を考察した。その結果、PTL 伝送回路においては、SFQ パルス伝送の場合、および、熱雑音やクロストークなどの弱い信号が伝搬する場合の、ふたつのインピーダンス整合問題が存在することを示した。そして、これらの整合問題は互いに相容れないものであり、PTL 伝送回路の設計はこのトレードオフ関係の最適化に帰着することを明らかにした。この考察に基づいて、PTL 伝送回路を最適化設計し、試作した。さらに、PTL 伝送回路の評価においては PTL の共振周波数を含む広い周波数範囲での動作評価が重要であることを指摘し、リング型テスト回路と、そのリング型テスト回路を用いた PTL 伝送回路の評価方法を開発した。設計した PTL 伝送回路を、開発したリング型テスト回路を用いて評価し、共振周波数を含む 40GHz までの広い周波数範囲で広いバイアスマージンで動作することを実証した。

¹⁴ SiO_2 絶縁膜の膜厚 300nm 程度に対して PTL の線幅は $10\mu\text{m}$ 程度と 10 倍以上であるため、フリッジの影響は無視できる。そのため、MSL から SL に構造を変更すると線幅はおよそ半分になる。

¹⁵ PTL の伝搬遅延時間は誘電率の $1/2$ 乗に比例する。

さらに、交差する MSL におけるクロストークノイズが MSL に接続されているレシーバに与える影響を実験的に評価し、シミュレーションを用いた解析を行った。その結果、クロストークノイズは主にレシーバの下側バイアスマージンを減少させることを明らかにした。さらに、ノイズ源 SFQ パルスの伝送レートが、クロストークノイズを受ける MSL の共振周波数に等しいとき、クロストークノイズが共振によって増幅されることを明らかにした。さらに、この共振によるクロストークノイズの増幅作用は、互いに交差する MSL の長さが等しい場合に顕著になることを示した。また交差する MSL の数が多いほど、クロストークによるレシーバのバイアスマージンの減少が大きくなることを実験で示した。

さらに、すべての論理セル間に PTL 配線を用いた SFQ 論理集積回路の設計方法を提案した。また、PTL を用いた集積回路の設計に必要な PTL 伝送回路の物理的性質、すなわち、集中定数とみなせる短い PTL を用いた PTL 伝送回路のバイアスマージンの周波数特性、PTL 伝送回路の伝搬遅延時間の PTL 長さ依存性、PTL 接続用論理セルのタイミングパラメータとバイアスマージンを、実験とシミュレーションから明らかにした。

これら本研究で得られた PTL 伝送回路に関する知見と、本研究で確立した PTL 伝送回路と、本研究で提案した SFQ 論理集積回路設計方法とを用いて、すべての論理セル間を PTL 配線で接続した 4×4 スイッチ回路を設計、試作し、オンチップテストで 40GHz 動作を実証した。さらに、JTL 版 4×4 スイッチと PTL 版 4×4 スイッチを比較し、PTL 版 4×4 スイッチでは、接合数、消費電力、バイアス電流、レイテンシ、タイミングジッタ、タイミングの設計からのずれが大幅に削減されることを示した。これにより、PTL を用いることによる SFQ 論理集積回路の低電力化、高速化への寄与を初めて実回路で定量的に示した。また、PTL 配線の欠点として回路面積の増大を指摘し、この欠点が Nb 多層配線プロセスによって解消されることを示した。

今後の課題としては以下のことが挙げられる。

まず、PTL の JTL に対する優位性を最大限に生かすために、多層配線プロセスの開発が重要である。そこでは、論理セル、PTL、電源ライン、シールドの層構成の検討が課題となる。また Nb 配線層数の増大に伴い、平坦化プロセス技術が課題になる¹⁶。さらに多層配線のデバイス構造における PTL の設計技術も重要な課題である。具体的には、GND プレーンが複数存在する場合に GND プレーンの上に形成された PTL と GND プレーンの下に形成された PTL とを接続するための、インピーダンス整合のとれる接続 Via の構造の研究が重要な課題である¹⁷。また、高集積化の観点から、PTL の配線幅の縮小が必要であり、高 J_c プロセスと高 J_c の回路設計技術が重要な課題となる。また本研究では、PTL 用論理セルを、既存の JTL 用論理セルにドライバセルとレシーバセルを接続することにより構成したため、PTL 用論理セルのレイアウトと接合数が冗長になっている。多くの JTL 用論理セルは入出力端にバッファ接合を有しており、それらのバッファ接合はドライバやレシーバとの接続に際して削除できる可能性がある。また、PTL 用論理セルのレイアウトを矩

¹⁶ 多層配線プロセスとそのための平坦化プロセスの研究開発はSRLにより行われた[76], [77]。

¹⁷ 多層配線構造におけるPTL配線の設計技術は、本研究以降、Yamadaらによって研究された[78]。

形にするなどの改善により、PTL 用論理セルの面積を削減する余地がある。これらの課題を解決することにより、よりセル面積と接合数が削減され、その結果消費電力、遅延、ジッタ等も削減された PTL 用論理セルが実現できる¹⁸。さらに、大規模 SFQ 論理集積回路実現のためには、PTL 配線を用いた SFQ 論理集積回路のトップダウン設計ツールの開発も不可欠な課題である¹⁹。

また、本研究では、PTL 伝送回路における共振現象のバイアスマージンへの影響を主に検証したが、PTL 伝送回路特有の問題として、反射波によるドライバとレシーバのスイッチング時間の揺らぎの問題がある。この問題は共振条件が満たされている場合には、バイアスマージンの中央においても起こる。低速動作においては問題にならないが、100GHz 超などの超高速動作の場合には、タイミングエラー発生の一要因として顕在化する可能性がある。そのため、どの程度のスイッチング時間の揺らぎが生じるのかを検証することと、スイッチング時間の揺らぎを減少させるための PTL 伝送回路の設計方法の研究が重要な課題になると考えられる。タイミング揺らぎは反射だけでなく、クロストークノイズによっても発生する。本研究で指摘したように、熱雑音（ドライバ接合とレシーバ接合のシャント抵抗で発生する）やクロストークの、共振周波数と等しい成分は共振によって増幅される。そのため、本来ホワイト雑音である熱雑音は、共振周波数とそのハーモニクスが強くなる、いわゆる Colored Noise になると考えられる。そのような Colored Noise が存在する場合の PTL 伝送回路のジッタはどうなるのか、は研究課題になると考えられる。

さらに、高 J_C 化を進めて接合がセルフシャント接合になるとシャント抵抗が不要になり回路面積が減ることが期待されているが、一方で PTL ドライバ接合、PTL レシーバ接合は β_C が 1 より高い接合を用いることが一般に必要である²⁰。セルフシャント接合の場合、 β_C を 1 より高くするためにはキャパシティブシャントを用いなければならないと考えられるが、そのような場合の PTL 伝送回路の設計は研究課題である。そのような研究は、現状のプロセスでも先行的に研究することが可能である。

¹⁸ PTL用論理セルの小型化は、本研究以降、Nakagawaらにより、ひとつのアプローチが研究されている[79]-[81]。

¹⁹ PTL配線を用いたトップダウン設計ツールの開発は、Kamedaら[82]、Tanakaら[83]によって行われている。

²⁰ これはドライバ接合とレシーバ接合がシャント抵抗だけでなくPTLの特性インピーダンスによってもシャントされているからである。

第 3 章: マルチチップモジュール (MCM) とチップ間 SFQ パルス伝送回路

実用レベルの SFQ デジタルシステムを実現するためには、マルチチップモジュール (Multi-Chip Modules; MCMs) が不可欠である。MCM の利点は、高い歩留まりで大規模な集積回路を実現できることである。1 つのチップで集積回路を実現する場合、回路規模が大きくなるほど歩留まりが低下する。MCM では、限られた規模の集積回路チップを複数実装して接続することにより、1 つのチップで実現するよりも高い歩留まりの集積回路を実現することが可能である。本章では、SFQ MCM 実現の鍵となる課題である、チップ間 SFQ パルス伝送回路について述べる。SFQ 回路の高速性を MCM レベルでも活かすには、MCM 全体がチップ単体と同程度のクロック周波数で、あたかも 1 枚のチップのようにシームレスに動作することが必要である。そのためには、チップ上と同程度の伝送レートでチップ間パルス伝送が可能な、チップ間高速パルス伝送回路が必須である。しかし、チップと MCM 基板とを接続するはんだバンプにおける構造不連続に起因する反射や信号損失があるため、この課題は技術的に困難であり、これまで様々なチップ間高速信号伝送回路の研究開発が試みられた[48], [84]-[89]。

本章ではまず、従来のチップ間高速パルス伝送回路について述べ、その課題を指摘する。そして、従来よりも高速なチップ間 SFQ パルス伝送回路を提案し、シミュレーションによりその物理的性質を明らかにするとともに最適化設計を行う。また、反射の要因であるバンプ接続構造について 3 次元高周波解析を行い、SFQ パルス伝送に必要な帯域を確保するためのバンプ接続構造を検討する。さらに、設計したチップ間 SFQ パルス伝送回路の試作と実験について述べる[90], [91]。

3-1: 従来のチップ間 SFQ パルス伝送回路と課題

MCM は、配線が形成された MCM 基板に複数の集積回路チップをマウントし、チップ間を電氣的に接続したモジュールである。チップと基板との接続方法は、チップを基板に対してフェイスアップで配置し、ワイヤボンディングで接続する方法や、チップを基板に対してフェイスダウンで配置し、はんだバンプで接続する方法などがある。SFQ 論理集積回路は現在の $J_C=2.5\text{kA/cm}^2$ のプロセスでも 40GHz 以上の高速クロックで動作するので、MCM 全体をチップ単体と同程度のクロック周波数で動作させるには、チップ間で 40Gbps/ch 以上の高いスループットで SFQ パルスを伝送する必要がある。そのような超高速パルス伝送をチップ間で行うためには、ワイヤではなくインダクタンスの小さなはんだバンプを用いてチップと基板とをフリップチップ接続することが必須である。

図 3-1 に SFQ MCM の構成を示す。MCM 基板上に複数のチップがはんだバンプでフリップチッ

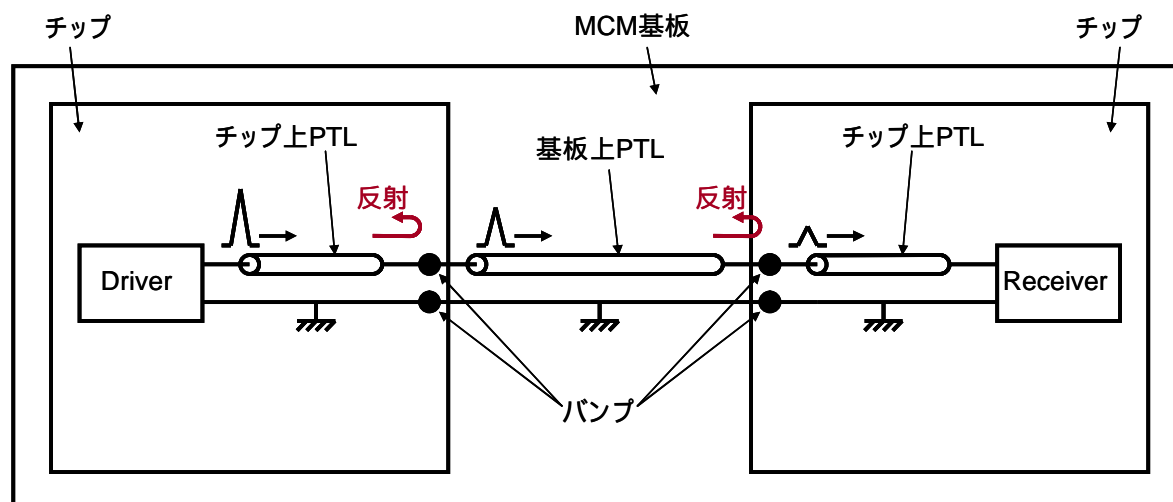


図 3-1. SFQ MCM の構成。

プ接続されている。チップ間パルス伝送はドライバとレシーバによって行われる。ドライバから出力された SFQ パルスは、チップ上 PTL、バンブ、基板上 PTL、バンブ、チップ上 PTL を通って別チップのレシーバで受信される。チップ間 SFQ パルス伝送の技術的困難は、チップと MCM 基板とを電気的および機械的に接続するはんだバンブにおける、構造的な不連続に起因するインピーダンス不整合による反射および信号損失である。反射と信号損失はドライバとレシーバのバイアスマージンを減少させる原因となる。この問題に対しては、反射と損失に対する耐性の高いチップ間パルス伝送回路の設計、および、バンブ接続構造の広帯域化の両面からのアプローチが必要である。

はんだバンブによるフリップチップ実装技術は、これまでにいくつかの研究が行われている[92], [93]。Josephson 接合は高温にさらされると I_c が低下するため、120 程度より低い融点を持つはんだ材料が必須である。その候補として融点が 117 の InSn があり、InSn はんだを用いた超伝導回路のためのフリップチップ実装技術が報告されている[92], [93]。一方、SFQ パルスを 40Gbps 以上の高い伝送レートで伝送するためにはどのようなバンブ接続構造が必要かという、バンブ接続構造の広帯域化設計は、バンブの直径や高さだけではなく、チップと MCM 基板の材料やデバイス構造、バンブに接続する伝送線路のインピーダンスと線幅等にも依存する。そのため本研究では、本研究で用いるチップと MCM 基板のデバイス構造、および MSL のインピーダンスと幅に特化して、SFQ パルス伝送に必要な帯域を有するバンブ構造をシミュレーションで検討し、実験で検証する。

SFQ 回路のためのチップ間パルス伝送回路は、最初、Polonsky らによって多磁束量子 (Multi Flux Quantum; MFQ) ドライバを用いた MFQ 伝送方式が提案された[84]。MFQ 方式では、直列接続された M 個の DC SQUID に JTL が磁気結合した MFQ ドライバを用いる。SFQ パルスが入力される

と、SFQ パルスが伝搬する JTL と磁気結合している M 個の DC SQUID がスイッチし、 M 個の SFQ に相当する MFQ パルスが出力される。直列接続する SQUID の個数 M を多くするほどドライバの出力を高くすることができる。シミュレーションにより、 $J_C=1\text{kA/cm}^2$ プロセスを想定した場合、 $M=4$ で PTL の特性インピーダンスを 5Ω とでき、 20Gbps/ch まで動作可能と報告されている[84]。しかし実験結果は報告されていない。回路構成を見る限り、MFQ ドライバはパラメータマージンが狭いと考えられる。直列接続された M 個の SQUID が同時にスイッチしなければ、意図した高出力のドライバは実現できないからである。パラメータのばらつきにより、各 SQUID がスイッチするタイミングがずれるため、設計通りの出力を得られなくなる。さらに、MFQ ドライバは回路規模が大きく消費電力が大きいという欠点も有する。

その後 Gupta らによって、SFQ/DC をドライバに用いた、チップ間レベル信号伝送方式が提案された[85]。この方式は、T フリップフロップ (T flip-flop; TFF) ベースの SFQ/DC をドライバとして用いることにより、SFQ パルス入力をレベル信号に変換してチップ外に出力する。レシーバは高感度の SQUID になっており、受信する信号の立ち上がりエッジと立下りエッジで複数の SFQ パルスを出力する。そのため、高感度 SQUID の後段に、この複数の SFQ パルスの先頭のパルスのみを残すための論理回路が接続されている。この方式はレベル信号を用いるため、SFQ パルスのような psec 幅の短パルス信号を伝送するよりも、バンプ接続部でのインピーダンス不整合に対して耐性が高い。Gupta らは、このチップ間レベル信号伝送を 1Gbps/ch まで実証した[85]。InSn はんだバンプの形成とフリップチップボンディングは TRW で行われており、バンプ直径は $100\mu\text{m}$ である。また HYPRES の $3\mu\text{m}$ プロセスを用いていることからチップの J_C は 1kA/cm^2 であると推定される。スルーボットの上限は測定治具によって制限されていると述べられている[85]。この方式を用いたチップ間パルス伝送は、その後 Kang らによって 10Gbps/ch まで実証されたが[86]、それ以上の高速動作はその後報告されていない。この方式は信号の幅が長いため、伝送レートがチップ上の信号伝送レートに比べて低くなるという欠点を有する。さらに、レシーバ側にパルス列の先頭パルスのみを選択するための論理回路が必要なため回路規模と消費電力が大きいという欠点も有する。

チップ間での SFQ パルス伝送に初めて成功したのは Maezawa らである[87]-[89]。Maezawa らの方式では、MCM 基板上に接合を形成し²¹、チップ上の接合と基板上の接合とはんだバンプのインダクタンスを用いて、バンプをまたぐ JTL を構成することにより、チップと MCM 基板との間で SFQ パルスを伝送する。バンプを集中定数として JTL のインダクタンスに用いることにより、インピーダンス不整合の問題を回避している。すなわち、はんだバンプに PTL を接続しないため、反射の問題を回避できる。実験では測定治具の帯域の制約により低速での機能実証にとどまったが、 $J_C=1.6\text{kA/cm}^2$ のプロセスで、バンプ接続部の自己インダクタンスを 30pH (バンプ直径は $100\mu\text{m}$ を想定) とした場合、 60Gbps を超えるチップ間 SFQ パルス伝送が可能であることをシミュレー

²¹ 本論文では、Josephson 接合を形成した MCM 基板をアクティブ基板と呼ぶ。これに対し、Josephson 接合を形成せずに PTL 等のみを形成した MCM 基板をパッシブ基板と呼ぶ。

ションで示した[88], [89]。しかしこの方式は、MCM 基板に接合を集積しなければならないという欠点を有する。MCM 基板の大きさは、アプリケーションに依存するが、数 cm 角あるいはそれ以上のオーダーの大きさになると予想される。そのような面積の広い MCM 基板上に接合を集積した場合、プロセスの欠陥や素子パラメータのばらつきにより、チップ間配線の伝播遅延時間が設計からずれたり、信号が伝播しないチップ間配線が発生する可能性がある。さらに、基板が電力を消費するという欠点もある。また、基板上に接合と抵抗を集積しなければならないため、基板のプロセスコストも増大する。これらのことから、接合を用いない MCM 基板、いわゆるパッシブ基板を用いたチップ間 SFQ パルス伝送が最も望ましい方式である。

そのような、基板上に接合を形成しないパッシブ基板を用いたチップ間 SFQ パルス伝送は、Herr らによって初めて実証された[48]。Herr らは、2 磁束量子 (Double Flux Quantum; DFQ) を出力する DFQ ドライバの出力端に、チップ間伝送の PTL の特性インピーダンス Z と等しい抵抗 R を挿入した、DFQ 方式を提案した。この DFQ 方式を図 3-2 に示す。図のように DFQ 方式ではドライバ接合が DFQ を生成するが、ドライバ出力端に接続された抵抗によりパルスの電圧が半分になるため PTL 上には SFQ パルスが出力される。DFQ 方式の動作を詳しく説明するために、図 3-3 に DFQ ドライバの等価回路図を示す。DFQ ドライバは、ドライバの最終段の接合 J1 とその前段の接合 J2 をアンシャントにすることにより、SFQ パルスが入力されたときに最終段の接合 J1 の位相が 4π 回り DFQ が出力される。最終段の接合で出力された DFQ パルスの電圧は、ドライバの出力端に接続された抵抗 R で $1/2$ に減衰する。これは R が PTL の特性インピーダンス Z と等しい値に設計されているからである。したがって PTL 上に出力されるパルスが運ぶ磁束は Φ_0 になる。2-1-4 で明らかにしたように、チップ上 SFQ パルス伝送用の PTL 伝送回路では、ドライバの出力抵抗通過後のパルスが運ぶ磁束は Φ_0 よりも小さくなり、それがレシーバ端で反射が発生する一因になっていた。これと異なり DFQ ドライバでは、PTL 上を磁束 Φ_0 が伝送されるため、レシーバ端での反射を抑制する効果が期待できる²²。さらに PTL のドライバ端は、PTL の特性インピーダンス Z と整合した R で終端されているため (厳密には R の先にドライバの接合やインダクタンスが接続されているので完全な整合終端ではない) ドライバに入射する反射波は R でほぼ消費される。以上のように、DFQ 方式は、従来チップ上で用いられてきた SFQ ドライバに比べて、レシーバに伝送する信号のエネルギーを高くできる。さらに、レシーバ端での反射の強さを抑制し、かつ、レシーバやパンプ接続構造で発生する反射波は R でほぼ吸収できる。Herr らは、DFQ 方式により、パッシブ基板上でのチップ間 SFQ パルス伝送を実証した。チップは $J_c=8\text{kA}/\text{cm}^2$ で試作され、InSn はんだパンプの直径は $100\mu\text{m}$ 、高さは $6\mu\text{m}$ であり、得られた最大スループットは 60Gbps であった[48]。なお、この高速動作実証は、評価チップ上に集積された疑似乱数 (Pseudo-Random Bit Sequence; PRBS) 発生器とエラーディテクタを用いたオンチップセルフテストで行われた。

²² 実際には、PTL からレシーバ接合に入射する電圧波形の積分値とレシーバ接合から PTL に向かって出力される電圧波形の積分値が等しいだけでは反射を解消することはできない。反射は、入力電圧波形と出力電圧波形の差分であるので、入射する電圧波形と出力される電圧波形の時間変化が同一でない限り、反射波が発生すると考えられる。

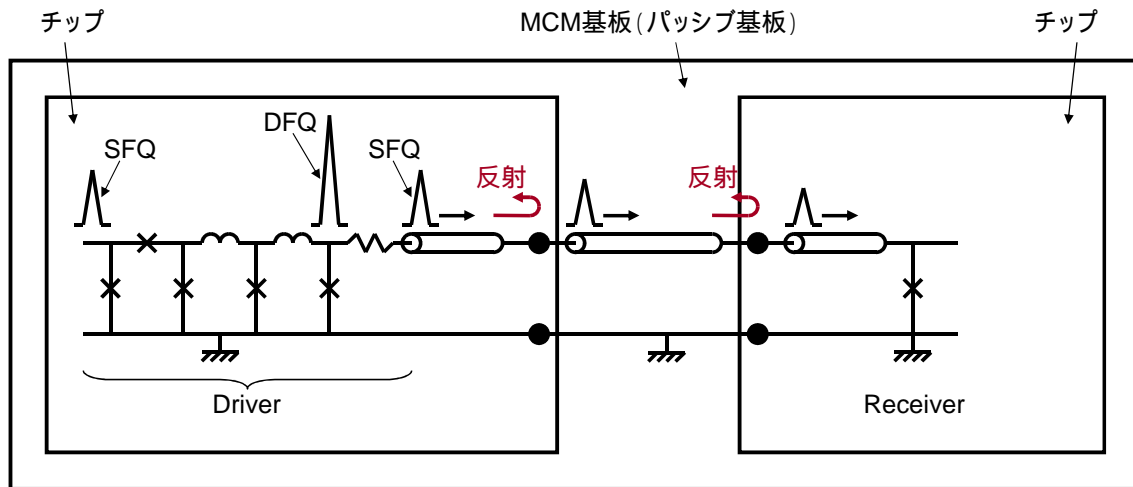


図 3-2. DFQ ドライバ方式。

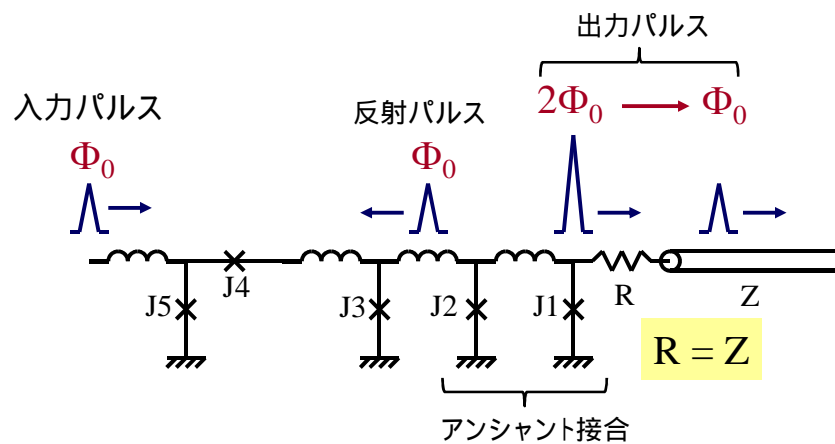


図 3-3. DFQ ドライバとの構成と動作原理。

しかし、DFQ 方式にはいくつかの課題がある。まず、ドライバの最終段の接合 J1 が SFQ の入力に対して DFQ を生成するため、J1 への入力磁束と J1 からの出力磁束の間に Φ_0 の差が生じ、この差がドライバ入力端に向かって伝搬する。つまり、DFQ ドライバは、自身の出力端で SFQ パルスの反射を生成する。このドライバの入力側に向かって戻っていく SFQ 反射パルスは、エスケープ接合 J4 をスイッチさせることによりドライバの外に出される。DFQ ドライバはエスケープ接合 J4 のスイッチが完了しないと次の SFQ パルス入力を受け付けられない。ゆえに伝送レートが遅くなるという欠点を有する。Herr らが実証した DFQ ドライバを用いたパルス伝送回路の性質を調べるために、DFQ ドライバを用いたパルス伝送回路を $J_C=2.5\text{kA/cm}^2$ でシミュレーションした。シミ

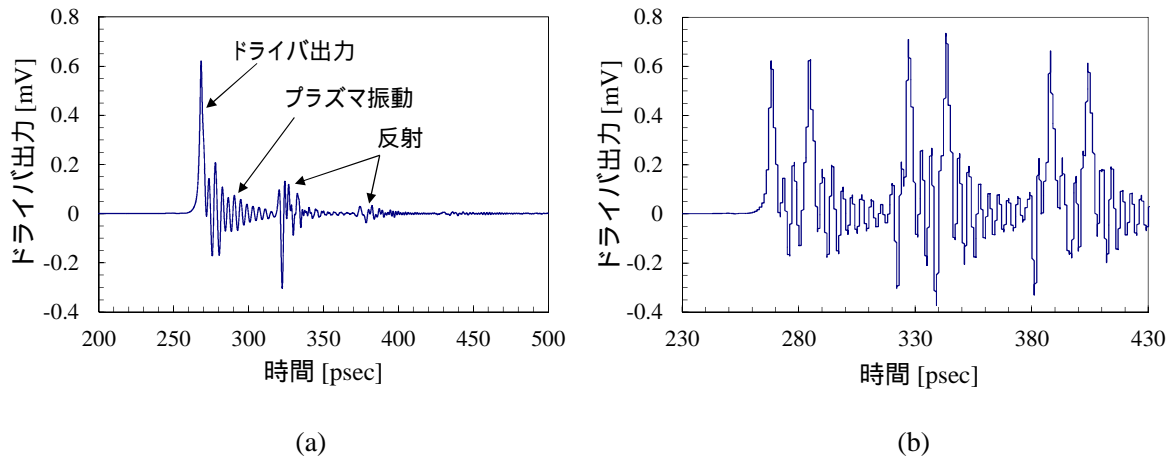


図 3-4. DFQ ドライバのシミュレーション波形。(a) 1 個の SFQ パルスを入力した場合、(b) パルス間隔 30psec のパルス列を入力した場合。

シミュレーションの結果、エスケープ接合 J4 のスイッチが終了するまで次の入力パルスを受け付けな
いたため、スループットは 30Gbps に達しなかった。SFQ 回路の動作速度は J_C の $1/2$ 乗に比例する。
したがって、 $J_C=8\text{kA}/\text{cm}^2$ では $J_C=2.5\text{kA}/\text{cm}^2$ の場合の約 1.8 倍のスループット (54Gbps 未満) でし
か動作しないため、Herr らが報告しているような 60Gbps での低 BER 動作は実現困難であると思
えられる。さらに、図 3-4 (a)に示すように、J1 をアンシャントにしているため、J1 のスイッチン
グ後にプラズマ振動が長く続く。その結果、図 3-4 (b)に示すように、パルス間隔が 30psec 以下の
パルス列を入力すると、プラズマ振動が収まっていないうちに次の SFQ パルスが入力されるため、
出力パルスの間隔が不均一になるという問題も有する。これらの DFQ ドライバ特有の性質は、
DFQ ドライバのスループットの向上や高速動作時の安定性を妨げる。特に、チップ上の PTL 伝送
回路と同程度のスループットを実現できないことは、チップ間伝送回路が MCM の速度を律速す
ることになるので、解決すべき重要な課題である。

一方、チップ上の SFQ パルス伝送に用いられている SFQ ドライバは、DFQ ドライバに比べて
出力が小さく、反射の抑制も弱い。しかし第 2 章で実証したように、共振のクオリティの低減と
インピーダンス整合の間のトレードオフを最適化すれば、少なくともチップ上の SFQ パルス伝送
においては、共振周波数でも広いバイアスマージンで安定に動作することが可能である。SFQ ド
ライバは JTL と等価なので最も単純な構成のドライバである。さらに、DFQ ドライバと異なりド
ライバの出力端からドライバ入力端に向かう反射が発生しないため、エスケープ接合が不要であ
り、DFQ ドライバよりも高いスループットを実現できる。したがって、SFQ ドライバをチップ間
SFQ パルス伝送に用いることができれば、考える最も小規模な回路で最大のチップ間伝送レー
トを実現できる。このアイデアを検証するために、SFQ ドライバによるチップ間 SFQ パルス伝
送回路の設計と実験を試みた。

3-2: チップ間 SFQ パルス伝送回路の設計

SFQ 集積回路は、現状レベルの $J_C=2.5\text{kA/cm}^2$ のプロセスでも 40GHz の高速クロックで動作する。そこでチップ間 SFQ パルス伝送回路のスループットの目標値を 40Gbps/ch とした。この高速動作を実現するためにはチップ間 SFQ パルス伝送回路のバンプでの反射と損失に対する耐性の向上と、バンプ接続構造の広帯域化が必要である。そのために、以下の指針で設計を行った。

- (i) レシーバ接合の I_C を可能な限り低くすることにより、受信感度を可能な限り高める。これにより、バンプ接続構造での反射によって信号パルスのエネルギーが損失してもレシーバが広いバイアスマージンで動作できるようにする。
- (ii) ドライバ接合の I_C を可能な限り高くすることにより、ドライバの出力パルスのエネルギーを可能な限り高くする。これにより、バンプ接続構造での反射によって信号パルスのエネルギーが損失しても、可能な限り高いエネルギーの信号をレシーバに伝達させる。
- (iii) ドライバの出力端に PTL と直列に抵抗を接続することにより、チップ間 SFQ パルス伝送回路の共振のクオリティを、第 2 章で実証した PTL 伝送回路の共振のクオリティと同程度になるように設計する。これにより、バンプ接続構造やレシーバで発生する反射を速やかに減衰させ、共振の影響を低減する。
- (iv) SFQ パルスを伝送するために必要な帯域を確保できるバンプ接続構造を 3 次元構造解析で検討し、バンプ接続構造での反射と損失を可能な限り低減する。

図 3-5 に、設計したチップ間 SFQ パルス伝送回路の等価回路図を示す。 $J_C=2.5\text{kA/cm}^2$ プロセスを用いるため、PTL の特性インピーダンス Z は第 2 章の PTL 伝送回路の値を踏襲し 2Ω とした。ドライバもレシーバも、 I_C の 70% にバイアスされた、 LI_C 積が $\Phi_0/2$ の 2 接合 JTL である。JD2 と JR1 以外の接合は $\beta_C=1$ である。一方、JD2 と JR1 は、接合のベアな β_C (接合とシャント抵抗だけで決まる β_C) が 4 になるようにシャント抵抗を設計した。これらは、2-2 節で設計したチップ上伝送用の SFQ パルス伝送回路の基本設計を踏襲した。

上記(i)～(iii)の設計指針に従って、ドライバとレシーバの回路パラメータを設計した。まず上記(iii)に従って、バンプ接続構造およびレシーバからの反射は、チップ上伝送用の PTL 伝送回路と同様に、ドライバの出力端に、PTL と直列に抵抗 RD1 を挿入することで吸収する。RD1 の値はチップ上の PTL 伝送回路と同じ値とし、PTL 伝送回路の共振のクオリティを同程度に設計した。次に上記(i)に従って、レシーバ接合の I_C を、NEC の Nb 標準プロセス[31]で保証している最小値である 0.1mA に設計し、レシーバの感度を可能な限り高めた。これは第 2 章で設計した PTL 伝送回路のレシーバ接合の I_C (0.14mA) の 0.71 倍である。これらの条件を固定し、その条件下で、上記(ii)に従いドライバの I_C を高くした場合の、ドライバの出力パルスの振幅と、ドライバのバイアスマージンをシミュレーションで計算した。このシミュレーションではバンプ接続構造からの反射

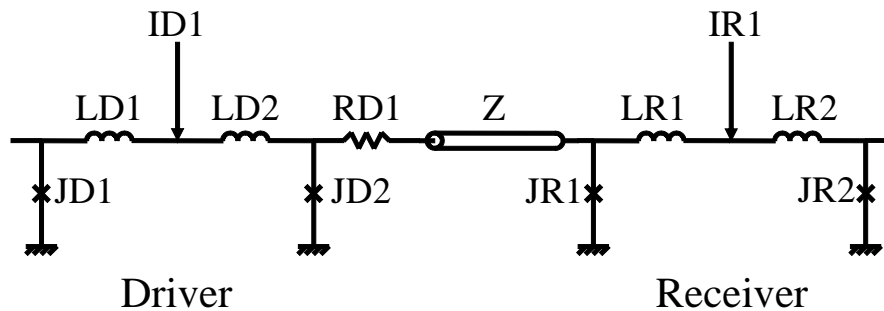


図 3-5. 設計したチップ間 SFQ パルス伝送回路の等価回路図。JD1=JD2=0.4 mA、JR1=JR2=0.1 mA、LD1=LD2=1.3 pH、LR1=LR2=5.2 pH、ID1=0.56 mA、IR1=0.14 mA、Z=2 Ω、RD1=0.68 Ω。JD1 と JR2 は $\beta_c=1$ に、JD2 と JR1 は $\beta_c=4$ に、それぞれシャントされている。

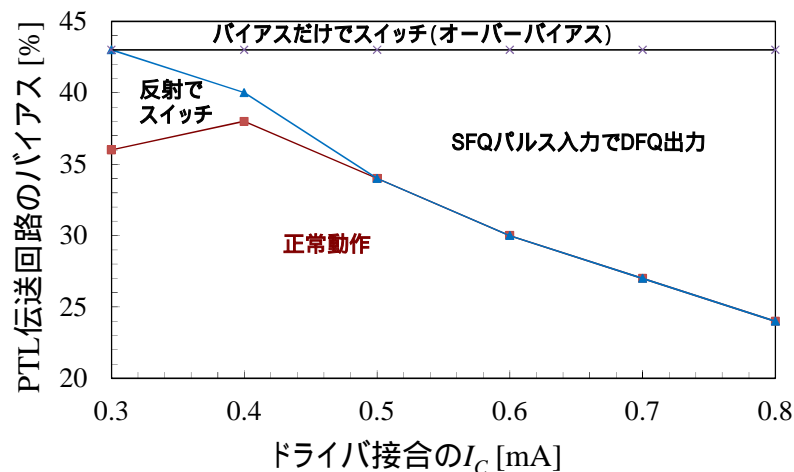


図 3-6. ドライバの上側バイアスマージンの、ドライバ接合の I_C に対する依存性と、上側バイアスマージンを決める誤動作。縦軸は PTL 伝送回路のバイアスを、設計値を基準にパーセンテージで表示したものである。

は無視した。図 3-6 に、ドライバの上側バイアスマージンの、ドライバ接合の I_C に対する依存性のシミュレーション結果を示す（ドライバの下側バイアスマージンはドライバの I_C に依存しなかったため図には記載していない）。図 3-6 には、ドライバの上側バイアスマージンを決定する誤動作も示した。すなわち図 3-6 において、
 ① バイアスだけでドライバがスイッチしてしまう誤動作であり、バイアスがドライバ接合の I_C を超えている状態である。
 ② レシーバからの反射によってドライバがスイッチしてしまう誤動作である。
 ③ ドライバに SFQ パルスが入力されたときにドライバが DFQ パルスを出力してしまう誤動作である。
 ④ 正常動作である。ドライバ接合の

I_C を高くするほどドライバの出力振幅は高くなる。しかし、図 3-6 のように、ドライバ接合の I_C が 0.4mA 以上の場合、ドライバ接合の I_C を高くするほど、反射によってドライバがスイッチするの誤動作、および、ドライバが DFQ を出力してしまうの誤動作が、より低いバイアスで発生し、上側バイアスマージンが狭くなることが示された。これは、ドライバ接合 JD2 がシャント抵抗だけでなく RD1 と PTL の直列接続によってもシャントされているため、JD2 のベアな β_C を 4 に固定した場合、 I_C が高くなるほど実質的な β_C (シャント抵抗と RD1 と PTL のインピーダンスの合成抵抗で JD2 をシャントしたとして算出される β_C) が高くなるからであると考えられる。したがって、上記(ii)の設計指針において、ドライバの出力振幅の増大とバイアスマージン拡大の間にはトレードオフが存在することが明らかになった。このトレードオフを最適化した結果、JD2 の I_C として上側バイアスマージンが最も広くなる $I_C=0.4\text{mA}$ を得た。

第 2 章の PTL 伝送回路のドライバと本章のチップ間伝送回路 (図 3-5) のドライバの設計バイアスでの出力波形を図 3-7 に示す。図 3-4 に示した DFQ ドライバの出力波形と大きく異なり、スイッチ後のプラズマ振動が抑制されている様子が分かる。表 3-1 に、第 2 章の PTL 伝送回路のドライバと本章のチップ間伝送用ドライバの出力電流のピーク値を示す。チップ間伝送用ドライバの出力パルスの振幅は設計バイアスにおいて 0.27mA であり、チップ上伝送用ドライバの 1.17 倍に高められた。また、チップ上伝送用ドライバでは設計バイアスの+20%までバイアスしても出力電流ピーク値は 0.25mA だが、チップ間伝送用ドライバでは、設計バイアスの-20%で 0.25mA の電流を出力できる。

最適化されたチップ間 SFQ パルス伝送回路 (図 3-5) の、ドライバとレシーバの共通バイアスのマージンの動作周波数依存性のシミュレーション結果を図 3-8 に示す。この動作周波数は SFQ パルス伝送のスループットと等価である。シミュレーションで用いた PTL の長さは 3mm である。図 3-8 には、比較のために第 2 章の PTL 伝送回路のシミュレーション結果 (図 2-16) もあわせて示した。図のように、最適化されたチップ間 SFQ パルス伝送回路は、動作周波数 10Gbps ~ 40Gbps にわたって、設計バイアスに対して -38.7% ~ +30.1% の広いバイアスマージンを持ち、第 2 章の PTL 伝送回路に比べると約 16%、下側バイアスマージンが拡大している。これは、上記(i) ~ (iii)の設計指針に従って最適化した結果である。したがって、このチップ間伝送回路を用いれば、バンプ接続部で反射や損失が存在する場合であっても、第 2 章の PTL 伝送回路よりも広いバイアスマージンで動作すると考えられる。

表 3-1. 第 2 章の PTL 伝送回路と本章のチップ間伝送回路のドライバの出力電流ピーク値。

バイアス [設計値に対する%]	-20%	$\pm 0\%$	+20%
第 2 章の PTL 伝送回路のドライバの出力電流ピーク値 [mA]	0.22	0.23	0.25
本章のチップ間伝送回路のドライバの出力電流ピーク値 [mA]	0.25	0.27	0.29

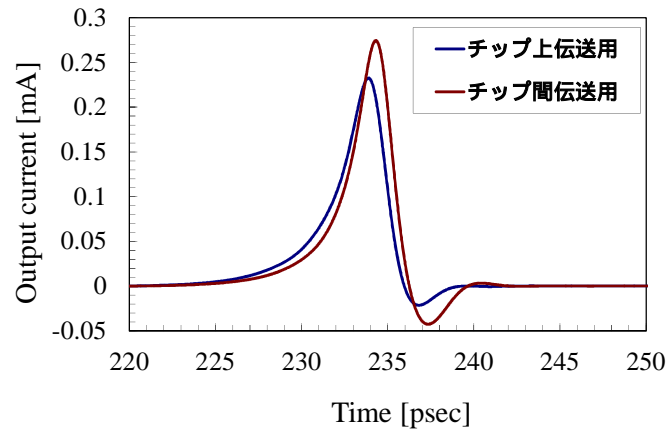


図 3-7. チップ間 SFQ パルス伝送回路のドライバと第 2 章のチップ上伝送用 PTL 伝送回路のドライバの設計バイアスでの出力波形の比較。

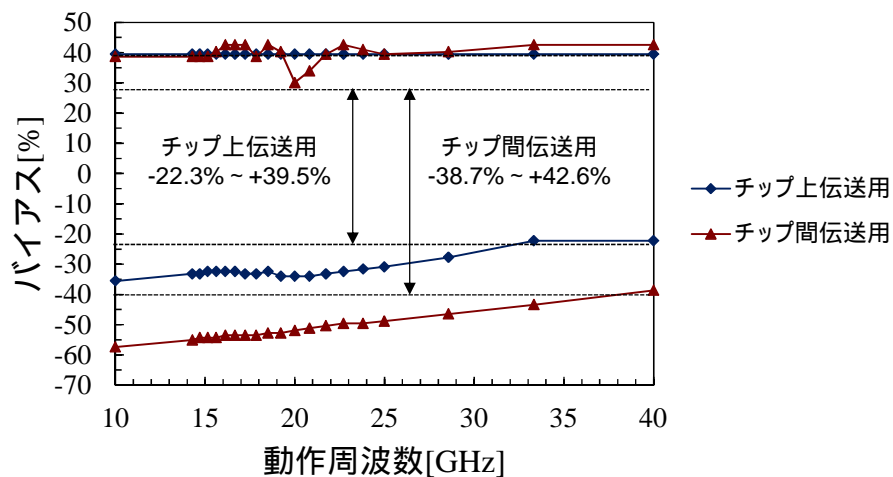


図 3-8. チップ間 SFQ パルス伝送回路のバイアスマージンの動作周波数依存性のシミュレーション結果。比較のために第 2 章のチップ上伝送用 PTL 伝送回路のバイアスマージンも示した。

3-3:MCM における広帯域バンプ接続構造の検討

SFQ パルスをチップ間で高速に伝送させるためには、チップと MCM 基板を接続するバンプ接続構造を広帯域にする必要がある。一般にデジタル信号の波形が含む高周波成分の最大値 f_{max}

の目安は、デジタル信号の立ち上がり時間を t_r とすると、およそ $0.5/t_r$ である²³。SFQ パルスの場合、 $J_C=2.5\text{kA}/\text{cm}^2$ では t_r はおよそ 2psec なので、最大周波数 f_{\max} はおよそ 250GHz と見積もられる。そのためここでは 250GHz 以上の帯域を有するバンブ接続構造を、3次元高周波解析を用いて検討する。バンブ接続構造の帯域は、バンブの直径や高さだけでなく、チップと基板のデバイス構造、MSL のインピーダンスと線幅等に依存する。そのため本研究では、本研究で用いるデバイス構造、および、MSL のインピーダンスと線幅に特化して、SFQ パルス伝送に必要な帯域を有するバンブ接続構造を検討する。

図 3-9 に、解析を行ったバンブ接続構造のモデルを示す。各信号バンブを 4 個の GND バンブで囲むことにより、同軸ケーブルのような構造にした。信号バンブ、GND バンブとも直径は同じであり、信号バンブと GND バンブの間の距離もバンブの直径と同じにした。チップ、MCM 基板とも NEC の Nb 標準プロセス[31]で試作することを想定しており、PTL は BAS 配線層を用いた 2Ω の MSL であり、線幅は $34\mu\text{m}$ である。

まず、バンブ接続構造の帯域について考察する。図 3-10 はバンブによって接続されたチップ上 MSL と基板上 MSL での、信号電流の流れるパスとそのリターン電流の流れるパスを概念的に示したものである。図 3-10 に示すように、信号は基板上 MSL 信号バンブ チップ上 MSL というパスで流れる。一方、リターン電流は、チップ上 MSL 直下の GND プレーン GND バンブ 基板上 MSL 直下の GND プレーンというパスで流れる。したがって、リターン電流が MSL の直下から離れて流れる部分が存在する。そのような部分では寄生インダクタンスが発生すると考えられる。これは MSL、SL、同軸ケーブル等の伝送線路一般において、信号線と GND の距離が遠いほど伝送線路の単位長さあたりのインダクタンスが増大することから類推できる。一方、信号バンブが形成されるボンディングパッドの直径が MSL の幅よりも大きければ、信号用のボンディングパッドと GND プレーンの間に寄生キャパシタンスが発生すると考えられる[95]。ボンディングパッドの直径が増大するほど、上記の寄生キャパシタンスは増大し、かつ、信号バンブと GND バンブの間の距離が長くなり上記の寄生インダクタンスも増大する。したがって、信号バンブと GND バンブの間の距離をバンブ直径と等しくするという図 3-9 の構造の場合、バンブ直径が大きくなるほど寄生成分が増大し、その結果、寄生成分が構成する LC 共振回路の共振周波数が低下してバンブ接続構造の帯域が低下すると考えられる。以上の考察から、はんだバンブの直径、および信号バンブと GND バンブの間の距離を小さくすることが、バンブ接続構造の帯域を向上するために有効であると結論付けられる。しかし、信号バンブと GND バンブとの間の距離を狭くすることは、信号バンブと GND バンブのショートが発生する確率を高める。また、バンブ直径を小さくするほどチップと MCM 基板との接続部の歩留まりが低下する。本研究では、バンブ間の距離はバ

²³ デューティ比が 50% 程度の場合は、必要な帯域の目安は信号の伝送レート（繰り返し周波数）の 3 次または 5 次高調波の周波数となる[94]。SFQ パルスの場合、 $J_C=2.5\text{kA}/\text{cm}^2$ ではパルス幅は 2psec 程度なので、40GHz クロック（クロックサイクル 25psec）ではデューティ比が 8% 程度となり、50% に比べて非常に小さい。そのようなデューティ比が低く立ち上がりの速いパルス列の場合、帯域の目安はおよそ $0.5/t_r$ となる[94]。

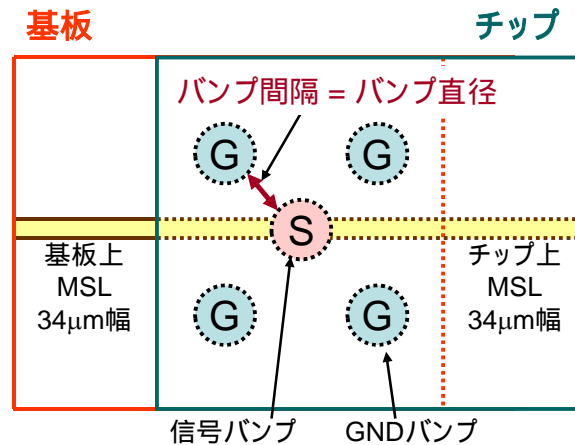


図 3-9. MCM のバンブ接続構造の解析モデル。S、G はそれぞれ、信号バンブ、GND バンブである。

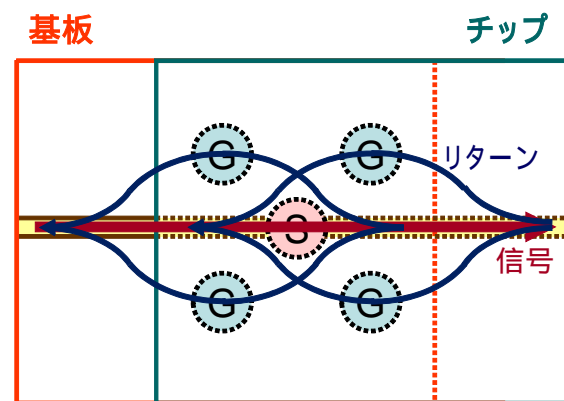


図 3-10. バンブ接続構造における信号電流とリターン電流の流路。

ンブ直径と等しい値のままとして、バンブ直径を小さくした場合に、どの程度までバンブ直径を小さくすれば SFQ パルス伝送に必要な帯域を実現できるか、解析を行った。

図 3-9 のバンブ接続構造で、直径 100μm と直径 50μm の 2 種類のバンブ接続構造について、Ansoft の HFSS (High-Frequency Structure Simulator) [96]を用いて S パラメータを計算した。この計算では、超伝導体 (Nb) とはんだバンブ (InSn, 4K で超伝導になる) は完全メタルとして近似した。なお、試験的に作成した MCM サンプルにおいて、チップと基板とをフリップチップ接続した後のバンブの高さは、バンブ直径が 100μm の場合は 8μm、バンブ直径が 50μm の場合は 3.5μm であることが断面 SEM 観察により評価された²⁴。バンブ接続構造の数値解析では、この SEM 観察で

²⁴ ボンディング後のバンブ高さの測定評価は、フリップチップボンダーの購入先であるソニーイーエムシーエス株式会社により行われた。

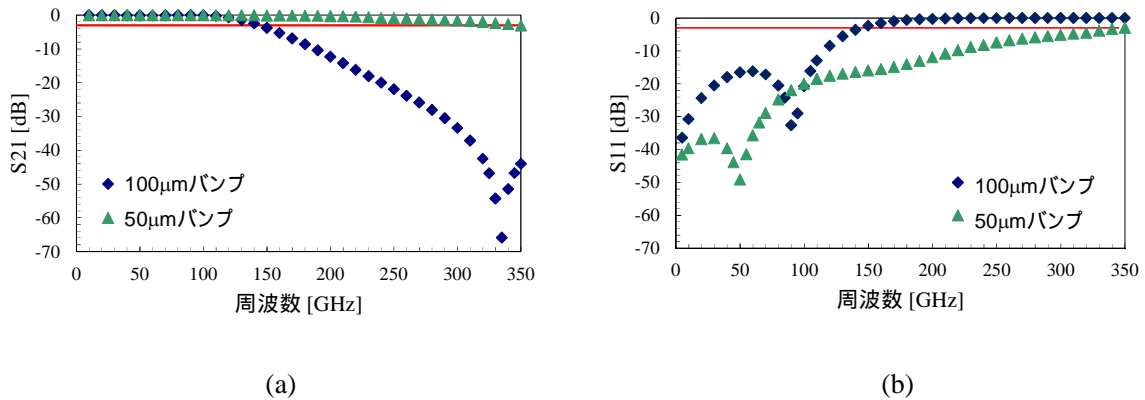


図 3-11. バンプ接続構造の S パラメータのシミュレーション結果。(a) S21、(b) S11。

得られたバンプ高さをを用いた。図 3-11 に示すように、計算の結果、直径 100μm バンプ接続構造は約 335GHz で共振することが示された。一方、直径 50μm のバンプ接続構造では共振周波数が 350GHz 以上になることが示された。帯域の目安となる 3dB の挿入損失は、100μm バンプで約 140GHz、50μm バンプでは約 340GHz であった。この計算結果から、100μm バンプの場合は SFQ パルスの f_{max} (およそ 250GHz) よりも非常に狭い帯域しかないため、バンプ接続構造を通過すると SFQ パルスの立ち上がりと立ち下りがなまり、ピーク値が低下したブロードなパルスになると考えられる。その結果、レシーバの下側バイアスマージンは減少すると考えられる。さらに、レシーバのスイッチング時間が長くなり、チップ間 SFQ パルス伝送のスループットも低くなると考えられる。また、図 3-11 (b)に示した S11 の数値解析結果から、100μm バンプの場合、S11 は約 140GHz で-3dB であり、SFQ パルスの 140GHz 以上の周波数成分は半分以上のエネルギーがドライバ側に反射されてくるため、反射の影響が強い。一方、50μm バンプの場合、帯域は SFQ パルスの f_{max} (およそ 250GHz) を十分超えており、SFQ パルスの波形の劣化を小さく抑えることができると考えられる。そのため、チップ上のデータレートと同等の 40Gbps 等の高スループットでのチップ間 SFQ パルス伝送が可能であると考えられる。また、図 3-11 (b)に示した S11 の数値解析結果から、直径 50μm のバンプでは SFQ パルスの f_{max} (およそ 250GHz) でも S11 が約-7dB である。したがって SFQ パルスの 250GHz の周波数成分のエネルギーの約 20%がドライバに向かって反射され、それ以下の周波数の成分の反射はさらに小さい。このように直径 50μm のバンプ接続部で発生する反射は 100μm バンプに比べて非常に小さい。このシミュレーションは超伝導体を完全メタルで近似したため厳密ではない。しかし、100μm バンプと 50μm バンプとで、バンプ接続構造の帯域に大きな差があることが示された。実際のチップ間 SFQ パルス伝送がバンプ直径にどの程度依存するのかは、実験で検証する。

3-4: チップ間 SFQ パルス伝送回路の試作と測定評価

3-4-1: 評価回路の設計

設計したチップ間 SFQ パルス伝送回路（図 3-5）の高速特性を評価するために、第 2 章と同様にリング型テスト回路[57], [60], [61]を設計した。リング型テスト回路は、Herr らがチップ間 SFQ パルス伝送の実証に用いたオンチップ PRBS セルフテスト回路[48]と異なり、高精度のタイミング設計が不要なので、テスト回路自体が発生する誤動作を無視できる程度に低減することができる。図 3-12 に、設計したリング型テスト回路の構成を示す。このリング型テスト回路は、ドライバ、レシーバ、固定バイアスブロック、可変遅延線（Variable Delay Line; VDL）、DC/SFQ、SFQ/DC、チップ上 MSL、基板上 MSL、はんだバンプとから構成される。チップ上 MSL は 2 本あり、ドライバとバンプを接続する MSL は長さ 2.2mm、レシーバとバンプを接続する MSL は長さ 1.6mm である。一方、基板上 MSL は長さ 2.6mm である。チップと基板とをはんだバンプでフリップチップ接続すると、チップ上の 2 本の MSL と基板上 MSL とがはんだバンプを介して接続され、その結果、ドライバの出力端とレシーバの入力端とが長さ計 6.4mm の MSL と 2 つのバンプによって電氣的に接続される。長さ 6.4mm の MSL の共振周波数は、2-4 節の(2-28)式で $\tau_f=5\text{psec}$ とおくことにより、約 9GHz と見積もられる。

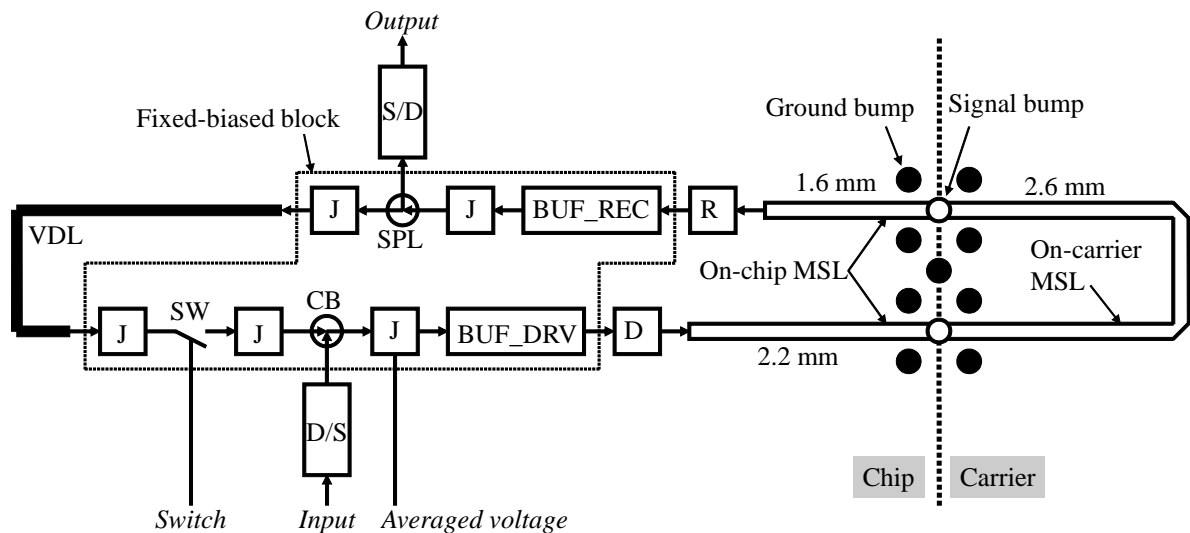


図 3-12. 設計したリング型テスト回路の構成。D/S、S/D、J、SPL、CB、D、R、VDL、SW、BUF_DRV、BUF_REC はそれぞれ、DC/SFQ コンバータ、SFQ/DC コンバータ、JTL、スプリッタ、コンフルエンス・バッファ、ドライバ、レシーバ、可変遅延線、スイッチ、ドライバ用電流増幅回路、レシーバ用電流増幅回路である。

固定バイアスブロックは、JTL、スプリッタ(Splitter; SPL)、コンフルエンス・バッファ(Confluence Buffer; CB)のほかにスイッチ、BUF_DRV、BUF_REC から構成される。ここで BUF_DRV は、 $I_C=0.4\text{mA}$ のチップ間伝送用ドライバと CONNECT セルライブラリの JTL (接合の $I_C=0.22\text{mA}$) とを接続するための電流増幅回路であり、接合の I_C を段階的に高くした 2 接合 JTL が 3 段接続された回路である。同様に BUF_REC は、 $I_C=0.1\text{mA}$ のチップ間伝送用レシーバと、CONNECT セルライブラリの JTL とを接続するための電流増幅回路であり、 I_C を段階的に高く設計した 2 接合 JTL が 4 段接続された回路である。BUF_DRV と BUF_REC の等価回路図を図 3-13 に示す。各 2 接合 JTL の I_C は前段の JTL の接合の I_C の約 $\sqrt{2}$ 倍になるように段階的に高くした。JTL とドライバとの間に BUF_DRV を接続することにより、JTL、BUF_DRV、ドライバのすべての接合が I_C の 70% にバイアスされるように設計した。同様に、レシーバと JTL との間に BUF_REC を接続することにより、レシーバ、BUF_REC、JTL のすべての接合が I_C の 70% にバイアスされるように設計した。表 3-2 に示すように、ドライバ、レシーバ、BUF_DRV、BUF_REC を含めた 1ch のチップ間 SFQ パルス伝送回路のバイアス電流は 2.65mA 、消費電力は $6.63\mu\text{W}$ である。

図 3-12 のリングテスト回路は第 2 章で述べたものと基本的に同じだが、スイッチを含み、スイッチの開閉によって低速機能試験と高周波試験のいずれかに切り替えることができる点が異なる。低速機能試験を行う場合は、スイッチを開いた状態で、DC/SFQ から 10kbps 程度の低いデータレートでパルスパターンを入力する。すると SFQ パルスがドライバ チップ上 MSL バンプ 基板上 MSL バンプ チップ上 MSL レシーバ SFQ/DC と伝搬し、室温のオシロスコープでチップ間 SFQ パルス伝送の動作波形を観察できる。一方、高周波測定を行う場合は、スイッチを閉じた状態で、DC/SFQ から SFQ パルスを入力する。入力された SFQ パルスは、ドライバ チップ上 MSL バンプ 基板上 MSL バンプ チップ上 MSL レシーバ 固定バイアスブロック

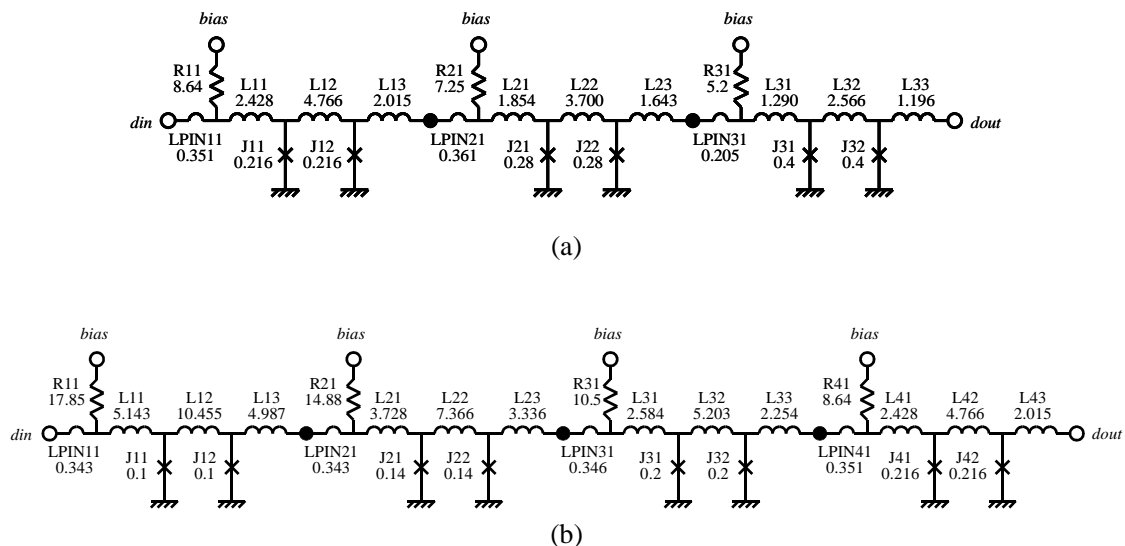


図 3-13. (a) BUF_DRV と(b) BUF_REC の等価回路図。

VDL 固定バイアスブロック ドライバと、リング型テスト回路を周回し続ける。SFQ パルスが周回している状態でドライバ、レシーバのバイアスマージンを測定することにより、高周波動作時のバイアスマージンを測定できる。SFQ パルスの周回周波数 f は VDL のバイアスと周回させる SFQ パルスの個数 N により変えることができる。パルスの周回周波数 f は固定バイアスブロックの中の接合の平均電圧 V を測定することにより Josephson の関係式から $f=V/\Phi_0$ と算出される。 f はチップ間パルス伝送のスループット T と等しい。平均電圧 V を計測する接合の直近には 50Ω 抵抗を接続し、 V をモニターするラインの特性インピーダンスは 50Ω とした。これは、モニターラインが接続されているパッド等で発生する反射の接合への影響を低減するために、接合の直近で

表 3-2. チップ間 SFQ パルス伝送回路のバイアス電流と消費電力の設計値。

	バイアス電流[mA]	消費電力[μ W]
ドライバ	0.56	1.4
レシーバ	0.14	0.35
BUF_DRV	1.12	2.79
BUF_REC	0.84	2.09
計	2.65	6.63

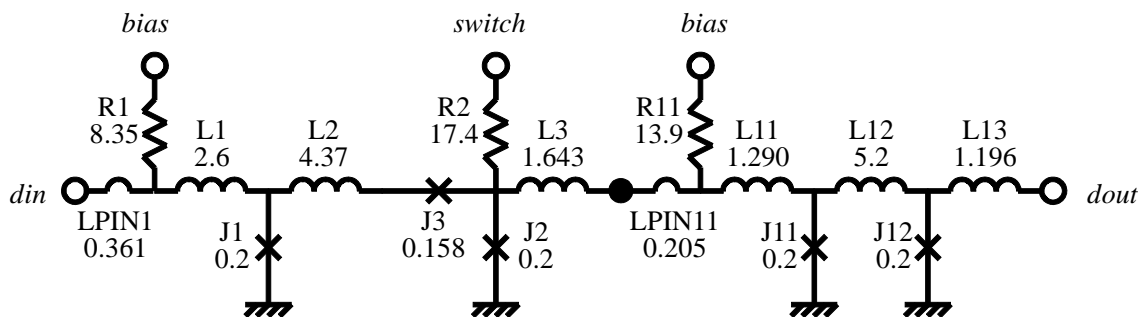


図 3-14. スイッチの等価回路図。単位は、接合の臨界電流値は mA、インダクタンスは pH、抵抗は Ω である。バイアス電圧は 2.5mV である。

表 3-3. 設計した評価回路の構成。

回路名	ドライバ I_C [mA]	レシーバ I_C [mA]	チップ間/チップ上	MSL 長さ [mm]	共振周波数 [GHz]
0401	0.4	0.1	チップ間	6.4	9
0401_OC	0.4	0.1	チップ上	3.0	18

整合終端させたものである。

図 3-14 にスイッチの等価回路図を示す。スイッチは、制御信号 *switch* (DC) が入力されているとき、*din* から入力された信号が *dout* から出力され、制御信号 *switch* が入力されていないとき、*din* から入力された信号はエスケープ接合 J3 をスイッチさせるため *dout* からは何も出力されない、という動作をする。

リング型テスト回路を用いた 2 種の評価回路を設計した。表 3-3 にこれら 2 種の評価回路の構成を示す。表 3-3 で、回路名の末尾に”_OC”がついていないものは、チップ間 SFQ パルス伝送評価用リング型テスト回路である。一方、回路名の末尾に”_OC”がついているものは、比較のために設計したチップ上传送評価用リング型テスト回路であり、ドライバとレシーバがはんだバンブを介せずに 1 本のチップ上 MSL で接続されている。MSL の長さは、チップ間伝送評価回路は 6.4mm、チップ上传送評価回路では 3mm である。MSL 長さから見積もられる共振周波数は、チップ間伝送評価回路では約 9GHz、チップ上传送評価回路では約 18GHz である。

3-4-2: 測定評価

5mm × 5mm の評価チップと 8mm × 8mm の MCM 基板を NEC の Nb 標準プロセス[31]で試作した。 J_C は $2.5\text{kA}/\text{cm}^2$ である。チップも MCM 基板も Si 基板上に形成されている。チップと MCM 基板の基材を同一にしたことにより、MCM を極低温に冷却した際に、チップと MCM 基板の線膨張係数の違いによるバンブ接続部の破断を回避できる。チップと基板のボンディングパッドは、Nb のパッドの上に Ti/Pd/Au の 3 層薄膜をスパッタすることにより形成した²⁵。Ti、Pd、Au の厚さはそれぞれ 50nm、300nm、300nm である。図 3-15 に評価用チップと MCM 基板の顕微鏡写真を示す。評価用チップには、チップ間 SFQ パルス伝送評価用のリング型テスト回路 (0401) だけでなく、比較実験を行うためにチップ上 SFQ パルス伝送評価用のリング型テスト回路 (0401_OC) も形成した。MCM 基板には、ボンディングパッド、チップへのバイアスライン、入力データライン、出力データラインのほかに、チップ間で SFQ パルスを伝送するための基板上 2Ω MSL (図 3-12) も形成されている。また、MCM 基板の周辺部には、ワイヤボンディング用のパッドが配置されている。MCM サンプルは、セラミック基板に実装され、セラミック基板と MCM 基板とはワイヤボンディングで接続される。MCM を実装したセラミック基板を測定治具に実装し、液体ヘリウム中で測定評価を行う。図 3-16 には、チップ間伝送評価用リング型テスト回路の、チップ上に形成された部分の顕微鏡写真を示す。

チップ間 SFQ パルス伝送の評価を行うために、テストモジュールを作成した。InSn はんだをチップと MCM 基板の両方のボンディングパッド上に液浸プロセス[92], [93]で形成した²⁶。バンブ直

²⁵ Nb のパッドには InSn はんだが付着しないため、ボンディングパッドの表面を Au にする必要がある。

²⁶ 液浸プロセスに用いたフラックスやプロセス条件は Miyazaki らによって検討されたものをベースにした。

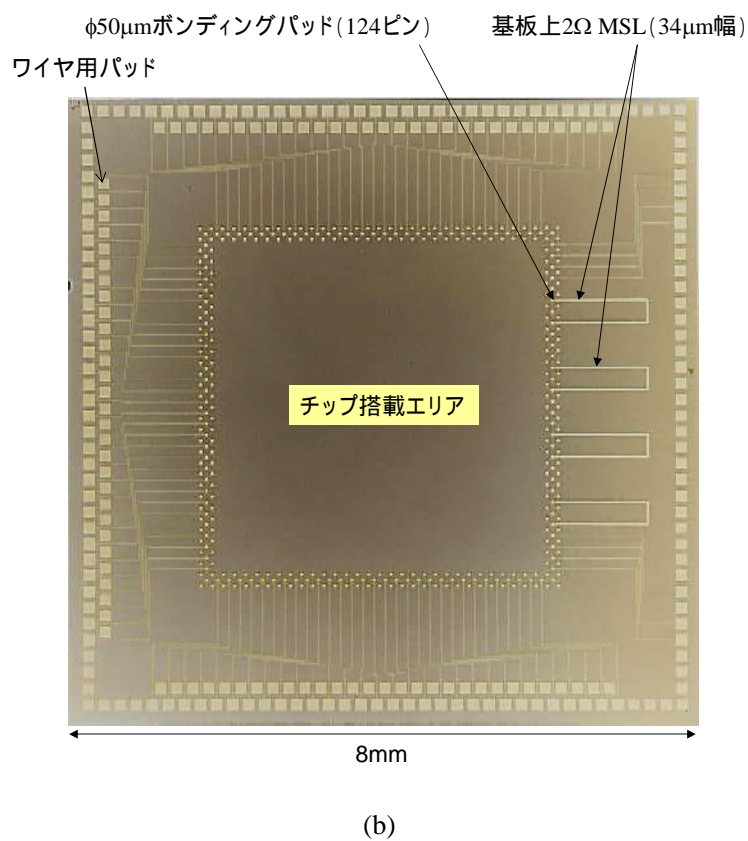
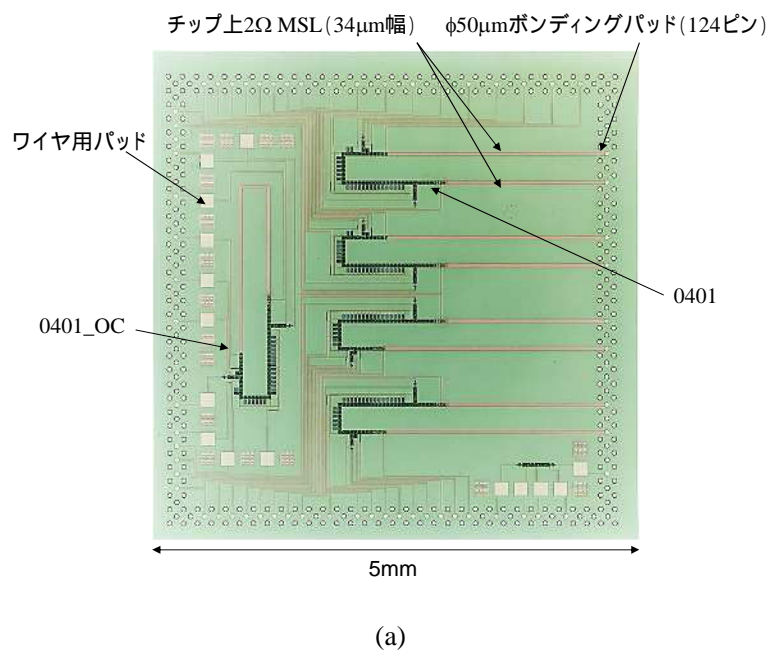


図 3-15. 試作した(a)評価回路チップと(b) MCM 基板の顕微鏡写真。

径が $50\mu\text{m}$ のサンプルと $100\mu\text{m}$ の MCM サンプルを作成した。図 3-17 に、評価チップのボンディングパッド上に形成されたはんだバンプの顕微鏡写真を示す。InSn はんだバンプを形成したチップと MCM 基板とを、フリップチップボンダーを用いてフリップチップボンディングすることにより、評価用のテストモジュールを作製した²⁷。

まず低速での機能試験を行った。図 3-12 のスイッチを開き、DC/SFQ から 10kbps で入力信号パターンを入力し、SFQ/DC からの出力をオシロスコープで観測した。図 3-18 にチップ間 SFQ パルス伝送の低速機能試験の波形を、図 3-19 に低速機能試験で得られたバイアスマージンを示す。 $100\mu\text{m}$ バンプと $50\mu\text{m}$ バンプを比較すると、 $50\mu\text{m}$ バンプの方が、レシーババイアスの下側マージンが広いが、低速では大きな差はない。比較のために、 $50\mu\text{m}$ バンプのテストモジュールのチップ上に形成されているチップ上リング型回路 (0401_OC) のバイアスマージンも測定した。チップ上伝送は、チップ間伝送に比べると下側バイアスマージンが広いが大きな差ではない。

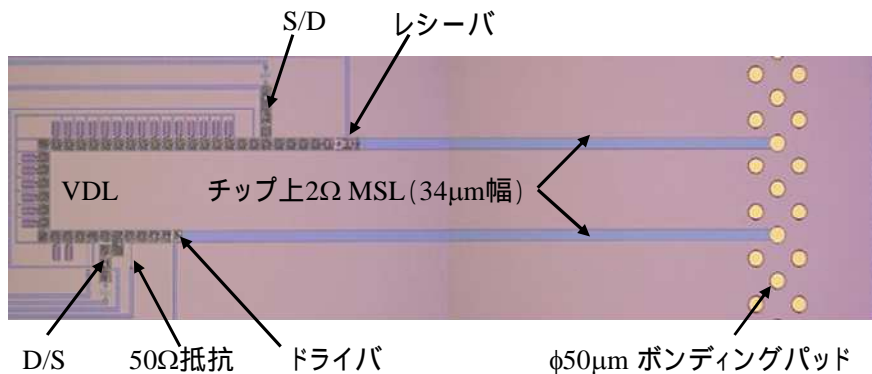


図 3-16. 試作した評価回路の顕微鏡写真。

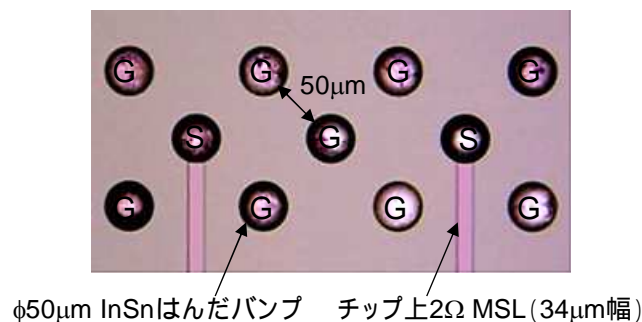


図 3-17. 評価チップのボンディングパッド上に形成された直径 $50\mu\text{m}$ の InSn はんだバンプ。S、G はそれぞれ、信号バンプと GND バンプである。

²⁷ MCMの作製において、フリップチップボンディング時の温度プロファイルや加圧プロファイルなどのプロセス条件や、ボンダーの機械的調整が、バンプ接続の歩留まりを左右するクリティカルなファクターである。これらの条件出しと調整は、ボンダー購入先であるソニーイーエムシーエスの西尾氏らによってなされた。

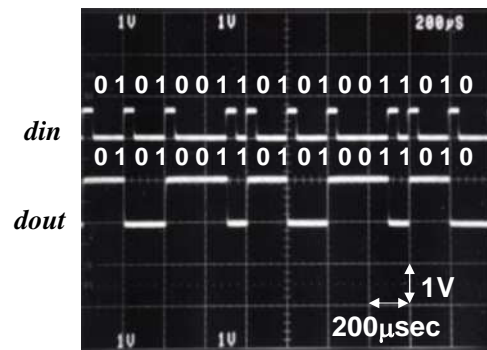
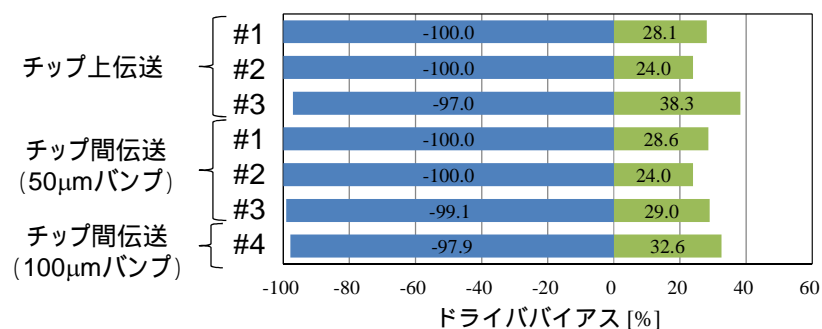


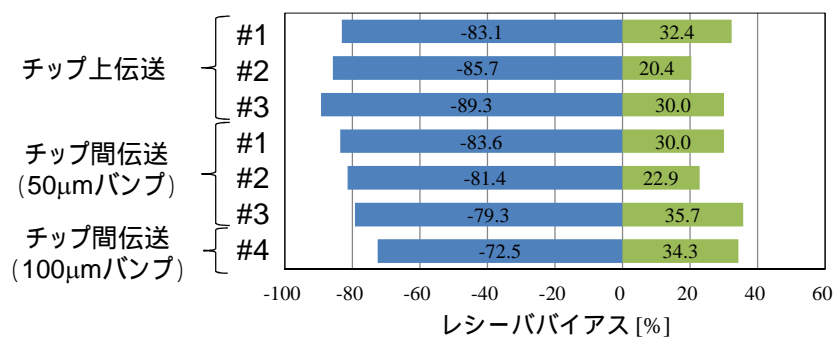
図 3-18. チップ間 SFQ パルス伝送評価用リング型テスト回路 (0401) の低速機能試験での動作波形。バンプ径は $50\mu\text{m}$ である。

次にチップ間伝送評価用リング型テスト回路の高周波での実験を行った。図 3-12 のスイッチを閉じ、DC/SFQ から SFQ パルスを入力し、リング型テスト回路に SFQ パルスを周回させた。室温のデジタルマルチメータで接合の平均電圧 V を測定し、(2-26)式からチップ間 SFQ パルス伝送のスループット T を計算した。チップ間 SFQ パルス伝送のスループット T の、リング型回路を周回する SFQ パルス数 N に対する依存性を、VDL バイアスが設計値の -20%、-10%、 $\pm 0\%$ 、+10%、+20% の場合について測定した。この測定では、ドライバとレシーバのバイアスを設計値、つまりドライババイアスは 0.56mA 、レシーババイアスは 0.14mA に設定した。図 3-20 に測定結果を示す。図の各測定点の電圧 V は 100 回の測定の平均値である。100 回の測定で得られた V の標準偏差は約 $0.65\mu\text{V}$ であった。図が示すように、 V および T は N に対してほぼ比例する。また、VDL バイアスが高いほど V が大きい。ここで ΔV は 2-3 節で定義した ΔV と同じであり、リングを周回する SFQ パルスが 1 個増加（または減少）したときのモニター電圧 V の増加分（または減少分）である。VDL バイアスが設計値の -20% の場合であっても、 V は約 $6\mu\text{V}$ であり、 V の標準偏差に比べて十分大きい。そのため、 N の増減を明確に検出することができた。リングに周回させる SFQ パルス数 N が 17 個で、VDL バイアスが設計値の +20% のときに、最大の $V=126\mu\text{V}$ が得られた。この V は 60Gbps のスループット T に相当する。

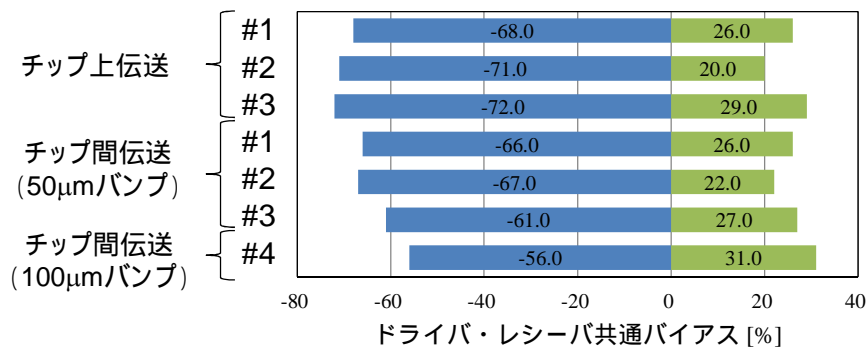
次に、チップ間 SFQ パルス伝送における、ドライバとレシーバの共通バイアスのマージンのスループット T に対する依存性を測定した。まずドライバとレシーバのバイアスを、設計値、すなわち、ドライババイアスは 0.56mA 、レシーババイアスは 0.14mA に設定した。次に、SFQ パルスをリング型テスト回路に入力し、周回させた。SFQ パルスが周回している間、ドライバとレシーバのバイアス電流を、 500msec ごとに、それぞれの初期値（レシーバは 0.14mA 、ドライバは 0.56mA ）の 0.5% ずつ増加（または減少）させた。バイアスを変化させた直後に毎回 V を計測した。バイアスマージンは、バイアスが初期値のときに周回させた SFQ パルスの個数 N が保持されるバイアス範囲と定義される。周回している SFQ パルス数を保持できるドライバとレシーバの共通バイアスの上限と下限を測定することにより、上側バイアスマージンと下側バイアスマージンを測定した。



(a)



(b)



(c)

図 3-19. 低速機能試験で得られたバイアスマージン。チップ上 SFQ パルス伝送の場合、50 μ m 径バンプによるチップ間 SFQ パルス伝送の場合、100 μ m 径バンプによるチップ間 SFQ パルス伝送の場合の測定結果を比較している。#はサンプル番号である。同一のサンプル番号の回路は同一チップ上に形成されており、同一の冷却条件で測定された。(a)ドライババイアスマージン、(b)レシーババイアスマージン、(c)ドライバとレシーバの共通バイアスのマージン。

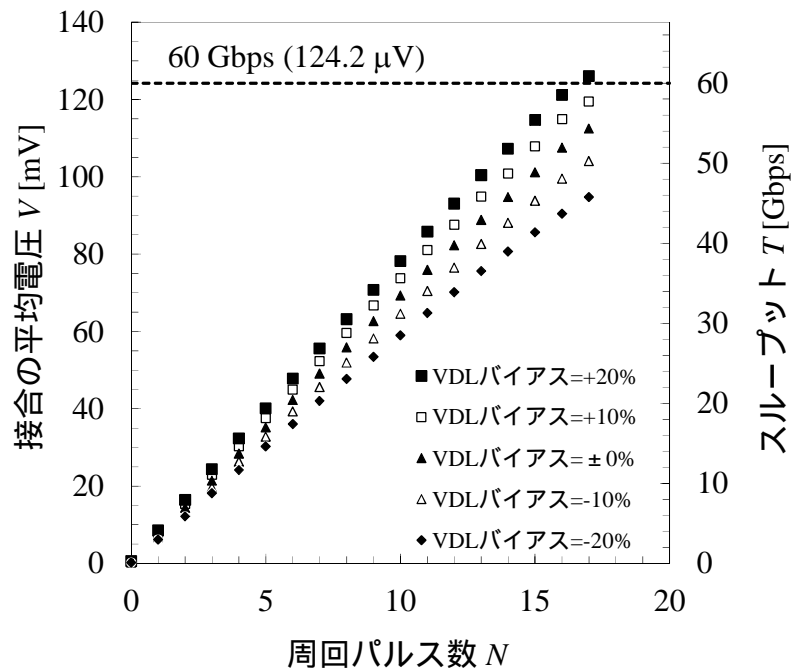


図 3-20. はんだパンプ径が $50\mu\text{m}$ の場合の、チップ間 SFQ パルス伝送のスループットの周回パルス数に対する依存性の測定結果。

この一連の測定を、VDL バイアスと N を変えることによって広いスループットの範囲について行い、バイアスマージンのスループット T に対する依存性を得た。図 3-21 (a) に示したように、バイアスマージンは、MSL の共振周波数 (約 9GHz) とそのハーモニクスにおいて少し減少している。しかしこれらの共振周波数以外の周波数での顕著なマージン減少が見られないことから、パンプでの反射が抑制されていることがわかる。この結果は図 3-11 の数値解析から示唆された結果と符合する。スループットが 5Gbps から 60Gbps までの範囲で正常動作が維持できるバイアスのマージンは $\pm 24.7\%$ と、実用上十分な広さであった。なお、測定された V は $\pm 0.65\mu\text{V}$ の標準偏差を持っていたので、測定されたスループットの精度は $\pm 0.3\text{GHz}$ である。

比較のため、同じ評価モジュールのチップ上に形成されているチップ上伝送回路 (0401_OC) の周波数特性も測定した。その結果を図 3-21 (b) に示す。図に示すように、チップ上 MSL の共振周波数 (約 18GHz) とそのハーモニクスでバイアスマージンの減少が見られるが、チップ上 SFQ パルス伝送はチップ間 SFQ パルス伝送よりもバイアスマージンが広い。これはチップ上伝送でははんだパンプ接続が存在しないためである。しかし、チップ上伝送回路の実験でも最大のスループットは 60Gbps であった。このことから、チップ間 SFQ パルス伝送の最大周波数を制限しているのはパンプ接続構造ではないことが分かる。スループットを制限する最も可能性のある要因としては、リング型テスト回路の構成要素である CB (図 3-12) が考えられる。CB は設計バイアス

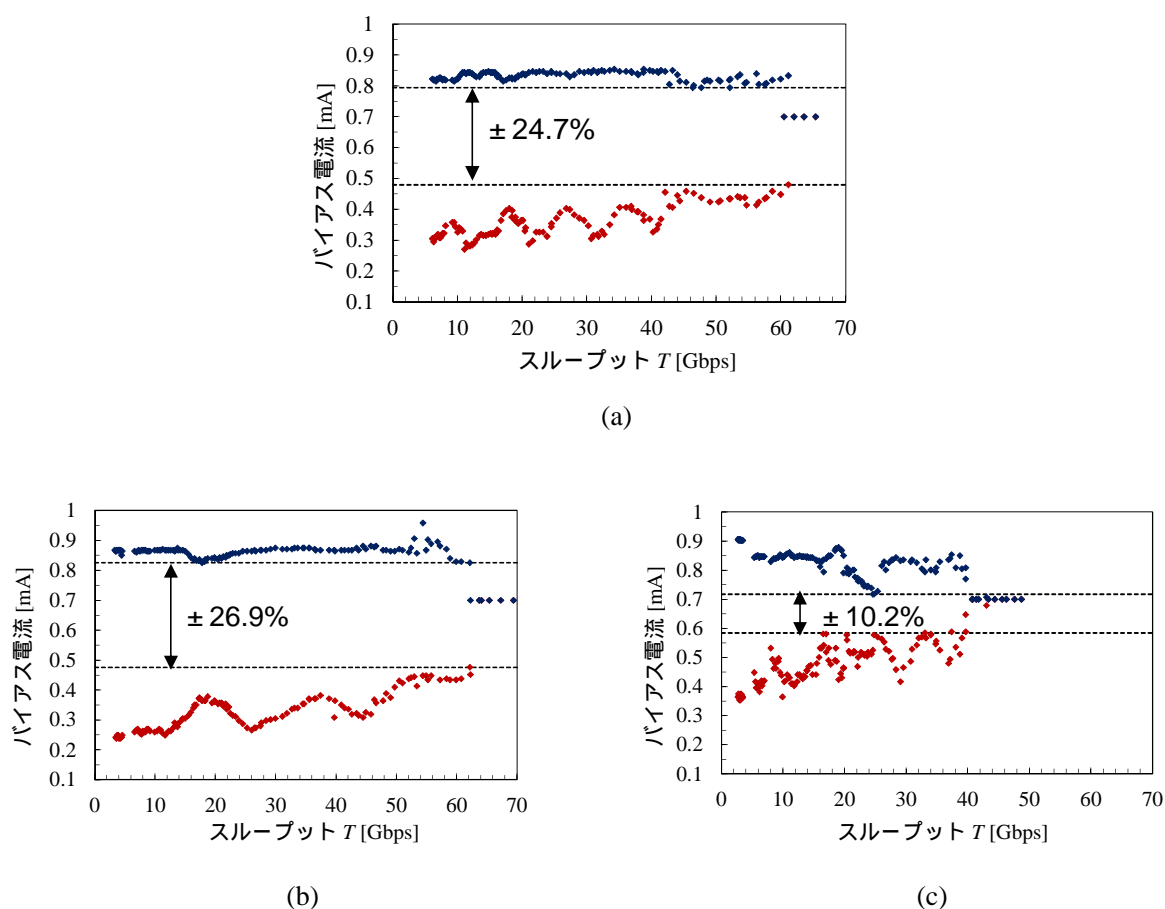


図 3-21. バイアスマージンのスループットに対する依存性の測定結果。(a) 50 μm バンプによるチップ間伝送、(b)チップ上伝送、(c) 100 μm バンプによるチップ間伝送。

において $ain-bin$ および $bin-ain$ ²⁸ が 11.5psec と、図 3-12 のリング型テスト回路を構成するセルの中で最も動作が遅い。これに対し、SFQ パルスが 60GHz で周回しているとき、SFQ パルスの間隔は約 17psec であり、CB の $ain-bin$ の 2 倍よりも短い²⁹。そのため、SFQ パルスが 60GHz で周回しているときに SFQ パルスをさらにリングに追加することができなかったのだと考えられる。以上の考察から、提案の回路とバンプ接続構造自体は 60Gbps よりもさらに高いスループットのチップ間 SFQ パルス伝送が可能であると考えられる。

²⁸ CBは ain 、 bin の2つの入力を持つ。 $ain-bin$ は、 ain が入力されてから bin の入力が可能になるまでの最小時間であり、 $bin-ain$ はその逆である。

²⁹ リング型テスト回路では、リングを数回するSFQパルスとDC/SFQから入力されるSFQパルスとがCBでマージされる。したがって、SFQパルスが周回しているときにDC/SFQからSFQパルスを入力したとき、周回している2つのパルスの間に、DC/SFQから入力されたSFQパルスが入ることができなければならない。そのためには、リングを周回しているSFQパルスの間隔が、CBの $ain-bin$ または $bin-ain$ の2倍以上でなければならない。

比較のため、100 μm 径バンプのテストモジュールのチップ間伝送回路 (0401) の周波数特性も測定した。図 3-21 (c) にその測定結果を示す。100 μm バンプの場合、上限スループットは 40Gbps であった。これは図 3-11 のバンプ接続構造の数値解析結果が示唆したように、100 μm バンプでは SFQ パルスの波形がブロードになりピーク値が低下するため、チップ間伝送回路の下側バイアスマージンが減少し、かつ、最大スループットが 40Gbps に制限されたのだと考えられる。しかしながら、100 μm バンプでも 40Gbps という高いスループットが $\pm 10.2\%$ という比較的広いバイアスマージンで得られた。

以上のように、SFQ ドライバという最もシンプルで最も高速な伝送回路を用いて、パッシブ基板上でのチップ間 SFQ パルス伝送が可能であることを初めて実証した。 $J_C=2.5\text{kA}/\text{cm}^2$ という、Herr らの実験 ($J_C=8\text{kA}/\text{cm}^2$) に比べて非常に低い J_C のプロセスで、Herr らと同じ 60Gbps のスループットを実証した。 $J_C=2.5\text{kA}/\text{cm}^2$ における SFQ デジタル集積回路のクロック周波数は 40GHz 程度なので、本研究で開発したチップ間 SFQ パルス伝送回路を用いれば、MCM においても、チップ単体と同じ程度の高速クロックで MCM 全体を動作させることが可能である。これにより、マルチチップでありながら、あたかも 1 チップのようなシームレスな高速動作が可能となり、1 チップでは実現できない大規模超高速デジタル SFQ 集積回路を MCM で実現できる可能性を開いた。

3-5: 100Gbps チップ間 SFQ パルス伝送

前節までで、DFQ ドライバよりも構成が単純かつ高速な SFQ ドライバを用いたチップ間 SFQ パルス伝送回路を設計し、 $J_C=2.5\text{kA}/\text{cm}^2$ プロセスで試作し、チップ間 SFQ パルス伝送を 60Gbps まで実証した。しかし一方で SFQ 集積回路が 100 GHz 以上の高速で動作することがすでに実証されている[38]。SFQ 集積回路の 100GHz 超の高速性を MCM レベルでも使うためにはチップ間 SFQ パルス伝送技術が鍵となる。そのため 100Gbps 以上のチップ間 SFQ パルス伝送の可能性を検証することは、SFQ 回路技術のスケラビリティを示す上で非常に重要である。そこで本研究では、100Gbps 以上でのチップ間 SFQ パルス伝送の可能性を検証するための回路設計と実験を行った。

100Gbps チップ間伝送実現に向けた設計指針は以下の通りである。 $J_C=2.5\text{kA}/\text{cm}^2$ で実証したチップ間 SFQ パルス伝送回路 (0401) を高速化するために、 $J_C=10\text{kA}/\text{cm}^2$ で再設計した。回路の動作速度は $\sqrt{J_C}$ に比例するので、 J_C を 4 倍にすることにより回路の動作速度は 2 倍に向上される。すでに $J_C=2.5\text{kA}/\text{cm}^2$ で 60Gbps 動作を実証しているので、 $J_C=10\text{kA}/\text{cm}^2$ にすることで 100Gbps 動作を実現できると考えられる。しかし、 J_C を 4 倍にすることにより SFQ パルスの立ち上がり時間 t_r は $J_C=2.5\text{kA}/\text{cm}^2$ の場合の約 1/2 になると考えられる。従って、バンプ接続構造に要求される帯域は $J_C=2.5\text{kA}/\text{cm}^2$ の場合の 2 倍のおよそ 500GHz と見積もられる。図 3-11 のシミュレーション結果によれば、直径 50 μm のバンプ接続構造の帯域は約 340GHz であり、500GHz よりも低い。従って $J_C=10\text{kA}/\text{cm}^2$ の場合、50 μm よりも直径の短いバンプが必要であると考えられる。そのため直径 30 μm のバンプを用いることとした。

図 3-22 は $J_C=10\text{kA/cm}^2$ で設計したチップ間 SFQ パルス伝送回路の等価回路図である。ドライバもレシーバも、2 接合から構成される LI_C 積が $\Phi_0/2$ の JTL であり、 I_C の 70% にバイアスされている。接合の I_C とインダクタンスは、 $J_C=2.5\text{kA/cm}^2$ で実証した回路 (図 3-5) と同一である。PTL の特性インピーダンスは 2 倍の 4Ω とした。これはドライバとレシーバのインピーダンスが $\sqrt{J_C}$ に比例するからである (2-1-2 節)。 $J_C=2.5\text{kA/cm}^2$ での設計と同程度の共振のクオリティを得るために、RD1 も 2 倍に設計した³⁰。次に接合のシャント抵抗の設計について述べる。図 3-23 に、 $J_C=10\text{kA/cm}^2$ の接合の I-V 特性の、シャント抵抗値 R に対する依存性の測定結果を示す。図 3-23 からわかるように、 $I_C R=0.88\text{mV}$ の場合、接合の I-V 特性に若干ヒステリシスが生じていることから接合の β_C は 1 よりも高いと考えられる。本研究では 100Gbps 以上の高速を確実に実現するために、接合のシャント抵抗 R は $I_C R=0.88\text{mV}$ になるように高めに設計した³¹。 PTL の両端に接続されているドライバ接合 (JD2) とレシーバ接合 (JR1) は、 $J_C=2.5\text{kA/cm}^2$ での設計と同様に、接合のベアな β_C (つまり接合とシャント抵抗だけで決まる β_C) をほかの接合よりも高くし、 $I_C R=2.2\text{mV}$ になるようにシャント抵抗 R を設計した。

チップ間 SFQ パルス伝送の実験にはリング型テスト回路を用いた。回路構成は $J_C=2.5\text{kA/cm}^2$ のもの (図 3-12) と同じである。回路を構成する $J_C=10\text{kA/cm}^2$ のセルは、CONNECT セルライブラリ[49]の標準セルの接合面積を 1/4 に縮小し、接合のシャント抵抗 R を $I_C R=0.88\text{mV}$ になるように高く修正して設計した。ドライバからレシーバまでの 6.4mm の MSL の伝播遅延時間は約 55psec、

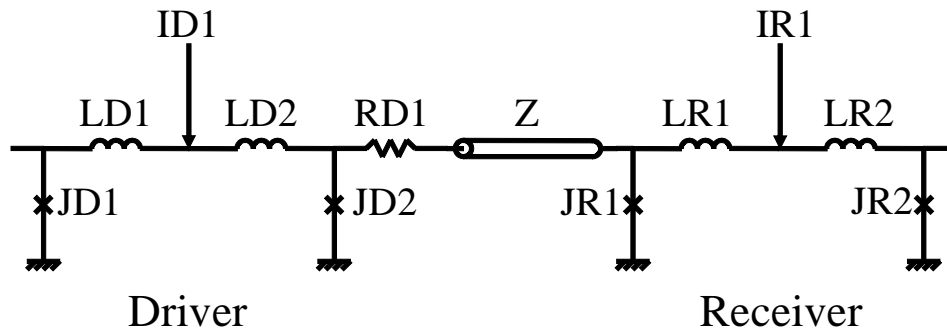


図 3-22. $J_C=10\text{kA/cm}^2$ で設計したチップ間 SFQ パルス伝送回路の等価回路図。JD1=JD2=0.4 mA、JR1=JR2=0.1 mA、LD1=LD2=1.3 pH、LR1=LR2=5.2 pH、ID1=0.56 mA、IR1=0.14 mA、Z=4 Ω 、RD1=1.36 Ω 。JD1 と JR2 は $I_C R=0.88\text{mV}$ になるように抵抗 R でシャントされている。JD2 と JR1 は $I_C R=2.2\text{mV}$ になるように抵抗 R でシャントされている。

³⁰ 一般に PTL 伝送回路の共振のクオリティは DC のときに最大になる。それはドライバ接合とレシーバ接合の線形近似モデル (図 2-9) のインピーダンスが DC において 0 になるからである。DC において PTL のレシーバ端での反射係数は 1 になり、ドライバ端での反射係数は PTL の特性インピーダンスと抵抗 RD1 との比で決まる。したがって、 $J_C=10\text{kA/cm}^2$ で PTL の特性インピーダンスを 2 倍にしたので、RD1 も 2 倍にすれば、 $J_C=2.5\text{kA/cm}^2$ の回路と同じクオリティが DC で得られる。周波数が有限の領域ではドライバ接合とレシーバ接合のインピーダンスを考慮しなければならないが、有限の周波数でのクオリティは DC での値よりも低い。

³¹ 本研究では、本章以降でも $J_C=10\text{kA/cm}^2$ の回路はすべて、 $I_C R$ 積が 0.88mV になるようにシャント抵抗 R を設計した。

MSL の共振周波数は約 9GHz である。

評価チップと MCM 基板を NEC の Nb 標準プロセス[31]とデバイス構造は同一だが J_C を $10\text{kA}/\text{cm}^2$ に高めたプロセスで試作した。Nb/Al-AlOx/Nb 接合のトンネルバリヤは Al を 8.5mTorr の酸素ガス分圧で、室温で 30 分酸化することにより形成した。作製された接合の J_C は $9.6\text{kA}/\text{cm}^2$ であった。 $1\mu\text{m}\times 1\mu\text{m}$ の接合の 1,000 個シリーズの I_C の標準偏差 σ は 1.6% であった。シート抵抗は 1.3Ω であり、設計値 (1.2Ω) の 1.1 倍だった。 4Ω の MSL はベース層を用いて形成した。MSL の線幅は $17\mu\text{m}$ である。InSn はんだバンプをチップと MCM 基板の両方のボンディングパッド上に、液浸プロセス[92], [93]で形成した。サンプルは、はんだバンプの直径が $30\mu\text{m}$ のものと、比較のために $50\mu\text{m}$ のものも作製した。図 3-24 にチップ上のボンディングパッド上に形成された直径 $30\mu\text{m}$ のはんだバンプの顕微鏡写真を示す。フリップチップボンダーを用いてチップを MCM 基板にフリップチップボンディングすることにより、テストモジュールを作製した。

測定方法は $J_C=2.5\text{kA}/\text{cm}^2$ の場合と同じである。最初にスイッチを開き、10kbps での低速機能試験を行った。チップ上伝送の場合、 $50\mu\text{m}$ バンプによるチップ間伝送の場合、 $30\mu\text{m}$ バンプによるチップ間伝送の場合を測定した。図 3-25 に測定されたバイアスマージンを示す。ドライバとレシーバの共通バイアスのマージン (図 3-25 (c)) は、チップ上伝送の場合が最も広く、 $50\mu\text{m}$ バンプによるチップ間伝送の場合が最も狭いが低速では大きな差はない。ドライバの上側バイアスマージン (図 3-25 (a)) は非常に狭い。チップ上伝送の場合とチップ間伝送の場合とでほとんど差がないことから、ドライバの上側バイアスマージンはバンプ接続構造からの反射ではなくドライバ自身の誤動作によって狭くなっていると考えられる。具体的には、図 3-6 の の誤動作、つまり反射でドライバがスイッチしてしまう誤動作、または の誤動作、つまり、SFQ パルス入力でドライバが DFQ を出力してしまう誤動作によって狭くなっていると考えられる。これは、接合の β_C を $J_C=2.5\text{kA}/\text{cm}^2$ の場合よりも高くしたため、ドライバがスイッチしやすくなっているためであると考えられる。

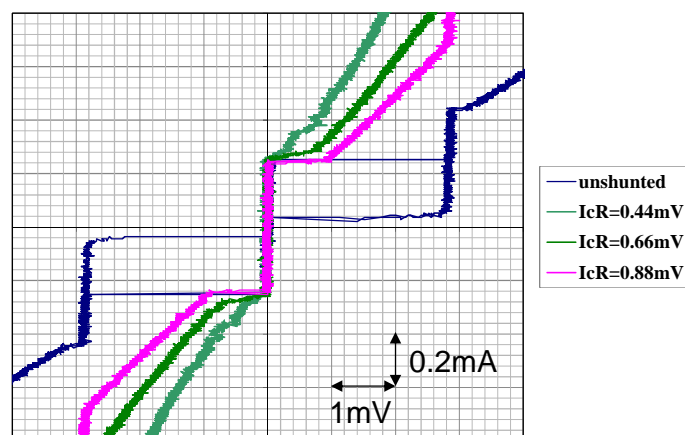


図 3-23. $J_C=10\text{kA}/\text{cm}^2$ で試作した $I_C=0.22\text{mA}$ の接合の I-V 特性。シャントしていない接合とシャントした接合の I-V 特性を示している。

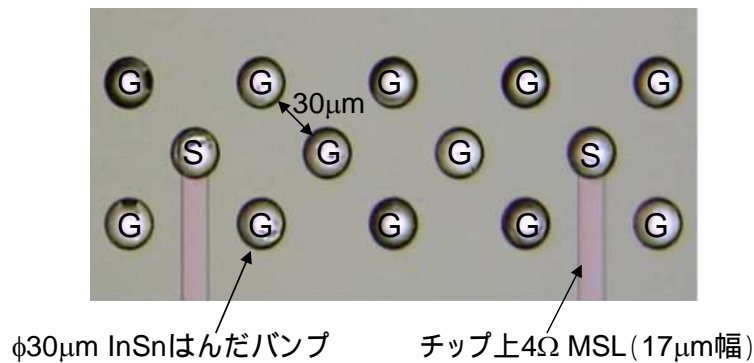
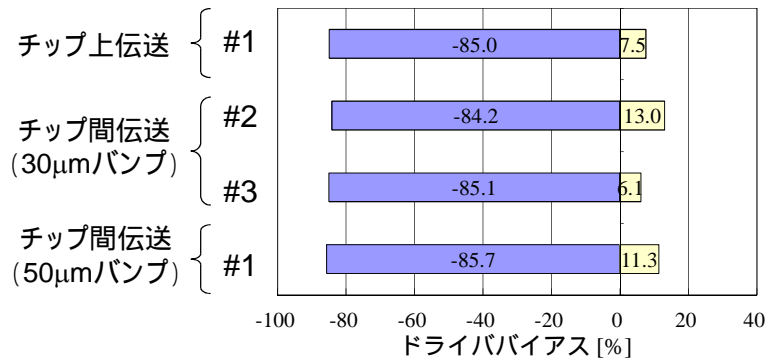


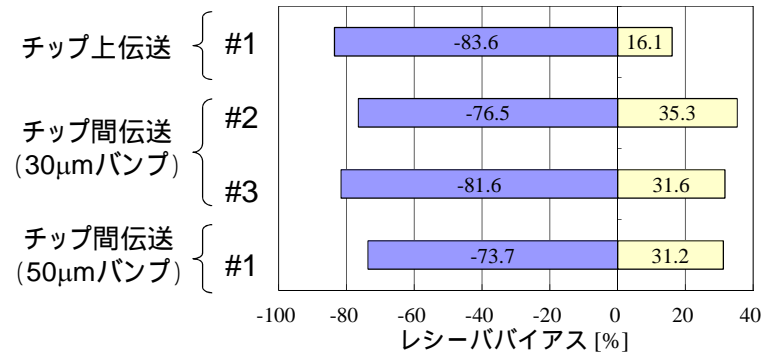
図 3-24. チップのボンディングパッド上に形成された直径 30 μ m の InSn はんだバンブ。S、G はそれぞれ、信号バンブと GND バンブである。

次に高周波での動作試験を行った。スイッチを閉じ、DC/SFQ から SFQ パルスを入力し、リング型テスト回路に SFQ パルスを周回させた。チップ間 SFQ パルス伝送のスループット T の N に対する依存性を、VDL バイアスが設計値の-20%から+20%について行った。測定の結果を図 3-26 に示す。この測定では、最大スループットが得られるようにドライバとレシーバのバイアスを調整した。その結果、レシーババイアスは 0.14mA (設計値)、ドライババイアスは 0.36mA (設計値に対して-36%) に設定された。図 3-26 にプロットしたそれぞれの V は 100 回の測定の平均値である。100 回の測定で得られた V の標準偏差 σ の典型的な値は 0.65 μ V であった。これに対し、図 3-26 からも分かるように、VDL バイアスが設計値の-20%と低い場合であっても V は約 8.5 μ V である。したがって、周回する SFQ パルスの個数 N を明確に検出できた。チップ間 SFQ パルス伝送のスループット T は N が小さい場合は N に比例するが、 N が増加すると飽和する傾向を示した。これは、リング型テスト回路を周回する SFQ パルスの個数 N が増大すると SFQ パルスの間隔が短くなり、SFQ パルス間の斥力相互作用[97]が顕在化するためだと考えられる。スループット T の N に対するリニアリティは、VDL バイアスが高いほどより大きい N まで保たれた。これは、VDL バイアスが高いほど、リング型テスト回路を構成する接合のスイッチングが速くなり、SFQ パルス間の斥力相互作用が顕在化するパルス間隔が短くなるからだと考えられる。この実験で、 N が 24 個、VDL バイアスが設計値の+20%のときに、最大の $V=243\mu$ V が得られた。(2-26)式から、この V は 117Gbps のスループット T に相当する。比較のために、チップと MCM 基板を直径 50 μ m のはんだバンブでフリップチップ接続したサンプルも測定したが、そのサンプルでは最大のスループットは 65Gbps であった。したがって 117Gbps という高いスループットは、直径が 30 μ m という小さなバンブを用いたことによってバンブ接続構造が広帯域化したことによって得られたものであると考えられる。

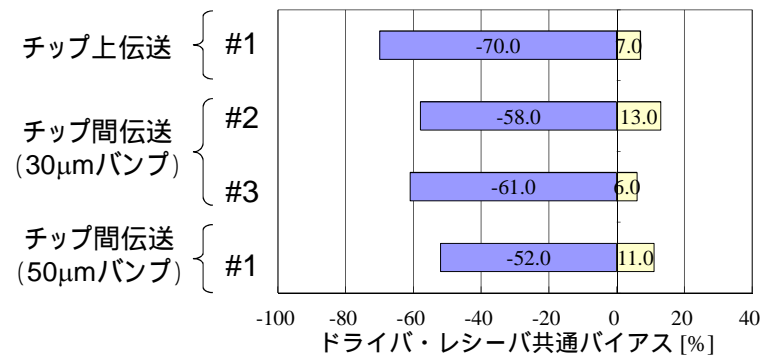
直径 30 μ m のバンブの場合について、ドライバとレシーバの共通バイアスのマージンのスループット T に対する依存性も測定した。まずドライバとレシーバのバイアスを、117Gbps 伝送が得



(a)



(b)



(c)

図 3-25. $J_C=10\text{kA}/\text{cm}^2$ で試作した 0401 の低速機能試験で得られたバイアスマージン。チップ上 SFQ パルス伝送の場合、30μm 径バンプによるチップ間 SFQ パルス伝送の場合、50μm 径バンプによるチップ間 SFQ パルス伝送の場合の測定結果を比較している。#はサンプル番号である。同一のサンプル番号の回路は同一チップ上に形成されており、同一の冷却条件で測定された。(a)ドライババイアスマージン、(b)レシーババイアスマージン、(c)ドライバとレシーバの共通バイアスのマージン。

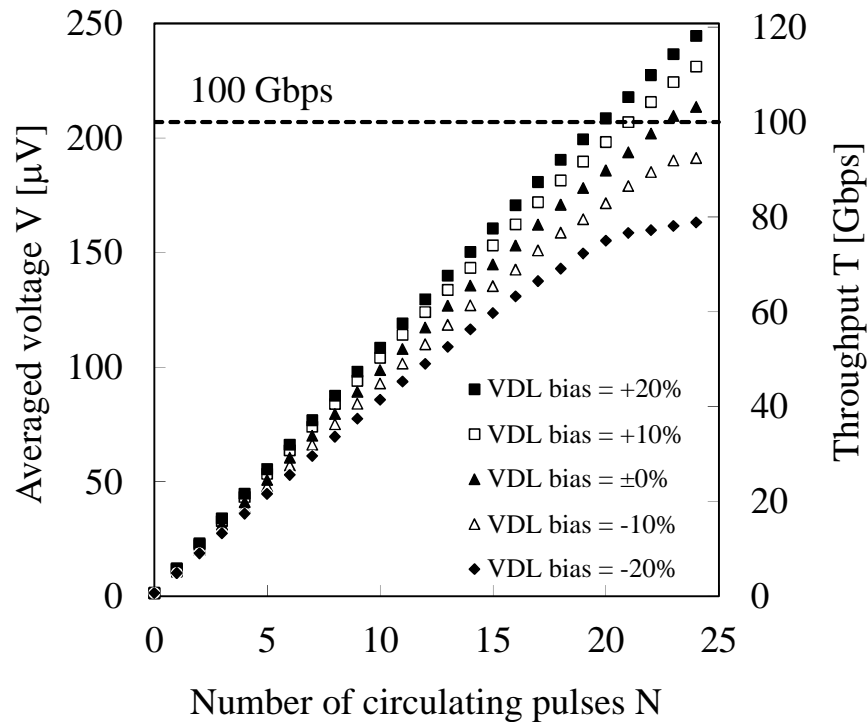


図 3-26. はんだバンプ径が $30\mu\text{m}$ の場合の、チップ間 SFQ パルス伝送のスループットの周囲 SFQ パルス数に対する依存性の測定結果 ($J_c=9.6\text{kA}/\text{cm}^2$)

られた値、すなわち、ドライババイアスは 0.36mA 、レシーババイアスは 0.14mA に設定した。次に SFQ パルスをリング型テスト回路に入力し、周回させた。SFQ パルスが周回している間、ドライバとレシーバのバイアス電流を、 500msec ごとに、それぞれの初期値（レシーバは 0.14mA 、ドライバは 0.36mA ）の 0.5% ずつ増加（または減少）させた。バイアスを変化させた直後、毎回 V を計測した。バイアスマージンは、バイアスが初期値のときに周回させた SFQ パルスの個数 N が保持されるバイアス範囲と定義される。このようにしてバイアスマージンを測定する。この一連の測定を、VDL バイアスと N を変えることによって広いスループットの範囲について行い、バイアスマージンのスループット依存性を得た。測定結果を図 3-27 に示す。スループットが 5Gbps から 117Gbps までの範囲で正常動作が維持できるバイアスマージンは $\pm 8.5\%$ であった。

さらに、直径 $30\mu\text{m}$ のバンプの場合について、BER も評価した。ドライバのバイアスを 0.36mA に、レシーバのバイアスを 0.14mA に設定し、VDL バイアスを設計値の $+20\%$ に設定した。次に、 24 個の SFQ パルスをリング型回路に周回させ、 117Gbps のスループットで動作している状態にした。回路をそのままの状態にし、 8 時間の間、 V を 500msec ごとに自動計測した。その結果、 N の変化は検出されなかった。したがってチップ間伝送回路のビットエラーレート (Bit Error Rate; BER) は 10^{-15} 以下と非常に低い。このテストはオール 1 のパルスパターンの場合でしかないが、 117Gbps のチップ間 SFQ パルス伝送が非常に低い BER で実証された。

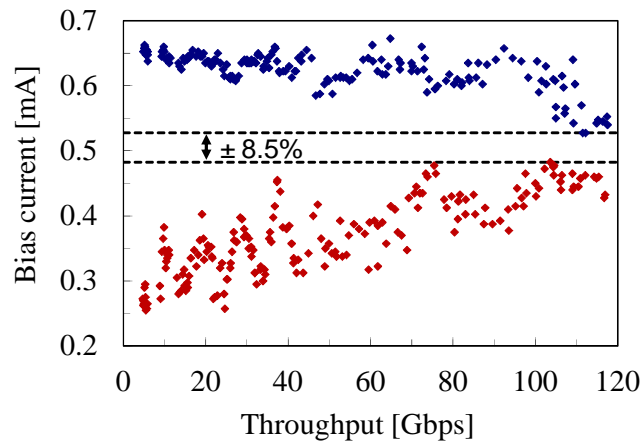


図 3-27. はんだバンプ径が $30\mu\text{m}$ の場合の、チップ間 SFQ パルス伝送回路のバイアスマージンのスループット依存性の測定結果 ($J_C=9.6\text{kA}/\text{cm}^2$)。

3-6: 本章のまとめ

パッシブ基板にフリップチップボンディングされた超伝導チップ間での、SFQ ドライバを用いた高速 SFQ パルス伝送を初めて実証した。SFQ ドライバは DFQ ドライバに比べて反射の抑制機能は弱い、DFQ ドライバに比べて回路が小規模であり、動作速度が速いという利点を有する。実験で得られた最大スループットは $J_C=2.5\text{kA}/\text{cm}^2$ で 60Gbps、 $10\text{kA}/\text{cm}^2$ で 117Gbps であった。本研究で確立したチップ間 SFQ パルス伝送回路により、SFQ 回路の高速動作を保ったまま MCM へと回路規模を大規模化することが可能になった。さらに、本研究のチップ間 SFQ パルス伝送回路を用いることにより、100GHz 以上の高速で動作する MCM を実現することが可能である。

今後の課題としては、実装面でははんだバンプ実装の高歩留まり化が挙げられる。本研究で用いた液浸プロセスで作製されたはんだバンプの高さは、最小のものと最大のものとで約 2 倍異なる。そのため、フリップチップ接続したときの導通の歩留まりが、バンプ直径が短くなるほど著しく悪くなり、測定可能なサンプルの作製に多大な時間を要した。バンプ高さの均一性を向上するには、めっき等のプロセスの開発が不可欠である。

本章のチップ間 SFQ パルス伝送回路は第 2 章の PTL 伝送回路をベースにしているため、回路設計に関しては第 2 章の末尾に挙げたものと同じ課題を有する。それらの他にチップ間伝送特有の課題としては、回路設計のさらなる最適化が挙げられる。本章では、バンプ接続構造での反射と損失への耐性を向上するために、レシーバの感度とドライバの出力を可能な限り高めるアプローチを採用したが、設計した図 3-5 の回路はオーバースペックになっている可能性がある。バンプでの反射が顕著でない場合には、レシーバの感度とドライバの出力を本研究の回路よりも低下させても安定に動作する可能性が考えられる。

第 4 章: 10Gbps × 32ch 冷凍機システム

SFQ 回路は 100GHz 以上の高速クロックで動作するポテンシャルを有している。この SFQ 回路の高速動作を実用的なシステムの中で用いるためには、SFQ 回路と室温エレクトロニクスとの間で高速な信号のやり取りを行う必要がある。しかし、SFQ 回路は極低温環境（ $\sim 4\text{K}$ ）で、非常に幅の狭い（ $\sim \text{psec}$ ）低振幅（ $\sim \text{mV}$ ）の SFQ パルスを情報担体として処理するため、室温エレクトロニクスとの間での高速の信号のやり取りが非常に困難である。さらに SFQ 回路のインピーダンスが数 Ω であり、室温エレクトロニクスで標準的に用いられている 50Ω のインピーダンスと大きく異なることも、SFQ 回路と室温エレクトロニクスとの間の高速での信号のやり取りを一層困難にしている。そのため、広帯域、多ピンの極低温実装技術と、SFQ 回路と室温エレクトロニクスとの間の高速インタフェース回路が、SFQ 回路をシステムレベルで高速に動作させるためのキー技術となるが、これらは未解決の課題である。加えて、実用的なシステムを実現するためには、SFQ 回路は液体ヘリウムではなく冷凍機で冷却されなければならない。冷凍機は冷却能力に限りがあるため、高速 I/O ケーブルから冷凍機の極低温ステージに流入する熱が冷凍機の冷凍能力を超えると極低温ステージの温度が上昇してしまい SFQ 回路を動作させることができなくなる。一方、SFQ 回路と室温との間で高速の信号をやり取りするには、広帯域の I/O ケーブルを多数冷凍機に実装しなければならないが、広帯域の I/O ケーブルは電気抵抗が小さく、したがって電気伝導性が高い。Wiedemann-Frantz の法則[98]により、そのような電気伝導性の高いケーブルは熱伝導度も高いため、I/O ケーブルの本数を増やすほど（言い換えれば冷凍機の I/O のトータルのスループットを増大させるほど）室温から冷凍機の極低温ステージに流入する熱が増大する。ゆえに、SFQ 回路のための冷凍機実装には、限られた冷却能力の下での I/O のトータルスループットの増大と熱流入の低減との間のトレードオフが存在する。この問題により、冷凍機の使用は SFQ 回路の極低温実装をより困難にしている。本研究では、このような、冷凍機と広帯域の I/O を実装した、SFQ 回路を冷却するための冷却装置を冷凍機システムと呼ぶ。

これまで、ディジタルレシーバ等の比較的小規模なアプリケーションのための冷凍機システムが開発されている[99]。これらのアプリケーションに要求されるのは比較的狭いディジタル帯域（数 100Mbps/port \sim 数 Gbps/port）の I/O リンクである[99]。しかし、ネットワークスイッチなどの大規模かつ高スループットのアプリケーションでは、100 \sim 1000 本の、広いディジタル帯域（数 10Gbps/port）の I/O リンクが要求される[100]。そのため、そのような高スループットのアプリケーションのための冷凍機システムを実現することは、これまでに報告された小規模アプリケーションのための冷凍機システムに比べて技術的に非常に困難である。事実、24ch の高速電気 I/O と 2ch の光入力を有する冷凍機システムがネットワークスイッチ用に開発され、その冷凍機システムで冷却された 4×4 スイッチ回路の動作が実証されたが、その実証は部分動作でしかなく、動作周波数はターゲット周波数の 10Gbps に達することができず、4Gbps までしか実証されなかった[101]。このように、10Gbps/port 以上の高速かつ多ピンの I/O を有する冷凍機システムでの SFQ 回

路動作は未だ実証されておらず、高スループットの SFQ デジタルアプリケーションのための冷凍機システムの実現には、さらなる研究開発が必要である。

そのため本研究では、スイッチ等の高スループット SFQ デジタル集積回路のための冷凍機システムの研究開発を行った。本章では、冷凍機システムのための要素技術である極低温広帯域多ピン実装技術と超伝導電圧ドライバの研究開発、および、これらの要素技術を集積した冷凍機システムについて述べる。さらに、試作した冷凍機システムで冷却された SFQ 回路のシステムレベルでの 10Gbps/port 以上の高速での低 BER 動作実証について述べる。

4-1: 従来の冷凍機システムと課題

本研究以前に開発された冷凍機システムについて概要を述べる。Gupta らが報告している冷凍機システム[99]は約 4K と約 60K の 2 つの温度ステージを有する市販の Gifford-McMahon (GM) 型冷凍機を使用している。実測された冷凍機の冷却能力は 1st ステージが 53K で 6W、2nd ステージが 4.2K で 0.2W である。SiGe の HBT アンプを 1st ステージに実装しており、超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) からの数 mV の出力信号を 800mV に増幅する。この冷凍機は HYPRES が開発した 20GS/s、15bit の ADC チップのシステム実証を想定して設計されている。ADC チップは 6000 接合から構成され、約 80 個のパッドを有する。開発した冷凍機システムは高速 I/O を 38ch 有し、その内訳は、20GHz クロック入力 1ch、1GHz 高速出力 28ch、300MHz クロック出力 2ch である。20GHz クロック入力と 1Gbps 出力には同じ同軸ケーブルを使用しているが、損失は 1GHz で 2.7dB、10GHz で 7.4dB、20GHz で 12.2dB である。したがって 20GHz のクロックは 1/10 以下に減衰する。この大きな損失が許容されるのは、クロックが正弦波なので単一周波数成分しか含まないため、減衰が大きくても波形が正弦波のままだからである。一方、デジタル信号の場合、少なくとも繰り返し周波数の 3 次高調波を少ない損失で伝送できないと波形の肩が落ちて S/N が悪化する[94]。この冷凍機システムは高速 I/O ケーブルだけでなく、バイアス供給用のツイストペアケーブルを 40 ペア実装している。したがって冷凍機に実装されているケーブルは計 78ch である。チップは圧着で実装する。4K ステージへの熱流入を、シミュレーションを駆使して詳細に設計しているが、この冷凍機システムの試作および測定結果は報告されていない。

Dubash らが報告した冷凍機システム[101]は、約 4K と約 80K の温度ステージを有する冷凍機を使用している。この冷凍機システムは 24ch の電気 I/O と 2ch の光入力を有する。電気 I/O のアナログ帯域は 18GHz である。80K ステージにフォトディテクタ (Photo detector; PD) が実装されており、室温から入力した光信号を 80K で電気信号に変換する。PD の 80K での帯域は 14GHz である。80K ステージには GaAs の極低温アンプも実装されており、SVD からの出力を増幅する。極低温アンプの 80K での帯域は 15GHz、ゲインは 11dB である。SVD は直列接続した 24 個の SQUID のインダクタンスに JTL のインダクタンスを磁気結合させた回路である。SQUID は DC バイアス

されており、SFQ/DC から JTL に SFQ パルス列が伝送されている間、SQUID が出力電圧を発生する。スイッチ MCM は 4×4 スイッチ回路と SVD が集積された 1 枚の $5\text{mm} \times 5\text{mm}$ のチップが $1.25\text{in} \times 1.25\text{in}$ (約 $3.2\text{cm} \times 3.2\text{cm}$) の MCM 基板に $100\mu\text{m}$ 径の InSn はんだバンプでフリップチップボンディングされたものであり、バンプ高さは $5 \sim 7\mu\text{m}$ である。このスイッチモジュールはシングルチップモジュール (Single Chip Module; SCM) であり、マルチチップモジュール (Multi-Chip Module; MCM) ではない。したがってチップ間高速信号伝送を有さない。チップは HYPRES の $J_C = 1\text{kA}/\text{cm}^2$ プロセスで試作されている。スイッチモジュールは 72pin の BeCu の Spring finger (市販) による圧着でボードに接続されている。冷凍機システムで冷却した 4×4 スイッチ回路は 1ch のみの部分動作しか実証されていない。入力データは 4Gbps だが、出力は 1Gbps/ch であり、このスイッチシステムの目標である 10Gbps には達していない。また出力波形はかなり歪んでおり、“1”と“0”の判別が困難であり、BER 測定も行われていない。上限周波数は SVD がリミットしていると記載されているが、SVD 単体は液体ヘリウム冷却で 4Gbps まで動作していると記載されているので、冷凍機の実出力リンクのインピーダンス設計および損失が動作周波数を制限していると考えられる。

上述のとおり、10Gbps/ch 以上の高速 I/O を有する冷凍機システムの実証事例はない。その大きな課題は I/O、特に SFQ 回路の出力信号を 10Gbps/ch 以上の高速で、かつ、低いビットエラーレート (Bit Error Rate; BER) で伝送することにある。その具体的な技術的な課題としては、10Gbps 以上の高速で半導体アンプが低 BER 動作するための十分な出力を発生できる SVD、数 mV の入力で 10Gbps の低 BER 動作が可能な極低温半導体アンプ、SFQ 回路の出力伝送路 (はんだバンプ、クライオプローブ等の実装上の形状不連続箇所を含む) のインピーダンス整合と損失低減が挙げられる。これらのいずれかが不十分であれば、高速かつ低 BER の出力は得られない。さらに、これらの要素を、冷凍機が許容する熱負荷の範囲内で可能な限り多数実装しなければならない。本研究では、これらの技術課題について取り組み、10Gbps 以上の高速 I/O を 32ch 有する冷凍機システムの研究開発を行った[102]。

4-2: 冷凍機システムの基本設計

冷凍機システムの基本設計を行った。基本設計では、まず、熱流入の大部分を占め、システムのスループットを決定づける I/O リンクについて検討した。高速 I/O リンクとしては電気を用いる方式と光を用いる方式が考えられるが、SFQ 回路と光デバイスとの極低温インタフェース技術はまだ確立されておらず、特に光出力インタフェースは実現手段が見出されていない。そのため、まずは電気 I/O による冷凍機システムの開発を行い、その設計、試作、評価を通して、電気 I/O を用いた冷凍機システムのひとつの完成形を示すとともに、電気 I/O による冷凍機システムの最大のスループットを実験的に見出し、冷凍機実装の課題を抽出することを目標とする。高速 I/O ケーブルの本数が多いほど冷凍機実装が困難になり、インタフェース回路およびシステムが複雑になるため、1 本の I/O ケーブルで可能な限り高いスループットのデータを伝送し、実装の困難と、

インタフェース回路およびシステムの複雑さを軽減することを設計指針とした。一般にデジタル信号は、近似的に矩形パルスの形状をしており、RZ 信号の場合、信号の伝送レートに等しい基本周波数と、その基本周波数の奇数次の高調波成分を有する。したがってデジタル信号を送るケーブルは、最低でも信号の伝送レートの 3 倍の周波数まで帯域を有することが必要である。それより帯域の低いケーブルでデジタル信号を送った場合、信号の基本波の 3 次高調波が大きく減衰し、デジタル信号は正弦波のように肩の落ちた波形になってしまう³²。このことを考慮すると、電気ケーブルで伝送できる RZ 信号の伝送レートは 10Gbps 程度がおよその上限である。10Gbps 程度の RZ 信号伝送に要求される帯域は 30GHz 以上であり、電気ケーブルで実現可能なおよその上限であるからである。このことから冷凍機システムの I/O ケーブルの伝送レートとして 10Gbps/ch を目標とした。

次に冷凍機について検討した。冷凍機は 4K ステージと中間温度 (40K ~ 50K) ステージを有する 2 段型のものを用いる。これは中間温度ステージに半導体アンプを実装するためである。半導体アンプを室温ではなく中間温度ステージに配置するのは、SFQ MCM からの出力信号の振幅が数 mV と非常に小さくかつ数 10psec とパルス幅が狭いため、室温まで伝送すると高周波成分が大きく減衰し、半導体アンプを低 BER で動作させることが困難になるからである。一方、冷凍機の冷却能力については、可能な限り多くの I/O ケーブルを実装するために冷却能力が高い冷凍機が必要である。さらに、実用上の観点から小型の冷凍機が必要であり、かつ、研究試作品ではなく取扱いの容易な市販品であることが必要である。これらの要求を兼ね備える冷凍機として、2 段の GM 型の 4K、1W 冷凍機を用いることとした。

次に I/O ケーブルの本数であるが、ある程度の規模の SFQ 集積回路のシステム動作を実現するために数 10ch を目指す。具体的な I/O ケーブルの本数は、冷凍機の限られた冷凍能力のもとで、ケーブルの熱流入とケーブルの帯域のトレードオフを最適化して決定する。この最適化については次節で述べる。

図 4-1 は上述の基本設計に基づいた冷凍機システムの基本構成の概念図である。冷凍機は 4K と約 40K の 2 つの温度ステージを持ち、SFQ MCM は 4K ステージに実装される。MCM は SFQ 論理回路チップと SVD チップが超伝導 MCM 基板にはんだバンプでフリップチップボンディングされた構成である。論理回路と SVD を同一チップに集積する構成も可能であるが、論理回路チップを、設計技術およびプロセス技術が確立している $J_C=2.5\text{kA/cm}^2$ で設計、試作し、SVD チップを高速の高出力動作が可能な $J_C=10\text{kA/cm}^2$ で設計、試作する構成も考えられるため、図 4-1 では別チップの構成を示した。なお、図 4-1 は概念図なので論理回路チップも SVD チップも 1 チップしか示していないが、論理チップも SVD チップも複数実装することが可能である。室温からの入力信号は半導体エレクトロニクスで標準的に用いられている 50Ω ライン上の NRZ 信号であり、振幅は約 10mV である。入力信号は SFQ 論理回路チップ上の NRZ/SFQ コンバータ (NRZ-to-SFQ convertor; NRZ/SFQ) により SFQ パルスに変換される。クロックは DC オフセットのかかった正弦波クロック

³²帯域の定義は様々あるが、ここでは透過損失が 3dB になる周波数を帯域とする定義を用いる [94]。

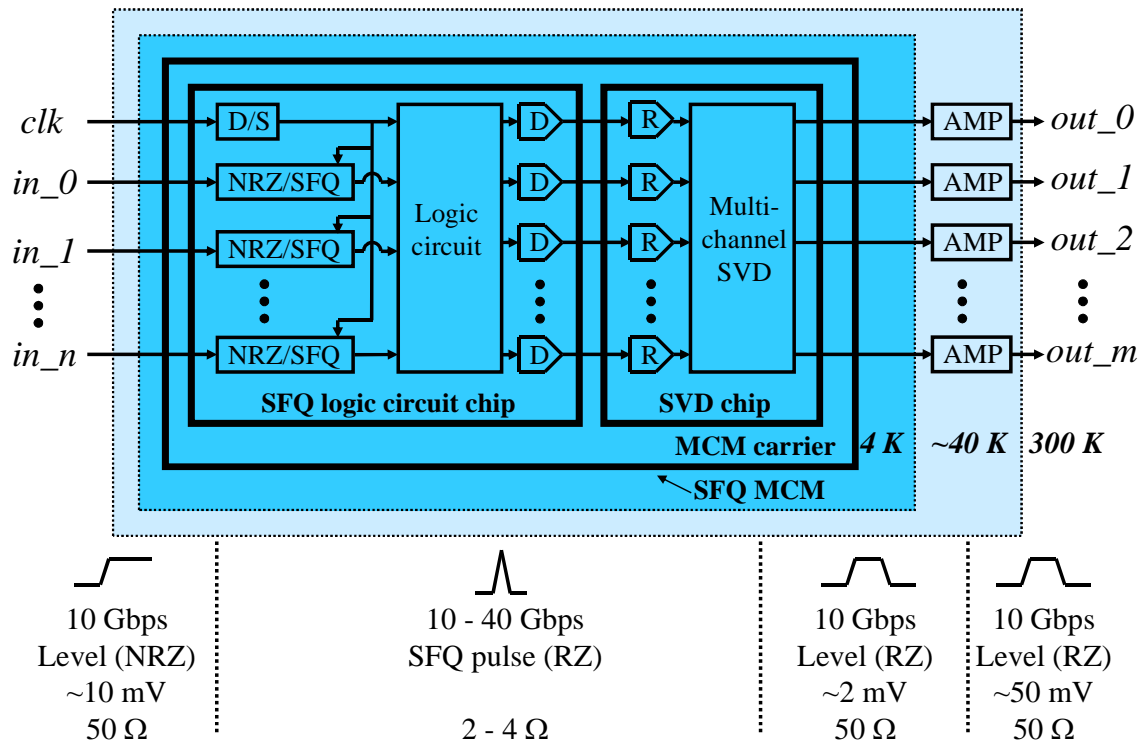


図 4-1. 本研究で開発した冷凍機システムの基本構成図。D/S、NRZ/SFQ、D、R、AMP はそれぞれ、DC/SFQ コンバータ、NRZ/SFQ コンバータ、チップ間 SFQ パルス伝送用ドライバ、チップ間 SFQ パルス伝送用レシーバ、極低温半導体アンプである。

クを室温から入力し、DC/SFQ により SFQ パルスのクロックに変換する。チップ間で伝送する信号は SFQ パルスであり、第 3 章で開発したチップ間 SFQ パルス伝送回路を用いて伝送する。チップ上およびチップ間の伝送線路 (PTL) のインピーダンスは $2\Omega \sim 4\Omega$ である ($J_c=2.5\text{KA}/\text{cm}^2 \sim 10\text{KA}/\text{cm}^2$ の場合)。SFQ 論理回路チップの出力は SVD チップに伝送され、SVD によって 50Ω ライン上の約 2mV のレベル信号 (RZ) に増幅される。SVD チップの出力はさらに約 40K のステージに実装された極低温半導体アンプで約 50mV に増幅される。SFQ MCM と室温エレクトロニクスを接続する I/O リンクは電気ケーブルであり、データレートは $10\text{Gbps}/\text{port}$ である。

4-3: 冷凍機システムの開発

前節で述べた基本設計をもとに冷凍機システムを設計、試作した。図 4-2 は試作した冷凍機システムの写真と断面概略図である。システムサイズは $36\text{cm} \times 36\text{cm} \times 90\text{cm}$ である。すべてのコンポーネントは $36\text{cm} \times 36\text{cm} \times 30.4\text{cm}$ の真空チャンバに実装されている。このシステムは 4K 、 1W の 2 段

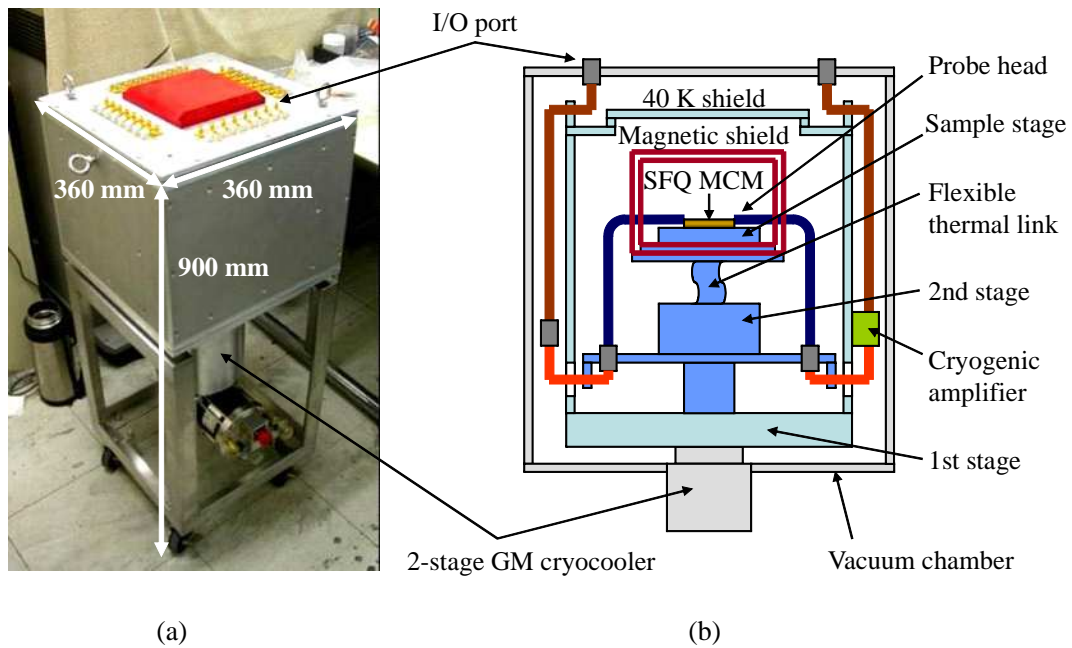


図 4-2. 開発した冷凍機システムの(a)外観写真と(b)断面概略図。

表4-1. 冷凍機（RDK-408D）の仕様。

冷凍方式	GM（2 ステージ）
冷却能力	1W at 4.2 K（2nd ステージ） 31 W at 40 K（1st ステージ）
重量 [kg]	18
サイズ [mm]	H 557 × W 180 × L 294
メンテナンス [時間]	10,000

表4-2. コンプレッサ（CSA-71A）の仕様。

冷却方式	air
消費電力 [kW]	6.5
重量 [kg]	140
サイズ [mm]	H 885 × W 550 × L 550
メンテナンス [時間]	20,000

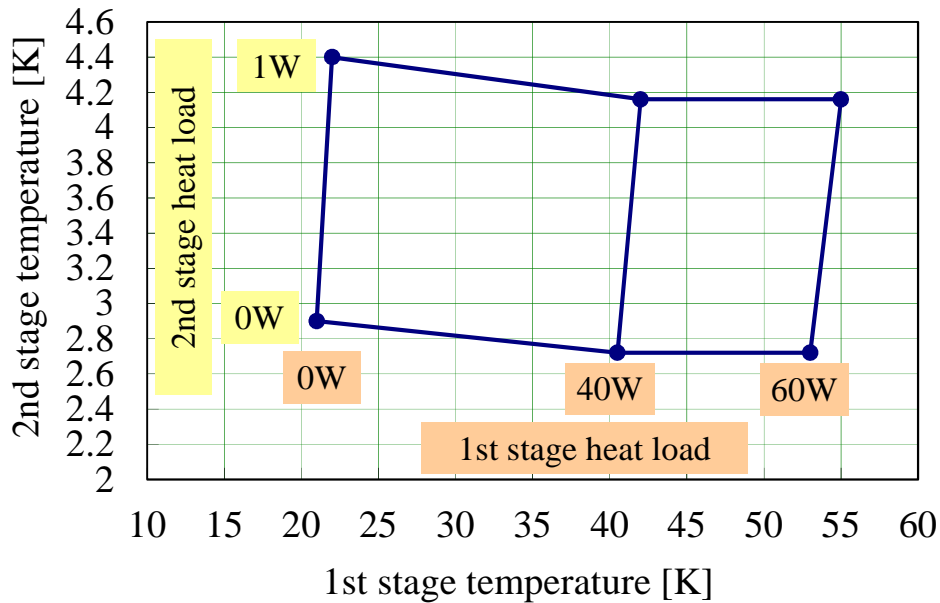


図 4-3. 測定された冷凍機のロードマップ。

GM 冷凍機(住友重工製 RDK-408D [103])で冷却される。コンプレッサ(住友重工製 CSA-71A [103]。図 4-2 には示されていない)のサイズは 55cm×55cm×88.5cm である。表 4-1 と表 4-2 は冷凍機とコンプレッサのカタログ仕様である。冷凍機の各ステージの実際の温度は各ステージの熱負荷に依存する。図 4-3 は本研究で用いた冷凍機の各ステージの温度と熱負荷の関係を測定したものであり、一般にロードマップと呼ばれているチャートである。例えば 1st ステージと 2nd ステージの熱負荷がそれぞれ 40W、1W のとき、1st ステージ、2nd ステージの温度はそれぞれ 42K、4.2K であることがわかる。

SFQ MCM のサイズは 16mm×16mm、サンプルステージのサイズは 60mm×60mm である。冷凍機の機械振動によって MCM のパンプ接続が破断したり、クライオプローブと MCM との導通がオープンになったりすることを防ぐために、2nd ステージとサンプルステージの接続にフレキシブルサーマルリンクを用いて機械振動を抑制した(図 4-2 (b))。MCM はパーマロイの 2 重磁気シールドと 40K のラディエーションシールドで囲まれている。磁気シールドは四角の箱の形状をしており、下半分と上半分に分かれている。磁気シールドの下半分は、冷凍機の 2nd ステージのクールドヘッドとサンプルステージとの間に挟まれている。サンプルステージに MCM を実装するときには磁気シールドの上半分をはずし、MCM を実装したのちに磁気シールドの上半分を取り付けて MCM の周囲を磁気シールドで囲む。

1st ステージには GaAs の極低温半導体アンプが 6 個実装されている。このアンプは Suzuki らによって極低温用に開発されたものである[104]。Suzuki らの実験により、この半導体アンプが 50K で、40MHz ~ 20GHz の広帯域で約 30dB のゲインを有することが示されており、さらに、10Gbps

の 2mV の RZ 入力で非常に低い BER で動作することが、アイ・パターンの測定により実証されている[104]。この極低温半導体アンプの消費電力は約 1W、サイズは 35mm×58.5mm×13.5mm である³³。

冷凍機実装における技術的困難のひとつは、冷凍機の許容熱流入（4K の 2nd ステージに最大 1W）を超えずにいかにして広帯域の I/O ケーブルを多数実装するかということである。広帯域のケーブルは電気伝導率が高いが、Wiedemann-Frantz の法則により熱伝導率も高いため、I/O ケーブルの広帯域化と熱流入の削減の間にはトレードオフが存在するからである。本研究では I/O ケーブルについて各種の材料、直径、長さを検討した結果、1ch の I/O リンクを 3 種類のケーブルで構成した（表 4-3）。具体的には、室温から 1st ステージまでは、1st ステージの高い冷却能力（約 40W）を活かし、比較的太く（2.2mm 径）、電気抵抗の低い Cu の同軸ケーブルを用いて高周波損失を低減することを優先し、熱流入は許容した。これらの Cu ケーブルは 1st ステージでサーマルアンカーを取り、室温から流入する熱を 1st ステージで除去する。

一方、2nd ステージの冷却能力は 1W と小さいため、1st ステージから 2nd ステージの間は、熱流入を低減することを優先し、比較的細く（1.19mm 径）、熱伝導度の低いリン青銅の同軸ケーブルを用いた。これらのリン青銅ケーブルは 2nd ステージでサーマルアンカーを取り、1st ステージから流入する熱を 2nd ステージで除去する。

2nd ステージからサンプルステージまでは、再び電気抵抗の低い Cu ケーブルを使用し、高周波損失の低減を優先した。2nd ステージとサンプルステージの温度はほぼ等しいため、2nd ステージからサンプルステージへは顕著な熱流入がないからである。この Cu ケーブルは極低温プローブと直接つながっている（図 4-2 (b)）。後述するように極低温プローブは着脱可能に設計している。極低温プローブの着脱を容易にするために、この Cu ケーブルはフレキシブルのものを用いた。また、極低温プローブを可能な限り小型化するため、Cu フレキシブルケーブルは最外径 1.19mm の細いものを使用した。

高周波損失を低減するために、上述の 3 種類すべてのケーブルは中心導体（芯線）と外部導体（GND）の表面に電気伝導率の高い Ag のメッキが施されたものを使用した。高周波の信号は導体の表面付近に集中するので[95]、電気伝導率の高い Ag で導体表面をコーティングすることは高周波損失低減に効果的である。さらに、表 4-3 に示したすべてのケーブルは、低密度テフロン（発泡テフロンとも呼ばれる）を絶縁体に用いたものを使用した。低密度テフロンは普通のテフロンに比べて熱膨張率が低いため、室温と極低温（4K または 40K～50K）の温度サイクルによる I/O ケーブルの破損を起こしにくく信頼性を向上できる。最初の冷凍機システムの試作では、通常のテフロンを用いた同軸ケーブルを使用した。室温と極低温との間の数回の温度サイクルの結果、32 ピン中 6 ピンが断線した。冷却時にタイム・ドメイン・リフレクトメトリ（Time-Domain Reflectometry; TDR）で調べた結果、断線は室温～1st ステージ間の Cu ケーブルのコネクタで起こっていることが判明した。さらに、冷却時に断線したピンのうち、室温に戻すと導通が回復する

³³ この極低温半導体アンプは本研究以後にSHFで製品化されている[105]。

表4-3. I/Oケーブルの構成。

部分	ケーブル ^a	長さ[mm]
300K — 1st ステージ	φ2.2mm Cu 同軸フレキシブル	300
1st ステージ — 2nd ステージ	φ1.19mm リン青銅セミリジッド	300
2nd ステージ — MCM	φ1.19mm Cu 同軸フレキシブル	100

^aケーブルの直径はいずれも最外径。

ピンもあったことから、冷却時にテフロンが縮み、テフロンに芯線が引きずられてコネクタから抜けて導通が取れなくなり、室温に戻すことによってテフロンが膨張して再びコネクタと芯線との導通が回復したものと推定された。その後の改良で I/O ケーブルを低密度テフロンのもので交換した結果、温度サイクルによって断線するピンは発生しなくなった。

室温の I/O ポートから SFQ MCM までの I/O ケーブルの長さは合計で 700mm、MCM から極低温アンプまでは 400mm である。2nd ステージへの熱流入の概算を見積もった結果、I/O ケーブルの熱流入は 1ch あたりおよそ 25mW であった。そのため I/O ケーブルの本数を 32 本とした。2nd ステージへの熱流入は合計でおよそ 1W と見積もられた³⁴。

冷凍機実装のもうひとつの技術的困難は、信頼性の高い、広帯域かつ多ピンの極低温プローブの開発である。本研究では、MCM を交換できるようにするため、プローブを着脱可能にした。そのため、プローブと SFQ MCM の電気接続に圧着方式を採用した。圧着方式は、極低温冷却時にプローブやその周辺の部材が収縮することによって電氣的にオープンになってしまうことがあり、32 ピン全ピンの導通を冷却時にも確保できるプローブを開発することは困難な課題であった。数回にわたる改良の結果、信頼性の高いプローブが開発された（図 4-4）³⁵。図 4-4 に、サンプルステージに実装された SFQ MCM とクライオプローブの写真と断面概略図を示す。開発された 32 ピンプローブは、4 個の 8 ピンプローブから構成される。8 ピンプローブの本体は CuMo であり、この本体に 8 個のプローブヘッドが挿入されている。プローブヘッドの先端は 4K での圧着接続の信頼性を高めるために BeCu で作製した。また、信号ピンの両脇に 2 個の GND ピンを備えたコプレナ形状にした。これは、MCM のプロービングパッドを高周波用に GSG の構成にしたため、それに合わせたものである。

MCM の冷凍機への実装の手順は次のとおりである。まず、SFQ MCM を Cu サンプルステージ上の CuMo プレートの上にアピエゾングリスで固定する。その後、4 個の 8 ピンプローブを CuMo プレートに引きねじで固定する。その際 MCM のプロービングパッドとプローブヘッドとのアライメントは実体顕微鏡で観察しながら調整する。テスターで全ピンの導通をチェックし、open のピンについては、個別アジャスタでプローブヘッドの高さを個別に調整し、全ピンの導通を確保する。このプローブを用いることにより、32 ピンの全ピンの圧着の度合いを個別に最適化できる。

³⁴ 冷凍機システムの詳細設計と試作はクライオウェアと川島製作所により行われた。

³⁵ クライオプローブは川島製作所により作製された。

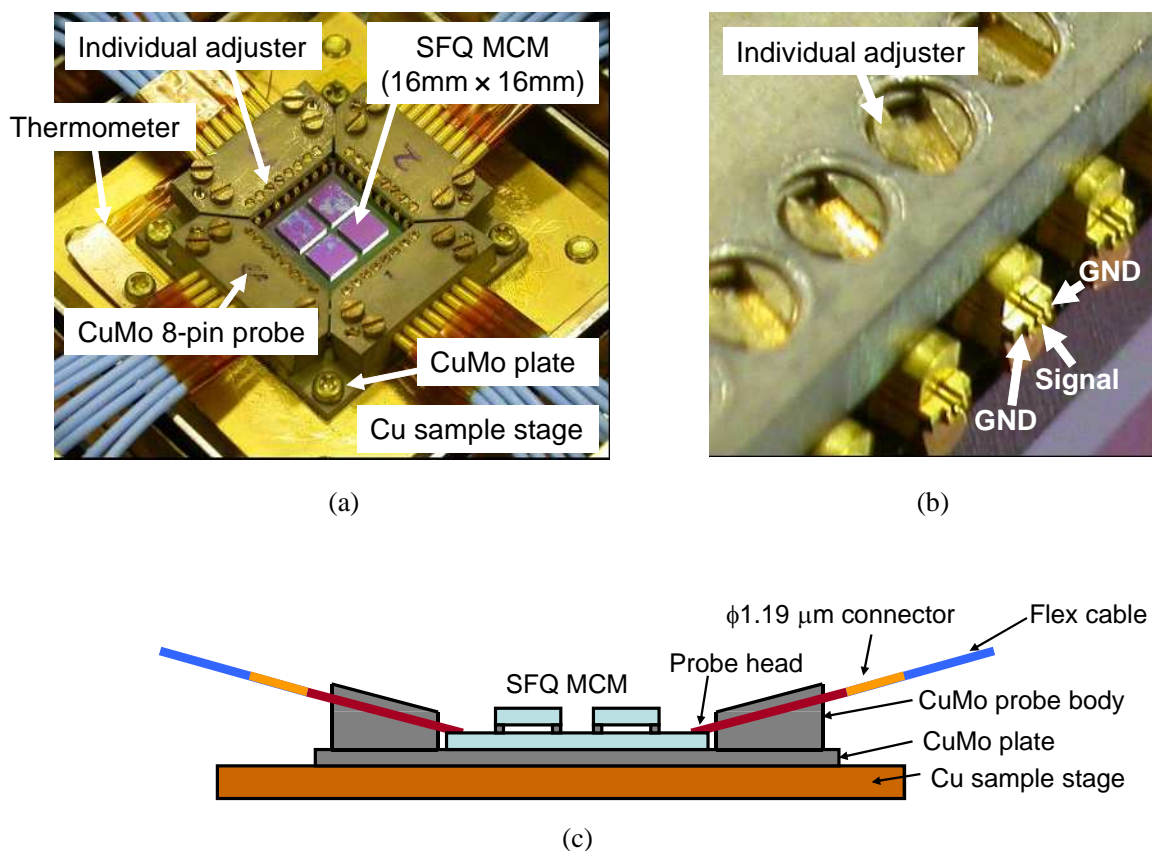


図 4-4. (a)冷凍機のサンプルステージに実装された SFQ MCM とクライオプローブの写真、(b) クライオプローブヘッドの拡大写真、(c)クライオプローブの断面概略図。

プローブ本体とサンプルステージ上のプレートに使用した CuMo はヤング率が 230GPa であり非常に硬い材料なのでプローブ着脱によって磨耗しにくい。さらに、CuMo の線膨張係数は $7.7 \times 10^{-6}/\text{K}$ であり、Si (MCM 基板の材料) の線膨張係数 ($4.0 \times 10^{-6}/\text{K}$) との差が小さいため、冷却時にプローブがオープンになる確率を低減できる。

4-4: 冷凍機システムの特性評価

4-4-1: I/O リンクの高周波特性の評価

10Gbps クラスのシリアルデータ伝送において十分なシグナルインテグリティを確保するためには、冷凍機システムの I/O リンクのインピーダンス整合と損失低減が重要である。そこで試作した冷凍機システムの I/O リンクのインピーダンスと挿入損失を評価するため、S パラメータ測定

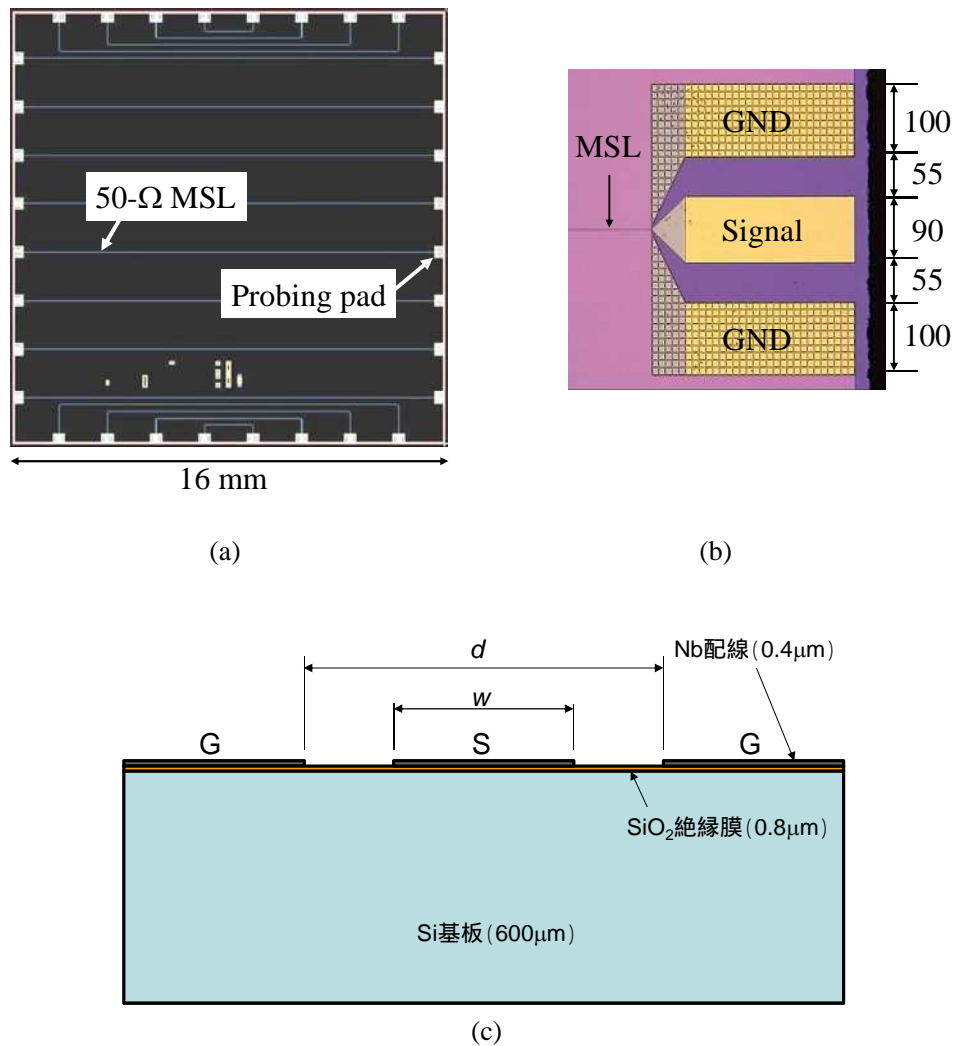


図 4-5. 冷凍機の I/O の高周波特性を評価するための評価チップの(a)レイアウト図、(b)プロービングパッドの顕微鏡写真、(c)プロービングパッドの断面概略図。(c)で、S、G はそれぞれ信号パッドと GND パッドであり、() 内の数字は厚さである。

と TDR 測定を行った。まずこれらの実験に用いる評価チップを設計し、NEC の Nb 標準プロセス [31] で試作した (図 4-5 (a))。チップのサイズは MCM 基板と同じ $16\text{mm} \times 16\text{mm}$ であり、16 本の超伝導 50Ω マイクロストリップライン (MSL) が搭載されている。クライオプローブヘッドが接触するプロービングパッドはプローブヘッドの形状と同じコプレナ形状をしており (図 4-5 (b))、 50Ω に設計されている。図 4-5 (c) にプロービングパッドの断面概略図を示す。プロービングパッドは膜厚 $0.4\mu\text{m}$ の Nb であり、厚さ $600\mu\text{m}$ の Si 基板の上に形成された厚さ $0.8\mu\text{m}$ の SiO_2 絶縁膜の上に形成されている。信号パッドの幅 w と、2 つの GND パッドの間隔 d は、クライオプローブの先端のサイズと同程度であり、 $100\mu\text{m} \sim 200\mu\text{m}$ 程度である。一方、 SiO_2 絶縁膜は膜厚が $0.8\mu\text{m}$ であり w 、 d に比べて 2 桁小さいため無視できる。つまりプロービングパッドが形成する電場はそのほ

とんだが SiO₂ の下の Si 基板とパッドの上の真空に形成される。そのためプロービングパッドのインピーダンス設計では、Si 基板の誘電率と真空の誘電率を用いた。コプレナ線路のインピーダンス Z_{CPW} は $k=w/d$ とすると以下の式で表現される[95]。

$$Z_{CPW} = \frac{1}{4\sqrt{\epsilon_{eff}}} \sqrt{\frac{\mu_0}{\epsilon_0}} \frac{K(k')}{K(k)} \quad (4-1)$$

ここで、 μ_0 は真空の透磁率、 ϵ_0 は真空の誘電率、 $K(k)$ は第 1 種完全楕円積分であり、

$$k' = \sqrt{1 - k^2} \quad (4-2)$$

である。また、(4-1)式の ϵ_{eff} は、コプレナ線路が作る電場を感じる実効的な比誘電率であり、SiO₂ の比誘電率 ϵ_r と真空の比誘電率 1 を用いて以下のように表される。

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} \quad (4-3)$$

Si 基板の比誘電率 ϵ_r を 12 とし[106]、(4-1)式 ~ (4-3)式で計算した結果、プロービングパッドのインピーダンスを 50Ωにする w と d の比は、 $w/d=0.447$ となった。図 4-5 (b)のプロービングパッドは、この w と d の比で、かつ、クライオプローブのプローブヘッドの形状とマッチする大きさになるように設計した。

図 4-5 の評価チップを冷凍機システムで冷却し、TDR 測定を行った。図 4-6 に TDR 測定の測定系と、冷凍機の I/O リンクの中で反射を発生する要因となるコネクタ等を示す。振幅 1V、立ち上がり時間 40psec のステップ信号を室温のデジタルサンプリングオシロスコープから冷凍機システムの I/O ケーブルを通じてチップ上の MSL の 1 本に入力した。MSL の出力側は別の I/O ケーブルに接続されており、その I/O ケーブルの先は冷凍機システムの室温 I/O ポートでオープンエンドになっている。そのため、MSL に入力されたステップ信号は室温のオープンエンドでほぼ完全反射され、この反射がオシロスコープでモニターされた (図 4-7 (a))。図 4-7 (a)で、このオープンエンドからの反射以外に強い反射は観測されておらず、冷凍機システム内の I/O リンクに大きなインピーダンス不整合がないことを示している。I/O リンクのインピーダンスを詳しく評価するために、図 4-7 (a)の TDR 波形を拡大した (図 4-7 (b))。図 4-7 (b)に示したように、I/O リンク (室温 I/O ポートからチップまで) の 4 か所で弱い反射が観測された。それら 4 か所の反射を A、B、C、D と示した。使用している I/O ケーブルの遅延時間は約 4.3psec/mm である[107]。このケーブル遅延と、ステップ電圧入力から各反射波が観測されるまでの時間とから、TDR 波形での A ~ D の反射

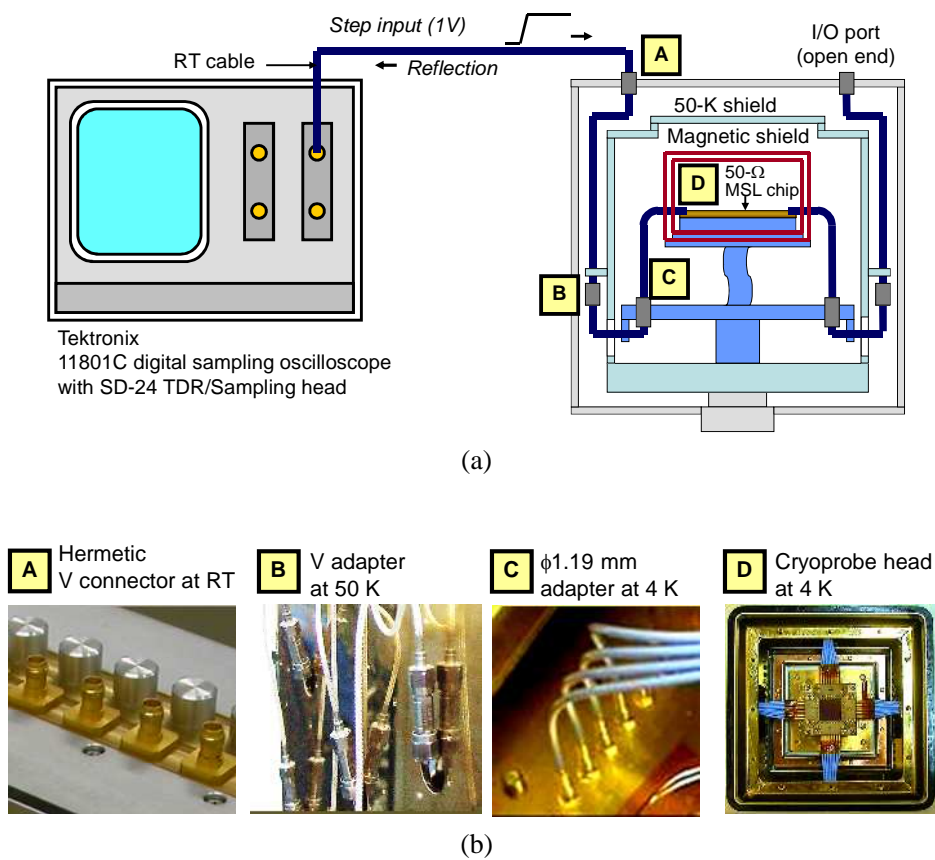


図 4-6. (a) TDR 測定系と(b)冷凍機システム内の各コネクタ。

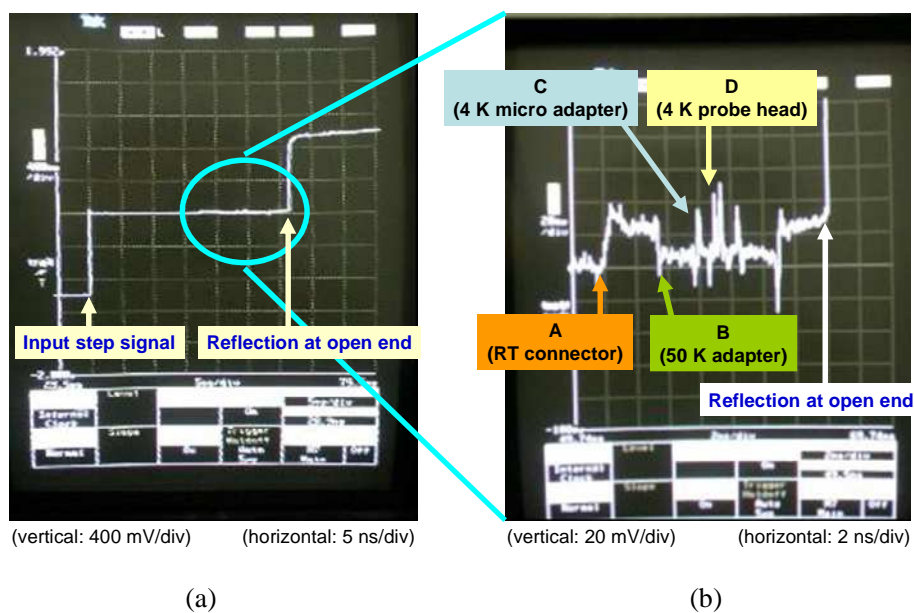


図 4-7. (a) TDR 測定の波形と(b)その拡大図。クライオアンプは被測定物に含まれていない。

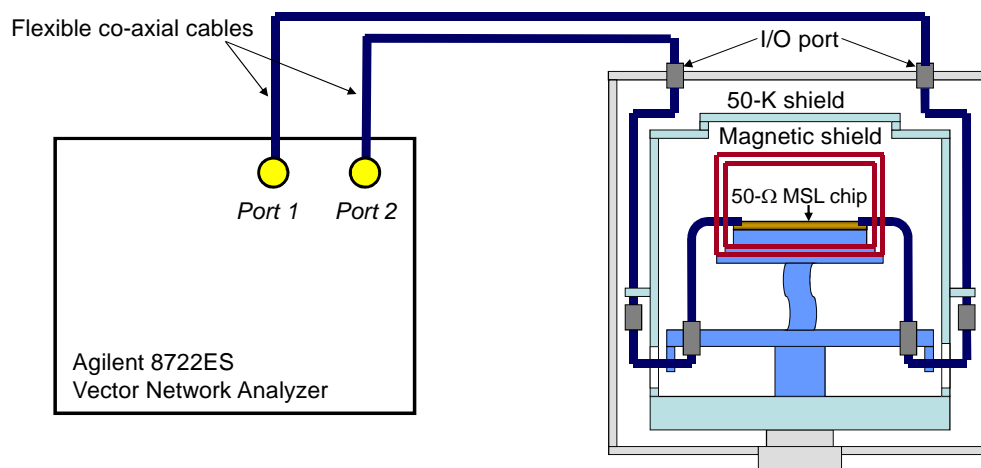


図 4-8. 冷凍機システムの I/O リンクの S パラメータの測定系。

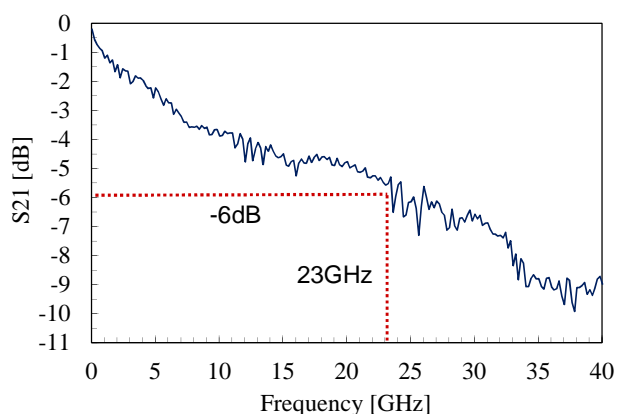


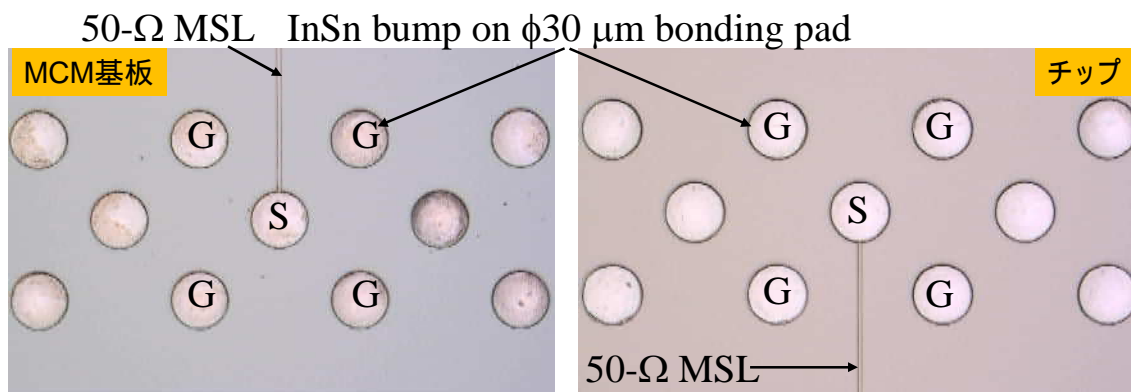
図 4-9. 測定された冷凍機システムの I/O リンクの S21。

が、図 4-6 の A～D、すなわち室温 I/O ポート（V コネクタ）、1st ステージの V アダプタ、2nd ステージの $\phi 1.19\text{mm}$ アダプタ、クライオプロープヘッドでそれぞれ発生していることが明らかになった。これら 4 か所で発生している反射波の電圧振幅は、最大でも入力ステップ信号の電圧振幅の $\pm 5\%$ 以内である。従って、室温 I/O ポートからチップまでの I/O リンクのすべてのポイントのインピーダンスは $50\Omega \pm 5.3\Omega$ の範囲に収まっており[108]、インピーダンス整合は良好である。

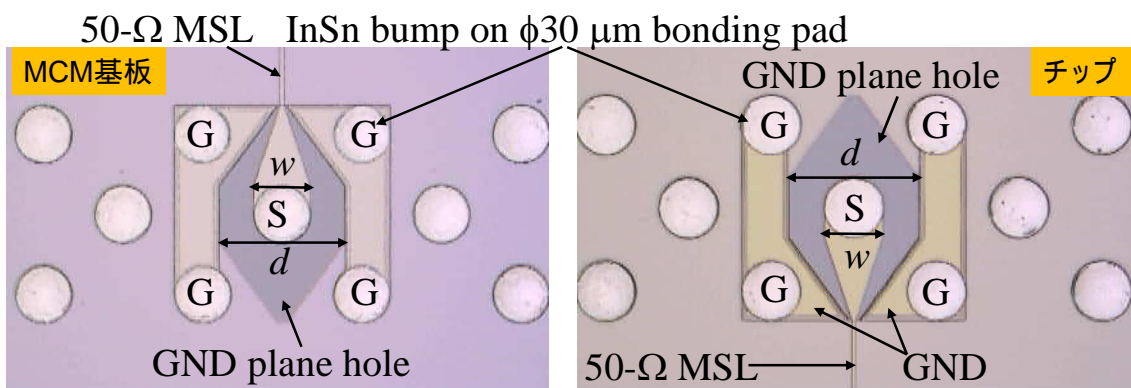
次に、I/O リンクの S パラメータを測定した。図 4-8 に測定系の構成を示す。図 4-5 の評価チップを冷凍機システムで冷却した状態で、室温 I/O ポート I/O リンク 評価チップ上の 50Ω MSL 別の I/O リンク 別の室温 I/O ポートの伝送経路の S パラメータをベクトル・ネットワークアナライザ（Vector Network Analyzer; VNA）で測定した。図 4-9 に測定された S21 を示す。測定された S21 は、室温の I/O ポートから 4K のチップ上の 50Ω MSL を経由した別の室温 I/O ポートまでの伝送路の S21 なので、冷凍機システムの I/O リンクの挿入損失は図 4-9 の S21 の半分の値から算出される。したがって I/O リンクのアナログ帯域（挿入損失が 3dB の周波数）は 23GHz であ

る。10Gbps の RZ 信号を伝送するためには 3 次高調波の周波数である 30GHz までの帯域が少なくとも要求される。測定された I/O リンクの帯域は 23GHz であり少し低かった。しかし、図 4-9 の S21 の測定結果が示すように、30GHz における I/O リンクの損失は約 3.3dB であり、3dB と大きな差はない（3dB の損失は約 50% の損失であり、3.3dB の損失は約 53% の損失である）。そのため、この I/O リンクに 10Gbps の RZ 信号を伝送した場合であっても、肩が完全に落ちることはなく、ある程度の矩形に近い波形を保って伝送できると考えられる。

MCM の I/O 信号のためのボンディングパッド、すなわち MCM 基板上の 50Ω MSL とチップ上の 50Ω MSL とを接続するはんだバンプを形成するためのボンディングパッドは、50Ω MSL とインピーダンス整合を取るよう設計しなければならない。図 4-10 (a) は 50Ω MSL (1.5μm 幅) が接続された 30μm 径ボンディングパッドである。以下では、図 4-10 (a) のボンディングパッドを MSL ボンディングパッドと呼ぶ。MSL ボンディングパッドの場合、50Ω MSL の線幅 (1.5μm) に対し



(a)



(b)

図 4-10. (a) MSL ボンディングパッドと(b) CPW ボンディングパッド。(b)で、 $w=30\mu\text{m}$ 、 $d=66.6\mu\text{m}$ である。

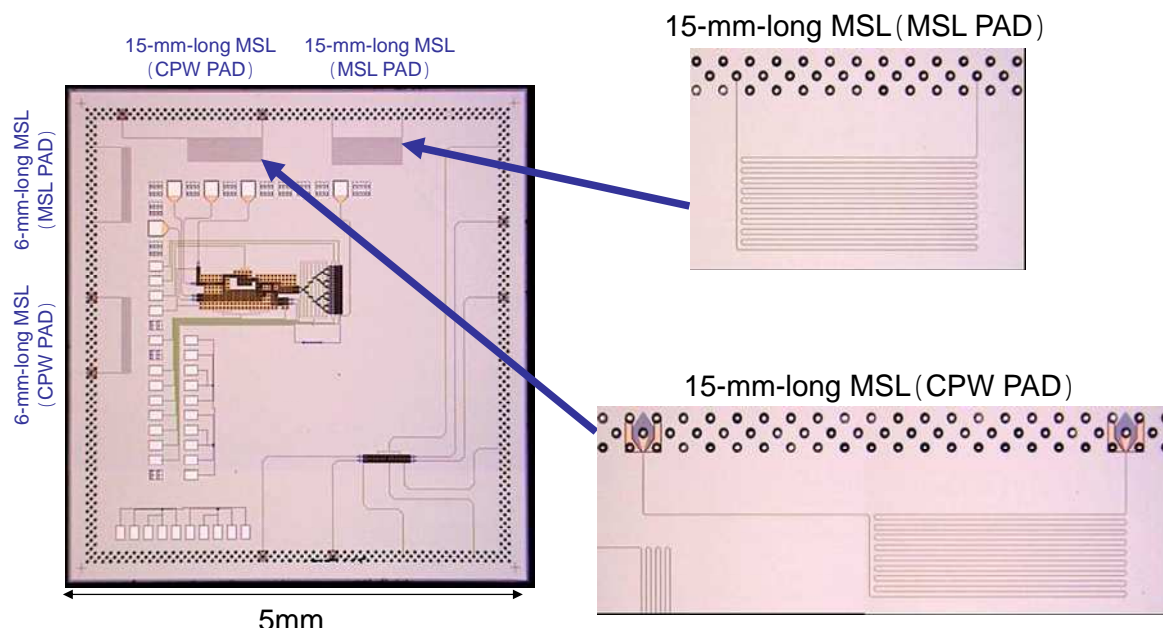


図 4-11. CPW ボンディングパッドと MSL ボンディングパッドの周波数特性を評価するための評価チップの顕微鏡写真。

てバンプの直径が 20 倍と非常に大きく構造の不連続が大きい。そのため、ボンディングパッドと GND との間に大きな寄生容量を持ち、さらに寄生インダクタンスも大きいいため、大きなインピーダンス不整合を起こす。このバンプ接続構造でのインピーダンス不整合の問題を解消するために、本研究ではコブレナ型のボンディングパッド（以降、CPW ボンディングパッドと呼ぶ）を提案する（図 4-10 (b)）。この CPW ボンディングパッドは図 4-5 (c)のプローピングパッドと同じ断面構造を有しているので、Si 基板の誘電率と真空の誘電率を用いて 50Ω に設計した。従って w と d の比は、プローピングパッドと同じである。MSL ボンディングパッド（図 4-10 (a)）と CPW ボンディングパッド（図 4-10 (b)）を比較するための評価チップと MCM 基板とを設計し、NEC の Nb 標準プロセス[31]で試作した。図 4-11 に試作した評価チップの顕微鏡写真を示す。評価チップには長さ 15mm の 50Ω MSL と長さ 6mm の 50Ω MSL がそれぞれ 2 本ずつ形成されている。同じ長さの 2 本の MSL のうち 1 本の両端は MSL ボンディングパッドに接続されており、もう 1 本の両端は CPW ボンディングパッドに接続されている（図 4-11）。評価チップのサイズは $5\text{mm} \times 5\text{mm}$ である。この評価チップを $16\text{mm} \times 16\text{mm}$ の MCM 基板に $30\mu\text{m}$ 径 InSn はんだバンプでフリップチップボンディングして評価モジュールを作製した（図 4-12）。この評価モジュールを冷凍機システムで冷却し、図 4-8 と同様の測定系で、MSL の両端に接続されている 2 つの室温 I/O ポート間の伝送経路の S21 を測定した。図 4-13 (a)に示すように、長さ 15mm の MSL では、MSL ボンディングパッドに接続した MSL はおよそ $4\text{GHz} \sim 5\text{GHz}$ とそのハーモニクスで共振を起こした。この共振周波（ $4\text{GHz} \sim$

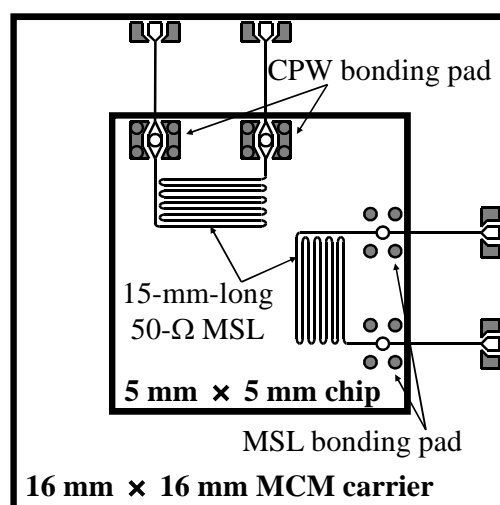


図 4-12. CPW ボンディングパッドと MSL ボンディングパッドの周波数特性を評価するための評価モジュールの構成図。評価チップは MCM 基板にフリップチップ実装される。図は評価チップの背面から透視した図になっている。なお、図では長さ 15mm の MSL のみ示した。

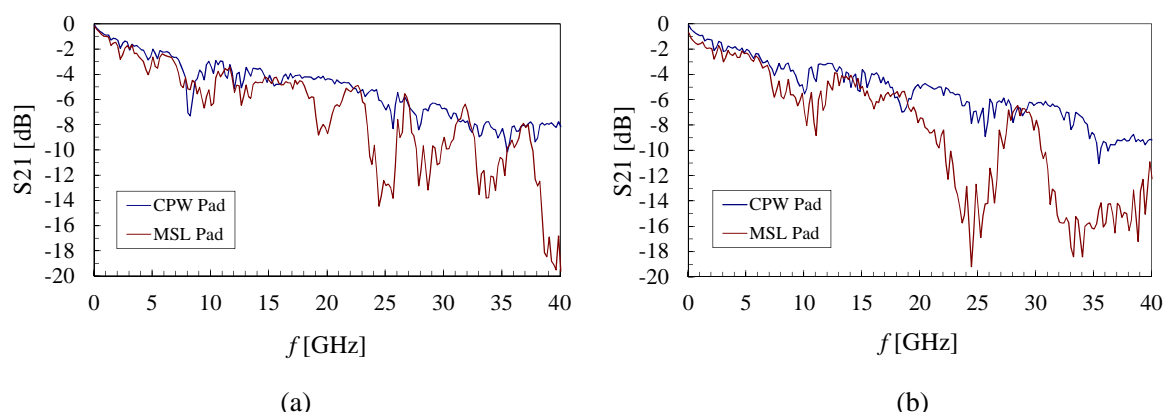


図 4-13. CPW ボンディングパッドを介した 50Ω I/O リンクと、MSL ボンディングパッドを介した 50Ω I/O リンクの S21 の測定結果。ボンディングパッド間に接続されているチップ上 50Ω MSL の長さが(a) 15mm の場合、および、(b) 6mm の場合。

5GHz) は 15mm 長の MSL の長さから見積もられる共振周波数約 4GHz と近い (MSL の共振周波数は第 2 章で測定した MSL の遅延約 8.6psec/mm から見積もった)。したがって、ボンディングパッドでのインピーダンス不整合により、チップ上の MSL の両端で多重反射が起きていることを示している。図 4-13 (b) に示すように、長さ 6mm の MSL でも同様に、MSL ボンディングパッドの接続された MSL では、MSL の長さから見積もられる MSL の共振周波数約 10GHz と近いおよそ 11GHz ~ 12GHz とそのハーモニクスで共振による S21 の悪化が見られた。一方、CPW ボンディン

グパッドに接続された MSL では、長さ 15mm、長さ 6mm とも、顕著な共振が見られなかった。これらの測定により、提案した CPW ボンディングパッドが I/O 信号伝送用 50Ωラインのインピーダンス整合に有効であることを明らかにした。

4-4-2: 冷凍機システムの冷却能力に関する評価

図 4-4 に示したように、冷凍機システムのサンプルステージには Si ダイオードの温度計を取り付けてあり、サンプルステージの温度を測定することができるようになっている。しかし、開発した冷凍機システムは SFQ 回路チップそのものの温度を測定する手段を有していない。そのため、サンプルステージの温度が何 K のときに SFQ チップが超伝導転移するのかを調べるための測定を行った。長さ 15mm の 50Ω MSL が形成された 5mm × 5mm の評価チップを 16mm × 16mm の MCM 基板に直径 30μm の InSn はんだバンプでフリップチップ接続し、評価サンプルを作成した。チップと基板を接続するはんだバンプの個数は信号バンプと GND バンプを合わせて計 636 個である。従って、チップと基板との間の熱バスの総断面積は、およそ $\pi \times 15\mu\text{m} \times 15\mu\text{m} \times 636 = 0.45\text{mm}^2$ と見積もられる³⁶。評価サンプルを冷凍機に実装し、MSM の両端に接続された 2 つの室温 I/O ポート間の S21 の、サンプルステージ温度 T に対する依存性を VNA で測定した。この測定では、冷凍機システムの各ステージ温度の、冷却開始からの時間 t に対する依存性も並行して測定した。

図 4-14 に各ステージの温度の、冷却開始からの時間 t に対する依存性の測定結果を示す。サンプルステージは、コンプレッサを起動してから 4.5 時間後には 4.2K に達した。コンプレッサを起動してからおよそ 5 時間後に各ステージの温度は一定になり、そのときの 1st ステージの温度は 34K、2nd ステージの温度は 3.7K、サンプルステージの温度は 3.9K であった。サンプルステージの到達温度が 4K 未満であることと図 4-3 のロードマップとから、2nd ステージへの熱流入は 1W よりも小さいと考えられる。

図 4-15 には、SFQ チップ上の 50Ω MSL の両端に接続された 2 つの室温 I/O ポート間の S21 の、サンプルステージ温度 T に対する依存性の測定結果を示す。図 4-15 から分かるように、サンプルステージ温度が 40K ~ 10K の場合は S21 の温度依存性はほとんどなく、挿入損失が非常に大きい。サンプルステージ温度が 8K のときに急激に挿入損失が減少している。この測定において、VNA の測定波形を肉眼でもモニターしており、S21 は約 9K で大きく変化した。このことから、サンプルステージ温度が 10K から 8K の間で（およそ 9K のときに）チップ上の Nb 配線が超伝導転移したものと考えられる。Nb 薄膜の超伝導転移温度は約 9K である[109]。このことからチップの温度とサンプルステージの温度の差は非常に小さいことが確認された。図 4-14 (c)に示すように、サンプルステージの温度の 10K から 8K までの温度変化の速さ（つまりチップ上の Nb 配線の超伝

³⁶ すべてののはんだバンプがチップと基板を接続しており、かつ、はんだバンプの形状がボンディングパッドと同一の円を底面とする円柱であると近似した場合の見積もりである。

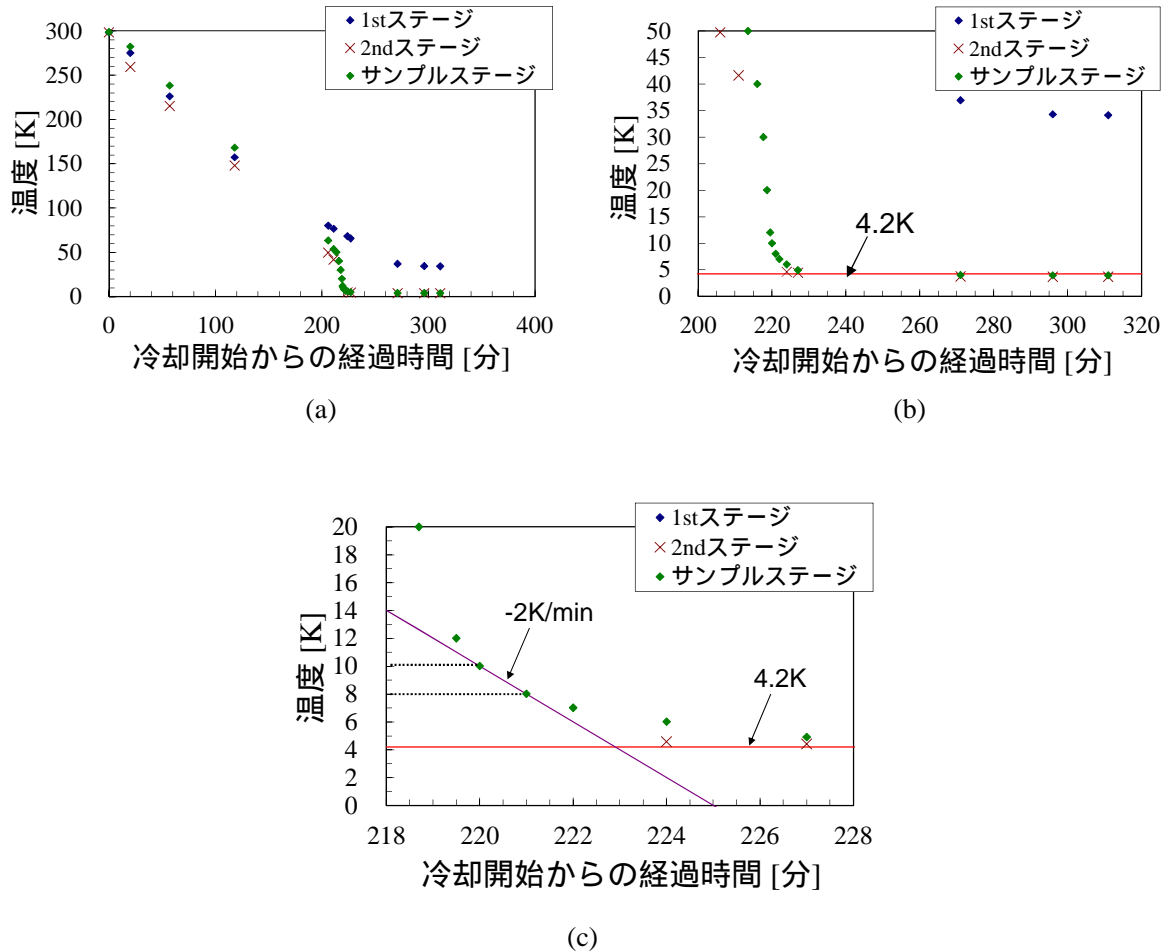


図 4-14. 冷凍機システムの 1st ステージ、2nd ステージ、サンプルステージの温度の、冷却時の (a) 時間変化の測定結果、(b) 4K に至る部分の拡大図、(c) チップ上 Nb 配線が超伝導転移する付近の拡大図。横軸はコンプレッサを起動してから時間である。

導転移温度付近での温度変化の速さ) は -2K/min であった。Nagasawa らが報告している磁束トラップの実験では、最適なモートを用いた場合であっても、磁束トラップを 0 にするためには 200sec/K 以下の緩やかな速度で超伝導転移温度を横切る必要がある[110]。本研究の冷凍機システムでは、超伝導転移温度を 30sec/K の速さで横切るなので、磁束トラップの確率が比較的高い可能性がある。Nagasawa らの実験では、 40sec/K 以上の速さでは磁束トラップ確率が急激に増大している[110]。しかし、本研究では磁束トラップの詳細な測定評価は行わないが、以降の SFQ 論理集積回路の実験では磁束トラップの影響は液体ヘリウムでの実験と有意な差が見られなかった。

次にサンプルステージの温度振動について述べる。Gupta らは、開発した冷凍機システムのサンプルステージの温度振動の振幅が $200\text{mK} \sim 300\text{mK}$ もあることを報告しており、その温度振動が SFQ 回路の動作に悪影響を与える可能性を指摘している[99]。しかし本研究で開発した冷凍機システムでは、サンプルステージの温度振動の振幅は数 mK のオーダーに押さえられており、SFQ 回路の動作に問題ない程度である。これは、本研究の冷凍機システムでは、熱抵抗の高いパーマ

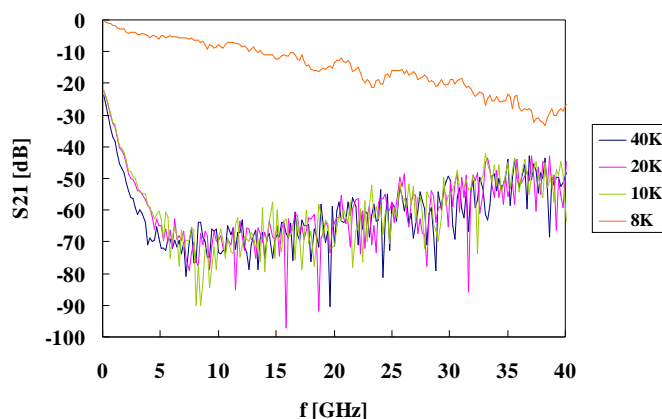


図 4-15. MCM 基板にフリップチップボンディングされた超伝導チップ上の 50Ω MSL の S21 の、サンプルステージ温度に対する依存性の測定結果。

ロイ磁気シールドが 冷凍機の 2nd ステージとサンプルステージの間に挟まれた構造にしているため、パーマロイの熱抵抗とサンプルステージ等の熱容量が熱フィルタとして機能して温度振動が低減されているものと考えられる。一方、Gupta らの冷凍機システムでは、磁気シールドを一方のみに底を有する円筒形状にしており、冷凍機のコールドヘッドとサンプルステージの間には磁気シールドが存在しない構成になっている[99]。その構成は、コールドヘッドとサンプルステージの間の熱抵抗を軽減し、サンプルを冷却しやすくするためのものである[111]。しかし本研究の冷凍機システムの実験により、冷凍機のコールドヘッドとサンプルステージの間にパーマロイを挟んでもサンプルステージは十分冷却でき、むしろ温度振動を大幅に低減する効果が得られることが明らかにされた。

4-5: 超伝導電圧ドライバ

超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) は、SFQ 回路から出力される SFQ パルスを増幅して室温エレクトロニクスへ高速伝送するための回路であり、SFQ 回路の出力信号を高速かつ低 BER で室温に伝送するための鍵となる回路である[101], [112]-[115]。本節では、本研究で設計、試作、高速動作評価を行った SVD について述べる。

4-5-1: 超伝導電圧ドライバの比較検討

SVD は様々な回路方式が提案されている。主なものは、ラッチング型[112], [113]、JTL を SQUID に結合させた回路 (以下では便宜上、JTL-SQUID 型と称する) [114], [115]、RS フリップフロップ

(RS flip-flop; RSFF) の保持ループを SQUID に結合させた回路 (以下では便宜上、RSFF-SQUID 型と称する) [101] の 3 種に大別される。これらのうちラッチング型は、接合あるいは SQUID を直列に接続したラッチング回路を SFQ 回路の後段に接続し、SFQ パルスの入力をラッチング回路で増幅してチップ外に出力する回路である。JTL-SQUID 型は、直列接続されて DC バイアスされた SQUID のインダクタンスに JTL のインダクタンスを磁気結合させた回路であり、JTL に SFQ パルス列を伝搬させた時に SQUID が出力電圧を発生する。RSFF-SQUID 型は、直列接続されて DC バイアスされた SQUID のインダクタンスに RSFF の保持ループのインダクタンスを磁気結合させた回路であり、RSFF に磁束が保持されている間、SQUID が出力電圧を発生する。

これら 3 種の SVD のうち、ラッチング型は AC バイアス駆動である。ラッチング型は 1 接合あたりの出力電圧が高く、回路規模が最も小さいという優位性がある。しかし 10Gbps 級の高速動作をさせるためには、AC クロック電源に起因するクロストーク等の高周波ノイズの低減が必要であり、技術的には難度が高い。一方、ラッチング以外の 2 種の SVD は DC バイアスなので高周波ノイズの問題がない。しかしラッチング型よりも 1 接合あたりの出力電圧が非常に低く、多数の SQUID を直列に接続する必要があるため回路面積と消費電力が大きくなるというデメリットを有する。DC バイアス型の 2 つの SVD のうち、RSFF-SQUID 型は SQUID に磁気結合する信号が DC であるため、JTL-SQUID 型に比べて、より強く SQUID を変調でき、SVD の出力電圧の向上とバイアスマージンの拡大が可能であると考えられる。これまでに、ラッチング型では、 $J_C=2.5\text{kA/cm}^2$ のプロセスで、10Gbps で出力電圧 6mV の動作が報告されている[112]。しかし BER は 5Gbps では 10^{-12} 以下が得られているが 10Gbps で 10^{-6} 台と高い[112]。JTL-SQUID 型では、HYPRES の $J_C=2.5\text{kA/cm}^2$ のプロセスで試作された 24 個の SQUID を直列接続した SVD が、液体ヘリウム冷却で 10Gbps までの動作が実証されており、出力電圧は 1kHz の低速で 4mV、1Gbps で約 3mV、8Gbps で約 2mV と報告されている[114]。また、HYPRES の $J_C=1\text{kA/cm}^2$ プロセスで試作された同じ JTL-SQUID 型の SVD の BER は 1Gbps で 10^{-12} 以下、7Gbps で 10^{-2} と報告されている[115]。RSFF-SQUID 型では、 $J_C=1\text{kA/cm}^2$ のプロセスで 10Gbps の動作が液体ヘリウム冷却で実証されており、出力電圧は 10Gbps の NRZ で 1.2mV と報告されている[101]。

上述のように、各種の SVD にはそれぞれ利点と欠点がある。ラッチング型は高周波ノイズの対策という技術的困難を有するが、10mV 級の出力が必要な場合には第一の選択肢になると考えられる。しかし 4-3 節で述べたように、本研究の冷凍機システムの極低温ステージで SVD の出力を増幅する極低温半導体アンプは、10Gbps で低 BER で動作するためには 2mV の RZ 信号入力があれば十分であるため、ラッチング型を用いなくても、現実的な回路規模の DC バイアス型 SVD で必要な電圧を出力できる。そのため本研究では、高周波ノイズの対策が不要な DC バイアス型 SVD を選択した。特に DC バイアス型の SVD のうち、より広いバイアスマージンを実現できると考えられる RSFF-SQUID 型 SVD を設計、試作し、動作実験を行った。

4-5-2: 超伝導電圧ドライバの設計

本研究の冷凍機システムで用いる極低温 GaAs アンプは、50K でのアイ・パターン計測により、2mV の RZ 入力で 10Gbps での低 BER 動作が可能であることが示唆されている[104]。そのため本研究では、50Ω 負荷に対して 2mV 以上の RZ 出力を発生する SVD を開発することを目標と定めた。図 4-16 に設計した SVD の構成を示す。この SVD は、直列接続された 16 個の 2 接合 SQUID から構成される出力部と、WSPL、BUF、RSFF から構成される。WSPL は 2 組の 1:16 スプリッタである。BUF は電流増幅回路であり、 I_C が CONNECT セルライブラリの JTL と同程度（約 0.2mA）の WSPL と、WSPL に比べて I_C の高い RSFF とを接続するために用いる。出力部の SQUID は DC バイアスされており、各 SQUID は各 RSFF の保持ループと磁氣的に結合している。この SVD は *set* と *reset* の 2 つの入力を有する。*set* パルスが SVD に入力されると、*set* パルスは WSPL によって 16 個の SFQ パルスに分岐され、さらに 16 個の BUF によって電流増幅されて、16 個の RSFF に *set* 信号として入力される。一方、*reset* パルスが SVD に入力されると、*reset* パルスは WSPL によって 16 個の SFQ パルスに分岐され、さらに 16 個の BUF によって電流増幅されて、16 個の RSFF に *reset* 信号として入力される。したがって、SVD に *set* パルスが入力されると 16 個の RSFF のストレージループに磁束が保持され、16 個の SQUID が電圧を発生し、SVD の出力端子から、16 個の SQUID の電圧が加算された電圧が出力される。一方、SVD に *reset* パルスが入力されると、16 個の RSFF のストレージループに保持されていた磁束が破棄されるため、SQUID は電圧を発生しなくなり、SVD の出力電圧も 0 に戻る。このような動作原理により、SVD は *set* パルスが入力されてから *reset* パルスが入力されるまでの間、出力電圧を発生する。

図 4-17 には、SVD の最も重要な部分である RSFF と SQUID の等価回路図を示す。原理的に、SVD を広いバイアスマージンで高い出力電圧で動作させるためには SQUID の I_C は高いほうがよい。それは次のように示すことができる。まず SVD に負荷が接続されていない場合、つまり、負

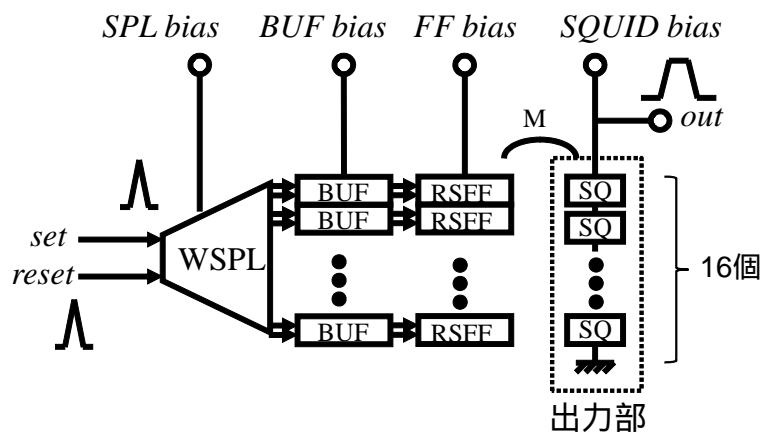


図 4-16. SVD の構成図。

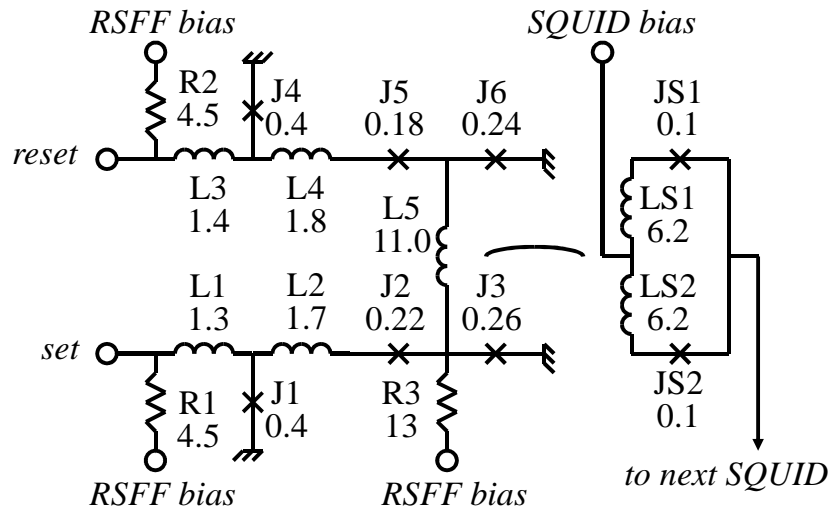


図 4-17. SVD の RSFF と SQUID の等価回路図。

荷が無大の場合を考える。SVD の出力部は n 個の SQUID が直列接続されたものであるとする。SQUID を構成する接合の I - V 曲線は、図 1-3 (b) に示したように、バイアス電流 I_B が I_C より高い場合には抵抗と等価であり、その抵抗値を R_0 (接合の抵抗とシャント抵抗 R の合成抵抗) とすると、 β_C を一定とした場合、 R_0 は I_C に反比例する。従って、

$$R_0 = \frac{a}{I_C} \quad (4-4)$$

と書ける。ここで a は定数である。SQUID が I_C 以下にバイアスされている状態で、制御信号によって I_C がサプレスされて SQUID が電圧を発生している状態の SQUID の実効抵抗も(4-4)式で表現できる。従って、SQUID に I_C よりも低いバイアス I_B が印加されている状態で、RSFF の保持ループに磁束が保持されて SQUID の I_C が I_B よりも低い値にサプレスされる結果 SQUID が電圧を発生している場合、出力部の出力電圧 V は以下のように表現できる。

$$V = I_B \times (nR_0) = (bI_C) \times \left(n \frac{a}{I_C} \right) = nab \quad (4-5)$$

ここで b は、

$$b = \frac{I_B}{I_C} \quad (4-6)$$

であり、 I_C で規格化された無次元のバイアス電流である。(4-5) 式は、出力部の負荷が無限大の場合、SQUID の I_C によらず、 I_C で規格化されたバイアス電流 b が等しければ出力部の出力電圧 V は等しいことを示している。しかし、実際の SVD では、出力部に有限の負荷 R_L (本研究では 50Ω) が接続される。従って、出力部が出力電圧 V を発生しているときにバイアス電流 I_B が供給される回路は n 個の SQUID が直列接続された出力部と負荷 R_L との並列回路であり、その並列回路の合成抵抗 R_1 は、以下のとおりである。

$$R_1 = \frac{nR_0R_L}{nR_0 + R_L} = \frac{nR_L}{n + \frac{R_L}{R_0}} \quad (4-7)$$

従って、出力部に負荷 R_L が接続されているときの出力部の出力電圧 V は以下ようになる。

$$V = I_B R_1 = b I_C R_1 = \frac{b I_C n R_L}{n + \frac{R_L}{R_0}} = \frac{b I_C n R_L}{n + \frac{I_C R_L}{a}} = \frac{b}{\frac{1}{I_C R_L} + \frac{1}{an}} \quad (4-8)$$

(4-8) 式は、出力部に有限の負荷 R_L が接続されている場合には、 b (I_C で規格化された無次元のバイアス電流)、 I_C 、 R_L 、 a (接合が電圧を発生しているときの実効抵抗を決める定数)、 n (SQUID の段数) の少なくともいずれかひとつを増加させることにより、SVD の出力電圧 V を高くすることができることを示している。(4-8) 式はまた、直列接続されている SQUID の個数 n 、出力部に接続される負荷 R_L 、接合が電圧を発生しているときの実効抵抗を決める定数 a 、および、 I_C で規格化された無次元のバイアス電流 b が同一の場合、SVD の出力部の出力電圧 V は SQUID の I_C が高いほど高くなることを示している。言い換えれば、ある所定の出力電圧 V は、 I_C が高いほど低いバイアス電流 b で生成できる。以上の考察から、有限の負荷抵抗 R_L (本研究では 50Ω) が接続された SVD において、所望の出力電圧 (本研究では 2mV) を出力させるための SQUID のバイアスマージンを拡大するには、SQUID の I_C を高くすることがひとつの方法として考えられる。

しかし、SQUID の I_C を高くすると SVD の回路面積、電源電流、消費電力が増大するという別の問題が生じる。高スループットのデジタルアプリケーションのための冷凍機システムでは、限られたスペースと限られた冷却能力の下で多 ch の SVD を動作させる必要があるため、可能な限り SVD の回路面積、電源電流、消費電力を下げる必要がある。このことから本研究では、回路面積、電源電流、消費電力の削減を優先し、プロセス[37]で許容されている最小の接合 ($I_C=0.1\text{mA}$ 、サイズは $1\mu\text{m} \times 1\mu\text{m}$) を用いて SVD を設計した。さらに、プロセスで許容されている最小線幅、

最小線間は $1.5\mu\text{m}$ 、アライメントマージンは $0.5\mu\text{m}$ であるが[37]、それらよりも細かい最小線幅、最小線間 $1\mu\text{m}$ 、アライメントマージン $0.3\mu\text{m}$ のデザインルールで SVD のレイアウト設計を行い、SVD の回路面積を可能な限り削減した。最小の I_C の SQUID を用いて 2mV 以上の出力を 10Gbps の高速動作でかつ十分広いバイアスマージンで実現するために、 $J_C=10\text{kA}/\text{cm}^2$ の高 J_C で SVD を設計した。接合のシャント抵抗 R は $I_C R=0.88\text{mV}$ になるように設計した。この設計によれば、シャントされた接合の I - V 特性は第 3 章の図 3-23 に示したように若干のヒステリシスを有することから β_C は 1 よりもやや高い。 J_C を高くし、 β_C を高くすることにより、(4-4)式の a を高くすることができる。その結果(4-8)式から、SVD の出力を、同一バイアス時により高出力化できる。したがって、所望の出力をより低いバイアスで得ることができ、結果としてバイアスマージンが拡大する。

SVD は可能な限り面積を小さくするため、CONNECT セルを用いずにレイアウト設計した。回路のインダクタンスは Chang の公式[59]を用いて計算した。角の部分のインダクタンスは、角の中心線の長さから計算されるインダクタンス値の $1/2$ の値を用いた。SVD のレイアウト設計では、RSFF と SQUID の磁気結合を強くすることが広いバイアスマージンで所定の出力電圧を発生させるために重要である。そのため、カップリングインダクタンス ($L5$ 、 $LS1$ 、 $LS2$) の直下の GND プレーンにホールを設けた。ホール上のインダクタンスはコプレナ線路のインダクタンスの公式[95]を用いて計算した。RSFF のインダクタンス $L5$ は COU 層で、SQUID の $LS1$ 、 $LS2$ は CTL 層で設計した。

図 4-16 の WSPL は 1:2 スプリッタをバイナリツリー状に接続して構成されており、各 1:2 スプリッタは CONNECT 標準セルライブラリのスプリッタとほぼ同じ回路パラメータである。したがって WSPL を構成する各接合の I_C は 0.2mA 程度である。一方、図 4-17 に示したように、RSFF の入力接合の I_C は 0.4mA であり、WSPL の接合の I_C の 2 倍程度である。そのため、WSPL の出力パルスの電流を増幅するための BUF を WSPL と RSFF の間に挿入している。BUF は段階的に接合の I_C を高くした JTL であり、図 4-18 に示すように、6 個の接合で構成されている。接合の I_C は前段の接合の I_C の約 $\sqrt{2}$ 倍になるように段階的に高くした。表 4-4 に、設計した SVD の接合数、バイアス電流、消費電力を示す。

SVD の出力端子には 50Ω の出力ラインを接続し、SVD の出力信号を受信する冷凍機 1st ステージの GaAs クライオアンプ (入力インピーダンス 50Ω) で受信端終端させる構成とした。SVD と

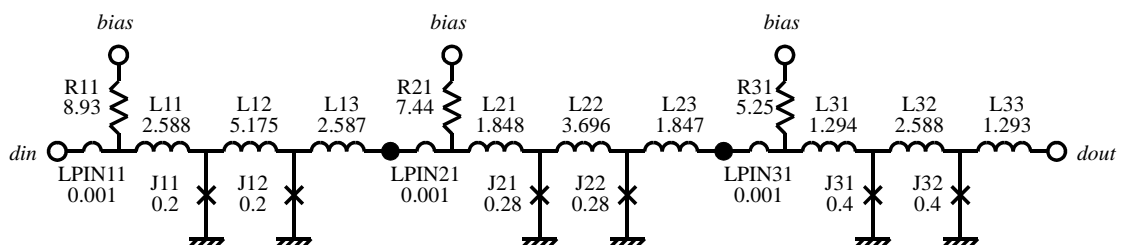


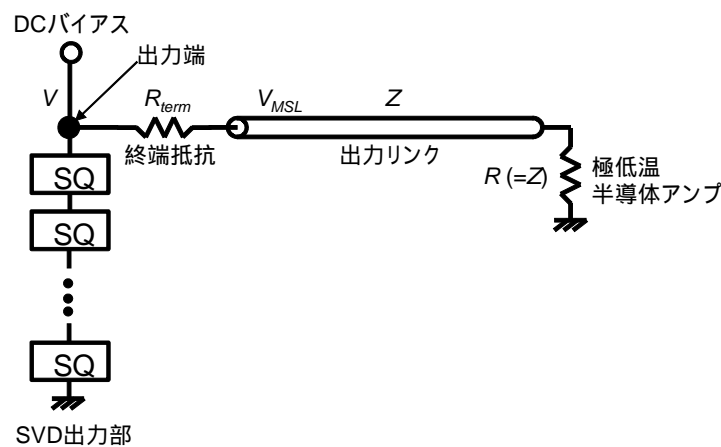
図 4-18. SVD の BUF の等価回路図。

表 4-4. 設計した SVD の接合数、バイアス電流、消費電力。

	接合数	バイアス電流 [mA]	消費電力 [μ W]
WSPL	126	13.4	33.5
BUF	192	35.0	87.5
RSFF	96	20.4	51.0
SQUID	32	0.16	0.4
SVD 合計	446	69.0	172.4

クライオアンプとの間に強いインピーダンス不整合が存在する場合、不整合箇所から SVD に強い反射が返ってくる。そのような反射の SVD への影響を低減するには、図 4-19 のように SVD の出力端子に終端抵抗を挿入することが必要である。しかし、終端抵抗を付加すれば SVD の出力エネルギーの一部が整合抵抗で消費されるため、極低温半導体アンプが受信する信号のエネルギーが減少し、極低温半導体アンプの BER を増加させるというトレードオフが存在する。それは、(4-8) 式を用いて以下のように示すことができる。図 4-19 のように SVD に終端抵抗を接続した場合、(4-8)式における SVD の負荷 R_L は $R_{term}+Z$ である。ここで Z は MSL の特性インピーダンスであり、 50Ω である。従って、図 4-19 の SVD の出力部（直列接続された SQUID）の直上で生成される電圧 V は、(4-8)式の R_L を $R_{term}+Z$ と置くことにより、以下のように表すことができる。

$$V = \frac{b}{\frac{1}{I_C R_L} + \frac{1}{an}} = \frac{b}{\frac{1}{I_C (R_{term} + Z)} + \frac{1}{an}} \quad (4-9)$$

図 4-19. 終端抵抗 R_{term} を挿入した出力部と負荷の等価回路図。

したがって $Z=50\Omega$ の条件下では、終端抵抗 R_{term} の値が高いほど SVD の出力部自体が生成する電圧 V (直列に接続された SQUID の直上で生成される電圧) は高くなる。しかし一方で、図 4-19 の 50Ω MSL に出力される電圧を V_{MSL} とすると、終端抵抗 R_{term} での電圧降下があるため V_{MSL} は、

$$V_{MSL} = \frac{Z}{R_{term} + Z} V = \frac{Z}{R_{term} + Z} \times \frac{b}{\frac{1}{I_c(R_{term} + Z)} + \frac{1}{an}} = \frac{bZ}{\frac{1}{I_c} + \frac{R_{term} + Z}{an}} \quad (4-10)$$

となる。(4-10)式は、出力 MSL の特性インピーダンス Z が 50Ω で固定という条件のもとでは、終端抵抗 R_{term} の値が高いほど、 50Ω MSL に出力される電圧 V_{MSL} が低くなることを示している。以上のように、終端抵抗 R_{term} の挿入は、極低温半導体アンプに伝送される信号の電圧を低下させる。本研究の冷凍機システムでは、4-4-1 節の TDR の測定結果と CPW ボンディングパッドの S21 の測定結果が示すように、SVD とクライオアンプとの間には強いインピーダンス不整合は存在しないと考えられる。そのため、SVD の出力端に整合抵抗を挿入せず、SVD の出力を可能な限り減衰させずにクライオアンプに伝送する方式を採用した。

4-5-3: 超伝導電圧ドライバの低速機能試験

設計した SVD の試作と評価を行った。まず、SVD の主要部分である RSFF と SQUID の結合係数を評価した。評価回路は、SVD のレイアウトから RSFF のストレージループと SQUID の部分を抜き出したものである。図 4-20 (a)は、SQUID のループに直接、制御電流を流して測定したしきい値曲線、図 4-20 (b)は、RSFF のストレージループに直接、制御電流を流して測定したしきい値曲線、図 4-20 (c)は、RSFF のストレージループと同じパターンのコントロール配線に制御電流を

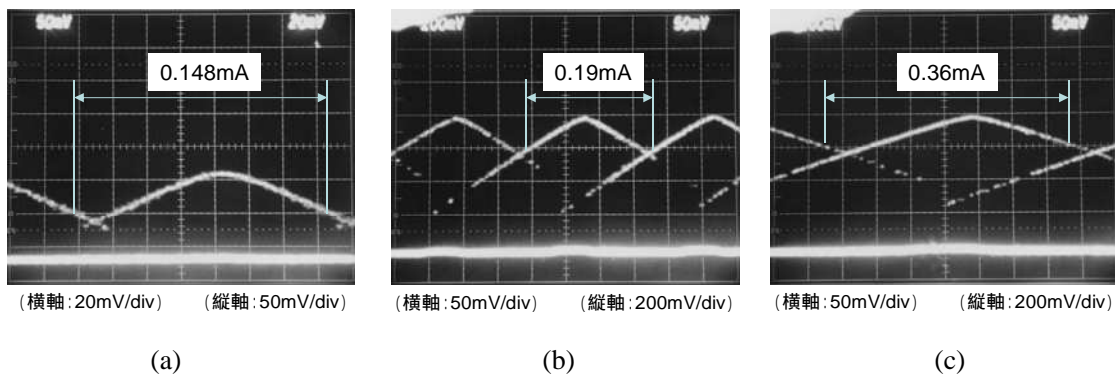


図 4-20. インダクタンス評価回路のしきい値曲線。(a) SQUID の自己インダクタンス評価回路のしきい値曲線、(b) RSFF のストレージループの自己インダクタンス評価回路のしきい値曲線、(c) RSFF のストレージループと SQUID の相互インダクタンス評価回路のしきい値曲線。

流して測定した SQUID ループのしきい値曲線である。これらのしきい値曲線の測定結果から、SQUID の自己インダクタンスは 14.0pH 、RSFF のストレージループの自己インダクタンスは 10.9pH 、RSFF と SQUID の間の相互インダクタンスは 5.75pH であり、RSFF のストレージループと SQUID の結合係数は 0.46 であることが示された。

次に、SVD の 10kHz での低速機能試験を行った。図 4-21 に、試作した SVD の顕微鏡写真を示す。図 4-22 は低速機能試験で得られたバイアスマージンである。図 4-23 には SVD の 50Ω 負荷への出力電圧の SQUID バイアス依存性を示す。図 4-23 に示した SVD の出力電圧は、入力インピーダンス 50Ω のオシロスコープでモニターした SVD の出力波形の電圧振幅である。測定の結果、 50Ω 負荷に対して最大で 2.5mV の出力電圧が得られ、設計、試作した SVD が 10kHz では目標の出力電圧である 2mV 以上を出力できることが確認された。

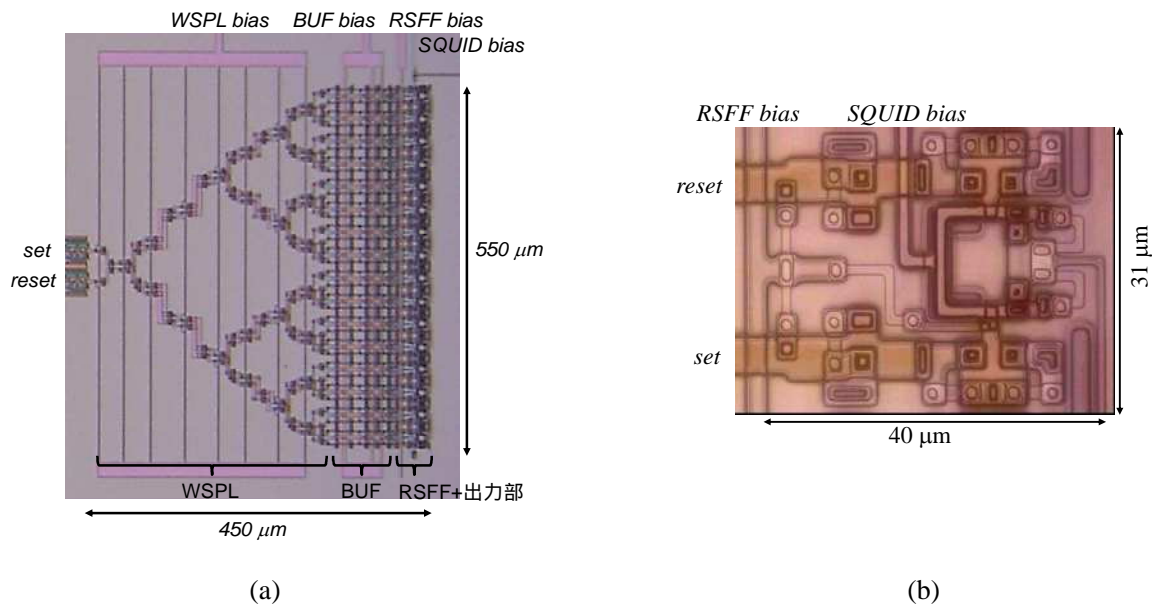


図 4-21. (a) SVD の顕微鏡写真と(b) RSFF と SQUID の顕微鏡写真。

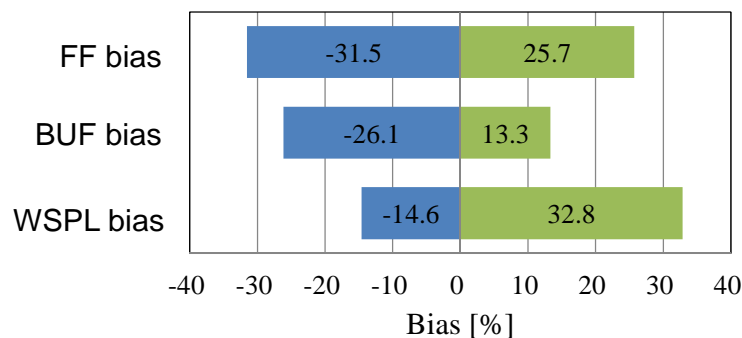


図 4-22. 10kHz で測定された SVD のバイアスマージン。

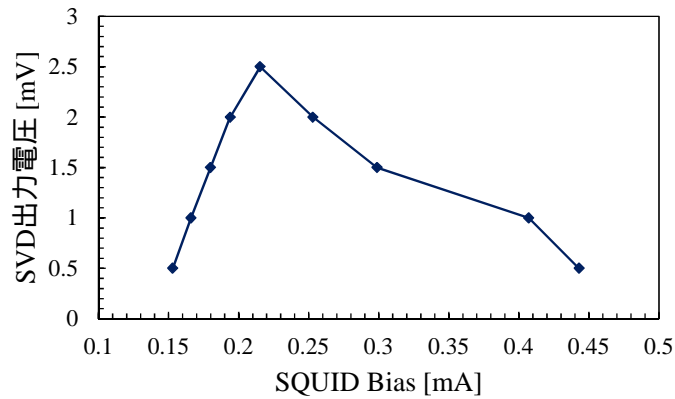


図 4-23. SVD の 10kHz での 50 Ω 負荷への出力電圧の SQUID バイアス依存性の測定結果。

4-6: 冷凍機システムで冷却された SFQ 回路の 10Gbps 動作実証

試作した冷凍機システムで SFQ 回路のシステムレベルでの高速動作が可能であることを実証するために、図 4-24 の評価回路を設計した。この評価回路は、DC/SFQ、NRZ/SFQ、JTL、スプリッタ、SVD から構成される。NRZ/SFQ はコンパレータであり、NRZ の入力信号が High のときにクロックパルスが入力されると SFQ パルスを出し、NRZ の入力信号が Low のときにクロックパルスが入力されると何も出力しない。図 4-24 の評価回路は 591 接合を含み、バイアス電流は 90mA、消費電力は 225 μ W である。

この評価回路の動作は以下のとおりである。正弦波に DC オフセットがかけられたクロック信号 clk_in が入力されると、DC/SFQ がクロック信号を SFQ クロックパルスに変換する。NRZ フォ

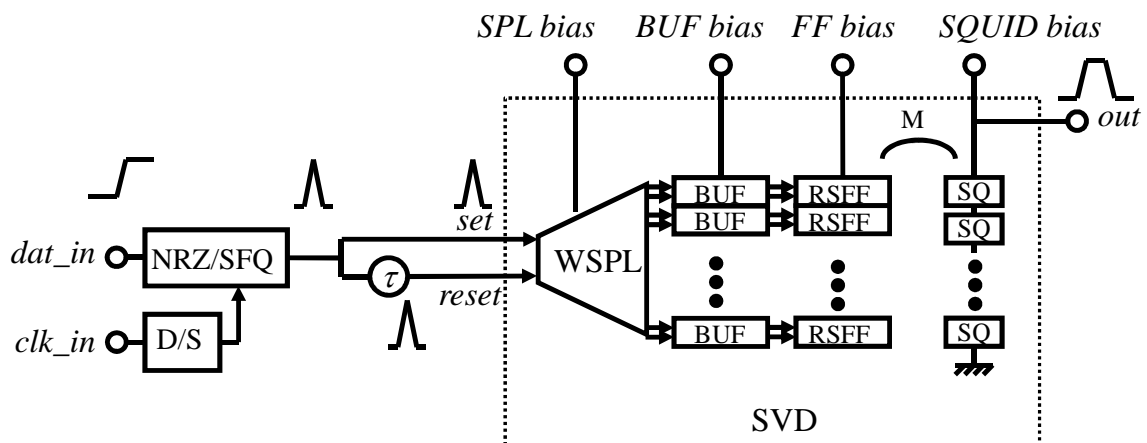


図 4-24. SFQ 回路の冷凍機システム動作を評価するための評価回路の回路構成。D/S、NRZ/SFQ はそれぞれ、DC/SFQ コンバータ、NRZ/SFQ コンバータである。 τ は約 50psec の遅延である。

ーマットのデータ dat_in が NRZ/SFQ に入力されているときにこの SFQ クロックが NRZ/SFQ に入力されると、NRZ/SFQ から SFQ データパルスが出力される。その SFQ データパルスはスプリッタによって 2 つに分岐され、ひとつは SVD の set 信号として、もうひとつは SVD の $reset$ 信号として用いられる。 $reset$ パルスには約 50ps の遅延が付加される。この遅延は 28 接合の JTL を用い設計した。 set パルス、 $reset$ パルスは SVD の WSPL によってそれぞれ 16 個の SFQ パルスに分岐され、BUF で増幅され、16 個の RSFF に入力される。このような動作原理により、論理値”1”の NRZ データが入力されたとき、RSFF のストレージループに磁束 Φ_0 が保持され、SVD が出力電圧を発生する。RSFF に set 信号が入力された場合は必ず約 50psec 後に RSFF に $reset$ 信号が入力され、RSFF が保持している磁束は破棄されて SVD の出力電圧がゼロに戻る。したがって SVD は約 50psec の間、出力電圧を発生し、10Gbps 動作の場合に SVD の出力信号がデューティ比約 50% の RZ になるように設計されている。なお、この評価回路に論理値”0”の NRZ データが入力された場合には NRZ/SFQ は SFQ パルスを出しせず、SVD も出力しない。

図 4-24 の評価回路を形成した 5mm×5mm の評価チップを NEC の Nb 標準 II プロセスと同じデバイス構造で J_C を $10\text{kA}/\text{cm}^2$ に高めたプロセスで試作した。図 4-25 に試作した評価回路の顕微鏡写真を示す。試作した評価チップを 16mm×16mm の MCM 基板に $30\mu\text{m}$ の InSn はんだバンプでフリップチップボンディングして評価モジュールを試作した(図 4-26)。MCM 基板は NEC の Nb 標準プロセスで試作したが、基板は接合を含んでおらず、Nb の GND プレーンと 2 層の Nb 配線層を有する。InSn はんだバンプは液浸プロセス[92], [93]で評価チップ、基板双方の Au/Pd/Ti ボンディングパッド上に形成した。Au、Pd、Ti の膜厚はそれぞれ 50nm、100nm、200nm である。高速 I/O 信号を伝送する 50Ω ラインには CPW ボンディングパッド(図 4-10 (b))を使用し、バイアスラインには MSL ボンディングパッド(図 4-10 (a))を使用した。

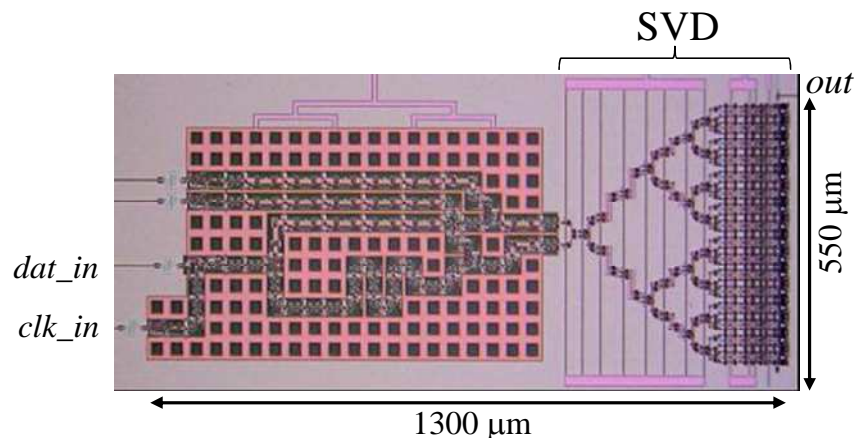


図 4-25. SFQ 集積回路の冷凍機システム動作を評価するための評価回路の(a)回路図と(b)顕微鏡写真。D/S、NRZ/SFQ、SPL、BUF、RSFF、SQ はそれぞれ DC/SFQ コンバータ、NRZ/SFQ コンバータ、スプリッタ、バッファ、RS フリップフロップ、SQUID である。 τ は約 50psec の遅延である。

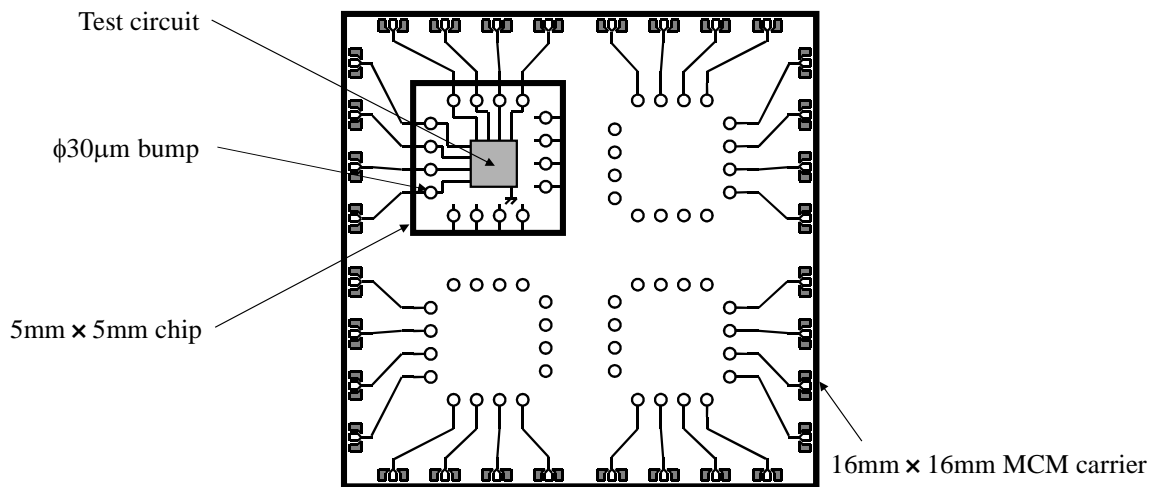


図 4-26. 評価モジュールの構成。

図 4-26 の評価モジュールを冷凍機システムに実装して冷却し、高速動作試験を行った。図 4-27 に冷凍機のサンプルステージに実装された評価モジュールを示す。図 4-28 に測定系の構成を、図 4-29 に測定系の写真を示す。室温のパルスパターン発生器（Pulse-Pattern Generator; PPG）からクロックとデータを入力し、ディジタルサンプリングオシロスコープで評価モジュールの出力をモニターした。図 4-30 に示すように、NRZ の入力テストパターンがチップ上の NRZ/SFQ で SFQ パルスに変換され、SVD により RZ のレベル信号に増幅され、さらに 1st ステージ（約 40K）の GaAs クライオアンプにより約 50mV に増幅されて室温に出力された。この正常動作は 12.5Gbps まで確認された。上限周波数は PPG で制限されている。SVD の出力は SQUID バイアスに依存し、SQUID バイアスが 1.4mA のときに最大出力約 50mV を出力することが確認された。この一連の測定でサンプルステージの温度は 3.85K であった。

さらに、冷凍機システムで冷却されている SFQ 回路評価モジュールの BER を測定した。図 4-31 に BER 測定系の構成図を、図 4-32 に測定系の写真を示す。PPG から 10Gbps のビット長 $2^{23}-1$ の擬似乱数（Pseudo-Random Bit Sequence; PRBS）パターンを SFQ 回路評価モジュールに入力し、評価モジュールの出力を室温のエラーディテクタ（Error Detector; ED）に入力し、BER を計測した。冷凍機からの出力信号は室温に置かれた半導体アンプ（帯域 40kHz ~ 38GHz、ゲイン 26dB）でさらに約 1V まで増幅した。これは、冷凍機システムからの出力信号（約 50mV）を ED のしきい値（70mV）よりも高くするためである。BER を可能な限り低減するためには測定系のシグナルインテグリティを高める必要がある。そのためには、測定系に含まれるコネクタの個数は可能な限り削減し、ケーブルの長さは可能な限り短くすることが効果的である。これは信号の反射は主にコネクタ等の形状不連続部で発生し、信号の減衰はケーブルの長さに比例するからである。これらのことに注意を払ったため、図 4-32 の BER 測定系には、図 4-29 と異なり、信号モニター用のスプリッタは含まれておらず、計測器を可能な限り冷凍機システムに近づけてケーブルを短くし

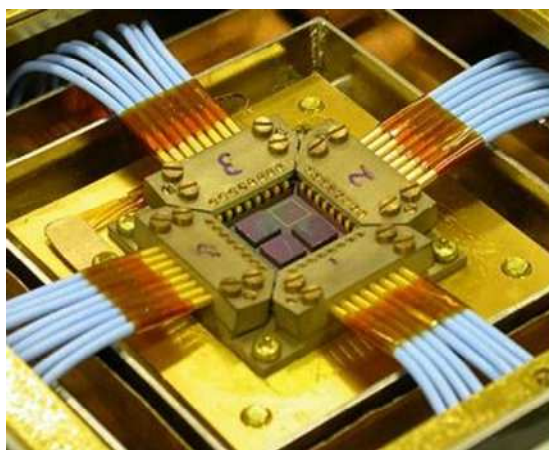


図 4-27. 冷凍機のサンプルステージに実装された評価モジュール。MCM 基板には 3 枚の評価チップを実装したが、測定したのはそのうちの 1 チップである。

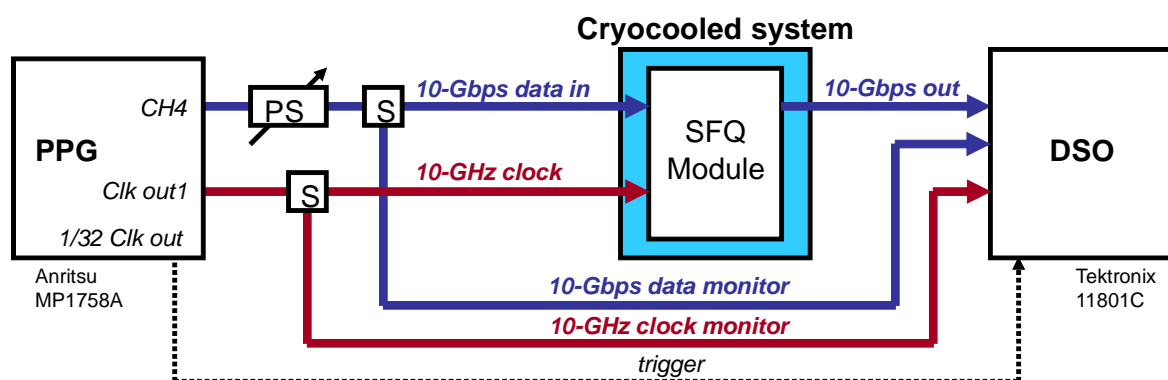


図 4-28. SFQ 回路評価モジュールの高速測定の測定系の構成。

ている。BER 測定で用いたケーブルは、すべて長さ 50cm のものである。図 4-33 は 10Gbps で測定された BER の SQUID バイアス依存性である。図 4-33 (a)には、Omission、Insertion、およびこれらを合計した Total の BER を示した³⁷。また、図 4-33 (b)には、Total の BER と SVD の出力電圧の SQUID バイアス依存性を合わせて示した。測定の結果、BER が高くなる SQUID バイアス領域

³⁷ Omissionエラーは、期待値が "1" であるときに被測定信号の論理値が "0" であるというエラーである。したがって被測定信号の出力レベルが、論理値 "1" とみなされるためのしきい値よりも低い場合、論理値 "0" と判断され、Omissionエラーとなる。一方、Insertionエラーは、期待値が "0" であるときに被測定信号の論理値が "1" であるというエラーである。したがって被測定信号の出力レベルが、論理値 "1" とみなされるためのしきい値よりも高い場合、論理値 "1" と判断され、Insertionエラーとなる。

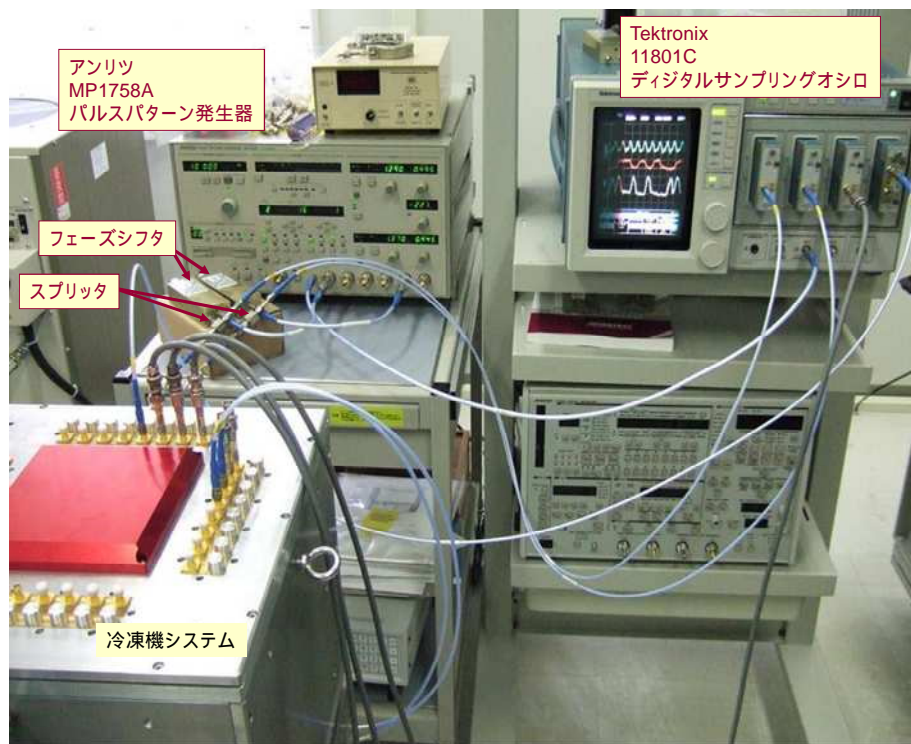


図 4-29. SFQ 回路評価モジュールの高速測定の実験系の写真。

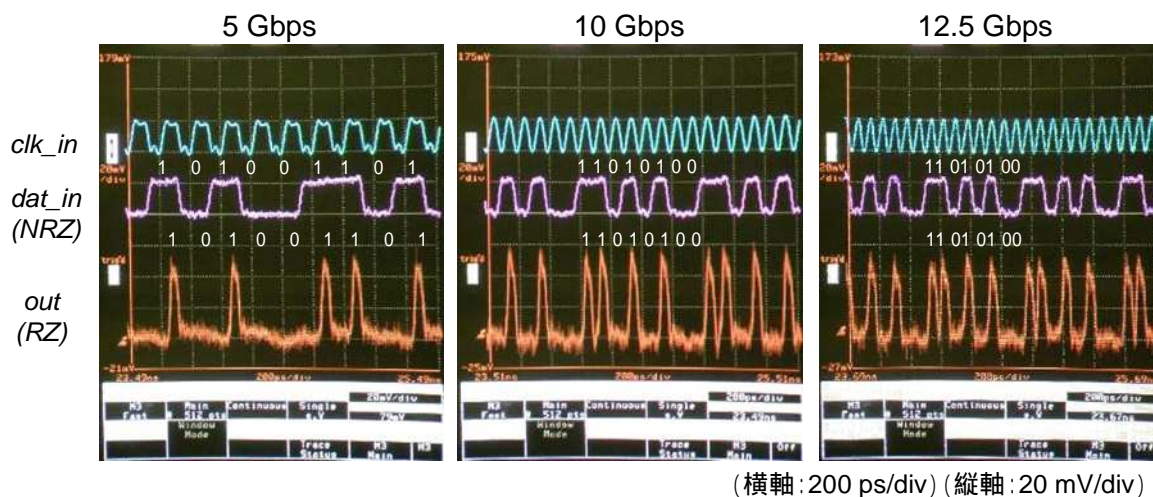


図 4-30. 冷凍機システムで冷却された SFQ 回路評価モジュールの高速動作波形。SVD の RSFF への *set* 信号と *reset* 信号の遅延差を約 50psec に固定しているため、5Gbps (クロックサイクル 200psec) ではデューティ比が 50% よりも小さく、12.5Gbps (クロックサイクル 80psec) では 50% よりも高くなっている。

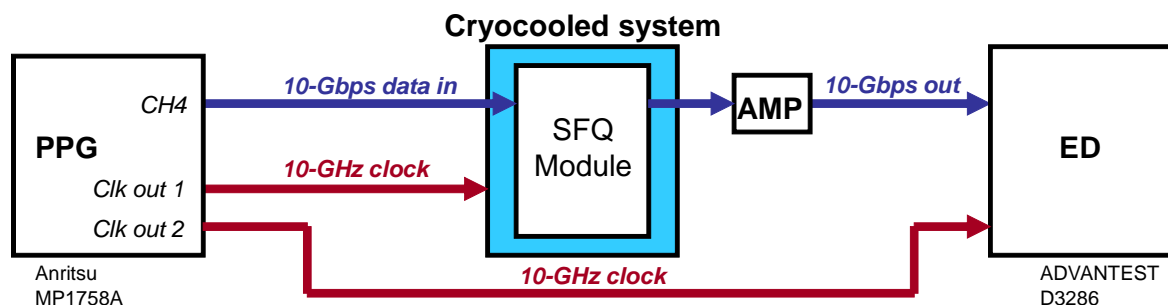


図 4-31. SFQ 回路評価モジュールの BER 測定の測定系の構成。

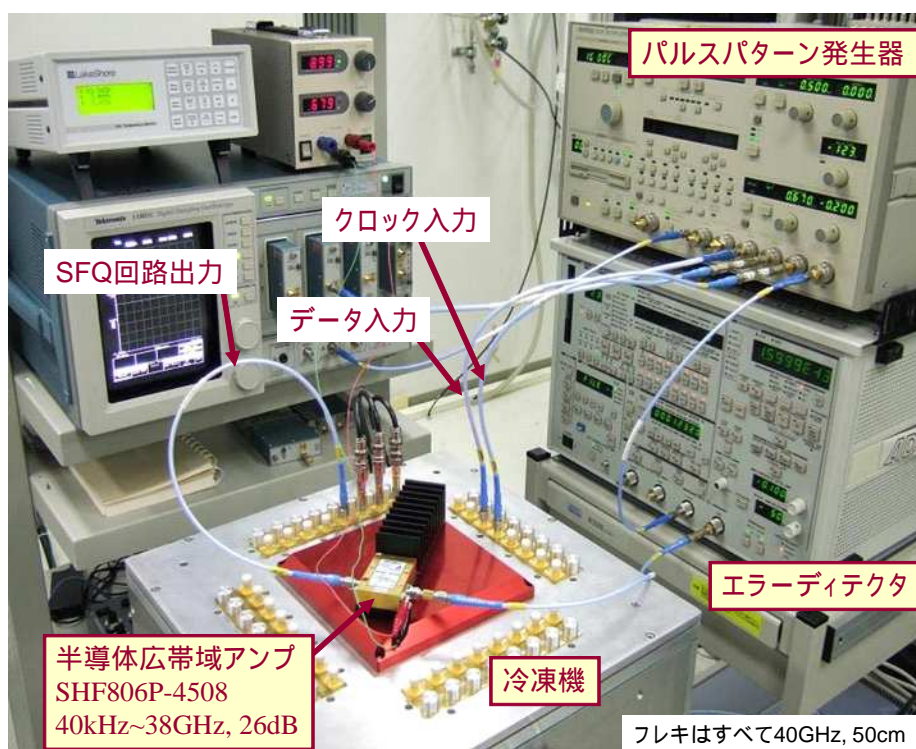


図 4-32. SFQ 回路評価モジュールの BER 測定の測定系の写真。

では Omission エラーが支配的であることが示された。これは図 4-33 (b)から分かるように、BER が高い領域は SVD の出力電圧が低いためである。一方、BER が 10^{-12} 以下の非常に低い SQUID バイアス領域では、Omission と Insertion がほぼ同じ確率で発生することが分かった。 10^{-12} 以下の低 BER 動作が得られる SQUID バイアスのマージンは $1.4\text{mA} \pm 4.3\%$ であった。BER 測定を ED の上限周波数である 12Gbps まで行った。図 4-34 は 12Gbps で測定された BER の SQUID バイアス依存性である。12Gbps での BER は 10^{-10} 以下であった。

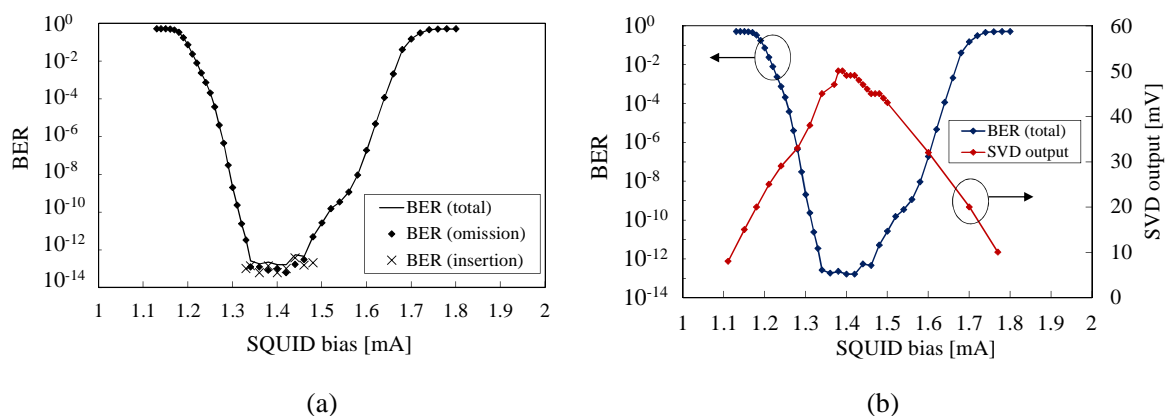


図 4-33. 10Gbps で測定された SFQ 回路評価モジュールの BER の SQUID バイアス依存性。(a) Omission と Insertion と Total の BER と(b) Total の BER と SVD の出力電圧の関係。

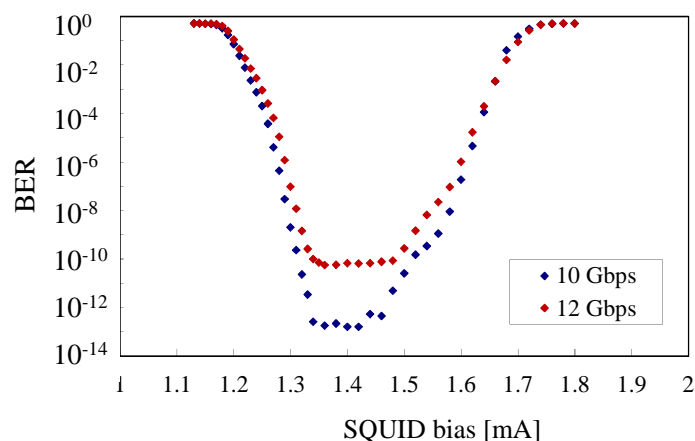


図 4-34. 12Gbps 動作時の SFQ 回路評価モジュールの BER。

なお、冷凍機システムで冷却された SFQ 回路の磁束トラップについては検証していないが、本章の SFQ 回路評価モジュールの冷凍機システム動作の実験を通して、磁束トラップの影響は 3 重磁気シールドとデュワーを用いた通常の液体ヘリウム中での実験との有意な差は見られなかった。

4-7: 本章のまとめ

高スループットの SFQ デジタルアプリケーションのための冷凍機システムを開発し、10Gbps/ch \times 32ch の I/O を有する冷凍機システムを初めて実証した。開発した冷凍機システムには、SFQ MCM、2 重磁気シールド、40K ラディエーションシールド、GaAs 半導体クライオアンプ、32 ピン広帯域クライオプローブ、32 本の広帯域 I/O ケーブルが、4K、1W の 2 段 GM 冷凍機とと

もに真空チャンバに実装されており、SFQ 回路と室温との間に 32ch の高速電気 I/O リンクを有する。S パラメータ測定の結果、I/O リンクのアナログ帯域は 23GHz であった。RSFF-SQUID 型の SVD を $J_C=10\text{kA/cm}^2$ で設計、試作し、その SVD を集積した SFQ 回路評価モジュールの冷凍機動作を計測器の上限周波数である 12.5Gbps まで確認した。この実験により、はんだバンプで MCM 基板にフリップチップボンディングされた SFQ 回路チップの 10Gbps 以上での冷凍機動作を初めて実証した。BER は 10Gbps で $<10^{-12}$ 、12Gbps で $<10^{-10}$ と非常に低く、試作した冷凍機システムと SVD が SFQ デジタル集積回路のシステム実証に十分な性能を有していることが明らかにされた。実用レベルの SFQ デジタルシステムでは多 ch の SVD が必要である。SVD が多 ch の場合の冷凍機システムの高速度動作時の BER については第 5 章のスイッチシステムの実験で検証する。本章の一連の実験を通して、冷凍機の機械的振動、温度振動、ノイズ等が SFQ 回路の動作に顕著な影響を与えないこと、および、磁束トラップの顕著な影響も見られないことが示された。また、サンプルステージの温度が 4K 以下になり SFQ 回路が 10Gbps で完全動作していることから、冷凍機の 2nd ステージへの熱流入は冷凍機の冷却能力である 1W よりも低いと考えられ、課題であった I/O の広帯域化と熱流入の低減のトレードオフが両立できていることが実証された。

今後の課題としては、I/O のさらなる広帯域化が挙げられる。本章で実証した冷凍機システムのトータルスループットは 320Gbps であり、これまでに報告されている冷凍機システムの中で最大である。しかし、ネットワークスイッチ等の高スループットのデジタルアプリケーションのためには、さらなるシステムスループットが必要である。I/O の広帯域化については第 6 章で述べる。また、フリップチップ実装された SFQ 回路チップが発生する熱は、チップの周囲が真空であるために、はんだバンプと MCM 基板を通してサンプルステージで除去される。そのため、SFQ 回路が発生する熱を除去するための熱パスははんだバンプしかなく、その熱パスの断面積は非常に狭い。このため、チップに集積される SFQ 回路が大規模化した場合に、SFQ 回路自身が発生する熱を除去し切れなくなり、SFQ 回路の動作に影響を与える可能性がある。この SFQ 回路自身が発生する熱の影響とその対策については第 7 章で述べる。

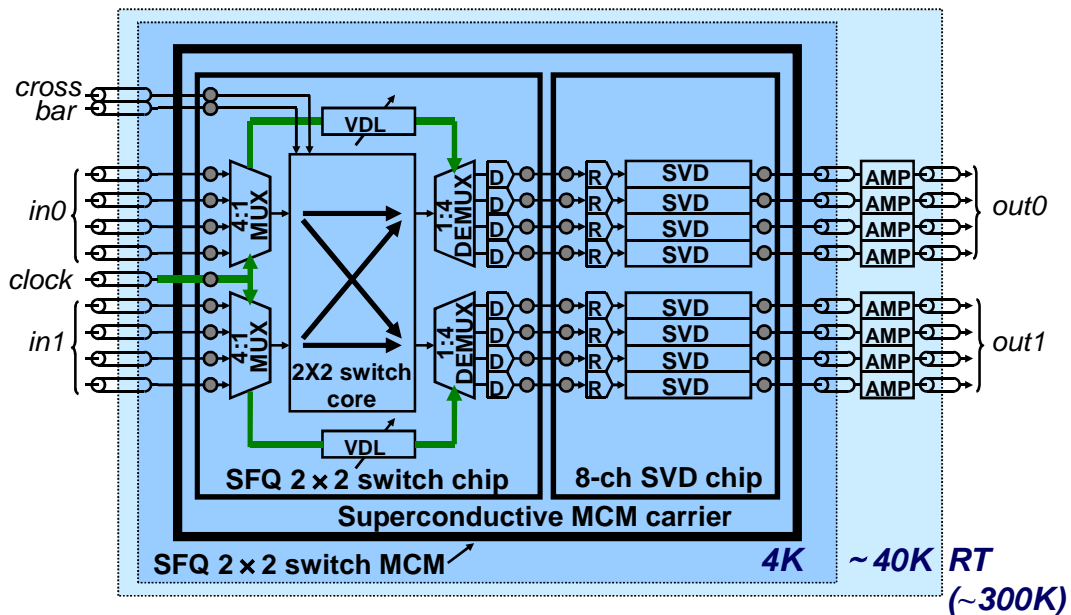
第5章:2×2 スイッチシステム

前章までで、超伝導 SFQ 回路の高速システム化技術として、PTL 伝送回路、チップ間 SFQ パルス伝送回路、超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) 冷凍機システムを開発した。本章では、第2章～第4章で開発した高速システム化技術を集積することにより、2×2 スイッチシステムを設計、試作し、40Gbps 以上で動作実験を行う。このシステムレベルでの SFQ 回路の 40Gbps 動作実験を通して、SFQ 高速冷凍機システムのひとつの完成形を示す[116], [117]。

5-1:2×2 スイッチシステムの基本設計

本研究では、40Gbps 冷凍機システムの実証のための SFQ 集積回路として 2×2 スイッチ回路を選択した。2×2 スイッチは大規模なスイッチ回路を構成するための基本回路であり、2×2 スイッチ回路のシステムレベルでの高速動作を実証できれば、大規模なスイッチシステム実現への道筋が見えるからである。スイッチ回路を 40Gbps で動作させるための課題のひとつは冷凍機システムの I/O の 1ch あたりのスループット (10Gbps) と SFQ スイッチ回路の入出力データの 1ch あたりのスループット (40Gbps) とのギャップをいかにして解消するかである。本章では、この冷凍機システムの I/O と SFQ スイッチ回路のスピードのギャップを解消するために、40Gbps の入出力インタフェースとして 4:1 MUX と 1:4 DEMUX を SFQ 回路で設計し、SFQ スイッチチップに集積する。

図 5-1 は、スイッチシステムの基本構成図である。スイッチシステムは、2×2 スイッチ MCM を冷凍機システムの 4K ステージに実装したものである。2×2 スイッチ MCM は、2×2 スイッチチップと 8ch SVD チップが超伝導 MCM 基板にフリップチップボンディングされて形成される。室温から 2 つの 40Gbps データ (10Gbps/ch × 4ch、NRZ、振幅約 10mV) がスイッチチップに入力される。入力された NRZ のデータ信号は、スイッチチップ上で SFQ パルスに変換され、4:1 MUX で 40Gbps シリアルデータに変換される。40Gbps シリアルデータはスイッチコアによって出力先を切り替えられる。スイッチコアの 40Gbps シリアルの出力データは、スイッチチップ上の 1:4 DEMUX によって 10Gbps/ch × 4ch のデータに変換され、チップ間 SFQ パルス伝送回路によって SVD チップに伝送される。SVD チップに伝送されたデータは、8ch の SVD によって約 2mV の RZ 信号に増幅されて出力され、冷凍機システムの 40K ステージのクライオアンプで約 50mV の RZ 信号に増幅されて室温に出力される。40Gbps での低 BER 動作を実現するために、回路はすべて $J_c=10\text{kA}/\text{cm}^2$ で設計した。



Data rate	10Gbps 4bit parallel	40Gbps serial	10Gbps 4bit parallel		
Signal form	10mV NRZ	SFQ pulse		2mV RZ	50mV RZ
Line impedance	50Ω	4Ω		50Ω	

図 5-1. 2×2 スイッチシステムの基本構成。MUX、DEMUX、VDL、D、R、SVD、AMP はそれぞれ、マルチプレクサ、デマルチプレクサ、可変遅延線、チップ間 SFQ パルス伝送用ドライバ、チップ間 SFQ パルス伝送用レシーバ、超伝導電圧ドライバ、極低温半導体アンプを示す。

5-2: 2×2 スイッチ MCM の設計

5-2-1: 2×2 スイッチ回路の設計

スイッチ回路はセルベース設計[49]で設計した。 $J_c=10\text{kA}/\text{cm}^2$ のセルは、CONNECT セルライブラリ[49]のセルの接合の面積を 1/4 に縮小し、第 3 章と同様に接合のシャント抵抗 R を $I_c R=0.88\text{mV}$ となるように設計した。以下では、スイッチ回路の設計を述べる。

5-2-1-1: 4:1 MUX と 1:4 DEMUX の設計

図 5-2 は設計した 4:1 MUX の回路図である。MUX は 3 個の T フリップフロップ (T flip-flop; TFF) からなる 1/4 プリスケアラと、4 個の NRZ/SFQ コンバータ (NRZ-to-SFQ Converter; NRZ/SFQ) と、

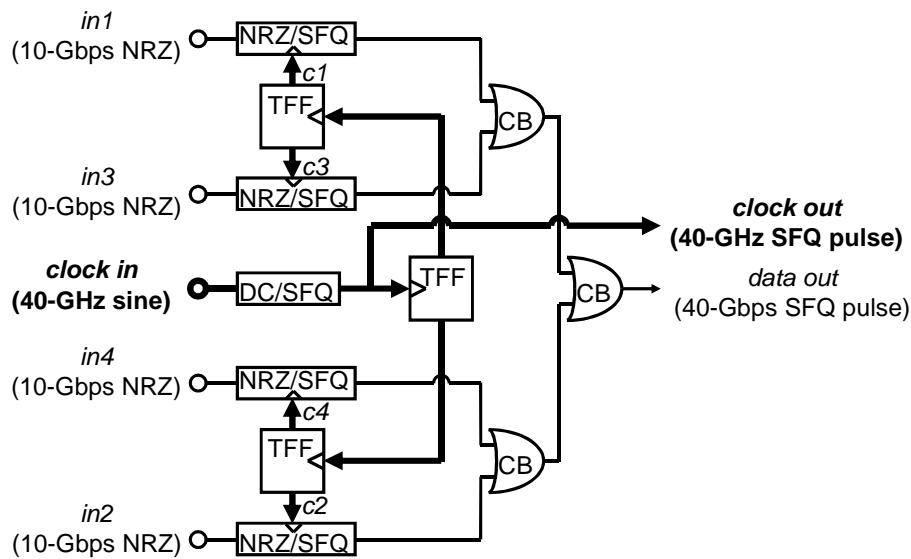
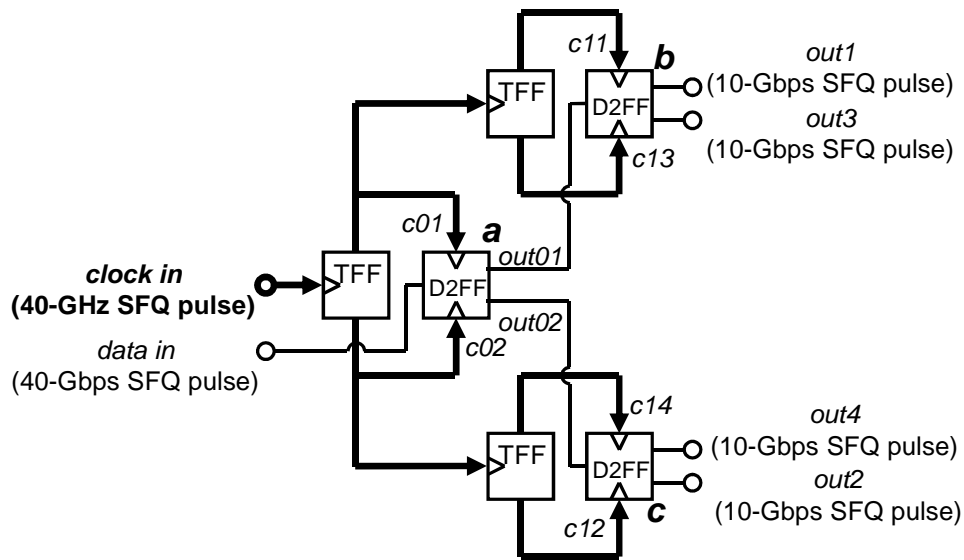


図 5-2. 4:1 MUX の回路図。

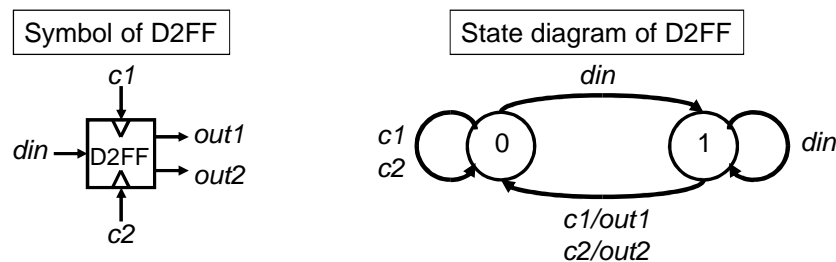
コンフルエンス・バッファ (Confluence Buffer; CB) とで構成される。NRZ/SFQ はコンパレータであり、NRZ 入力信号が“high”のときに SFQ クロックパルスが入力されると SFQ パルスを出し、NRZ 入力が“low”のときに SFQ クロックパルスが入力されると何も出力しない。

MUX の動作原理は以下のとおりである。説明の便宜上、以下では動作周波数は 40GHz であるとする。DC オフセットのついた 40GHz の正弦波のクロックを DC/SFQ に入力すると、正弦波のクロックは 25psec 間隔の SFQ パルス列 (SFQ 回路における 40GHz クロックの表現) に変換される。この 40GHz の SFQ クロックパルスは、プリスケアラによって互いに位相が $\pi/2$ ずつずれた 4 相の 10GHz クロック ($c1 \sim c4$) に分周され、4 つの NRZ/SFQ に入力される。それぞれの NRZ/SFQ には互いに位相が $\pi/2$ ずつずれた 10Gbps の NRZ 入力データ ($in1 \sim in4$) が室温から入力される。NRZ/SFQ は NRZ 入力データが“high”すなわち論理値“1”のときにクロックパルスが入力されると SFQ パルス (論理値“1”の SFQ 回路での表現) を出力し、NRZ 入力データが“low”すなわち論理値“0”のときにクロックパルスが入力されると何も出力しない (論理値“0”の SFQ 回路での表現)。CB は、4 個の NRZ/SFQ からの出力パルスをマージする。4 個の NRZ/SFQ からの出力パルスは互いに位相が $\pi/2$ ずつずれた 10Gbps データなので、CB でマージされたデータは 40Gbps のシリアルデータになる。4:1 MUX からは、後段の回路で用いるための 40GHz クロックも出力される。

図 5-3 (a) は 1:4 DEMUX の回路図である。この DEMUX は、文献[118]-[120]で報告されているものと基本構成は同じである。DEMUX は、3 個の TFF からなる 1/4 プリスケアラと、3 個の D2 フリップフロップ (D2 flip-flop; D2FF) [121] とで構成される。図 5-3 (b) には D2FF の状態遷移図を示した。D2FF は状態“0”と状態“1”を有する。状態“1”の時にクロック $c1$ (または $c2$) が入力される



(a)



(b)

図 5-3. (a) 1:4 DEMUX の回路図と(b) D2FF の状態遷移図。

と、*out1*（または *out2*）から、D2FF が格納していたデータ（論理値”1”）が出力され、状態”0”に遷移する。一方、状態”0”の時にクロック *c1*（または *c2*）が入力されると、*out1* から *out2* からも何も出力されず（言い換えれば論理値”0”が出力される）、状態は”0”のままである。状態”0”のときに *din* が入力されると、状態”1”に遷移する。状態”1”のときに *din* が入力されても状態”1”のままである。図 5-3 (a)の DEMUX の動作原理は以下の通りである。3 個の TFF からなるプリスケータにより、フロントエンド D2FF（図 5-3 (a)で *a* と表示された D2FF）には互いに位相が π 異なる 2 相の 20GHz クロック（*c01* と *c02*）が入力され、2 段目の D2FF（図 5-3 (a)で *b*、*c* と表示された D2FF）には互いに位相が $\pi/2$ 異なる 4 相の 10GHz クロック（*c11*、*c12*、*c13*、*c14*）が入力される。したがって、フロントエンドの D2FF は、40Gbps のシリアルデータが入力されると *out01*、*out02* から互いに位相が π 異なる 20Gbps のデータを出力する。2 段目の D2FF（図 5-3 (a)の *b*）は、フロ

ントエンド D2FF からの 20Gbps の入力データが入力されると *out1*、*out3* から位相が互いに π 異なる 10Gbps、2bit パラレルのデータを出力する。2 段目のもうひとつの D2FF (図 5-3 (a)の *c*) は、フロントエンド D2FF からの 20Gbps の入力データが入力されると *out2*、*out4* から位相が互いに π 異なる 10Gbps、2bit パラレルのデータを出力する。図 5-3 (a)の *b* と *c* の D2FF に入力されるデータは 20Gbps で互いに位相が π ずれている (つまり互いに 25psec ずれている) ため、結果として *out1* ~ *out4* からは互いに 25psec ずれた 10Gbps のデータが出力される。以上の動作原理により、40Gbps のシリアル入力データ (*data in*) は互いに位相が $\pi/2$ ずれた 10Gbps/ch \times 4ch のパラレルデータ (*out1* ~ *out4*) に変換される。

DEMUX では D2FF でのタイミング設計が重要である。2 接合 JTL と 3 接合 JTL を組み合わせて配線に用いることにより、接合 1 個分に相当する遅延 (約 2.2psec) のきざみでタイミング設計を行った。DEMUX のクロッキングは、レイテンシを短くするためにクロック・フォロワー・データ方式を用いた。2 段目の D2FF (図 5-3 (a)の *b*、*c*) では、クロック *c11* ~ *c14* は、データ入力の約 10psec 後に入力されるようにタイミング設計した。一方、フロントエンド D2FF は DEMUX の中で最も高速のクロックで動作するため、タイミングマージンが最も狭い。このフロントエンド D2FF でのタイミング設計は、DEMUX の入力端に 2×2 スイッチ回路を接続したときに行う。そのタイミング設計については 5-2-1-3 節で後述する。

なお、MUX と DEMUX で用いた TFF は CONNECT セルライブラリ[49]の RTFFB であり、他のセルと同様に $J_C=10\text{kA/cm}^2$ 用に接合面積を縮小し、シャント抵抗を高くした。RTFFB は *reset* 信号を入力すると状態 "0" に遷移する。この *reset* 信号は MUX と DEMUX を初期化する場合に用いる。

設計された 4:1 MUX は 281 接合で構成され、バイアス電流は 36.4mA、消費電力は 91 μ W である。一方 1:4 DEMUX は 245 接合で構成され、バイアス電流は 20.0mA、消費電力は 50 μ W である。

5-2-1-2: 2×2 スイッチコアの設計

2×2 スイッチコアは図 5-4 (a)に示すように、非破壊読み出しレジスタ (Non-Destructive Readout Register; NDRO) と CB で設計した。図 5-4 (b)に NDRO の状態遷移図を示す。NDRO は状態 "0" と状態 "1" を有する。状態 "0" の時に *set* が入力されると状態 "1" に遷移する。状態 "0" の時に *reset* が入力されても状態 "0" のままである。状態 "1" の時に *reset* が入力されると状態 "0" に遷移する。状態 "1" のときに *set* が入力されても状態 "1" のままである。状態 "1" の時に *din* が入力されると *out* から *din* の論理値が出力されるが状態は "1" のままである。状態 "0" の時に *din* が入力されると *out* からは何も出力されず、状態も "0" のままである。図 5-4 (a)のスイッチコアの動作原理は以下の通りである。スイッチコアは、クロスとバーの 2 つの状態を有し、いずれの状態をとるかは 2 つの制御信号 *cross* と *bar* で切り替える。*cross* が入力された場合、図 5-4 (a)の *a* と *b* の NDRO の状態が "1" になり、他の 2 つの NDRO の状態は "0" になる。その結果、入力データ *in0* は *out1* から出力され、入力データ *in1* は *out0* から出力される (クロス)。一方、制御信号 *bar* が入力されると図 5-4 (a)の *c* と *d* の NDRO の状態が "1" になり、他の 2 つの NDRO の状態は "0" になる。その結果、入力データ *in0* は

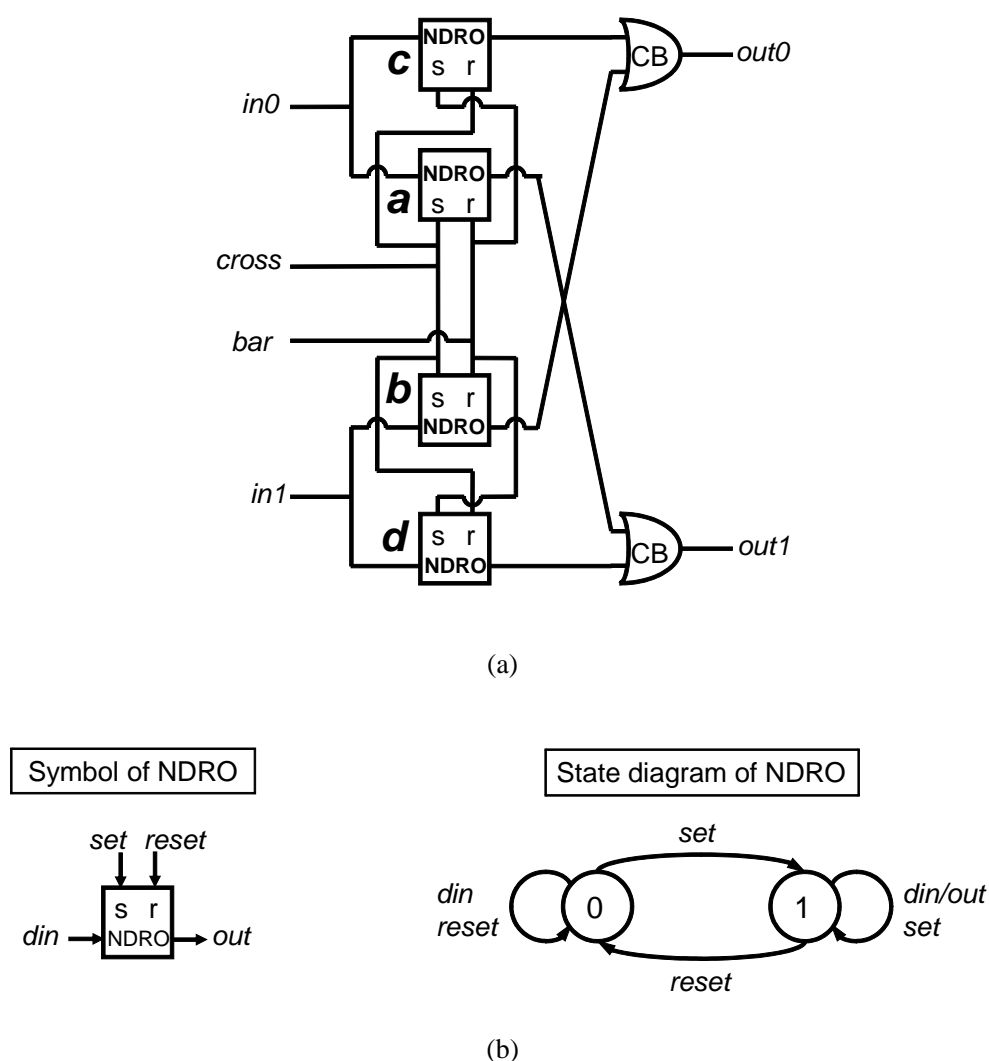


図 5-4. (a) 2×2 スイッチコアの回路図と(b) NDRO の状態遷移図。

out0 から出力され、入力データ *in1* は *out1* から出力される (バー)。NDRO は非破壊なので、スイッチコアの状態は制御信号が入力されない限り維持される。

5-2-1-3: 2×2 スイッチ回路の設計

図 5-5 に 2×2 スイッチ回路の回路図を示す。2×2 スイッチ回路は、2×2 スイッチコア、4:1 MUX、1:4 DEMUX から構成される。スイッチ回路では、10Gbps、4bit パラレルの入力データ *in0* と *in1* が、MUX によって 40Gbps シリアルデータに変換され、スイッチコアによって行き先を切り替えられる。スイッチコアから出力された 40Gbps シリアルデータは、DEMUX によって 10Gbps、4bit パラレルのデータに変換され、スイッチ回路から出力される。

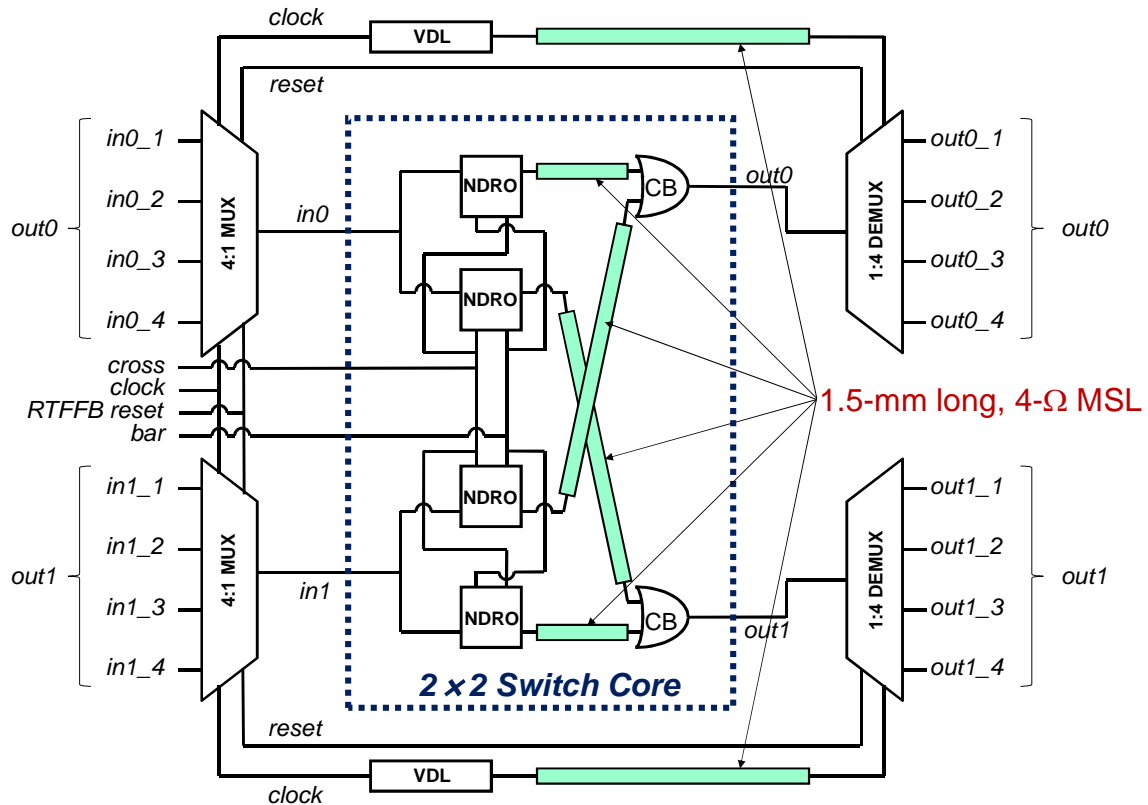


図 5-5. 2×2 スイッチ回路の回路図。

2×2 スイッチ回路の中で最もタイミングマージンが狭いのは、DEMUX のフロントエンドの D2FF (図 5-3 (a) の初段の D2FF) である。フロントエンドの D2FF は、2 相の 20GHz クロックで動作する (したがって実質的には 40GHz クロックで動作する)。D2FF は setup 時間と hold 時間の合計が約 0.1psec と非常に短いので、40Hz 動作においても ±10psec 以上のタイミングマージンを確保する設計が可能である。しかし実際のチップにおいては、プロセスばらつきに起因するタイミングの設計値からのずれや、熱ノイズに起因するタイミングジッタが、SFQ 回路のタイミングマージンを設計よりも狭くする。この DEMUX のフロントエンドの D2FF の入力端子におけるタイミングばらつきとタイミングジッタを可能な限り低減するため、2×2 スイッチ回路のデータバスと、MUX と DEMUX の間のクロックパスは、1.5mm 長の MSL を用いて設計した (図 5-5)。クロックパスとデータパスの MSL の長さを等しくしたのは、タイミング設計を容易にするため、および、クロックとデータの相対遅延差がバイアスによって大きく変化しないようにするためである。それでもなお、スイッチ回路内の論理セルや JTL のプロセスばらつきによるタイミングずれが発生する可能性があるため、クロックパスに VDL を挿入し (図 5-5) 室温から VDL に供給する DC 電流の値を制御することによりクロックパスの遅延時間を微調整できるように設計した。

VDL は 32 接合で構成し、VDL への DC バイアスを 4.5mA ~ 5.2mA まで変化させることにより遅延時間を $\pm 12.5\text{psec}$ 変化させることができる。このようにして 40GHz のクロックサイクルの範囲をカバーできるように設計した。なお、VDL に設計バイアスが印加されている場合に、DEMUX のフロント D2FF では 40GHz 動作時にタイミングマージンが 11psec 以上になるようにタイミング設計を行った。

5-2-2: 8ch 超伝導電圧ドライバの設計

超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) は、SFQ 回路から室温エレクトロニクスへの高速信号伝送の鍵となる回路である。本章のスイッチシステムでは、 2×2 スwitch回路の 8ch の出力 SFQ パルス ($10\text{Gbps/ch} \times 8\text{ch}$) を増幅して室温に高速で出力するために、第 4 章で開発した SVD を 8 個、1 枚のチップに集積した。図 5-6 に 8ch SVD の回路図を示す。本章では 8ch SVD を 1 枚のチップに集積するため、SVD の接合数、回路面積、バイアス電流を削減する改良を行った。具体的には、図 5-7 に示すように、第 4 章で設計した SVD の BUF (図 4-18) の接合数を 6 個から 2 個に削減した。これにより、SVD 1ch 全体で接合数、面積、バイアス電流、消費電力をそれぞれ 29%、13%、38% 削減した。このようにして改良された SVD (1ch あたり) の接合数は 318 個、面積は $402\mu\text{m} \times 522\mu\text{m}$ 、バイアス電流は 43.0mA、消費電力は $108\mu\text{W}$ である (表 5-1)。

SVD の RZ 出力信号のパルス幅は、SVD の RSFF に入力されるデータ信号と *reset* 信号の遅延時間差で決まる。第 4 章の SVD では、SVD への入力データ信号をチップ上で分岐して約 50psec の遅延を JTL で追加することにより SVD への *reset* 信号を生成し、10Gbps 動作時にデューティ比が 50% の RZ 出力になるように設計した。本章のスイッチシステムは回路が複雑なため、まず 10kHz 程度の低速で機能試験を行い回路が動作するバイアスマージンをチェックし、段階的に動作周波数を上げていく必要がある。そのため本章では、SVD への *reset* 信号を室温から入力し、室温から SVD の出力信号の幅を制御できるように設計した。10Gbps などの高速では SVD の BER は SVD の出力パルスの幅に強く依存する。*reset* 信号を室温から入力できるようにした理由は、高速動作時に SVD の出力パルス幅を室温から制御し、BER を低減することをも可能にするためである。

SVD の構成要素のうち、16 個の SQUID が直列に接続された部分を出力部と呼ぶ (第 4 章の図 4-16)。8 個の出力部は、冷凍機システムのピン数の制約のため共通の DC バイアスで動作するように設計した。そのため、複数の出力部が同時にスイッチした場合、スイッチしていない出力部へバイアス電流が回り込み、本来スイッチすべきではない出力部をスイッチさせてしまう誤動作を生じる可能性がある。この同時スイッチ時のバイアス回りこみを低減するために、出力部のバイアス抵抗を、各出力部に接続されている出力ラインの特性インピーダンス 50Ω に比べて十分高い 400Ω に設計した。この設計により、7 個の出力部が同時にスイッチした場合であっても、残る 1 個の出力部に回り込む電流が SQUID バイアス電流の 5% 未満にできることをシミュレーションにより確認した。

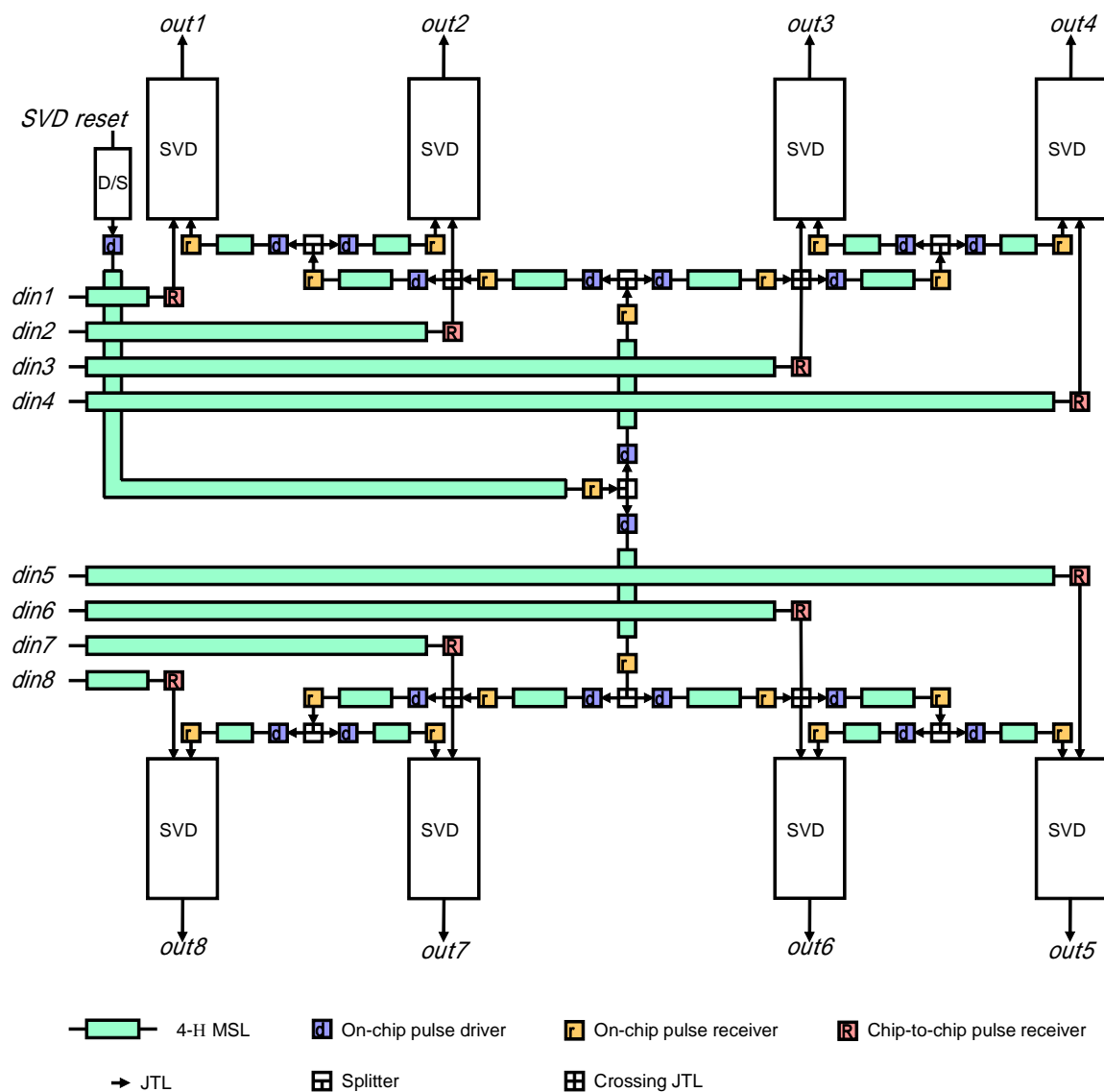


図 5-6. 8ch SVD の回路図。

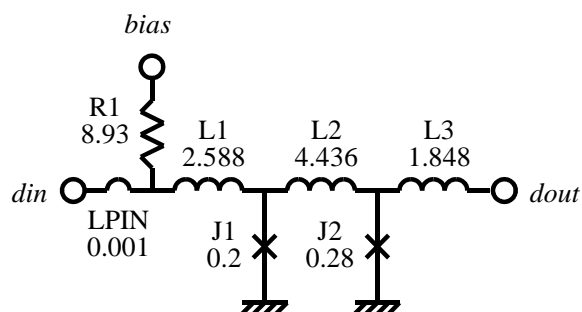


図 5-7. 小型化した SVD の BUF の等価回路図。単位は、接合の臨界電流値は mA、インダクタンスは pH、抵抗はΩである。

表 5-1. 小型化した SVD の 1ch あたりの接合数、バイアス電流、消費電力。

	接合数	バイアス電流 [mA]	消費電力 [μ W]
WSPL	126	13.4	33.5
BUF	64	9.0	22.4
RSFF	96	20.4	51.0
SQUID	32	0.16	0.4
SVD 合計 ^a	318 (-29%)	43.0 (-38%)	108 (-38%)

^a () 内の数字は、第 4 章で開発した SVD に対するパーセンテージ。

5-2-3:2×2 スイッチ MCM の設計

5-2-1 で設計した 2×2 スイッチ回路と 5-2-2 で設計した 8ch SVD を集積した 2×2 スイッチ MCM を設計した。この節では MCM の設計について述べる。

5-2-3-1:2×2 スイッチ MCM のピンアサインとバイアス設計

冷凍機システムのピン数が 32 本に限られているため、MCM の設計においては、ピン数の制約のもとでのピンアサインとバイアス設計が重要である。図 5-8 に 2×2 スイッチ MCM のピンアサインとバイアス設計を示す。必要不可欠なピンは、入力データ 8 ピン(10Gbps×4 ピン×2 入力)、出力データ 8 ピン(10Gbps×4 ピン×2 出力)、クロック 1 ピン、スイッチの制御信号 2 ピン(*cross*、*bar*)、MUX と DEMUX の RTFFB への *reset* 1 ピン、SVD の RSFF への *reset* 1 ピンである。これら回路動作に必須な信号だけで計 21 ピン必要である。従って、残り 11 ピンだけで 2×2 スイッチ MCM にバイアスを供給しなければならない。100mA のオーダーの大電流の場合、バイアスが発生する磁場が回路動作に及ぼす影響を低減するために差動バイアス供給が必要である[73], [74]。差動バイアス供給とは、SFQ 回路にバイアス電流を供給し、かつ、チップの GND に回路へのバイアス電流と絶対値が等しい負の電流を供給する方法である。差動バイアス供給は 2 ピンを要するため、それも考慮したバイアス設計が必須である。

2×2 スイッチチップでは、ピン数の制約から、DC/SFQ、NRZ/SFQ、2×2 スイッチ回路、チップ間 SFQ パルス伝送用ドライバのバイアスを共通とした。ただし、このバイアスは 212mA と大きく、1 方向から回路に供給するとバイアス供給パッド近辺に電流が集中しスイッチ回路の誤動作を招く恐れがあるため、回路の上下 2 方向から供給し、かつ、それぞれのバイアスを差動で供給する設計とした。そのため 4 ピンを使用する。スイッチチップは 2 つの VDL を有する。これらのバイアス電流は 4.8mA と小さいため、それぞれ 1 ピンで供給する。一方、SVD チップは、ピン数の制約のため、DC/SFQ、WSPL、BUF、チップ間 SFQ パルス伝送用レシーバを共通バイアスと

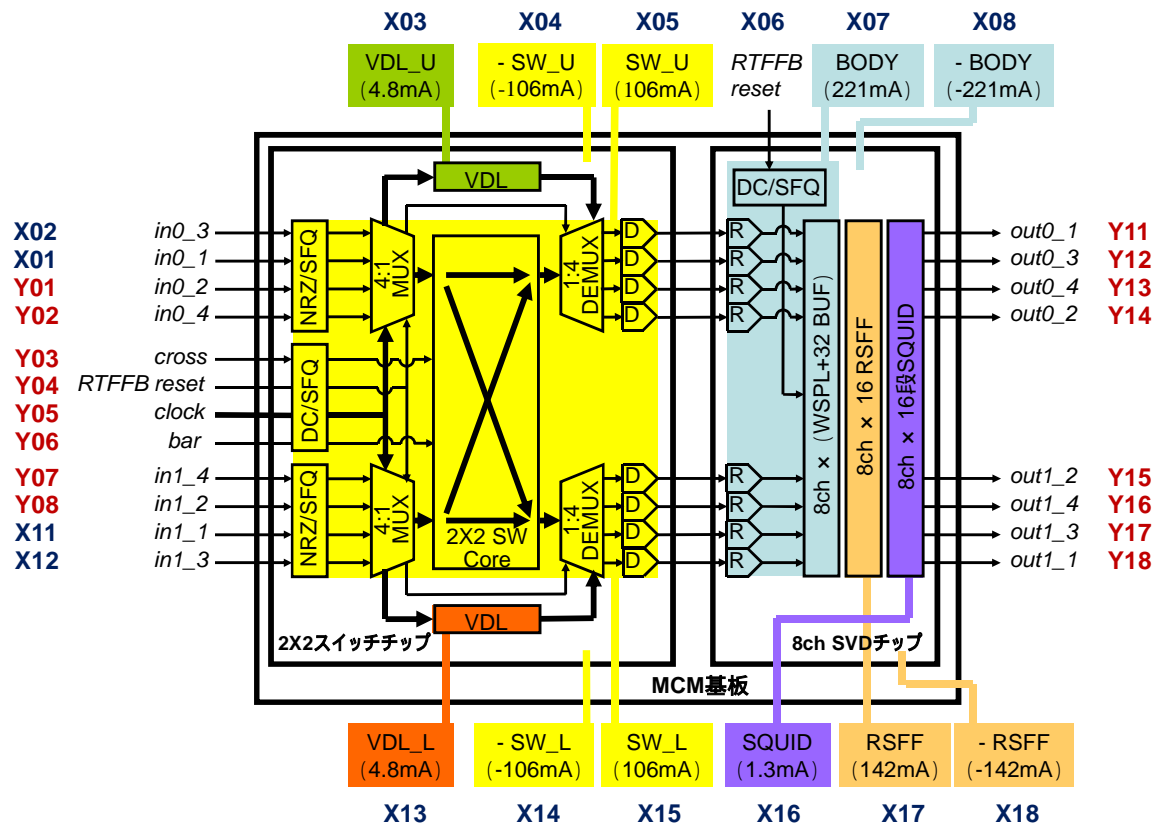


図 5-8. 2×2 スイッチ MCM のピンアサインとバイアス設計。X01～X08、X11～X18、Y01～Y08、Y11～Y18 は冷凍機システムの室温 I/O ポートのポート番号である。(SW_U, -SW_U) (SW_L, -SW_L) (BODY, -BODY) (RSFF, -RSFF) の各ペアは、差動供給を行うバイアスである。

した。このバイアスも 221mA と大きいため、2 ピンを用いて差動供給する設計とした (図 5-8 の BODY と -BODY)³⁸。RSFF バイアスと SQUID バイアスは、SVD の中でクリティカルなバイアスなので、個別に供給する設計とした。RSFF バイアスは 142mA と大きいため 2 ピンを用いて差動供給とした。SQUID バイアスは 1.3mA と小さいため、1 ピンからの供給とした。

5-2-3-2: 2×2 スイッチ MCM のインピーダンス設計

MCM を 40GHz の高速で動作させるためにはチップ上および実装系のインピーダンスの設計が非常に重要である。図 5-9 は MCM のインピーダンス設計を説明する図である。MCM 基板上的 MSL のうち、SFQ 回路と室温との間で I/O 信号を伝送する MSL のインピーダンスは、標準的な

³⁸ 40Gbps動作の論理回路であるスイッチ回路と異なり、SVDは10Gbps動作の回路であり機能も単純なため、スイッチ回路のような4ピンを用いるほどのケアはしなかった。

高速半導体エレクトロニクスや高周波ケーブルのインピーダンスに整合させるため 50Ω に設計した。MCM 基板上の MSL のうち、チップ間 SFQ パルス伝送を担う MSL のインピーダンスは 4Ω に設計した。これは第 3 章で開発したチップ間 SFQ パルス伝送回路で実証された値である。DC/SFQ および NRZ/SFQ の入力端で室温からの 50Ω 入力ラインを整合終端するために、DC/SFQ と NRZ/SFQ の入力端に直列に 50Ω の抵抗を付加した。一方、SVD の出力端には整合抵抗は付加せず、直接 50Ω の MSL を接続し、冷凍機の 1st ステージの極低温 GaAs アンプ（入力インピーダンス 50Ω ）で受信端終端されるように設計した。SVD と極低温アンプの間に強いインピーダンス不整合が存在する場合は、その不整合箇所から SVD に向かって強い反射が返ってくるため、SVD の出力端に終端抵抗を付加する必要があるが、整合抵抗の付加は SVD から MSL に出力される出力電圧を減少させ、極低温アンプの BER を増大させるデメリットも有する。本研究の冷凍機システムでは SVD とクライオアンプの間に強いインピーダンス不整合は存在しないため、SVD の出

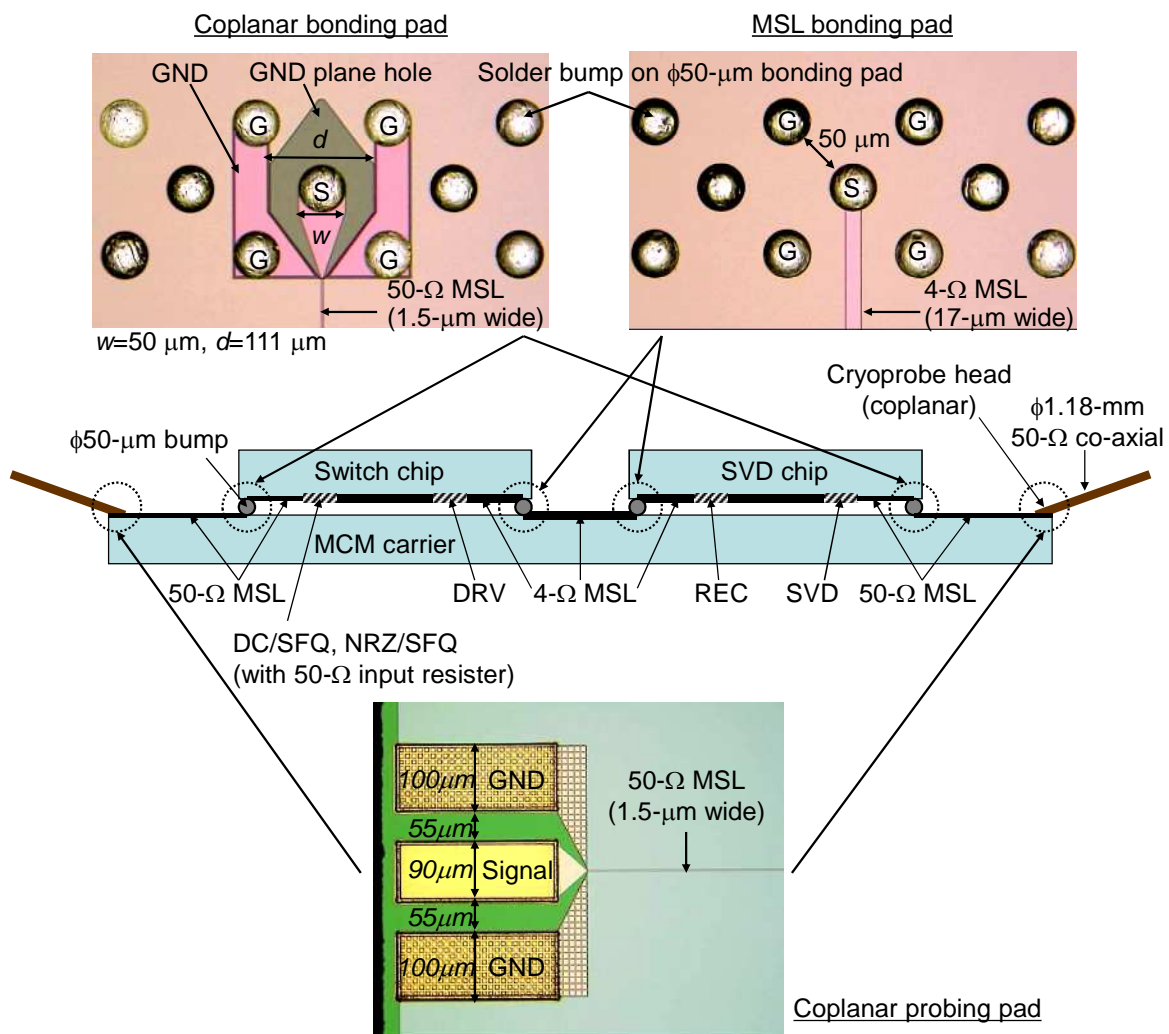


図 5-9. MCM のインピーダンス設計。

力端に終端抵抗を用いず、可能な限り高い出力電圧を極低温半導体アンプに伝送する構成を採用した。特性インピーダンス 50Ω の MSL の線幅は $1.5\mu\text{m}$ (COU 層で作製)、 4Ω の MSL の線幅は $17\mu\text{m}$ (BAS 層で作製) である。はんだバンプの直径は $50\mu\text{m}$ とした。これは、スイッチ MCM の全ビット動作を実現するために十分なバンプ接続の歩留まりを確保するためにバンプの直径を $50\mu\text{m}$ 以上にする必要があったからである。図 5-9 に示すように、ボンディングパッドは 2 種類のものを用いた。MCM 基板上の 4Ω MSL とチップ上の 4Ω MSL とを接続するはんだバンプのためのボンディングパッド、つまりチップ間 SFQ パルス伝送用 MSL のボンディングパッドは MSL ボンディングパッドを用いた。一方、基板上の 50Ω MSL とチップ上の 50Ω MSL を接続するはんだバンプのためのボンディングパッド、つまり、SFQ 回路と室温エレクトロニクスとの間の I/O 信号の伝送に用いる 50Ω MSL のためのボンディングパッドには、CPW ボンディングパッドをチップと基板の双方に用いた。CPW ボンディングパッドの使用により、 50Ω ラインのバンプ接続部でのインピーダンス整合が大幅に改善されることは第 4 章で実証した。32 ピン高周波クライオプローブのプローブヘッドが MCM 基板に圧着によって接触するプロービングパッドも、室温エレクトロニクスのインピーダンスに整合させるためにコプレナ型の 50Ω に設計した。以上のように MCM のインピーダンス設計を行うことにより、室温エレクトロニクス (50Ω) と低インピーダンスの SFQ 回路 (4Ω 程度) とのインピーダンス整合を取り、SFQ MCM の高速動作を実現することができる。

5-2-3-3: 2×2 スwitch MCM のレイアウト設計

5-2-3-1 で述べたピンアサインとバイアス設計および 5-2-3-2 で述べたインピーダンス設計にしたがって、スイッチチップ、SVD チップ、MCM 基板のレイアウト設計を行った。図 5-10 に、スイッチチップ、SVD チップ、MCM 基板の顕微鏡写真を示す。スイッチチップは $5\text{mm}\times 5\text{mm}$ であり、5-2-1 で設計した 2×2 スwitch 回路 (図 5-5) の出力段に、第 3 章で開発したチップ間 SFQ パルス伝送用ドライバと 4Ω MSL を集積したチップである。SVD チップは $5\text{mm}\times 5\text{mm}$ であり、5-2-2 で設計した 8ch SVD (図 5-6) であり、入力段には第 3 章で開発したチップ間 SFQ パルス伝送用レシーバと 4Ω MSL が集積されている。スイッチチップと SVD チップの周辺部には、InSn はんだバンプを形成するための直径 $50\mu\text{m}$ のボンディングパッドが形成されている。MCM 基板は $16\text{mm}\times 16\text{mm}$ であり、InSn はんだバンプを形成するための直径 $50\mu\text{m}$ のボンディングパッド、クライオプローブと接触する 32 個のプロービングパッド、プロービングパッドとボンディングパッドとを接続するバイアスラインと 50Ω 信号ライン、そしてスイッチチップと SVD チップの間で SFQ パルスを伝送するための 4Ω MSL が集積されている。

スイッチ MCM は 1 本の 40GHz クロック入力、20 本の 10Gbps 信号入出力 (入出力データ 16 本、制御信号入力 4 本)、11 本のバイアス入力を有する。MCM 基板上のバイアスラインは、配線の I_c を可能な限り大きくするため、可能な最大幅である $50\mu\text{m}$ 幅 (バンプ径で制限される) とし、BAS 層で設計した。スイッチチップと SVD チップについても、 100mA を超えるバイアスライン

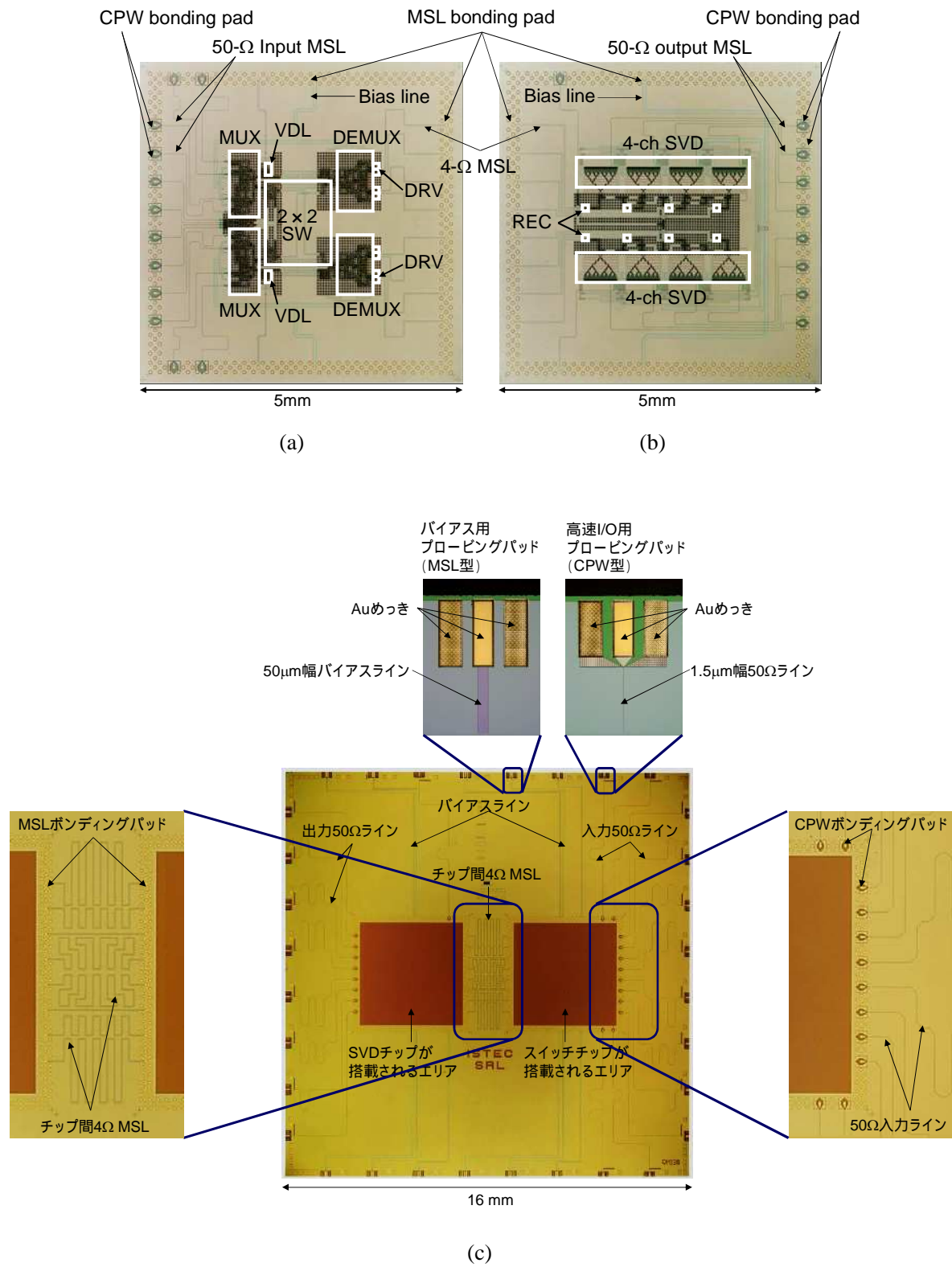


図 5-10. 試作した(a) 2×2 スイッチチップ、(b) 8ch SVD チップ、(c) MCM 基板の顕微鏡写真。

表 5-2. 2×2 スイッチ MCM の接合数、バイアス電流、消費電力。

	接合数	バイアス電流 [mA]	消費電力 [mW]
2×2 スイッチチップ	1,560	205	0.5
SVD チップ	2,930	377	1.0
2×2 スイッチ MCM	4,490	582	1.5

は $50\mu\text{m}$ 幅の BAS 層で設計した。一方、電流値が小さい VDL バイアスは $20\mu\text{m}$ 幅の COU 層で、SQUID バイアスは $10\mu\text{m}$ 幅の BAS 層で設計した。回路近辺でのバイアス電流の集中を軽減するため、チップ上で各バイアスラインを分岐し、回路の周辺に MOAT セルを配置してさらにバイアス電流を分流した。

スイッチチップの出力データ ($10\text{Gbps}/\text{ch} \times 8\text{ch}$) は、チップ間 SFQ パルス伝送回路により、はんだバンプと MCM 基板上の 4Ω MSL を通って SVD チップに伝送される。スイッチチップ上のドライバから SVD チップ上のレシーバまでの MSL はすべてのチャンネルで等長に設計しており、MSL の長さは 15.2mm 、伝搬遅延時間は約 130psec 、共振周波数は約 3.8GHz である。チップ間 SFQ パルス伝送のトータルのスループットは 80Gbps である。

信号やバイアスに使用しないボンディングパッドはすべて GND パッドとした。ボンディングパッドの個数は信号パッドとバイアスパッドと GND パッドを含めて各チップ 372 個である。このうち信号パッドとバイアスパッドの総数はスイッチチップでは 26 個、SVD チップでは 22 個である。スイッチチップ、SVD チップ、MCM 基板のボンディングパッドの表面には、InSn はんだを付着させるために Ti/Pd/Au の 3 層薄膜を成膜する (チップを InSn はんだに液浸すると Au の表面だけにはんだが付着する。第 3 章参照)。クライオプローブの圧着の信頼性を高めるために、MCM 基板のプロービングパッドには厚さ約 $3\mu\text{m}$ の金メッキを施す。

表 5-2 に示すように、スイッチチップは 1,560 接合から構成され、バイアス電流は 205mA 、消費電力は 0.5mW である。一方、SVD チップは 2,930 接合から構成され、バイアス電流は 377mA 、消費電力は 1.0mW である。スイッチ MCM 全体では、接合数は 4,490 個、バイアス電流は 582mA 、消費電力は 1.5mW となった。

5-3: 2×2 スイッチ MCM の試作と測定評価

設計した 2×2 スイッチ MCM を試作した。プロセスは NEC の Nb 標準 II プロセス[37]で J_c を $10\text{kA}/\text{cm}^2$ に高めたものである。図 5-10 の 2×2 スイッチチップ、8ch SVD チップ、MCM 基板のボンディングパッド上に、液浸プロセス[92], [93]により直径 $50\mu\text{m}$ の InSn はんだバンプを形成した。MCM 基板はプロービングパッドに金メッキが施されているため、そのまま InSn に液浸するとプロービングパッドにもはんだが付着してしまう。そのため、MCM 基板のはんだ形成では液

浸の前に前処理を施した。具体的には、MCM 基板のプロービングパッドをレジストでカバーし、80 のホットプレートに MCM 基板を乗せて数分間ベークしてレジストを固める前処理を施した後に、MCM 基板を InSn に液浸させた。InSn はんだバンプ形成後、MCM 基板を有機洗浄してレジストを除去した。このようなプロセスでチップと基板の双方のボンディングパッドに InSn はんだバンプを形成したのち、フリップチップボンダーを用いて、MCM 基板に 2×2 スイッチチップと 8ch SVD チップをフリップチップボンディングし、2×2 スイッチ MCM を試作した。冷凍機システムで高速評価をするための MCM サンプルを見出すために、まず、10kHz での低速機能試験を行った。実験は、スイッチ MCM をセラミックパッケージにワイヤボンディングで実装し、そのセラミックパッケージを測定治具に実装して液体ヘリウムに浸して冷却して行った。図 5-11 はセラミックパッケージに実装された 2×2 スイッチ MCM の写真である。

サンプル番号#1～#12 の 12 個の MCM サンプルを測定したが、#5～#12 の 8 個のサンプルはいずれの出力ピンからも正常な出力を得られなかった。残り 4 つのサンプルのうち、#4 のサンプル

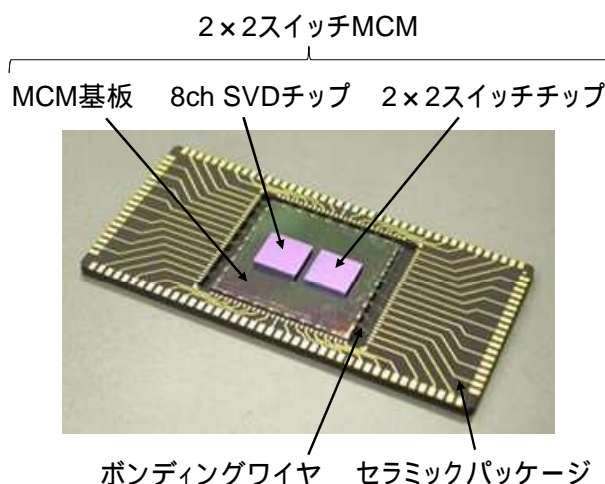


図 5-11. 低速機能試験のためにセラミックパッケージにワイヤボンディングで実装された 2×2 スイッチ MCM。

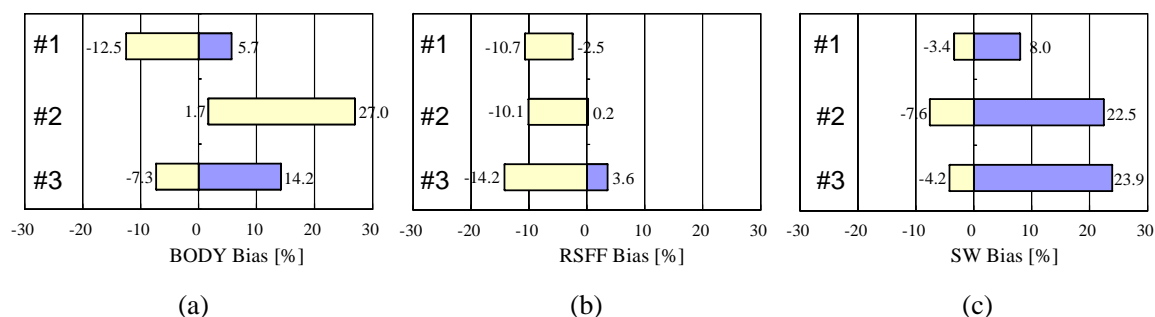


図 5-12. 2×2 スイッチ MCM の低速機能試験のバイアスマージン。(a) BODY バイアス、(b) RSFF バイアス、(c) 2×2 スイッチ回路バイアスのマージン。

は SVD への reset 端子がショートしており測定できなかった。それら以外の 3 つのサンプルのうち、#2、#3 のサンプルでは、1ch だけ SVD が出力せず 7ch の正常動作だけが得られた。その結果、全 bit の正常動作が得られたのはサンプル番号#1 のサンプルだけであった。図 5-12 には、7ch 以上の正常動作が確認されたサンプルのバイアスマージンを示す。図 5-12 で、#2 と #3 は ch6 以外の 7bit から正常な出力が得られるバイアスマージンである。図 5-12 (a)、(b)、(c)はそれぞれ、BODY バイアス、RSFF バイアス、 2×2 スイッチバイアスのマージンである。バイアスマージンはサンプル間のばらつきが大きい。

これら 4 つの MCM サンプルは、冷凍機で評価するために、ボンディングワイヤをピンセットで取り除き、ワイヤ用のパッドと回路への入出力ラインとを接続しているラインをレーザーカッターで切断し、MCM をセラミックパッケージから取り外した。低速機能試験ができなかった#4 のサンプルは、テスターでチェックした結果、ワイヤ用のパッド付近で配線が GND にショートしており、バンプ用ボンディングパッドから回路までの間にはショートが存在しないことが判明した。そのため、サンプル#4 も冷凍機実験の候補サンプルとし、レーザーカッターでワイヤ用パッドを切断してセラミックパッケージから取り外した。

5-4: 2×2 スイッチシステムの試作と測定評価

5-4-1: 2×2 スイッチシステムの 40Gbps 動作実証

試作した 2×2 スイッチ MCM を冷凍機システムのサンプルステージに実装し(図 5-13) 4K に冷却した。図 5-14 は、スイッチシステムの測定系の構成である。シンセサイズド信号発生器 (Synthesized Signal Generator; SG) で発生された 40GHz の正弦波信号をスプリッタで分岐し、一方はバイアス T を用いてオフセットをかけて、40GHz クロックとしてスイッチ MCM に供給した。分岐された 40GHz 信号のもう一方は、4:1 MUX+E/O³⁹に 40GHz クロックとして入力した。4:1 MUX+E/O からは 40GHz クロックに同期した 10GHz クロックが出力され、この 10GHz クロックは 4CH パルスパターン発生器 (Pulse-Pattern Generator; PPG) に入力される。この測定系で 4:1 MUX+E/O は装置に内蔵されている 40GHz の 1/4 プリスケアラのみを用いた。この構成により、40GHz で動作する SG と 10GHz で動作する PPG の同期をとった。40Gbps (10Gbps/ch \times 4ch) の入

³⁹ 4:1 MUXとE/O変換の機能を有する装置である (Anritsu 1806A、カスタム品)。データレートがT/chの4chのパラレル電気データをこの装置に入力すると、入力データは4:1 MUXによりデータレート4Tのシリアルデータに変換される。このデータレート4Tのシリアルデータが変調器をドライブすることにより、変調器からデータレート4Tのシリアル光信号が出力される。なお、変調器への入力光信号の光源はこの装置に内蔵されている。4Tの最大値(公称値)は40Gbpsである。この装置にはさらに1/4プリスケアラが内蔵されており、40GHzのクロックを入力することにより10GHzのクロックを出力させることができる。

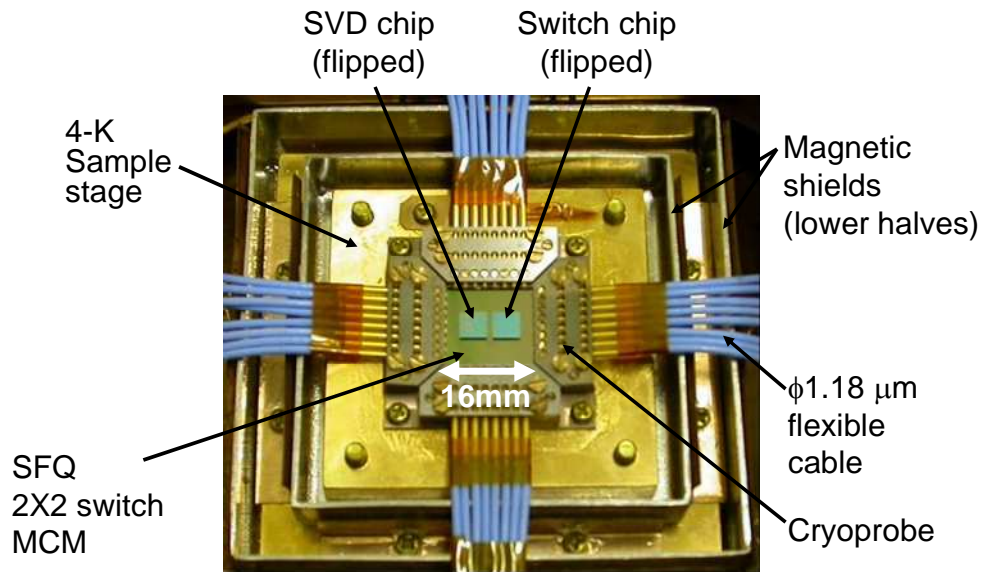


図 5-13. 冷凍機システムのサンプルステージに実装した 2×2 スイッチ MCM。

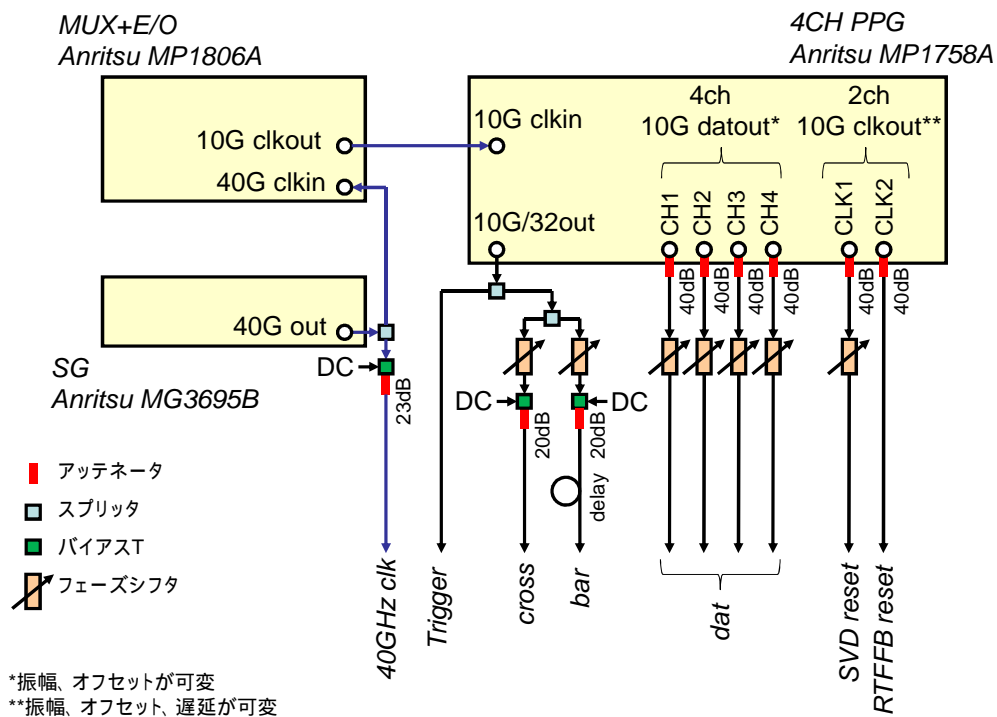


図 5-14. 2×2 スイッチシステムの測定系の構成。SG、PPG はそれぞれ、シンセサイズド信号発生器、パルスパターン発生器である。

力データと、スイッチ回路の制御信号 (*cross*、*bar*) は、4CH の PPG で発生し、スイッチ MCM に供給した。すべての入力データと制御信号のタイミングを室温で微調整するために、可変遅延時間が 140psec、帯域が DC ~ 40GHz のフェーズシフタを用いた。PPG 内で生成される 10GHz クロックを 32 分周した信号 (したがって 312.5MHz の繰り返し信号) をスプリッタで分岐し、一方をオシロスコープのトリガに入力して同期をとり、もう一方はさらにスプリッタで分岐してスイッチ回路の制御信号 *cross* と *bar* として用いた。*bar* を伝送する同軸ケーブルを *cross* よりも長くすることにより、*cross* と *bar* の位相が約 π だけ異なるようにした。これらの制御信号をスイッチ回路に入力することにより、スイッチ回路の状態を約 1.6nsec ごとに切り替える。また、PPG の 2 つの 10GHz クロック出力、CLK1、CLK2 をそれぞれ、SVD の *reset* 信号、RTFFB の *reset* 信号として MCM に供給した。SVD の *reset* 信号のタイミングをフェーズシフタで微調整することによって SVD の出力パルス幅を室温から調整し、高速動作時の BER 低減を図れるようにした。一方、RTFFB の *reset* は 40GHz クロックとの相対的なタイミングを調整する必要があるが、外付けのフェーズシフタを用いずに、PPG の CLK delay (PPG に内蔵されているフェーズシフタ) を調整することによりタイミング調整を行う。これは、RTFFB の *reset* は 40GHz で動作している RTFFB に入力するためタイミングマージンが非常に狭いので、可能な限り歪みの少ない波形を保って RTFFB に入力することが非常に重要であり、そのため PPG と冷凍機システムの間のコネクタの個数を可能な限り減らす必要があるからである。PPG の CLK delay を変化させると、CLK1、CLK2 だけでなく、CH1 ~ CH4 の出力、32 分周出力のすべてのタイミングが変化する。その結果、40GHz クロックと CH1 ~ CH4 の出力などの相対的なタイミングがずれるが、これらの信号は 10Gbps であるため、タイミングマージンが RTFFB の *reset* よりも大きく、顕著な影響はない。BER の最低値を得るための CH1 ~ CH4 出力などの最終的な微調整は、外付けのフェーズシフタを用いて行う。

バイアス電流の供給については、DC 電源装置からチップに流入するノイズを低減するために、フィルタ付きの抵抗ボックスを介して供給した。抵抗ボックスは 100 Ω または 1k Ω の抵抗と 10nF のキャパシタを用いたローパスフィルタになっている。差動供給のバイアスではプラス方向、マイナス方向いずれのバイアスも抵抗ボックスを介して供給した。図 5-15 にスイッチシステムの測定系の写真を示す。40Gbps 高速システム実証の間に測定された冷凍機システムの各ステージの温度を表 5-3 に示す。サンプルステージの温度が 4K 未満であることから、2nd ステージへの熱流入は 1W 未満であると考えられる。また、サンプルステージの温度振動の振幅は 10mK 未満と十分小さく、回路動作への影響は無視できる大きさであった。

図 5-16 は、40Gbps でのスイッチシステムの動作波形である。PPG が 4ch のため、入力はいずれの場合も (*in0_1* ~ *in0_4* の 4ch を入力) *in1* のみの場合 (*in1_1* ~ *in1_4* の 4ch を入力) に分けて行った。図 5-16 (a) の波形では、まず、*bar* が入力され、SFQ スwitch の状態がバーにセットされている。その状態で、40Gbps の入力データ *in0* (10Gbps/ch \times 4ch、各 ch の入力データの bit 長は 11bit) をスイッチシステムに入力している。入力されたデータは、スイッチシステムの *out0* から 40Gbps の信号 (10Gbps/ch \times 4ch) として出力されている。その後、制御信号 *cross* が入力され、SFQ スwitch の状態がクロスにセットされている。その状態で、40Gbps の入力データ *in0* (10Gbps/ch \times 4ch)

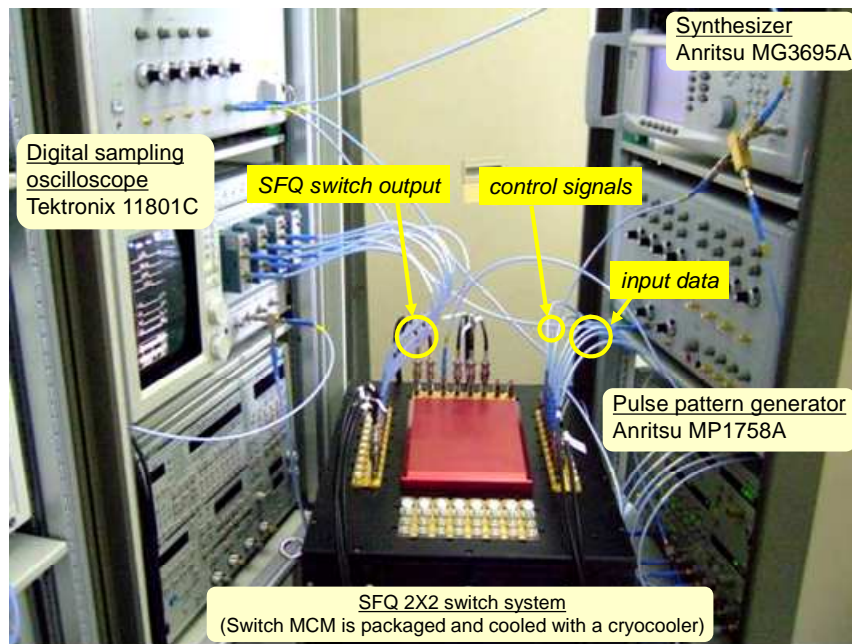


図 5-15. 2×2 スイッチシステムの測定系。

表 5-3. 冷凍機システムの各ステージの温度。

ステージ	温度 [K]
冷凍機 1st ステージ	57.44
冷凍機 2nd ステージ	3.13 - 3.18
4K パネル	5.27 - 5.29
サンプルステージ	3.76 - 3.77

をスイッチシステムに入力している。その結果、入力データはスイッチシステムの *out1* から 40Gbps のデータ (10Gbps/ch \times 4ch) として出力されている。このように、スイッチシステムの 40Gbps の正常動作が確認された。このことから、冷凍機システムで冷却されたスイッチ MCM が基本設計の通りに機能することが実証された。具体的には、制御信号 *bar* (または *cross*) が入力されると、*bar* (または *cross*) の立ち上がりエッジでスイッチチップ上の DC/SFQ が SFQ パルスを 1 個出力し、SFQ スイッチの状態がバー (またはクロス) にセットされ、40GHz の正弦波クロックはスイッチチップ上の DC/SFQ により SFQ パルス列に変換され、入力された NRZ データはスイッチチップ上の NRZ/SFQ で SFQ パルスに変換されたのちに 4:1 MUX により bit 長 44bit の 40Gbps シリアルデータに変換されてスイッチコアの *in0* に入力され、スイッチコアの状態 (バーまたはクロス) に応じて *out0* または *out1* から出力され、1:4 DEMUX によって 10Gbps/ch \times 4ch のデータ

に変換され、チップ間 SFQ パルス伝送回路によって SFQ パルスがはんだバンブと MCM 基板を
って SVD チップに伝送され、SVD チップ上で SFQ パルスが増幅され、さらに冷凍機システムの
1st ステージの GaAs 極低温アンプによって増幅され、室温に出力されるという一連の機能が実証
された。図 5-16 (b)では、*in1* に 40Gbps データを入力した場合の動作が試験されており、*in0* 入力
時と同様に正常動作が確認された。実験ではクロック周波数を 40GHz からさらに高くし、最大で
47Gbps まで正常動作を確認した。図 5-17 は 47Gbps でのスイッチシステムの動作波形であり、
47Gbps のデータが、制御信号に従って、SFQ スイッチ回路により約 1.36nsec ごとに正しく出力先
を切り替えられている。最大周波数 47GHz は実験装置 (MUX+E/O の 1/4 プリスケアラ) で制限
されたものである。表 5-4 に、10Gbps、20Gbps、40Gbps、47Gbps での正常動作が確認されたバイ
アス条件と入力条件を示す。表 5-5 には、これらの周波数でのバイアスマージンと入力マージン
を示す。表 5-5 のマージンは、バイアスと入力を表 5-4 の値に固定し、各バイアスまたは入力のマ
ージンを個別に測定したものである。

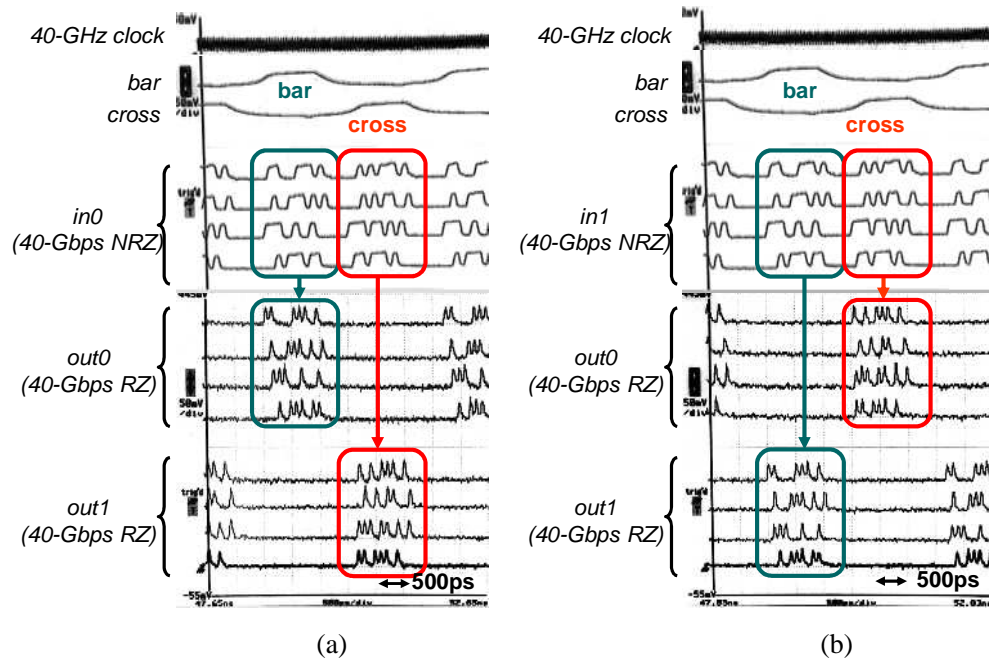


図 5-16. 2×2 スイッチシステムの 40Gbps 動作波形。(a) *in0* 入力時、(b) *in1* 入力時。

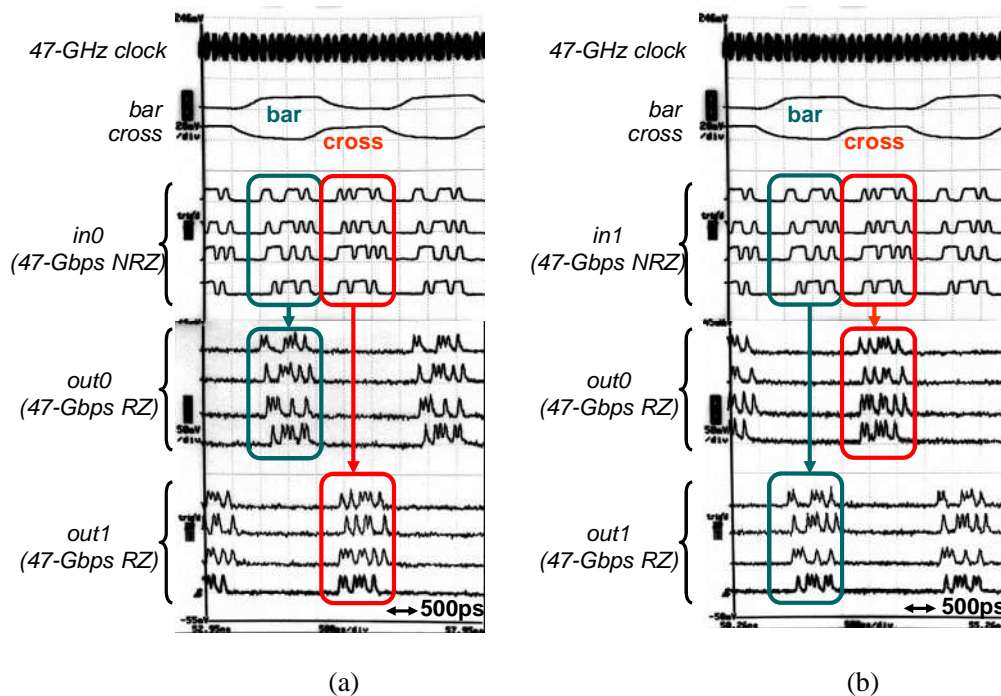


図 5-17. 2×2 スイッチシステムの 47Gbps 動作波形。(a) *in0* 入力時、(b) *in1* 入力時。

表 5-4. 2×2 スイッチシステムの各周波数でのバイアス設定と入力設定。

		10Gbps	20Gbps	40Gbps	47Gbps
SQUID bias [mA]		1.15	1.17	1.14	1.22
VDL_U bias [mA]		2.71	3.40	2.85	3.04
VDL_L bias [mA]		2.73	3.57	3.47	3.63
SW_U bias [mA]		99	97	102	103
SW_L bias [mA]		96	107	105	108
BODY bias [mA]		296	299	300	285
FF bias [mA]		94	95	93	95
DAT Vpp [V]	CH1	0.8	0.8	0.8	0.8
	CH2	0.8	0.8	0.8	0.8
	CH3	0.8	0.8	0.8	0.8
	CH4	0.8	0.8	0.8	0.8
DAT offset [V]	CH1	0	0	0	0
	CH2	0	0	0	0
	CH3	0	0	0	0
	CH4	0	0	0	0
PPG clock delay [ps]		-24	-108	-34	-88
RTFFB reset Vpp [V]		1.4	1.4	1.4	1.8
RTFFB reset Offset [V]		-0.1	-0.1	-0.1	-0.1
SVD reset Vpp [V]		1.4	1.5	1.4	1.8
SVD reset Offset [V]		-0.2	-0.2	-0.2	-0.2
Clk power [dBm]		+3.2	+4.0	+6.5	+8.0
Clk offset [mA]		2.6	2.5	2.1	1.6
Cross offset [mA]		0.74	0.71	0	1.0
Bar offset [mA]		0.30	0.41	0	1.6

表 5-5. 2×2 スイッチシステムの各周波数でのバイアスマージンと入力マージン。

		10Gbps	20Gbps	40Gbps	47Gbps
SQUID bias [mA]		1.15	1.17	1.14	1.22
VDL_U bias [mA]		2.71 ~ 3.41	3.35 ~ 3.55	2.75 ~ 2.86	2.94 ~ 3.11
VDL_L bias [mA]		2.73 ~ 3.53	3.28 ~ 3.70	3.29 ~ 3.52	3.62 ~ 3.76
SW_U bias [mA]		96 ~ 112	92 ~ 98	98 ~ 105	102 ~ 104
SW_L bias [mA]		94 ~ 104	101 ~ 108	102 ~ 107	108 ~ 109
BODY bias [mA]		288 ~ 300	294 ~ 300	292 ~ 302	279 ~ 285
FF bias [mA]		91 ~ 96	90 ~ 95	89 ~ 95	92 ~ 98
DAT Vpp [V]	CH1	0.60 ~ 1.10	0.74 ~ 0.97	0.58 ~ 1.18	0.50 ~ 1.12
	CH2	0.50 ~ 1.18	0.57 ~ 1.15	0.76 ~ 1.20	0.71 ~ 1.01
	CH3	0.63 ~ 1.21	0.64 ~ 1.21	0.57 ~ 1.17	0.60 ~ 1.22
	CH4	0.58 ~ 1.16	0.73 ~ 0.91	0.66 ~ 0.93	0.60 ~ 1.16
DAT offset [V]	CH1	-	-	-	-
	CH2	-	-	-	-
	CH3	-	-	-	-
	CH4	-	-	-	-
PPG clock delay [ps]		-24	-112 ~ -107	-35 ~ -34	-91 ~ -86
RTFFB reset Vpp [V]		1.38 ~ 1.64	1.24 ~ >2.00	1.28 ~ 1.56	1.49 ~ >2.00
RTFFB reset Offset [V]		-0.120 ~ 0.035	-0.16 ~ 0.095	-0.175 ~ -0.045	-0.18 ~ 0.04
SVD reset Vpp [V]		1.08 ~ >2.00	1.10 ~ >2.00	1.13 ~ >2.00	1.31 ~ >2.00
SVD reset Offset [V]		-0.455 ~ 0.53	-0.515 ~ 0.185	-0.365 ~ 0.385	-0.535 ~ -0.275
Clk power [dBm]		-2.1 ~ +4.9	-1.1 ~ +6.9	+3.9 ~ >+12.0	+6.9 ~ >+11.0
Clk offset [mA]		2.3 ~ 2.7	1.20 ~ 2.81	1.91 ~ 2.51	0.7 ~ 2.3
Cross offset [mA]		0.00 ~ 1.34	0.00 ~ 2.00	0.00 ~ 1.53	0.00 ~ 1.60
Bar offset [mA]		0.05 ~ 2.52	0.00 ~ 1.33	0.00 ~ 1.70	1.30 ~ 1.60

5-4-2:2×2 スイッチシステムの 40Gbps 動作時の BER 評価

2×2 スイッチシステムの 40Gbps での BER の評価を行った。図 5-18 に BER 測定の測定系の構成を、図 5-19 に BER の測定系の写真を示す。測定は、スイッチの状態をバーまたはクロスに固定し、*in0* または *in1* に 40Gbps のデータ (10Gbps/ch × 4ch) が入力されているときの各出力ピン (10Gbps/ch) の BER を ED で個別に測定することにより行った。測定を行った入力信号、スイッチの状態、出力信号の組み合わせを表 5-6 に示す。PPG が 4ch のため、入力は *in0* のみの場合 (*in0_1* ~ *in0_4* の 4ch を入力)、*in1* のみの場合 (*in1_1* ~ *in1_4* の 4ch を入力) に分けて行った。入力データは bit 長 $2^{31}-1$ の PRBS を用いた (以下、bit 長 2^n-1 の PRBS を PRBS_n と略記する)。

図 5-20 は、*in0* に 40Gbps データを入力した場合に、ある出力ピンの BER が最低になるように調整したバイアスにおける各出力ピンの BER である。これを便宜上、個別チューンによる BER 測定と呼ぶ。図 5-20 で、例えば Y18-tune (紺色のライン) は、Y18 ピンの BER が最低になるようにスイッチ MCM のバイアスを調整したときの出力ピン Y11 ~ Y18 の BER を示しており、このバイアス条件では Y18 は 10^{-11} 台の低 BER だが、Y14 は 10^{-4} 台の非常に高い BER になることがわかる。つまり、ある出力ピンに着目して BER が最低になるようにバイアスを調整すると、他の出力ピンで非常に高い BER になってしまうことがある。図 5-20 の結果が示すように、個別チューンによる BER 測定の結果、40Gbps で BER が 10^{-11} 台の出力ピンは 3 ピン (Y16、Y17、Y18)。

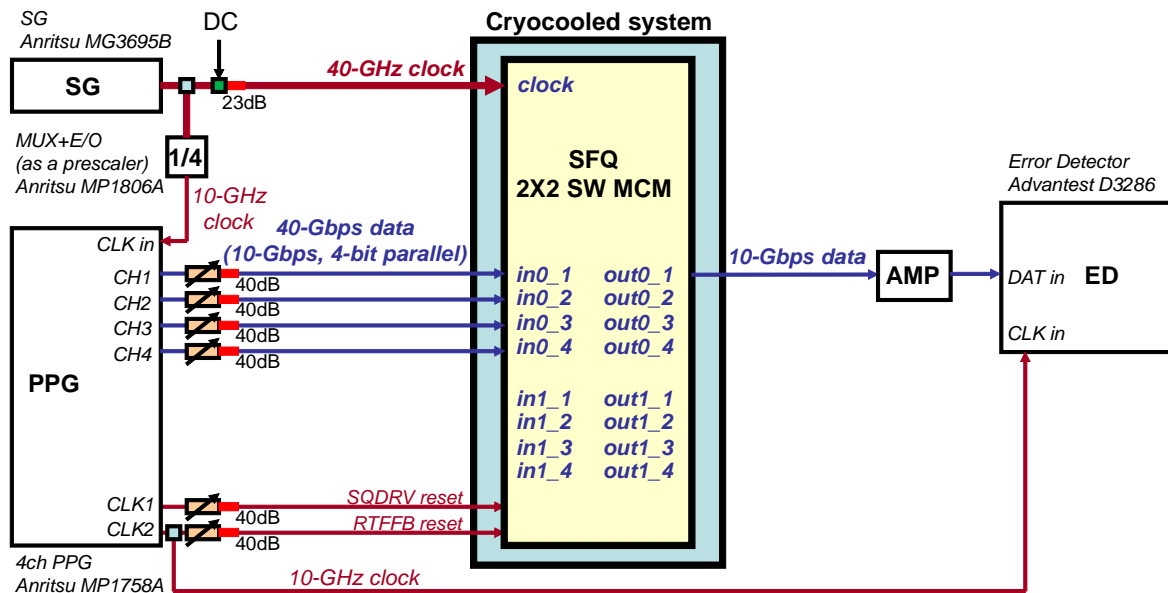


図 5-18. 2×2 スイッチシステムの 40Gbps での BER 評価の測定系の構成図。SG、PPG、ED はそれぞれ、シンセサイズド信号発生器、パルスパターン発生器、エラーディテクタである。図では、*in0_1* ~ *in0_4* にデータを入力し、*out0_1* の出力の BER を測定する場合が例示されている。

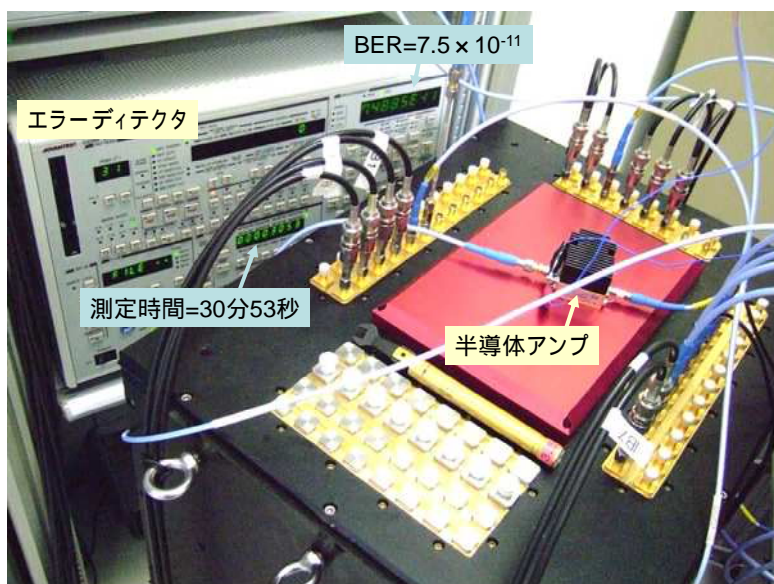


図 5-19. 2×2 スイッチシステムの 40Gbps での BER 評価の測定系の写真。

10^{-10} 台は 2 ピン (Y11、Y12)、 10^{-9} 台は 2 ピン (Y13、Y15)、 10^{-8} 台は 1 ピン (Y14) であった。各出力ピンの BER のばらつきの低減が今後の課題として残る。しかしこの実験から、チップ間 SFQ パルス伝送を含む 5,000 接合程度の SFQ 論理集積回路を MCM 実装した冷凍機システムの 40Gbps 動作でも 10^{-11} 台の低 BER が実現できる可能性が示された。

次に、 10^{-4} 台などの非常に高い BER のピンが発生しないように、すべての出力ピンに着目しながら可能な限りバイアスを調整する実験を行った。この測定を Total チューンによる BER 測定と呼ぶ。この調整はマニュアル操作であり、バイアスや入力を少し変えては各ピンの BER を計測し、さらに調整するという繰り返しの調整のため、必ずしも全体を最適化したものではない。図 5-21 は、個別チューンによって各ピンで得られた最低の BER と Total チューンによる各ピンの BER を示したものであり、図 5-21 (a)は *in0* に 40Gbps データを入力した場合の測定結果、図 5-21 (b)は *in1* に 40Gbps データを入力した場合の測定結果である。Total チューンの場合、各出力ピンの BER は個別チューンの場合よりも高くなる。しかし、Total チューンの結果、*in0* 入力時および *in1* 入力時のクロスおよびバーの状態、つまり表 5-6 に示したスイッチシステムの入力と状態のすべての組み合わせについて、40Gbps スイッチシステムとして同一のバイアス、入力条件下ですべてのピンで 10^{-6} 台以下の BER が得られた。

表 5-6. 2×2 スイッチシステムの BER 測定の概要。

入力 (10Gbps/ch × 4ch)	スイッチの状態	出力信号 (10Gbps/ch)	冷凍機システムの出カピン
<i>in0</i> (<i>in0_1</i> ~ <i>in0_4</i>)	バー	<i>out0_1</i>	Y11
		<i>out0_2</i>	Y12
		<i>out0_3</i>	Y13
		<i>out0_4</i>	Y14
	クロス	<i>out1_1</i>	Y15
		<i>out1_2</i>	Y16
		<i>out1_3</i>	Y17
		<i>out1_4</i>	Y18
<i>in1</i> (<i>in1_1</i> ~ <i>in1_4</i>)	バー	<i>out1_1</i>	Y15
		<i>out1_2</i>	Y16
		<i>out1_3</i>	Y17
		<i>out1_4</i>	Y18
	クロス	<i>out0_1</i>	Y11
		<i>out0_2</i>	Y12
		<i>out0_3</i>	Y13
		<i>out0_4</i>	Y14

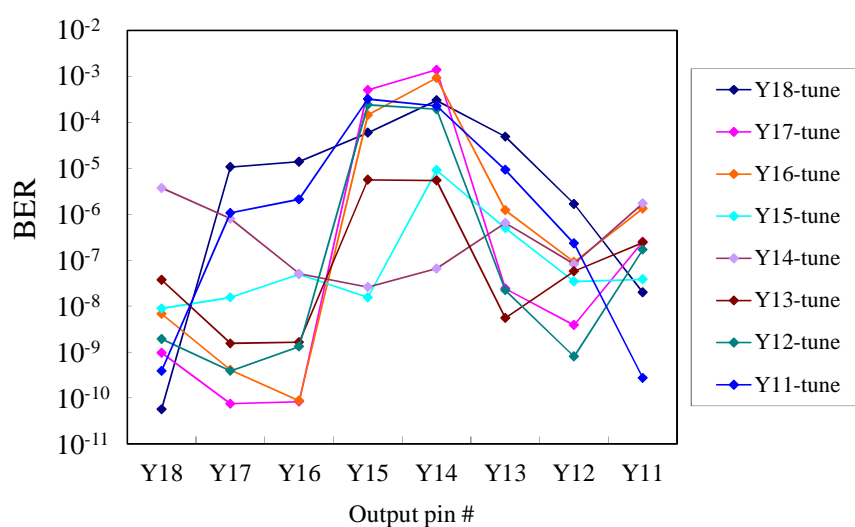


図 5-20. 2×2 スイッチシステムの 40Gbps での BER 評価結果。あるひとつの出力 pin の BER が最低になるように回路のバイアスを調整したときの BER。

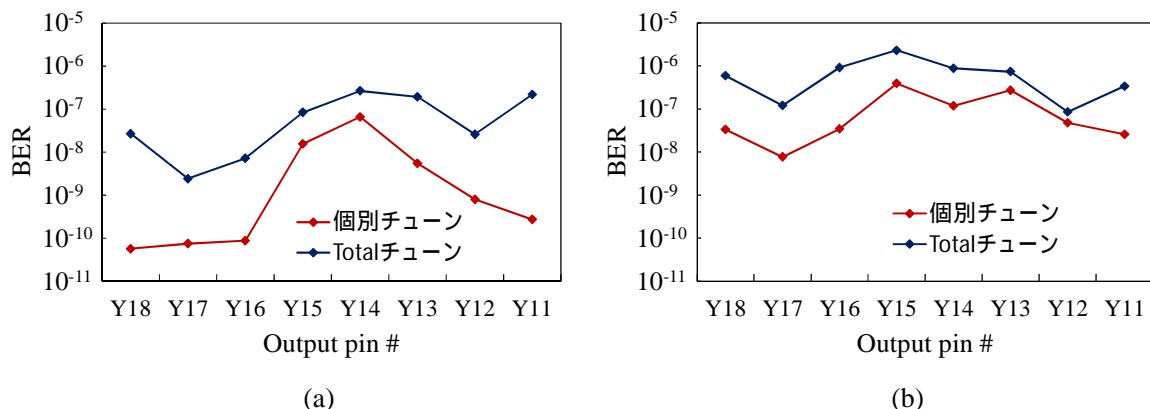


図 5-21. 2×2 スイッチシステムの 40Gbps での BER 評価結果。あるひとつの出力 pin の BER が最低になるように回路のバイアスを調整した結果（個別チューン）と、すべての出力 pin で可能な限り BER が低くなるようにバイアスを調整した結果（Total チューン）が示されている。(a)は $in0$ 入力時、(b)は $in1$ 入力時である。

5-5: 本章のまとめ

第 2 章～第 4 章で開発した SFQ 回路の高速システム化のための要素技術をすべて集積することにより、MCM 実装された SFQ 回路のシステムレベルでの 40Gbps 以上の高速動作を初めて実証した。4:1 MUX と 1:4 DEMUX を SFQ 回路で設計し、40GHz の入出力インタフェースとしてスイッチチップに集積することにより、冷凍機システムの I/O の帯域 (10Gbps/ch) と SFQ スイッチのデータレート (40Gbps) との間のスピードのギャップを解消した。試作したスイッチシステムには、本研究で開発した高速システム化技術、すなわち、PTL 伝送回路、チップ間 SFQ パルス伝送回路、SFQ MCM 設計技術、SVD、冷凍機実装技術に加え、名古屋大学、横浜国立大学、NICT、NEC が共同開発したセルベース設計技術[49]、NEC が開発した $10\text{kA}/\text{cm}^2$ の Nb プロセス技術[37]が、すべて集積されている。試作したスイッチシステムは測定装置の上限周波数である 47Gbps まで動作した。このような高速クロックで、スイッチ MCM がシステムレベルで全ビット動作したのは、本研究で開発した高速システム化のためのすべての要素技術が同時に機能したからである。この実験により、本研究で開発した高速システム化技術とそのインテグレーション技術の有効性を実証した。

第6章：冷凍機システムのトータルスループット向上のための I/O 高速化

前章までで、32本の電気的高速 I/O を実装した冷凍機システムを開発し、SFQ MCM をシステムレベルで 40GHz 以上のクロック周波数で動作させることを可能にした。本研究で開発した冷凍機システムのトータルスループットは 10Gbps \times 32ch であり、これまでに報告されている冷凍機システムの中で最大である。しかし、100GHz を超える高速動作が可能な SFQ 回路のポテンシャルと、この冷凍機システムのトータルスループットの間には依然として大きなギャップがある。具体的には、100Gbps の信号の入力または出力には 10 本の I/O ケーブルを用いなければならない、本研究の冷凍機システムでは 3 つの 100Gbps 信号しか入出力できない。このギャップを埋めるためには、I/O ケーブルの本数を増加させるか、I/O ケーブルの 1 本あたりのスループットを拡大しなければならない。しかしそのどちらも、冷凍機の限られた冷却能力の下で実現することは困難である。

限られた冷却能力のもとでシステムのスループットを増大させるひとつの方法は、光ファイバを I/O リンクに用いることである。光ファイバは広帯域でかつ熱伝導率がほとんど無視できるからである。光ファイバを用いた I/O (以下では光 I/O と呼ぶ) を実現するには、冷凍機の極低温ステージに光インタフェース (Interface; I/F) を実装しなければならない。ここで光 I/F とは、光信号を電気信号に変換するデバイスと、電気信号を光信号に変換するデバイスの総称である。この光 I/O を用いる考えは、Van Zeghbroeck によって最初に提案された[122]。光 I/O のうち、光入力よりも技術的なハードルが低く、SFQ 回路の光入力による高速動作が液体ヘリウム冷却による実験で実証されている[123], [124]。しかし、光出力は依然として技術的に困難である。それは、SFQ 回路の出力信号のエネルギーが光変調器などの光 I/F をドライブするには小さすぎるからである。このことから、冷凍機システムの出力については、光信号ではなく電気信号でさらに帯域を拡大する可能性を検討することが依然として価値のある試みである。

上記の考察に基づき、本章では、冷凍機システムのトータルスループット向上のための I/O 高速化技術として、まず 6-1 節で電気信号による出力のスループット向上のための NRZ 型超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) に関する研究について述べる[125]。次に、6-2 節で光入力による入力のスループット向上に関する研究について述べる[126]。

6-1: NRZ 型超伝導電圧ドライバ

超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) は SFQ 回路の室温への出力のスループットを拡大するための鍵となる重要な回路である。これまでに第4章で設計し、10Gbps での低

BER 動作を実証した SVD は出力信号が RZ フォーマットであった。これと異なり、本章では NRZ フォーマットの信号を出力する SVD を検討する。NRZ 信号の基本周波数は RZ 信号の基本周波数の $1/2$ である（ただし RZ 信号のデューティ比が 50% の場合）ため、原理的には、SVD の出力信号のフォーマットを RZ から NRZ に変えることができれば、本研究で開発した冷凍機システムの出力のスループットを 2 倍の 20Gbps/ch に拡大できる。しかしこれは理想的な場合の話である。文献[101]で NRZ 型 SVD の構成が記述されているが、アイデアのみの記述であり、RZ 型 SVD との比較検討は行われていない。そこで本章では NRZ 型 SVD を設計、試作し、冷凍機システムで冷却してシステムレベルでの高速動作実験を行う。その実験により、NRZ 型 SVD を用いた場合、RZ 型 SVD に比べて冷凍機システムの I/O のスループットをどの程度まで拡大できるのかを明らかにする。

6-1-1: NRZ 型超伝導電圧ドライバの設計

図 6-1 は NRZ 型 SVD の基本構成図である。第 4 章で述べた RZ 型 SVD の前段に真補信号発生回路を配置した。真補信号発生回路はクロック入力 (*clk*) とデータ入力 (*data*) を有し、*data* の *true* と *complement* を出力する。*true* 信号および *complement* 信号はそれぞれ RSFF に *set* 信号および

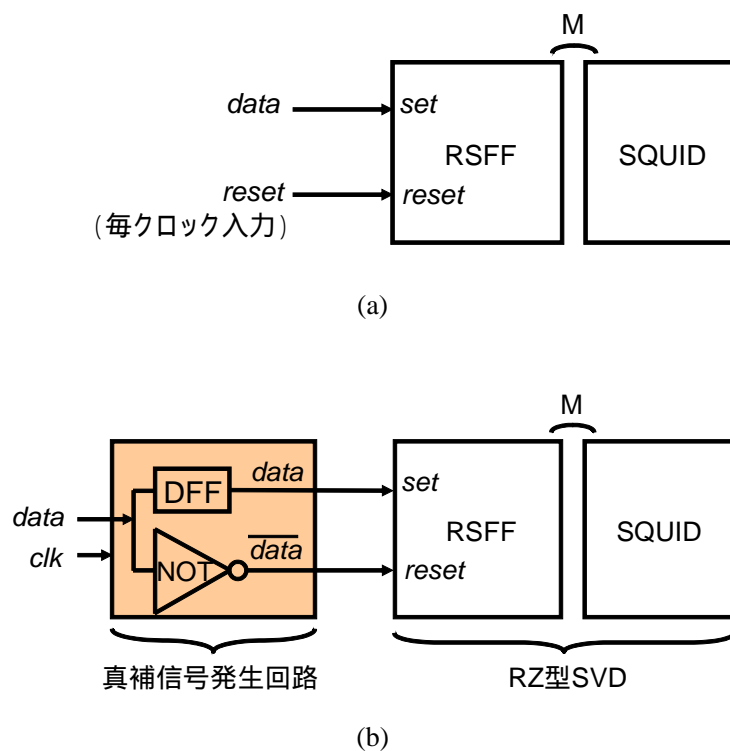


図 6-1. (a) RZ 型 SVD と (b) NRZ 型 SVD の基本構成図。

び *reset* 信号として入力される。図 6-2 に NRZ 型 SVD の動作原理を示す。論理値”1”が NRZ 型 SVD に入力された場合、RSFF の保持ループに磁束量子が保持される。一方、論理値”0”が NRZ 型 SVD に入力された場合、RSFF の保持ループに保持されていた磁束量子は破棄される。一度 RSFF が磁束量子を保持したら論理値”0”が入力されるまで RSFF は磁束量子を保持し続ける。RSFF が磁束量子を保持している間 SQUID が出力電圧を発生するため、NRZ 型 SVD は NRZ フォーマットの出力電圧を出力する。

図 6-3 は、設計した NRZ 型 SVD の回路図である。NRZ 型 SVD は、真補信号発生回路、2 組の 1:16 スプリッタで構成される WSPL、32 個の電流増幅器 (BUF)、16 個の RSFF、直列接続された 16 個の 2 接合 SQUID (出力部) で構成される。出力部は DC バイアスされている。各 SQUID は各 RSFF の保持ループと磁氣的に結合しており、RSFF が磁束量子を保持している間、SQUID が出力電圧を発生する。真補信号発生回路から出力される *true* 信号は WSPL によって 16 個に分岐され、BUF で増幅され、16 個の RSFF に *set* 信号として入力される。一方、真補信号発生回路から出力される *complement* 信号は、WSPL によって 16 個に分岐され、BUF で増幅され、16 個の RSFF に *reset* 信号として入力される。この構成により、図 6-2 で説明した動作原理にしたがって、SFQ パルスを入力すると増幅された NRZ 出力を発生する。

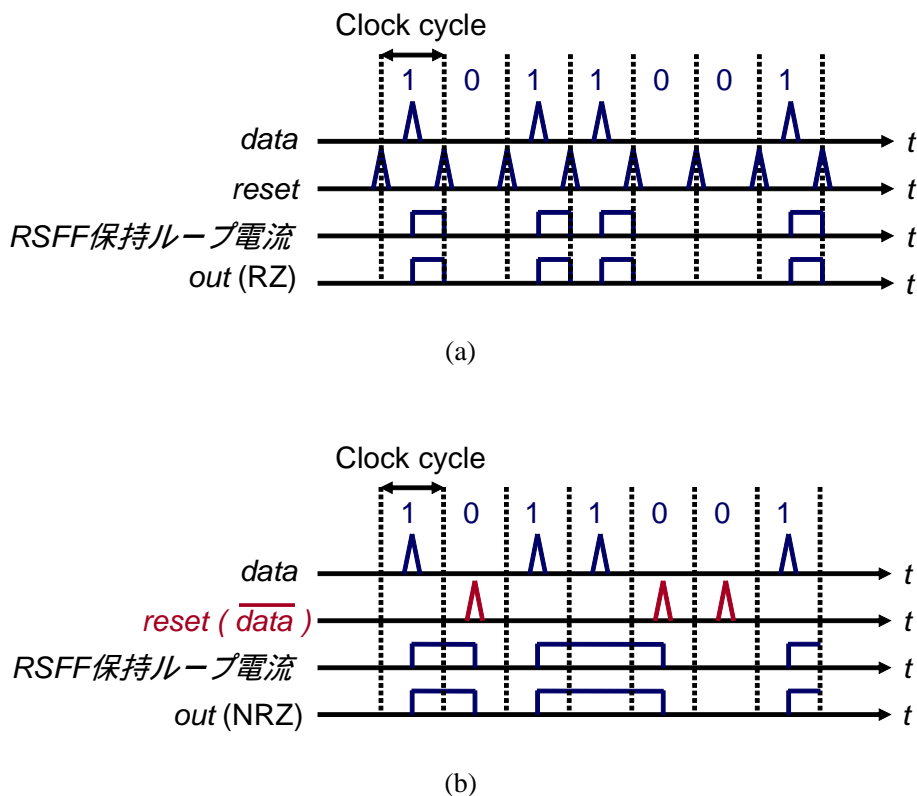


図 6-2. (a) RZ 型 SVD と (b) NRZ 型 SVD の動作原理。

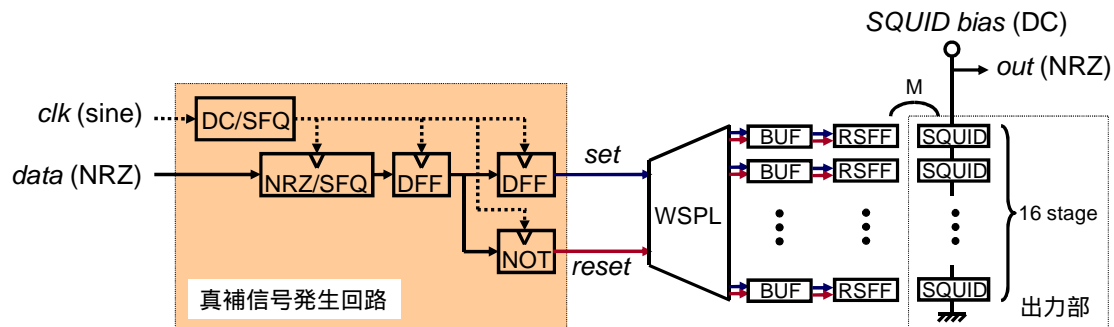


図 6-3. NRZ 型 SVD の回路図。WSPL、BUF はそれぞれ、2 並列 1:16 スプリッタ、電流増幅器である。

表6-1. NRZ型SVDとRZ型SVDとの比較。

	RZ型SVD	NRZ型SVD
接合数	318	400 (-37%) ^a
バイアス電流 [mA]	43.0	52.4 (-39%)
回路面積 [mm ²]	0.20	0.40 (± 0%)
消費電力 [μW]	108	131 (-39%)

^a () 内の数字は、NRZ型SVDのスループットがRZ型SVDの2倍であると仮定した場合の、スループットあたりの接合数をRZ型SVDの接合数に対してパーセンテージで表示したものである。バイアス電流、回路面積、消費電力の () 内の数字も同様である。

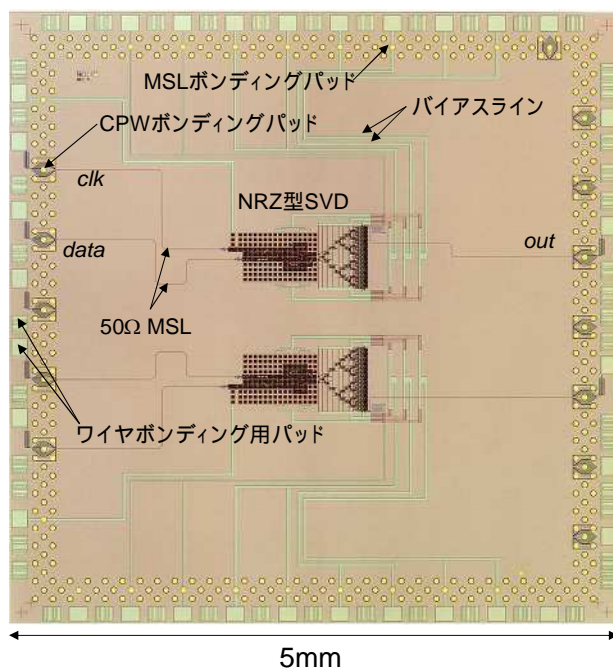
NRZ 型 SVD の真補信号発生回路以外の部分は第 4 章の RZ 型 SVD (図 4-16、図 4-17) と同じである。一方、真補信号発生回路は論理回路であり、セルベース設計[49]で設計した。回路のレイテンシを短くするために、クロッキングはクロック・フォロワー・データ方式を用いた。NRZ 型 SVD のターゲット周波数は RZ 型 SVD の 2 倍の 20Gbps である。RZ 型 SVD と比較するために、RZ 型 SVD と同じ $J_C=10\text{kA}/\text{cm}^2$ で設計し、接合のシャント抵抗 R の値は $I_C R=0.88\text{mV}$ となるように設計した。また、 $J_C=10\text{kA}/\text{cm}^2$ の論理セルは、CONNECT セルライブラリの論理セル ($J_C=2.5\text{kA}/\text{cm}^2$) の接合面積を縮小し、接合のシャント抵抗 R の値を $I_C R=0.88\text{mV}$ を満たすように修正することにより設計した。

表 6-1 に、NRZ 型 SVD と RZ 型 SVD との比較を示す。表に示したように、NRZ 型 SVD のスループットが RZ 型 SVD の 2 倍になると仮定した場合、スループットあたりの NRZ 型 SVD の接合数、バイアス電流、消費電力は、RZ 型 SVD に比べてそれぞれ 37%、39%、39%削減できる。さらに、NRZ 型 SVD は、スループットあたりの I/O ケーブルの本数を RZ 型の 1/2 に削減できる。これらが NRZ 型 SVD の RZ 型に対する理論上の優位性である。

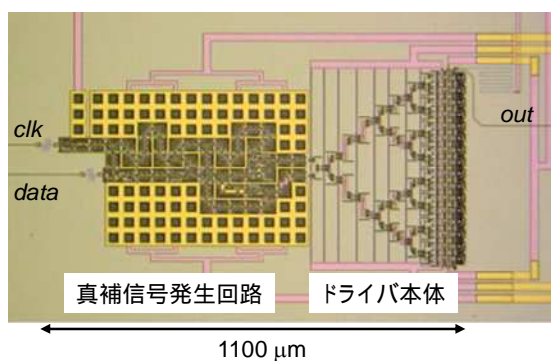
6-1-2:NRZ 型超伝導電圧ドライバの測定評価

6-1-2-1:低速機能試験

NRZ 型 SVD の評価チップを設計、試作した。チップの試作には NEC の Nb 標準 II プロセス[37]と同じデバイス構造で J_C を $10\text{kA}/\text{cm}^2$ に高くしたプロセスを用いた。図 6-4 (a)に評価チップの顕微鏡写真を、図 6-4 (b)に NRZ 型 SVD の顕微鏡写真を示す。評価チップのサイズは $5\text{mm} \times 5\text{mm}$ で



(a)



(b)

図 6-4. 試作した NRZ 型 SVD の(a)評価チップと(b)評価回路の顕微鏡写真。

ある。図 6-5 には、NRZ 型 SVD のバイアス設計を示す。各バイアス電流値は表 6-2 の通りである。評価チップは、液体ヘリウム冷却による低速機能試験を行うためのワイヤボンディング用パッドと、冷凍機システムによる高速動作評価を行うためのフリップチップ接続用ボンディングパッドの両方を設けた。後述するように、低速評価は、評価チップをワイヤボンディングでセラミックパッケージに実装して液体ヘリウム冷却により行う。一方、高速評価は、レーザーカッターを用いてボンディングワイヤ用パッドを信号線から切り離し、フリップチップ接続用ボンディングパッドにはんだバンプを形成して評価チップを MCM 基板にフリップチップ実装し、冷凍機システムで冷却して行う。チップのインピーダンス設計は第 5 章での設計指針を踏襲している。具体的には、フリップチップ接続用ボンディングパッドは、高速 I/O 信号には CPW 型を使用し、それ以

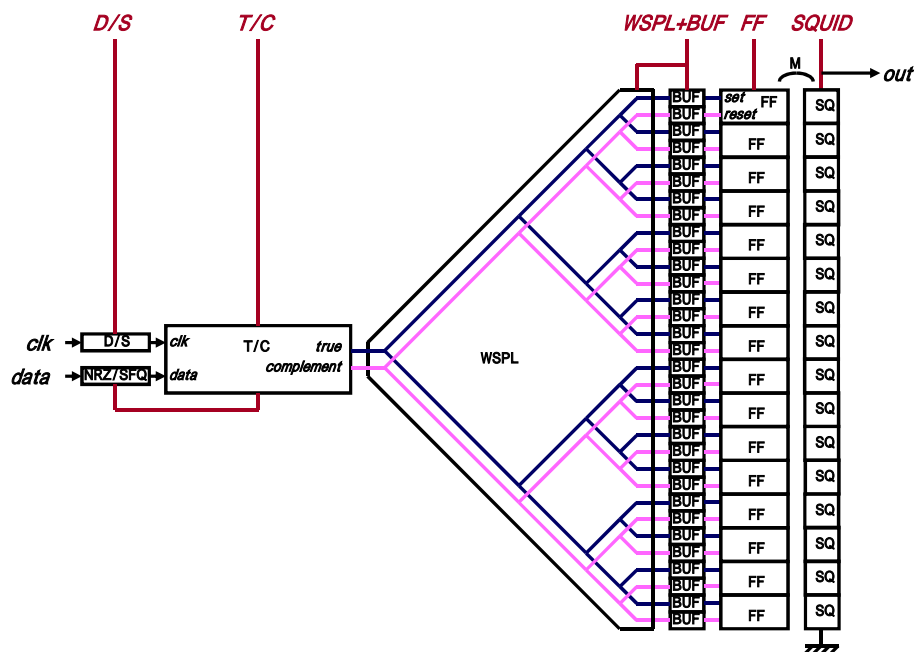


図 6-5. 試作した NRZ 型 SVD の評価回路のバイアス設計。D/S、T/C はそれぞれ、DC/SFQ コンバータ、真補信号発生回路である。

表6-2. NRZ型SVDのバイアス電流値。

バイアス名	電流値 [mA]
D/S	0.4
T/C ^a	15.6
WSPL+BUF	18.0
FF	18.2
SQUID	0.16
計	52.4

^a T/Cは真補信号発生回路のバイアスである。

外のバイアス等では MSL 型を用いた。また、SVD の出力端子には直接 50Ω MSL が接続されており、終端抵抗は用いていない。さらに、DC/SFQ と NRZ/SFQ の入力端子には 50Ω の整合抵抗を直列に接続した。図 6-6 に、この評価チップをフリップチップ接続して SFQ モジュールを作成するための MCM 基板の顕微鏡写真を示す。

まず、 10kHz の低速クロックで評価回路の機能試験を液体ヘリウム中で行った。図 6-7 に示すように、NRZ 型 SVD の正常動作が確認された。SVD の出力波形は、 50Ω 負荷での SVD の出力電圧を測定するためにオシロスコープの入力インピーダンスを 50Ω にして測定した。図 6-8 に測定されたバイアスマージンを示す。図 6-9 には SVD の出力電圧の SQUID バイアス依存性を示す。 50Ω 負荷に対する出力電圧は最大 2.4mV であり、冷凍機システムの極低温 GaAs アンプの低 BER 動作に必要な 2mV 以上の出力電圧を得られた。

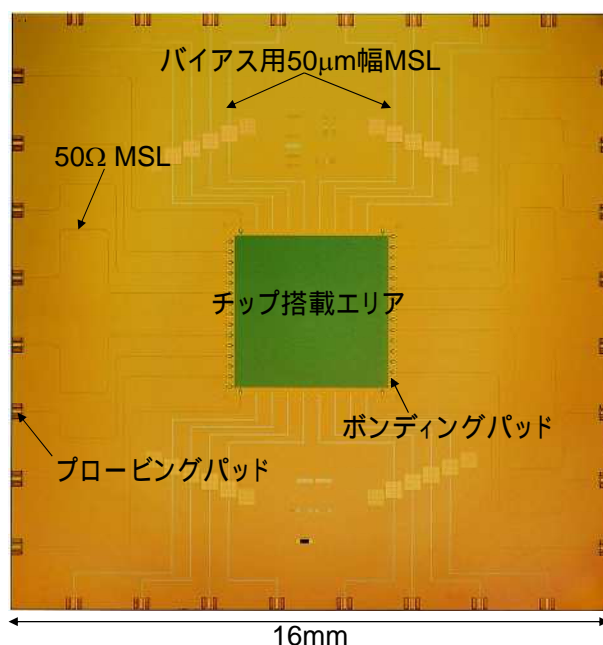


図 6-6. 試作した 1 チップ用の MCM 基板。

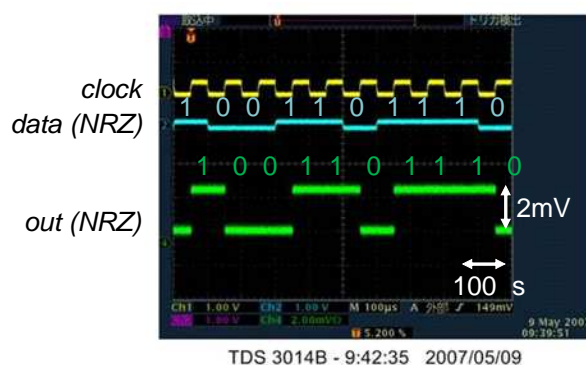


図 6-7. NRZ 型 SVD の 10kHz での機能試験の動作波形。

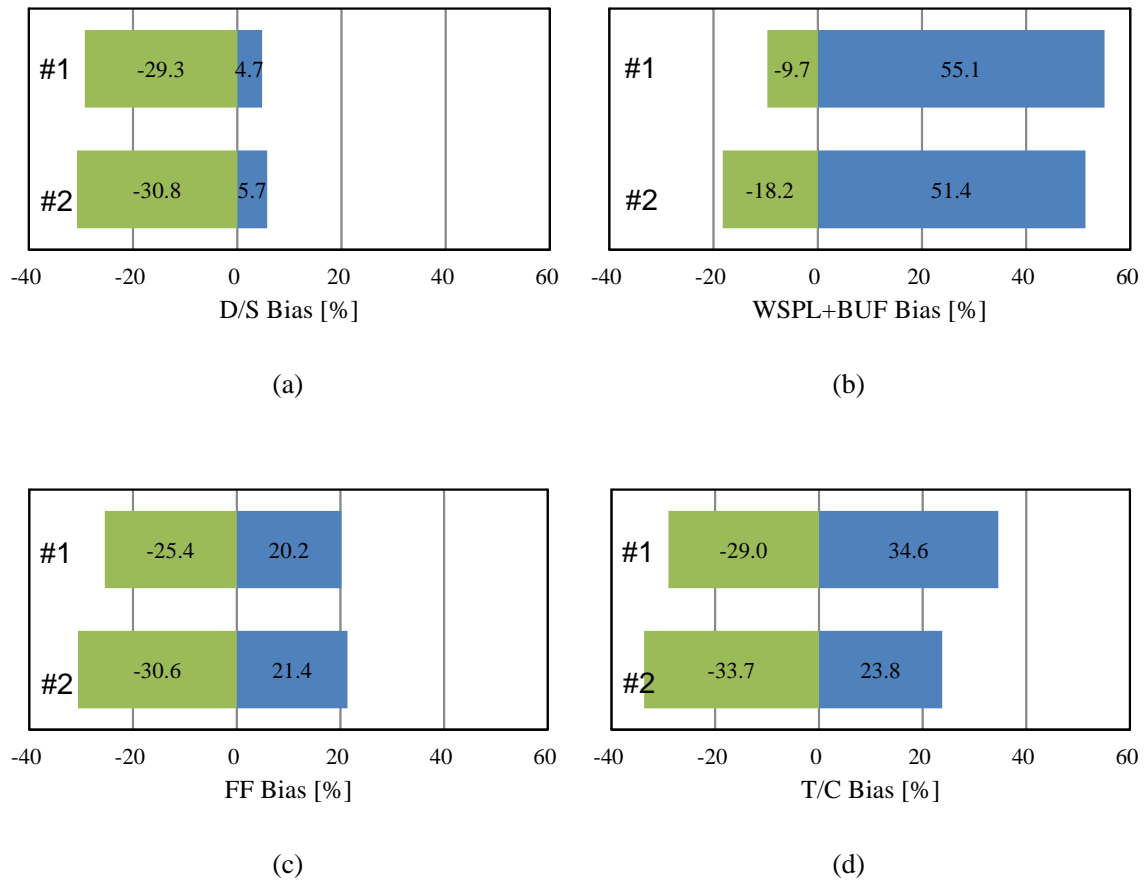


図 6-8. NRZ 型 SVD の 10kHz でのバイアスマージンの測定結果。それぞれ、(a) D/S バイアス、(b) WSPL+BUF バイアス、(c) FF バイアス、(d) T/C バイアスのマージン。#はサンプル番号である。

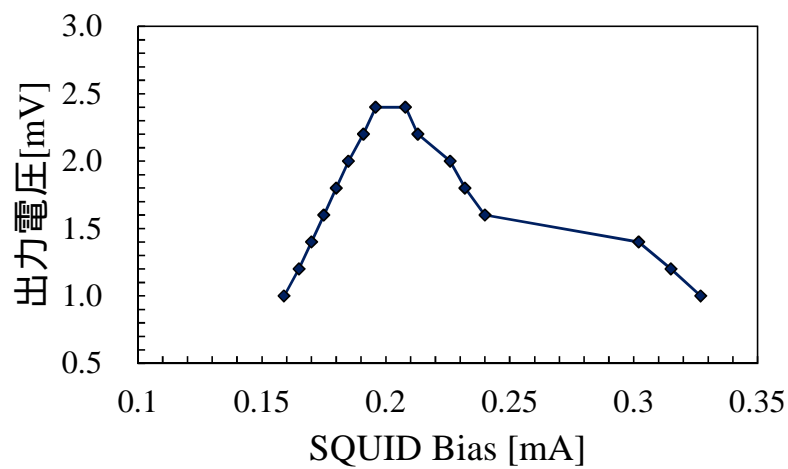


図 6-9. NRZ 型 SVD の 10kHz での出力電圧の SQUID バイアス依存性の測定結果。

6-1-2-2: 冷凍機システムで冷却された NRZ 型超伝導電圧ドライバの高速動作実証

次に冷凍機システムを用いた高速動作実験を行った。テストサンプルは、図 6-4 (a)の評価チップのワイヤボンディング用パッドをレーザーカッターで切断し、図 6-6 の超伝導 MCM 基板に直径 50 μm の InSn はんだでフリップチップボンディングして作製した。このテストサンプルを冷凍機システムに実装し、4K に冷却し、ターゲット周波数である 20Gbps 以上の高速での動作実験を行った。図 6-10 は、20Gbps 以上での実験のために構築した測定系である。所有しているパルスパターン発生器 (Pulse Pattern Generator; PPG) の最大周波数が 12.5Gbps/ch であり、エラーディテクタ (Error Detector; ED) の最大周波数が 12Gbps であるため、20Gbps の測定を行うためには入力データのシリアル化と、NRZ 型 SVD からの出力データの平行化が必要である。そのためには通常、室温部にマルチプレクサ (Multiplexer; MUX) とデマルチプレクサ (Demultiplexer; DMUX) を用いる。本研究でも通常の方法に従い、室温部で 2:1MUX を用いて PPG からの 2ch の 10Gbps/ch のデータをシリアル化し、20Gbps/ch のシリアルデータを生成した。しかし、20Gbps の 1:2 DEMUX を所有していなかったため、図 6-11 に示す 2 段階測定を考案した。この 2 段階測定の構成と測定方法を説明する。図 6-10 に示すように、SVD からの 20Gbps/ch の出力信号と、PPG の 10GHz のクロック信号を ED に入力する。この構成により、SVD の出力信号を、2 クロックサイクルに 1 回、ED でサンプリングし、期待値パターンと比較する。この測定を第一ステップの測定と呼ぶ (図 6-11 の 1st measurement)。この第一ステップの測定で ED によりサンプルされたビットの数を N_1 とし、期待値と異なっていたエラービットの個数を N_{e1} とする。次に、クロック信号を 20Gbps の 1 クロックサイクル分 (50psec) だけシフトする⁴⁰。そして再び、2 クロックサイクルに 1 回、SVD の出力信号を ED でサンプリングして期待値パターンと比較する。これを第二ステップの測定と呼ぶ (図 6-11 の 2nd measurement)。この第二ステップの測定で ED によりサンプルされたビットの数を N_2 とし、期待値と異なっていたエラービットの個数を N_{e2} とする。最後に、20Gbps でのトータルの BER を、

$$BER = \frac{N_{e1} + N_{e2}}{N_1 + N_2} \quad (6-1)$$

と算出する。この 2 段階測定では、スループット T 、ビット長 2^n-1 の PRBS データを 1bit おきにサンプルして得られるビット列が、スループット $T/2$ 、ビット長 2^n-1 の PRBS データになるという PRBS の性質を利用している。この PRBS の性質により、第一ステップの測定も、第二ステップの測定も、期待値パターンは入力パターンと同一である。図 6-11 から分かるように、この 2 段階測定は、SVD の 20Gbps シリアルの出力信号を、1:2 DEMUX で 10Gbps/ch \times 2ch に平行化し、

⁴⁰ この操作は ED に内蔵されているデジタルのフェーズシフタで ED への入力クロックと入力データの相対遅延をずらすことにより行った。

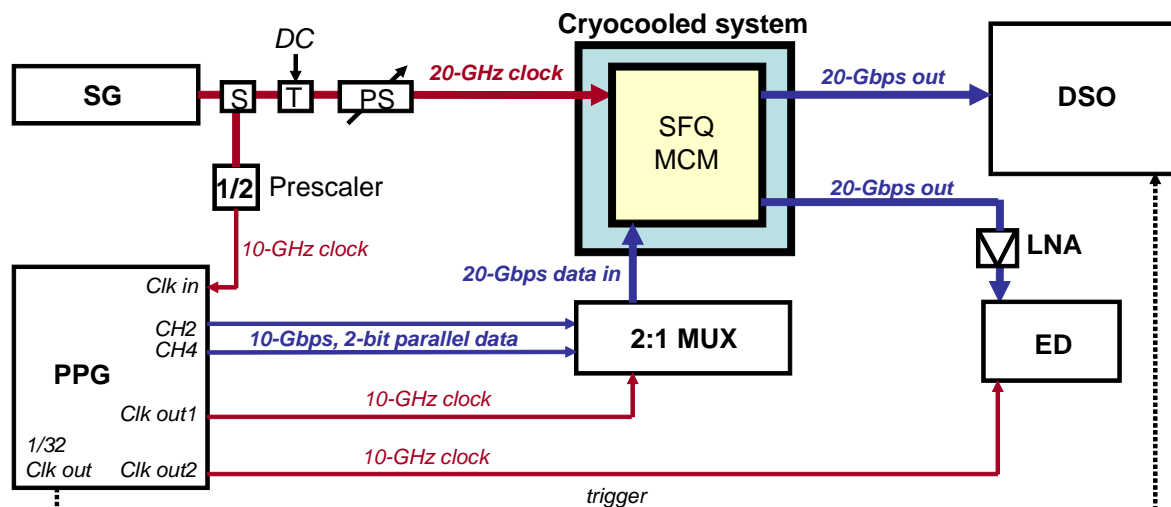


図 6-10. 20Gbps 以上の高スループットでの測定系。SG、PPG、MUX、ED、DSO、LNA、S、T、PS はそれぞれ、シンセサイズド信号発生器、パルスパターン発生器、マルチプレクサ、エラーディテクタ、デジタルサンプリングオシロスコープ、ローノイズアンプ、スプリッタ、バイアス T、フェーズシフタを示す。

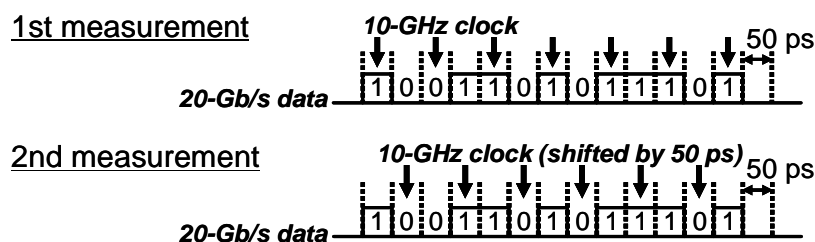


図 6-11. 2 段階測定。

2 回に分けて BER を測定しているのと等価である。つまり 2 段階測定では ED に 1:2 DEMUX とエラー検出の 2 つの役割を行わせている。この方法により、20Gbps 未満の計測器を用いて 20Gbps の BER 測定を実現した。ただし後述するように、ED のデータ入力帯域が 12GHz なので、20Gbps データを ED に入力すると高周波成分が大きく減衰し、BER が高くなる可能性が考えられる。なお、SVD の出力波形を観測する場合は、図 6-10 に示したように、SVD の出力をデジタルサンプリングオシロスコープに接続して観測する。この場合、PPG の 32 分周クロックをデジタルサンプリングオシロスコープのトリガに用いる。

図 6-12 は、図 6-10 の測定系により 10Gbps、20Gbps、25Gbps で測定された NRZ 型 SVD の出力波形とアイ・パターンである。クロック信号はシンセサイズド信号発生器 (Synthesized Signal Generator; SG) から供給した。室温のクロックラインにバイアス T を挿入し、正弦波クロックの

オフセットを調整し、DC/SFQ のバイアスマージンが最大になるようにした。入力データとクロックとのタイミングを調整するため、室温のクロックラインにフェーズシフタを挿入した。図 6-12 に示したように NRZ 型 SVD は 25Gbps (12.5Gbps の PPG を用いた図 6-10 の測定系の上限) まで正常動作した。図 6-12 のアイ・パターンは bit 長 $2^{31}-1$ の PRBS を入力して測定した (以下、bit 長 2^n-1 の PRBS を PRBSn と略記する)。アイはクリアに開いており、25Gbps でも低い BER で動作していることを示している。

次に、図 6-11 の 2 段階測定を用いて、NRZ 型 SVD の BER 測定を 20Gbps で行った。ED の入力帯域が 12GHz と狭いため、SVD からの 20Gbps の出力信号の高周波成分は ED の入力端子で著しく減衰していると考えられる。そのような状況であるにもかかわらず、図 6-13 に示したように PRBS7 の入力で測定された BER は最低で 1×10^{-13} 以下であった。BER が 10^{-12} 以下になる SQUID バイアスのマージンは $\pm 1.6\%$ であった。BER 測定を 24Gbps (12Gbps の ED を用いた 2 段階測定の上限) まで行った。24Gbps での PRBS7 入力により測定された BER は 10^{-7} のオーダーであった。この高い BER の原因は ED の入力帯域が 12GHz と低いことであると考えられる。

以上述べたように、SFQ パルスの入力を受けて約 2mV の NRZ 信号を出力する SVD の 25Gbps/ch までの動作を実証した。25Gbps では測定装置 (ED) の制約で BER を測定できなかったが、クリアに開いたアイは、25Gbps においても低い BER で NRZ 型 SVD が動作していることを示してい

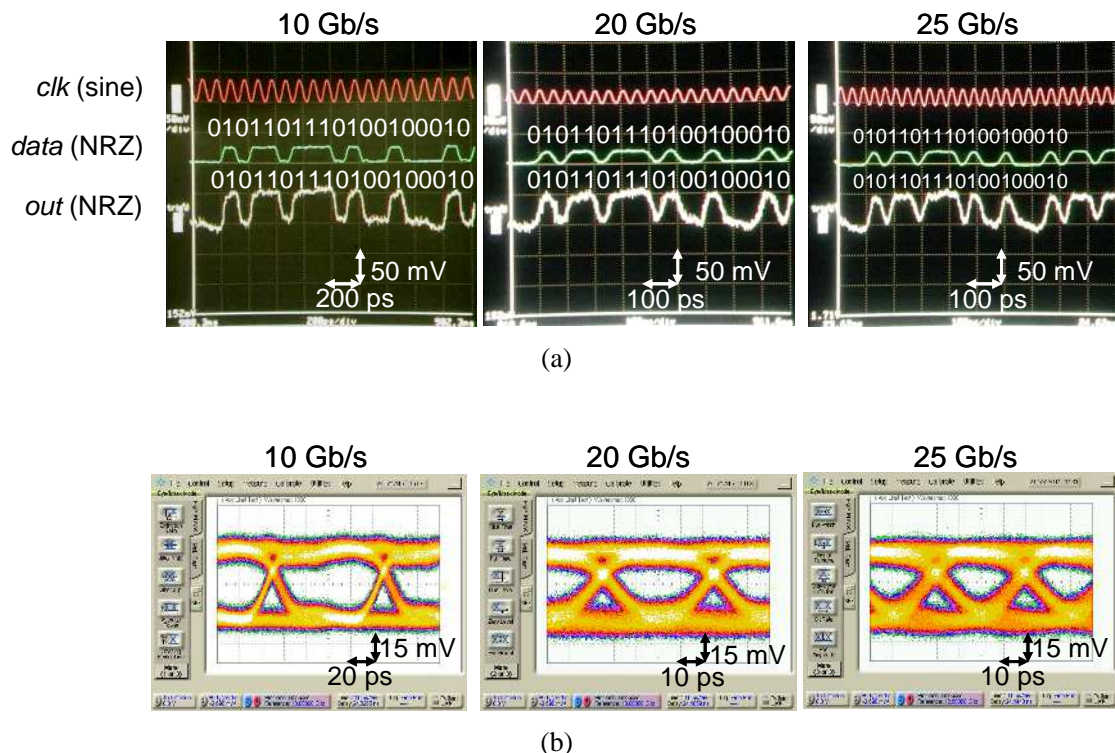


図 6-12. 10Gbps、20Gbps、25Gbps で測定された NRZ 型 SVD の(a)出力波形と(b)アイパターン。(b)のアイパターンには、測定された 1,000 個の波形が重ね合わされている。

る。この実験により、RZ 型 SVD を用いた場合に比べて冷凍機システムの I/O のスループットを 2 倍以上に拡大できることを明らかにした。また、NRZ 型 SVD は 25Gbps/ch で動作可能であるので、4 個の NRZ 型 SVD と 1:4 DEMUX を用いることにより 100Gbps の出力 I/F を実現できる。第 5 章で設計した 4:1 MUX と 1:4 DEMUX において、クリティカルなタイミング制約は 1:4 DEMUX の入力段の D2FF で発生するが、D2FF の setup 時間と hold 時間の合計は 0.1psec と無視できるほど短く、同一の構成の MUX と DEMUX は $J_C=10\text{kA}/\text{cm}^2$ で 100Gbps 動作させることが原理的に可能である（実際、D2FF と同程度の setup 時間と hold 時間を有する DFF を用いて $J_C=10\text{kA}/\text{cm}^2$ で設計、試作されたシフトレジスタが 120GHz で実証されている[38]）。図 6-14 に、本研究により実現可能になった 100GHz SFQ システムの構成を示す。

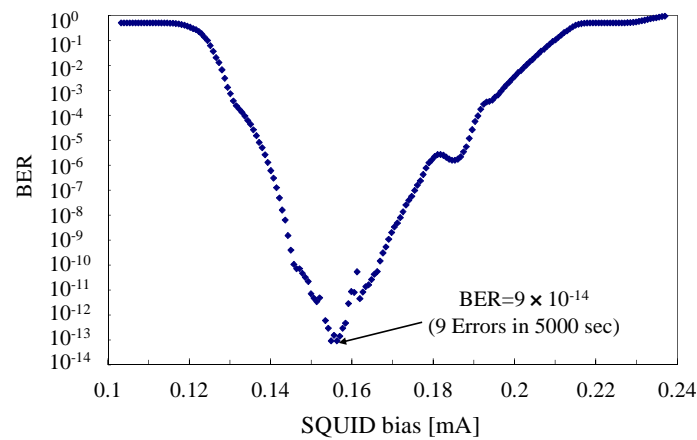


図 6-13. 20Gbps 動作時の NRZ 型 SVD の BER の SQUID バイアス依存性。

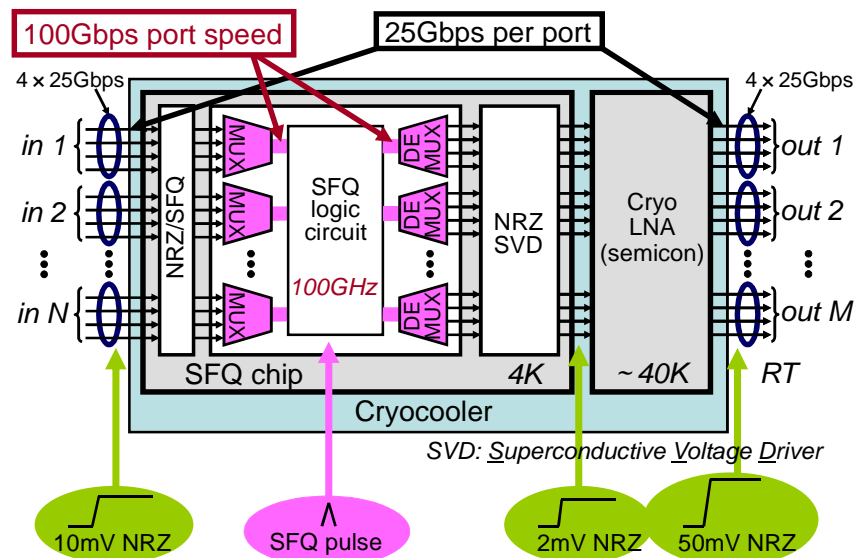


図 6-14. 100GHz SFQ システムの構成。

6-2: 極低温光入力インタフェイス

本節では、冷凍機システムの入力のスループット向上のための極低温光入力 I/F と、光データ入力による SFQ 回路の冷凍機システム動作実証について述べる。これまでに、光データ入力による SFQ 回路の動作実証がいくつか報告されている[123], [124]。文献[123]では、GaAs の金属-半導体-金属フォトダイオード (Metal-Semiconductor-Metal Photodiode; MSM-PD) を 4K での光/電気 (O/E) 変換に用いており、フラックス量子化器の後段に $1/2^{12}$ の周波数デバイダを接続した超伝導回路が光信号入力により 6GHz まで実証されている (室温への出力信号は $1/2^{12}$ に分周されているので 1.5Mbps である)。文献[124]では、Si の MSM-PD を 4K での O/E 変換に用いており、JTL の光信号入力による動作が、JTL を構成するジョセフソン接合の平均電圧を測定することにより 20.6GHz まで実証されている。しかしながら、これらの報告は、液体ヘリウム中で、かつ、低速出力でしか実証されていない (つまり SFQ 回路の高速動作はチップ上でしか実証されていない)。また、実証された動作周波数は最大で 20.6GHz であり SFQ 回路が有するポテンシャルよりも低い。さらに、高速動作時に重要な要素となる BER の評価も行われていなかった。本研究では、冷凍機システムに極低温 O/E 変換モジュールと光ファイバを実装することにより、光入力を有する冷凍機システムを構築する。その光入力冷凍機システムを用いて、極低温環境下で 40Gbps で動作させた場合の O/E 変換モジュールの特性を明らかにするとともに、光入力による SFQ 回路のシステムレベルでの 40GHz 動作が可能であるか、また、そのときの BER はどの程度なのかを明らかにする。

本研究では、極低温での O/E 変換デバイスとして、100GHz 級の高速動作が可能で、市販品の入手が可能な単一走行キャリアフォトダイオード (Uni-traveling-carrier Photodiode; UTC-PD [127]) を選択した。UTC-PD モジュールを冷凍機システムの 4K パネルに実装し、光ファイバを実装することにより、室温から入力した光信号を冷凍機システムの 4K パネルで O/E 変換できるように改造した。さらに、UTC-PD の出力信号を SFQ パルスに変換するための PD/SFQ インタフェイス回路を開発した。これらを集積することにより、SFQ 回路のシステムレベルでの光信号入力による高速動作を可能にした。以下では、光入力 SFQ システムの設計と実験結果について述べる。

6-2-1: 冷凍機システムで冷却された UTC-PD の 40Gbps 動作の測定評価

第 4 章で開発した冷凍機システムに光入力リンクを追加した。まず 4K パネルに UTC-PD モジュール⁴¹を実装した。さらに、室温光 I/O ポート (ハーメチック FC 光コネクタ) を実装し、室温光 I/O ポートと UTC-PD モジュールをシングルモード光ファイバで接続した。また、室温バイア

⁴¹ この UTC-PD モジュールは、ISTEC、NTT エレクトロニクス、ADVANTEST が極低温用に開発したものを提供していただいた。モジュール開発の詳細については文献[128]に記載されている。

スポートも実装し、室温バイアスポートから UTC-PD へのバイアス供給ケーブルも実装した。

UTC-PD の極低温での 40Gbps 動作時の特性評価を行った。冷凍機システムの 4K パネルに実装した UTC-PD モジュールの電気出力信号を室温で観測するために、図 6-15 に示したように、UTC-PD モジュールの出力端子と冷凍機システムの超高速室温電気 I/O ポートとを、UTC-PD 出力伝送用の $\phi 1.19\text{mm}$ 、長さ 51cm の Cu のフレキシブル同軸ケーブルで接続した。UTC-PD の出力は NRZ であるため、40Gbps 動作させた場合、出力信号の基本周波数は 20GHz である。したがって出力ケーブルは最低でも 3 次高調波の周波数 (60GHz) の帯域を有することが必要であり、5 次高調波の周波数 (100GHz) の帯域を有することがより望ましい。そのため、UTC-PD 出力伝送用ケーブルには、帯域 (公称値) が 110GHz の 1mm コネクタを用いた。この構成により、室温光入力ポートから冷凍機システムの 4K パネルの UTC-PD に 40Gbps の光信号を入力し、UTC-PD の 40Gbps 出力電気信号を室温の計測器で計測する。UTC-PD 出力信号伝送用ケーブルの S21 を冷凍機システムで冷却して測定した結果、20GHz (40Gbps の NRZ データの基本周波数) での損失は約 2dB であった。VNA の上限周波数が 40GHz であったため、40Gbps NRZ データの 3 次高調の周波数である 60GHz での損失は測定できていないが、40Gbps 信号の損失の目安として 2dB と見積もった。この損失の目安を、後述する SFQ 回路の高速動作実験の際に用いる。

図 6-16 に測定の設定アップを示す。シンセサイズド信号発生器 (Synthesized Signal Generator; SG) から 40GHz の正弦波クロックを発生し、4:1 MUX+E/O の 40GHz クロック入力に入力した。4:1 MUX+E/O 内で生成される 1/4 クロック (10GHz) を 4ch PPG の 10GHz クロック入力に入力した。この構成により、SG と PPG と 4:1 MUX+E/O の同期をとった。PPG から 10Gbps/ch \times 4ch のデータ信号を発生し、4:1 MUX+E/O に入力した。4:1 MUX+E/O は入力されたデータを 40Gbps シリアル電気データ信号に変換し、さらに、40Gbps の光データ信号に変換して出力する。40Gbps シリアルの光データ信号は光アンプで増幅し、その後段で光可変アッテネータを用いて減衰させて、冷凍機システムの室温光入力ポートから光ファイバを通して 4K パネルの UTC-PD に入力した。ここで光可変アッテネータは、UTC-PD に入力する光データ信号のパワーを調整するために

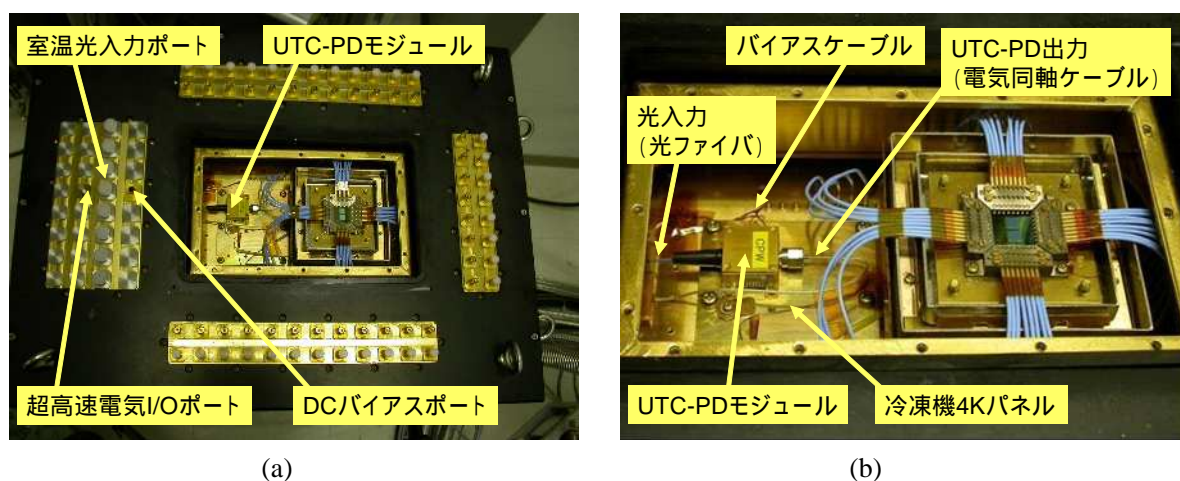
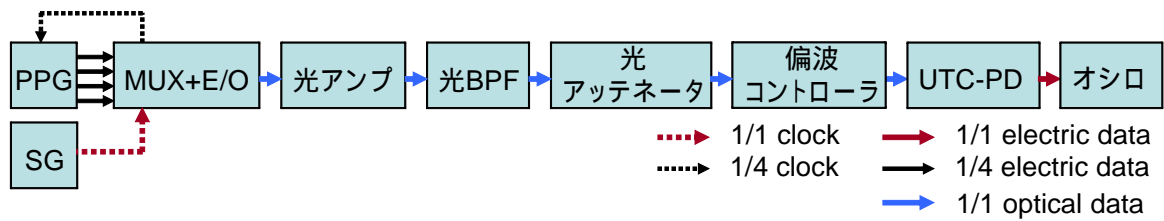
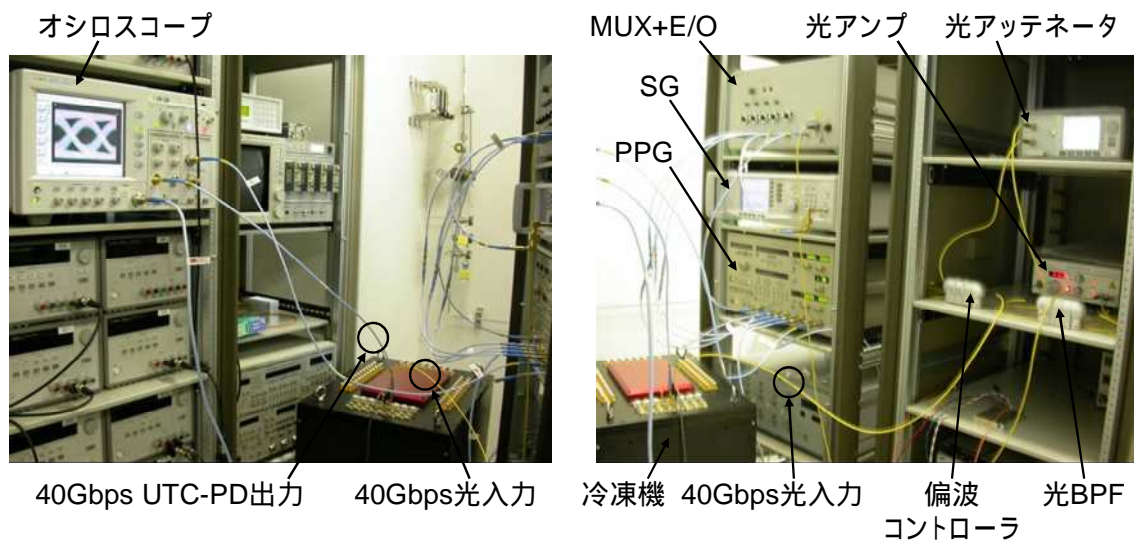


図 6-15. (a)光入力冷凍機システムの写真と(b)UTC-PD モジュール付近の拡大写真。



(a)



(b)

図 6-16. UTC-PD の極低温動作評価の測定系の(a)構成図と(b)写真。

用いた。光信号の波長は $1.55\mu\text{m}$ であり、光通信に用いられているものと同じ波長である。UTC-PD の 40Gbps 電気出力信号は室温のデジタルサンプリングオシロスコープで測定した。

この測定で UTC-PD が実装されている 4K パネルの温度は 5.1K であった。図 6-17 に、40Gbps 動作時の光入力信号と UTC-PD 電気出力信号のアイ・パターンを示す。UTC-PD の出力信号は、長さ 51cm の同軸ケーブル (20GHz での損失は 2dB) と、冷凍機の室温超高速 I/O ポートからオシロスコープまでの 50cm 長のフレキシブル V ケーブル (帯域 50GHz、20GHz での損失は 1dB) を経て劣化しているに関わらず、アイははっきりと開いており、約 5K の極低温環境で UTC-PD が安定に 40Gbps 動作をしていることを示している。

UTC-PD の出力電圧の、光入力パワーに対する依存性を 40Gbps で測定した。測定では、PRBS7 の光信号を UTC-PD に入力し、UTC-PD からの 1,000 個の出力波形の電圧振幅の平均 V_{out} をデジタルサンプリングオシロスコープで計測した。UTC-PD への光入力パワー P_{in} は、光アッテネータに内蔵されている光パワーメータで計測した。図 6-18 (a)に、測定された UTC-PD の出力電圧 V_{out} の、光入力パワー P_{in} に対する依存性を示す。この実験の結果、 V_{out} は P_{in} に比例し、40Gbps において以下の関係にあることが明らかになった。

$$V_{out} [mV] = 7.0 \times P_{in} [mW] \quad (6-2)$$

(6-2) 式で、 V_{out} は室温のオシロスコープで計測された値であり、UTC-PD から室温のオシロスコープまでのケーブルでの損失が含まれている。UTC-PD からオシロスコープまでのケーブルの損失は、40Gbps NRZ 信号の基本周波数である 20GHz において計 3dB であり、信号のエネルギーは約 50% 損失する。一方、UTC-PD の出力を SFQ 回路に接続する際には、長さが 23cm で 20GHz での損失が約 1dB (信号のエネルギー損失が約 20%) のケーブルを用いる。したがって、SFQ 回路に入力される信号のエネルギーはオシロスコープで観測される信号のエネルギーの約 1.6 倍 ($=0.8/0.5$) である。電圧はエネルギーの 1/2 乗に比例するので、UTC-PD から SFQ 回路に入力される電圧はオシロスコープで観測される電圧 ((6-2) 式の V_{out}) の約 $\sqrt{1.6}$ 倍と見積もることができる。ゆえに、40Gbps 動作時において、UTC-PD から SFQ 回路に入力される信号の電圧を V_{in} とすると、 V_{in} と室温から入力する光信号のパワー P_{in} との関係は以下のように見積もられる。

$$V_{in} [mV] \approx 8.9 \times P_{in} [mW] \quad (6-3)$$

図 6-18 (b) に、 V_{in} の P_{in} に対する依存性を示す。

次に、UTC-PD を冷凍機システムで冷却した状態で、40Gbps 動作時について、光入力信号と UTC-PD 出力信号のジッタと S/N の、光入力信号パワーに対する依存性を測定した。光入力信号は PRBS7 である。ジッタと S/N は、ディジタルサンプリングオシロスコープによるアイ・パターン計測で測定した。これらの計測に用いたアイ・パターンは 1000 個の波形を重ねたものである。図 6-19 に測定結果を示す。図 6-19 のように、UTC-PD 出力信号のジッタは、光入力パワーが 3mW 以上では大きく変化しないが、2mW 以下では急激に悪化することが示された。このことから、低ジッタで UTC-PD を 40Gbps 動作させるには、光入力のパワーを 3mW 以上に設定する必要があることが明らかになった。

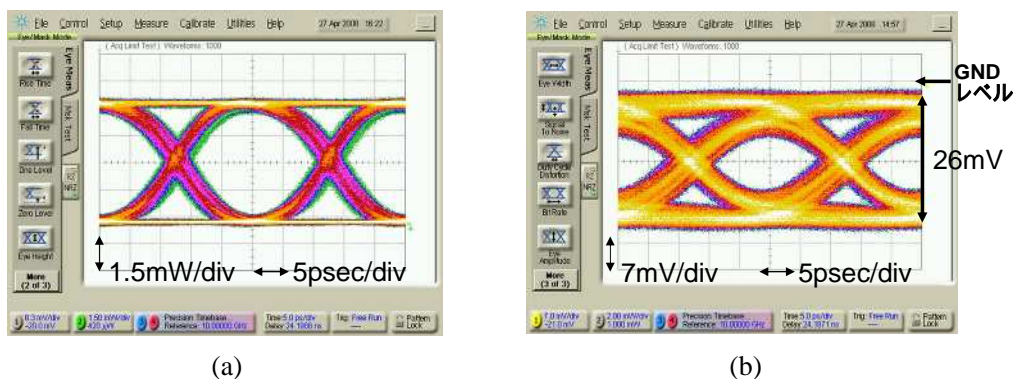


図 6-17. 5.1K に冷却された UTC-PD の 40Gbps 動作波形。(a) 光入力、(a) UTC-PD の電気出力。

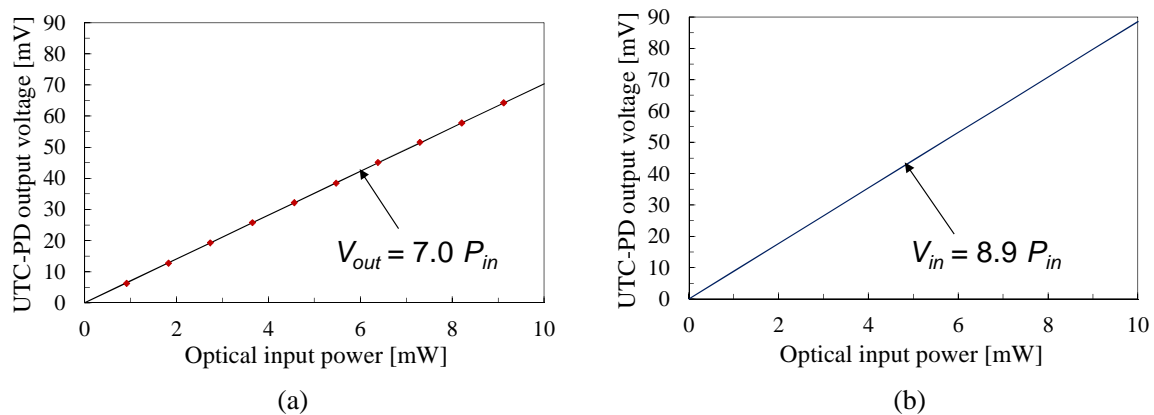


図 6-18. 5.1K での 40Gbps 動作における UTC-PD の出力電圧の光入力パワーへの依存性。(a)室温のオシロスコープで測定された UTC-PD 出力電圧 V_{out} 、(b) SFQ 回路に入力される UTC-PD 出力電圧 V_{in} の見積もり。

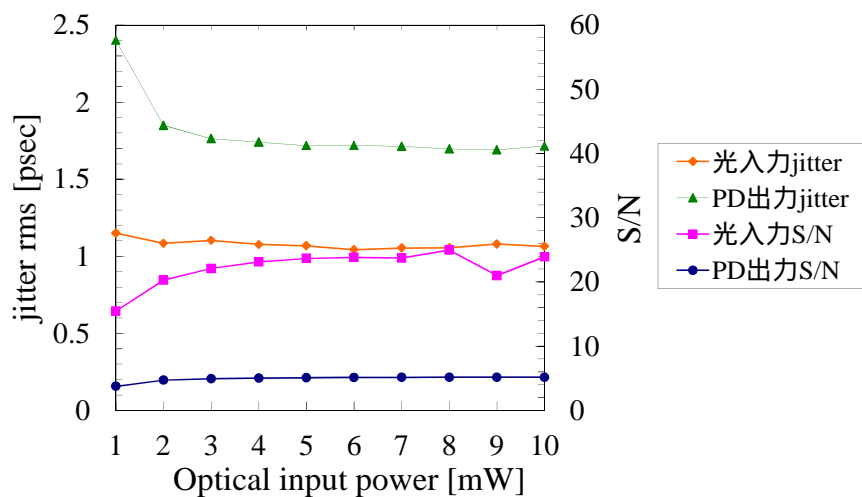


図 6-19. 5.1K での 40Gbps 動作時の光入力波形と UTC-PD 出力電圧波形の S/N、ジッタの、光入力パワーへの依存性。

6-2-2: UTC-PD/SFQ インタフェイス回路の設計

UTC-PD は、光の NRZ 入力パワーが”High”のとき、すなわち論理値”1”のときはマイナスの電圧を出力し、光の NRZ 入力パワーが”Low”のとき、すなわち論理値”0”のときは出力しない。つまり UTC-PD の出力信号は負極性の NRZ である。また UTC-PD からは暗電流が出力信号に重ね合わされる可能性がある。このような UTC-PD からの出力信号の性質を考慮した、UTC-PD と SFQ 回路のインタフェイスを設計した（以下ではこのインタフェイスを PD/SFQ と呼ぶ）。図 6-20 は

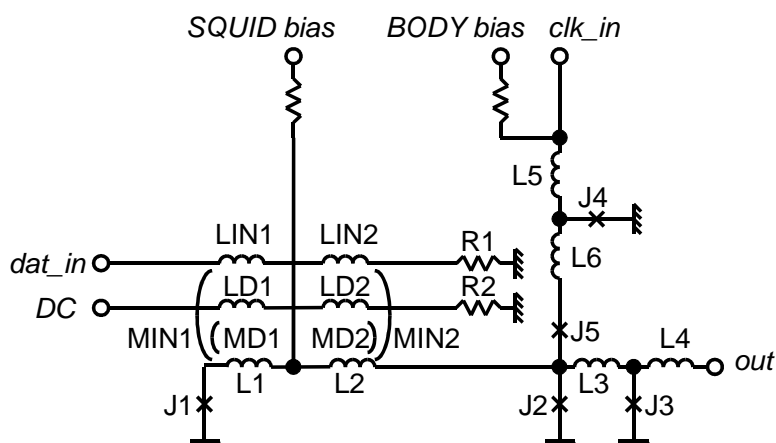


図 6-20. PD/SFQ の等価回路図。J1=0.14mA、J2=0.16mA、J3=0.216mA、J4=0.216mA、J5=0.081mA、L1=L2=3.5pH、L3=5pH、L4=2.0pH、L5=2.5pH、L6=3.0pH、LIN1=LIN2=LD1=LD2=7.0pH、R1=R2=50Ω、IB1=0.23mA、IB2=0.3mA。

PD/SFQ の等価回路図である。この回路の主要部分は、2 つの接合 J1、J2 と 2 つのインダクタンス L1、L2 とで構成される SQUID である。SQUID の LI 積は $0.5\Phi_0$ である。この SQUID のインダクタンス L1、L2 は、UTC-PD からの出力信号が流れる 50Ω の入力データラインと磁気的に結合している。直接入力ではなく磁気結合を用いた理由は、UTC-PD からの出力信号が負極性だからである。データラインは、反射を防ぐために 50Ω の抵抗で整合終端した。接合 J2 と J5 はディシジョン回路を構成しており、クロックパルスが入力されると、SQUID のループ J1-L1-L2-J2 に時計回りの電流が流れているか否かに応じて J2、J5 のいずれか一方がスイッチする。

PD/SFQ の動作原理は具体的には以下のとおりである。UTC-PD から論理値“1”が出力された場合、PD/SFQ のデータ入力ラインには負の電流（NRZ なので幅はクロックサイクルと等しい）が流れる。すると、SQUID のループには時計回りの電流が誘起され、J2 をバイアスする。この状態でクロックパルスが入力されると、J2 がスイッチし、SFQ パルス（SFQ 回路における論理値“1”の表現）が PD/SFQ の出力端に出力される。一方、UTC-PD の出力が論理値“0”の場合（言い換えれば、1 クロックサイクルの間、UTC-PD の出力電圧が 0 の場合）PD/SFQ の入力データラインには電流が流れないため、SQUID ループにも電流は誘起されない。この場合にクロックパルスが入力されると、J5 がスイッチし、PD/SFQ の出力端には何も出力されない（SFQ 回路における論理値“0”の表現）。このような動作原理により、UTC-PD の負極性 NRZ 出力信号は SFQ 回路におけるバイナリデータの表現に変換される。PD/SFQ からの出力パルスは、クロックに同期している。

SQUID ループには DC ラインも磁気結合させた。この DC ラインに必要なに応じて室温から DC 電流を流すことにより、UTC-PD から漏れ出る暗電流をキャンセルする機能を実現した。DC ラインも特性インピーダンスを 50Ω とし、50Ω の抵抗で整合終端した。図 6-20 に、シミュレーション

により最適化した UTC-PD の回路パラメータを示す。PD/SFQ の中でクリティカルになる SQUID バイアスのマージンは、シミュレーションの結果、40Gbps 動作時において $\pm 20\%$ であった。

6-2-3: SFQ 回路の光入力動作評価のための評価回路の設計

光入力による SFQ 回路のシステムレベルでの高速動作を評価するための評価回路を設計した。図 6-21 に示すように、この評価回路は、PD/SFQ、1:2 DEMUX、2ch NRZ 型 SVD から構成される。PD/SFQ は、UTC-PD からの 40Gbps の負極性 NRZ データ信号を、SFQ 回路に供給される 40GHz クロックに同期した SFQ パルスの 40Gbps データに変換する。この 40Gbps データは、1:2 DEMUX により 20Gbps/ch \times 2ch に平行化され、さらに 2ch の NRZ 型 SVD で約 2mV の NRZ 信号に増幅されて出力される。なお、6-1-2-2 節で述べたように、NRZ 型 SVD は 20Gbps/ch で低 BER 動作が可能であることはすでに実証した。図 6-22 に 1:2 DEMUX の回路図を示す。1:2 DEMUX はクロック・フォロー・データで設計した。

図 6-23 に、図 6-21 の評価回路の詳細な構成とバイアス設計を示す。40Gbps の高速動作ではジッタの低減が重要である。そのため、PD/SFQ、1:2 DEMUX、2ch NRZ 型 SVD の 3 つの回路ブロックの間のクロック配線とデータ配線には、 4Ω MSL を用いた。対をなすクロックとデータの MSL の長さを等しくすることにより、各回路ブロック間のタイミング設計を容易にし、かつ、クロックとデータのタイミング差がバイアスによって大きく変化しないようにした。プロセスばらつきによるタイミングの設計値からのずれが発生した場合を想定し、クロックパスに VDL を挿入し、クロック遅延を外部から制御できるようにした。SVD の出力部のバイアスは 2ch で共通になっているため、第 5 章と同様に、SQUID のバイアス抵抗を 400Ω とし、回り込み電流の影響を軽減した。入出力のインピーダンス整合についても第 5 章の設計指針を踏襲しており、SVD の出力端子には整合抵抗を介さずに直接 50Ω MSL を接続し、1st ステージの極低温半導体アンプ (入力インピーダンス 50Ω) で受信端終端する。一方で、DC/SFQ の入力端子には 50Ω の抵抗を直列接続し、 50Ω 入力 MSL を整合終端する。高速 I/O のボンディングパッドは CPW 型を使用し、それ以外の

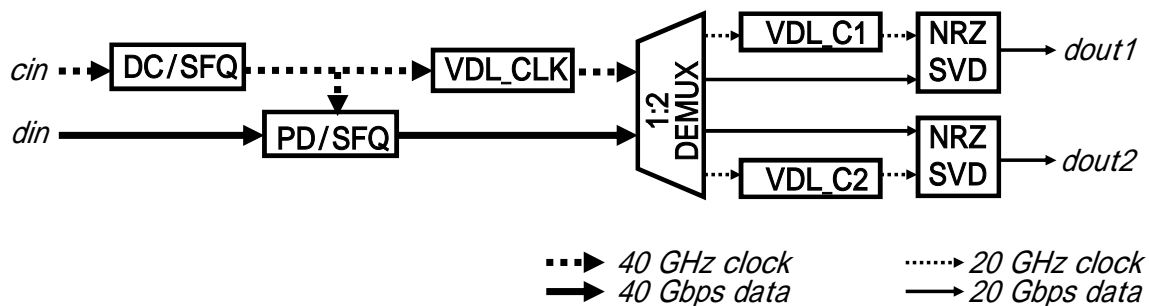


図 6-21. SFQ の光入力動作評価回路。

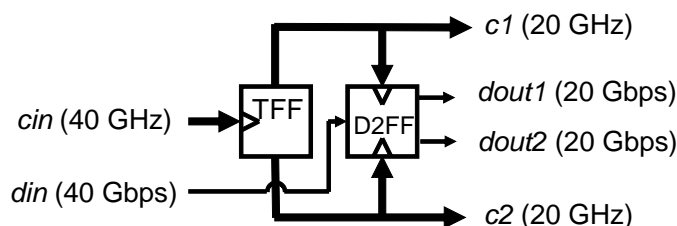


図 6-22. 1:2 DEMUX の回路図。

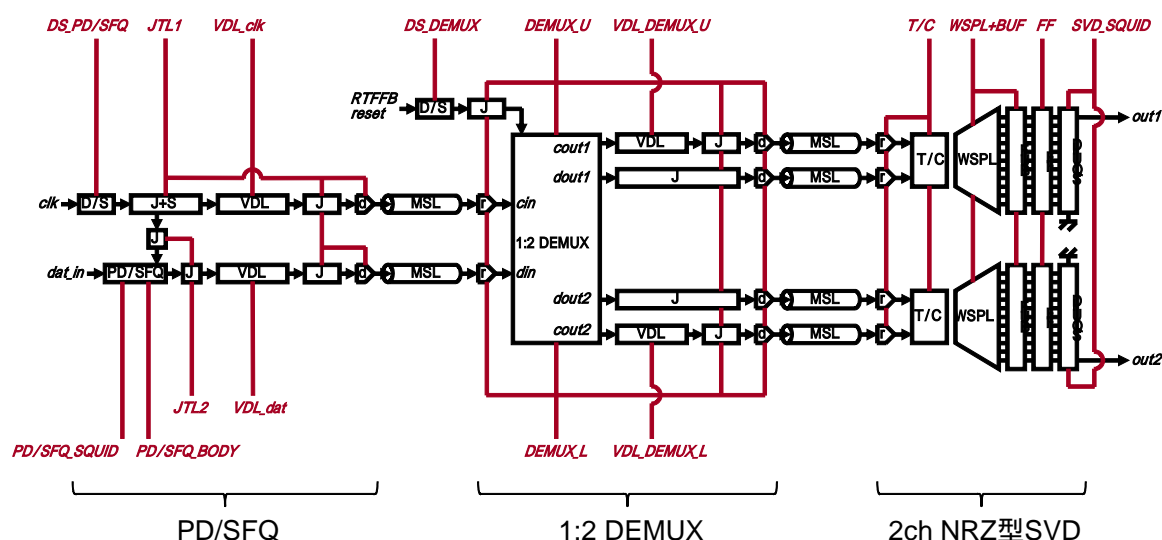


図 6-23. SFQ 回路の光入力動作評価回路のバイアス設計。

ボンディングパッドは MSL 型を使用した。表 6-3 に、図 6-23 の各バイアス電流の設計値を示す。100mA のオーダーの高いバイアスはないため、差動供給は用いていない。ピン数は計 22 ピンである。内訳は、40GHz クロック入力 1 ピン、40Gbps NRZ データ入力 1 ピン、20Gbps NRZ データ出力 2 ピン、SVD の *reset* 1 ピン、PD/SFQ の DC 1 ピン、バイアス 16 ピンである。

図 6-21 の評価回路は 40Gbps の光入力 I/F 回路 (PD/SFQ) と、40Gbps (20Gbps/ch × 2ch) の電気出力 I/F 回路 (1:2 DEMUX+2ch NRZ 型 SVD) だけから構成されている。つまりこの評価回路の PD/SFQ と 1:2 DEMUX との間に SFQ 集積回路を接続することにより 40Gbps の入出力 I/F を有する SFQ 集積回路を実現できる。表 6-4 に、図 6-21 の評価回路のバイアス電流、消費電力、面積を示す。表 6-4 に示した値は、1ch 分の 40Gbps 入出力 I/F のバイアス電流、消費電力、面積に相当する。表に示したように、入力 I/F に比べて出力 I/F の方が回路規模 (電流、電力、面積) は大きい。これは、出力側は低エネルギーの SFQ パルスを室温に出力するために、ch あたりの伝送レー

トを入力側よりも低くし、信号のエネルギーを高くすることが必須であることを反映している。比較として、表 6-5 に、第 5 章で実証した 2×2 スイッチシステムにおける 40Gbps の入出力 I/F (4:1 MUX、1:4 DEMUX+4ch RZ 型 SVD) のバイアス電流、消費電力、回路面積を示す。表 6-6 に、表 6-4 と表 6-5 の 40Gbps 入出力 I/F を比較した結果を示す。比較の結果、本章で開発した光入力 I/F と NRZ 型 SVD の導入により、SFQ 回路の 40Gbps 入出力 I/F のバイアス電流が 45%、消費電力が 44%、回路面積が 39%、それぞれ削減されることが明らかになった。

表 6-3. 光入力動作評価回路のバイアス設計。

回路ブロック名	バイアス名	バイアス電流 [mA]
PD/SFQ	DS_PD/SFQ	0.4
	PD/SFQ_SQUID	0.23
	PD/SFQ_BODY	0.3
	JTL1	3.3
	JTL2	0.6
	VDL_clk	3.6
	VDL_dat	2.7
1:2 DEMUX	DS_DEMUX	0.4
	DEMUX_U	7.15
	DEMUX_L	7.15
	VDL_DEMUX_U	2.4
	VDL_DEMUX_L	2.4
2ch NRZ 型 SVD	T/C	32.4
	WSPL+BUF	36.0
	FF	35.4
	SVD_SQUID	0.32

表 6-4. 図 6-21 の評価回路における 40Gbps 入出力 I/F のバイアス電流、消費電力、面積。

	回路	バイアス電流 [mA]	消費電力 [μW]	面積 [mm ²]
入力 I/F	PD/SFQ	11.1	27.8	0.23
出力 I/F	1:2 DEMUX	19.5	48.8	0.38
	2ch NRZ 型 SVD	104.1	280.0	1.13
	出力 I/F 合計	123.6	328.7	1.51
入出力 I/F 合計	-	134.8	356.5	1.74

表 6-5. 2×2 スイッチシステムにおける 40Gbps 入出力 I/F のバイアス電流、消費電力、面積。

	回路	バイアス電流 [mA]	消費電力 [μ W]	面積 [mm ²]
入力 I/F	4:1 MUX	36.4	91	0.21
出力 I/F	1:4 DEMUX	20.0	50	0.37
	4ch RZ 型 SVD	188.5	500	2.28
	出力 I/F 合計	208.5	550	2.65
入出力 I/F 合計	-	244.9	641	2.86

表 6-6. 2×2 スイッチシステムの 40Gbps 入出力 I/F と本章の 40Gbps 入出力 I/F の比較。

	バイアス電流 [mA]	消費電力 [μ W]	面積 [μ m ²]
スイッチシステムの 40Gbps 入出力 I/F	244.9	641.0	2.86
本章の 40Gbps 入出力 I/F	134.8	356.5	1.74
本章の I/F による削減率	45%	44%	39%

6-2-4: SFQ 回路の光入力動作の測定評価

6-2-4-1: 低速機能試験

図 6-24 は試作した SFQ 回路の光入力動作評価回路のチップ写真である。図 6-25 には PD/SFQ の顕微鏡写真を示す。チップの試作には NEC の Nb 標準 II プロセス[37]と同じデバイス構造で J_c を 10kA/cm^2 に高くしたプロセスを用いた。この評価チップには図 6-21 の評価回路が集積されており、サイズは $5\text{mm} \times 5\text{mm}$ である。この評価チップをまずワイヤボンディングでセラミックパッケージに実装し、液体ヘリウムで冷却して室温から負極性の電気の NRZ データを入力することにより 10kHz での低速機能試験を行った。図 6-26 に 10kHz での動作波形を示す。入力された 10kbps の負極性の NRZ 信号が、5kbps/ch \times 2ch の正極性の NRZ に変換されて出力されており、正常動作が確認された。図 6-27 は測定されたバイアスマージンである。NRZ 型 SVD の重なりマージンが狭いが、PD/SFQ BODY は設計バイアスに対して -59.0% ~ +47.7% の広いマージンが得られた。1:2 DEMUX は上下 2 方向からバイアス供給したが、いずれのバイアスも設計バイアスに対して

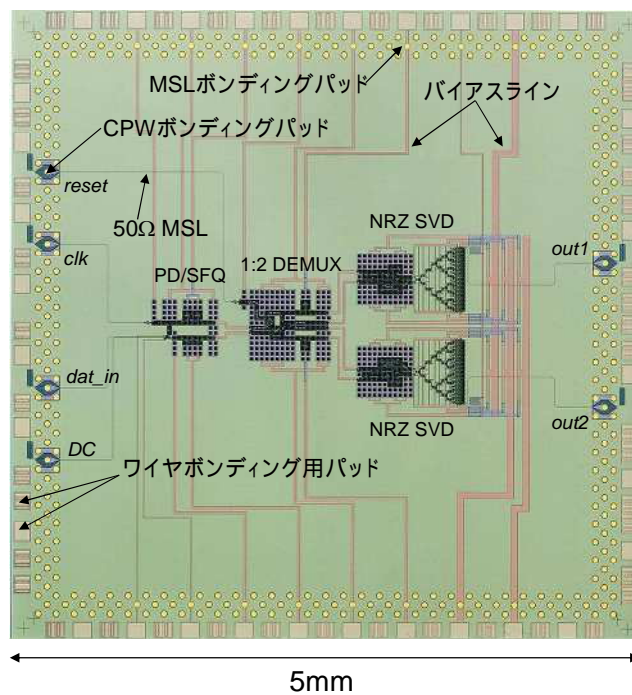


図 6-24. SFQ 回路の光入力動作評価のための評価チップの顕微鏡写真。

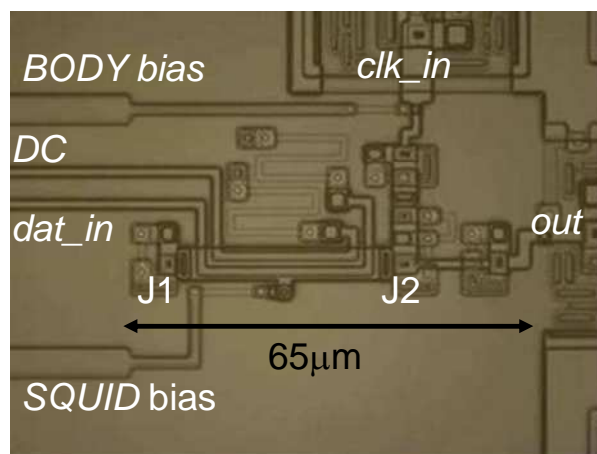


図 6-25. 試作した PD/SFQ の顕微鏡写真。

-35% ~ +24%以上の広いマージンが得られた。また、この評価回路の NRZ 型 SVD の出力電圧は 50Ω負荷に対して最大 2.4mV であり、極低温半導体アンプの低 BER 動作に必要な電圧 (2mV 以上) を得られた。

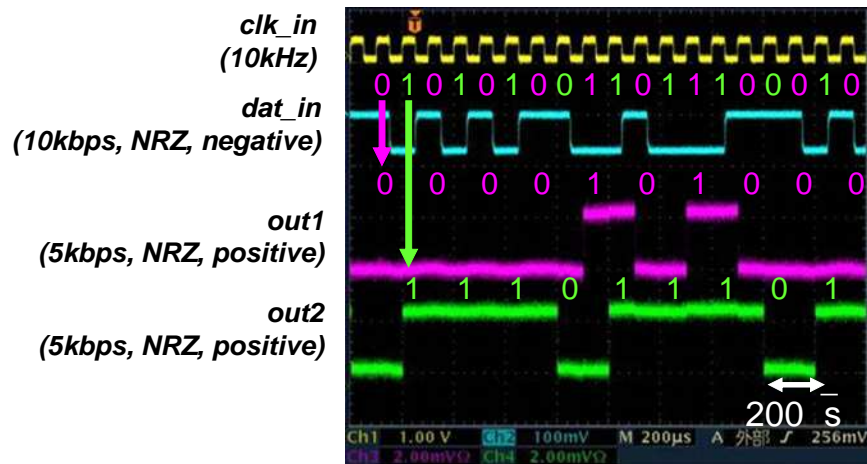


図 6-26. SFQ 回路の光入力動作評価回路の 10kHz での機能試験の波形。

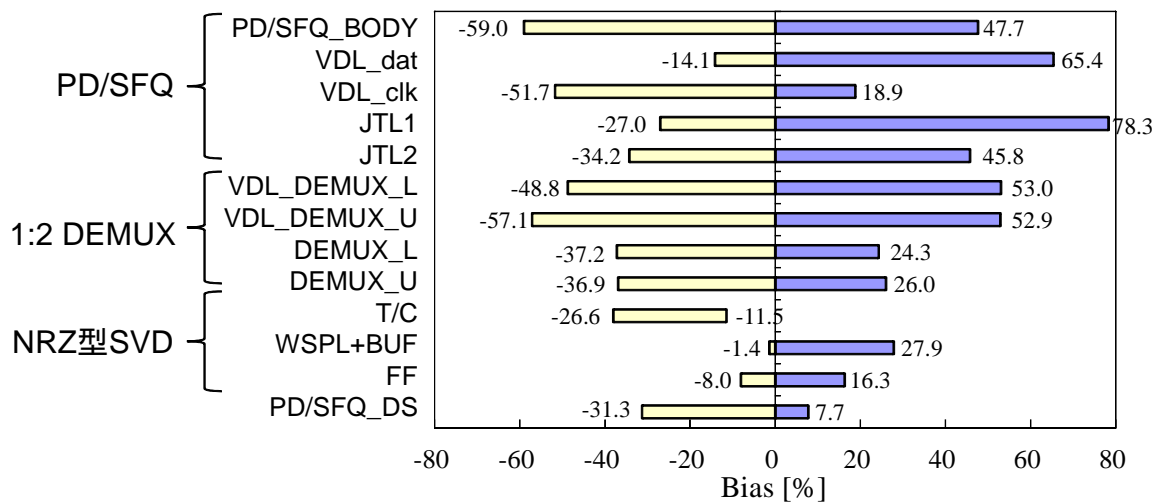


図 6-27. SFQ 回路の光入力動作評価回路の 10kHz での機能試験のバイアスマージン。

PD/SFQ への NRZ 入力信号の振幅の SQUID バイアスに対する依存性も測定した。図 6-28 はその測定結果である。SQUID バイアスが高いほど入力のマージンは広い。図 6-20 の *dat_in* 入力ポートから入力データを入力した場合、SQUID バイアスが 0.305mA のとき最大の入力マージン $0.38\text{mA} \pm 34.2\%$ が得られた。この入力電流のマージンは 50Ω ライン上で $19\text{mV} \pm 34.2\%$ の電圧マージンに相当する。(6-3) 式の UTC-PD の極低温動作の評価結果から、UTC-PD は約 5K の環境下において 40Gbps で動作する場合、光入力を約 2.1mW 入力すると SFQ 回路に 19mV の電圧 V_{in} を出力する。このことから、UTC-PD の出力を PD/SFQ の *dat_in* ポートに入力した場合、2mW 程度の光入力で PD/SFQ を動作させるのに十分な UTC-PD 出力が得られることが示された。しかし、図

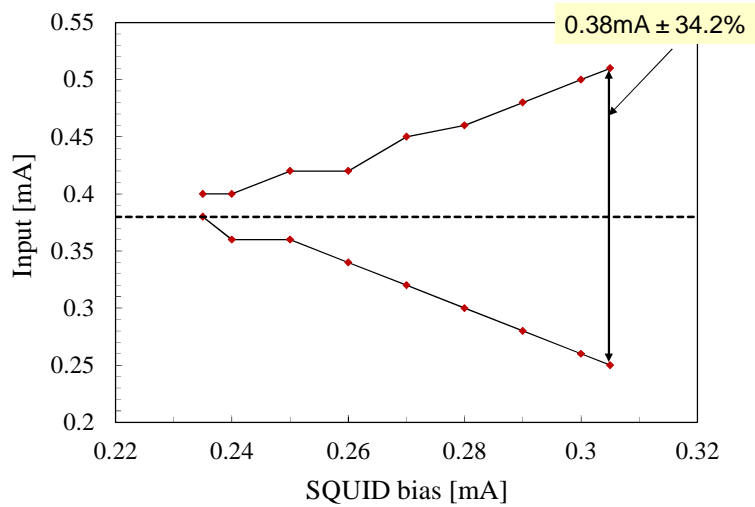


図 6-28. PD/SFQ の 10kbps 動作での入力マージンの SQUID バイアス依存性。

6-19 の実験結果で明らかにしたように、UTC-PD を低ジッタで動作させるには、光入力パワーは 3mW 以上であることが望ましい。そのため、次節で述べる SFQ 回路の 40Gbps 冷凍機システム動作実験では、UTC-PD モジュールの出力端に 6dB のアッテネータを接続する。6dB のアッテネータにより UTC-PD の出力信号のエネルギーは 1/4 になるので、出力電圧は 1/2 になる。従って、6dB アッテネータ使用時の P_{in} と V_{in} の関係は、以下ようになる。

$$V_{in} [mV] \approx 4.4 \times P_{in} [mW] \quad (6-4)$$

(6-4)式から、40Gbps 動作時に PD/SFQ に 19mV の入力信号を供給するには室温から約 4.3mW の光データを UTC-PD に入力すればよいと見積もられる。

6-2-4-2: 冷凍機システムで冷却された SFQ 回路の 40GHz 光入力動作の実証

次に、光データ入力による SFQ 回路のシステムレベルでの高速動作実験を行った。図 6-29 に実験を行ったシステムの構成図を、図 6-30 にシステムの写真を、それぞれ示す。冷凍機システムの 4K パネルに UTC-PD モジュールが、4K サンプルステージに SFQ 回路モジュールが、それぞれ配置されており、UTC-PD の出力がφ1.19mm、長さ 23cm の Cu フレキシブル同軸ケーブルで SFQ 回路モジュールの入力に接続された構成である。SFQ 回路モジュールは、図 6-24 の SFQ 回路の光入力動作評価チップを図 6-6 の MCM 基板に直径 50μm の InSn はんだバンプでフリップチップボンディングしたものである。前節で述べたように、この実験では UTC-PD モジュールの出力端に 6dB のアッテネータを挿入した（図 6-30 (b)）。そのため、室温からの光入力信号のパワー P_{in} と

UTC-PD から SFQ モジュールに入力される信号の電圧 V_{in} の関係は、(6-4) 式で見積もられる。

光入力による SFQ 回路の高速動作評価の測定系の構成を図 6-31 に示す。SG から出力される 40GHz クロックはスプリッタで分岐し、一方はバイアス T を用いてオフセットをかけて SFQ 回路モジュールに供給した。分岐した他方の 40GHz クロックは、4:1 MUX+E/O のクロック入力端子に入力した。4:1 MUX+E/O から出力される 10GHz クロックを 4ch PPG のクロック入力に入力した。この構成により、40GHz で動作する SG と MUX+E/O と、10GHz で動作する PPG との精度の高い同期をとった。4ch PPG で 10Gbps/ch \times 4ch のデータを生成し、4:1 MUX+E/O に入力する。4:1 MUX+E/O は、これらの 4ch のデータ信号を 40Gbps シリアルデータに変換し、さらに、40Gbps シリアルデータの光信号に変換して出力する。この 40Gbps の光信号は、光アンプと可変光アッテネータでパワーを制御し、冷凍機システムの室温光入力ポートから光ファイバを通して極低温の UTC-PD に入力される。SFQ 回路モジュールは、室温からの 40GHz クロックと UTC-PD からの

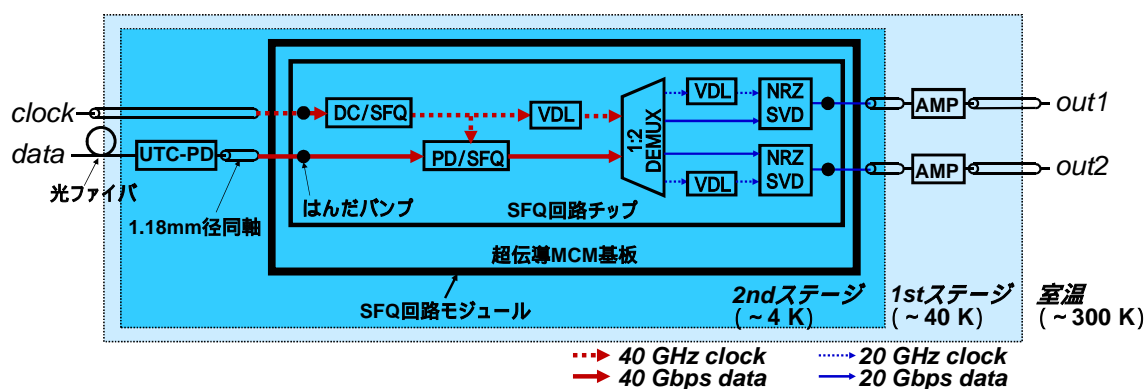


図 6-29. SFQ 回路の光入力冷凍機システムの構成図。

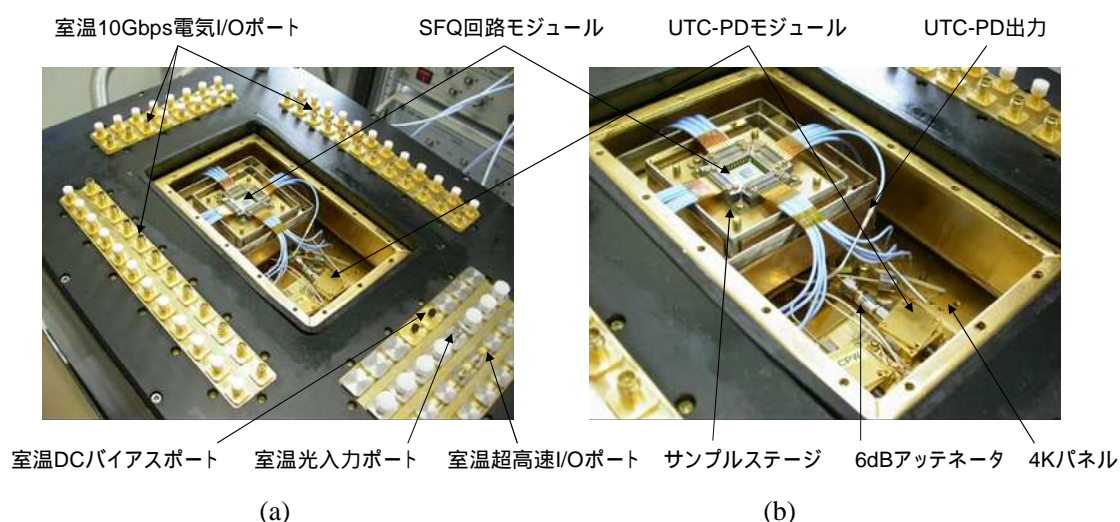


図 6-30. (a)冷凍機システムに実装した UTC-PD モジュールと SFQ 回路モジュールの写真と(b)その拡大写真。

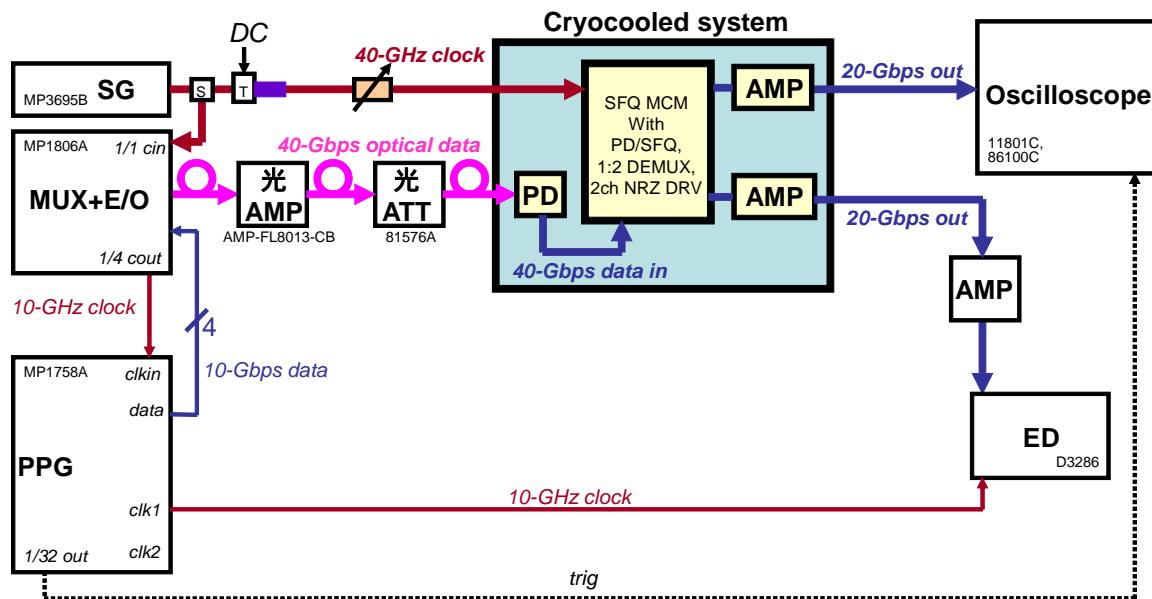


図 6-31. 40Gbps での SFQ 回路の光入力動作の測定系。

40Gbps データを受けて 40GHz で動作し、40Gbps の電気データ (20Gbps/ch × 2ch) を出力する。SFQ 回路モジュールからの出力信号は冷凍機システムの 1st ステージに実装されている極低温 GaAs アンプで約 50mV に増幅されて室温のオシロスコープで観測される。PPG からの 1/32 分周出力 (312.5MHz) をオシロスコープへのトリガとして用いることにより、同期をとる。BER を測定する場合は、冷凍機システムからの 20Gbps の出力を室温の半導体アンプでさらに増幅し、ED で計測する。ED に PPG の 10GHz クロック出力を入力し、図 6-11 の 2 段階測定により BER を測定する。40GHz クロックと 40Gbps 光データとの間のタイミングを精密に調整するために、室温のクロックラインにフェーズシフタを挿入した。

図 6-31 の測定系で 40Gbps での動作実験を行った。図 6-32 に 40Gbps の光入力データの波形と SFQ 回路モジュールの出力波形を示す。光入力のパワーは約 4.5mW であり、SFQ 回路から 20Gbps/ch × 2ch にパラレル変換されたデータが正常に出力されることが確認された。表 6-7 に、40Gbps 動作時のバイアスマージンと入力マージンを示す。この実験では、UTC-PD から出力される 40Gbps の NRZ データが、クライオプローブと MCM 基板との圧着部、MCM 基板と評価チップとのパンプ接続部 (CPW ボンディングパッド) を通過して PD/SFQ に入力されており、圧着部やパンプ接続部が 40Gbps の NRZ データを顕著な歪みを生じずに伝送できる帯域 (最低でも 3 次高調波の周波数である 60GHz) を有することが実証された。なお、40GHz クロックは正弦波なので単一周波数成分しか含んでいないため損失が大きいても波形を保つことができるが、インピーダンス不整合が大きな箇所があれば波形が歪み回路動作に影響を与える。本研究の冷凍機システ

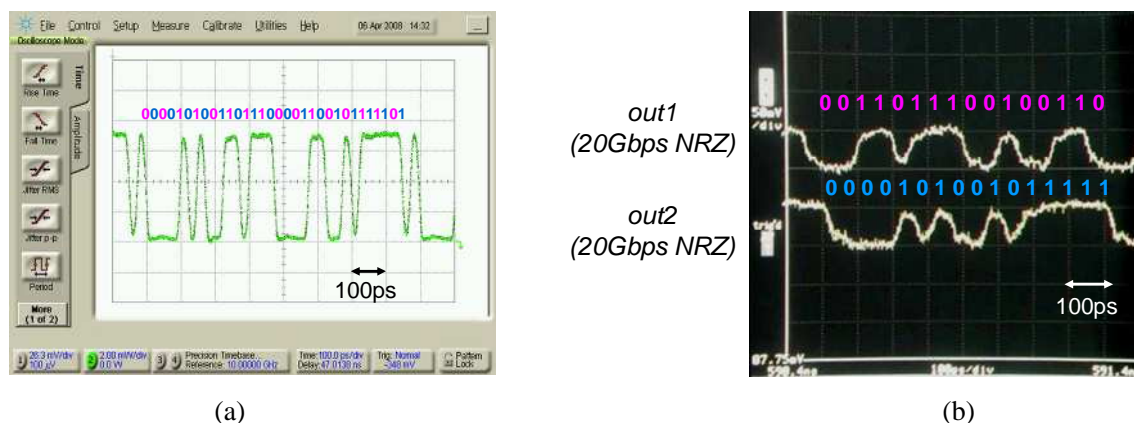


図 6-32. SFQ 回路の 40Gbps 光入力動作波形。(a)光入力波形、(b)SFQ 回路の出力波形。

ムでは、第 4 章の TDR 測定で明らかにしたように入出力リンクに顕著なインピーダンス不整合はない。そのため、40GHz クロックが顕著な歪みを生じずに SFQ 回路に入力されたと考えられる。

さらに、40Gbps 光入力動作時の BER の、PD/SFQ_SQUID バイアスに対する依存性と、光入力パワーに対する依存性を測定した。光入力データは PRBS7 である。図 6-33 に測定結果を示す。バイアスと入力値は表 6-7 のマージン中央値に設定した。BER の PD/SFQ_SQUID バイアスに対する依存性(図 6-33 (a))は、光入力データのパワーを 4.6mW に固定して測定した。BER が 10^{-12} 以下になる PD/SFQ_SQUID バイアスのマージンは $0.26\text{mA} \pm 3.8\%$ であった。一方、BER の光入力データのパワーに対する依存性(図 6-33 (b))は、PD/SFQ_SQUID バイアスを、図 6-33 (a)の測定で BER が 10^{-12} 以下になる PD/SFQ_SQUID バイアスマージンの中央値である 0.26mA に固定して測定した。その結果、BER が 10^{-12} 以下になる光入力データのパワーのマージンは $4.6\text{mW} \pm 8.7\%$ であった。SFQ 回路のバイアスと光入力データのパワーを最適な値 (BER $< 10^{-12}$ となる範囲の中央値、つまり PD/SFQ_SQUID バイアスが 0.26mA、光入力パワーが 4.6mW) に設定した場合、光入力動作評価回路の BER は 10^{-13} 以下であり、十分低い BER が実証された。

以上のように、UTC-PD、PD/SFQ、1:2 DEMUX、NRZ 型 SVD を集積することにより、フリップチップ実装された SFQ 集積回路の光入力によるシステムレベルでの 40Gbps 動作を初めて実証した。測定された BER は 10^{-13} 以下と非常に低く、光入力 SFQ 高速システムのひとつの完成形を示すことができた。UTC-PD への光入力パワーは 4.6mW であり、電気の I/O ケーブルの熱流入(およそ 25mW/ch)の 1/5 以下であった。そのため大きな発熱なしに光入力リンクを増設することが可能である。本章で開発した冷凍機システムにおいて、32 本の電気 I/O ケーブルをすべて NRZ 型 SVD の 25Gbps 出力に用い、かつ、40Gbps/ch の光入力リンクを 20ch 実装したシステムが構築可能である。この場合、4K ステージでの UTC-PD モジュールの発熱は $4.6\text{mW} \times 20\text{ch} = 92\text{mW}$ と見積もられる。第 4 章の図 4-3 で示したように、本研究で用いた冷凍機の 2nd ステージの温度は、2nd ステージの熱負荷が 0W の場合に約 2.8K であり、2nd ステージの熱負荷が 1W の場合に約 4.2K である。2nd ステージの温度が熱負荷にリニアであると仮定した場合、2nd ステージの熱負荷が

表 6-7. 光入力による SFQ 回路の 40Gbps 動作のバイアスマージンと入力マージン。

	マージン (上限と下限)	マージン中央値	マージン (中央値に対する %)
PD/SFQ_DS bias [mA]	0.28 ~ 0.49	0.385	± 27.3%
SVD_SQUID bias [mA]	0.40 ~ 0.48	0.44	± 9.1%
FF bias [mA]	28.7 ~ 42.8	35.8	± 19.7%
WSPL+BUF bias [mA]	38.2 ~ 41.9	40.1	± 4.6%
T/C bias [mA]	24.4 ~ 26.8	25.6	± 4.7%
DEMUX_U bias [mA]	7.10 ~ 9.00	8.05	± 11.8%
DEMUX_L bias [mA]	6.86 ~ 8.95	7.91	± 13.2%
VDL_DEMUX_U bias [mA]	2.09 ~ 2.70	2.40	± 12.7%
VDL_DEMUX_L bias [mA]	2.40 (固定)	-	-
PD/SFQ_SQUID bias [mA]	0.28 (固定)	-	-
PD/SFQ_BODY bias [mA]	3.70 ~ 4.70	4.20	± 11.9%
JTL1 bias [mA]	0.44 ~ 0.66	0.55	± 20.0%
JTL2 bias [mA]	0.08 ~ 0.43	0.26	± 68.6%
VDL_clk bias [mA]	3.29 ~ 3.96	3.63	± 9.2%
VDL_dat bias [mA]	2.67 ~ 3.75	3.21	± 16.8%
Clock delay [psec]	190 ~ 290	240	± 20.8%
RTFFB reset delay [psec]	232 ~ 434	333	± 30.3%
Clock power [dBm]	+12.7 ~ +23.1	+17.9	± 29.1%
Clock offset [mA]	0.51 ~ 4.35	2.43	± 79.0%
Optical data power [mW]	4.01 ~ 5.30	4.65	± 13.8%
dat offset [mA]	0.52 ~ 0.60	0.56	± 7.1%
RTFFB reset Vpp [V]	0.86 ~ 1.48	1.17	± 26.5%
RTFFB reset offset [V]	-0.395 ~ -0.035	-0.215	± 83.7%

92mW 増加しても 2nd ステージの温度は 5K 未満に収まると見積もれる。また、第 4 章、第 5 章の実験で、サンプルステージの温度が 3.8K 程度であったことから、実際の冷凍機システムの 2nd ステージに流入している熱は 1W よりも低いと考えられる。これらのことから、40Gbps/ch の光入力 20ch と 25Gbps/ch の電気出力 32ch の冷凍機システムを 1W の冷凍機で実現できると考えられる。その構成では、800Gbps の入力と 800Gbps の出力を有する冷凍機システムとなる。冷凍機のコンプレッサへの投入電力は 6.5kW である。冷凍機の電力性能比を、冷凍機システムのスループットのシステム全体の電力に対する比と定義すると、本研究で開発した技術を用いて達成可能な冷凍機システムの電力性能比は 0.12 Tbps/kW である(図 6-34)。一方、現在 4K の小型冷凍機では GM-JT

型冷凍機が最も効率がよく、8W の冷却能力を有する GM-JT 冷凍機が現存する[129]。この 8W の GM-JT 冷凍機を用いれば、1W の冷凍機の場合の 8 倍のシステムスループットである 6.4Tbps の入出力を有する冷凍機システムを実現できる。この冷凍機の冷却効率、すなわち、冷却能力（4K での許容熱負荷）と冷凍機への投入電力との比は、約 1:1000 である。つまり冷凍機への投入電力は約 8kW である。したがって、この GM-JT 冷凍機を用いた場合、冷凍機システムの電力性能比は 0.8Tbps/kW に向上できる（図 6-34）。一般に、冷凍機の効率は冷却能力が高いほど高くなる[130]。したがって、より冷却能力の高い冷凍機を用いることにより、冷凍機システムの電力性能比はさらに向上すると考えられる。

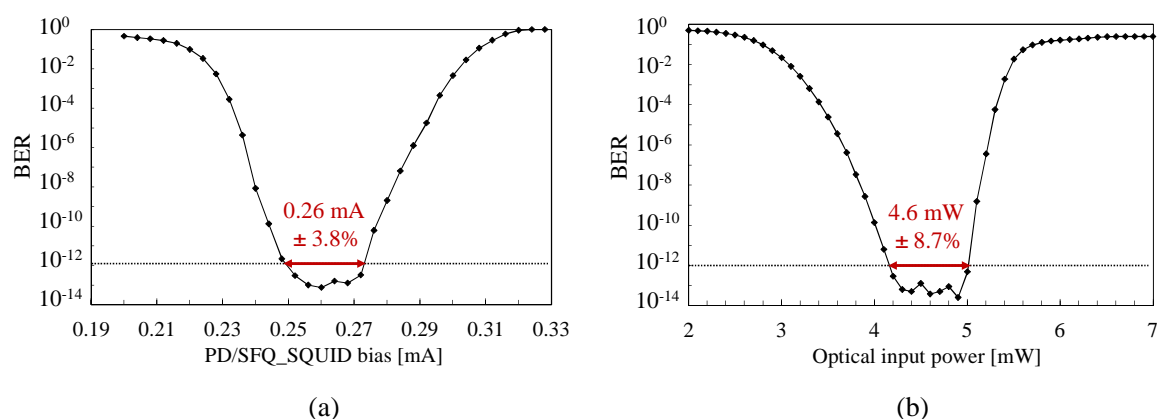


図 6-33. 40Gbps 光入力で測定された SFQ 回路の BER 曲線。(a) PD/SFQ_SQUID バイアス依存性、(b) 光入力パワー依存性。光入力 PRBS7 である。

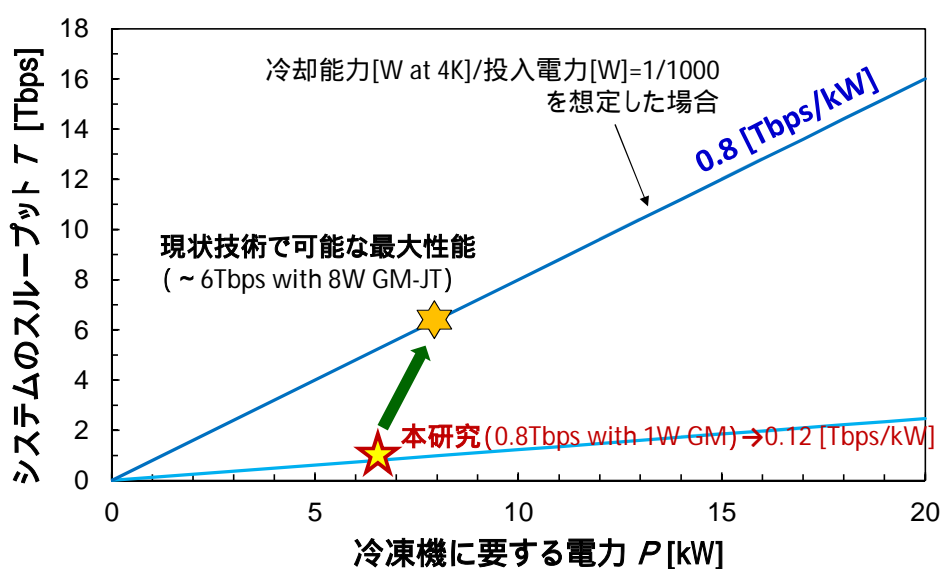


図 6-34. 冷凍機システムの電力性能比の見積もり。

6-3: 本章のまとめ

冷凍機システムのスループット向上のための I/O 高速化技術として、NRZ 型 SVD を用いた電気出力技術と UTC-PD を用いた 40Gbps 光入力技術を開発し、SFQ 回路からの 25Gbps/ch 電気出力と、SFQ 回路への 40Gbps/ch の光入力を実証した。さらに、本章で開発したこれらの高速 I/O 技術を集積し、40Gbps の光データ入力による SFQ 回路のシステムレベルでの 40GHz 動作を初めて実証した。また、NRZ 型 SVD を用いることにより、 $J_C=10\text{kA/cm}^2$ のプロセスで SFQ 回路の 100GHz のシステム実証が可能であることを示した。さらに、本研究で開発した NRZ 型 SVD と光入力を用いることにより、入出力にそれぞれ 800Gbps を有する冷凍機システムを 1W の冷凍機で実現することが可能であり、そのシステムの電力性能比が 0.12Tbps/kW になることを明らかにした。また、現在最大の冷却能力を有する小型 4K 冷凍機である GM-JT 冷凍機を用いた場合、6.4Tbps の入出力を有する冷凍機システムの実現が可能であり、そのシステムの電力性能比は 0.8Tbps/kW に向上されることを示した。

今後の課題として、光入力の多ピン化に向けて、極低温 O/E 変換デバイスの高密度化、低電力化が必要である。一方、出力リンクが電気であることが冷凍機システムの電力性能比の向上を阻む大きな要因となっていることから、光出力リンクの実現が求められるが、SFQ 回路の出力信号の小さなエネルギーでいかにして光信号を制御するかが課題である。この課題は非常に困難であることが予想されるため、電気出力のさらなる高スループット化も検討の余地がある。その際、電気信号の多重化も検討の価値があるように思われる。

第7章:今後の課題

前章までで、SFQ 回路の高速システム化のための要素技術として、PTL 伝送回路、チップ間 SFQ パルス伝送回路、冷凍機システム、入力インタフェース (4:1 MUX、極低温光インタフェース)、出力インタフェース (1:4 DEMUX、RZ 型 SVD、NRZ 型 SVD) を開発した。また、これらの要素技術を集積した 2×2 スイッチシステムを試作し、47Gbps までの高速動作を実証した。さらに、光入力による SFQ 回路のシステムレベルでの 40Gbps 動作も実証した。また、本研究で開発した要素技術を用いることにより、SFQ 回路のシステムレベルでの 100GHz 動作実証が可能であることを示した。さらに、本研究で用いた冷却能力 1W の冷凍機で光入力 800Gbps、電気出力 800Gbps の I/O を有する冷凍機システムが実現できることを示した。しかし、各章の末尾に記載したように、本研究で開発したこれらの要素技術はさらなる課題を有する。それらの課題は、より大規模な SFQ 集積回路をより高速で冷凍機システム動作させるために重要な課題である。本章では、各章の末尾に挙げた課題のうち、実験によって具体的に明らかになった課題について述べる。

7-1: 冷凍機システムの出力リンクのインピーダンス整合の改善

冷凍機システムの I/O リンクには入力リンクと出力リンクがあるが、このうち冷凍機システムの高速動作時の BER を決定づけるのは出力リンク、とりわけ SVD から 1st ステージの極低温半導体アンプまでの出力リンクである。それは極低温半導体アンプを高速で低 BER 動作させるために十二分な出力エネルギーを SVD から出力させることは簡単ではないため、SVD から極低温半導体アンプまでの出力リンクは、損失が低く、インピーダンス整合も可能な限り良好にすることが、冷凍機システムの高速、低 BER 動作実現のために非常に重要になるからである。SVD から極低温半導体アンプまでの出力リンクにインピーダンス不整合が存在する場合、反射が発生し、極低温半導体アンプに伝送される信号のエネルギーが減少するだけでなく、反射によって SVD の出力波形が歪むため、極低温半導体アンプの BER を増大させる。

第4章で、冷凍機システムの I/O リンク (室温 I/O ポートと 4K の超伝導チップの間の伝送路) の TDR 測定を行い、I/O リンク上のすべての場所のインピーダンスが $50\Omega \pm 5.3\Omega$ の範囲に収まっており、強いインピーダンス不整合が存在しないことを示した。しかし、I/O リンク上のインピーダンス整合が完璧に取れているわけではない。第4章の TDR 波形 (図 4-7) から分かるように、冷凍機システムの I/O リンクに室温 I/O ポートからステップ信号を入力すると、入力電圧の最大約 5% の反射波が発生する。この反射波は強くはないが、SVD の出力信号に重ねあわせられれば、SVD の出力信号波形は歪む。そこで本節では、出力リンクの中でも特にシステムの高速動作時の BER を決定付ける SVD から極低温半導体アンプまでの出力リンクのインピーダンスを実験により詳しく評価し、その実験結果に基づいて回路設計上の対策を検討する。第4章の TDR 測定と異なり、

本節では、冷凍機システムで冷却された SVD の出力信号を用いて測定を行う。この測定方法では、インピーダンス不整合の存在する位置を評価できるだけでなく、反射が実際の SVD の出力波形にどのように影響を与えるのかを直接検証することができる。

図 7-1 に、本研究で開発した冷凍機システムにおける、SVD から 1st ステージの極低温半導体アンプまでの伝送路の構成を示す。SVD の出力端には、長さ約 2mm のチップ上 50Ω MSL が接続されている。チップ上 50Ω MSL は CPW ボンディングパッドと直径 50μm の InSn はんだバンプを介して、長さ約 8mm の基板上 50Ω MSL に接続されている。基板上 50Ω MSL は基板上のプローピングパッドで極低温プローブヘッドと圧着により接続されている。極低温プローブヘッドの長さは約 20mm であり、先端は 50Ω のコプレナ形状、先端部以外は 50Ω の同軸ケーブルになっている。プローブヘッドはφ1.19mm マイクロコネクタにより、長さ 100mm のフレキシブル同軸ケーブルに接続され、フレキシブル同軸ケーブルは V コネクタにより、長さ 250mm のセミリジッド同軸ケーブルに接続される。セミリジッド同軸ケーブルは V コネクタにより極低温半導体アンプに接続されている。使用されている同軸ケーブルのインピーダンスはすべて 50Ω であり、極低温半導体アンプの入力インピーダンスも 50Ω である。チップ上 MSL と基板上 MSL の伝搬遅延時間は第 2 章の PTL の実験から約 8.6psec/mm であり、同軸ケーブルの伝搬遅延時間は 4.3psec/mm [107] である。チップ上および基板上の MSL の伝搬遅延時間と同軸ケーブルの伝搬遅延時間との違いは、用いられている誘電体の誘電率の違いによる。チップと基板では伝送線路の誘電体として SiO₂ を用いており、その比誘電率 ϵ_r はおよそ 4 である。一方、同軸ケーブルでは誘電体として低密度テフロンを用いており、その比誘電率 ϵ_r はテフロン (PTFE) の誘電率 (約 2) よりも低い。伝送線路の伝搬遅延時間は $\sqrt{\epsilon_r}$ に比例するため、チップ上および基板上の MSL の単位長さあたりの伝搬遅延時間は同軸ケーブルよりも長くなる。図 7-1 には、チップ上 MSL、基板上 MSL、プローブヘッド、フレキシブルケーブル、セミリジッドケーブルの伝搬遅延時間も示した。

本節の測定の原理は TDR と同じである。冷凍機システムで冷却された RZ 型 SVD に室温から

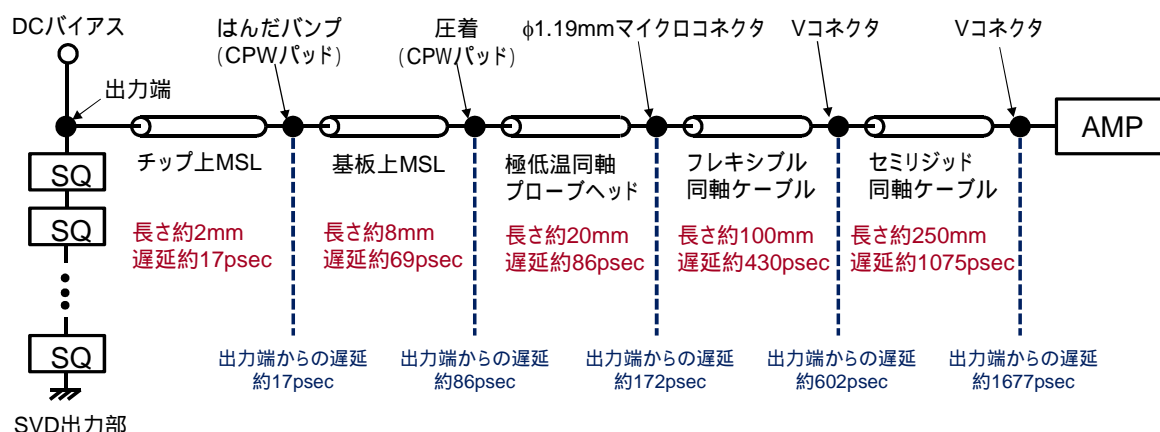
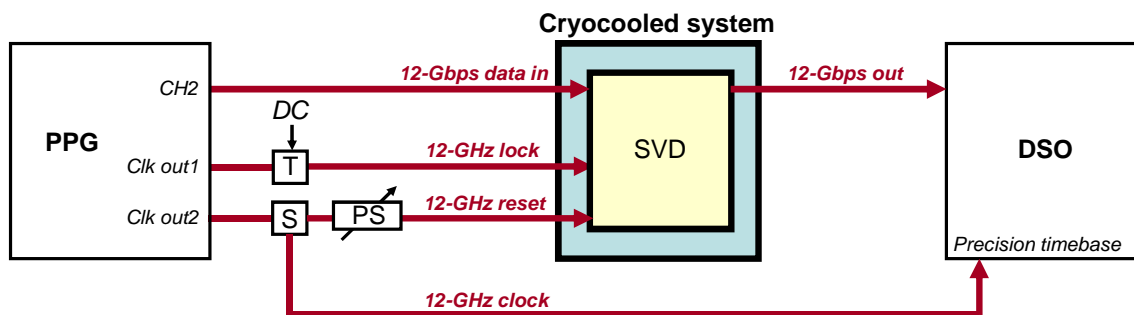


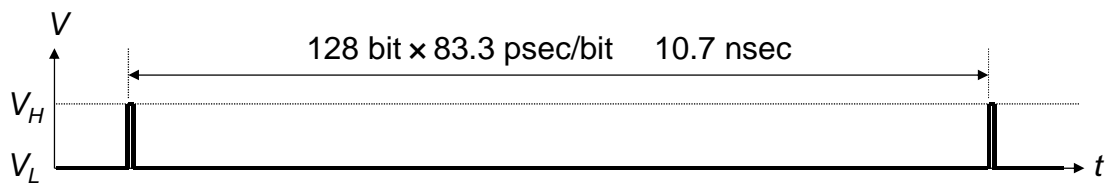
図 7-1. 本研究で開発した冷凍機システムにおける SVD から 1st ステージの極低温半導体アンプまでの伝送路の構成。

データパルスを入力し、SVD の出力波形を室温のオシロスコープで観測する。SVD の出力波形の立ち上がりエッジと、SVD の出力波形に現れる反射波との時間差から、出力リンク上で反射が発生する場所、つまりインピーダンス不整合が存在する場所を評価する。この測定では、RZ 型 SVD が形成された $5\text{mm} \times 5\text{mm}$ のチップを $16\text{mm} \times 16\text{mm}$ の基板に 50mm 径の InSn はんだバンプでフリップチップボンディングした評価モジュールを用いた。この測定に用いた基板は第 6 章の実験で用いたもの（図 6-6）と同じものである。また、RZ 型 SVD は、第 6 章の NRZ 型 SVD（図 6-3）から真補信号発生回路を取り除いた回路である。高速の入出力信号を伝送する 50Ω I/O ラインのためのボンディングパッドには第 6 章の NRZ 型 SVD の実験と同様に CPW ボンディングパッドを用いてインピーダンス整合をとっている。この評価モジュールを冷凍機システムで冷却した。図 7-2 (a) に測定系の構成を示す。室温のパルスパターン発生器（Pulse-Pattern Generator; PPG）から 4K の評価モジュール内の SVD にデータパルスを入力する。さらに、PPG のクロック出力を、SVD の *reset* 信号として使用した。冷凍機システムの 1st ステージの極低温半導体アンプで増幅された SVD の出力信号波形を室温のデジタルサンプリングオシロスコープで観測した。PPG のクロック周波数は 12GHz とした。PPG から評価モジュールに入力したデータパターンは、図 7-2 (b) に示すように bit 長が 128bit であり、そのうち 1bit だけを論理値“1”、つまりハイレベルとした。 12GHz のクロック周期は 83.3psec なので、このデータパターンでは 10.7nsec ($=128\text{bit} \times 83.3\text{psec/bit}$) の周期で論理値“1”が SVD に入力される。この入力データパターンを SVD に入力すると、SVD は 12GHz のクロック周期の半分程度である $40 \sim 50\text{psec}$ 程度の幅のパルスを出力する。そのため、 10.7nsec の時間スケールで見ると、SVD からの出力波形は非常に幅の狭いパルスになり、反射がない場合は、大部分の時間は電圧レベルがゼロでフラットになる。図 7-1 に示したように SVD の出力端子と極低温半導体アンプの間の往復の伝搬遅延時間は約 3.4nsec 程度であり 10.7nsec よりも短い。そのため、SVD と極低温半導体アンプとの間にインピーダンス不整合が存在すれば、本来ゼロレベルであるべき場所に反射波が観測される。したがって、SVD の出力端子から極低温半導体アンプまでの伝送路上に存在するインピーダンス不整合を検出することができる。

図 7-3 に、測定された SVD の出力波形を示す。測定の結果、図 7-1 の出力リンク上の少なくとも 2 つの場所にインピーダンス不整合が存在することが明らかになった。図 7-3 では SVD の出力波形の立ち上がりエッジから約 3.5nsec 後に反射波が現れている。したがって SVD の出力端から約 $1.7 \sim 1.8\text{nsec}$ の場所にインピーダンス不整合が存在すると見積もられる。これを第 1 のインピーダンス不整合と呼ぶ。図 7-1 で、SVD の出力端からの伝搬遅延が $1.7 \sim 1.8\text{nsec}$ に最も近いのは極低温半導体アンプの入力端である。そのため、この第 1 のインピーダンス不整合は極低温半導体アンプの入力端で発生していると考えられる。入力インピーダンス 50Ω の半導体アンプで反射が発生する理由は断定できていないが、可能性として、半導体アンプの入力が AC 結合であることが考えられる。AC 結合とは、信号線とシリアルにキャパシタを挿入することにより DC 成分を通さないようにする結合方法であり、高周波の機器で広く使用されている。このため、アンプに入力される信号の DC 成分だけでなく、比較的低い周波数の成分も反射されることが考えられる。この半導体アンプの帯域（公称値）は、 $65\text{kHz} \sim 25\text{GHz}$ であり[105]、 65kHz 以下では低周波になる



(a)



(b)

図 7-2. 図 7-1 の伝送路のインピーダンス評価の(a)測定系の構成と(b)入力パターン。

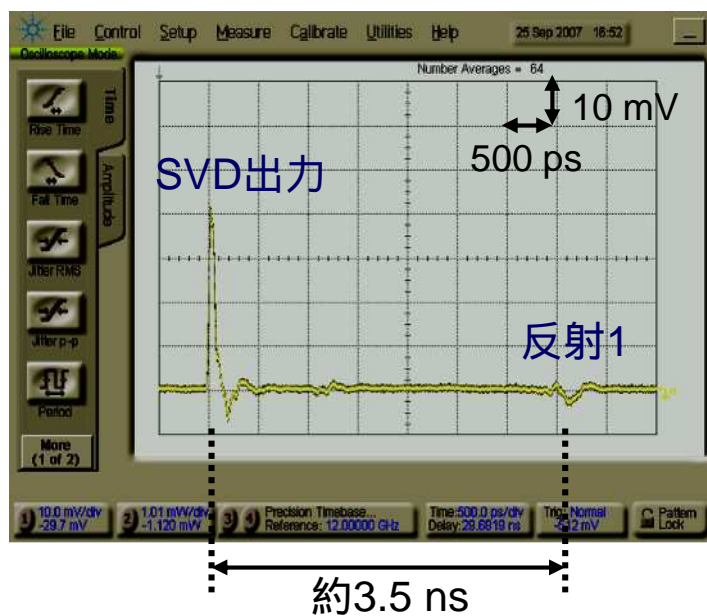


図 7-3. 12GHz のデータを入力した場合の測定波形。

にしたがって反射係数が高くなると考えられる。なお、図 7-3 に示したように、SVD 出力の立ち上がりエッジから約 1.2nsec 後に若干の反射が見られ、SVD から約 600psec の位置に非常に弱いインピーダンス不整合が存在することが分かる。図 7-1 から、この非常に弱いインピーダンス不整合はフレキシブル同軸ケーブルとセミリジッド同軸ケーブルとを接続する V コネクタであると考えられる。

図 7-3 で、SVD の出力が立ち下がったすぐ後に、第一のインピーダンス不整合で発生する反射よりも強度の強い反射が発生している。この反射を詳しく調べるために、図 7-3 の時間軸を拡大した波形を図 7-4 に示す。図に示したように、SVD の立ち上がりエッジから約 170psec の場所に反射が現れている。図 7-4 では、SVD の立ち下り後にリップルがあるため反射波が分かりにくい。そこでこの反射を見えやすくするために、PPG のクロック周波数を 1GHz に下げ、入力パターン（128bit のうち 1bit だけが論理値“1”）は変えずに SVD にデータパルスを入力して測定を行った。この 1GHz での測定の場合、SVD の出力パルス幅が 1GHz のクロック周期の半分程度、つまり 500psec 程度と長いので、図 7-4 で示した反射は SVD の出力がハイレベルのときに発生する。図 7-5 に、1GHz のデータパルスを SVD に入力したときの SVD の出力波形を、図 7-4 と同じ時間スケールで示す。図 7-5 のように、SVD の出力電圧は立ち上がったあとハイレベルを保つ。SVD の出力の立ち上がりエッジから約 170psec 後に SVD の出力電圧がステップ状に上昇しており、これが図 7-4 の反射に対応する。このことから、SVD の出力端から約 85psec の場所に、第 2 のインピーダンス不整合箇所があることが分かる。図 7-1 で、SVD の出力端からの伝搬遅延が 85psec に最も近いのは極低温プローブヘッドと基板との圧着による接触箇所である。したがってこの第 2 のインピーダンス不整合は極低温プローブヘッドと基板の接触箇所が発生していると考えられる。さらに、SVD の立ち上り時の最大電圧に比べてこの第 2 のインピーダンス不整合箇所以降の電圧がステップ状に高くなっていることから、SVD の出力端から第 2 のインピーダンス不整合箇所までの伝送路のインピーダンスは、第 2 のインピーダンス不整合箇所以降の伝送路のインピーダンスよりも低いことが分かる。つまりこの測定結果は、基板上の 50Ω MSL の特性インピーダンスがプローブヘッド以降の伝送路の特性インピーダンス（50Ω）に比べて低いことを示している。したがって、この第 2 のインピーダンス不整合は、基板上 50Ω MSL およびチップ上 50Ω MSL の特性インピーダンスを、MSL 線幅を狭くするなどの設計修正により高くすることで改善できると考えられる。4K での MSL のインピーダンスの値は、実験によって検証する必要がある。

図 7-5 の波形から分かるように、1GHz の場合、SVD 出力は立ち上がり時には負荷としてまずチップ上 MSL（特性インピーダンスは 50Ω より低い）を見るため、出力電圧が低い⁴²。しかし 1GHz では SVD の出力パルス幅がおおよそ 500psec であり 170psec よりも十分長いため、極低温プローブヘッドまで SVD の出力信号が伝搬し、プラスの反射係数で反射されて SVD に反射波が戻り⁴³、

⁴²第4章の(4-8)式からSVDの負荷インピーダンスが低いほどSVDの出力電圧は低くなる。

⁴³ プローブヘッドまでの伝送路のインピーダンスよりもプローブヘッド以降のインピーダンスの方が高いため、反射係数はプラスとなる。つまり、SVDの出力信号の極性と同一極性を有する反射波がSVDに向かって伝搬する。

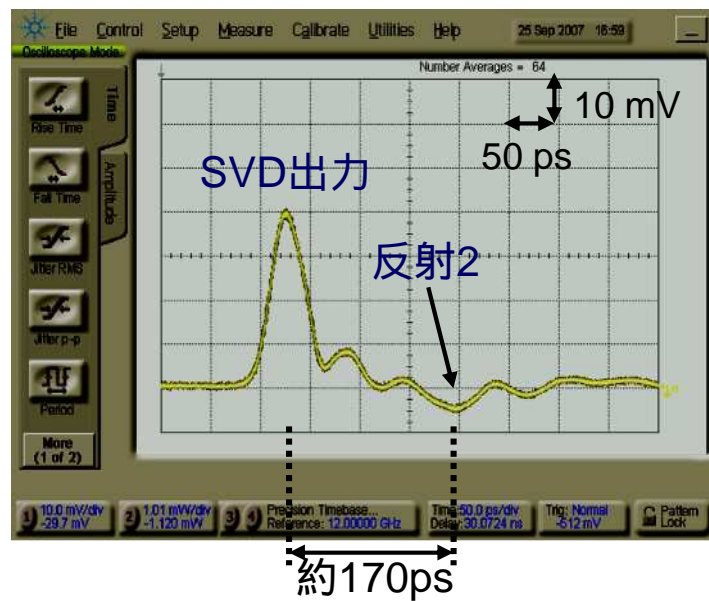


図 7-4. 12GHz のデータを入力した場合の SVD 出力波形の拡大図。



図 7-5. 1GHz のデータを入力した場合の SVD 出力波形の拡大図。

SVD の出力電圧に重ね合わせられて再び半導体アンプに向けて伝送されるため、SVD の立ち上がりエッジから約 170psec 以降は出力電圧が高くなっている。このことから、現在のチップ設計では、SVD の出力パルス幅が 170psec 未満(RZ 型 SVD でデューティ比を 50% とするとおよそ 3Gbps 以上のスループット。NRZ 型 SVD の場合はおよそ 6Gbps 以上のスループット) の場合、SVD の出力電圧が十分高くならず、BER を増大させるひとつの原因になっていると結論付けられる。チップ上 MSL と基板上 MSL の特性インピーダンスが 50Ω になるように設計を修正することにより、図 7-5 の 1Gbps の最終的な出力電圧(図 7-5 の、SVD の立ち上がりエッジから約 170psec 以降の電圧)と同じ出力電圧を、3Gbps 以上の高速動作時(NRZ 型 SVD の場合は 6Gbps 以上の高速動作時)においても得ることができるよう改善できると考えられる。

一方、図 7-3 で示した第 1 のインピーダンス不整合は、チップ外のところで発生しているため、実装系を変えなければ反射をなくすことはできない。しかし、チップ設計の修正によって反射の影響を低減することは可能である。反射の影響を低減するひとつの方法は、SVD の出力端に、 50Ω MSL と直列に終端抵抗 R_{term} を接続することである。整合抵抗の具体的な設計は今後の課題であるが、ここで基本的な考察を行う。第 4 章、第 5 章、第 6 章では、SVD の出力端に終端抵抗を用いなかった。その理由は、終端抵抗を設けた場合、SVD の出力電圧が終端抵抗で降下するため、 50Ω MSL 上に出力される電圧が低下するからであった((4-10)式)。第 4 章の TDR の実験で、出力リンクに強いインピーダンス不整合が存在しなかったことから、この構成を用いた。しかし第 4 章の TDR 測定では被測定物に半導体アンプが含まれていなかった。実際の SFQ 回路システムでは、SVD の出力は極低温半導体アンプに接続され、その極低温半導体アンプでの反射が存在することが図 7-3 の実験から明らかになった。この極低温アンプから SVD に向かって伝播してくる反射波の影響を低減するには、SVD の出力端に終端抵抗 R_{term} を接続することが必要である。 R_{term} の値は、 50Ω MSL から見た SVD のインピーダンスと終端抵抗 R_{term} の合成抵抗が MSL の特性インピーダンス 50Ω に可能な限り近くなるように設計すればよい。従って終端抵抗 R_{term} の設計は SVD のインピーダンスを求める問題に帰着する。しかし SVD のインピーダンスは、SVD が電圧を生成しているときと電圧を生成していないときとで異なる。そのため、抵抗値が一定の終端抵抗を用いる限り、SVD が電圧を出力しているときと出力していないときのいずれの場合でもインピーダンス整合をとる方法は存在しない。SVD に接続する終端抵抗値を SVD が電圧を生成している場合に合わせるか、電圧を生成していない場合に合わせるか、あるいはそれらの間の抵抗値にするかは、具体的なシミュレーションによる検討が必要である。第 4 章で述べたように、本研究で用いた極低温半導体アンプを 10Gbps の RZ 入力(あるいは 20Gbps の NRZ 入力)で 10^{-12} 以下の低 BER で動作させるための入力電圧振幅の目安は約 2mV である。終端抵抗を用いる場合には、終端抵抗での電圧降下があるので、本研究で設計した SVD よりも高い出力電圧を生成できる SVD を設計しなければならない。(4-10)式に示したように、SQUID の接合の I_C 、SQUID へのバイアス b 、直列接続する SQUID の個数 n 、そして SQUID の接合が電圧を発生しているときの実効抵抗を決める定数 a (第 4 章の(4-4)式) のいずれかを高くすることにより、SVD から MSL に出力される電圧

を高くすることができる⁴⁴。しかしこれらのいずれの値を高くしても、SVD の出力部のインピーダンスが変わるため、これらのパラメータと終端抵抗 R_{term} をすべて考慮して最適化することが必要である。実際の設計では精密な解析、あるいはシミュレーションを用いて行う必要がある。この課題は冷凍機システムのさらなる高速化、低 BER 化のために重要な課題である。

7-2:MCM 上の SFQ 回路が発生する熱の影響の低減

本研究では、冷凍機システムを開発し、 2×2 スイッチシステムを実証した。 2×2 スイッチシステムでは、 2×2 スイッチチップと 8ch SVD チップを MCM 基板にフリップチップ実装した MCM を用いた。スイッチシステムは 47Gbps の高速で全ビット動作を実証した。このシステムで用いられたチップのうち最大のものは SVD チップであり、2,930 接合を含み、消費電力は約 1mW であった。つまり、3,000 接合程度、消費電力 1mW 程度の SFQ 集積回路のチップであれば、本研究で開発した冷凍機システムで動作させることが可能であることを実証した。しかし、より大規模な SFQ 回路を集積したチップの場合、チップ上の回路が発生する熱が回路自身の動作に影響を与えることが、後述するように別の実験から明らかになった。冷凍機システムにおける熱の問題は、一般に、I/O ケーブルから極低温ステージへの熱流入について多くの議論がなされている。しかし本章では、数 mW という SFQ 回路自身が発生する小さな熱が、SFQ 回路の動作の非常に大きな障害となることを実験によって定量的に明らかにする。さらに、実験結果から、いかなる規模の SFQ 集積回路でも正常動作させるための熱除去方法を検討する。

図 7-6 に示すように、本研究で開発した冷凍機システムでは、いくつかの SFQ 回路チップを MCM 基板に InSn はんだバンプでフリップチップボンディングして MCM を作製し、MCM 基板の背面と極低温ステージとを熱的に接触させて実装する。SFQ 回路チップ間で psec 幅の SFQ パルスを 10Gbps/ch 以上の高速レートで伝送するためには、チップと MCM 基板の接続部でのインダクタンスを低減することが必須であり、そのためはんだバンプを用いたフリップチップ実装は不可欠な実装方法である。しかしフリップチップ実装は、SFQ 回路チップと冷凍機システムの極

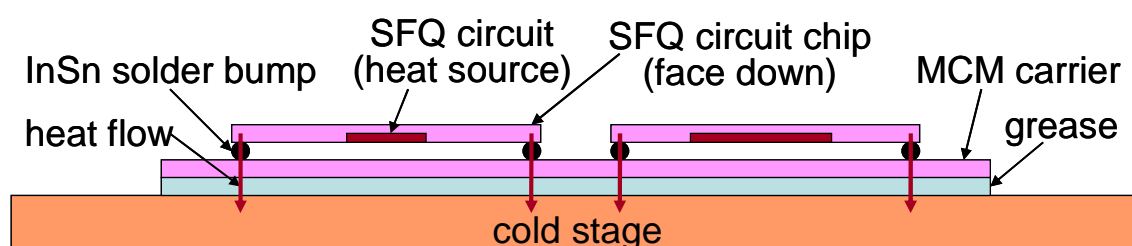


図 7-6. 本研究で開発した冷凍機システムにおける SFQ 回路チップの実装と冷却方法。

⁴⁴ a はたとえばSQUIDの接合のシャント抵抗を高くすることにより高くできる。

低温ステージとの間の熱リンクを、非常に断面積の狭いはんだバンプだけに制限してしまう。これはSFQ回路チップの周囲が真空だからである。これまで、本研究で開発した冷凍機システムの、SFQ回路チップからの熱の除去能力がどの程度であるかの詳細な評価を行っていなかった。そのため本章では、SFQ回路チップで発生される熱がSFQ回路自身を構成する接合の I_C に与える影響を実験的に評価し、問題を定量的に明らかにするとともに、その対策を議論する[131]。

7-2-1:MCMにおけるチップの発熱の問題

図7-7は、 $2\mu\text{m} \times 2\mu\text{m}$ 接合の1,000個シリーズの I - V 曲線であり、図7-7(a)は冷凍機システムで冷却して測定したもの、図7-7(b)は通常の液体ヘリウムによる冷却で測定したものである。図7-7(a)と図7-7(b)のチップは別チップではあるが、同一のウエハからとったチップである。液体ヘリウムで冷却した場合には正常な I - V 曲線が得られているが、冷凍機システムで冷却した場合、後にスイッチする接合ほど I_C が小さくなっており、ギャップ電圧も低くなっている、という異常な I - V 曲線になった。この異常な I - V 特性の原因は、接合が発生する熱であると考えられる。具体的には、多数の接合がスイッチするほどチップ上で発生する熱が増大するため、後にスイッチする接合ほどこの熱の影響で I_C とギャップ電圧がより低くなったのだと考えられる。この実験結果から、本研究で開発した冷凍機システムでは、液体ヘリウム冷却の場合よりもチップが発生する熱を除去する能力が低いことが明らかになった。図7-7(a)の I - V 特性では、2.5V付近でスイッチした接合の I_C が、図7-7(b)の2.5V付近でスイッチした接合の I_C に比べて約19%も低い。図7-7(a)では約2.5Vで約0.3mAの電流が流れているので、接合1,000個シリーズに2.5Vの電圧をかけた時に接合1,000個シリーズで発生している熱の総量は約0.75mWと見積もられる。この熱は、CONNECTセルライブラリのJTLセル1,000個(2,000接合)に設計バイアス(I_C の70%)をかけ

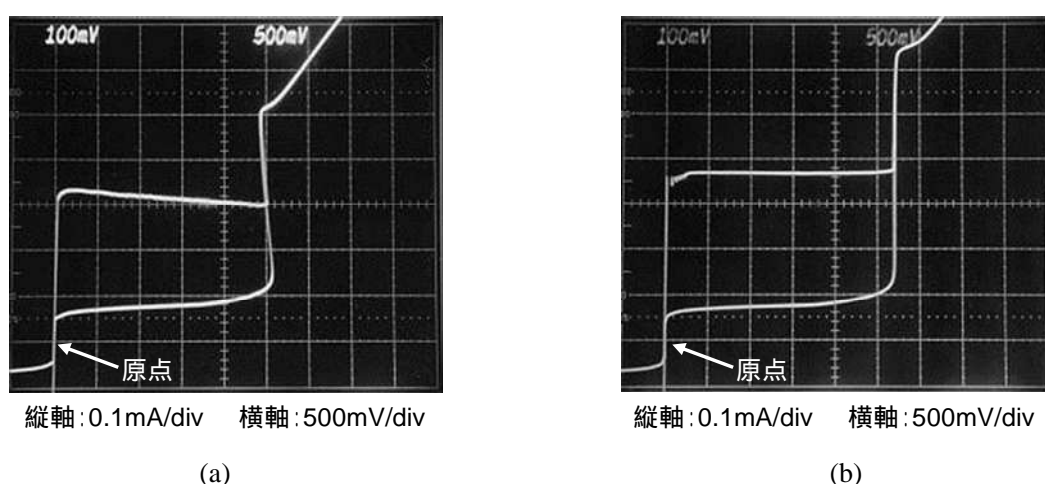


図7-7. $2\mu\text{m} \times 2\mu\text{m}$ 接合1,000個シリーズの I - V 曲線。(a)冷凍機システムで冷却した場合、(b)液体ヘリウムで冷却した場合。(a)、(b)のチップは同一のウエハからとった別チップである。

た時にバイアス抵抗で発生する熱に相当する。一方で、すでに述べたように冷凍機システムで約 3,000 接合の SFQ 集積回路チップ（設計バイアスでバイアス抵抗が発生する熱は約 1mW）の高速動作を実証しており、1mW 程度の熱は回路動作に致命的な影響を与えない。これらの実験結果は矛盾してはいない。接合の I - V 特性の測定の場合、接合が電圧状態を保ち、接合自身が定常的に熱を発生しているのに対し、SFQ 回路の場合、定常的に熱を発生しているのはバイアス抵抗であり接合自身ではない。つまり SFQ 回路では熱源と接合が離れている。このため、 I - V 特性の測定では、より低い熱で接合への影響が現れたのだと考えられる。

以上のように、図 7-7 の実験結果から、冷凍機システムは液体ヘリウム冷却に比べて、チップで発生する熱を除去する能力が低いことが明らかであるが、図 7-7 の接合の I - V 曲線の測定では SFQ 回路で発生する熱の SFQ 回路自身を構成する接合への影響を評価できない。約 3,000 接合の SFQ 回路の全ビット高速動作は実証できたが、どの程度の規模の SFQ 回路まで冷凍機システムで動作させることが可能なのかが明らかになっていない。そのため、冷凍機システムで冷却された MCM 上のチップに集積されている SFQ 回路が発生する熱が、SFQ 回路自身を構成する接合の I_C に与える影響を評価するための評価回路を設計し、実験を行った。

7-2-2: 評価チップの設計

MCM にフリップチップ実装されたチップ上の SFQ 回路が発生する熱が SFQ 回路自身を構成する接合の I_C に与える影響を評価するための評価チップを設計した。図 7-8 は、設計した評価チップの構成図である。チップサイズは 5mm×5mm である。評価チップには評価回路が集積されている。評価回路は回路ブロックの 3×3 アレイである。各回路ブロックは評価セルの 13×13 アレイである。評価セルは、CONNECT セルライブラリ[49]の最も基本的なセルである 2 接合 JTL セル（大きさ 40μm×40μm）を修正して設計した。図 7-9 は、評価セルと JTL セルの比較である。評価セルを設計するために JTL セルに加えた修正は、インダクタンス L_1 、 L_2 、 L_3 を削除したこと、および、バイアス抵抗の、バイアスラインと反対側の端部を接地したこと（従って評価セルのバイアスラインから供給したバイアス電流はバイアス抵抗を通過して GND に流れる）の 2 点である。接合とバイアス抵抗のセル内での位置は JTL セルと全く同じである。したがってこの評価回路は、JTL セルの 39×39 アレイからなる SFQ 回路を模したものであり、実際の SFQ 集積回路で発生する熱を、実際の回路と同じ位置で発生させることができ、実際の回路と同じ位置にある接合がその熱から受ける影響を測定評価することができる。

JTL セルは 1 個のバイアス抵抗と 2 個の接合を含むため、回路ブロックは合計で 169 個のバイアス抵抗と 338 個の接合を含む。バイアス抵抗は 8.3Ω、接合の I_C は 0.22mA である。回路ブロック内のすべての評価セルのバイアスラインは接続されているため、回路ブロックのバイアス端子からバイアス電流を供給すると、バイアス電流は分流し、169 個のバイアス抵抗を通過して GND に流れるようになっている。一方、それぞれの回路ブロックのバイアスラインは独立しており、

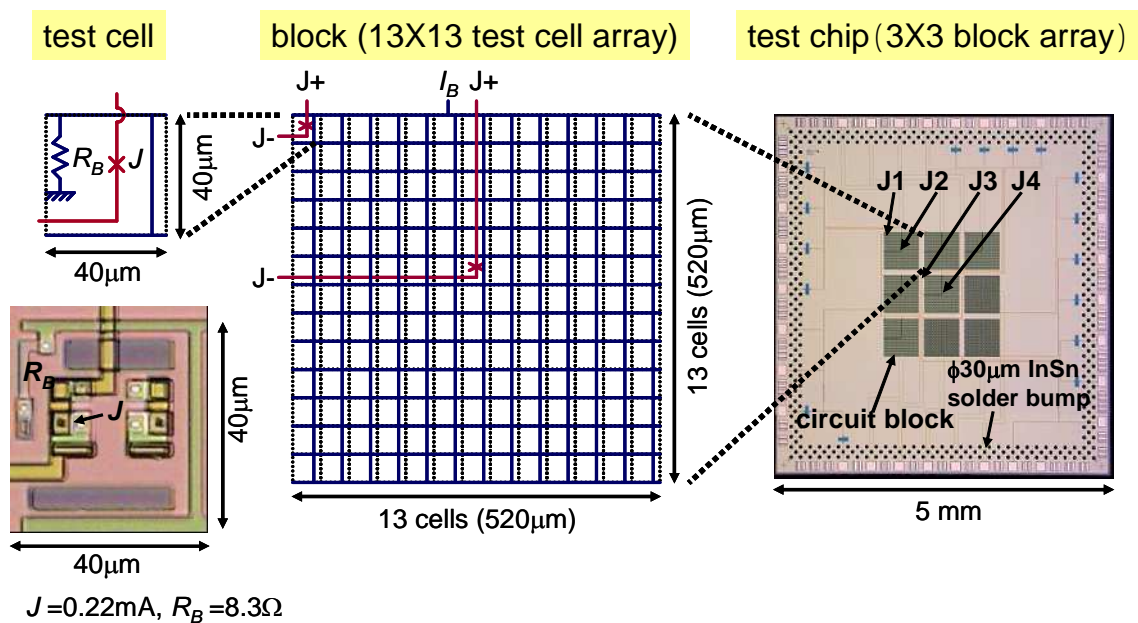


図 7-8. 評価チップ。

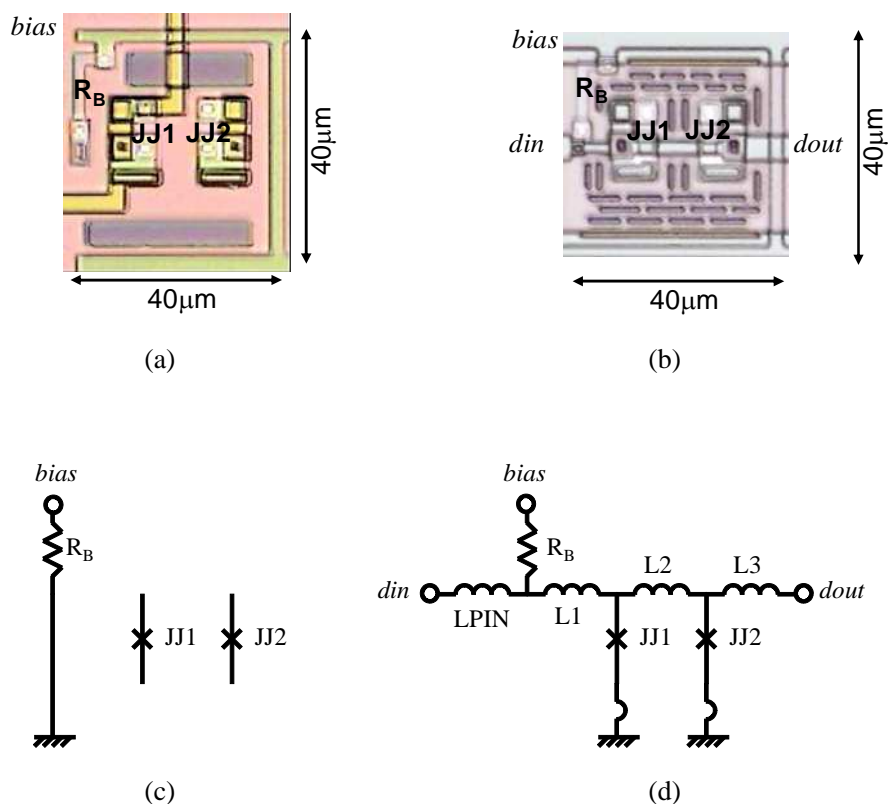


図 7-9. 評価セルと JTL セル。(a) 評価セルのレイアウト、(b) JTL セルのレイアウト、(c) 評価セルの等価回路図、(d) JTL セルの等価回路図。(a)では、(c)の等価回路に、接合 JJ1 の I - V 特性を測定するための配線が追加されている。

評価回路の中の所定の回路ブロックを選択的にバイアスすることが可能になっている。評価回路内の4個の接合 J1、J2、J3、J4 (図 7-8) の I_C を4端子測定で測定するための配線とパッドを設けた。評価回路に供給するバイアス電流値、および、バイアスする回路ブロックを変えることによって、これら4個の接合の I_C がどのように変化するかを測定する。これにより回路のバイアス抵抗が発生する熱による回路内の接合の I_C への影響を評価することができる。

7-2-3: 実験

評価チップを NEC の Nb 標準プロセス[31]で試作した。図 7-10 は評価チップの顕微鏡写真である。説明の便宜上、図 7-10 に示すように各ブロックに ~ の番号を付した。評価チップを 16mm×16mm の MCM 基板に 372 個の直径 30 μ m の InSn はんだバンプでフリップチップボンディングすることにより、評価用 MCM を作製した。評価用 MCM は、冷凍機システム 1 号機の 4K サンプルステージにアピエゾングリスで密着させて固定し、約 4K に冷却した。

接合 J1 と J4 の I - V 曲線を、(i) 6 個の回路ブロック (図 7-10 の ~) にバイアス電流が供給されている場合、(ii) 9 個の回路ブロックすべてにバイアス電流が供給されている場合、の2つの場合について測定した。J1 と J4 の I - V 曲線は、様々なバイアス電流値の場合に測定した。図 7-11 に、(i)の場合の J1 と J4 の測定結果を示す。図 7-11 (a)の横軸は評価回路に供給したバイアス電流 I_B であり、図 7-11 (b)の横軸は評価回路で発生した熱の総量 P である。図 7-11 (a)、(b)の縦軸は

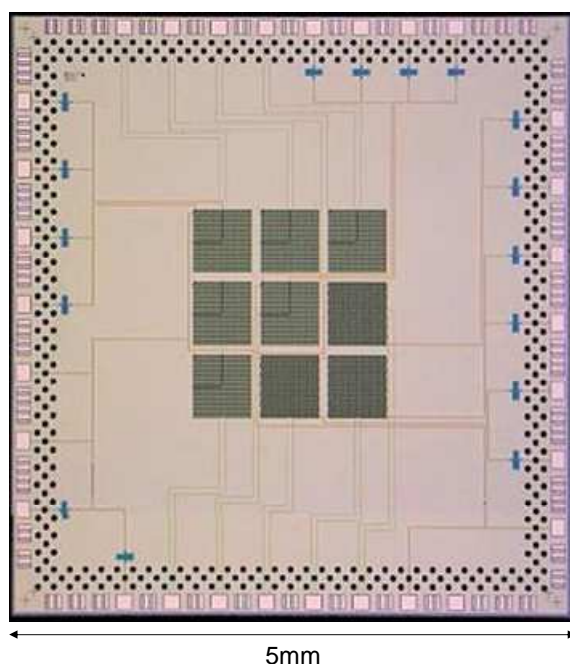


図 7-10. 試作した評価チップの顕微鏡写真。

J1 および J4 の I_C と、バイアスを供給したことによって生じる J1 と J4 の I_C の減少分 ΔI_C である(本章では、評価回路にバイアス電流を供給していないときの I_C を 100%、 ΔI_C を 0% と定義している)。 P は実験でチップに供給したバイアス電流 I_B 、評価セルのバイアス抵抗 R_B の設計値、バイアスを供給した評価セルの個数 N から、 $P=NI_B^2R_B$ で計算した。図 7-11 のように、 I_C は、J1 と J4 について有意な差は見られなかった。従って、チップ上の熱の影響は、接合のチップ上の位置に依存しない(図 7-8 から分かるように、J1 はテスト回路の周縁部、J4 はテスト回路の中央付近に配置されている)。図 7-12 (a)は、(i)および(ii)の場合の、J1 の I_C と ΔI_C の、テストチップ上で発生した熱の総量 P に対する依存性の測定結果である。図 7-12 (a)から分かるように、 ΔI_C は P にほぼ比例しており、およそ以下の関係にある。

$$\Delta I_C \text{ [%]} \approx 6.25 P \text{ [mW]} \quad (7-1)$$

P が約 1.6mW のときに I_C は 10% になった。1.6mW のパワーは、およそ 2,000 接合の SFQ 回路に 100% バイアス(つまり回路の I_C に等しいバイアス電流)を供給した場合に相当する(CONNECT セルライブラリの 2 接合 JTL セルを例にとると、セルの I_C は 0.43mA、バイアス抵抗は 8.3Ω なので、JTL セルに 100% バイアスを供給すると、バイアス抵抗で消費される電力は $0.43^2 \times 8.3 = 1.53\mu\text{W}$ である。したがって 2 接合 JTL セル 1,040 個 (2,080 接合) で約 1.6mW となる)。図 7-12 (a)の実験結果はさらに、(i)の場合と(ii)の場合で I_C の P 依存性に有意な差が無いことも示している。これは、チップ上で発生する熱の総量 P が一定であれば、 I_C はテスト回路で発生する熱の熱密度(具体的には、テスト回路が発生する熱を、発熱している回路部分の面積で割った値である)には依存しないことを意味している(発熱総量 P が等しい場合、(i)の場合の熱密度は(ii)の場合の熱密度の 1.5 倍である)。一方、図 7-12 (b)は、図 7-12 (a)のデータを別の方法でプロットしたものであり、 I_C と ΔI_C の、テスト回路で発生する熱の熱密度に対する依存性である。図 7-12 (b)から分かるように、熱密度が一定の場合、 I_C は(i)の場合よりも(ii)の場合の方が大きい。これらの実験結果から、 ΔI_C はチップ上の熱の総量 P によって決まり、熱密度では決まらない、と結論づけられる。この結果は以下のように理解できる。本研究の冷凍機システムにおける MCM の実装方法では、図 7-6 のようにチップと極低温ステージとの間の熱リンクははんだバンプに限られている。従って、チップと極低温ステージとの間の熱抵抗 R_T は常に一定である⁴⁵。一般に、チップの温度 T とチップ上の発熱 P との間には、以下の関係がある[132]。

$$P = \frac{T - T_a}{R_T} \quad (7-2)$$

⁴⁵ 厳密には、熱抵抗 R_T はチップや基板の温度によって変化する可能性が考えられるがここでは無視する。

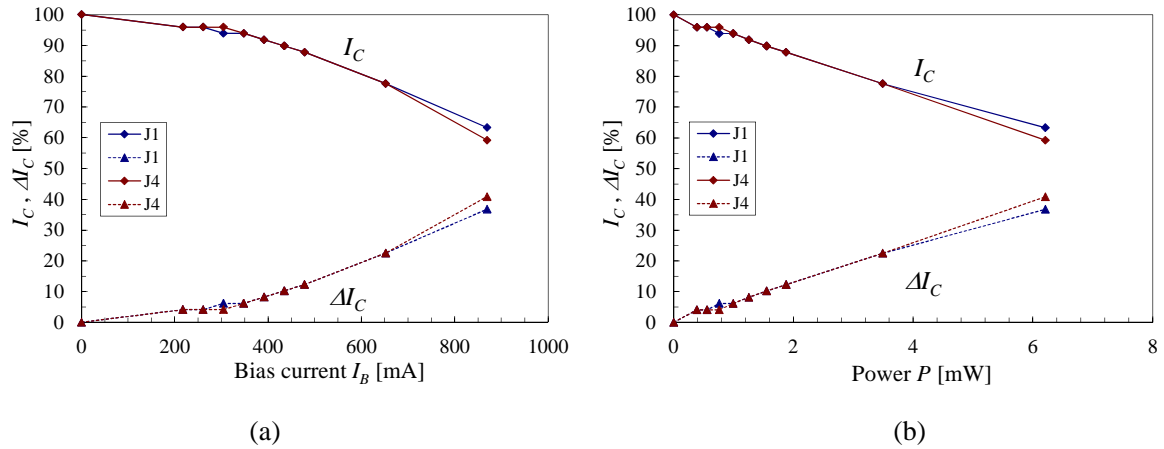


図 7-11. テスト回路の 6 個の回路ブロックにバイアスを供給した場合の、J1、J4 の I_C および ΔI_C の測定結果。(a) バイアス電流 I_B に対する依存性、(b) チップ上の発熱総量 P に対する依存性。

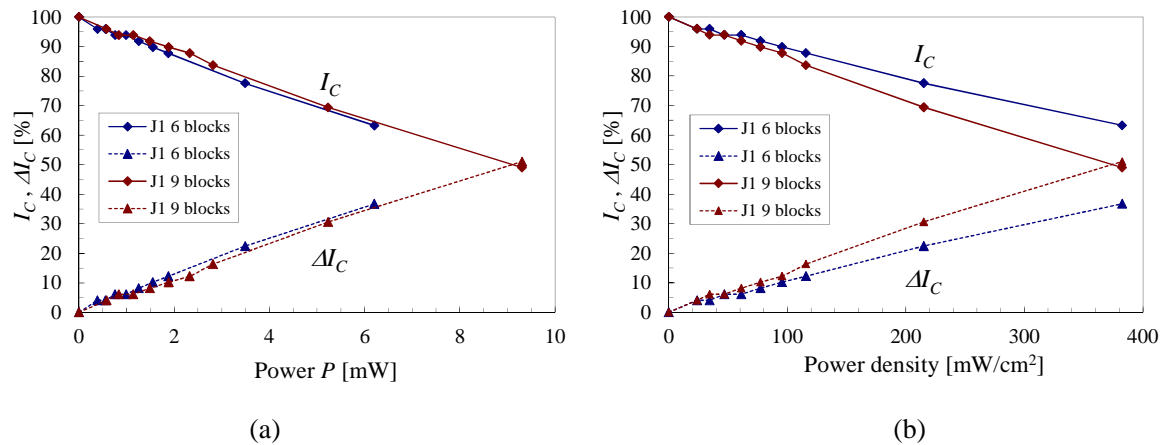


図 7-12. テスト回路の 6 個の回路ブロックにバイアスを供給した場合、および、9 個の回路ブロックにバイアスを供給した場合の、J1 の I_C および ΔI_C の測定結果。(a) チップ上の発熱総量 P に対する依存性、(b) テスト回路で発生する熱の熱密度に対する依存性。

ここで、 T_a は極低温ステージの温度である。従って、

$$T = T_a + R_T P \quad (7-3)$$

である。つまり T (従って ΔI_C) は P で決まる (図 7-12 (a))。また、テスト回路で発生する熱の熱密度が一定という条件下では、(ii) の場合のチップ上の発熱総量 P は (i) の場合の 1.5 倍である。したがって (7-3) 式から、チップ温度 T (従って ΔI_C) は、(i) の場合よりも (ii) の場合のほうが大きくなる (図 7-12 (b))。

次に、別の実装形態での実験を行った。図 7-13 に示すように、チップを MCM 基板に対してフェイスアップにし、チップの背面にグリスを塗って MCM 基板に密着させた。図 7-13 の実装方法を以下ではフェイスアップ実装と称する。チップ上のパッドと、MCM 基板上のパッドとを、ワイヤボンディングで接続し、評価用サンプルを作製した。作製した評価用サンプルの写真を図 7-14 (a)に示す。評価用サンプルの MCM 基板の背面にグリスを塗り、冷凍機のサンプルステージに密着させ (図 7-14 (b))、約 4K に冷却した。接合 J2、J3、J4 の I_C を、(i) 3 個の回路ブロックがバイアスされている場合 (図 7-10 の ~)、(ii) 6 個の回路ブロックがバイアスされている場合 (図 7-10 の ~)、(iii) 8 個の回路ブロックがバイアスされている場合 (図 7-10 の ~ と) の 3 つの場合について測定した⁴⁶。この測定の結果を図 7-15 に示す。図 7-15 (a)のように、チップ上の発熱総量 P が一定の場合、発熱密度が高いほど I_C が大きくなること示された。さらに、図 7-15

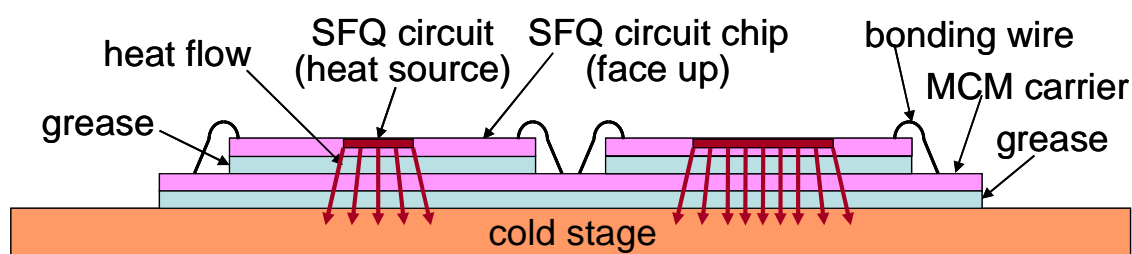


図 7-13. フェイスアップ実装の模式図。

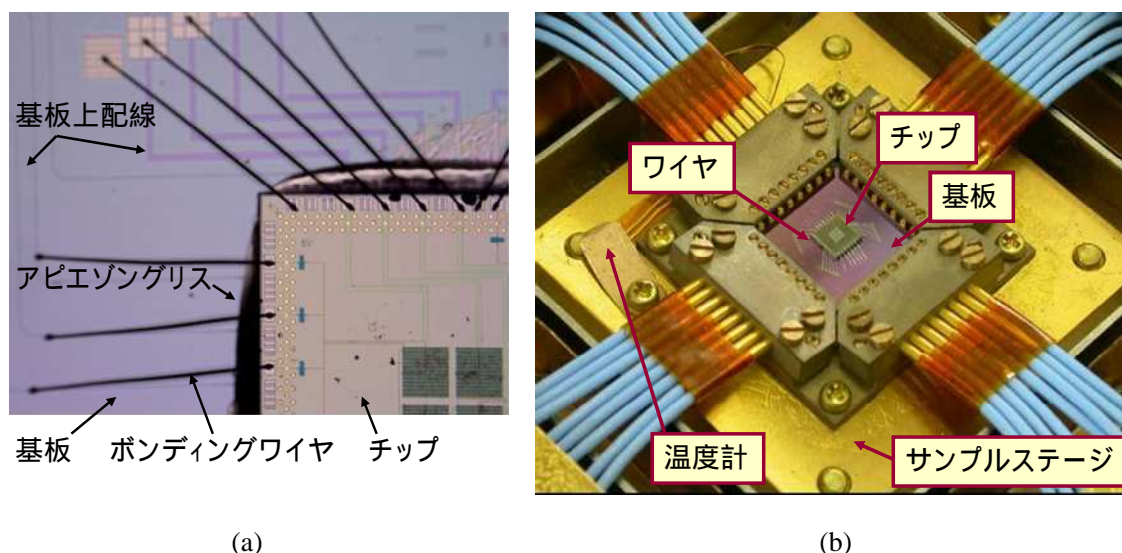


図 7-14. フェイスアップ実装評価用サンプルの写真。(a)チップ拡大写真と(b)冷凍機システムのサンプルステージに実装されたサンプル。

⁴⁶ 極低温冷却時にブロックへのバイアス供給ピンがopenになってしまった。極低温プローブの圧着部がopenになったためと考えられる。そのためこの実験では最大で8ブロックまでしかバイアスを供給していない。

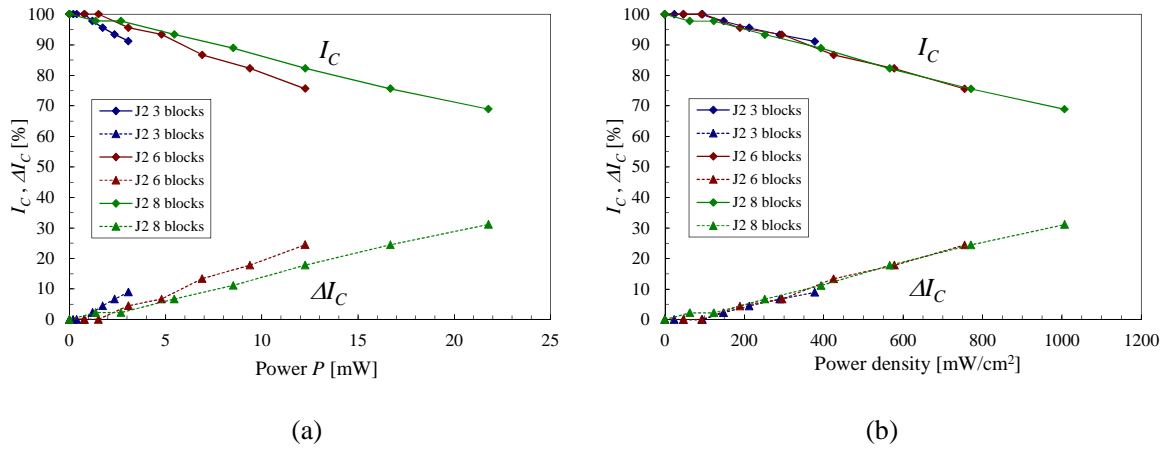


図 7-15. フェイスアップ実装の場合の測定結果。テスト回路の 3 個、6 個、8 個の回路ブロックにバイアスを供給した場合の、J2 の I_C および ΔI_C を示している。(a)チップ上の発熱総量 P に対する依存性、(b)テスト回路で発生する熱の熱密度に対する依存性。

(b)に示すように、テスト回路で発生する熱の熱密度が一定の場合、 I_C は、発熱総量 P によらず同じである。したがって、本研究の冷凍機システムの通常の実装方式（図 7-6）の場合と異なり、図 7-13 のフェイスアップ実装では、 I_C はテスト回路が発生する熱の熱密度で決まる。この実験結果は以下のように理解できる。フェイスアップ実装においては、チップ上の回路で発生した熱は、回路が形成されていないチップの周縁部まで広くは伝導せず、チップから極低温ステージに向かって伝導すると考えられる（図 7-13）。それは、Si ウエハの熱伝導率に大きな異方性がないため、熱は等方的に伝導されるが、チップの厚さがおよそ 600 μ m であるのに対し、評価回路の周縁部からチップの周縁部までは mm のオーダーの距離（チップの厚さの数 10 倍）があるので、回路で発生した熱のほとんどが、チップの周縁部に達するはるか前にチップを貫通すると考えられるからである。そのため、チップから MCM 基板への熱リンクの断面積は、バイアス電流が供給されている回路（つまり熱源）の面積 A にほぼ比例する。従って、 R_T は発熱している回路の面積 A の逆数にほぼ比例する。ゆえに、

$$P \approx \frac{T - T_a}{r_T / A} \quad (7-4)$$

である。ここで r_T は単位面積当たりの熱抵抗（チップの基板材料の熱伝導度と厚さで決まる定数）である。したがって、

$$\frac{P}{A} \approx \frac{T - T_a}{r_T} \quad (7-5)$$

である。ゆえに、

$$T \approx T_a + r_T \frac{P}{A} \quad (7-6)$$

である。(7-6)式は、 T (従って I_C) は回路の発熱密度 P/A で決まることを示している。図 7-15 (b) の実験結果から、フェイスアップ実装の場合、回路の発熱密度が $100\text{mW}/\text{cm}^2$ のとき、 I_C は 3% 以下である。表 7-1 に、典型的な CONNECT セルの発熱量と発熱密度を示す。典型的な CONNECT セルはいずれも、設計バイアスにバイアスされているときの発熱密度は $100\text{mW}/\text{cm}^2$ よりも非常に低く、表 7-1 に示したセルの平均発熱密度は $45.9\text{mW}/\text{cm}^2$ である。仮にセルの I_C までバイアスした場合であっても、表 7-1 に示した CONNECT セルの発熱密度の平均値はおおよそ $100\text{mW}/\text{cm}^2$ である。従って、CONNECT セルを用いて設計した SFQ 集積回路は、図 7-13 のフェイスアップ実装で冷凍機システムに実装すれば、いかなる規模の回路でも、回路の発熱による、回路自身を構成する接合の I_C の減少分を、 I_C の 3% 以内に収めることが可能であると考えられる。

以上のように、冷凍機システムの極低温ステージにマウントされている MCM に実装されている超伝導 SFQ チップからの熱の除去について実験を行い、課題を定量的に明らかにした。本節で行った実験結果から、仮に 10,000 接合の SFQ 論理集積回路チップを冷凍機システムで冷却し、

表 7-1. CONNECT セルの発熱量と発熱密度。

セル名	接合数	セル面積 [$\mu\text{m} \times \mu\text{m}$]	設計バイア スでの消費 電力[μW]	100%バイア スでの消費電力 [μW]	設計バイア スでの発熱 密度 [mW/cm^2]	100%バイ アスでの 発熱密度 [mW/cm^2]
JTL	2	40×40	0.75	1.53	46.9	95.7
SPL	3	40×40	0.75	1.53	46.9	95.7
CB	7	80×40	2.19	4.47	68.5	139.8
DFF	6	40×80	1.79	3.65	55.9	114.2
NOT	11	80×80	2.12	4.32	33.1	67.4
AND	15	80×80	3.49	7.12	54.5	111.3
JXOR	11	80×80	2.67	5.45	41.7	85.1
NDRO	11	80×80	2.78	5.67	43.4	88.7
TFF	13	80×80	1.98	4.04	30.9	63.1
D2FF	12	80×80	2.35	4.80	36.8	75.0
平均	9.1	-	2.09	4.26	45.9	93.6

100%バイアスを印加した場合、回路の発熱は約 8mW であり、(7-1)式から、チップ上の接合の I_C は約半分にまで減少すると見積もられる。設計バイアスをかけた場合であっても、10,000 接合の回路の発熱は約 4mW であり、(7-1)式から、回路の接合の I_C は約 25%も減少する。このように大きく I_C が減少すれば、回路のバイアスマージンおよびタイミングマージンが著しく減少すると考えられる。従って、本研究で開発した冷凍機システムにおける通常の MCM 実装方法では、高速動作させることができる SFQ 回路の規模は 1 チップあたり数 1,000 接合以下に限られると結論付けられる。なお、 2×2 スイッチ MCM の SVD チップは設計バイアスで約 1mW、100%バイアスで約 1.4mW の発熱であり、(7-1)式から、接合の I_C は 6~9%程度減少していたと見積もることができる。一方、スイッチ MCM のスイッチチップは設計バイアスで約 0.5mW、100%バイアスで約 0.7mW の発熱であり、(7-1)式から、接合の I_C は約 3%~4.5%減少していたと見積もることができる。第 5 章のスイッチシステムの BER が 10^{-12} 台にまで低くならなかったことの一因として、接合の I_C の低下による回路のバイアスマージンおよびタイミングマージンの低下が考えられる。

一方、フェイスアップ実装は、いかなる規模の SFQ 回路でも回路自身の発熱による I_C の減少を抑え、回路を正常に動作させるためのひとつの効果的な実装方法であることが示された(ただし、チップ上の集積回路の発熱密度が一定という条件下で)。しかし、本節のはじめに述べたように、SFQ MCM を 10Gbps 超の高速で動作させるためには、はんだバンプを用いたフリップチップ実装が不可欠であり、図 7-13 のフェイスアップ実装のようなボンディングワイヤを用いた実装方法を用いることはできない。以上の考察から、本研究の冷凍機システムの MCM 実装方法(図 7-6)において、チップの背面全体と冷凍機の極低温ステージを接続する熱リンクを追加することが、いかなる規模の SFQ 回路も動作させるための有効な熱除去手段であることが示唆される。また、図 7-6 において、チップ表面と MCM 基板との間の空隙に熱伝導率の高い材料を充填することも、同様の効果を発揮すると考えられる。

しかし、MCM に実装されているチップの背面と冷凍機の極低温ステージとの間に熱リンクを追加することは容易ではない。チップの背面と熱リンク用部材との間の熱抵抗は可能な限り低くすることが必要だが、そのためには熱伝導率の高いグリスなどを用いるにしても、ある程度の力で熱リンク用部材をチップ背面に押し付けなければならない。しかし MCM 基板とチップとのバンプ接続部を破壊しないことが要求されるため、押し付ける力には限度がある。バンプ接続部を破壊せずにチップ背面と熱リンク用部材との間の熱抵抗を低くするための実装構造の研究が必要である。一方、チップ表面と MCM 基板との間に熱伝導性の材料を充てんすることは半導体など室温の MCM では広く行われており、そのための充てん材料は様々なものが市販されている。SFQ MCM でもこれらの材料を用いることが考えられるが、4K に冷却したときに MCM のバンプ接続部を破壊しない材料を見出す必要がある。チップと MCM 基板の間に充てん材料を適用し、かつ、チップ背面と冷凍機の極低温ステージとの間に熱リンクを適用するという複合的な実装構造により、MCM の機械強度を強化しつつ熱リンクを太くするという実装構造が現実的である可能性もある。チップからの熱除去のための実装技術は、大規模 SFQ システムを実現するための今後の重要な研究課題である。

7-3: 本章のまとめ

本章では、SFQ 回路の高速システム化技術のさらなる課題のうち、出力リンクのインピーダンス整合の向上と、MCM 実装された SFQ 回路チップが発生する熱の問題について、実験による評価をおこない、対策を議論した。SVD の出力波形の歪みを徹底的に少なくするためには、現状よりも精度の高い出力リンクのインピーダンス整合が必要であることを示した。具体的には、チップ上および MCM 基板上の 50Ω MSL の高インピーダンス化、および、出力端に終端抵抗を接続した SVD の最適化設計が必要である。一方、熱の除去については、いかなる規模の SFQ 集積回路の熱も動作に支障がない程度まで除去するためには、チップ背面に冷凍機コールドステージへの熱パスを追加すること、あるいは、チップと MCM 基板の間に熱伝導材料を充てんすること、の少なくともいずれかが必要である。これらの課題を解決するための具体的な回路設計、実装設計は今後の重要な課題である。

第 8 章：総括

8-1：本研究のまとめ

本研究では、超伝導単一磁束量子（Single Flux Quantum; SFQ）回路の高速システム化技術に関する研究を行った。本研究では SFQ 回路の高速システム化のための要素技術として PTL 伝送回路、チップ間 SFQ パルス伝送回路、超伝導電圧ドライバ、冷凍機システムの研究開発を行い、それによって確立した各要素技術を集積することにより、SFQ 高速システムのひとつの完成形を示した。さらに本研究によって達成された SFQ 高速システムの電力性能比を示すとともに今後の課題を明らかにし、今後の研究の指針を示した。

第 1 章では、本研究を取り巻く状況をもとに、超伝導 SFQ 回路の位置づけを述べ、その研究の重要性を明らかにした。はじめに、我々が扱う情報量の急増に伴い、ICT 機器の電力消費急増の問題が顕在化している現状を述べ、ICT 機器の電力性能比の向上が重要であることを述べた。次に、これまで ICT 機器の性能向上は CMOS の微細化によって実現されてきたが、リーク電流増大による消費電力増大、および、配線遅延増大による性能向上鈍化の 2 つの原因を挙げ、CMOS の微細化の延長では電力性能比の向上が壁にぶつかることを指摘した。そして、この CMOS の問題を本質的に解決するには新たな物理に基づくデバイス/回路技術が必要であり、bit あたりの消費電力が CMOS に比べて約 3 ケタ低く、100GHz 以上の高速動作が可能な超伝導 SFQ デバイス/回路技術がその有望な候補であると位置づけた。次に SFQ 回路の基本原理を概説した。そして、SFQ 回路の現状として、小規模の集積回路は 100GHz 級の高速動作が実証されているが、この高速性を活かした実用的な SFQ 高速システムを実現するには、(i) SFQ 回路の高速性能を大規模集積回路およびマルチチップモジュール（Multi-Chip Module; MCM）へとスケラブルに実現するための、超伝導伝送線路（Passive Transmission Line; PTL）を用いた SFQ パルス伝送技術、(ii) 4K で動作する SFQ 回路と室温エレクトロニクスとの間の数 10Gbps/ch の高速 I/O 技術、(iii) 数 10Gbps/ch の広帯域 I/O ケーブルを多チャンネル実装した冷凍機システム、の 3 つの技術課題を解決することが必須であることを示した。そして本論文の目的として、以下の 3 点を挙げた。

上記の各技術課題、すなわち、PTL を用いたチップ上およびチップ間 SFQ パルス伝送回路、高速 I/O、広帯域多チャンネル冷凍機システムの研究開発を行い、その結果開発された各技術を集積することにより、SFQ 高速システムのひとつの完成形を示すこと。

試作した SFQ 高速システムの 40GHz 以上での高速動作実験を行い、本研究の結果達成される SFQ 高速システムの電力性能比を示すこと。

SFQ 高速システムの電力性能比をさらに向上するための今後の課題を抽出すること。

第2章では、PTLを用いたチップ上SFQパルス伝送について述べた。まず、PTLと従来の配線であるJTLとの比較を行い、SFQ回路のスケーラブルな高速動作実現のためにPTLの導入が必要であることを示した。次に、これまで報告されたPTL伝送回路（PTL、ドライバ、レシーバで構成される回路）に関する研究を述べ、それらの研究はSFQパルス伝送時のインピーダンス整合に主眼が置かれており、それはPTL伝送回路の一面でしかないことを指摘した。次に、PTL伝送回路が共振器であることに着目し、その物理的性質を考察した。その結果、PTL伝送回路はPTLの長さで特徴付けられる共振周波数と等しい繰り返し周波数でパルス列を伝送したときに、共振によりバイアスマージンが大きく減少することを示した。さらに、共振の影響を低減するには共振のクオリティを低減することが必須だが、クオリティの低減はSFQパルス伝送時のインピーダンス整合を悪化させるというトレードオフが存在することを明らかにした。そして、PTL伝送回路の最適化設計はこのトレードオフの最適化に帰着すると結論付けた。この考察に基づいてPTL伝送回路を設計、試作し、共振周波数においても広いバイアスマージンを有するPTL伝送回路を40Gbpsまで実証した。次に、交差するPTL間のクロストークが、PTL伝送回路の特に下側バイアスマージンを大きく減少させ、さらに、共振によってこのマージン減少が悪化することを実験で明らかにし、そのメカニズムを示した。さらに、すべての配線にPTLを用いた4×4スイッチ回路を設計し、JTL配線を用いた4×4スイッチ回路と比較した。その結果PTL配線の導入により、SFQ論理集積回路のタイミングジッタ、消費電力等が大幅に削減されることを初めて実回路で定量的に示した。

第3章では、SFQ回路の高速性能をMCMレベルで実現するための鍵となる、チップ間SFQパルス伝送回路について述べた。チップ間SFQパルス伝送における課題は、チップとMCM基板を接続するバンパ接続部での構造不連続に起因する反射と信号損失の影響下で安定な回路動作を実現することであり、これには伝送回路の設計とバンパ接続構造の広帯域化設計の2点が重要である。この章では本研究以前に報告された超伝導チップ間の高速パルス伝送回路であるDFQ方式の構成と原理を述べ、シミュレーションによる解析結果も用いて、DFQ方式はプラズマ振動の影響により出力パルス間隔が不均一になること、および、チップ上伝送と同程度の伝送レートを実現できないことを明らかにした。次に、DFQ方式よりも高い伝送レートを実現できるチップ間SFQパルス伝送回路を提案した。提案した回路は第2章で設計したチップ上のPTL伝送回路を改良したものである。具体的には、バンパでの信号損失への耐性を高めるためにレシーバの I_C を可能最小値にして感度を向上し、ドライバの出力エネルギーを最大化した。ここでドライバの出力エネルギー増大とドライバのバイアスマージン拡大の間にトレードオフがあることを明らかにし、そのトレードオフを最適化した。バンパ接続構造については、3次元高周波解析により、SFQパルス伝送に必要な約250GHzの帯域を実現するための、信号バンパとGNDバンパの配置およびバンパ直径を明らかにした。設計した回路を臨界電流密度 $J_C=2.5\text{kA/cm}^2$ プロセスで試作し、チップ間SFQパルス伝送を60Gbpsまで実証し、提案した回路とバンパ接続構造によりチップ上伝送レートと同程度のチップ間伝送レートを実現できることを実証した。これにより、SFQ回路の高速動

作を保ったまま、MCM へと回路規模を拡大できる技術確立した。さらに $J_C=10\text{kA/cm}^2$ の高 J_C プロセスで設計、試作した提案の回路で 117Gbps までのチップ間 SFQ パルス伝送を実証し、100GHz で動作する SFQ MCM の実現可能性を実証した。

第 4 章では、10Gbps \times 32ch の I/O を実装した冷凍機システムを設計、試作した。広帯域 I/O ケーブルは電気伝導性が高いため熱伝導性も高く、そのため冷凍機システムにおいては、冷凍機の限られた冷却能力の下でいかに多くの広帯域 I/O ケーブルを実装するかが課題である。本研究では冷却能力 1W の 4K ステージと、冷却能力約 40W の 40K ステージを有する冷凍機を使用した。冷却能力の高い 40K ステージで I/O ケーブルのサーマルアンカーをとり室温から流入する熱の大半を除去する構成とすることにより、室温から 40K ステージまでの間に電気伝導性の高い Cu のケーブルを用いて高周波損失を低減することを可能にした。一方、4K ステージは冷却能力が 1W と低いため、40K ステージから 4K ステージの間は熱伝導性の低いリン青銅のケーブルを用いて熱流入の低減を優先した。このように、特性の異なる複数のケーブルを温度ステージごとに使い分けたことにより、高周波損失低減と熱流入低減を両立した。SFQ 回路が情報担体として処理する SFQ パルスは psec 幅の微小なパルスであるため、SFQ 回路の出力を高速のまま室温に出力するためには SFQ パルスを増幅する超伝導電圧ドライバ (Superconductor Voltage Driver; SVD) が鍵となる。SVD は I_C が高いほど広いバイアスマージンで動作するが、本研究では省電力化のためにプロセス上可能な最小の I_C で SVD の設計を試みた。設計、試作した SVD を、試作した冷凍機システムで冷却し、10Gbps/ch での低 BER 動作 ($\text{BER} < 10^{-12}$) を実証した。この実験により、本研究で開発した冷凍機システムと SVD が、SFQ 回路の 10GHz 以上のシステム動作実験に使用するのに十分な性能を有することを実証した。

第 5 章では、第 2 章～第 4 章で開発した SFQ 回路の高速システム化のための要素技術、すなわち PTL 伝送回路、チップ間 SFQ パルス伝送回路、SVD、冷凍機システム、を集積した 2×2 スイッチシステムを設計、試作した。このスイッチシステムは、 2×2 スイッチチップと 8ch SVD チップが超伝導 MCM 基板にフリップチップ接続された 2×2 スイッチ MCM が冷凍機システムで冷却されたものである。スイッチチップと SVD チップの間で SFQ パルスを 10Gbps/ch \times 8ch で伝送する。冷凍機システムの I/O の伝送レート (10Gbps/ch) とスイッチ回路のデータレート (40Gbps/ch) のギャップを解消するため、40Gbps 入出力インタフェースとして 4:1 MUX と 1:4 DEMUX を設計し、スイッチチップに集積した。このスイッチシステムの全ビット動作を計測器の上限である 47Gbps まで実証した。SFQ 回路のシステムレベルの全ビット動作を 40Gbps 以上で実証した例は他にない。この実験により、第 2 章～第 4 章で開発した各技術、および、それらの技術のインテグレーションの有効性を実証した。

第 6 章では、冷凍機システムの I/O 高速化のための NRZ 型 SVD と光入力を述べた。まず、NRZ 信号の基本周波数が RZ 信号の基本周波数の 1/2 であることに着目し、第 4 章で設計した SVD (RZ 出力) と異なる、NRZ 信号を出力する NRZ 型 SVD を用いることにより、同一の I/O ケーブルで 2 倍の伝送レートを実現できることを示した。この NRZ 型 SVD を設計、試作し、冷凍機システムで冷却し、25Gbps/ch までの動作を実証した。この結果、冷凍機システムのスループットを第 4

章の結果の 2 倍以上に向上した。次に、広帯域で熱流入が無視できる光ファイバを室温から極低温までの I/O リンクとして使用し、極低温で光/電気変換を行い SFQ 回路に電気信号を入力する、光入力冷凍機システムについて述べた。冷凍機システムの極低温ステージに単一走行キャリアフォトダイオード (Uni-Traveling Carrier Photodiode; UTC-PD) を実装し、光ファイバを冷凍機内に実装することにより、光入力冷凍機システムを試作した。このシステムで約 5K に冷却された UTC-PD の、40Gbps 動作時の出力電圧、S/N、ジッタの光入力パワーに対する依存性を測定により明らかにした。この結果、低ジッタ、高 S/N の 40Gbps UTC-PD 出力を得るには光入力パワーが 3mW 以上必要であることを明らかにした。次に、UTC-PD の出力信号を SFQ パルスに変換する PD/SFQ インタフェイスを設計した。UTC-PD の出力は負極性であり、暗電流がオフセットとして加わる。この UTC-PD の出力信号の性質を考慮し、UTC-PD からの出力ラインと SQUID が磁気結合した回路構成を提案し、暗電流を相殺するための DC オフセット入力を設けた。PD/SFQ インタフェイス、1:2 DEMUX、NRZ 型 SVD を集積した評価チップを光入力冷凍機システムで冷却し、室温から約 5K の UTC-PD に 40Gbps の光データ信号を入力して実験した結果、SFQ 回路の光入力によるシステムレベルでの 40Gbps 動作を初めて実証した。この実験結果により、光入力 SFQ 高速システムのひとつの完成形を示した。また実験結果をもとに、本研究で開発した光入力冷凍機システムのスループットの、冷凍機システム全体の消費電力に対する比、すなわち電力性能比が 0.12Tbps/kW であることを明らかにした。さらに、本研究での実験結果を踏まえ、現存する 8W の GM-JT 冷凍機を用いれば、6.4Gbps の入出力を有する冷凍機システムが実現可能であり、システムの電力性能比は 0.8Tbps/kW に向上されることを示した。

第 7 章では、今後の課題のうち、実験によって具体的に見えてきた課題を述べた。まず SVD の出力波形に現れる反射から、TDR と同じ原理によって冷凍機システムの出力リンク上のインピーダンス不整合箇所を明らかにし、その不整合に対する回路設計上の対策として、チップ上および MCM 基板上の 50 Ω MSL の高インピーダンス化、および、終端抵抗を接続した SVD の最適化設計を挙げた。次に MCM 実装された SFQ 回路が発生する熱が SFQ 回路自身の接合の I_c を低下させる問題を述べた。ここでは SFQ 集積回路を模した評価回路を設計、試作し、冷凍機システムで冷却し、評価回路上で発生する熱による評価回路上の接合の I_c の減少分の、発熱量に対する依存性を測定し、熱の影響を定量的に明らかにするとともにそのメカニズムを明らかにした。実験結果に基づき、この問題を解決し、いかなる規模の SFQ 集積回路でも冷却可能にするためのチップからの熱除去方法について指針を示した。

8-2: 本研究の波及効果

本研究では、SFQ 回路の高速システム化のための要素技術を開発した。また、これらの要素技術を集積し、SFQ 高速冷凍機システムを実現した。さらに、実験結果に基づき、冷凍機システムの電力性能比を見積もった。この見積もりは精度を上げる必要はあるが、実験結果に基づいたデ

ータとして、冷凍機まで含めた SFQ デジタルシステムの他技術とのベンチマークに有用なデータになると考えられる。さらに、本研究で開発した各技術は、様々な研究で用いられ、成果を上げている。PTL 伝送回路は CONNECT セルライブラリ[49]の標準セルとして導入され、マイクロプロセッサ[36]、レジスタファイル[133]、AD コンバータ[134]等の様々な回路の高性能化に寄与した。チップ間 SFQ パルス伝送回路、電圧ドライバ、冷凍機システムは 4×4 スイッチシステムで用いられ、10Gbps の全ビット低 BER 動作を実証した[135]。チップ間 SFQ パルス伝送技術は、量子コンピュータにおける量子ビットチップと制御チップからなるハイブリッド MCM への適用可能性も検討されている[136], [137]。さらに、光入力冷凍機システムは、任意波形生成器に用いられて優れた性能実証に寄与した[138]。本研究では、プロセッサやスイッチ等の高スループット SFQ デジタル回路への適用を目的に SFQ 回路の高速システム化技術の研究開発を行ったが、これらの事例が証明するように、本研究によって確立された各技術は、高スループットデジタルアプリケーションだけではなく、AD コンバータ、量子コンピュータ、任意波形生成器等の様々な超伝導エレクトロニクスの分野に展開できる、波及効果の高い基盤技術である。

8-3: 今後の課題

SFQ 高速システムの電力性能比を向上するには、冷凍機の極低温ステージへの熱流入をいかにして低減するかが非常に重要である。そのため本研究では、冷凍機の限られた冷却能力のもとで可能な限り I/O リンクを広帯域化することに研究の主眼をおいた。その結果、入力側に 40Gbps/ch の光入力リンク、出力側に 25Gbps/ch の電気出力リンクを用いた SFQ 高速システムをひとつの完成形として実現した。しかし、本研究で用いた極低温光/電気変換デバイスは 1 素子ごとにモジュール化したものでありサイズが大きい。多 ch 化のための今後の課題として、極低温光/電気変換デバイスの小型、高密度化が挙げられる。また、それと同時に光/電気変換デバイスの低電力化も重要な課題である。一方、出力リンクは依然として電気であり、電気の I/O ケーブルを通した熱流入が冷凍機の熱負荷の大部分を占めている。そのため、出力リンクの熱流入の大幅な低減がもうひとつの重要な課題となる。そのためには光出力の実現が望まれるが、SFQ 回路の微弱な出力エネルギーでいかにして効率よく光を制御するかが研究課題になる。光出力リンクの実現が困難である場合、電気信号の多重化も検討する価値があるように思われる。

また、本研究では取り組まなかったが、SFQ 高速システムの電力性能比を決定づけるもうひとつの重要な要因として、DC バイアス電流供給に要する電力が挙げられる。SFQ 回路は低消費電力であるため、回路自身の発熱は冷凍機にとって大きな熱負荷にはならない。例えば 10 万接合の SFQ 回路でもその発熱は約 40mW でしかない。しかもこの熱の大部分はバイアス抵抗での発熱であり、回路の改善により大幅に低減できる[5]。しかし、10 万接合の SFQ 回路の DC バイアス電流は 15A 程度であり非常に大きい。SFQ 回路のバイアス抵抗は現状 16Ω /接合程度であり、したがって 10 万接合の SFQ 回路のバイアス抵抗は $0.1\text{m}\Omega$ のオーダーになり実質的にショートである。ゆ

えに室温の電源装置とのインピーダンス不整合が著しく、電源装置から供給するほとんどのエネルギーは電源装置内で無駄な熱として消費される⁴⁷。その結果、室温の電源装置を含めた SFQ システムの消費電力が大幅に増大する。この問題を解決するには、電源装置と SFQ 回路のインピーダンス整合を改善したバイアス供給技術の研究開発が不可欠である。同様の問題はラッチングロジックでも存在したが、ラッチングロジックは AC バイアス駆動のため、チップ上にトランスフォーマー[139], [140]や LC 共振回路を用いたインピーダンス変換回路[141], [142]を集積することによりこの問題を解決できた。一方、SFQ 回路は DC バイアス駆動のため、AC バイアスと極低温インピーダンス変換回路を用いた電源供給によりこの不整合の問題に対処する場合、極低温ステージに整流回路が必要になる。この問題への取り組みとして、ラチェット効果を利用した整流器[143]が提案されており、今後、重要な技術になると予想される。また、AC 電源を用いずに、DC 電流をリサイクルする提案もなされており[144]、今後の研究の進展が期待される。

以上述べたような課題に対する研究開発が進展し、超伝導 SFQ 回路技術が幅広い分野で実用化され人々の役に立つ日が訪れることを期待する。

⁴⁷ 一般に、周波数によらず、電源装置と負荷回路のインピーダンス（DCの場合は抵抗）が等しい場合に、負荷回路に最大の電力を供給できる（インピーダンス整合）。

謝辞

本論文は、筆者が2000年10月から2001年10まで State University of New York at Stony Brook で、2001年10月から2002年7月まで日本電気株式会社で、2002年7月から2008年4月まで国際超電導産業技術研究センターで行った研究の成果をまとめたものです。本論文の審査にあたり、多くの貴重なご指導を賜り、ご審査いただきました、主査の名古屋大学大学院 工学研究科 量子工学専攻教授 藤巻朗先生、副査の名古屋大学大学院 工学研究科 量子工学専攻教授 岩田聡先生、同専攻准教授 井上真澄先生、横浜国立大学大学院 工学研究院 知的構造の創生部門教授 吉川信行先生に、心より深く御礼申し上げます。

筆者が State University of New York at Stony Brook に滞在していた間、多くのご指導とご議論をいただきました、同大学 Department of Physics and Astronomy, Research Professor の Vasili K. Semenov 先生に、心から深く感謝いたします。筆者が超伝導単一磁束量子回路の本質を理解できたのは、Semenov 先生との多岐にわたる深いディスカッションがあったからでした。同大学滞在中に、有益な議論と友人として温かいご交流をいただきました、同大学の Timur V. Filippov 博士（現 HYPRES）に感謝いたします。同大学滞在中に、実験装置の使い方のご指導をくださっただけでなく、筆者と一緒に実験を行ってくださり、貴重なアドバイスをくださいました、同大学の Yuri Polyakov 博士に感謝いたします。

本研究における多くの回路の高速動作実証は、CONNECT チームでの共同研究なしには成し得ないものでした。名古屋大学大学院 工学研究科 量子工学専攻教授 藤巻朗先生、横浜国立大学大学院 工学研究院 知的構造の創生部門教授 吉川信行先生、情報通信研究機構 未来 ICT 研究所 ナノ ICT 研究室 研究マネージャー 寺井弘高博士、日本電気株式会社 萬伸一博士、亀田義男博士をはじめ、CONNECT チームの研究活動の中核を担った歴代の名古屋大学および横浜国立大学の学生の皆様に、心から深く感謝いたします。

本研究の第2章後半～第5章の研究は、NEDO プロジェクト“低消費電力型超電導ネットワークデバイスの開発”において実施されたものです。同プロジェクトにおいて、多くの有益なご助言と励ましをいただきました、プロジェクトリーダーの名古屋大学名誉教授 早川尚夫先生に、心から深く感謝いたします。同プロジェクトにおいて、筆者らの研究を温かく見守ってくださり、温かい励ましをいただきました、財団法人 国際超電導産業技術研究センター 常務理事 天沼周次郎氏に、心から御礼申し上げます。同プロジェクト開始から現在に至るまで、数多くの有益なご議論と激励をいただきました、財団法人 国際超電導産業技術研究センター 超電導工学研究所 特別研究員 蓮尾信也博士に、心から深く感謝いたします。同プロジェクト開始以降、筆者の研究を支えてくださり、多くのご議論とご助言をいただきました、同研究所 デバイス開発部 低温デバイス開発室長 日高睦夫博士をはじめ、同開発室の永澤秀一博士、佐藤哲朗博士、日野出憲治博士、赤池宏之博士（現 名古屋大学大学院 工学研究科 量子工学専攻 助教）、丸山道隆博士（現 産業技術総合研究所 計測標準研究部門 電磁気計測科 電気標準第2研究室）

藤原完博士に、深く感謝いたします。本研究の冷凍機システムの重要な構成要素である極低温半導体アンプと UTC-PD モジュールの開発は、同開発室の鈴木秀雄博士が主導されて実施されたものです。鈴木秀雄博士には、一貫して有益なご助言をいただき、多くのご支援をいただきました。ここに深く感謝申し上げます。本研究の数多くのチップと基板を作製してくださった、同開発室の北川佳廣氏、伊坂美千代氏に心から深く感謝いたします。デバイス/回路の研究においては実験による実証が不可欠であるという筆者の理想は、このお二人のお力がなければ実現できないものでした。

本研究の第 4 章以降の冷凍機システムは、株式会社クライオウェアと株式会社川島製作所によって作製されたものです。この冷凍機システムの開発において、多大なご尽力をいただきました、株式会社クライオウェア 藤岡耕治氏、川島製作所 赤坂清三氏、賀川孝男氏に、心から深く御礼申し上げます。極低温、高周波、多ピン実装という非常に困難な課題に正面から切り込み、多くの試行錯誤を経て、目標性能を有する冷凍機システムを実現してくださったその非常に高度な技術力とものづくりの魂は、まさに日本の宝であると思いました。冷凍機システムの試作において、鹿角市の川島製作所 秋田工場で実際に極低温プローブやマイクロコネクタを作製してくださった方々に深く感謝申し上げます。冷凍機システムの重要な構成要素である極低温半導体アンプを初め、多くの高周波計測器および高周波部品の試作にあたりご尽力いただきました、SHF Japan 代表取締役 興津友典氏に感謝いたします。本研究の第 6 章の光入力冷凍機システムの研究開発において、光計測器のカスタム品について、非常に短い納期で優れた計測器の作製、納品にご尽力くださった、アンリツ株式会社 荒井哲哉氏、藤沼一弘氏をはじめ、その後のサポートでご支援をいただきました、同社 堀江純雄氏に深く感謝いたします。

本研究の第 3 章の研究において、超伝導チップへのはんだバンプ形成プロセスをご教授くださいました、産業技術総合研究所 山森弘毅博士に感謝申し上げます。はんだバンプ形成プロセスの最適化に携わってくださった、理化学研究所 宮崎利行博士に感謝申し上げます。微小かつ高さバラツキの大きなバンプでのフリップチップボンディングの歩留まり向上という困難な課題に際し、フリップチップボンディングの条件出しとボンダーの機械調整にご尽力くださいました、ソニーイーエムシーエス株式会社 西尾道夫氏に、深く感謝いたします。

筆者が日本電気株式会社に入社した頃の頃より、温かいご支援と多くのご助言をいただきました、日本電気株式会社 基礎研究所 新機能素子研究部長 曽根純一博士(現 独立行政法人 物質・材料研究機構理事)、同研究部 研究課長 田原修一博士(現 日本電気株式会社 中央研究所 支配人)、同研究部 沼田秀昭氏(現 日本電気株式会社 スマートエネルギー研究所 主任研究員)をはじめとする、同社 基礎研究所(当時)の多くの方々に感謝申し上げます。同じく筆者が超伝導エレクトロニクスの研究に従事しはじめた頃、筆者に超伝導回路の設計の基礎をご指導くださいました、電子技術総合研究所(現 産業技術総合研究所) 超伝導エレクトロニクス研究室長 高田進博士(故人)をはじめ、同研究室の黒沢格博士(現 日本女子大学大学院 理学研究科 数理・物性構造科学専攻 教授)、仲川博博士(現 産業技術総合研究所 エレクトロニクス研究部門 主任研究員)、青柳昌宏博士(現 産業技術総合研究所 エレクトロニクス研究

部門 主幹研究員) 東海林彰博士に、心から感謝申し上げます。

筆者が日本電気株式会社に入社してから現在に至るまで一貫して、公私にわたりご交流くださり、筆者の社会人研究者としての成長に大きな影響を与えてくださいました、日本電気株式会社 スマートエネルギー研究所 研究部長 萬伸一博士、同社 グリーンプラットフォーム研究所 エキスパート 亀田義男博士、産業技術総合研究所 エレクトロニクス研究部門 磁束量子デバイスグループリーダー 前澤正明氏、情報通信研究機構 未来 ICT 研究所 ナノ ICT 研究室 研究マネージャー 寺井弘高博士に、心から深く御礼申し上げます。

本研究の光入力冷凍機システムを任意波形生成器の実験に用いてくださり、本研究の成果が高スループットディジタル応用以外の超伝導エレクトロニクス分野に展開できることを示してくださいました、産業技術総合研究所 計測標準研究部門 電磁気計測科 電気標準第 2 研究室長 金子晋久博士をはじめ、同研究室 浦野千春博士、丸山道隆博士、東京都市大学 生体医工学科 教授 桐生昭吾先生に、感謝いたします。

筆者が大学院学生の間、ご指導くださり、筆者の研究者としての基盤を形成してくださいました、東北大学大学院 理学研究科 物理学第二専攻 助教授 新関駒二郎先生(現 東北大学名誉教授) 佐藤和弘博士(現 青森公立大学 教授)に、心より深く感謝いたします。社会人になってから筆者は大学院時代とは全く異なる領域で研究を進めてまいりましたが、先生方のご指導により大学院時代に形成された研究者としての基盤が、その後の研究においていくつもの困難を開ける大きな力となりました。

このように本研究は、多くの方々のご支援により行われたものです。本研究に関わられたすべての方々に、あらためて感謝申し上げます。

筆者を育て、筆者のわがままによる地方大学での学生生活を支え、社会人になってからも筆者を励ましてくれた、父 義守(故人) 母 美貴子、兄 義徳、弟 健児に、心から深く感謝いたします。

最後に、これまで長きにわたり、慣れない海外での研究生活や、休日や深夜にわたる筆者の不規則な研究生活に理解を示し、筆者を生活面および精神面で常に支えてくれた妻 祐子に、心から深く感謝いたします。

付録: 本論文で用いた略称

略称	英語での正式名称	日本語表記
[A] ADC	Analog-to-Digital Convertor	アナログ/デジタル変換器
[B] BER	Bit Error Rate	ビットエラーレート
[C] CB	Confluence Buffer	コンフルエンス・バッファ
CPW	Colpanar Waveguide	コプレーナ線路
CUT	Circuit Under Test	被測定回路
[D] D2FF	D2-Flip-Flop	D2 フリップフロップ
DEMUX	Demultiplexer	デマルチプレクサ
DFF	D-Flip-Flop	D フリップフロップ
DFQ	Double Flux Quantum	二磁束量子
[E] ED	Error Detector	エラーディテクタ
[H] HFCG	High-frequency Clock Generator	高周波クロック発生器
[I] I/F	Interface	インタフェイス
I/O	Input/Output	入出力
[J] JTL	Josephson Transmission Line	ジョセフソン伝送線路
[M] MCM	Multi-Chip Module	マルチチップモジュール
MFQ	Multi Flux Quantum	多磁束量子
MSL	Microstrip Line	マイクロストリップライン
MSM-PD	Metal-Semiconductor-Metal Photodiode	金属-半導体-金属フォトダイオード
MUX	Multiplexer	マルチプレクサ
[N] NDRO	Non-Destructive-Read-Out	非破壊読み出しセル
NRZ	Non Return-to-Zero	NRZ
NRZ/SFQ	NRZ-to-SFQ Converter	NRZ/SFQ コンバータ

略称		英語での正式名称	日本語表記
[P]	PD	Photodetector	フォトディテクタ
	PPG	Pulse-Pattern Generator	パルスパターン発生器
	PRBS	Pseudo-Random Bit Sequence	擬似乱数ビットシーケンス
	PTL	Passive Transmission Line	受動伝送線路
[R]	RSFF	RS Flip-Flop	RS フリップフロップ
	RZ	Return-to-Zero	RZ
[S]	SFQ	Single Flux Quantum	単一磁束量子
	SG	Synthesized Signal Generator	シンセサイズド信号発生器
	SL	Strip Line	ストリップライン
	SPL	Splitter	スプリッタ
	SQUID	Superconducting QUantum Interference Device	超伝導量子干渉素子
	SR	Shift Register	シフトレジスタ
	SVD	Superconductor Voltage Driver	超伝導電圧ドライバ
[T]	TDR	Time-Domain Reflectometry	タイム・ドメイン・リフレクトメトリ
	TFF	T-Flip-Flop	T フリップフロップ
[U]	UTC-PD	Uni-Traveling-Carrier Photodiode	単一走行キャリアフォトダイオード
[V]	VDL	Variable Delay Line	可変遅延線

参考文献

- [1] 総務省 ; 情報通信白書 平成 23 年版 ”: <http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h23/pdf/index.html>
- [2] 総務省 , “ 我が国のインターネットにおけるトラフィック総量の把握 ”, 2011 年 9 月 30 日 : http://www.soumu.go.jp/main_content/000130485.pdf
- [3] 経済産業省 , “ グリーン IT イニシアティブ ”, 平成 19 年 12 月 6 日 : http://www.meti.go.jp/press/20071207005/03_G_IT_ini.pdf
- [4] 独立行政法人 情報通信研究機構 ; NICT 新ビジョン ”, 平成 23 年 11 月 9 日 : http://www.nict.go.jp/data/presentation/NICTnew_vision.html
- [5] O. A. Mukhanov, “Energy-Efficient Single Flux Quantum Technology,” IEEE Trans. Appl. Supercond., Vol. 21, No. 3, pp. 760-769, 2011.
- [6] 松岡聡 , “ 超低消費電力ハイパフォーマンスコンピューティング ”, 応用物理 , 第 80 巻 , 第 7 号 , pp. 579-584 , 2011 .
- [7] 半導体技術ロードマップ専門員会 , 2007 年度 STRJ 報告書 , 第 2 章 “ 設計タスクフォース ”: [http://strj-jeita.elisasp.net/strj/pdf-nenjihoukoku-0806/第 2 章 設計タスクフォース.pdf](http://strj-jeita.elisasp.net/strj/pdf-nenjihoukoku-0806/第2章 設計タスクフォース.pdf)
- [8] 益一哉 , “ オンチップ伝送線路配線の期待と課題 ”, 電子情報通信学会誌 , Vol. 91 , No. 3 , pp. 170-175 , 2008 .
- [9] A. Tsuchiya, “A Study on Modeling and Design Methodology for High-Performance On-Chip Interconnection,” Ph.D. Thesis, Kyoto University, 2005 (available at <http://www.tamaru.kuee.kyoto-u.ac.jp/~tsuchiya/publication.html>).
- [10] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X. Wang, J. B. Johnson, and M. V. Fischetti, “Silicon CMOS devices beyond scaling,” IBM J. Res. & Dev., Vol. 50, No. 4/5, pp. 339-361, 2006.
- [11] K. Nakajima, Y. Onodera, and Y. Ogawa, “Logic design of Josephson network,” J. Appl. Phys., Vol. 47, No. 4, pp. 1620-1627, 1976.
- [12] K. K. Likharev and V. K. Semenov, “RSFQ logic/memory family: A new Josephson-junction digital technology for sub-terahertz-clock-frequency digital systems,” IEEE Trans. Appl. Supercond., Vol. 1, No. 1, pp. 3-28, 1991.
- [13] H. Hayakawa, N. Yoshikawa, S. Yorozu, and A. Fujimaki, “Superconducting Digital Electronics,” Proc. IEEE, Vol. 92, No. 10, pp. 1549-1563, 2004.
- [14] T. Van Duzer, “Superconductor Digital Electronics Past, Present, and Future,” IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 260-271, 2008.
- [15] B. D. Josephson, Phys. Lett., Vol. 1, No. 7, pp. 251-253, 1962.
- [16] P. W. Anderson and J. M. Rowell, Phys. Rev. Lett., Vol. 10, No. 6, pp. 230-232, 1963.

- [17] 北澤宏一, “超伝導これからの 100 年”, 応用物理, 第 80 巻, 第 5 号, pp. 371-382, 2011.
- [18] 蓮尾信也, “超伝導エレクトロニクスの進展と今後の展望”, 応用物理, 第 80 巻, 第 5 号, pp.397-402, 2011.
- [19] R. C. Jaklevic, J. Lambe, A. H. Silver, and J. E. Mercereau, Phys. Rev. Lett., Vol. 12, No. 7, pp. 159-160, 1964.
- [20] O. A. Mukhanov, D. Kirichenko, I. V. Vernik, T. V. Fillipov, A. Kirichenko, R. Webber, V. Dotsenko, A. Talalaevskii, J. C. Tang, A. Sahu, P. Shevchenko, R. Miller, S. B. Kaplan, S. Sarwana, and D. Gupta, “Superconductor Digital-RF Receiver Systems,” IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 306-317, 2008.
- [21] A. Herr, “RSFQ Baseband Digital Signal Processing,” IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 293-305, 2008.
- [22] Y. Kameda, Y. Hashimoto, and S. Yorozu, “Design and Demonstration of a 4×4 SFQ Network Switch Prototype System and 10-Gbps Bit-Error-Rate Measurement,” IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 333-341, 2008.
- [23] A. Fujimaki, M. Tanaka, T. Yamada, Y. Yamanashi, H. Park, and N. Yoshikawa, “Bit-Serial Single Flux Quantum Microprocessor CORE,” IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 342-349, 2008.
- [24] 吉川信行, “単一磁束量子回路を用いた超高速マイクロプロセッサの開発とその展望”, 電子情報通信学会論文誌 C, Vol. J91-C, No. 3, pp. 183-193, 2008.
- [25] T. Van Duzer and C. W. Turner, “Principles of Superconductive Devices and Circuits,” 和訳本: 原宏, 菅原昌敬共訳, “超伝導デバイスおよび回路の原理”, コロナ社, 1983 年.
- [26] K. K. Likharev, “Dynamics of Josephson Junctions and Circuits,” Gordon and Breach Publishers, 1986.
- [27] IBM J. Res. & Dev., “Special Issue on Josephson Computer Technology,” Vol. 24, No. 2, 1988.
- [28] S. Kotani, A. Inoue, T. Imamura, and S. Hasuo, “A 1GOPS 8-b Josephson digital signal processor,” Digest Tech. Papers, International Solid-State Circuits Conference (ISSCC1990), pp. 148-149, 1990.
- [29] H. Nakagawa, I. Kurosawa, M. Aoyagi, S. Kosaka, Y. Hamazaki, Y. Okada, and S. Takada, “A 4-bit Josephson Computer ETL-JC1,” IEEE Trans. Appl. Supercond., Vol. 1, No. 1, pp. 37-47, 1991.
- [30] P. Bunyk, K. Likharev, and D. Zinoviev, “RSFQ Technology: Physics and Devices,” contribution to a special issue of the Int. Journal on High Speed Electronics and Systems, 2001 (available at <http://rsfq1.physics.sunysb.edu/~likharev/personal/RSFQ01.pdf>).
- [31] S. Nagasawa, Y. Hashimoto, H. Numata, and S. Tahara, “A 380ps, 9.5mW Josephson 4-Kbit RAM operated at a high bit yield,” IEEE Trans. Appl. Supercond., Vol. 5, No. 2, pp. 2447-2452, 1995.
- [32] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, and K. K. Likharev, “Superconductor digital frequency divider operating up to 750 GHz,” Appl. Phys. Lett., Vol. 73, No. 19, pp. 2817-2819, 1998.
- [33] HYPRES 社 HP (<http://www.hypres.com/>).
- [34] S. Yorozu, Y. Hashimoto, Y. Kameda, H. Terai, A. Fujimaki, and N. Yoshikawa, “A 40GHz clock

- 160Gb/s 4x4 switch circuit using single flux quantum technology for high-speed packet switching systems,” Proceedings of IEEE 2004 Workshop on High Performance Switching and Routing, pp. 20-23, Phoenix, U.S.A., Apr. 19-21, 2004.
- [35] Y. Kameda, S. Yorozu, Y. Hashimoto, H. Terai, A. Fujimaki, and N. Yoshikawa, “High-Speed Demonstration of Single-Flux-Quantum Cross-Bar Switch up to 50 GHz,” IEEE Trans. Appl. Supercond., Vol. 15, No. 1, pp. 6-10, 2005.
- [36] M. Tanaka, et al., “Demonstration of a Single-Flux-Quantum Microprocessor Using Passive Transmission Lines,” IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 400-404, 2005.
- [37] M. Hidaka, S. Nagasawa, K. Hinode, and T. Satoh, “Improvements in Fabrication Process for Nb-Based Single Flux Quantum Circuits in Japan,” IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 318-324, 2008.
- [38] H. Akaike, T. Yamada, A. Fujimaki, S. Nagasawa, K. Hinode, T. Satoh, Y. Kitagawa, and M. Hidaka, “Demonstration of a 120 GHz single-flux-quantum shift register circuit based on a 10 kA cm⁻² Nb process,” Supercond. Sci. Technol., Vol. 19, pp. S320-324, 2006.
- [39] M. Tanaka, H. Akaike, A. Fujimaki, Y. Yamanashi, N. Yoshikawa, S. Nagasawa, K. Takagi, and N. Takagi, “100-GHz Single-Flux-Quantum Bit-Serial Adder Based on 10-kA/cm² Niobium Process,” IEEE Trans. Appl. Supercond., Vol. 21, No. 3, pp. 792-796, 2011.
- [40] T. Yamada, A. Sekiya, A. Akahori, A. Fujimaki, H. Hayakawa, Y. Kameda, S. Yorozu, and H. Terai, “On-chip test of the shift register for high-end network switch based on cell-based design,” Supercond. Sci. Technol., Vol. 14, No. 12, pp. 1071-1074, 2001.
- [41] S. V. Polonsky, V. K. Semenov, and D. F. Schneider, “Transmission of Single-Flux-Quantum Pulses Along Superconducting Microstrip Lines,” IEEE Trans. Appl. Supercond., Vol. 3, No. 1, pp. 2598-2600, 1993.
- [42] V. K. Semenov, A. I. Ryzhikh, and Yu. A. Polyakov, “Decimation Filters Based on RSFQ Logic/Memory Cells,” Extended Abstracts of ISEC’97, Vol. 2, pp. 344-346, Berlin, Germany, Jun. 25-28, 1997.
- [43] Z. J. Deng, N. Yoshikawa, S. R. Whiteley, and T. Van Duzer, “Self-timing and vector processing in RSFQ circuit technology,” IEEE Trans. Appl. Supercond., Vol. 9, No. 1, pp. 7-16, 1999.
- [44] D. Gupta and Y. Zhang, “On-chip clock technology for ultrafast digital superconducting electronics,” Appl. Phys. Lett., Vol. 76, No. 25, pp. 3819-3821, 2000.
- [45] H. Suzuki, S. Nagasawa, K. Miyahara, and Y. Enomoto, “Characteristics of driver and receiver circuits with a passive transmission line in RSFQ circuits,” IEEE Trans. Appl. Supercond., Vol. 10, No. 3, pp. 1637-1641, 2000.
- [46] H. Suzuki, S. Nagasawa, H. Hasegawa, T. Hashimoto, K. Miyahara, and Y. Enomoto, “High frequency operation of JTL ring oscillator with a passive transmission line,” IEEE Trans. Appl. Supercond., Vol. 11, No. 1, pp. 1082-1085, 2001.

- [47] H. Terai, Y. Hashimoto, S. Yorozu, A. Fujimaki, N. Yoshikawa, and Z. Wang, "The relationship between bit-error rate, operating speed and circuit scale of SFQ circuits," *IEEE Trans. Appl. Supercond.*, Vol. 15, No. 2, pp. 364-367, 2005.
- [48] Q. P. Herr, A. D. Smith, and M. S. Wire, "High speed data link between digital superconductor chips," *Appl. Phys. Lett.*, Vol. 80, No. 17, pp. 3210-3212, 2002.
- [49] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, Y. Yamada, and S. Tahara, "A single flux quantum logic cell library," *Physica C*, Vol. 378, pp. 1471-1474, 2002.
- [50] R. L. Kautz, "Picosecond Pulses on Superconducting Striplines," *J. Appl. Phys.*, Vol. 49, No. 1, pp. 308-314, 1978.
- [51] T. Y. Hsiang, D. R. Dykaar, G. A. Mourou, R. Sobolewski, and J. F. Whitaker, "Propagation Characteristics of Picosecond Electrical Transients on Coplanar Striplines," *Appl. Phys. Lett.*, Vol. 51, No. 19, pp. 1551-1553, 1987.
- [52] C. C. Chi, W. J. Gallagher, I. N. Duling, D. Grischkowsky, N. J. Halas, M. B. Ketchen, and A. W. Kleinsasser, "Subpicosecond optoelectronic study of superconducting transmission lines," *IEEE Trans. Mag.*, Vol. MAG-23, No. 2, pp. 1666-1669, 1987.
- [53] V. P. Andratsky and V. S. Bobrov, "Propagation of Single Flux Quantum Pulse on Superconducting Transmission Line," *Cryogenics*, Vol. 30, pp. 1109-1112, 1990.
- [54] 古田 太, 斉藤和夫, 高木一正, "超電導 A/D 変換器・フロントエンド回路の設計と 40GHz 動作実証", *電気学会金属・セラミック研究会予稿集*, pp. 45-50, 2002 年 9 月 10 日.
- [55] H. Terai, Z. Wang, Y. Hashimoto, S. Yorozu, A. Fujimaki, and N. Yoshikawa, "Timing jitter measurement of single-flux-quantum pulse in Josephson transmission line," *Appl. Phys. Lett.*, Vol. 84, No. 12, pp. 2133-2135, 2003.
- [56] N. Joukov, Y. Hashimoto, and V. K. Semenov, "Matching Josephson Junctions with Microstrip Lines for SFQ Pulses and Weak Signals," *IEICE Trans. Electron.*, Vol. E85-C, No. 3, pp. 636-640, 2002.
- [57] Y. Hashimoto, S. Yorozu, Y. Kameda, and V. K. Semenov, "A Design Approach to Passive Interconnects for Single Flux Quantum Logic Circuits," *IEEE Trans. Appl. Supercond.*, Vol. 13, No. 2, pp. 535-538, 2003.
- [58] Synopsys 社 HP : <http://www.synopsys.co.jp/products/Saber/detail.html>
- [59] W. H. Chang, "The inductance of a superconducting strip transmission line," *J. Appl. Phys.*, Vol. 50, No. 12, pp. 8129-8134, 1979.
- [60] S. V. Polonsky, V. K. Semenov, P. I. Bunyk, A. F. Kirichenko, A. Yu. Kidiyarova-Shevchenko, O. A. Mukhanov, P. N. Shevchenko, D. F. Schneider, D. Yu. Zinoviev, and K. K. Likharev, "NEW RSFQ CIRCUITS," *IEEE Trans. Appl. Supercond.*, Vol. 3, No. 1, pp. 2566-2577, 1993.
- [61] E. B. Goldobin, V. M. Golomidov, V. K. Kaplunenko, M. I. Khabipov, and A. Yu. Kidiyarova-Shevchenko, "Direct determination of the ultimate performance of the RSFQ digital devices

and Single Flux Quantum Voltage Amplifiers,” IEEE Trans. Appl. Supercond., Vol. 3, No. 1, pp. 2641-2644, 1993.

[62] 日本ナショナルインスツルメンツ株式会社 HP : <http://www.ni.com/labview/ja/>

[63] B. Dimov, H. Toepfer, and H. F. Uhlmann, “Analysis of Electromagnetic Coupling Effects in Integrated Josephson Junction Logic Devices by the FDTD Technique,” IEEE Trans. Appl. Supercond., Vol. 11, No. 1, pp. 1102-1105, 2001.

[64] Y. Hashimoto, S. Yorozu, H. Terai, and A. Fujimaki, “Measurement of crosstalk between crossing superconductor microstrip lines,” Physica C, Vol. 392-396, pp. 1472-1477, 2003.

[65] S. H. Dhong and T. Van Duzer, “Minimum-Width Control-Current Pulse for Josephson Logic Gates,” IEEE Trans. Electron Devices, Vol. ED-27, No. 10, pp. 1965-1973, 1980.

[66] Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, and N. Yoshikawa, “Design and Investigation of Gate-to-gate Passive Interconnections for SFQ Logic Circuits,” IEEE Trans. Appl. Supercond., Vol. 15, No. 3, pp. 3814-3820, 2005.

[67] D. Y. Zinoviev, P. Bunyk, and P-M. Koenig, “Passive Interconnects: a Revolutionary Approach to RSFQ System Design,” Extended abstracts of ISEC’01, pp. 175-176, Osaka, Japan, June 19-22, 2001.

[68] P. Bunyk, M. Leung, J. Spargo, and M. Dorojevets, “FLUX-1 RSFQ microprocessor: physical design and test results,” IEEE Trans. Appl. Supercond., Vol. 13, No. 2, pp. 433-436, 2003.

[69] Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, and N. Yoshikawa, “Implementation of a 4×4 Switch with Passive Interconnects,” IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 356-359, 2005.

[70] A. F. Kirichenko, O. A. Mukhanov, and A. Ryzhikh, “Advanced on-chip test technology for RSFQ circuits,” IEEE Trans. Appl. Supercond., Vol. 7, No. 2, pp. 3438-3441, 1997.

[71] Z. J. Deng, N. Yoshikawa, S. R. Whitely, and T. Van Duzer, “Data-Driven Self-Timed RSFQ High-Speed Test System,” IEEE Trans. Appl. Supercond., Vol. 7, No. 4, pp. 3830-3833, 1997.

[72] Y. Kameda, S. Yorozu, and Y. Hashimoto, “A new automatic placement and routing design technology for large-scale single-flux-quantum logic circuits,” Extended Abstracts of ISEC2003, Report PMo18, Sydney, Australia, July 7-11, 2003.

[73] H. Terai, Y. Kameda, S. Yorozu, A. Fujimaki, and Z. Wang, “The effects of DC bias current in large-scale SFQ circuits,” IEEE Trans. Appl. Supercond., Vol. 13, No. 2, pp. 502-506, 2003.

[74] A. M. Kadin, R. J. Webber, and S. Sarwana, “Effects of Superconducting Return Currents on RSFQ Circuit Performance,” IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 280-283, 2005.

[75] Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, and N. Yoshikawa, “Development of Passive Interconnection Technology for SFQ Circuits,” IEICE Trans. Electron., Vol. E88-C, No. 2, pp. 198-207, 2005.

[76] S. Nagasawa, K. Hinode, T. Satoh, H. Akaike, Y. Kitagawa, and M. Hidaka, “Development of advanced Nb process for SFQ circuits,” Physica C, Vol. 412-414, pp. 1429-1436, 2004.

[77] T. Satoh, K. Hinode, H. Akaike, S. Nagasawa, Y. Kitagawa, and M. Hidaka, “Characteristics of

Nb/AlO_x/Nb junctions fabricated in planarized multi-layer Nb SFQ circuits,” *Physica C*, Vol. 445-448, pp. 937-940, 2006.

[78] 山田隆宏, “受動線路の導入による単一磁束量子スイッチ回路の高性能化に関する研究”, 名古屋大学大学院工学研究科量子工学専攻 博士論文, 2006.

[79] T. Nakagawa, Y. Hashimoto, Y. Kameda, S. Yorozu, and K. Miyahara, “Design and demonstration of high-functionality logic cells for miniaturization of SFQ logic switches,” *Physica C*, Vol. 463-465, pp. 1076-1079, 2007.

[80] 中川貴博, “SFQ スイッチの大容量化に関する研究”, 東京電機大学大学院情報環境学研究科情報環境デザイン学専攻 修士論文, 2008.

[81] T. Nakagawa, Y. Hashimoto, Y. Kameda, S. Yorozu, M. Hidaka, and K. Miyahara, “Large-Scale SFQ Switches Using Miniaturized 2×2 Switch Cell,” *IEEE Trans. Appl. Supercond.*, Vol. 18, No. 4, pp. 1790-1796, 2008.

[82] Y. Kameda, S. Yorozu, and Y. Hashimoto, “Automatic single-flux quantum (SFQ) logic synthesis for top-down circuit design,” *J. Phys. Conference Series*, Vol. 43, pp. 1179-1182, 2006.

[83] M. Tanaka, K. Obata, Y. Ito, S. Takeshima, M. Sato, K. Takagi, N. Takagi, H. Akaike, and A. Fujimaki, “Automated Passive-Transmission-Line Routing Tool for Single-Flux-Quantum Circuits Based on A* Algorithm,” *IEICE Trans. Electron.*, Vol. E93-C, No. 4, pp. 435-439, 2010.

[84] S. Polonsky, and D. Schneider, “Towards broadband communication between RSFQ chips,” *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 2818-2821, 1997.

[85] D. Gupta, W. Li, S. B. Kaplan, and I. V. Vernik, “High-Speed Interchip Data Transmission Technology for Superconducting Multi-Chip Modules,” *IEEE Trans. Appl. Supercond.*, Vol. 11, No. 1, pp. 731-734, 2001.

[86] J. Kang, D. Gupta, and S. B. Kaplan, “Demonstration of RSFQ Digitizer on a Multichip Module,” *IEEE Trans. Appl. Supercond.*, Vol. 12, No. 3, pp. 1848-1851, 2002.

[87] M. Maezawa, H. Yamamori, and A. Shoji, “A Novel Approach to Chip-to-Chip Communication Using a Single Flux Quantum Pulse,” *IEEE Trans. Appl. Supercond.*, Vol. 9, No. 2, pp. 4049-4052, 1999.

[88] M. Maezawa, H. Yamamori, and A. Shoji, “Chip-to-Chip Communication Using a Single Flux Quantum Pulse,” *IEEE Trans. Appl. Supercond.*, Vol. 10, No. 2, pp. 1603-1605, 2000.

[89] 前澤正明, 山森弘毅, 東海林彰, “単一磁束量子回路のためのマルチチップモジュール技術の開発”, 電子技術総合研究所彙報, 第 64 巻 臨時号, pp. 49-56, 2000 年.

[90] Y. Hashimoto, S. Yorozu, and T. Miyazaki, “Transmission of single-flux-quantum pulse between superconductor chips,” *Appl. Phys. Lett.*, Vol. 86, No. 7, 072502 (3 pages), 2005.

[91] Y. Hashimoto, S. Yorozu, T. Satoh, and T. Miyazaki, “Demonstration of chip-to-chip transmission of single-flux-quantum pulses at throughputs beyond 100 Gbps,” *Appl. Phys. Lett.*, Vol. 87, No. 2, 022502 (3 pages), 2005.

[92] K. E. Yokoyama, G. Akerling, A. D. Smith, and M. Wire, “Robust Superconducting Die Attach

Process,” IEEE Trans. Appl. Supercond., Vol. 7, No. 2, pp. 2631-2634, 1997.

[93] 山森弘毅, 前澤正明, 東海林彰, “低融点はんだバンプを用いるフリップチップボンディング技術”, 電子技術総合研究所彙報, 第 64 巻 臨時号, pp. 45-48, 2000 年.

[94] Agilent Technologies, “オシロスコープおよびプローブ選択時における落とし穴”, Application Note, 5989-7337JAJP, 2007.

[95] 小西良弘, “マイクロ波回路の基礎とその応用”, 総合電子出版, 1992 年.

[96] Ansoft HFSS: <http://ansys.jp/products/electromagnetics/hfss/index.html>

[97] V. K. Kaplunenko, “Fluxon interaction in an overdamped Josephson transmission line,” Appl. Phys. Lett., vol. 66, no. 24, 12, pp. 3365-3367, June 1995.

[98] N. W. Ashcroft and N. D. Mermin, “Solid State Physics” 訳本: 松原武生, 町田一成共訳, “固体物理の基礎”, 吉岡書店, 1981 年.

[99] D. Gupta, A. M. Kadin, R. J. Webber, I. Rochwarger, D. Bryce, W. J. Hollander, Y. U. Yim, Channakeshav, R. P. Kraft, J.-W. Kim, and J. F. McDonald, “Integration of Cryocooled Superconducting Analog-to-Digital Converter and SiGe Output Amplifier,” IEEE Trans. Appl. Supercond., Vol. 13, No. 2, pp. 477-483, 2003.

[100] S. Yorozu, Y. Kameda, Y. Hashimoto, H. Terai, A. Fujimaki, and N. Yoshikawa, “Progress of Single Flux Quantum Packet Switch Technology,” IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 411-414, 2005.

[101] N. B. Dubash, V. V. Borzenets, Y. M. Zhang, V. Kaplunenko, J. W. Spargo, A. D. Smith, T. Van Duzer, “System Demonstration of a Multigigabit Network Switch,” IEEE Trans. Microwave Theory and Techniques, Vol. 48, No. 7, pp. 1209-1215, 2000.

[102] Y. Hashimoto, S. Yorozu, T. Miyazaki, Y. Kameda, H. Suzuki, H. Kojima, and N. Yoshikawa, “Implementation and experimental evaluation of a cryocooled system prototype for high-throughput SFQ digital applications,” IEEE Trans. Appl. Supercond., Vol. 17, No. 2, pp. 546-551, 2007.

[103] <http://www.shi.co.jp/english/index.html>.

[104] 鈴木秀雄, 萬 伸一, 田辺圭一, “広帯域アンプの低温動作”, 電子情報通信学会エレクトロニクスソサイエティ大会講演論文集, 2005 年.

[105] http://www.shf.de/fileadmin/download/Amp/Datasheet_SHF105C_V001.pdf.

[106] 南野友輝, 李 政彦, 平野拓一, 広川二郎, 安藤 真, “100GHz 帯 Si 基板コプレーナ線路の伝送損失評価”, 電子情報通信学会東京支部学生会研究発表会, 2007 年.

[107] 本研究で開発した冷凍機システムで使用した同軸ケーブルは東京特殊電線(株)製の TCF119 であり, 以下の URL に特性が記載されている. http://www.totoku.co.jp/products/electric_wires/wires/coaxial/microwave.shtml

[108] Agilent Technology, アプリケーションノート 1304-2, “タイム・ドメイン・リフレクトメトリの原理”(available at <http://cp.literature.agilent.com/litweb/pdf/5966-4855J.pdf>).

[109] 菅野卓雄監修, 早川尚夫編, “超高速ジョセフソン・デバイス”, 培風館, 1986.

- [110] 永澤秀一, “Nb 系ジョセフソン記憶回路の研究”, 名古屋大学大学院工学研究科量子工学専攻 博士論文, 1998.
- [111] O. A. Mukhanov, private communication, 2005.
- [112] 原田直樹, “超伝導デジタルシステムのための高速出力インターフェイスに関する研究”, 横浜国立大学大学院工学府物理情報工学専攻 博士論文, 2004.
- [113] H. Kojima, Y. Yamashiro, K. Fujiwara, N. Yoshikawa, A. Fujimaki, H. Terai and S. Yorozu "Parameter optimization of a Josephson latching driver based on bit-error-rate simulations," *Physica C*, Vol. 426-431, Part 2, pp. 1680-1686, 2005.
- [114] S. Rylov, “DC-POWERED HIGH-VOLTAGE DRIVER FOR RSFQ LOGIC FAMILY,” *Extended Abstracts of International Superconductive Electronics Conference (ISEC'93)*, Boulder, U.S.A., pp.110-111, Aug. 11-14, 1993.
- [115] O. A. Mukhanov, S. V. Rylov, D. V. Gaidarenko, N. B. Dubash, and V. V. Borozhenets, “Josephson Output Interfaces for RSFQ Circuits,” *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 2826-2831, 1997.
- [116] Y. Hashimoto, S. Nagasawa, T. Satoh, K. Hinode, H. Suzuki, T. Miyazaki, M. Hidaka, N. Yoshikawa, H. Terai, and A. Fujimaki, “Superconductive Single-Flux-Quantum Circuit/System Technology and 40Gb/s Switch System Demonstration,” *ISSCC Dig. Tech. Papers*, pp. 532-533, 2008.
- [117] Y. Hashimoto, S. Yorozu, and Y. Kameda, “Development of Cryopackaging and I/O Technologies for High-Speed Superconductive Digital Systems,” *IEICE Trans. Electron.*, Vol. E91-C, No. 3, pp. 325-332, 2008.
- [118] S. B. Kaplan and O. A. Mukhanov, “Operation of a Superconductive Demultiplexer Using Rapid Single Flux Quantum (RSFQ) Technology,” *IEEE Trans. Appl. Supercond.*, Vol. 5, No. 2, pp. 2853-2856, 1995.
- [119] D. L. Miller, J. X. Przybysz, A. H. Worsham, and J. Kang, “A Single-Flux-Quantum Demultiplexer,” *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 2690-2693, 1997.
- [120] F. Furuta, K. Saitoh, and K. Takagi, “High-Speed Operation of Demultiplexer up to 56 GHz,” *IEEE Trans. Appl. Supercond.*, Vol. 13, No. 2, pp. 567-570, 2003.
- [121] <http://gamayun.physics.sunysb.edu/RSFQ/Lib/d2.html>.
- [122] B. Van Zeghbroeck, “Optical Data Communication between Josephson-Junction Circuits and Room-Temperature Electronics,” *IEEE Trans. Appl. Supercond.*, Vol. 3, No. 1, pp. 2881-2884, 1993.
- [123] L. A. Bunz, E. K. Track, S. V. Rylov, P. Fei-Yuh, and J. Morse, “Fiber-Optic Input and Output for Superconducting Circuits,” *Proc. SPIE*, Vol. 2160, pp. 229-236, 1994.
- [124] J. F. Bulzacchelli, H.-S. Lee, S. Alexandrou, J. A. Misewich, and M. B. Ketchen, “Optoelectronic Clocking System for Testing RSFQ Circuits up to 20 GHz,” *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 3301-3306, 1997.
- [125] Y. Hashimoto, H. Suzuki, S. Nagasawa, M. Maruyama, K. Fujiwara, and M. Hidaka, “Measurement of Superconductive Voltage Drivers up to 25 Gb/s/ch,” *IEEE Trans. Appl. Supercond.*, Vol. 19, No. 3, pp.

1022-1025, 2009.

[126] Y. Hashimoto, H. Suzuki, M. Maruyama, K. Fujiwara, and M. Hidaka, "40 Gbit/s operation of superconductive single flux quantum digital integrated circuit with optical data input," *Electron. Lett.*, Vol. 45, No. 1, pp. 87-88, 2009.

[127] H. Ito, T. Furuta, S. Kodama, and T. Ishibashi, "InP/InGaAs uni-travelling-carrier photodiode with 310GHz bandwidth," *Electron. Lett.*, Vol. 36, No. 21, pp. 1809-1810, 2000.

[128] H. Suzuki, "Evaluation of Uni-Traveling Carrier Photodiode Performance at Low Temperatures and Applications to Superconducting Electronics," in "Photodiodes - Communications, Bio-Sensings, Measurements and High-Energy Physics," Edited by Jin-Wei Shi, InTech, 2011 (available at <http://www.intechopen.com/articles/show/title/evaluation-of-uni-traveling-carrier-photodiode-performance-at-low-temperatures-and-applications-to-s>).

[129] 五十嵐基仁 他, "永久電流高温超電導マグネットの開発", *低温工学*, 39 巻, 12 号, pp. 651-659, 2004.

[130] 小泉達雄, "小型冷凍機の進展と今後の展望", *応用物理*, 第 80 巻, 第 5 号, pp. 407-410, 2011.

[131] Y. Hashimoto, H. Suzuki, and M. Hidaka, "Experiments of heat removal from superconductive multi-chip module cooled by a cryo-cooler," *Proceedings of Superconducting SFQ VLSI Workshop (SSV 2009)*, pp. 59-60, Fukuoka, Japan, June 15-17, 2009.

[132] (社)エレクトロニクス実装学会編, "エレクトロニクス実装大事典", 工業調査会, 2000.

[133] 藤原完, "SFQ マイクロプロセッサ用高性能メモリスистেমの研究", 横浜国立大学大学院工学府 博士論文, 2005.

[134] 関谷彰人, "超伝導単一磁束量子回路に基づくアナログ-デジタル変換器に関する研究", 名古屋大学大学院工学研究科量子工学専攻 博士論文, 2005.

[135] Y. Kameda, Y. Hashimoto, and S. Yorozu, "Design and Demonstration of a 4×4 SFQ Network Switch Prototype System and 10-Gbps Bit-Error-Rate Measurement," *IEICE Trans. Electron.*, Vol. E91-C, No. 3, pp. 333-341, 2008.

[136] S. Yorozu, T. Miyazaki, V. Semenov, Y. Nakamura, Y. Hashimoto, K. Hinode, T. Sato, Y. Kameda, and J. S. Tsai, "Sub-Kelvin single flux quantum control circuits and multichip packaging for supporting superconducting qubit," *J. Phys. Conference Series*, Vol. 43, pp. 1417-1420, 2006.

[137] S. Yorozu, T. Miyazaki, V. Semenov, M. Hidaka, and J.-S. Tsai, "Single Flux Quantum Circuit and Packaging Technology for Sub-Kelvin Temperature Operation," *IEEE Trans. Appl. Supercond.*, Vol. 17, No. 2, pp. 967-970, 2007.

[138] C. Urano, M. Maruyama, N. Kaneko, H. Yamamori, A. Shoji, M. Maezawa, Y. Hashimoto, H. Suzuki, S. Nagasawa, T. Satoh, M. Hidaka, and S. Kiryu, "Operation of a Josephson Arbitrary Waveform Synthesizer with Optical Data Input," *Superconductor Sci. Technol.*, Vol. 22, No. 11, 114012 (4 pages), 2009.

- [139] P. C. Arnett, "High Speed Power System for Josephson Logic," IEEE Trans. Mag., Vol. MAG-16, No. 5, pp. 1233-1235, 1980.
- [140] 橋本義仁, 萬伸一, 永沢秀一, 沼田秀昭, 小池雅志, 田原修一, "2000 ゲートジョセフソン論理回路のためのトランスフォーマーによる GHz クロック供給実験", 信学技報, SCE96-18, pp. 1-6, 1996.
- [141] J. S. Tsai and Y. Wada, "A Superconducting Filter-Type Powering Device (SFPD) for the Josephson Computer System," IEEE Trans. Mag., Vol. MAG-23, No. 2, pp. 879-882, 1987.
- [142] 橋本義仁, 萬伸一, 沼田秀昭, 田中未知, 田原修一, "超伝導集積回路への GHz クロック給電のためのマルチバンド整合回路", 電子情報通信学会ソサイエティ大会講演論文集, 1998.
- [143] 藤田圭佑, 梶野顕明, 早川桂太, 安保宇, 井上真澄, 藤巻朗, "非対称ナノブリッジにおけるボルテックスのラチェットの挙動", 信学技報, SCE110 (235), pp. 1-5, 2010.
- [144] M. W. Johnson, Q. P. Herr, D. J. Durand, and L. A. Abelson, "Differential SFQ Transmission Using either Magnetic or Capacitive Coupling," IEEE Trans. Appl. Supercond., Vol. 13, No. 2, pp. 507-510, 2003.

研究業績

論文題目		公表の方法及び時期	著者
I.	学術誌等		
1	380 ps, 9.5 mW Josephson 4 Kbit RAM	Electron. Lett., Vol. 30, No. 10, pp. 761-762, 1994.	S. Nagasawa, Y. Hashimoto, H. Numata, S. Tsuchida, S. Tahara
2	A 380ps, 9.5mW Josephson 4-Kbit RAM operated at a high bit yield	IEEE Trans. Appl. Supercond., Vol. 5, No. 2, pp. 2447-2452, 1995.	S. Nagasawa, Y. Hashimoto, H. Numata, S. Tahara
3	Full Operation of a Three-Node Pipeline-Ring Switching Chip for a Superconducting Network System	IEEE Trans. Appl. Supercond., Vol. 9, No. 2, pp. 3590-3593, 1995.	S. Yorozu, Y. Hashimoto, H. Numata, M. Koike, M. Tanaka, S. Tahara
4	A Josephson built-in self-testing (JBIST) system for gigahertz functional tests of Josephson RAMs	Supercond. Sci. Technol., Vol. 9, No. 4A, pp. A50-A54, 1996.	Y. Hashimoto, S. Tahara, S. Nagasawa, H. Numata, C. Kato, M. Aoyagi, H. Nakagawa, I. Kurosawa, S. Takada
5	Josephson Memory Technology	IEICE Trans. Electron., Vol. E79-C, No. 9, pp. 1193-1199, 1996.	S. Tahara, S. Nagasawa, H. Numata, Y. Hashimoto, S. Yorozu
6	A Resister Coupled Josephson Polarity-Convertible Driver	IEICE Trans. Electron., Vol. E77-C, No. 8, pp. 1176-1180, 1997.	S. Nagasawa, S. Tahara, H. Numata, Y. Hashimoto, S. Tsuchida
7	1 GHz clock operation of Josephson RAMs	Appl. Superconductivity, Vol. 6, No. 7-9, pp. 445-451, 1998.	S. Nagasawa, H. Numata, Y. Hashimoto, S. Tahara

	論文題目	公表の方法及び時期	著者
8	Technology Issues on Superconducting Digital Communication Circuits and Systems	IEICE Trans. Electron., Vol. E81-C, No. 10, pp. 1601-1607, 1998.	S. Yorozu, Y. Hashimoto, S. Tahara
9	High-Speed Testing of Josephson Logic Circuits by An On-Chip Signal-Pattern Generator	Appl. Superconductivity, Vol. 6, No. 10-12, pp. 823-828, 1999.	Y. Hashimoto, S. Yorozu, H. Numata, M. Koike, M. Tanaka, S. Tahara
10	Clock-driven On-chip Testing for Superconductor Logic Circuits	IEEE Trans. Appl. Supercond., Vol. 9, No. 2, pp. 3169-3172, 1999.	Y. Hashimoto, S. Yorozu, H. Numata, S. Tahara
11	System Demonstration of A Superconducting Communication System	IEEE Trans. Appl. Supercond., Vol. 9, No. 2, pp. 2975-2980, 1999.	S. Yorozu, Y. Hashimoto, H. Numata, S. Nagasawa, S. Tahara
12	High-frequency Clock Operation of Josephson 256-word x 16-bit RAMs	IEEE Trans. Appl. Supercond., Vol. 9, No. 2, pp. 3708-3713, 1999.	S. Nagasawa, H. Numata, Y. Hashimoto, S. Tahara
13	Full operation of a switching node circuit for superconducting ring network	Appl. Superconductivity, Vol 6, No. 10-12, pp. 603-608, 1999.	S. Yorozu, Y. Hashimoto, H. Numata, M. Koike, S. Tahara
14	Superconducting Technology for Digital Applications Using Niobium Josephson Junctions	IEICE Trans. Electron., Vol. E83-C, No. 1, pp. 60-68, 2000.	S. Tahara, H. Numata, S. Yorozu, Y. Hashimoto, S. Nagasawa
15	Superconducting Digital Electronics	IEEE Trans. Appl. Supercond., Vol. 11, No. 1, pp. 463-468, 2001.	S. Tahara, S. Yorozu, Y. Kameda, Y. Hashimoto, H. Numata, T. Satoh, W. Hattori, M. Hidaka

	論文題目	公表の方法及び時期	著者
16	Matching Josephson Junctions with Microstrip Lines for SFQ Pulses and Weak Signals	IEICE Trans. Electron., Vol. E85-C, No. 3, pp. 636-640, 2002.	N. Joukov, Y. Hashimoto, V. K. Semenov
17	A Design Approach to Passive Interconnects for Single Flux Quantum Logic Circuits	IEEE Trans. Appl. Supercond., Vol. 13, No. 2, pp. 535-538, 2003.	Y. Hashimoto, S. Yorozu, Y. Kameda, V. K. Semenov
18	Measurement of crosstalk between crossing superconductor microstrip lines	Physica C, Vol. 392-396, pp. 1472-1477, 2003.	Y. Hashimoto, S. Yorozu, H. Terai, A. Fujimaki
19	Single Flux Quantum Packet Switch Circuits for Large-Scale Communication Systems	IEEE Trans. Appl. Supercond., Vol. 13, No. 2, pp. 450-453, 2003.	S. Yorozu, Y. Kameda, Y. Hashimoto, S. Tahara
20	Single flux quantum circuit technology innovation for backbone router applications	Physica C, Vol. 392-396, pp.1478-1484, 2003.	S. Yorozu, Y. Kameda, Y. Hashimoto, H. Terai, A. Fujimaki, N. Yoshikawa
21	High-speed test of SFQ-shift register files using PTL wiring	Physica C: Superconductivity and its applications, Vol. 412-414, Part 2, pp. 1586-1590, 2004.	K. Fujiwara, Y. Yamashiro, N. Yoshikawa, Y. Hashimoto, S. Yorozu, H. Terai, A. Fujimaki
22	Application of single flux quantum technology to a next-generation photonic packet switch core	Physica C, Vol. 412-414, pp. 1555-1559, 2004.	S. Yorozu, H. Harai, Y. Kameda, H. Terai, Y. Hashimoto
23	Timing jitter measurement of single-flux-quantum pulse in Josephson transmission line	Appl. Phys. Lett., Vol. 84, No. 12, pp. 2133-2135, 2004.	H. Terai, Z. Wang, Y. Hashimoto, S. Yorozu, A. Fujimaki, N. Yoshikawa

	論文題目	公表の方法及び時期	著者
24	Development of Passive Interconnection Technology for SFQ Circuits	IEICE Trans. Electron., Vol. E88-C, No. 2, pp. 198-207, 2005.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa
25	Transmission of single-flux-quantum pulse between superconductor chips	Appl. Phys. Lett., Vol. 86, No. 7, 072502 (3 pages), 2005.	Y. Hashimoto, S. Yorozu, T. Miyazaki
26	Implementation of a 4×4 Switch With Passive Interconnects	IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 356-359, 2005.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa
27	Demonstration of chip-to-chip transmission of single-flux-quantum pulses at throughputs beyond 100 Gbps	Appl. Phys. Lett., Vol. 87, No. 2, 022502 (3 pages), 2005.	Y. Hashimoto, S. Yorozu, T. Satoh, T. Miyazaki
28	Design and Investigation of Gate-to-Gate Passive Interconnections for SFQ Logic Circuits	IEEE Trans. Appl. Supercond., Vol. 15, No. 3, pp. 3814-3820, 2005.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa
29	High-speed demonstration of single-flux-quantum cross-bar switch up to 50 GHz	IEEE Trans. Appl. Supercond., Vol. 15, No. 1, pp. 6-10, 2005.	Y. Kameda, S. Yorozu, Y. Hashimoto, H. Terai, A. Fujimaki, N. Yoshikawa
30	The relationship between bit-error rate, operating speed and circuit scale of SFQ circuits	IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 364-367, 2005.	H. Terai, Y. Hashimoto, S. Yorozu, A. Fujimaki, N. Yoshikawa, Z. Wang

	論文題目	公表の方法及び時期	著者
31	Demonstration of a single-flux-quantum microprocessor using passive transmission lines	IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 400-404, 2005.	M. Tanaka, T. Kondo, N. Nakajima, T. Kawamoto, Y. Yamanashi, Y. Kamiya, A. Akimoto, A. Fujimaki, H. Hayakawa, N. Yoshikawa, H. Terai, Y. Hashimoto, S. Yorozu
32	Progress of single flux quantum packet switch technology	IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 411-414, 2005.	S. Yorozu, Y. Kameda, Y. Hashimoto, H. Terai, A. Fujimaki, N. Yoshikawa
33	Single-flux-quantum (SFQ) circuit design and test of crossbar switch scheduler	IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 423-426, 2005.	Y. Kameda, S. Yorozu, Y. Hashimoto, H. Terai, A. Fujimaki, N. Yoshikawa
34	40-GHz operation of a single-flux-quantum (SFQ) 4x4 switch scheduler	Physica C: Superconductivity and its applications, Vol. 445-448, pp. 1008-1013, 2006.	Y. Kameda, S. Yorozu, Y. Hashimoto, H. Terai, A. Fujimaki, N. Yoshikawa
35	Method for detailed evaluation of yield of Nb Josephson junctions	Physica C: Superconductivity, Vol. 445-448, pp. 941-945, 2006.	K. Hinode, Y. Hashimoto, Y. Kameda, T. Satoh, S. Yorozu, S. Nagasawa, M. Hidaka

	論文題目	公表の方法及び時期	著者
36	Sub-Kelvin single flux quantum control circuits and multichip packaging for supporting superconducting qubit	J. Phys. Conference Series, Vol. 43, pp. 1417-1420, 2006.	S. Yorozu, T. Miyazaki, V. Semenov, Y. Nakamura, Y. Hashimoto, K. Hinode, T. Sato, Y. Kameda, J. S. Tsai
37	Automatic single-flux-quantum (SFQ) logic synthesis for top-down circuit design	J. Phys. Conference Series, Vol. 43, pp. 1179-1182, 2006.	Y. Kameda, S. Yorozu, Y. Hashimoto
38	Implementation and Experimental Evaluation of a Cryocooled System Prototype for High-Throughput SFQ Digital Applications	IEEE Trans. Appl. Supercond., Vol. 17, No. 2, pp. 546-551, 2007.	Y. Hashimoto, S. Yorozu, T. Miyazaki, Y. Kameda, H. Suzuki, N. Yoshikawa
39	Diagnostic Test of Large-Scale SFQ Shift Register	IEEE Trans. Appl. Supercond., Vol. 17, No. 2, pp. 422-425, 2007.	H. Terai, M. Tanaka, Y. Yamanashi, Y. Hashimoto, A. Fujimaki, N. Yoshikawa, Z. Wang
40	Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE1 β	IEEE Trans. Appl. Supercond., Vol. 17, No. 2, pp. 474-477, 2007.	Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto
41	A New Design Methodology for Single-Flux-Quantum (SFQ) Logic Circuits Using Passive-Transmission-Line (PTL) Wiring	IEEE Trans. Appl. Supercond., Vol. 17, No. 2, pp. 508-511, 2007.	Y. Kameda, S. Yorozu, Y. Hashimoto

	論文題目	公表の方法及び時期	著者
42	Design and Demonstration of High-Functionality Logic Cells for Miniaturization of SFQ Switches	Physica C, Vol. 463-465, pp. 1076-1079, 2007.	T. Nakagawa, Y. Hashimoto, Y. Kameda, S. Yorozu, K. Miyahara
43	Development of Cryopackaging and I/O Technologies for High-Speed Superconductive Digital Systems	IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 325-332, 2008.	Y. Hashimoto, S. Yorozu, Y. Kameda
44	Design and Demonstration of a 4×4 SFQ Network Switch Prototype System and 10-Gbps Bit-Error-Rate Measurement	IEICE Trans. Electron., Vol. E91-C, No. 3, pp. 333-341, 2008.	Y. Kameda, Y. Hashimoto, S. Yorozu
45	Large-Scale SFQ Switches Using Miniaturized 2 × 2 Switch Cell	IEEE Trans. Appl. Supercond., Vol. 18, No. 4, pp. 1790-1796, 2008.	T. Nakagawa, Y. Hashimoto, Y. Kameda, S. Yorozu, M. Hidaka, K. Miyahara
46	Direct measurements of propagation delay of single-flux-quantum circuits by time-to-digital converters	IEICE Electron. Express, Vol. 5, No. 9, pp. 332-337, 2008.	K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto
47	40 Gbit/s operation of superconductive single flux quantum digital integrated circuit with optical data input	Electron. Lett., Vol. 45, No. 1, pp. 87-88, 2009.	Y. Hashimoto, H. Suzuki, M. Maruyama, K. Fujiwara, M. Hidaka
48	Measurement of Superconductive Voltage Drivers up to 25 Gb/s/ch	IEEE Trans. Appl. Supercond., Vol. 19, No. 3, pp. 1022-1025, 2009.	Y. Hashimoto, H. Suzuki, S. Nagasawa, M. Maruyama, K. Fujiwara, M. Hidaka

	論文題目	公表の方法及び時期	著者
49	SFQ pulse transfer circuits using inductive coupling for current recycling	IEEE Trans. Appl. Supercond., Vol. 19, No. 3, pp. 649-652, 2009.	M. Igarashi, K. Churei, N. Yoshikawa, K. Fujiwara, Y. Hashimoto
50	A Flash A/D Converter Using Complementarily Combined SQUIDS	IEEE Trans. Appl. Supercond., Vol. 19, No. 3, pp. 680-684, 2009.	M. Maruyama, H. Suzuki, Y. Hashimoto, M. Hidaka
51	Possible Application of Flash-Type SFQ A/D Converter to Optical Communication Systems and Their Measuring Instruments	IEEE Trans. Appl. Supercond., Vol. 19, No. 3, pp. 611-616, 2009.	H. Suzuki, M. Maruyama, Y. Hashimoto, K. Fujiwara, M. Hidaka
52	Research on Effective Moat Configuration for Nb Multi-Layer Device Structure	IEEE Trans. Appl. Supercond., Vol. 19, No. 3, pp. 603-606, 2009.	K. Fujiwara, S. Nagasawa, Y. Hashimoto, M. Hidaka, N. Yoshikawa, M. Tanaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi
53	Operation of a Josephson Arbitrary Waveform Synthesizer with Optical Data Input	Superconductor Sci. Technol., Vol. 22, No. 11, 114012 (4 pages), 2009.	C. Urano, M. Maruyama, N. Kaneko, H. Yamamori, A. Shoji, M. Maezawa, Y. Hashimoto, H. Suzuki, S. Nagasawa, T. Satoh, M. Hidaka, S. Kiryu

論文題目		公表の方法及び時期	著者
II. 国際会議			
1	Josephson Built-in Self-Testing (JBIST) System for GHz Functional Tests for Josephson RAM	5th International Superconductive Electronics Conference, Nagoya, Japan, Sep. 18-21, 1995.	Y. Hashimoto, S. Tahara, S. Nagasawa, H. Numata, C. Kato, M. Aoyagi, H. Nakagawa, I. Kurosawa, S. Takada
2	High-speed Testing of Josephson Logic Circuits by an On-chip Signal-pattern Generator	6th International Superconductive Electronics Conference, pp. 269-271, Berlin, Germany, June 25-28, 1997.	Y. Hashimoto, S. Yorozu, H. Numata, M. Koike, M. Tanaka, S. Tahara
3	Clock-driven On-chip Testing for Superconductor Logic Circuits	Applied Superconductivity Conference, Desert Springs, U.S.A., Sep. 13-18, 1998.	Y. Hashimoto, S. Yorozu, H. Numata, S. Tahara
4	A Design Approach of Passive Interconnects for Single Flux Quantum (SFQ) Logic Circuits	Applied Superconductivity Conference, pp. 49-50, Houston, U.S.A., Aug. 4-9, 2002.	Y. Hashimoto, S. Yorozu, Y. Kameda, V. K. Semenov
5	Measurement of Crosstalk between Crossing Superconductor Microstrip Lines	15th International Symposium on Superconductivity, FD25, Yokohama, Japan, Nov. 11-13, 2002.	Y. Hashimoto, S. Yorozu, H. Terai, A. Fujimaki
6	Demonstration of passive interconnection between single-flux-quantum circuits blocks	9th International Superconductive Electronics Conference, PMo13, Sydney, Australia, July 7-11, 2003.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa

	論文題目	公表の方法及び時期	著者
7	Design and Demonstration of Passive-interconnected Single-flux-quantum Logic Cells	6th European Conference on Applied Superconductivity, pp. 115-116, Sorrento, Italy, Sep. 14-18, 2003.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa
8	Implementation of a 4×4 Switch with Passive Interconnects	Applied Superconductivity Conference, 4EI06, Jacksonville, U.S.A., Oct. 3-8, 2004.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa
9	SFQ Circuit Design Using Passive Transmission Lines	17th International Symposium on Superconductivity, p. 158, Niigata, Japan, Nov. 23-25, 2004.	Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai, N. Yoshikawa
10	Transmission of Single-Flux-Quantum Pulse between Superconductor Digital Chips Using a Single-Junction Driver at Throughputs beyond 100 Gbps	7th European Conference on Applied Superconductivity, pp. 84-85, Vienna, Austria, Sep. 11-15, 2005.	Y. Hashimoto, S. Yorozu, T. Miyazaki, T. Satoh, Y. Kameda, K. Hinode
11	Implementation and Experimental Evaluation of a cryocooled system prototype for high-throughput SFQ digital applications	Applied Superconductivity Conference, 4EX01, Seattle, U.S.A., Aug. 27-Sep. 1, 2006.	Y. Hashimoto, S. Yorozu, T. Miyazaki, Y. Kameda, H. Suzuki, H. Kojima, N. Yoshikawa
12	Development of Cryopackaging Technology for High-throughput SFQ Digital Systems	20th International Symposium on Superconductivity, p. 137, Tsukuba, Japan, Nov. 5-7, 2007.	Y. Hashimoto, S. Yorozu, T. Miyazaki, Y. Kameda, H. Suzuki

論文題目	公表の方法及び時期	著者
13 Superconductive Single-Flux-Quantum Circuit/System Technology and 40Gb/s Switch System Demonstration	2008 IEEE International Solid-State Circuits Conference, pp. 532-533, San Francisco, U.S.A., Feb. 3-7, 2008.	Y. Hashimoto, S. Nagasawa, T. Satoh, K. Hinode, H. Suzuki, T. Miyazaki, M. Hidaka, N. Yoshikawa, H. Terai, A. Fujimaki
14 Measurement of superconductive voltage drivers up to 25 Gb/s/ch	Applied Superconductivity Conference, 1EZ02, Chicago, U.S.A., Aug. 17-22, 2008.	Y. Hashimoto, H. Suzuki, S. Nagasawa, M. Maruyama, K. Fujiwara, M. Hidaka
15 Experiments of Heat Removal from Superconductive Multi-Chip Module Cooled by a Cryo-Cooler	Superconducting SFQ VLSI Workshop, pp.59-60, Fukuoka, Japan, June 15-17, 2009.	Y. Hashimoto, H. Suzuki, M. Hidaka

賞の名称	時期	受賞者
III. 受賞歴		
1 日本学術振興会 超伝導エレクトロニクス第 146 委員会賞	2004 年度	橋本義仁
2 未踏科学技術協会 第 8 回超伝導科学技術賞	2004 年度	藤巻 朗、吉川信行、寺井弘高、萬 伸一、橋本義仁、亀田義男