

Al₂O₃ をゲート絶縁膜とする AlGa_{0.3}N/GaN
MOSHFET の作製・評価に関する研究

宮崎 英志

目次

1 章. 序論

1.1 本研究の背景	1
1.1.1 GaN パワーデバイスの現状	1
1.1.2 AlGaIn/GaN MOSHFET の課題	7
1.2 本研究の目的と位置づけ	9
1.3 デバイスの過渡応答特性に影響を及ぼす界面準位の振る舞い	10
1.3.1 ショックレー・リード・ホール統計	10
1.3.2 Terman 法	14
1.4 本論文の構成	17
参考文献	19

2 章. Al_2O_3 、および HfO_2 をゲート絶縁膜とする AlGaIn/GaN MOSHFET の作製と電気的特性の比較

2.1 はじめに	23
2.2 GaN MOS ダイオード、および MOSHFET の電気的特性の比較	24
2.2.1 GaN MOS ダイオード、および MOSHFET のデバイス構造及び作製条件	24
2.2.2 GaN MOS ダイオードにおける絶縁膜/GaN 界面特性の比較	25
2.2.3 AlGaIn/GaN MOSHFET の電気的特性の比較	28
2.3 2章のまとめ	36
参考文献	37

3 章. 硫化アンモニウム処理による $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面特性の改善

3.1 はじめに	38
3.2 硫化アンモニウム処理を施した $\text{Al}_2\text{O}_3/\text{n-GaN}$ MOS ダイオードの作製	39
3.2.1 MOS ダイオードデバイス構造と作製条件	39
3.2.2 $C-V_G$ 特性	40
3.3 AlGaIn/GaN MOSHFET の FET 特性	43
3.4 3章のまとめ	53
参考文献	55

4 章. CF ₄ 処理による Al ₂ O ₃ /AlGa _N 界面特性の改善	
4.1 はじめに	56
4.2 Al ₂ O ₃ /Ga _N 界面、及び Al ₂ O ₃ /AlGa _N 界面特性の改善	57
4.2.1 Ga _N MOS ダイオード、及び MOSHFET の作製条件	57
4.2.1 $C-V_G$ 特性	59
4.2.3 MOSHFET の電気的特性	62
4.3 4 章のまとめ	66
参考文献	67
5 章. Gate-first process による Al ₂ O ₃ /AlGa _N 界面特性の改善	
5.1 はじめに	68
5.2 Gate-first process による Al ₂ O ₃ /Ga _N 界面特性の改善	69
5.2.1 Al ₂ O ₃ /Ga _N MOS ダイオード、および MOSHFET のデバイス構造と作製条件	69
5.2.2 MOS ダイオードの電気的特性	70
5.3 Gate-first process による Al ₂ O ₃ /AlGa _N MOSHFET の特性改善	74
5.3.1 Gate-first process を用いて作製した MOSHFET の構造	74
5.3.2 Gate-first process を用いて作製した MOSHFET の電気特性	75
5.4 Gate-last process における成膜後アニールの効果	80
5.5 5 章のまとめ	84
参考文献	86
第 6 章 総括	87
謝辞	93
研究業績	94

第1章 序論

1.1 本研究の背景

1.1.1 GaN パワーデバイスの現状

高出力用パワートランジスタは、インバータやコンバーターなどの電気回路に組み込まれているスイッチング素子である。インバータは交流の周波数を変換させてモータを制御できるため、モータの省エネのための最適制御に用いられる。一方、コンバーターは交流から直流の電力に変換でき、電源回路を構成する上で非常に重要な素子である。そこで、太陽光発電、風力発電システムのパワーコンディショナー、鉄道の配電系統、産業用のモータなどに用いられている。パワートランジスタの高性能化は、インバータ/コンバーターの低損失化を可能とし、エネルギー効率の向上につながり、環境問題の改善にも貢献できることから大きな期待が寄せられている。

これまで、Si を用いたパワートランジスタとして、ゲート絶縁膜を有する MOS (Metal-Oxide-Semiconductor) FET とバイポーラトランジスタの原理を組み合わせた、絶縁ゲート型バイポーラトランジスタ(IGBT: Insulated-Gate-Bipolar-Transistor)が用いられてきた。しかし、デバイス構造の改善によるデバイスの高性能化は飽和の傾向にある。これに加えて、高温になると性能が劣化し、 200°C を超えると動作電流が小さくなってしまう[1]。これらは、Si の材料自身の物性に起因するところが大きく、今後更なる性能向上を実現させるためには、新たな材料を用いたパワートランジスタの開発が必要不可欠である。

そこで、Si に代わる新たな材料としてワイドバンドギャップ半導体の 1 つである窒化ガリウム (GaN)が注目されている。表 1-1 に GaN を初めとする各種半導体の物理定数を示す[2-3]。ここで、 E_g はバンドギャップ値、 ϵ_r は比誘電率、 μ_e は電子移動度、 E_c は絶縁破壊電界、 v_s は電子飽和ドリフト速度である。また、表中での Johnson FOM

(figure of merit)は式(1-1)で記述される高周波/高出力デバイスとしての性能指数であり、Siを基準にして表したものである。

$$\text{Johnson FOM} \sim (E_c v_s / \pi) \quad (1-1)$$

表 1-1 Si、GaA、SiC と GaN の物性値の比較

	Si	GaAs	4H-SiC	GaN
E_g eV	1.1	1.4	3.3	3.4
ϵ_r	11.8	12.8	10.0	9.5
μ_e cm ² /Vs	1500	8500	1000	1200
E_c 10 ⁶ Vcm	0.3	0.4	3.0	3.3
v_s 10 ⁷ cm/s	1.0	2.0	2.0	2.5
Johnson FOM	1	2.7	20	27.5

GaNはバンドギャップが3.4 eVと大きく、そのためSiに比べて、絶縁破壊電界が大きな値である。これに加えて、最大飽和速度も大きな値である。絶縁破壊電界が大きいいため、より大きなドレイン電圧を印加でき、電子飽和速度が高いことと合わせて、より高出力動作が可能となる。また、GaNはバンドギャップが大きいいため、高温動作が可能である。従って、冷却用のファンや放熱用のファンが不要になる可能性があり、機器の小型化や低コスト化が期待出来る。

一方、図 1-1 はショットキーバリアダイオードを例に取った場合の電界分布である。ドリフト層の電界強度の傾きはドーピング濃度 N_D に比例するため、 N_D 、絶縁破壊電界 E_c 、及びドリフト層の長さ W_D の間には、式(1-2)のような関係がある。なお、 ϵ は半導体中の誘電率であり、 e は素電荷量である。

$$N_D = (\epsilon/e) \cdot (E_C/W_D) \quad (1-2)$$

また、耐圧 V_B は電界強度とドリフト層の長さの積であり、式(1-3)のように記述出来る。

$$V_B = (E_C W_D)/2 \quad (1-3)$$

式(1-3)より、同じ耐圧であれば GaN のデバイス長は Si の約 1/10 にすることが出来、デバイスの小型化が可能である。さらに、単位面積当たりのオン抵抗 R_{on} は W_D と抵抗率 $\rho = 1/e \cdot \mu_e \cdot N_D$ の積であり、式(1-2)、及び式(1-3)を用いて、式(1-4)のように記述出来る。

$$R_{on} = W_D / e \cdot \mu_e \cdot N_D = 4V_B^2 / \epsilon \mu_e E_C^3 \quad (1-4)$$

すなわち、オン抵抗は絶縁破壊電界の 3 乗に反比例するため、同じ耐圧であれば GaN のオン抵抗は Si に比べて約 1/1000 にすることが出来る。

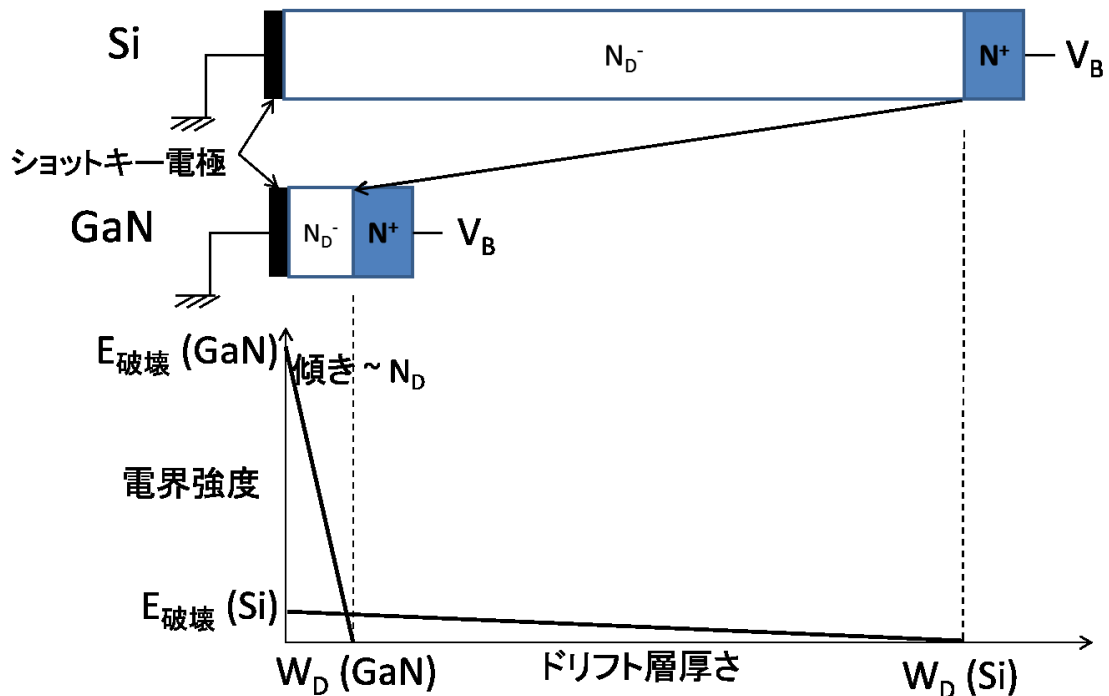


図 1-1. Si、及び GaN を用いたショットキーバリアダイオードに印加される電界強度とドリフト層厚さの関係

以上のことから、GaNを用いて高出力用パワートランジスタを作製することにより、図 1-2 に示すように、高耐圧と低オン抵抗の実現が期待され、Johnson FOM も他の材料に比べて大きな値であることと合わせて、高出力デバイスとして非常に有望である [3-5]。

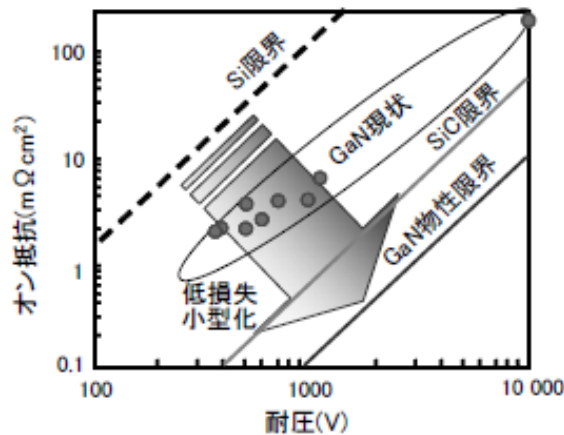


図 1-2. デバイス耐圧とオン抵抗の関係

これに加えて、GaN は図 1-3(a)に示すように、AlGaN との間にヘテロ構造を形成することが出来、AlGaN/GaN MES (Metal-Semiconductor) HEMT (High-Electron-Mobility-Transistor)が作製できる。AlGaN/GaN MES HEMT は、AlGaN/GaN ヘテロ構造界面に発生する高濃度の 2 次元電子ガス (2DEG : 2 Dimensional Electron Gas)を利用するデバイスである。この系では、AlGaN/GaN のヘテロ界面での極薄膜層のひずみに起因するピエゾ分極と、Ga 原子と N 原子のイオン性の違いとウルツ鉱型という対称性の低い面における自発分極の効果により、AlGaN 障壁層に n 型不純物をドーピングせずとも、AlGaN/GaN 界面に $1 \times 10^{13} [\text{cm}^{-2}]$ 程度の高濃度の二次元電子ガスが誘起される [6]。この高濃度の 2DEG は AlGaN/GaN 界面でのイオン化不純物散乱が少ないため電子移動度が高く、また電子飽和速度が大きいため、高周波・高出力デバイスへの応用が期待できる。そのため、GaN の主な用途は、当初

は AlGaN/GaN MES HEMT 構造を用いた、通信機器の電源に用いられる高周波トランジスタであった{図 1-3(b)} [7-9]。

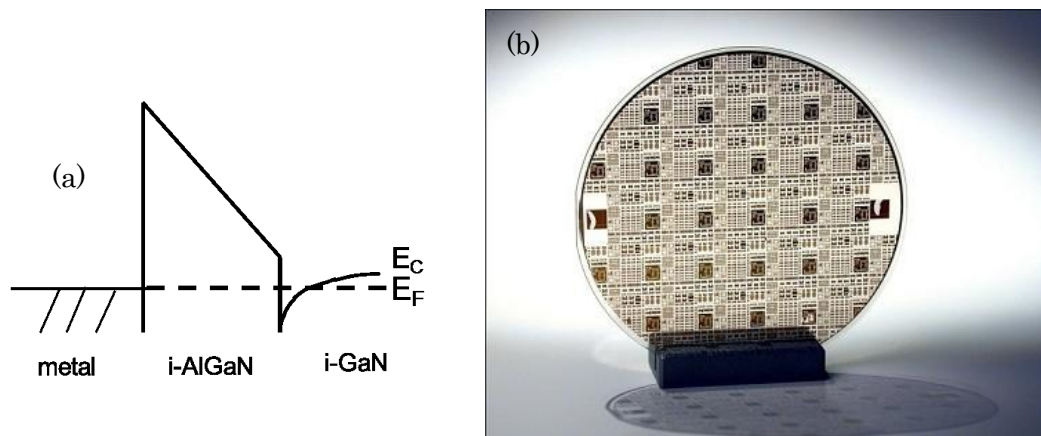


図 1-3. AlGaN/GaN MES HEMT の(a) 断面図と(b)実用化されているデバイス例

一方、GaN 系半導体を成長するためには、サファイア基板あるいは SiC 基板[10-11] が用いられてきた。これらの基板は高価であることに加えて、口径もサファイアが最大 6 インチ、SiC が 4 インチまでしか実現されておらず、デバイスの低コスト化が困難であった。そのため、GaN 材料を用いたパワーデバイスの市場拡大のためには、安価で大口径な Si 基板上への成長が重要である。しかしながら、Si 基板には、サファイア基板や SiC 基板同様、GaN との大きい格子定数差・膨張係数差があり、低欠陥の GaN 結晶を得ることが困難であった。しかし近年、Si 基板上に AlN バッファ層を成長させ AlN 上に厚膜 GaN を成長する[12-15]ことにより、Si 基板上に良質な GaN を成長させる技術が急激に進歩してきている。これらの結果、青色発光ダイオードや青色レーザーダイオードなど、光デバイスの材料に加えて、GaN のパワーデバイス応用に向けた研究・開発が近年盛んに行われている。

その中で、GaN のパワーデバイス応用を考えた場合、従来の GaN MES HEMT 構造で

は、ゲートリーク電流が大きく、十分大きなゲート電圧を印加出来ないことから、十分大きなドレイン電流を得ることが出来ないという課題があった。そこで、ゲート絶縁膜を有する GaN MOSFET の開発・研究が行われてきた[16-17]。

当初は、ゲート絶縁膜/GaN 界面の界面準位密度が大きいことから、GaN 本来の値に比べてチャンネルの移動度が小さく、実用的な MOS 界面が得られないという課題があった[18-19]。しかし、近年 SiO₂をゲート絶縁膜とする GaN MOSFET において、GaN 界面との界面準位密度が 10¹¹ [cm⁻²eV⁻¹]程度の比較的良好な界面特性が得られたという報告もある[20-21]。

そのような中、AlGaIn/GaN MES HEMT 構造と MOSFET 構造を組み合わせた、横型 AlGaIn/GaN MOSHFET(MOS Heterostructure FET)の開発・研究が進んでいる[22-25]。AlGaIn/GaN MOSHFET はイオン化不純物散乱が少なく、移動度が大きな AlGaIn/GaN 界面をチャンネルとして用いており、尚且つゲート絶縁膜を有しているため、大きなゲート電圧を印加出来、十分大きなドレイン電流を得ることが出来る。そのため、高出力デバイスとして非常に有望である。しかし、不十分な絶縁膜/AlGaIn 界面特性に起因する過渡応答特性、ノーマリオン動作、高コストなどの理由から実用化・量産化は実現していない。

また、AlGaIn/GaN MOSHFET には大まかに分けて、図 1-4(a)に示したような横型と(b)に示したような縦型の 2 種類の構造が考えられる。縦型トランジスタは横型に比べて電流経路が広く、オン抵抗を小さくすることが出来、更なるデバイスの高出力化に繋がる。しかし、縦型 MOSHFET の実現には耐圧向上の観点から貫通転位が少ない結晶が必要不可欠である。これに加えて、基板に GaN を用いた場合、低コスト化が困難である。そのため、縦型 GaN MOSHFET の報告例は一部あるものの[17]、実用化には至っていない。一方、横型では貫通転位の影響が縦型に比べて少なく、基板に Si を用いることで低コスト化が期待できるため、GaN 系パワーデバイスの実用化・量産化を

実現する上で非常に有望な構造である。

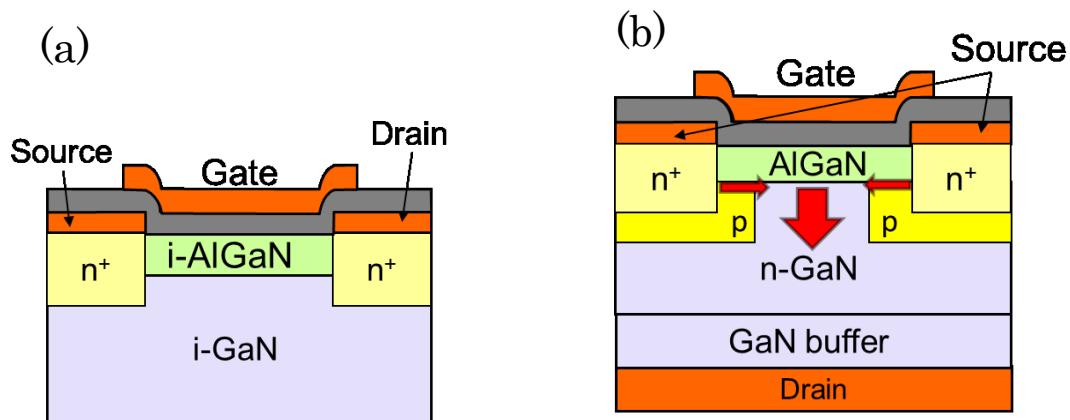


図 1-4. (a)横型、及び(b)縦型 AlGaN/GaN MOSHFET のデバイス構造例

1.1.2 AlGaN/GaN MOSHFET の課題

前節で記述したように、AlGaN/GaN MOSHFET は高出力デバイスとして非常に有望である。本節では、1.1.1 節で挙げた AlGaN/GaN MOSHFET の課題の中で、絶縁膜/AlGaN 界面の界面準位に起因する問題について説明する。

GaN 系 MOSHFET において、界面準位が生じる理由は明確にはされていないが、GaN 表面に自然酸化膜が存在する場合、高密度の界面準位密度が存在するという報告がある[26]。そこで、これまで絶縁膜/GaN 界面または絶縁膜/AlGaN 界面の高品質化、界面準位密度の低減に関する研究が進められてきた[27-28]。しかし、絶縁膜/GaN 界面の界面準位密度は Si 系 MOSFET、すなわち SiO₂/Si 界面に比べて依然として大きな値であり、この界面準位に起因するデバイス特性の低化が問題になる。

デバイス特性低下の具体例としてはまず、(1)大きな正のゲート電圧を印加した際のドレイン電流の飽和が挙げられる。第 2 章でシュミレーション結果を用いて詳細に説明するが、AlGaN/GaN MOSHFET に正のゲートバイアスを印加すると図 1-5 に示すように、絶縁膜/AlGaN 界面の界面トラップにチャネルから電子が注入・捕獲される。この状態からゲートバイアスを更に大きくしても、ゲート電圧の増加がトラップへの電子

捕獲に消費され、ドレイン電流が増加しなくなる。すなわち、相互コンダクタンスの最大値やドレイン電流の最大値がトラップがない理想的な場合に比べて小さくなる。その結果、デバイスの更なる高出力化や小型化を実現することが困難になる。

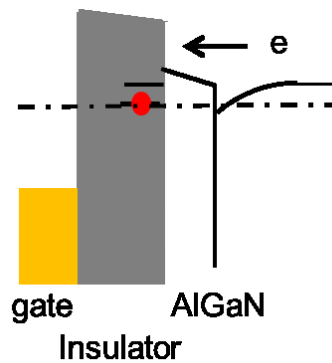


図 1-5. AlGaN/GaN MOSHFET のバンド図 ($V_G > 0$)

これに加えて、(2)絶縁膜/AlGaN 界面に界面準位が存在する場合、FET の電流(I)-電圧(V)特性において、ヒステリシスが観測される。スイッチングデバイス応用を考慮すると、ヒステリシスが存在する場合、デバイスの動作が不安定になるため、ヒステリシスの低減も重要である。

さらに、(3)電流コラプスが挙げられる。電流コラプスとは、大きなドレイン電圧を印加した際に、大幅にドレイン電流が低下する現象である。AlGaN/GaN MOSHFET に大きなドレイン電圧を印加すると、伝導電子がチャネルから励起され、絶縁膜/AlGaN 界面のトラップに捕獲される。この時、捕獲された電子はバンドを持ち上げ、その結果、ドレイン電流が低下する。

これらの課題の解決のためには、絶縁膜/AlGaN 界面の界面準位密度の低減が必要であり、絶縁膜/GaN 界面の界面準位密度を小さくすることが重要である。SiN 膜は SiN/AlGaN 界面特性が比較的良好で、良く用いられてきたが[29-31]、SiN はバンドギャップが 5.3 eV[32]と小さく、ゲートリーク電流が大きくなるという課題がある。

1.2. 本研究の目的と位置づけ

本研究の目的は AlGaIn/GaN MOSHFET の更なる高出力化、及びヒステリシスを初めとする界面準位に起因するデバイス特性低下の改善であり、そのためには絶縁膜/AlGaIn 界面の特性改善が必須である。AlGaIn/GaN MOSHFET のゲート絶縁膜の中で、 Al_2O_3 ($\epsilon_r:9 \sim 10$)や HfO_2 ($\epsilon_r:19$)は比誘電率が大きく、デバイスの入力容量の増加や高出力化が期待できることから注目されている[33-35]。しかし、両者の優劣について、同一プロセス、かつ同一結晶で比較した例はなく、GaN MOSHFET のゲート絶縁膜として、どの材料が有用であるかは明確にされていない。そこで本研究では、まず初めに Al_2O_3 、及び HfO_2 をゲート絶縁膜とするデバイスを作製し、 Al_2O_3 、及び HfO_2 のどちらがゲート絶縁膜として優位であるかを明確にする。

また、本論文ではゲート電圧掃引時間や待機時間を変えて、AlGaIn/GaN MOSHFET の過渡応答特性を調べ、過渡応答特性に界面準位が与える影響を解明する。本論文のように、絶縁膜/AlGaIn 界面の界面準位が FET 特性に与える影響について詳細に調べた例は少なく、本論文の結果は、AlGaIn/GaN MOSHFET の過渡応答特性の原因を理解し、それに基づいて界面準位密度の低減を実現する上で重要である。

本研究では、2 章で優位性を確認した Al_2O_3 ゲート絶縁膜において、 Al_2O_3 /AlGaIn 界面の特性改善を目指し、 Al_2O_3 成膜前の前処理として、硫化アンモニウム処理を検討する。硫化アンモニウム処理は界面準位が出来る原因の可能性の 1 つとして考えられている、半導体表面上の自然酸化膜を除去できる効果があると考えられ、従来 GaAs 上で用いられてきた[36]。GaN でも硫化アンモニウム処理が材料科学の観点から調べられた例はあるが[37]、AlGaIn/GaN MOSHFET で硫化アンモニウム処理の有効性を実証した例は少ない。そこで、硫化アンモニウム処理を Al_2O_3 AlGaIn/GaN MOSHFET に適用し、 Al_2O_3 /AlGaIn 界面においても硫化アンモニウム処理の有用性を検証する。

また、本研究では、 Al_2O_3 /AlGaIn 界面の特性改善、及びノーマリオフ型デバイス作

製に向けて、 Al_2O_3 膜への CF_4 プラズマ処理を検討する。 CF_4 プラズマ処理を AlGaIn/GaN MES (metal – semiconductor) HEMT のゲートリセスエッチングに適用し、ノーマリオフ型デバイスを作製したという報告がなされた。しかし、GaN MOSHFET に CF_4 プラズマ処理を適用し、界面特性を改善したという報告例はほとんどない。そこで、本論文では CF_4 プラズマ処理により、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面、及び $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の特性改善、及びデバイス特性の改善の試みを報告する。

さらに、本研究では、AlGaIn/GaN MOSHFET 作製プロセスの中で、オーミックコンタクト形成のための合金化アニール時の課題に着目する。すわなち、高温の合金化アニールにより、AlGaIn 表面が酸化、もしくは窒素空孔が生成されることが懸念される[38]。そこで、合金化アニールを行う際、AlGaIn 表面を Al_2O_3 で覆う”gate-first process”を検討する。本プロセスを MOSHFET に適用し、デバイス特性の改善を実証する。

1.3. デバイスの過渡応答特性に影響を及ぼす界面準位の振る舞い

本論文では、AlGaIn/GaN MOSHFET の過渡応答特性に界面準位が与える影響について、詳細に調べた。そこで、本節ではデバイスの過渡応答特性を理解する上で重要な界面準位のトラップ深さと放出時定数の関係について述べる。

また、本研究では界面準位密度を導出するための方法として、Terman 法を用いた。本節では Terman 法の原理を述べると共に、その適用条件についても述べる。

1.3.1 ショックレー・リード・ホール統計

本論文では、界面準位の放出時定数を見積もる際、Shockley-Read-Hall (SRH)統計

[39-41]を用いた。

伝導帯下端からある深さ E_T に存在する単一準位のトラップを考える。このトラップの密度を N_T とし、伝導帯の電子密度を n 、価電子帯の正孔密度を p 、トラップに捕獲された電子、及び正孔密度をそれぞれ、 n_T 、 p_T とする。この時の伝導帯、及び価電子帯とトラップとのやりとりは図 1-6 に示すように、4 つに分類出来る。

- (a) 電子捕獲: 伝導帯の電子を捕獲
- (b) 電子放出: 捕獲した電子を伝導帯へ放出
- (c) 正孔捕獲: 価電子帯の正孔を捕獲
- (d) 正孔放出: 捕獲した正孔を価電子帯へ放出

本節では、(a)、(b)について議論する。

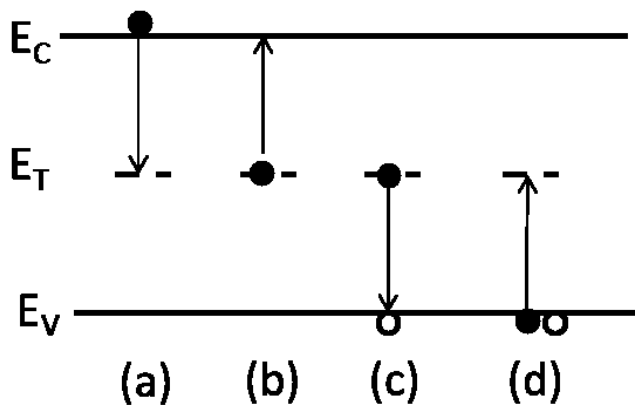


図 1-9. トラップによるキャリアの捕獲・放出の分類
(a) 電子捕獲 (b)電子放出 (c)正孔捕獲 (d) 正孔放出
なお、黒い丸は電子、白い丸は正孔を表す

(a) 電子捕獲

トラップが電子を捕獲する速さは伝導帯の電子密度 n と電子を捕獲していないトラップの密度($N_T - n_T$)に比例する。そのため、捕獲電子密度の時間変化は、比例定数 c_n を用いて、式(1-5)のように記述出来る。

$$\frac{dn_T}{dt} = c_n n (N_T - n_T) \quad (1-5)$$

また、捕獲係数 c_n は電子の熱速度 v_{th} 、トラップの捕獲断面積 σ_n を用いて

$$c_n = v_{th} \sigma_n \quad (1-6)$$

で与えられる。

(b) 電子放出

一方、トラップが伝導帯に捕獲電子を放出する速さは、トラップに捕獲された電子密度 n_T に比例する。その結果、捕獲電子の時間変化は、放出割合 e_n を用いて式(1-7)のように記述出来る。

$$\frac{dn_T}{dt} = -e_n n_T \quad (1-7)$$

熱平衡状態では、伝導帯への電子の放出速度と捕獲速度が等しくなるため、(1-5)式と(1-7)の間には次のような関係が成り立つ。

$$c_n n_0 (N_T - n_{T0}) = e_n n_{T0} \quad (1-8)$$

ただし、 n_0 、 n_{T0} は熱平衡状態時における伝導帯の電子密度と捕獲電子密度である。熱平衡状態における伝導帯の電子密度と捕獲電子密度はフェルミ-ディラック分布 f 、及びボルツマン近似を用いて、以下のように記述出来る。

$$n_{T0} = N_T f = N_T \frac{1}{1 + \exp\left[\frac{E_T - E_F}{kT}\right]} \quad (1-9)$$

$$n_0 = N_C \exp\left[\frac{E_F - E_C}{kT}\right] \quad (1-10)$$

ただし、 N_C は伝導帯電子の有効状態密度である。(1-9)、(1-10)、及び(1-8)式より、電子の放出割合 e_n は(1-11)のように記述出来る。

$$e_n = \sigma_n v_{th} N_C \exp\left[-\frac{E_C - E_T}{kT}\right] \quad (1-11)$$

電子の放出時定数を τ_e とすると、式(1-7)から

$$\tau_e = e_n^{-1} = \frac{1}{\sigma_n v_{th} N_C} \exp\left[\frac{E_C - E_T}{kT}\right] \quad (1-12)$$

が与えられる。

図 1-7 に、式(1-12)を用いて計算した、 $\text{Al}_{0.22}\text{GaN}$ における電子の放出時定数を示す。

ただし、電子の熱速度と伝導帯の有効状態密度はそれぞれ、式(1-13)と(1-14)を用いて

計算し、その値はそれぞれ 1.9×10^7 [cm/s]と 3.3×10^{18} [$\text{cm}^{-3}\text{eV}^{-1}$] である。ただし、 m^*

は伝導電子の有効質量、 k はボルツマン定数、 T は絶対温度、 h はプランク定数である。

また、捕獲断面積として一般的によく用いられる値 $\sigma_n = 1 \times 10^{-15} \text{ cm}^2$ と仮定した[42]。

$$v_{th} = \sqrt{\frac{2kT}{m^*}} \quad (1-13)$$

$$N_C = 2\left(\frac{2\pi m^* kT}{h^3}\right)^{3/2} \quad (1-14)$$

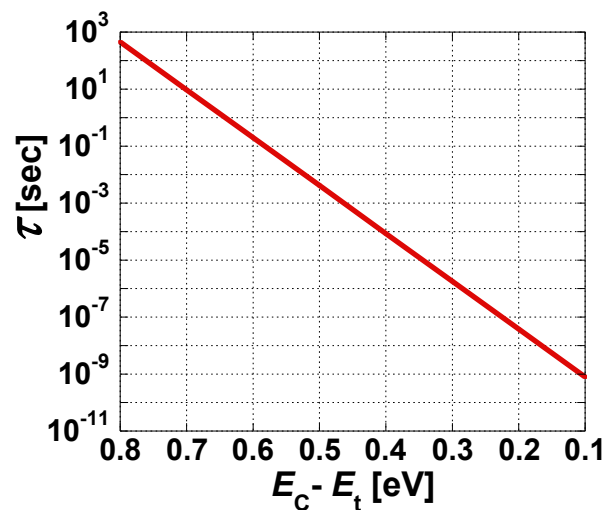


図 1-7. トラップ深さと放出時定数の関係
($\text{Al}_{0.22}\text{GaN}$, $\sigma_n = 1 \times 10^{-15} \text{ cm}^2$)

1.3.2 Terman 法

本論文では、n-GaN MOS ダイオードの C-V 測定結果を用いて界面準位密度を求めた。そこで、この節では、MOS 界面にトラップがある場合の $C-V_G$ 特性、及び界面準位密度を求めるための方法として用いた Terman 法について説明する[43-46]。

図 1-8(a)に示すように、MOS ダイオードのゲート絶縁膜/半導体界面に界面トラップが存在する場合を考える。なお、図中の ϕ_s は絶縁膜/半導体界面のバンド曲りである。この時、MOS ダイオードに正の直流ゲートバイアスを印加すると、図 1-8(b)のように、絶縁膜/GaN 界面のバンドが下がり、トラップのエネルギー準位がフェルミレベルを横切る。その結果、チャンネルからトラップに電子が捕獲される。しかし、高周波信号を加えて、容量を測定する際、測定周波数が高いと、捕獲された電子は測定信号に追従できず、電子の捕獲・放出が出来ない。従って、トラップに捕獲された電子は容量測定時、固定電荷のように振る舞う。

この状態からさらに大きな正のゲートバイアスを印加すると、絶縁膜/半導体界面のバンドがさらに曲り、バンド曲りに応じてトラップの電荷量が変化する。すなわち、トラップが存在する場合、絶縁膜/半導体界面のバンドを下げることに加えて、トラップへの電子捕獲にもゲート電圧の増加分が消費される。従って、トラップが存在しない理想的な場合に比べてより大きなゲート電圧を印加する必要がある。これらの結果から、図 1-9 (a)に示すように、トラップが存在する場合の $C-V_G$ 特性の傾きはトラップが存在しない場合に比べて、緩やかになる。このトラップが存在しない場合の理想カーブの傾きと実際に測定した $C-V_G$ 特性の傾きの差から界面準位密度を求める。

一方、容量測定時、トラップに捕獲された電子は高周波信号に追従できず、固定電荷のように振る舞うため、容量値そのものは、あるバンド曲りでの多数キャリアの交流応答を表している。これは、界面トラップがない場合における高周波測定と同じであるため、図 1-9(b)のようにバンド曲りと容量値の関係は界面準位の有無には依存しない。

すわなち、容量の値からバンド曲り ϕ_s の値が一義的に定まり、トラップがない場合の理想的な C-V カーブの傾きも一義的に定まる。

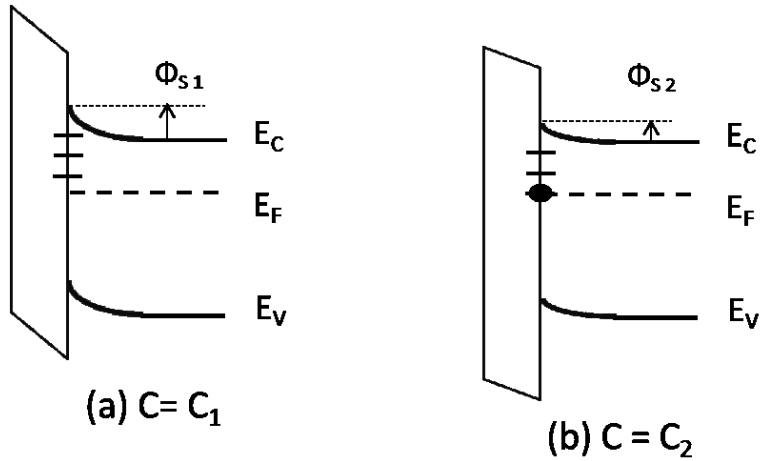


図 1-8. 容量を C_1 から C_2 に変化させた時の MOS ダイオードのエネルギーバンドの変化

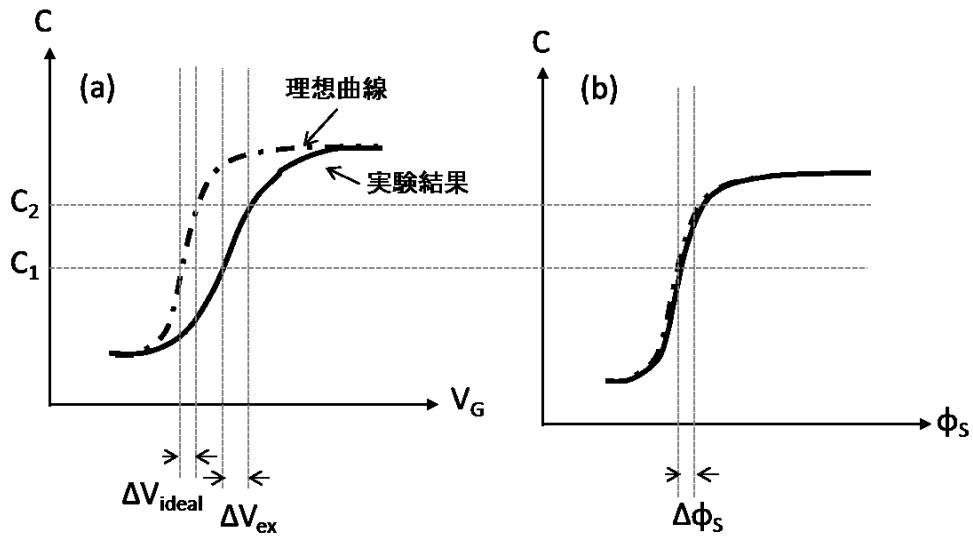


図 1-9. 界面準位が存在する場合の(a) C - V_G 特性と(b) C - ϕ_s 特性

Terman 法を用いて界面準位密度を導出する際の手順は以下の通りである。

- (1) 実験で得られた容量値から、各ゲート電圧に対応するバンド曲り ϕ_s を計算し、ある

容量 C_1 からある容量 C_2 まで容量を変化させた時のバンド曲りの差分 $\Delta\phi_s$ 、及びゲート電圧 ΔV_{ex} 、 ΔV_{ideal} を計算する。なお、 ΔV_{ex} はトラップがある場合、 ΔV_{ideal} はトラップがない場合の値である。

(2) 式(1-15)を用いて、界面準位密度 D_{it} を計算する

$$D_{it} = -q^{-1} \frac{\Delta Q_T}{\Delta\phi_s} \quad (1-15)$$

ここで、 ΔQ_T はある容量 C_1 から C_2 まで容量を変化させた時、界面準位密度に捕獲された電荷量であり、 q は素電荷量である。電荷は絶縁膜/半導体界面に捕獲されているため、半導体容量 C_{ox} とゲート電圧差との積であり、式(1-16)のように表される。

$$\Delta Q_T = -C_{ox}(\Delta V_{ex} - \Delta V_{ideal})/S \quad (1-16)$$

(3) (2)で求めた界面準位密度をバンド曲り、すなわちトラップ深さの関数として界面準位密度をプロットする

これまで示してきた Terman 法を適用するためには、C-V 測定を行う際、以下のような条件を満たす必要がある。まず、C-V 測定を行う際の周波数は、捕獲された電子が印加する交流信号に追従できない程度に高くする必要がある(高周波極限)。そのため、放出時定数が小さな浅いレベルのトラップについては、Terman 法を用いて評価することが困難である。一般的に C-V 測定に用いられる測定周波数は 1MHz である。従って、放出時定数が 10^{-6} [s] 程度以下のトラップは評価することが困難である。GaN MOS ダイオードを考慮した場合、図 1-7 から、このトラップの深さは伝導帯下端から約 0.3 eV 程度である。捕獲断面積の不確かさも考慮して、1MHz で容量測定を行った本論文では、 ~ 0.1 eV より深いレベルのトラップを評価した。

2つ目の条件として Terman 法では、準静的バイアス変化(直流バイアス)に対して、界面準位の荷電状態が完全に応答しなければならない。すなわち、ゲート電圧の直流印

加時にトラップに電子が捕獲・放出されることが前提である。そのため、印加するゲート電圧の直流の掃引速度はトラップの放出時定数よりも十分長くする必要がある。すなわち、ゲート電圧掃引速度より放出時定数が大きな深いレベルのトラップについても、Terman 法を用いて評価することができない。ただし、光や熱など外部からエネルギーを供給する場合、トラップの放出時定数は小さくなるため、更に深いレベルのトラップについても評価が可能である。

これまで示してきたように、Terman 法は高周波の C-V 測定を行うことにより、比較的容易かつ高精度で行え、またある程度広いエネルギー範囲の表面準位を精度良く、評価できる。なお、界面準位密度を算出する方法として、Terman 法の他にコンダクタンス法が挙げられる[47]。コンダクタンス法は Terman 法よりも、精度が高いとされており、Terman 法では評価できないレベルの小さな界面準位密度もコンダクタンス法を用いることで評価できる場合がある。

1.4 本論文の構成

第2章ではゲート絶縁膜として Al_2O_3 、及び HfO_2 を比較した結果について述べる。初めに Al_2O_3 、及び HfO_2 をゲート絶縁膜とする GaN MOS ダイオード、AlGaIn/GaN MOSHFET を作製し、その電気的特性を比較する。その結果から、 Al_2O_3 、もしくは HfO_2 のどちらがゲート絶縁膜として優位であるかを述べる。

第3章では $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の更なる高品質化を実現するため、2章で優位性を確認した Al_2O_3 の成膜前の前処理として、硫化アンモニウム処理を検討する。本章では、まず初めに硫化アンモニウム処理を用いて MOS ダイオードを作製し、硫化アンモニウム処理の有用性を実証する。その後、AlGaIn/GaN MOSHFET に硫化アンモニウム処理を適用し、FET 特性改善においても硫化アンモニウム処理が有用であることを実証す

る。

第 4 章では $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面特性改善のため、 Al_2O_3 成膜後の CF_4 プラズマ処理による F 注入を検討する。 CF_4 プラズマ処理により、 $\text{Al}_2\text{O}_3/\text{GaN}$ 、及び $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の酸素空孔の低減が期待でき、その結果、界面準位密度の低減が期待できる。本章では、まず初めに CF_4 プラズマ処理を用いて MOS ダイオードを作製し、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面特性改善において CF_4 プラズマ処理が有用であることを実証する。次に、効果が得られた CF_4 プラズマ処理を AlGaN/GaN MOSHFET に適用することにより、更なるデバイス特性の改善を図ると共に、得られた FET 特性について考察する。

第 5 章では gate-first process を用いて作製した AlGaN/GaN MOSHFET の電気的特性について述べる。第 2~4 章で行っている合金化アニールの際、 AlGaN 表面が酸化、もしくは窒素空孔が生成される懸念に対して、合金化アニール中、 AlGaN 表面を Al_2O_3 でパッシベーションするものである。Gate-first process を GaN MOS ダイオードに適用し、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面特性の改善を実証する。次に、 AlGaN/GaN MOSHFET に gate-first process を適用することにより、FET 特性の改善を目指す。

第 6 節は結論であり、本研究で取り組んだ絶縁膜/ AlGaN 界面、及び絶縁膜/ GaN 界面の特性改善に向けて行った、 Al_2O_3 と HfO_2 の比較、硫化アンモニウム処理、 CF_4 プラズマ処理、及び gate-first process を用いて作製したデバイスの結果について要約する。最後に将来に向けての展望を添え、本論文の結びとする。

参考文献

- [1] P. Moens, F. Bauwens, B. Desoete, J. Baele, K. Vershinin, H. Ziad, E. S. Narayanan, and M. tack, 19th, ISPSD, (2007)
- [2] 「GaN パワー用結晶材料・デバイスに関する技術調査」、財務法人新機能素子研究開発協会委託調査、旭リサーチセンター、(2007)
- [3] 「GaN パワーデバイス」、引田 正洋、柳原 学、上本 康裕、上田 哲三、田中 毅、上田 大助、Panasonic Technical Journal, vol. 55, pp. 21-25, (2009)
- [4] B. J. Baliga, IEE Elect. Dev. Lett., vol. 10, pp.455-457, (1989)
- [5] S.Yoshida, and J. Suzuki, Jpn. J. Appl. Phys, vol. 37, pp. L482-L484, (1998)
- [6] X. Hu, A. Koudymov, G. Simin, J. Yang, M. AsifKhan, A. Tarakji, M. S. Shur, and R. Gaska, Appl. Phys., vol. 79, pp.2832-2834, (2001)
- [7] C. Lee, L. Witkowski, H-Q. Tserng, P. Saunier, R. Birkhahn, D. Olson, G. Munns, S. Guo, and B. Albert, Electronics Letters, vol. 41, pp. 155-157, (2005)
- [8] Xu. Hongtao, S. Gao, S. Heikaman, S. I. Long, U. K. Mishra, and R. A. York, IEEE Microwave and Wireless Components Letters, vol. 16, pp. 22-24, (2006)
- [9] I. Khalil, A. Liero, M. Rudolph, R. Lossy, and W. Heinrich, IEEE Microwave and Wireless Components Letters, vol. 18, pp. 605-607, (2008)
- [10] H. Tang, J. A. Bardwell, J. B. Webb, S. Mosia, J. Fraser, and S. Rolfe, Appl. Phys. Lett., vol. 7, pp. 2764-2766, (2001)
- [11] J. G. Felbinger, M. V. s. Chandra, Y. Sun, L. F. Eastman, J. Wasserbauer, F. Faili, D. Babic, D. Francis, and F. Ejeckam, IEEE Electron Device Letters, vol. 28, pp. 948-950, (2007)
- [12] A. Watanabe, T. Kakeuchi, K. Hirosawa, H. Amano, K. Hiramatsu, and I. Akasaki, J. Crystal. Growth, vol. 128, pp. 391-396, (1993)

- [13] S. Tanaka, Y. Kawaguchi, and N. Sawaki, *Appl. Phys. Lett.*, vol. 76, pp. 2701-2703, (2000)
- [14] M. Jamil, J. R. Grandusky, V. Jindal, F. S. Sandvik, S. Guha, and M. Arif, *Applied Physics Letters*, vol. 87, pp. 082103. 1-3, (2005)
- [15] G. Cong, Y. Lu, W. Peng, X. Liu, X. Wang, and Z. Wang, *Journal of Crystal Growth*, vol. 276, pp. 381-388, (2005)
- [16] K. Matocha, T. P. Chow, and R. J. Gutmann, *IEEE Trans. Electron. Devices.*, vol. 52, pp. 6-10, (2005)
- [17] A. Kawano, S. Kishimoto, Y. Ohno, and T. Mizutani, *Phys. Stat. Sol. (c)*, vol. 4, pp. 2700-2703, (2007)
- [18] K. Matocha, T. P. Chow, and R. J. Gutmann, *IEEE Trans. Electron Devices*, vol. 52, pp. 6-10, (2005)
- [19] H. Otake, S. Egami, H. Ohta, Y. Nanishi, and H. Takasu, *Jpn. J. Appl. Phys.* vol. 46, pp. L599-L601, (2007)
- [20] K. Yamaji, M. Noborio, J. Suda, and T. Kimoto, *Jpn. J. Appl. Phys.*, vol. 47, pp. 7784-7787, (2008)
- [21] Y. Niyama, T. Shinagawa, S. Ootomo, H. kambayashi, T. Nomura, and S. Kato, *Semicond Sci. Technol.*, vol. 25, pp. 125006-125010, (2009)
- [22] T. Hashizume, S. Anantathanasarn, N. Negoro, E. Sano, and H. Hasegawa, *Jpn. J. Appl. Phys.*, vol. 43, pp. L777-779, (2004)
- [23] P. Ye , B. Yang, K. Ng, J. Bude, G. Wilk, S. Halder, and J. Hwang, *Appl Phys Lett*, vol. 86, pp. 063501. 1-3, (2005)
- [24] N. Ikeda, K. Kato, K. Kondoh, H. Kambayashi, J. Li, and S. Yoshida, *Phys. Stat. Sol. (a)*, vol. 204, pp. 2028-2031, (2007)

- [25] S. Sugiura, S. Kishimoto, T. Mizutani, M. Kuroda, T. Ueda, and T. Tanaka, *Phys. Stat. Sol. (c)*, vol.5, pp. 1923-1925, (2008)
- [26] R. Nakayama, T. Hashizume, and H. Hasegawa, *IEIC Technical Report*, vol. 99, pp. 19-24, (1999)
- [27] R. Nakasaki, T. Hashizume, and H. Hasegawa, *Physica E*, vol. 7, pp. 953-957, (2000)
- [28] C. Ostermaier, H. C. Lee, S. Y. Hyun, S. I. Ahn, K. W. Kim, H. I. Cho, J. B. Ha, and J. H. Lee, *Phys. Stat. Sol. (c)*, vol. 5, pp. 1992-1994, (2008)
- [29] X. Hu, A. Koudymov, G. Simin, J. Yang, M. A. Khan, A. Tarakji, M. S. Shur, and R. Gaska, *Appl. Phys. Lett.*, vol. 79, pp. 2832-2834, (2001)
- [30] T. Kikkawa, M. Nagahara, N. Okamoto, Y. Tateno, Y. Yamaguchi, N. Hara, K. Joshin, and P. M. Asbeck, *Electron Devices Meeting*, pp. 25.4.1-4, (2001)
- [31] M. Ochiai, M. Akita, Y. Ohno, S. Kishimoto, K. Maezawa, and T. Mizutani, *Jpn. J. Appl. Phys.*, vol. 42, pp. 2278-2280, (2003)
- [32] J. Robertson, and B. Falabretti, *J. Appl. Phys.*, vol. 100, pp. 14111-14118, (2006)
- [33] Y. Q. Wu, P. D. Ye, G. D. Wilk, and B. Yang, *Materials Science and Engineering*, vol. 135, pp. 282-284, (2006)
- [34] S. Sugiura, S. Kishimoto, T. Mizutani, M. Kuroda, T. Ueda, and T. Tanaka, *Electron. Lett.*, vol. 43, pp. 952-953, (2007)
- [35] Y. C. Chang, W. H. Chang, H.C. Chiu, K. H. Shiu, C. H. Lee, M. Hong, J. Kwo, J. M. Hong, and C. C. Tsai, *Device Research Conference*, pp. 81-82, (2008)
- [36] Y. Xuan, H. C. Lin, and P. D. Ye, *IEEE Trans. Electron. Devices.*, vol. 54, pp. 1811-1817, (2007)
- [37] T. Maruyama, K. Yorozu, T. Noguchi, Y. Seki, and Y. Nanishi, *Phys. Stat. Sol. (c)*, vol.

- 0, pp. 2031-2034, (2003)
- [38] T. Hashizume, H. Hasegawa, *Applied Surface Science*, vol. 234, pp. 387-394, (2004)
- [39] 「Statics of the Recombinations of Hole and Electrons」, W. Shockley, W. T. Read, and M. Hill, (1962)
- [40] D. Macdonald, and A. Cuevas, *Physical review B*, vol. 67, pp. 075203. 1-7, (2003)
- [41] Y. Son, T. Kang, S. Park, and H. Shin, *IEEE Transactions on nanotechnology*, vol. 10, pp. 1352-1356, (2011)
- [42] P. Hacke, T. Detchprohm, K. Hiramatsu, and N. Sawaki, *J. Appl. Phys.*, vol. 76, pp. 304-309, (1994)
- [43] L. M. Terman, *Solid-State Electronics*, vol. 5, pp. 285-299, (1962)
- [44] B. Telephone, and M. Hill, *Solid-State Electronics*, vol. 13, pp. 873-885, (1970)
- [45] 「MOS (Metal Oxide Semiconductor) Physics and Technology」, E.H. Nicollian and j. R. Brews, *Wiley Classics Library Eddition Published*, (2003)
- [46] 「窒化物半導体デバイスにおける表面制御」、*応用物理、解説*、73 卷、3 号、pp. 333-338、(2004)
- [47] A. Tolpadi, and R. S. Srivastava, *Rev. Sci. Instrum.*, vol. 63, pp. 5419-5425, (1992)

第2章 Al₂O₃とHfO₂をそれぞれゲート絶縁膜とする AlGaIn/GaN MOSHFET の作製と電気的特性の比較

2.1 はじめに

第1章で述べたように、AlGaIn/GaN MOSHFET のゲート絶縁膜として、Al₂O₃やHfO₂を初めとする High-k ゲート絶縁膜が開発・研究されている。High-k 材料をゲート絶縁膜として用いることにより、ゲートリーク電流抑制を狙ってゲート絶縁膜の厚みを厚くしても SiO₂に比べて、十分大きな入力容量を得ることが可能である。図 2-1[1-3]に主なゲート絶縁膜のバンドギャップと比誘電率をまとめた結果を示す。図にも示したように、Al₂O₃は比誘電率が比較的大きく、尚且つバンドギャップも大きな値である。これに加えて、GaInとの伝導帯不連続(ΔE_c)が 2.2 eV と大きく、ゲートリーク電流低減の効果が期待できる。一方、HfO₂は誘電率が 19 と非常に大きく、相互コンダクタンス(g_m)の向上やデバイスの更なる高出力化が期待できる。しかし、これらのゲート絶縁膜の優劣に関して、同一結晶、同一プロセスでデバイスを作製して比較した例はない。そこで本章では、原子層堆積 (ALD: Atomic Layer Deposition)で成膜した Al₂O₃、もしくは HfO₂ をゲート絶縁膜とする GaIn MOS ダイオード、AlGaIn/GaN MOSHFET を作製し、その電気的特性を比較した結果について述べると共に、Al₂O₃、HfO₂ のどちらがゲート絶縁膜として優位であるかを明確にする。また、作製した MOSHFET のデバイス特性に界面準位が与える影響について、シュミレーション結果を用いて説明する。

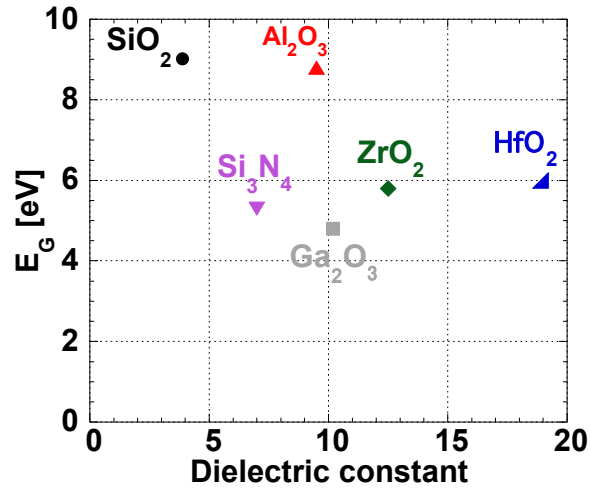


図 2-1. 種々のゲート絶縁膜の比誘電率とバンドギャップ

2.2 GaN MOS ダイオード、および MOSHFET の電気的特性の比較

2.2.1 GaN MOS ダイオード、および MOSHFET のデバイス構造及び作製条件

図 2-2 に作製した(a)n-GaN MOS ダイオード、及び(b)AlGaIn/GaN MOSHFET の断面模式図を示す。MOS ダイオード作製のため本実験で用いた結晶は通称 PD-48 で、サファイア基板の上に MOCVD (Metal Organic Chemical Vapor Deposition) によって成長された n-GaN 結晶である。n-GaN 層には Si が $8 \times 10^{16} [\text{cm}^{-3}]$ の濃度でドーピングされている。ゲート電極は半径 100 μm の円形パターンであり、その面積は $3.14 \times 10^{-2} [\text{mm}^2]$ である。

MOSHFET 作製のため本実験で用いた結晶は、通称 PD-32 のノーマリーオフ HEMT 用のエピで、サファイア基板の上に MOCVD によって成長された AlGaIn/GaN 結晶である。AlGaIn 層は厚みが 12 nm、Al 組成が 0.22 であり、GaN 層は厚みが 3000 nm である。また、AlGaIn 層、GaN 層共にドーピングは行っていない。さらに、図 2-2(b)に

示したように、ゲート電極は絶縁膜を介してソース・ドレイン電極とオーバーラップした構造になっている。このような構造にすることでチャンネル全体にわたって、ゲート電極によるチャンネル伝導度変調が効くようになり、その結果オン抵抗を低減させることが出来る。

GaN MOS ダイオード、及び AlGaN/GaN MOSHFET のオーミックコンタクト形成は、オーミック金属として Ti/Al/Ni/Au を蒸着・リフトオフ後、Rapid Thermal Annealing (RTA) を用いて、N₂ 雰囲気中 825 °C、30 s の合金化アニールにより行った。合金化アニール後、ALD を用いて Al₂O₃、及び HfO₂ の成膜を行った。成膜温度は Al₂O₃ が 300 °C、HfO₂ が 250 °C である。なお、Al₂O₃、及び HfO₂ の膜厚は入力容量が同じになるように、Al₂O₃ は 30 nm (261 cycle)、HfO₂ は 50 nm (609 cycle) とした。なお、ゲート絶縁膜成膜前の前処理は Al₂O₃、HfO₂ 共にアルカリ系溶液(商品名: セミコクリーン)1 min とした。

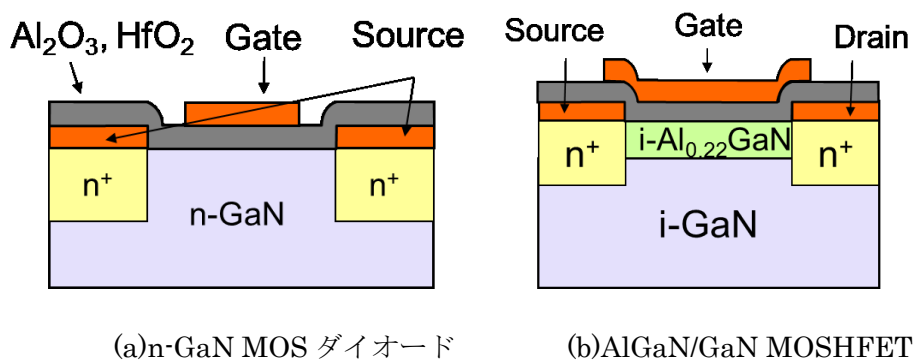


図 2-2. 作製したデバイスの断面図

2.2.2 GaN MOS ダイオードにおける絶縁膜/GaN 界面特性の比較

図 2-3 に作製した n-GaN MOS ダイオードの容量・ゲート電圧($C-V_G$)特性を示す。図 2-3(a)で示した赤い四角は Al₂O₃ をゲート絶縁膜とするダイオード、黄色の丸で示した (b)は HfO₂ をゲート絶縁膜とするダイオードの $C-V_G$ 特性結果である。なお、図中の灰色の破線は計算で求めたトラップがない場合の $C-V_G$ カーブの理想曲線である。

ゲートに印加する交流電圧の振幅、測定周波数はそれぞれ 0.1 V と 1 MHz である。ゲート電圧の掃引は負側から正側に向かって行い、その速度は 100 mV/30 sec である。

図からも分かるように、 Al_2O_3 をゲート絶縁膜とする GaN MOS ダイオードの $C-V_G$ カーブの傾きは、 HfO_2 をゲート絶縁膜とするデバイスのそれに比べて急峻である。第 1 章でも述べたように、絶縁膜/半導体界面に界面準位が存在する場合、理想カーブに比べて $C-V_G$ カーブの傾きがなだらかになる。従って、この結果は $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における界面準位密度が HfO_2/GaN 界面のそれよりも小さいことを示している。また、これに加えて Al_2O_3 をゲート絶縁膜とするデバイスの $C-V_G$ カーブにおけるヒステリシス幅は、 HfO_2 をゲート絶縁膜とするデバイスのそれよりも小さな値であった。2.2.3 節で詳細に記述するが、ヒステリシスが時計回りであったことを考慮すると、行きゲートバイアスで n-GaN から絶縁膜/GaN 界面の界面準位に電子が注入・捕獲され、それが帰りのスイープの間に界面準位から放出されないためヒステリシスが生じると考えられる。フラットバンド容量の時のヒステリシス幅から式(2-1)を用いて算出した界面準位に捕獲された電荷密度は、 Al_2O_3 が $2.4 \times 10^{12} [\text{cm}^{-2}]$ 、 HfO_2 が $7.8 \times 10^{12} [\text{cm}^{-2}]$ であり、約 3 倍 Al_2O_3 の方が小さな値であった。なお、式(2-1)中の C_{OX} は Al_2O_3 、及び HfO_2 の酸化膜容量、 S はゲート電極面積、 q は素電荷量、 ΔV はヒステリシス幅である。この結果も $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度が HfO_2/GaN 界面におけるそれよりも小さいことを示している。

$$N_t = \Delta V C_{\text{OX}} / Sq \quad (2-1)$$

また、図 2-3 (a)、(b)の飽和容量から算出した Al_2O_3 、 HfO_2 の誘電率はそれぞれ、9.9 と 15.2 であり、報告されている値[3]とほぼ同等の値である。

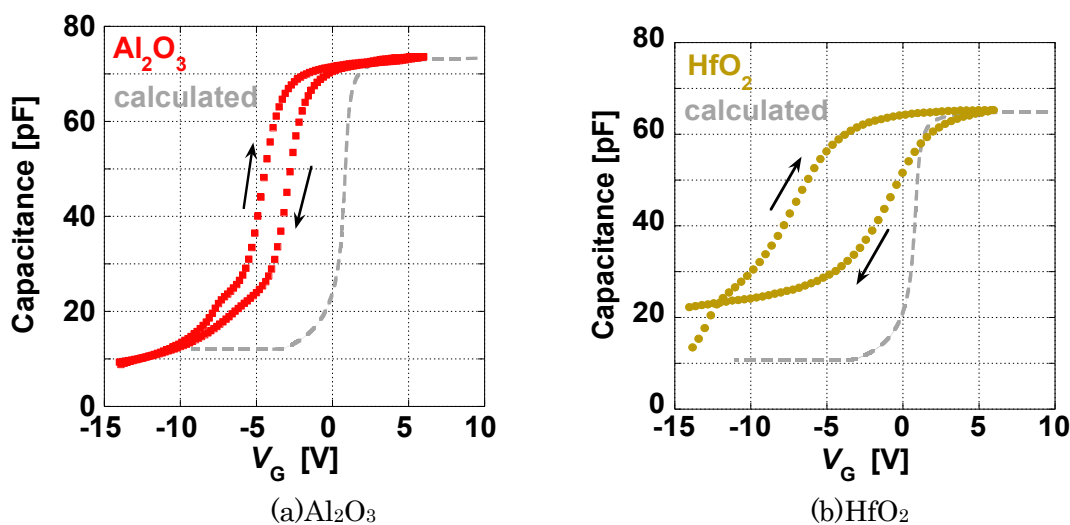


図 2-3. Al₂O₃ と HfO₂ をそれぞれゲート絶縁膜とする n-GaN MOS ダイオードの $C-V_G$ 特性 (f: 1MHz, 100 mV/30s)

図 2-3 の帰りの $C-V_G$ カーブに、Terman 法を適用して算出した界面準位密度を図 2-4 に示す。図中の赤色の四角が Al₂O₃ をゲート絶縁膜とする MOS ダイオード、黄色の丸が HfO₂ をゲート絶縁膜とするデバイスの $C-V_G$ カーブから算出した界面準位密度である。図からも分かるように、禁制帯の広い範囲にわたって、Al₂O₃ の方が HfO₂ に比べて界面準位密度が小さな値であった。なお、Al₂O₃/GaN 界面の界面準位密度の最小値が $3.0 \times 10^{12} [\text{cm}^{-2}\text{eV}^{-1}]$ 、HfO₂/GaN 界面のそれが $1.2 \times 10^{13} [\text{cm}^{-2}\text{eV}^{-1}]$ と、Al₂O₃ の方が HfO₂ に比べて約一桁程度小さな値であった。

Al₂O₃ の方が HfO₂ に比べて、 $C-V_G$ 特性におけるヒステリシス幅が小さく、界面準位密度も小さな値であったことから、ALD 成膜においては、Al₂O₃ の方が HfO₂ に比べて、比較的良好的な絶縁膜/GaN 界面特性を得ることが出来た。

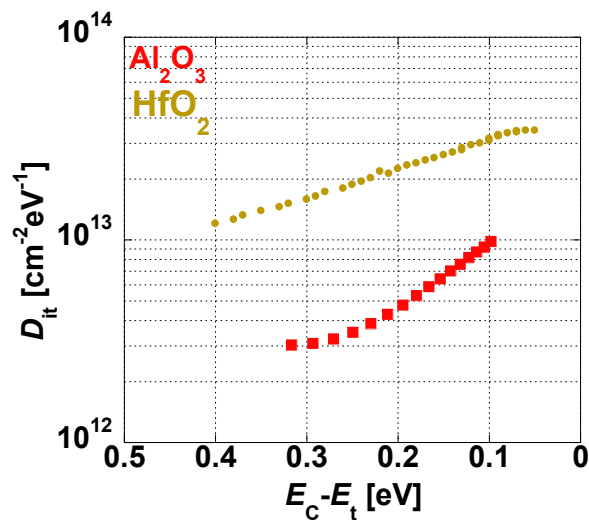


図 2-4. Al₂O₃、及び HfO₂/GaN 界面の界面準位密度

2.2.3 AlGa_{0.3}N/GaN MOSHFET の電気特性の比較

前節で n-GaN MOS ダイオードを用いて、Al₂O₃/Ga_{0.3}N 界面の界面特性の方が HfO₂/Ga_{0.3}N 界面のそれよりも良好であること示した。そこで、本節では Al₂O₃ と HfO₂ をそれぞれゲート絶縁膜とする AlGa_{0.3}N/GaN MOSHFET の電気的特性を比較することにより、Al₂O₃/AlGa_{0.3}N 界面、及び HfO₂/AlGa_{0.3}N 界面特性の優劣を示す。

図 2-5 は作製した Al₂O₃/AlGa_{0.3}N/GaN MOSHFET と同一結晶上に作製した抵抗と電極間距離の関係をプロットしたいわゆる TLM(Transmission Line Model) プロットである。図 2-6 から求められるコンタクト抵抗 R_c とシート抵抗 R_s はそれぞれ、R_c = 4.76 Ω·mm、R_s = 747 Ω/□であった。R_c が少し大きな値であるが、後で示す FET 特性において、他の研究機関で報告されている AlGa_{0.3}N/GaN MOSHFET に比べて、顕著な g_{m max}、I_{D max} の減少は観測されなかった。

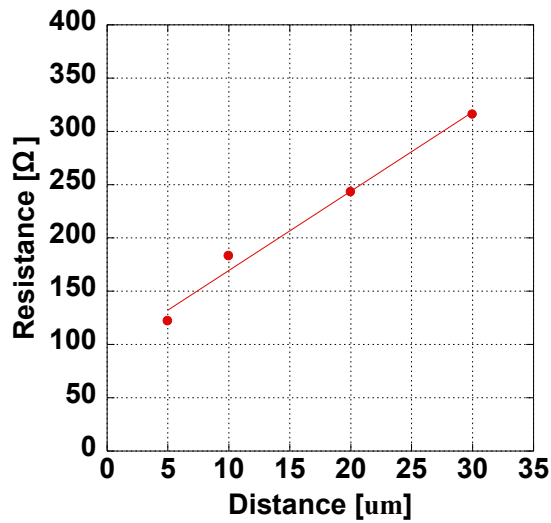


図 2-5. Al₂O₃/AlGa_N/Ga_N MOSHFET 作製ウエハ上での TLM 測定結果
(ゲート幅: 100μm)

図 2-6 に作製した MOSHFET のドレイン電流-ゲート電圧(I_D - V_{GS})、相互コンダクタンス-ゲート電圧(g_m - V_{GS})特性を示す。デバイスのチャネル長とチャネル幅はそれぞれ、5 μm と 100 μm である。(a)が Al₂O₃、(b)が HfO₂ をゲート絶縁膜とする MOSHFET の結果である。図中の赤色の四角は g_m - V_{GS} 特性を、青色の丸は I_D - V_{GS} をそれぞれ示している。ゲート電圧は負側から正側に向かって掃引し、 $V_G = 7$ V まで印加した後、負側に向かって掃引した。測定モード(積分時間)は **medium** でゲート電圧のスイープ時間 (t_{sweep}) は往復で 15 s 程度である。

図 2-6 から分かるように、2.2.2 節で示した MOS ダイオードと同様、Al₂O₃、HfO₂ とも I_D - V_{GS} 特性、及び g_m - V_{GS} 特性において、時計回りのヒステリシスが観測された。 I_D - V_{GS} 特性におけるヒステリシス幅を比較すると、Al₂O₃ が 1.2 [V]、HfO₂ が 2.7 [V] (at $I_D = 300$ mA/mm)と、Al₂O₃ の方が HfO₂ に比べて小さな値であった。加えて、ヒステリシス幅から算出した絶縁膜/AlGa_N 界面の界面準位に捕獲された電荷密度も Al₂O₃ が

$2.2 \times 10^{12} [\text{cm}^{-2}]$ 、 HfO_2 が $4.3 \times 10^{12} [\text{cm}^{-2}]$ と Al_2O_3 の方が小さな値であった。これらの結果は、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面における界面準位密度が $\text{HfO}_2/\text{AlGaN}$ 界面におけるそれよりも小さいことを示している。なお、後でバンド図を用いて詳細に説明するが、ヒステリシスに寄与する界面準位の放出時定数はゲートバイアスの掃引速度と同程度、もしくはそれ以上である。本測定の掃引速度は 15 s 程度であるため、 I_D - V_{GS} 特性から伝導帯上端から約 0.7 eV、またはそれより深い界面準位密度が、 Al_2O_3 の方が HfO_2 に比べて小さいと考えられる。

一方、MOSHFET 作製に用いた結晶と、同じ結晶を用いて作製した MES HEMT では閾値が 0.1 V 程度であるにもかかわらず[4]、作製した AlGaN/GaN MOSHFET の往きの I_D - V_{GS} 特性から算出した V_{th} は Al_2O_3 が-5.3 [V]、 HfO_2 が-7.4 [V]と、負側にシフトしてしまっている。これはゲート絶縁膜中、もしくは絶縁膜/半導体界面に存在する正の固定電荷のためであると思われる。

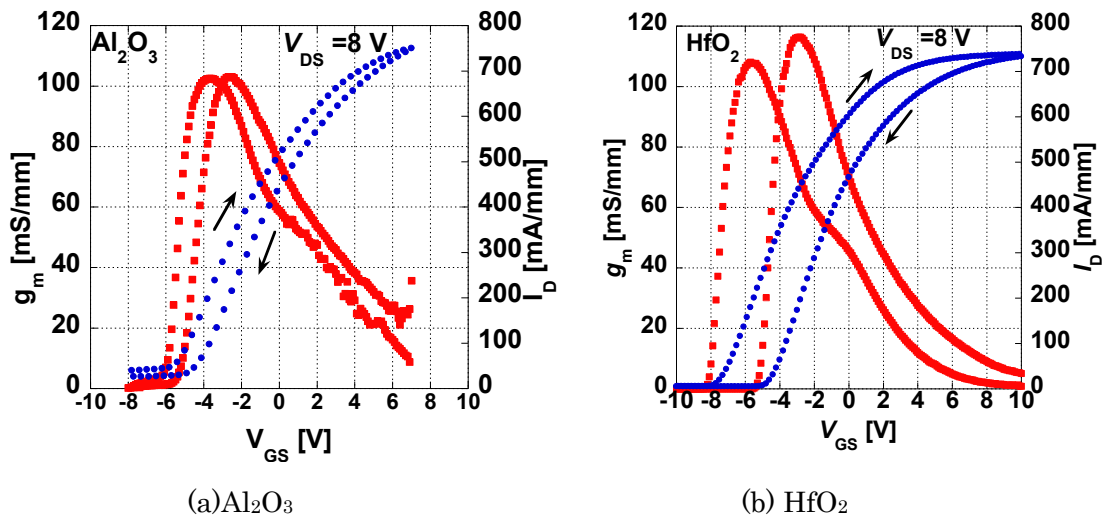


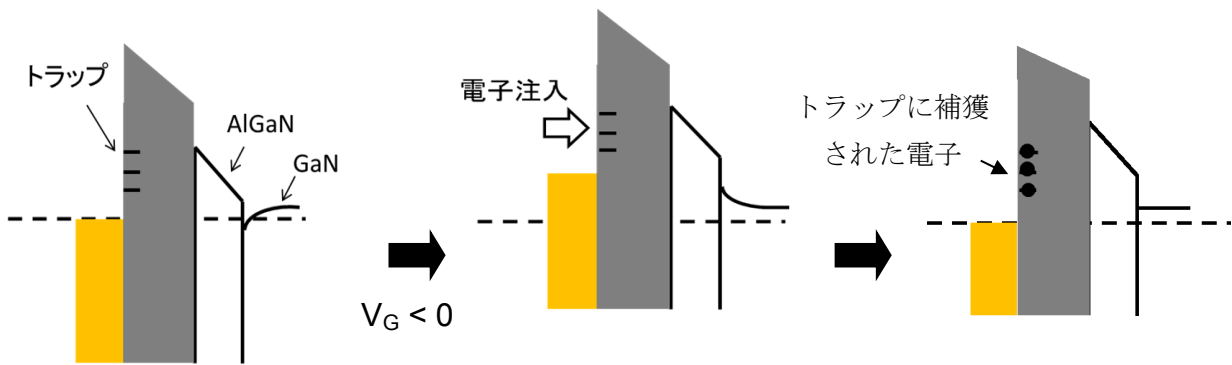
図 2-6. AlGaN/GaN MOSHFET の g_m - V_{GS} 、 I_D - V_{GS} 特性 ($V_{DS} = 8\text{V}$, $t_{\text{sweep}} \sim 15\text{ s}$)

図 2-3、図 2-6 で示したように、作製した MOS ダイオードの C - V_G 特性、及び AlGaN/GaN MOSHFET の I_D - V_{GS} 特性においてヒステリシスが観測された。ヒステリシスが生じる主な原因としては、 Al_2O_3 膜内や $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面におけるトラップの

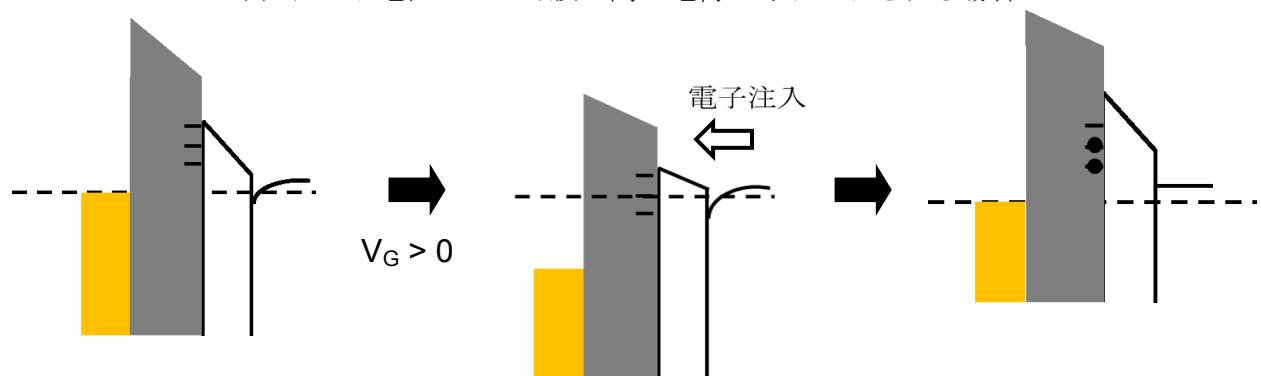
存在が考えられる。ヒステリシスの向きがゲート電圧の変化に対して時計回りであったことから、トラップとの電荷のやりとりは(1)ゲート電極とゲート絶縁膜間ではなく、(2)Al₂O₃膜とチャネルの間で起こっていると考えられる。この理由を図 2-7 を用いて述べる。

まず(1)のゲート電極と Al₂O₃膜の間で電荷のやりとりが起こる場合を考える。この場合、図 2-7(a)のようにゲート電極に負バイアスが印加された際にゲート電極側からゲート電極/Al₂O₃界面、または Al₂O₃膜内のトラップに電子が注入・捕獲される。その後、バイアスを正側に戻す間にトラップに捕獲された電子がトラップから放出されない場合、AlGaIn/GaN の伝導帯は電子がトラップされていない状態に比べて持ち上げられた状態となる。この場合、 V_{GS} を正側から負側に掃引した時に比べて、ドレイン電流は小さくなる。すなわち I_D は反時計回りのヒステリシスを描くこととなり、実験結果と矛盾する。

一方、(2)の Al₂O₃膜と AlGaIn/GaN のヘテロ接合面に生じる 2DEG の間で電荷のやりとりが起こる場合、ゲートから電子が注入されるのとは逆に、ゲート電圧が正の場合に 2DEG から Al₂O₃/AlGaIn 界面のトラップに電子が注入・捕獲される。次に、 V_{GS} を正側から負側に掃引する間に、正バイアス時に界面準位に捕獲された電子がトラップから放出されない場合、負側から正側に掃引した時に比べて伝導帯が持ち上げられた状態になる。その結果、ドレイン電流が小さくなる。すなわち I_D が時計回りのヒステリシスを描くことになる。本実験で作製したデバイスはいずれも時計回りのヒステリシスを描いていたことから、Al₂O₃/AlGaIn 界面にトラップが存在し、ゲートバイアスの印加に応じて 2DEG との間で電荷がやりとりされているものと考えられる。以上の考察からヒステリシスの原因となっているトラップは Al₂O₃/AlGaIn 界面またはその近傍に存在するものと考えられる。また、ヒステリシスに寄与する界面準位の放出時定数はゲートバイアスの掃引速度(~15 s)と同程度、もしくはそれ以上であると考えられる。



(a) ゲート電極と Al_2O_3 膜の間で電荷がやりとりされる場合



(b) チャンネルと Al_2O_3 膜の間で電荷がやりとりされる場合

図 2-7 ヒステリシスが生じる場合のゲート電極下の AlGaN/GaN MOSHFET のバンド図の変化

次に、図 2-8(a)に Al_2O_3 、(b)に HfO_2 をゲート絶縁膜とする MOSHFET の I_D - V_{GS} 特性を示す。測定モードは Al_2O_3 、 HfO_2 共に medium であり、ゲート電圧は -6 V から 6 V の向きに印加した。

図からも分かるように、 Al_2O_3 をゲート絶縁膜とする MOSHFET の方が HfO_2 をゲート絶縁膜とするデバイスに比べて、大きなゲート電圧におけるドレイン電流の飽和が緩和されている。その結果、図 2-6(a)、(b)で示したように、 Al_2O_3 、 HfO_2 をゲート絶縁膜とする MOSHFET の $g_{m \max}$ がそれぞれ 103 [mS/mm]、108 [mS/mm]と Al_2O_3 の方が少し小さいにも関わらず、ドレイン電流の最大値が 651 [mA/mm]から 703 [mA/mm]まで増加している。後で詳細に説明するが、大きなゲート電圧においてドレイン電流が

飽和する原因は絶縁膜/AlGa_N 界面の界面準位に電子が捕獲されるためだと考えられる。従ってこの結果は、Al₂O₃/AlGa_N 界面における界面準位密度が HfO₂/AlGa_N 界面のそれに比べて小さいことを示しており、MOS ダイオードの結果と対応していると考えられる。

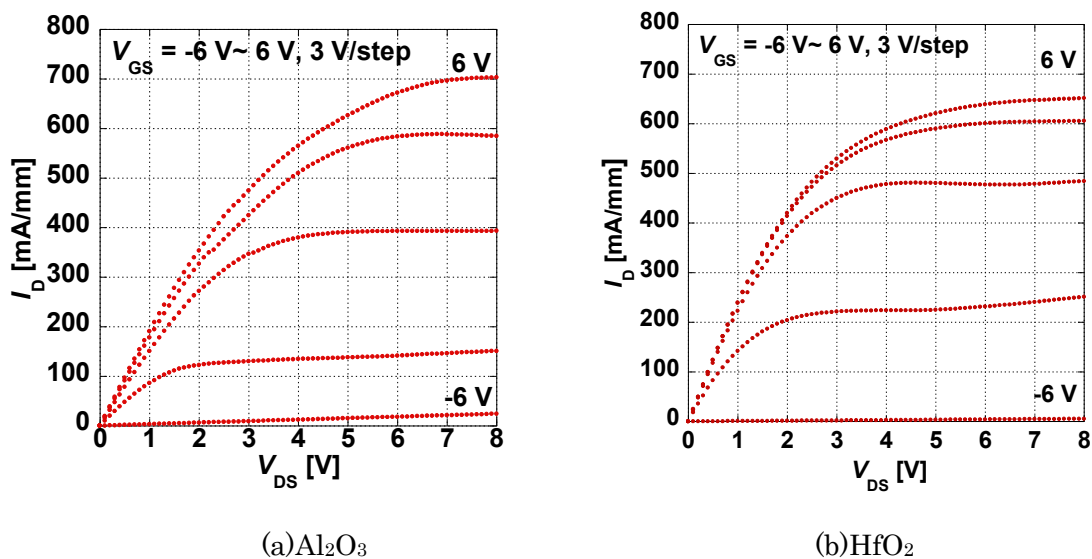


図 2-8 Al₂O₃ と HfO₂ をそれぞれゲート絶縁膜とする AlGa_N/Ga_N MOSHFET の I_D - V_{GS} 特性 ($V_{GS} = -6\text{ V} \sim 6\text{ V}$, 3V/step)

図 2-6 (b)や図 2-8 (b)で観測された大きなゲート電圧におけるドレイン電流の飽和は、上述したように、絶縁膜/AlGa_N 界面のトラップに電子が捕獲されるためだと考えられる。その理由を、図 2-9 (a), (b)に示す筆者が所属するグループのシュミレーション結果 [5]を用いて説明する。

図 2-9 (a)に示すように、AlGa_N の伝導帯下端から 1 eV の深さにトラップ密度 $N_T = 10^{12}\text{ cm}^{-2}$ の界面準位が存在すると仮定する。この時、ゲートに大きな正の電圧を印加するとトラップのエネルギー準位(E_T)がフェルミレベル(E_F)を横切り、その結果トラップに電子が捕獲される。

図 2-9 (b)に、 -6 V から 20 V まで 1 V/step おきにゲート電圧を印加した場合のバンド図を示す。図中の一番上の線がゲート電圧が -6 V の場合のバンド図であるが、 5 V までは絶縁膜、AlGa N 、Ga N のすべての領域でゲート電圧の増加に応じて伝導帯が下方方向にシフトしている。さらにゲート電圧を大きくしていくと、 $V_{\text{GS}} = 6\text{ V}$ の時に E_{T} が E_{F} を横切り、電子がトラップに捕獲される。さらに V_{GS} を増加した場合、絶縁膜/AlGa N 界面の伝導帯が下がろうとするが、伝導帯がわずかに下がると E_{T} が E_{F} をより大きく横切るため、トラップが電子を捕獲し、絶縁膜/AlGa N 界面の伝導帯を持ちあげようとする。そのため、図中の高密度の紫色の線で示すように、絶縁膜/AlGa N 界面の伝導帯のゲート電圧による変調が非常に小さく、AlGa N /Ga N 界面の E_{c} もほとんど変化しない。その結果、トラップに電子が完全に埋まりきる $V_{\text{GS}} = 11\text{ V}$ までは、AlGa N /Ga N 界面の電子密度がゲート電圧を増加させてもほとんど増加しなくなる。

この考察をもとにすると、図 2-8 の結果は $\text{Al}_2\text{O}_3/\text{AlGa}\text{N}$ 界面における界面準位密度が $\text{HfO}_2/\text{AlGa}\text{N}$ 界面のそれよりも小さいことを示している。

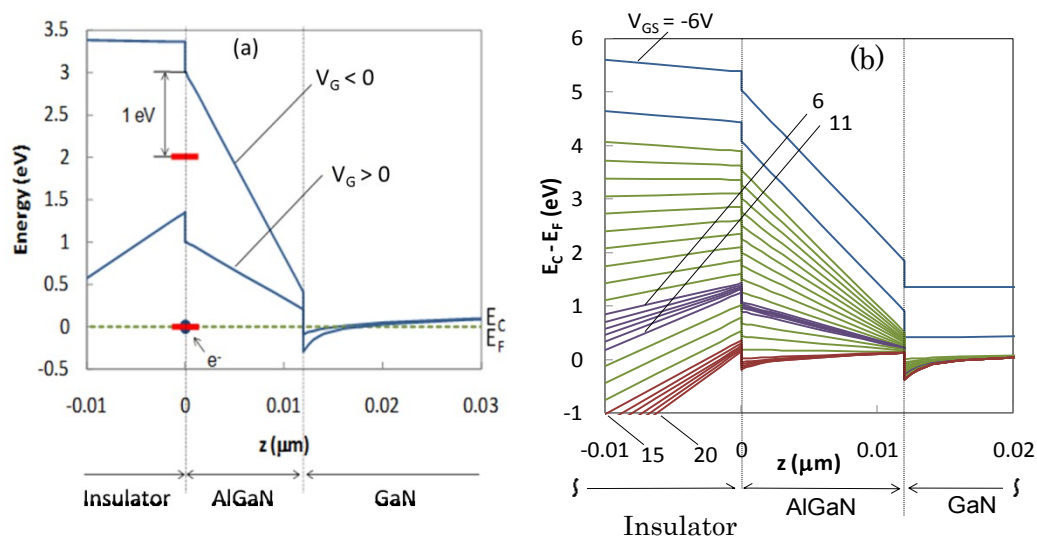


図 2-9. 単一トラップを仮定した場合 (a)ゲートに大きな正電圧を印加した場合と (b) $V_{\text{GS}} = -6\text{ V} \sim 20\text{ V}$ (1 V/step)のゲート電圧を印加した場合の AlGa N /Ga N MOSHFET バンド図

図 2-10 に Al_2O_3 、 HfO_2 をそれぞれゲート絶縁膜とする MOSHFET の I_G - V_{GS} 特性を示す。図中の赤色の四角が Al_2O_3 をゲート絶縁膜とするデバイス、黄色の丸が HfO_2 をゲート絶縁膜とするデバイスのゲートリーク電流である。なお、測定モードは long である。ゲート電圧は正の方向にスイープさせた後、負の方向にスイープし、測定を行った。

図からも分かるように、 Al_2O_3 の方が HfO_2 に比べて膜厚が薄いにもかかわらず、ゲートリーク電流を大幅に低減することが出来た。これは、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面における伝導帯不連続(2.2 eV)が $\text{HfO}_2/\text{AlGaN}$ (1.1 eV) に比べて、大きいことが 1 つの要因と考えられる。ただし、 HfO_2 についてはゲートリーク電流が $V_G = 0$ V 付近で非対称のショットキー的特性になっていることから、ピンホール等により局所的にショットキー接合になっている可能性もある。

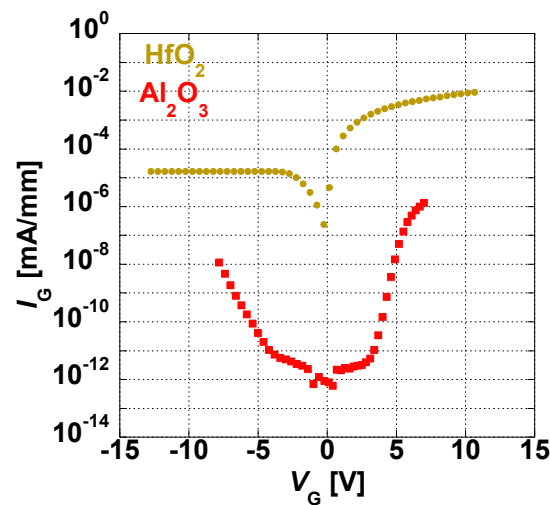


図 2-10. Al_2O_3 と HfO_2 をそれぞれゲート絶縁膜とする AlGaN/GaN MOSHFET のゲートリーク電流

2.3 第2章のまとめ

本章では ALD を用いて成膜した Al_2O_3 、及び HfO_2 をそれぞれゲート絶縁膜とする AlGaIn/GaN MOSHFET、n-GaN MOS ダイオードを作製し、電気的特性の比較を行い、ALD 成膜においては、 Al_2O_3 の方が HfO_2 より優れていることを明らかにした。その内容と結果は以下の通りである。

- (1) Al_2O_3 、及び HfO_2 をゲート絶縁膜とする GaN MOS ダイオードを作製し、得られた $C-V_G$ 特性を比較したところ、 Al_2O_3 をゲート絶縁膜とするデバイスの $C-V_G$ カーブにおける傾きが HfO_2 のそれに比べてより急峻であった。これに加えて、 $C-V_G$ カーブにおけるヒステリシス幅も Al_2O_3 の方が HfO_2 のそれに比べて小さな値であった。また、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における界面準位密度の最小値が $3.0 \times 10^{12} [\text{cm}^{-2}\text{eV}^{-1}]$ 、 HfO_2/GaN 界面のそれが $1.2 \times 10^{13} [\text{cm}^{-2}\text{eV}^{-1}]$ と、 Al_2O_3 の方が HfO_2 に比べて約一桁程度小さな値であり、ALD 成膜においては、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における界面特性が HfO_2/GaN 界面におけるそれよりも優位であることを示した。
- (2) Al_2O_3 、及び HfO_2 をゲート絶縁膜とする GaN AlGaIn/GaN MOSHFET を作製し、その電気的特性を比較した。作製した MOSHFET の I_D-V_{GS} 特性を比較した所、 Al_2O_3 の方が HfO_2 に比べて大きなゲート電圧におけるドレイン電流の飽和が緩和されており、ドレイン電流が $651 [\text{mA/mm}]$ から $703 [\text{mA/mm}]$ まで増加した。これに加えて、 g_m-V_{GS} 、 I_D-V_{GS} 特性におけるヒステリシス幅も Al_2O_3 の方が小さな値であった。これらの結果は $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面における界面準位密度が $\text{HfO}_2/\text{AlGaIn}$ 界面におけるそれよりも小さいことを示している。更に、 Al_2O_3 をゲート絶縁膜とする MOSHFET のゲートリーク電流が HfO_2 のそれに比べて、かなり小さく抑えることが出来た。これらの結果より、ALD 成膜 AlGaIn/GaN MOSHFET においても、 Al_2O_3 の方が HfO_2 に比べてゲート絶縁膜として優位であると考えられる。

参考文献

- [1] M. J. Bieruck, D. J. Monsma, and C. M. Marcus, *Appl Phys Letters*, vol.83,pp. 2405-2407, (2003)
- [2] J. Robertson, and B. Falabretti, *J. Appl. Phys.*, vol. 100, pp. 14111-14118, (2006)
- [3] 「窒化物半導体における表面・界面評価」、橋詰 保、応用物理学会結晶工学分科会第12回結晶工学セミナーテキスト、pp. 23-32, (2007)
- [4] T. Mizutani, A. Kawano, S. Kishimoto, and K. Maezawa, *Phys. Stat. Sol.*, 4, pp.1536-1539 ,(2007).
- [5] Y. Hayashi, S. Sugiura, S. Kishimoto, and T. Mizutani, *Solid State Electronics*, vol. 54, pp. 1367-1371, (2010)

第3章 硫化アンモニウム処理による $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面特性の改善

3.1 はじめに

前章で述べたように、ALD で成膜した Al_2O_3 及び HfO_2 をそれぞれゲート絶縁膜とする n-GaN MOS ダイオード及び AlGaN/GaN MOSHFET を作製し、その電気的特性を比較した。その結果、 Al_2O_3 の方が HfO_2 に比べて、絶縁膜/GaN 界面における界面準位密度が小さい結果を示した。加えて、 I_D - V_{GS} 特性におけるヒステリシス幅も Al_2O_3 の方が小さく、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面特性が $\text{HfO}_2/\text{AlGaN}$ 界面のそれよりも比較的良好であることを示した。しかし、 Al_2O_3 をゲート絶縁膜とする MOSHFET において、 I_D - V_{GS} 特性におけるヒステリシスは依然として存在しており、改善の余地が残った。このヒステリシスや大きなゲート電圧におけるドレイン電流の飽和の原因は主に $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面に存在する界面準位と考えられる。その界面準位が出来る主な原因は十分には理解されていないが、半導体表面の自然酸化膜や界面での disorder が原因として指摘されている[1]。

$(\text{NH}_4)_2\text{S}$ 処理は GaN 表面上の自然酸化膜を除去すると共に、GaN の Ga と反応し Ga-S 結合を作ることで、自然酸化膜の形成を抑制出来ると報告されており[2-3]、主に GaAs に対して界面特性の改善が有効であることが示されてきた[4-6]。一方、GaN については、硫化アンモニウム処理後の GaN 表面の XPS 測定等により、硫化アンモニウム処理の有用性を示した例がわずかにある[7-8]のみであり、硫化アンモニウム処理を GaN 系 MOSHFET に適用した例はほとんどない。そこで本章では、 $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET の更なるデバイス特性改善のため、 Al_2O_3 成膜前の前処理として硫化アンモニウム処理を検討し、GaN MOSHFET においても $(\text{NH}_4)_2\text{S}$ 処理が有用であることを実証する。これに加えて、前章で用いたアルカリ系溶液の処理時間を増やすことで、

自然酸化膜の除去を図ったので、その結果についても述べる。

まず初めに、アルカリ系溶液処理の処理時間の効果、及び硫化アンモニウム処理の効果を、 $\text{Al}_2\text{O}_3/\text{n-GaN}$ MOS ダイオードを用いて実証する。また、その中でも最も界面特性が改善した前処理条件を $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$ MOSHFET に適用し、MOSHFET の異なる特性改善を図った。これらの結果について述べる。

また、本章では異なる待機時間を設けて MOSHFET 特性の過渡応答特性を調べた。デバイスの過渡応答特性に界面準位密度が与える影響を述べると共に、過渡応答特性に寄与するトラップ深さを算出する。

最後に、XPS (X-ray Photoelectron Spectroscopy)測定を用いて、硫化アンモニウム処理後の GaN 表面を評価した結果についても述べる。

3.2 硫化アンモニウム処理を施した $\text{Al}_2\text{O}_3/\text{n-GaN}$ MOS ダイオードの作製

3.2.1 MOS ダイオードのデバイス構造と作製条件

本章ではまず初めに、n-GaN MOS ダイオードを用いて長時間のアルカリ系溶液処理、及び $(\text{NH}_4)_2\text{S}$ 処理の効果を検討した。なお、今回用いた $(\text{NH}_4)_2\text{S}$ の濃度は 20%である。

作製した MOS ダイオードの構造は第 2 章で作製した MOS ダイオード{図 2-2(a)}と同じである。また、作製に用いた結晶は通称 PD-58 であり、n-GaN 中の Si のドーピング濃度は $1 \times 10^{17} [\text{cm}^{-3}]$ である。 Al_2O_3 は第 2 章同様 ALD で成膜した。 Al_2O_3 の成膜温度は前章と同様に 300°C とした。なお、前章で作製した $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$ MOSHFET における Al_2O_3 の膜厚は 30 nm であるが、 $V_{G\text{max}}$ が 7 [V]と小さく、ドレイン電流が飽和するまで十分大きなゲート電圧を印加出来なかった。そこで、本章では膜厚を 40 nm

(420 cycle)とした。

MOS ダイオードを作製する際、本節では Al_2O_3 成膜前の前処理として、(a) アルカリ系溶液 1 min、(b) アルカリ系溶液 1 min + $(\text{NH}_4)_2\text{S}$ 、(c) アルカリ系溶液 10 min{US(Ultra Sonic), 50 W}、(d) アルカリ系溶液 10 min(US, 50 W) + $(\text{NH}_4)_2\text{S}$ の 4 方法を検討した。なお、硫化アンモニウムの処理時間は 20 min であり、その間試料を硫化アンモニウム溶液中に浸潤させた。その後、試料を取り出し、窒素ブローを用いて表面を乾燥させた後、 Al_2O_3 の成膜を行った。

3.2.2 C - V_G 特性

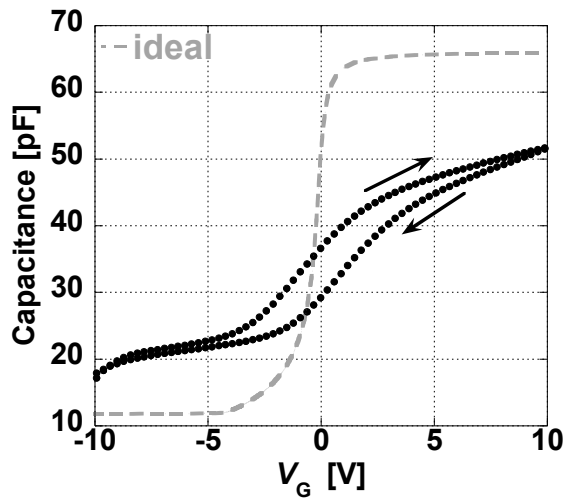
図 3-1 に作製した n-GaN MOS ダイオードの C - V_G 特性を示す。なお、図中の灰色の点線は界面準位が存在しない理想的な場合の C - V カーブである。理想曲線の導出の際、別途に作製した n-GaN ショットキーダイオードの C - V カーブの傾きから算出したドーピング濃度 ($1.03 \times 10^{17} \text{ cm}^{-3}$)を用いた。これは、後述する界面準位密度(D_{it})の計算には正確なドーピング濃度が必要なためである。

ゲートに印加する交流電圧の振幅、測定周波数は前章同様、それぞれ 0.1 V と 1 MHz である。また、ゲート電圧の掃引は負側から正側に向かって行い、その速度は 100 mV/10 sec 程度である。第 1 章で示した放出時定数から判断すると、伝導帯下端から深さ約程度 0.7 eV 程度までの界面準位は評価可能である。

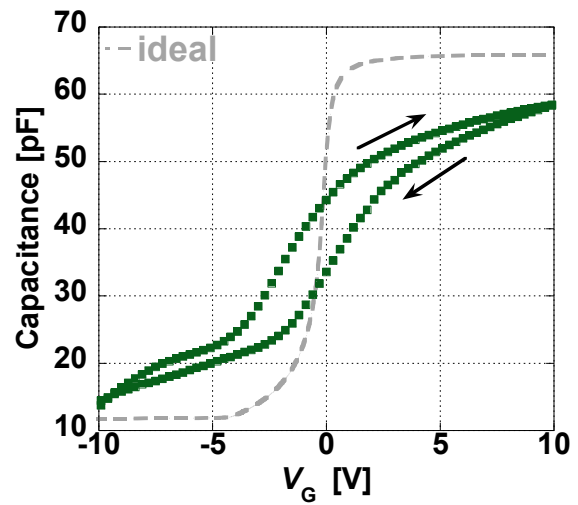
図からも分かるように、(a)のアルカリ系溶液 1min に比べて (b) アルカリ系溶液 1 min + $(\text{NH}_4)_2\text{S}$ 、(c) アルカリ系溶液 10 min、(d) アルカリ系溶液 10 min + $(\text{NH}_4)_2\text{S}$ のいずれも、 C - V カーブの傾きがより急峻になった。第 1 章の Terman 法の測定原理で述べたように、 C - V カーブの傾きが急峻なほど界面準位密度は少ないことから、アルカリ系溶液処理 10 min または $(\text{NH}_4)_2\text{S}$ 処理 20 min を行うことにより、この C - V 測定の掃

引速度相当、あるいはそれよりも長い時定数を持った界面準位を低減することが出来たと思われる。また、 $V_G = 10\text{ V}$ の蓄積領域の容量を比較すると、アルカリ系溶液 1min のデバイスに比べて、アルカリ系溶液 10min のデバイスの方が容量が大きくなっている。さらに、アルカリ系溶液 10min に比べて、アルカリ系溶液 1min + $(\text{NH}_4)_2\text{S}$ 、及びアルカリ系溶液 10min + $(\text{NH}_4)_2\text{S}$ の方がわずかに容量が大きくなっている。蓄積側の飽和容量値の増加は界面準位密度の低減と対応していると考えられるため、界面準位密度の低減には長時間のアルカリ系溶液処理に比べて、硫化アンモニウム処理の方が有用であると考えられる。

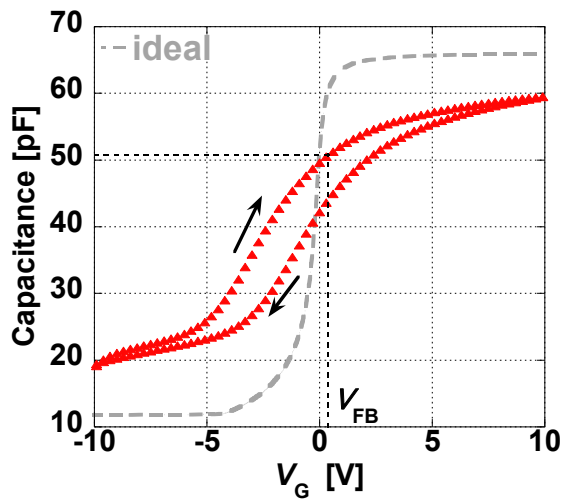
さらに、硫化アンモニウム処理を施した 2 種類のデバイスの $C-V_G$ 特性を比較すると、図 3-1(c) で示したアルカリ系溶液処理を 10min 行ったデバイスの $C-V_G$ 特性から算出したフラットバンド電圧が図 3-1(d) で示したアルカリ系溶液処理を 1min 行ったデバイスのフラットバンド電圧に比べて、約 2.1 V 正側にシフトした。ただし、上述したフラットバンド電圧は理想カーブの最大容量を飽和容量として算出した。この結果は $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の正電荷がアルカリ系溶液処理 10min の方が、アルカリ系溶液処理 1min に比べて小さいことを示唆している。 $C-V_G$ 特性の傾き、飽和容量、 V_{FB} の値から、 Al_2O_3 成膜前の前処理としてアルカリ系溶液:10min + $(\text{NH}_4)_2\text{S}$ を行った MOS ダイオードが最も $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面特性が良好であると考えられる。



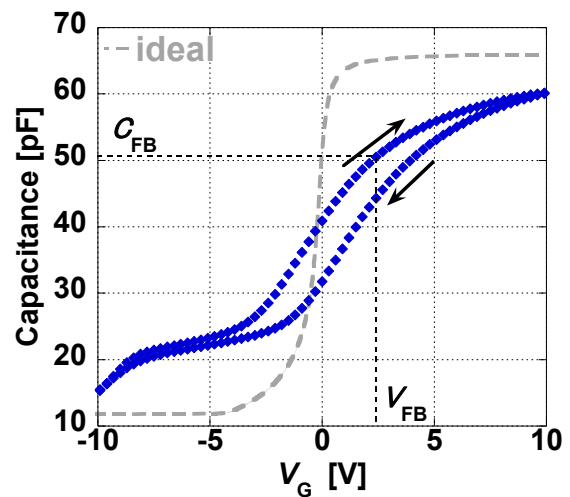
(a)アルカリ系溶液:1min



(b)アルカリ系溶液:10min



(c)アルカリ系溶液:1min + (NH₄)₂S



(c)アルカリ系溶液:10min + (NH₄)₂S

図 3-1 (NH₄)₂S 処理を施した Al₂O₃/GaN MOS ダイオードの $C-V_G$ 特性

(f: 1MHz, 100 mV/10sec)

得られた $C-V_G$ 特性にターマン法を適用し算出した Al₂O₃/GaN 界面の界面準位密度を図 3-2 に示す。なお、図 3-1 で示した $C-V_G$ カーブの中で最も Al₂O₃/GaN 界面特性が良好と思われるアルカリ系溶液処理 10 min + (NH₄)₂S のデバイスと従来の前処理（アルカリ系溶液処理 1min）について、界面準位密度を求めた。図中の黒色の丸がアルカリ系溶液処理 1 min

のデバイス、青色の四角がアルカリ系溶液処理 10 min + $(\text{NH}_4)_2\text{S}$ の結果である。

図に示したように硫化アンモニウム処理を施すことにより、界面準位密度を低減することが出来た。しかし、界面準位密度はまだ $10^{12}\sim 10^{13}$ [$\text{cm}^{-2}\text{eV}^{-1}$] 台であり、更なる界面準位密度の低減が必要である。

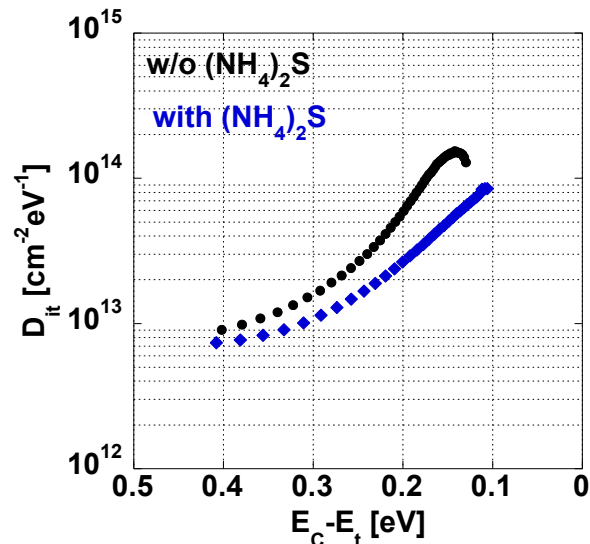


図 3-2 $(\text{NH}_4)_2\text{S}$ 処理による $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度の低減

3.3 AlGaIn/GaN MOSHFET の FET 特性

前節で Al_2O_3 の成膜前に長時間のアルカリ系溶液処理や硫化アンモニウム処理を施すことにより、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度を低減することが出来た。そこで、前節で最も $\text{Al}_2\text{O}_3/\text{GaN}$ 界面特性が良好なアルカリ系溶液 10 min + $(\text{NH}_4)_2\text{S}$ 処理を AlGaIn/GaN MOSHFET に適用し、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の特性改善の効果を調べた。

作製した MOSHFET のデバイス構造は第 2 章で作製した MOSHFET{図 2-2(b)}と同じであり、作製に用いたエピは PD-61 の $i\text{-Al}_{0.22}\text{GaIn}(12\text{ nm})/i\text{-GaIn}$ HEMT 用エピである。作製した MOSHFET のゲート幅は $100\ \mu\text{m}$ であり、ゲート長は $5\ \mu\text{m}$ である。 Al_2O_3 の成膜温度と膜厚は前節同様、それぞれ 300°C と $40\ \text{nm}$ である。

なお、 Al_2O_3 成膜前の前処理として、(b) 硫化アンモニウム処理を施したデバイス{ア

ルカリ系溶液処理 10 min + (NH₄)₂Sと、リファレンスとして(a) 硫化アンモニウム処理を施していないデバイス (アルカリ系溶液 1 min)の 2 種類を作製した。

図 3-3 に作製した AlGa_N/Ga_N MOSHFET の I_D - V_{DS} 特性を示す。測定はゲート電圧を $V_G = -6$ V から 9 V の向きに掃引した。測定モードは **medium** である。図からも分かるように、2つのデバイスとも明確なピンチオフを確認出来た。また、図 3-3(b)で示した硫化アンモニウム処理を施したデバイスは、図 3-3(a)で示した硫化アンモニウム処理を施していないデバイスと比べ、大きなゲート電圧におけるドレイン電流の飽和が緩和されており、 I_{Dmax} も 584 [mA/mm] から 641 [mA/mm] まで増加した。前章で示した通り、大きなゲート電圧におけるドレイン電流の飽和は Al₂O₃/AlGa_N 界面の界面トラップに電子が注入・捕獲されるためだと考えられる。よって、これらの結果は Al₂O₃/AlGa_N 界面における界面準位密度の低減を示しており、MOSHFET においても、(NH₄)₂S の有効性を実証できた。

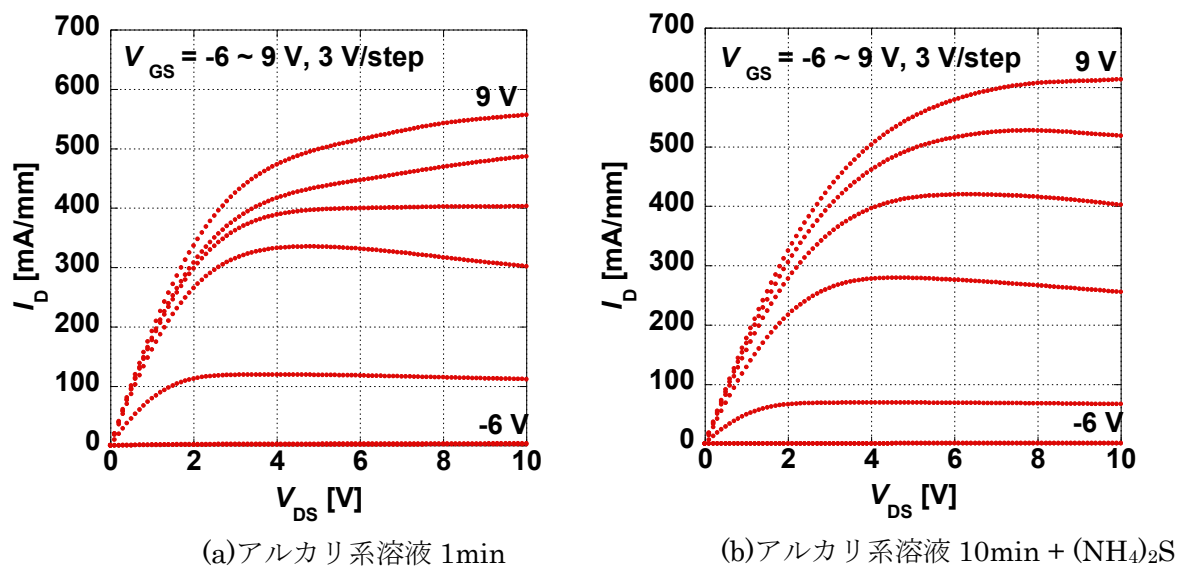


図 3-3 (NH₄)₂S を施した AlGa_N/Ga_N MOSHFET の I_D - V_{GS} 特性
($V_{GS} = -6 \sim 9$ V, 3V/step)

図 3-4(a)は $(\text{NH}_4)_2\text{S}$ 処理を施していない MOSHFET, (b)は $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスの I_D - V_{GS} 、 g_m - V_{GS} 特性である。図中の赤色の四角は g_m - V_{GS} 特性を、青色の丸は I_D - V_{GS} をそれぞれ示している。ゲート電圧は $-10\text{ V} \rightarrow 10\text{ V} \rightarrow -10\text{ V}$ の順に印加した。測定モードは **medium** で、ゲート電圧のスweep時間は往復で 30 s 程度である。

作製したデバイスの I_D から求めた閾値は、 $(\text{NH}_4)_2\text{S}$ 処理の有無に関わらず約 -5.8 V とノーマリオンデバイスであった。これは、 Al_2O_3 膜中もしくは $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面に存在する正の固定電荷が原因であると思われる。また、先ほど示した I_D - V_{DS} 特性同様、 $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスの方が $(\text{NH}_4)_2$ 処理を施していないデバイスに比べて、大きなゲート電圧における I_D の上詰まりが改善されている。

一方、 I_D - V_{GS} 、 g_m - V_{GS} 特性において、硫化アンモニウム処理の有無に関わらず、時計回りのヒステリシスが確認された。しかし、ヒステリシスは残っているものの、 I_D - V_{GS} 、 g_m - V_{GS} 特性におけるヒステリシス幅は図 3-4 (b)で示した $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスの方が図 3-4(a)に示した $(\text{NH}_4)_2$ 処理を施していないデバイスに比べて小さくなっている。これらの結果は、 $(\text{NH}_4)_2\text{S}$ 処理により $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の界面準位密度が低減したことを示しており、GaN MOS ダイオードで得られた結果と対応している。

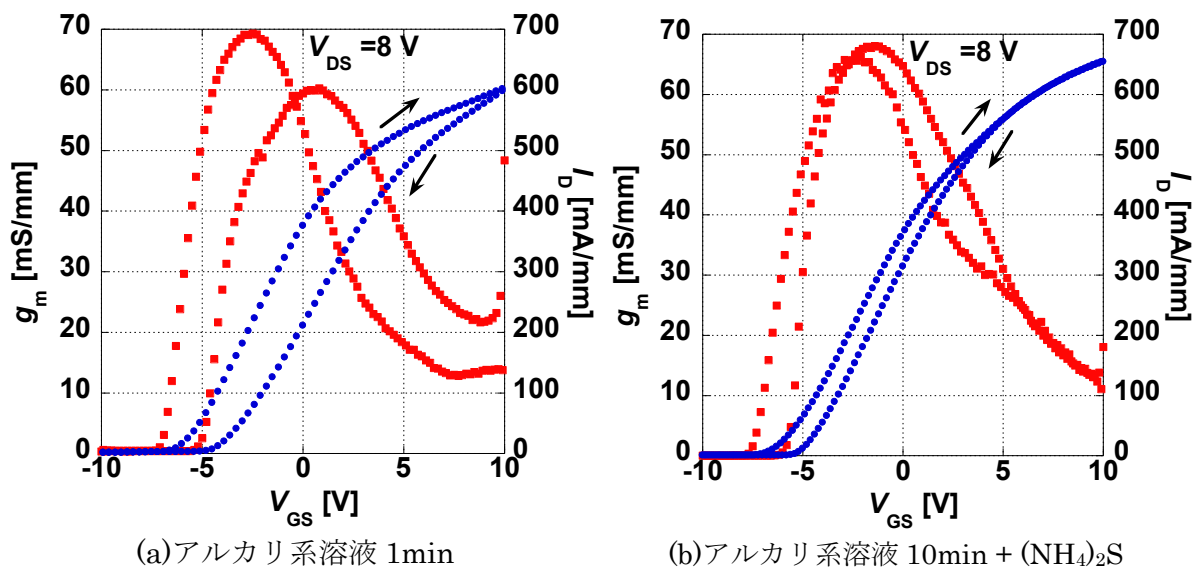


図 3-4 $(\text{NH}_4)_2\text{S}$ を施した AlGaN/GaN MOSHFET の I_D - V_{GS} 、 g_m - V_{GS} 特性

($V_G = 8\text{ V}$, $t_{\text{sweep}} \sim 30\text{ s}$)

本デバイスの過渡応答特性を詳細に調べるために、1 min の待機時間を設けて、 I_D - V_{GS} 特性の連続測定を行った。図 3-5(a)は $(NH_4)_2S$ 処理を施していないデバイス、(b)は $(NH_4)_2S$ 処理を施したデバイスの結果である。図中の赤色の丸が1回目の I_D - V_{GS} 特性、緑色の四角が2回目の I_D - V_{GS} 特性の結果を示している。 $(NH_4)_2S$ 処理を施したデバイスでは1回目の I_D - V_{GS} 特性でのヒステリシス幅が、 $(NH_4)_2S$ 処理を施していないデバイスに比べて小さくなっている他、2回目のヒステリシス幅もほぼ0 V 近くにまで減少している。一方閾値のシフト量(1回目の往きの測定結果から見積もった閾値と2回目の往きの測定結果から見積もった閾値の差)は、 $(NH_4)_2S$ 処理を施していないデバイスが1.2 V、 $(NH_4)_2S$ 処理を施したデバイスが1.1 V と大きな差は見られなかった。

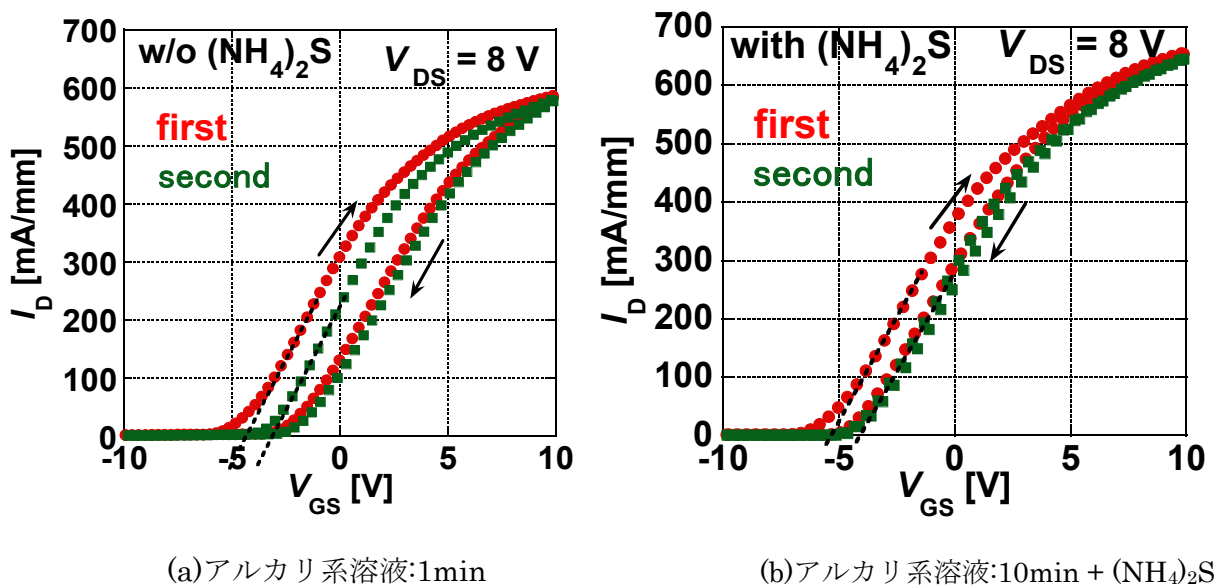


図 3-5 I_D - V_{GS} 、 g_m - V_{GS} 特性の連続測定結果 ($t_{sweep} \sim 30s$, 待機時間: 1 min)

時計回りのヒステリシスが生じる原因は第 2 章で記述したが、 I_D - V_{GS} 特性の連続測定において、閾値シフトが生じる原因も同様に説明できる。図 3-6 (a)に $Al_2O_3/AlGaN$ 界面に界面準位が存在する場合の $AlGaN/GaN$ MOSHFET のエネルギーバンドを示す。

まず、図 3-6 (b)に示すように、MOSHFET に大きな正のゲート電圧を印加した場合

を考える。すると、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面に存在する界面トラップが E_F を横切り、図 3-6 (b) の赤い丸で示したように、チャネルから電子が注入され、界面準位に捕獲される。前章で示したように、帰りのゲートスイープの間で電子を放出しない場合、時計回りのヒステリシスが観測される。加えて、この状態からさらに、 I_D - V_{GS} 特性の連続測定を行った場合、1 回目と 2 回目の待機時間の間にもその電子を放出しない時、バンドが持ち上がった状態が保持され、1 回目の行ききのゲートスイープに対して、ドレイン電流が低下する。すなわち、1 回目のスイープに比べて閾値が正側にシフトする。

従って、これらの考察から界面準位密度の放出時定数がゲート電圧の掃引時間と同等、もしくはそれより長いトラップがヒステリシスに寄与し、界面準位密度の放出時定数が 1 回目と 2 回目の待機時間よりも長いトラップが閾値シフトに寄与すると考えられる。

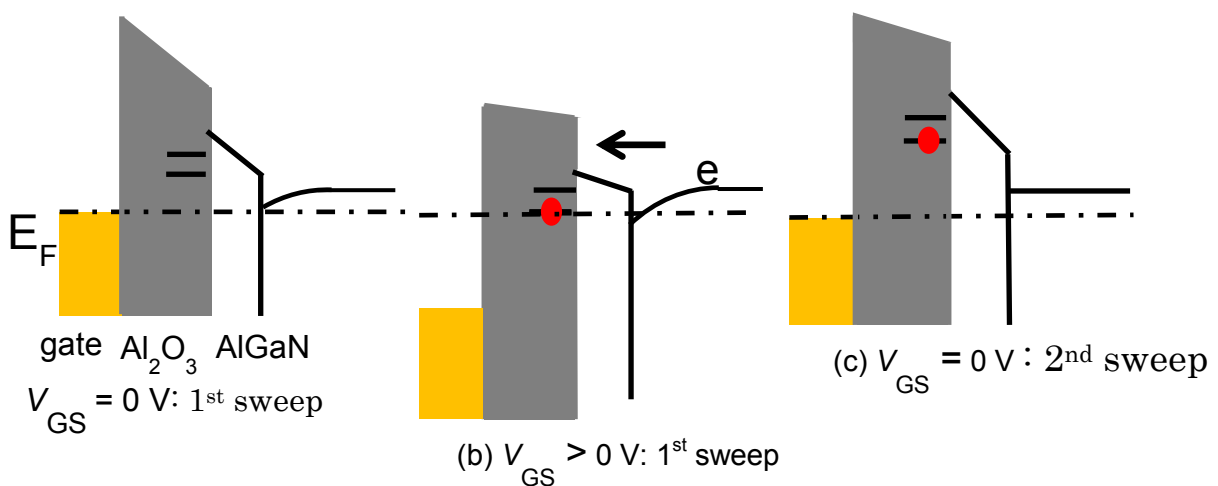


図 3-6 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面に界面準位が存在する場合のエネルギーバンド図

図 3-5 の連続測定結果において、(a)の硫化アンモニウム処理を施していないデバイスでは 2 回目の I_D - V_{GS} 特性においてもヒステリシス幅が 1.8 [V]程度存在しており、閾値シフトも 1.2 [V]程度存在している。図 3-6 を用いた考察の結果を考慮すると、硫化アンモニウム処理を施していないデバイスにおいては、少なくとも以下の 2 つに分類されるトラップが存在する。一つは閾値シフトの原因となる待機時間より長い放出時定数を持つトラ

ップ ($\tau \geq 1 \text{ min}$)であり、他の一つは2回目のヒステリシスの原因となるゲート電圧掃引速度と同程度の放出時定数を持つトラップ($\tau \sim$ スweep時間: 数十 s)である。

一方、(b)の硫化アンモニウム処理を施したデバイスでは、1.1 [V]程度の閾値シフトが観測されたものの、2回目の I_D - V_{GS} 特性のヒステリシス幅が 0.38 [V]にまで低減している。すなわち、硫化アンモニウム処理により、2回目のヒステリシスの原因となるゲート電圧掃引速度と同程度の放出時定数を持つトラップが低減したと考えられ、このトラップ深さは、捕獲断面積を $1 \times 10^{-15} \text{ cm}^2$ と仮定するとショックレーリードホール統計 (図 1-7)から伝導帯下端から約 0.7 eV と求まる。

なお、放出時定数がゲート電圧のスweep時間より短いトラップについては、帰りのスweepの間に捕獲した電子を放出してしまうため、この測定により有無を評価できない。しかし、界面準位は図 3-7 に示すような U 字型の分布になっていると考えられるため、0.7 eV よりも浅い準位に関しても硫化アンモニウム処理を施したデバイスの方が小さな値であると思われる。

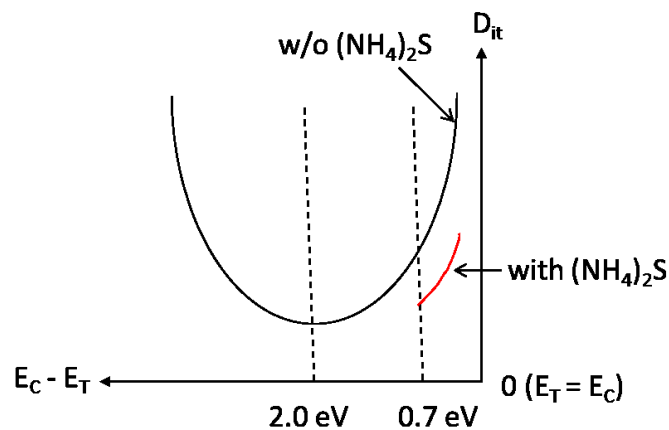


図 3-7 U字型の分布を考慮した場合の $\text{Al}_{0.22}\text{GaN}$ における界面準位密度とトラップ深さの関係

これまでの議論から、硫化アンモニウム処理により、伝導帯下端から約 0.7 eV 程度の深さに存在する界面準位を低減することが出来た。しかし、硫化アンモニウム処理の有無に

関わらず、1.1 [V]程度の閾値シフトは依然として存在しており、放出時定数が 1 min 以上の比較的深いトラップについては有意な差は見られなかった。そこで、このトラップの詳細を評価するため、硫化アンモニウム処理を施していないデバイスについて、図 3-8 に示すような種々の待機時間を設けて、 I_D - V_{GS} 特性の繰り返し測定を行った。なお、各スイープの測定時間は 30 s 程度であり、ゲート電圧は-10 V から 10 V の向きに掃引している。

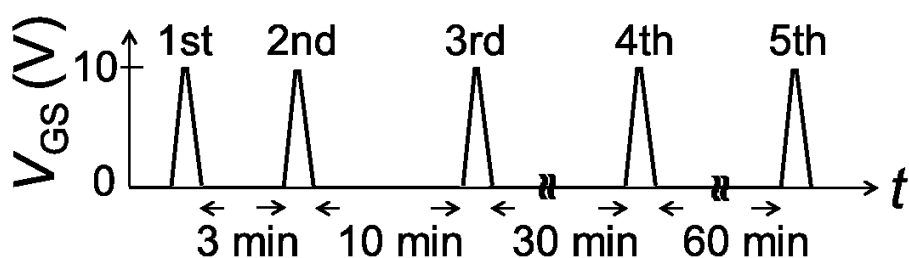


図 3-8 I_D - V_{GS} 特性の繰り返し測定における待機時間

図 3-9(a)に I_D - V_{GS} 特性の繰り返し測定結果を示す。黒色の丸が 1 回目の測定結果であり、青色の三角が 1 回目の測定から 3 min の待機時間を設けて測定した結果である。なお、赤色の正方形、緑色のひし形、白抜き丸は図 3-8 に示した待機時間を設けて測定した 3 回目、4 回目、5 回目の測定結果である。図(a)3-9 に示した通り、1 回目の測定後 3 min の待機時間を設けて 2 回目の測定を行った所、青色の三角で示す通り、閾値が 1.3 V 程度正側にシフトした。さらに、繰り返し測定における待機時間を長くしていくと、1 回目の測定結果の閾値電圧に近づいていることが分かる。

図 3-9 (b)に図 3-8 に示すような待機時間を設けて繰り返し測定した場合の閾値の待機時間依存性を示す。なお、図中の破線は 1 回目の測定の際の閾値である。待機時間を長くするにつれて閾値のシフト量が小さくなっている。この結果は、各測定の待機時間間に、前の測定の行きのスweepで電子を捕獲したトラップがその電子を放出する様子を反映しているためと考えられる。

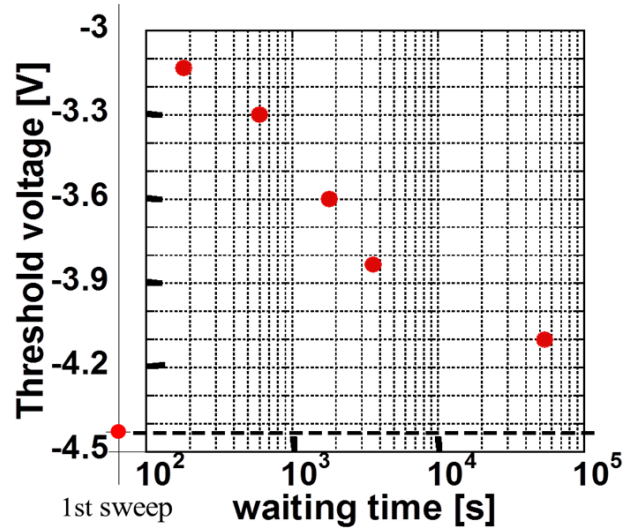
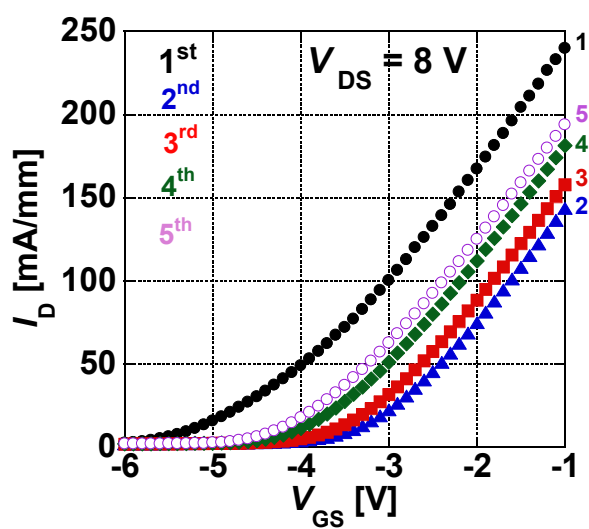


図 3-9 (a) I_D - V_{GS} 特性の繰り返し測定結果

(b) 閾値の待機時間依存性

図 3-10 に以下の式(3-1)を用いて、図 3-9(b)の閾値シフトから算出した $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面にトラップされた電荷密度を示す。式(3-1)中の C_{ox} は単位面積あたりの絶縁膜容量、 ΔV_{th} は 1 回目の測定結果に対する閾値シフト量である。

$$n_t = \frac{1}{q} C_{ox} \Delta V_{th} \quad (3-1)$$

2000s までの待機時間のデータを用いて算出した界面準位の放出時定数は 3.6×10^3 s であり、この放出時定数に対応するトラップ深さは約 0.86 eV である。なお、 5.4×10^4 s 程度の待機時間を設けても、1 回目の閾値に戻っていないことから今回算出したトラップ深さよりもさらに深い界面準位もこの閾値シフトに寄与していると考えられ、これらの比較的深いトラップが硫化アンモニウム処理の有無に関わらず、ほぼ同程度存在していると考えられる。

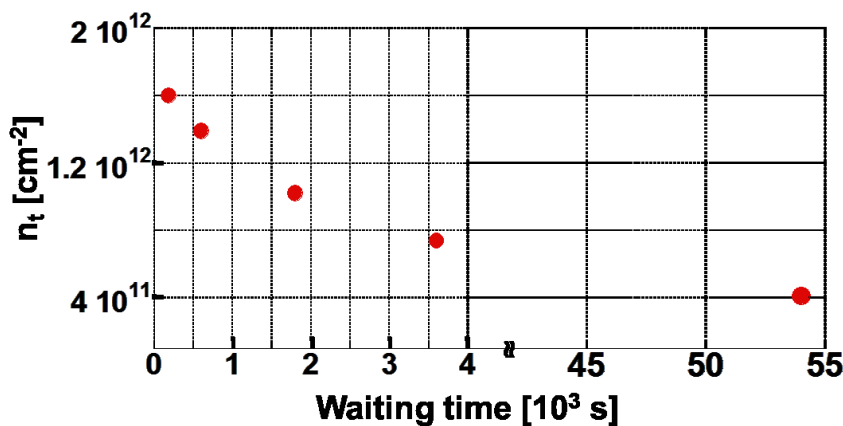


図 3-10 $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面のトラップに捕獲された電荷密度の待機時間依存性

次に、 $(\text{NH}_4)_2\text{S}$ 処理により界面準位密度が低減した理由を調べるため、 $(\text{NH}_4)_2\text{S}$ 処理前後の n-GaN に対して XPS 測定を行った。 $(\text{NH}_4)_2\text{S}$ は、GaN や GaAs 等で界面準位が出来る原因の可能性の一つとして考えられる半導体表面上の自然酸化膜を取り除くとともに、Ga-S 結合を形成し、酸化膜の形成を抑制することが出来ると言われている[2-3]。そこで、 S_{2p} 、及び O_{1s} に注目し XPS 測定を行った。なお、XPS 測定の際に用いた XPS 分析器は Phoibos-150 CCD (SPECS 社製)であり、X 線源は Al K α (200 W)である。XPS 測定中の真空度は 1.2×10^{-8} Pa である。XPS 測定に用いた n-GaN は 20min 間 $(\text{NH}_4)_2\text{S}$ 処理を行った後、高純水中に 2~3 s 程度浸した。その後、サンプルを取り出し、GaN 表面をブローで乾燥させた後、測定を行った。

図 3-11 に $(\text{NH}_4)_2\text{S}$ 処理を施した n-GaN の S_{2p} ピークの XPS 測定結果を示す。159.3 eV 付近に S の一硫化物(Ga-S)に起因するピークが存在するという報告例を参考にする[8]と、得られた XPS 測定結果においても、断定はできないが、159.3 eV 付近にピークが存在する可能性があり、 $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSHFET の電气的特性が改善した原因の可能性の一つと思われる。界面準位密度を大幅に低減するためには、Ga 表面が Ga-S 結合で一様に覆われている必要があると思われる。しかし、得られた信号の強度は小さく、1 モノレイヤー

程度の Ga-S が局所的に存在している程度の密度であると思われ、改善の余地が残っていると考えられる。

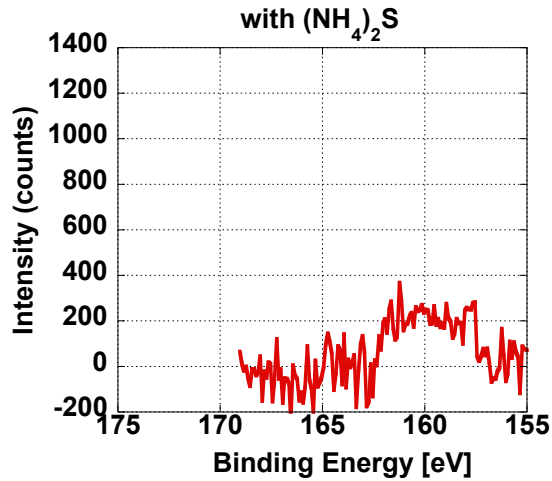


図 3-11 (NH₄)₂S 処理後の GaN 表面の XPS 測定結果 (S_{2p})

次に、図 3-12 に O_{1s} の XPS 測定結果を示す。図中の赤色の実線が O_{1s} の XPS 測定結果、青色の破線が O-Ga、緑色の破線が O-H 結合に起因するピークに関して、ガウシアン関数を用いてデコンボリューションした結果である。左図が(a) (NH₄)₂S 処理を施していないデバイス (アルカリ系溶液処理 10 min)、(b)が(NH₄)₂S 処理を施したデバイス{アルカリ系溶液処理 10min + (NH₄)₂S}の XPS 測定結果である。

図にも示した通り、硫化アンモニウム処理を施した後も、図中の青色の破線で示すように、O-Ga 結合が除去しきれいでなかった。(NH₄)₂S 処理による自然酸化膜の除去は不十分であり、界面準位密度の低減は改善の余地が残っているものと考えられる。

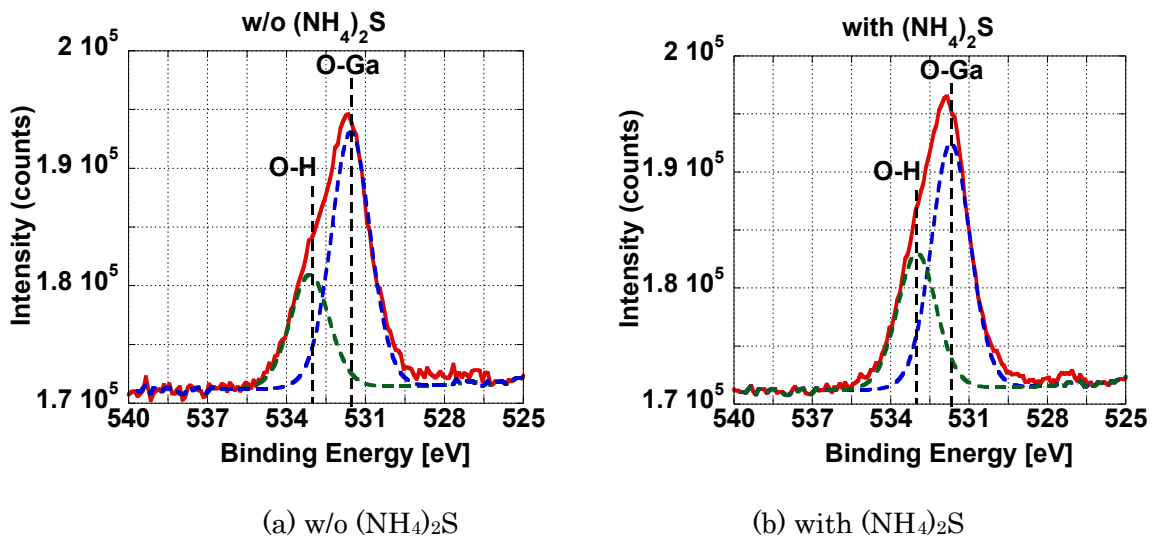


図 3-12 (NH₄)₂S 処理前後の XPS 測定結果 (O_{1s})

3.4 第 3 章のまとめ

本章では、Al₂O₃/AlGa_n 界面特性の改善を期待して、Al₂O₃ 成膜前の前処理として、長時間のアルカリ系前処理液、もしくは硫化アンモニウム処理を検討した。その内容と結果は以下の通りである。

- (1) 長時間のアルカリ系溶液処理、もしくは硫化アンモニウム処理を行うことにより C-V_G カーブの傾きが鋭くなり、V_G = 10 V における蓄積領域の飽和容量も増加した。その中でも、アルカリ系溶液 10 min + (NH₄)₂S 処理を行ったデバイスが最も飽和容量が大きく、従来の前処理 (アルカリ系溶液処理 1min) に比べて、Al₂O₃/Ga_n 界面における界面準位密度の最小値を 8.6×10¹² [cm⁻²eV⁻¹] から 5.8 ×10¹² [cm⁻²eV⁻¹] まで低減させることが出来た。
- (2) MOS ダイオードで最も効果が得られた前処理{アルカリ系溶液 10 min + (NH₄)₂S} を Al₂O₃/AlGa_n MOSHFET に適用し、界面特性の改善を図った。その結果、大きなゲート電圧を印加した時のドレイン電流の飽和が緩和し、I_{D max} も 584 [mA/mm] から 641 [mA/mm] まで増加した。加えて、I_D-V_{GS} 特性におけるヒステリシス幅も

硫化アンモニウム処理を施したデバイスの方が硫化アンモニウム処理を施していないデバイスに比べて、小さな値であった。これらの結果は $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面における界面準位密度の低下を示しており、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ MOSHFET においても硫化アンモニウム処理の有用性を実証出来た。

- (3) I_D - V_{GS} 特性の連続測定結果から、硫化アンモニウム処理を施すことにより、伝導帯下端から約 0.7 eV 程度の深さに存在する界面準位の低減を確認した。しかしながら、硫化アンモニウム処理の有無に関わらず、2 回目測定におけるほぼ同程度の閾値シフトが観測された。種々の待機時間を用いて測定した AlGaN/GaN MOSHFET の繰り返し測定における待機時間依存性から、この閾値シフトの原因になるトラップ深さは伝導帯下端から約 0.86 eV 程度、またそれよりも深いトラップがあることが分かった。

参考文献

- [1] M. Miczek, C. Mizue, T. Hashizume, and B. Adamowicz, *Journal of Applied Physics*, vol. 103, pp. 104510. 1-11, (2008)
- [2] C. Huh, S. W. Kim, H. S. Kim, I. H. Lee, and S. J. Park, *J. Appl. Phys.*, vol. 87, pp. 4591-4593, (2000)
- [3] L. Jie, S. Bo, W. M. Jun, Z. Y. Gang, Z. Z. Wei, Z. rong, S. Yi, Z. Y. dou, T. Someya, and Y. Arakawa, *Chin. Phys. Lett.*, vol. 19, pp. 1853-1855, (2002)
- [4] Y. Nannichi, J. F. Fan, H. Oigawa, and A. Koma, *Jpn. J. Appl. Phys.*, vol. 27, pp. L2367-L2369, (1988)
- [5] C. J. Sandroff, Hegde, L. A. Farrow, C. C. Chang, and J. P. Harbison, *Applied Physics Letters*, vol. 54, pp. 362-364, (1989)
- [6] P. T. Chen, Y. Sun, P. C. McIntyre, W. Tasi, M. Garner, P. Pianetta, Y. Nishi, and C. O. Chui, *J. Appl. Phys.*, vol. 103, pp. 034106. 1-6, (2008)
- [7] Y. J. Lin, H. Y. Lee, F. T. Hwang, and C. T. Lee, *Journal of Electronic Materials*, vol. 30, pp. 532-537, (2001)
- [8] T. Maruyama, K. Noguchi, Y. Seki, Y. Saito, T. Araki, and Y. Nanishi, *Phys. Stat. Sol. (c)*, vol. 0, pp. 2031-2034, (2003)

第4章 CF₄処理による Al₂O₃/AlGa_N 界面特性の改善

4.1 はじめに

前章で述べたように、Al₂O₃成膜前の前処理として硫化アンモニウム処理を行うことにより、Al₂O₃/Ga_N 界面の界面準位密度の低減を実現出来た。この結果をもとに、硫化アンモニウム処理を Al₂O₃/AlGa_N/Ga_N MOSHFET に適用した所、 I_D - V_{GS} 特性において、大きなゲート電圧におけるドレイン電流の飽和が緩和した。しかしながら、Al₂O₃/Ga_N 界面の界面準位密度は依然として、 10^{12} [cm⁻²eV⁻¹] 台であり、改善の余地が残っている。そこで、本章では更なる MOSHFET の特性改善のため、Al₂O₃成膜後に CF₄プラズマ処理を行った。

HfO₂へのF導入に関しては、Fが酸素空孔(V_o)を補償するという理論計算が報告されている[1]。このV_oは電子を捕獲するトラップ準位をバンドギャップ中に生成し、このトラップ準位はHfO₂のミッドギャップよりも上に存在しており、電子を捕獲することで、そのトラップは中性になるとされている[1]。従って、通常V_oはイオン化し正に帯電していることから[1]、正電荷の原因の可能性の一つとして考えられる。

これまでCF₄プラズマ処理をHfO₂/Si MOS ダイオード[2]、及びHfO₂/Ge MOS ダイオードに適用し[3]、界面準位密度を低減したという報告が一部なされてきた。一方、Ga_Nについては、CF₄プラズマ処理をAlGa_N/Ga_N MES HEMT に適用し、AlGa_N中にFを注入してノーマリオフ型デバイスを作製したという報告例がある[4-5]。しかしながら、Ga_N系MOSHFETにCF₄プラズマ処理を用いて、ゲート絶縁膜中にFを注入してノーマリオフ型デバイスを作製したという例はほとんどない。これに加えて、CF₄プラズマ処理を用いて、Al₂O₃/AlGa_N界面、及びAl₂O₃/Ga_N界面の特性改善を実証した例もほとんどない。そこで、本章ではAl₂O₃成膜後にCF₄プラズマ処理を行い、Al₂O₃にFを導入することで、MOSHFETの特性改善を試みた。CF₄プラズマ処理を

施し、 V_0 を F で補償することにより、界面準位密度を低減するばかりでなく、 Al_2O_3 膜中、及び $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の正電荷の低減が期待できる。その結果、 V_{th} の正側へのシフトも期待でき、ノーマリオフ化に繋がりがうることが期待できる。

4.2 $\text{Al}_2\text{O}_3/\text{GaIn}$ 界面、及び $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面特性の改善

4.2.1 GaIn MOS ダイオード、及び MOSHFET の作製条件

作製した MOS ダイオードの構造は第 2 章で作製した MOS ダイオード{図 2-2(a)}と同じである。また、作製に用いた結晶は通称 PD-58 であり、n-GaIn 中の Si のドーピング濃度は $6 \times 10^{16} [\text{cm}^{-3}]$ である。 Al_2O_3 は前章同様 ALD で成膜した。 Al_2O_3 の成膜温度、膜厚はそれぞれ、 300°C と 40 nm である。 Al_2O_3 成膜前の前処理はアルカリ系溶液処理 1 min とした。 $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$ MOSHFET の作製に用いたエピは通称 PD-61 の i- $\text{Al}_{0.22}\text{GaIn}(12 \text{ nm})/\text{i-GaIn}$ HEMT 用エピである。作製した MOSHFET のゲート幅は $20 \mu\text{m}$ であり、ゲート長は $5 \mu\text{m}$ である。

なお、 Al_2O_3 成膜後、本章では図 4-1 に示すように、RIE (Reactive Ion Etching) を用いて CF_4 プラズマ処理を行い、 Al_2O_3 に F を導入した。 CF_4 の入力パワー、圧力、流量はそれぞれ 50 W , 5 Pa , 50 sccm とした。この条件で Al_2O_3 をエッチングした場合のエッチングレートを図 4-2 に示す。なお、 CF_4 プラズマ処理の処理時間が短い場合、 Al_2O_3 膜内に導入される F の量が不十分であることが懸念され、処理時間が長い場合、図 4-2 に示すように、 CF_4 プラズマエッチングによる Al_2O_3 膜厚の減少が懸念される。そこで、 CF_4 プラズマエッチングによる Al_2O_3 膜厚の減少を 10% 程度に抑えることが出来る $3 \text{ min } 30 \text{ s}$ を処理時間とした。なお、本章ではリファレンスとして Al_2O_3 成膜後に CF_4 プラズマ処理を施していないデバイスも作製した。

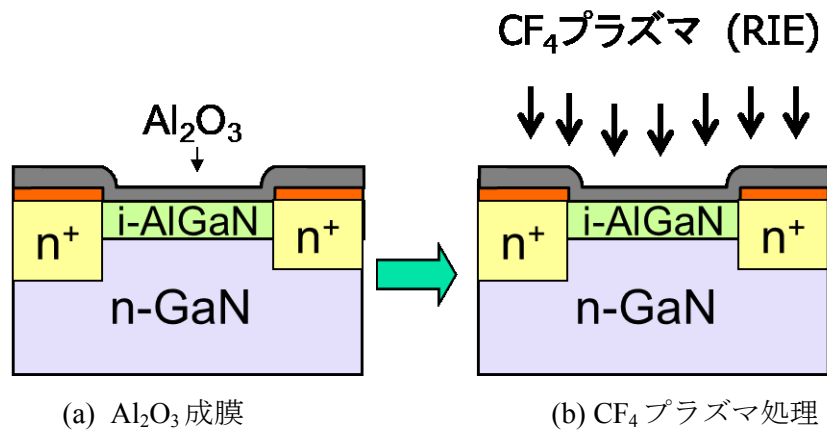


図 4-1 CF_4 プラズマ処理の流れ

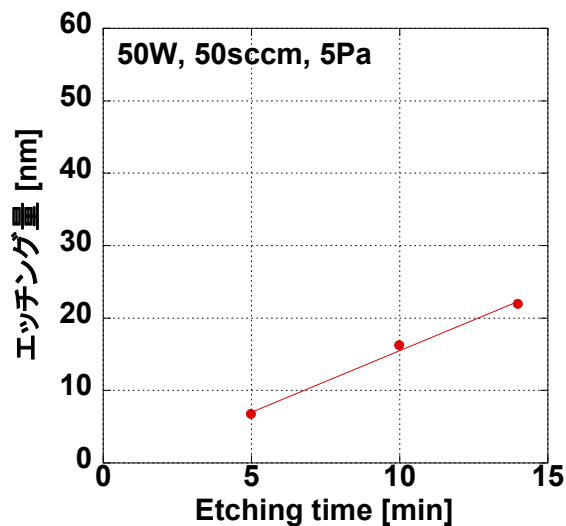


図 4-2 Al_2O_3 のエッチングレート (CF_4 : 50sccm, 5Pa, 50 W)

CF_4 プラズマ処理により、 Al_2O_3 に F が導入されているかどうか確認するため、 CF_4 プラズマ処理を施した Al_2O_3 (40 nm)/GaN に対して SIMS (Secondary Ion-microprobe Mass Spectrometer) 測定を行った。SIMS 2 次イオン強度の深さ方向プロファイルを図 4-3 に示す。 CF_4 プラズマ処理により、膜中全体に F が注入されると共に Al_2O_3 /GaN 界面に F が偏析していることが分かった。

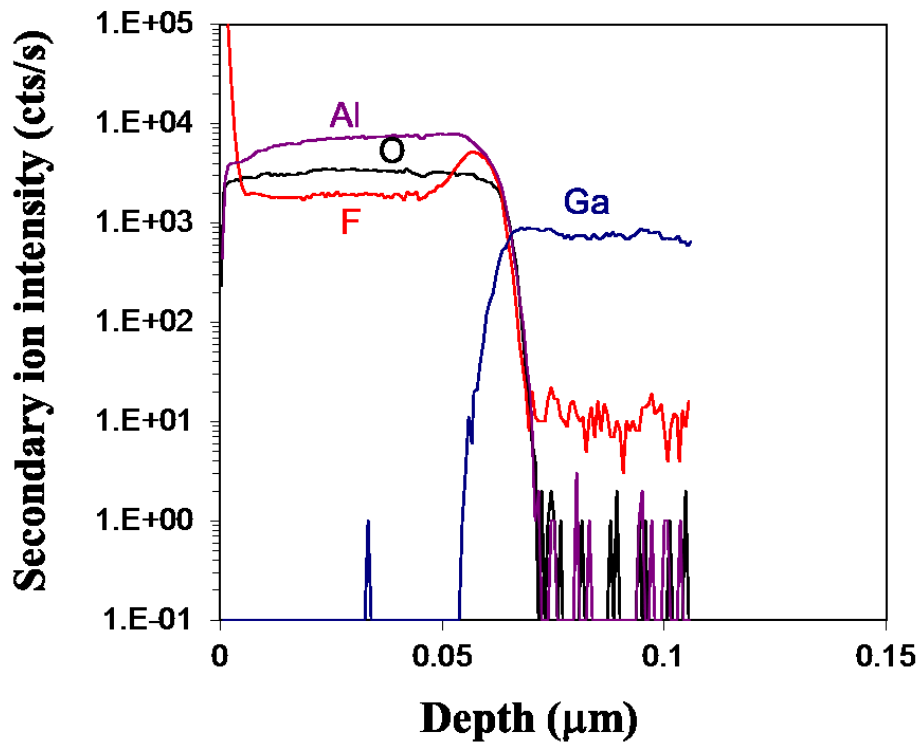


図 4-3 CF₄プラズマ処理を施した Al₂O₃ (40 nm)/GaN の SIMS 深さ方向プロファイル

4.2.1 C-V_G特性

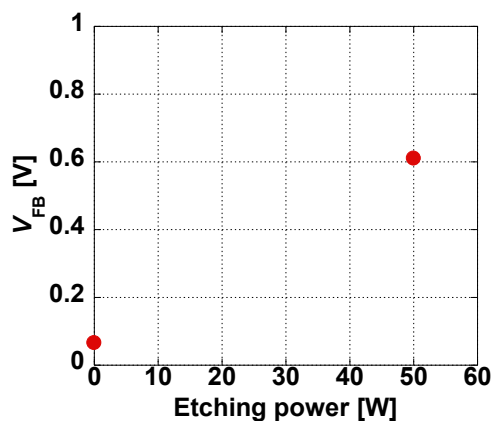
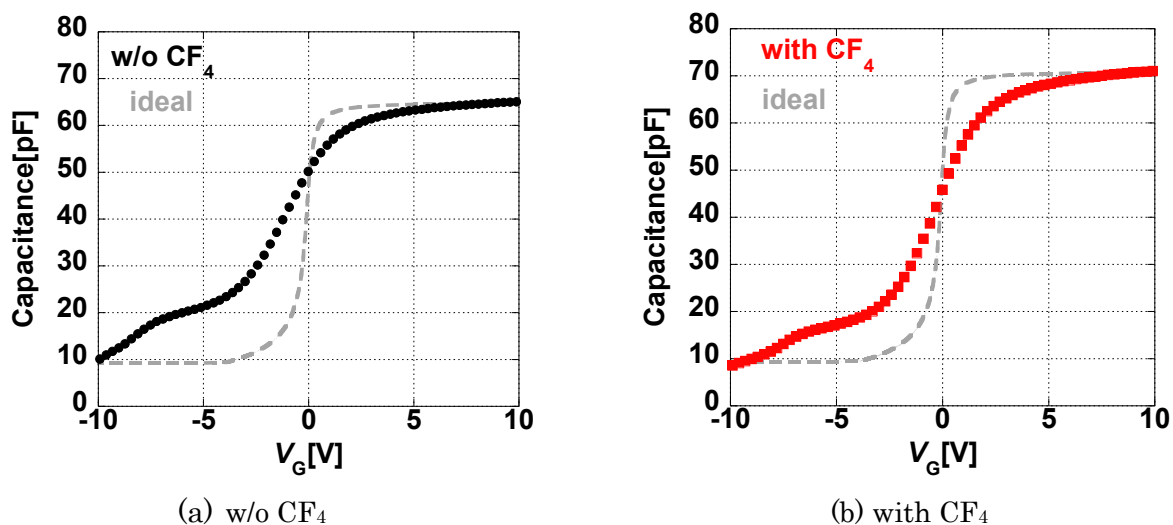
図 4-4 に作製した MOS ダイオードの C-V_G 特性を示す。図 4-4(a)は CF₄プラズマ処理を施していないデバイス、(b)は CF₄プラズマ処理を施したデバイスの C-V_G 特性測定結果である。なお、図中の灰色の点線は界面準位がない場合の理想曲線である。なお、理想カーブの導出の際に必要なドーピング濃度は、別途作製した n-GaN ショットキーダイオードの C-V カーブの傾きから求めた値 ($5.73 \times 10^{17} \text{ cm}^{-3}$)を用いた。

ゲートに印加する交流電圧の振幅、測定周波数はそれぞれ 0.1 V と 1 MHz である。また、ゲート電圧の掃引は負側から正側に向かって行い、その速度は 100 mV/10 sec である。

図にも示した通り、図 4-4(b)で示した CF₄プラズマ処理を施したデバイスは図 4-4(a)

で示した CF_4 プラズマ処理を施していないデバイスに比べて、飽和容量が増加している。 CF_4 エッチングによる Al_2O_3 の膜厚の減少はせいぜい 4 nm 程度であり、この容量の増加の主な原因は CF_4 プラズマ処理による $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度の低減であると思われる。図 4-4 (c) に得られた $C-V_G$ 特性のフラットバンド電圧 (V_{FB}) を示す。 CF_4 プラズマ処理を施したデバイスでは、 CF_4 プラズマ処理を施していないデバイスに比べて、 V_{FB} が 0.5 V 程度正側にシフトした。これは、 Al_2O_3 膜中、もしくは $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の正電荷の低減を示唆しており、正電荷の原因の可能性の 1 つと考えられる V_0 が F により低減された結果であると考えられる。

なお、 V_{FB} が正側にシフトした原因の可能性の 1 つとして、 CF_4 プラズマ処理により、 F が負イオン (F^-) として Al_2O_3 膜中に導入され、負電荷として存在しているという可能性も考えられる。しかし、後で記述するように、 CF_4 プラズマ処理により、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度が低減していることから、 F は負イオンとして Al_2O_3 膜中に存在するのではなく、 F として Al_2O_3 膜中に導入された F が正電荷を持つ酸素空孔 (V_o) に電子を供給し、 V_o を補償するためだと考えられる。



(c) $C-V_G$ 特性から算出した V_{FB}

図 4-4 CF₄ 処理を施し作製した Al₂O₃/GaN MOS ダイオードの $C-V_G$ 特性
(f: 1MHz, 100mV/10sec)

図 4-5 に Al₂O₃/GaN MOS ダイオードの $C-V_G$ 特性から算出した界面準位密度を示す。図中の赤い四角で示した CF₄ プラズマ処理を施したデバイスは図中の黒色の丸で示す CF₄ プラズマ処理を施していないデバイスに比べて、界面準位密度が小さな値であった。これは、CF₄ プラズマ処理を用いて、F を Al₂O₃ 膜中に導入したことにより、Al₂O₃/GaN 界面の O 空孔が低減したためだと思われる。

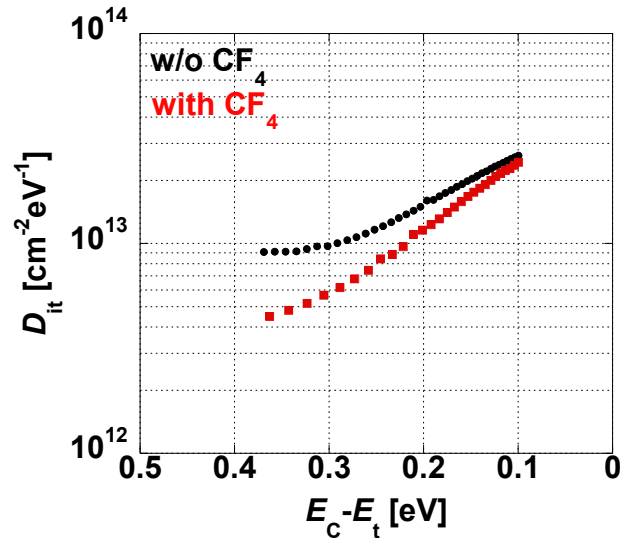


図 4-5 CF₄プラズマ処理による Al₂O₃/GaN 界面の界面準位密度の低減

4.2.2 MOSHFET の電気的特性

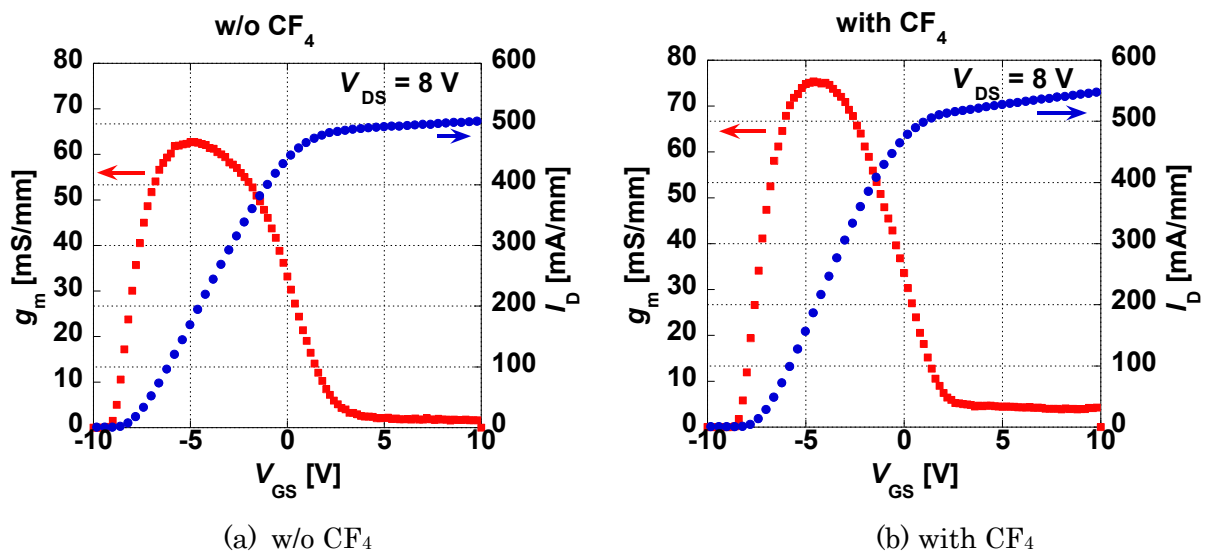
前節で示したように、Al₂O₃/GaN MOS ダイオードを用いて、CF₄プラズマ処理の有
用性を実証できた。そこで、本節では Al₂O₃/AlGaIn/GaN MOSHFET に CF₄プラズマ
処理を施すことにより、FET 特性の改善を試みた。

図 4-6 に作製した MOSHFET の I_D - V_{GS} 、 g_m - V_{GS} 特性を示す。(a)が CF₄プラズマ処
理を施したデバイス、(b)が CF₄プラズマ処理を施していないデバイスの結果である。
図中の赤色の四角は g_m - V_{GS} 特性を、青色の丸は I_D - V_{GS} をそれぞれ示している。ゲート
電圧は負側から正側に向かってスイープした。

CF₄プラズマ処理を施したデバイスは CF₄プラズマ処理を施していないデバイスに
比べて、 $g_{m\max}$ が 62 ~ 65 [mS/mm] から 73 ~ 77 [mS/mm] まで増加させることが出来た。
この $g_{m\max}$ の増加は、CF₄プラズマエッチングによる Al₂O₃膜厚の減少により予想され
る $g_{m\max}$ の増加量よりも大きく、 $g_{m\max}$ の増加の主な原因は CF₄プラズマ処理による
Al₂O₃/AlGaIn 界面の界面準位密度の低減であると考えられる。これに加えて、CF₄プラ

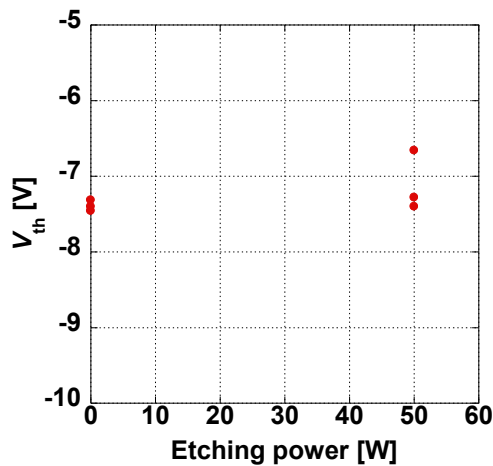
プラズマ処理を施したデバイスは、 CF_4 プラズマ処理を施していないデバイスに比べて大きなゲート電圧におけるドレイン電流の上詰まりを緩和することが出来、ドレイン電流を 504 ~ 511 [mA/mm]から 547 ~ 552 [mA/mm]まで増加させることが出来た。この結果も、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面における界面特性の改善を示しており、MOS ダイオードで得られた結果と対応している。

図 4-6 (c)に I_D - V_{GS} 特性から算出した作製した $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET の閾値電圧を示す。 CF_4 プラズマ処理を施したデバイスは CF_4 プラズマ処理を施したデバイスに比べて、約 0.75 V 正側にシフトするデバイスが見られた。これは、 CF_4 プラズマ処理により、 Al_2O_3 膜中、もしくは $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面に存在する正電荷の低減を反映している可能性もあるが、シフト量はわずかであり、更なる検討が必要である。



(a) w/o CF₄

(b) with CF₄



(c) AlGaIn/GaN MOSHFET の閾値電圧

図 4-6. CF₄ プラズマ処理した Al₂O₃/AlGaIn/GaN MOSHFET の I_D - V_{GS} 、 g_m - V_{GS} 特性 ($V_{DS} = 8V$)

図 4-7 に作製した MOSHFET の I_D - V_{DS} 特性を示す。測定モード は **medium** であり、ゲート電圧は -10 V から 5 V の向きに印加した。

図 4-7 (b) に示す CF₄ プラズマ処理を施したデバイスは (a) で示した CF₄ プラズマ処理を施していないデバイスに比べて、大きなゲート電圧におけるドレイン電流の飽和が緩やかされており、測定したすべてのデバイスでこの傾向が観測された。この結果は CF₄

プラズマ処理により $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の界面準位密度が減少したことを示しており、 $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET においても、 CF_4 プラズマ処理の有用性を示すことが出来た。

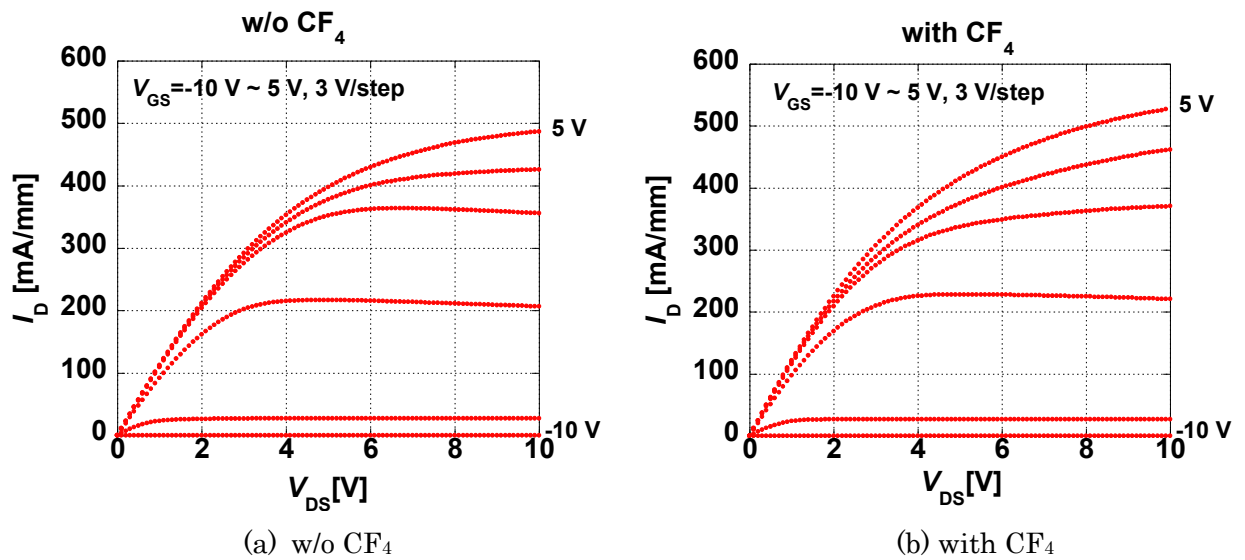


図 4-7. CF_4 プラズマ処理施した $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET の I_D - V_{GS} 特性

4.3 4章のまとめ

本章では、 Al_2O_3 成膜後に CF_4 プラズマ処理を行い、更なる $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET の特性改善を図った。その内容と結果は以下の通りである。

- (1) GaN MOS ダイオードに CF_4 プラズマ処理を適用することにより、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度を低減させることが出来た。これに加えて、 CF_4 プラズマ処理を行った MOS ダイオードの V_{FB} は CF_4 プラズマ処理を施していないデバイスのそれと比べて、約 0.5 V 程度正側にシフトした。この結果は、 Al_2O_3 膜中、もしくは $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における正電荷の低減を示唆しており、GaN MOS ダイオードを用いて、 CF_4 プラズマ処理の有用性を実証することが出来た。 CF_4 プラズマ処理による界面特性改善の理由については、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における酸素空孔の低減の可能性はあるが、この点については更なる検討が必要である。
- (2) GaN MOSHFET に CF_4 プラズマ処理を適用することにより、 g_m - V_{GS} 特性において、 $g_{m \text{ max}}$ の増加を実現出来た。これに加えて、大きなゲート電圧におけるドレイン電流の飽和も緩和し、その結果ドレイン電流の増加を実現出来た。これらの結果は $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面における界面準位密度の低減を示しており、 $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET においても CF_4 プラズマ処理の有用性を実証出来た。 CF_4 プラズマ処理を施したデバイスの V_{th} は CF_4 プラズマ処理を施していないデバイスと比べて、0.75 [V]程度正側にシフトするデバイスも見られた。これは、 $\text{Al}_2\text{O}_3/\text{GaN}$ MOS ダイオードで観測された V_{FB} のシフト量とほぼ対応が取れていると考えられるが、シフト量はわずかであり、更なる検討が必要である。

参考文献

- [1] K. Tse, and J. Robertson, *Applied Physics Letters*, vol. 89, pp. 142914-142917, (2006)
- [2] W. C. Wu, C. S. Lai, J. C. Wang, J. H. Chen, M. W. Ma, and T. S. Chao, *Journal of The Electrochemical Society*, vol. 154, pp. H561-H565, (2007)
- [3] R. Xie, M. Yu, M. y. Lai, L. Chen, and C. Zhu, *Applied Physics Letters*, vol. 92, pp. 163505. 1-3, (2008)
- [4] R. Wang, Y. Cai, W. Tang, K. M. Lau, and K. J. Chen, *IEEE Electron Device Letters*, vol. 27, pp. 633-635, (2006)
- [5] W. Chen, K. Y. Wong, and K. J. Cher, *Phys. Stat. Solid. (c)*, vol. 52, pp. S948-S951, (2009)

第5章 Gate-first process による Al₂O₃/AlGaN 界面特性の改善

5.1 はじめに

第3、4章で述べたように、硫化アンモニウム処理、及び CF₄ プラズマ処理を施すことにより、Al₂O₃/GaN 界面の界面準位密度の低減を実現出来た。しかし、界面準位密度の低減量は十分ではなく、10¹² [cm⁻²eV⁻¹] 台と、依然として大きな値である。そこで、更なる Al₂O₃/AlGaN 界面の特性改善のため、“gate-first process”の導入を検討した。

従来のプロセス (“gate-last process”)では、オーミックコンタクト形成のための合金化アニール (825 °C, 30 s)において、RTA チャンバー内に存在する残留酸素による AlGaN 表面の酸化や N 空孔の生成が懸念される[1-3]。この問題を解決するため、Al₂O₃ 成膜後に合金化アニールを行う gate-first process の導入を検討した。Gate-first process では、合金化アニールの際、AlGaN 表面が Al₂O₃ で覆われているため、AlGaN 表面の酸化や N 空孔の生成の抑制が期待出来、その結果 Al₂O₃/AlGaN 界面の特性改善が期待できる。

本章ではまず、初めに Al₂O₃/GaN MOS ダイオードを用いて、gate-first process の効果を実証する。次に、有用性を実証した gate-first process を AlGaN/GaN MOSHFET に適用し、MOSHFET の電気特性改善を実証する。作製したデバイス構造、作製条件、得られた MOSHFET の電气的特性について述べる。また、異なるゲート電圧掃引時間を用いて、MOSHFET の過渡応答特性を調べた結果についても述べる。

なお、gate-first process では Al₂O₃ 成膜後に合金化アニールを行っているため、合金化アニールによる Al₂O₃ の膜質改善の効果を調べるのが重要である。そこで、最後に gate-last process を用いて作製した MOS ダイオードに対して異なる温度でアニールを行い、合金化アニールによる Al₂O₃ 膜質改善の寄与を調べた結果を述べる。

5.2 Gate-first process による $\text{Al}_2\text{O}_3/\text{GaN}$ 界面特性の改善

5.2.1 $\text{Al}_2\text{O}_3/\text{GaN}$ MOS ダイオード、および MOSHFET のデバイス構造と作製条件

Gate-first process を用いて作製した MOS ダイオードのデバイス構造は、gate-last process を用いて作製した第 2、3、4 章のデバイスと同じ{図 2-2(a)}である。また、MOS ダイオード作製に用いたエピは通称 PD-57 であり、ドーピング濃度は $1 \times 10^{17} [\text{cm}^{-3}]$ である。また、リファレンスとして、合金化アニール後に Al_2O_3 成膜を行う従来の gate-last process を用いて MOS ダイオードの作製も行った。

図 5-1 に n-GaN MOS ダイオードの作製手順の概念図を示す。 Al_2O_3 の成膜は ALD を用いて行い、成膜温度、成膜前の前処理は gate-first process、 gate-last process 共にそれぞれ、 300°C 、アルカリ系溶液処理 1 min とした。なお Al_2O_3 の膜厚については gate-last process が 40 nm、gate-first process については合金化アニールにより、 Al_2O_3 が結晶化しゲートリーク電流が増加する懸念があるため、60 nm と厚くした。

Gate-first process においては、図 5-1 (a)の左の図に示すように、一番初めに Al_2O_3 の成膜を行った。そして、次にオーミック金属蒸着下部の Al_2O_3 をバッファードフッ酸を用いて 35 s 間エッチングし除去した後、オーミック金属を蒸着・リフトオフにより形成した。その後、RTA を用いて、N 雰囲気中で 825°C 、30 s の合金化アニールを行い、オーミックコンタクトを形成した。本 gate-first process では図 5-1 (a)の真ん中の図に示すように、合金化アニールの際、AlGaN 表面が Al_2O_3 でパッシベーションされている。その結果、AlGaN 表面の酸化や窒素空孔生成の抑制が期待できる。

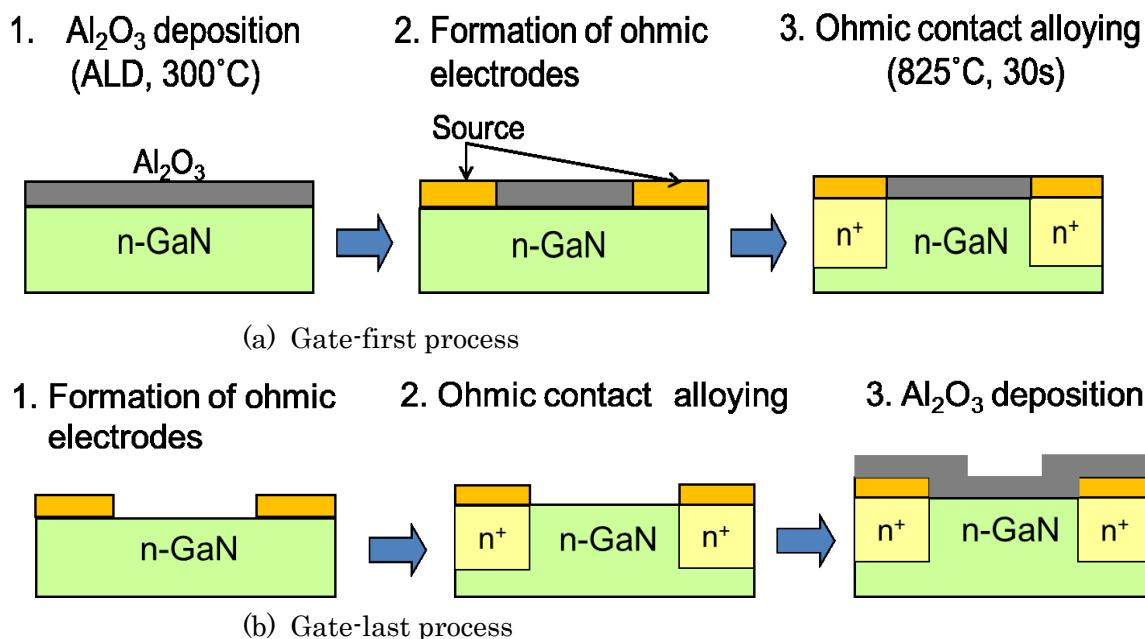


図 5-1 Gate-first process, 及び gate-last process を用いて作製したデバイスの作製手順

5.2.2 MOS ダイオードの電気的特性

図 5-2(a)に作製した MOS ダイオードの $C-V_G$ 特性を示す。なお、図中の灰色の点線はトラップがない場合の理想曲線であり、黒色の三角は gate-last process を用いて作製したデバイス、青色の四角は gate-first process を用いて作製したデバイスの $C-V_G$ 特性の測定結果である。ゲートに印加する交流電圧の振幅、測定周波数は前章と同様、それぞれ 0.1 V と 1 MHz である。また、ゲート電圧の掃引は負側から正側に向かって行い、その速度は $100\text{ mV}/10\text{ sec}$ 程度である。理想曲線の導出の際に必要なドーピング濃度は、別途に作製した n-GaN ショットキーダイオードの C-V カーブの傾きから求めた値 ($1.03 \times 10^{17}\text{ cm}^{-3}$)を用いた。

図 5-2(a)からも分かるように、gate-first process を用いて作製した MOS ダイオードの傾きは gate-last process を用いて作製したデバイスに比べて、C-V カーブの傾きがより急峻になっている。これに加えて、飽和容量も gate-first process の方が gate-last

process のそれに比べて大きな値であった。これらの結果は gate-first process による $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面特性の改善を示唆している。

図 5-2 (b)は、図 5-2 (a)の C-V カーブに Terman 法を適用し算出した界面準位密度である。図中の青色の四角で示した gate-first process を用いて作製した MOS ダイオードの界面準位密度は、黒色の三角で示した gate-last process を用いて作製したデバイスのそれに比べて、1 桁以上界面準位密度が低減している。これは gate-first process において、合金化アニールの際に、 Al_2O_3 で AlGaN 表面を覆ったパッシベーション効果であると考えられ、MOS ダイオードにおいて gate-first process の有効性を示すことが出来た。

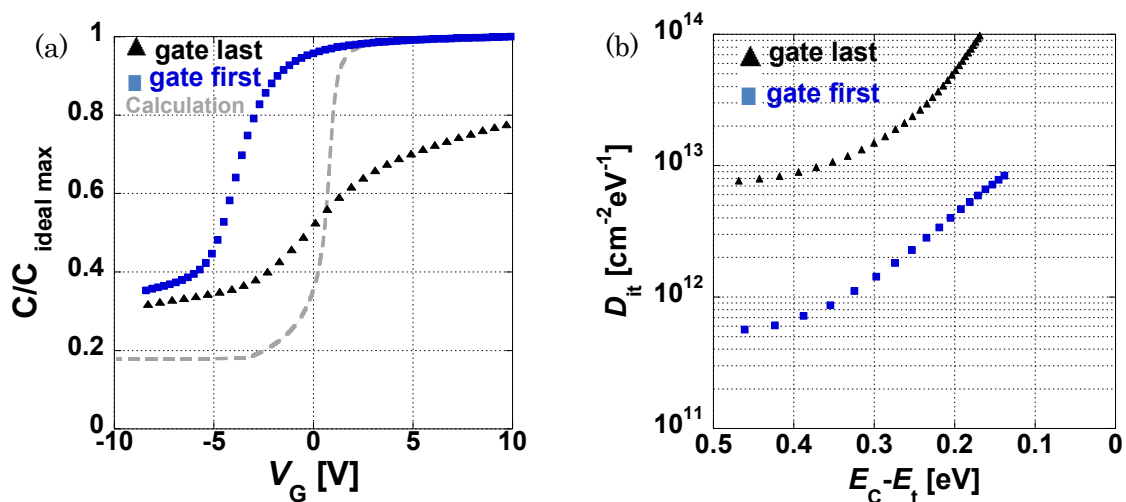


図 5-2 Gate-first process により作製した $\text{Al}_2\text{O}_3/\text{GaN}$ MOS ダイオードの(a) $C-V_G$ と (b)界面準位密度 (f: 1MHz, 100 mV/10 sec)

図 5-3 に作製した MOS ダイオードの I_G-V_{GS} 特性を示す。左図が gate-last process を用いて作製した MOS ダイオードのゲートリーク電流、右図が gate-first process を用いて作製したデバイスのゲートリーク電流である。なお、測定モードは long である。ゲート電圧は正の方向にスイープさせた後 (0 V \rightarrow 10 V)、負の方向にスイープ (0 V \rightarrow -10)し、測定を行った。

図 5-3 (a)からも分かるように、Gate-last process を用いて作製したデバイスのゲートリーク電流は十分小さな値であった。しかし、gate-first process を用いて作製したデバイスのゲートリーク電流はばらつきが大きく、図 5-3 (b)の赤色の丸で示すように、ゲートリーク電流が十分小さなデバイスがある一方で、緑色の四角や黒色の三角で示したように、ゲートリーク電流が非常に大きなデバイスも存在した。Gate-first process の作製工程において、 Al_2O_3 は 825°C 、30 s のオーミックアニールを経ているため、アニールによる Al_2O_3 の多結晶化により生成された結晶粒界[2]がゲートリーク電流増加の原因であると思われる。

図 5-4 に n-GaN 上に 300°C で成膜し、 400°C 、 800°C の 2 条件でそれぞれ 20 min アニールを行った Al_2O_3 表面の AFM 観察結果を示す。 400°C 、 800°C でアニールを行ったサンプルは、 Al_2O_3 の多結晶化によると思われる円形状の粒が無数に確認された。これに加えて、 800°C でアニールを行ったデバイスの方が 400°C でアニールを行ったデバイスに比べて、粒の直径が大きくなっているのが分かる。すなわち、より高温でアニールすることにより、 Al_2O_3 の結晶化が進み、ゲートリーク電流増加に繋がると考えられる。

図 5-3 (b)の緑色や黒色の点で示したような大きなゲートリーク電流が MOSHFET に存在する場合、FET は正常に動作しないことが懸念される。しかし、MOS ダイオードのゲート電極の面積 ($3.14 \times 10^{-2} \text{ mm}^2$) は本章で作製した MOSHFET のゲート電極の面積 ($1.0 \times 10^{-4} \text{ mm}^2$) に比べて、約 300 倍大きい。今回、gate-first process を用いて作製した MOS ダイオードにおいて、アニールによりゲートリーク電流が増大したデバイスは 6 個中 2 個であり、約 30% である。従って、gate-first process を用いて作製した MOSHFET において、ゲートリーク電流が大きなデバイスの割合は、ゲート電極面積比から $30/300 = 0.1$ %程度と考えられる。今後、 Al_2O_3 膜厚・プロセス等の最適化によりこの比率の低減は必要であるが、当面は MOSHFET を作製する際、このゲートリーク電流は FET の動作に影響を与える可能性は低いと考えられる。

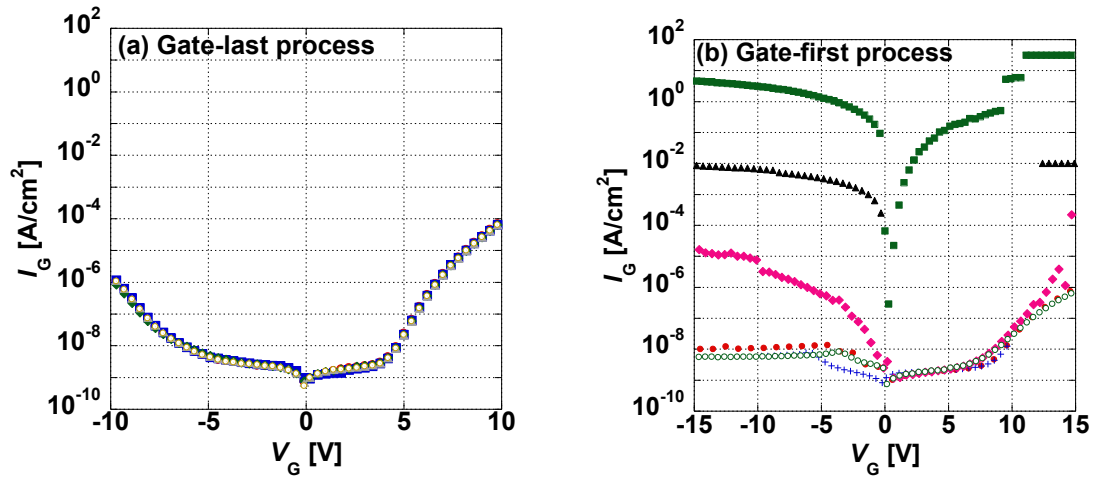
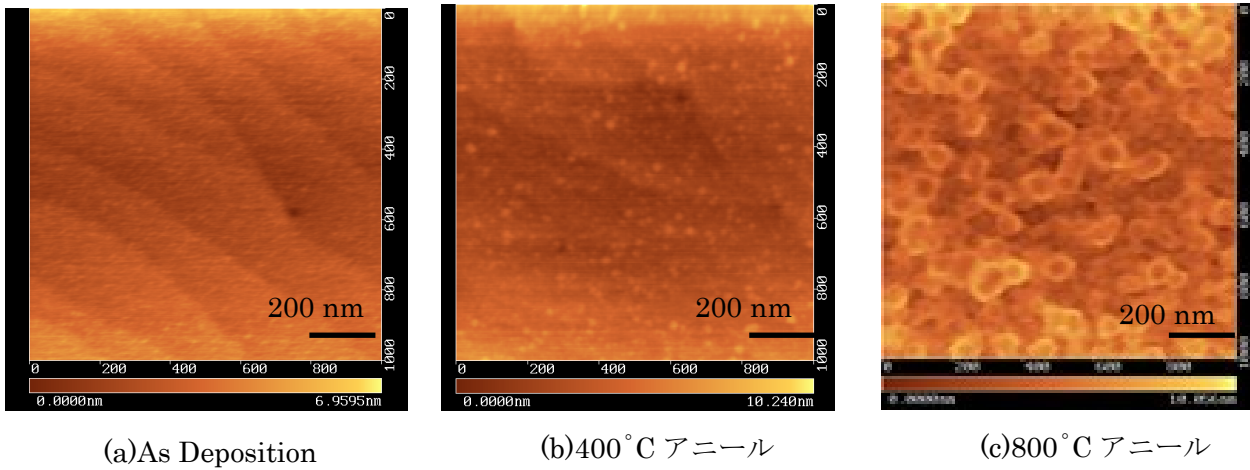


図 5-3 (a)Gate-last process、及び(b) gate-first process により作製した $\text{Al}_2\text{O}_3/\text{GaN}$ MOS ダイオードの I - V_{Gs} 特性



(a)As Deposition

(b)400°C アニール

(c)800°C アニール

図 5-4 Al_2O_3 成膜後にアニールを行った Al_2O_3 (40 nm)/GaN の AFM 測定結果 (RTA, N_2 雰囲気, 20 min)

5.3 Gate-first process による $\text{Al}_2\text{O}_3/\text{AlGaN}$ MOSHFET の

特性改善

5.3.1 Gate-first process を用いて作製した MOSHFET の構造

前節で示した通り、MOS ダイオードを用いて、gate-first process の有効性を示すことが出来た。そこで、本節では gate-first process を $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET に適用し、MOSHFET の特性改善を図った。なお、先ほどの MOS ダイオードと同様、リファレンスとして従来の gate-last process を用いて MOSHFET の作製も行った。作製したデバイス構造を図 5-5 に示す。Gate-first process においては Al_2O_3 の成膜をオーミックパターン形成前に行うため、図 5-5 に示すようにオーミック金属上を Al_2O_3 で覆うことが出来ない。そのため、第 2、3、4 章とは異なり、ゲート・ドレイン、ゲート・ソース電極はオーバーラップしていない。また、作製に用いたエピは通称 PD71 の $i\text{-Al}_{0.22}\text{GaN}(12\text{ nm})/i\text{-GaN}$ HEMT 用エピである。なお、 Al_2O_3 の成膜は ALD を用いて行い、成膜温度、膜厚は gate-last process、gate-first process 共にそれぞれ $300\text{ }^\circ\text{C}$ 、 40 nm である。なお、成膜前の前処理は MOS ダイオード同様、アルカリ系溶液処理 1 min とした。作製した MOSHFET のゲート幅は $20\text{ }\mu\text{m}$ であり、ゲート長は $5\text{ }\mu\text{m}$ 、ゲート・ドレイン間距離、ゲート・ソース間距離は共に $2.5\text{ }\mu\text{m}$ である。

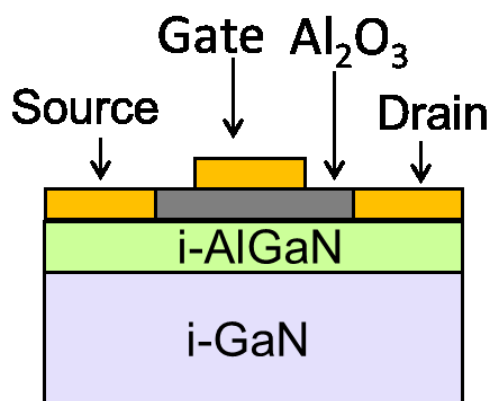


図 5-5 Gate-first process を用いて作製した AlGaN/GaN MOSHFET のデバイス断面図

5.3.2 Gate-first process を用いて作製した MOSHFET の電気特性

図 5-6 に作製した $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$ MOSHFET の g_m - V_{GS} 、 I_D - V_{GS} 特性を示す。図 5-6(a)は gate-last process を用いて作製したデバイス、(b)は gate-first process を用いて作製したデバイスの I_D - V_{GS} 、 g_m - V_{GS} 特性である。図中の赤色の四角は g_m - V_{GS} 特性を、青色の丸は I_D - V_{GS} をそれぞれ示している。ゲート電圧は $-15\text{ V} \rightarrow 3\text{ V} \rightarrow -15\text{ V}$ の順に印加した。測定モードは short でゲート電圧のスweep時間は往復で 1 s 程度である。

Gate-first process を用いて作製した MOSHFET の I_D - V_{GS} 特性におけるヒステリシス幅は gate-last process で作製したものに比べて小さくなっている。これに加えて、gate-first process で作製したデバイスの方が gate-last process で作製したデバイスに比べて、大きなゲート電圧におけるドレイン電流の飽和が緩和されている。その結果、 $V_G = 3\text{ V}$ におけるドレイン電流の最大値も $528 \sim 542\text{ [mA/mm]}$ から $567 \sim 584\text{ [mA/mm]}$ まで増加した。これらの結果は gate-first process による $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の界面準位密度の低下を示唆しており、MOS ダイオードの時と同様、MOSHFET においても gate-first process の優位性を実証することが出来た。

これらに加えて、gate-first process で作製した MOSHFET の閾値は gate-last process で作製したデバイスに比べて、約 1.3 [V] 正側にシフトしている。この結果も $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の正電荷の低減の結果であり、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の高品質化を示唆しているものと考えられる。

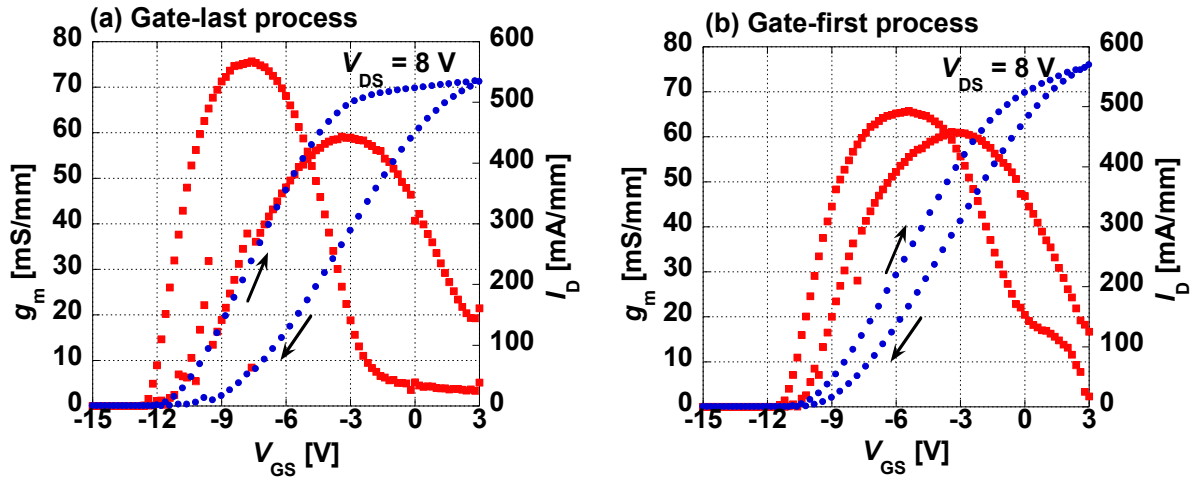


図 5-6 (a)Gate-last process、及び(b) gate-first process を用いて作製した MOSHFET の g_m - V_{GS} , I_D - V_{GS} 特性 ($V_{DS} = 8\text{ V}$, $t_{\text{sweep}} \sim 1\text{ s}$)

図 5-7 に作製した MOSHFET のゲートリーク電流を示す。図中の青色の四角が gate-first process を用いて作製したデバイス、黒色の三角が gate-last process を用いて作製したデバイスの結果である。なお、測定モードは long である。ゲート電圧は正の方向にスイープさせた後 ($0\text{ V} \rightarrow 3\text{ V}$)、負の方向にスイープ ($0\text{ V} \rightarrow -10$)し、測定を行った。

図 5-6 にも示した通り、MOS ダイオードの時とは異なり、gate-first process を用いて作製したデバイスのゲートリーク電流は gate-last process を用いて作製したデバイスより 2 桁程度大きい、十分小さな値であった。この結果は MOS ダイオードの時の考察と対応が取れている。

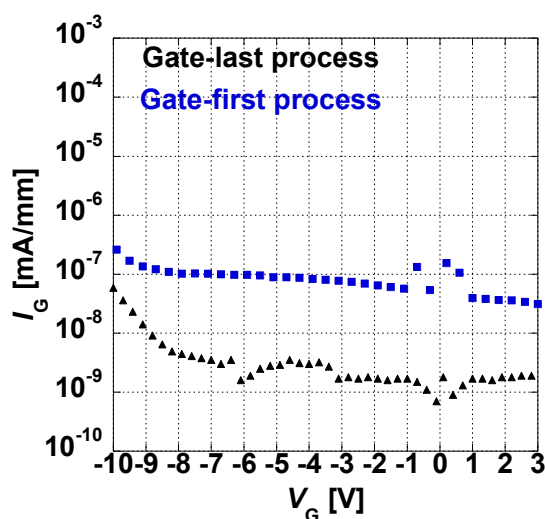


図 5-7 Gate-last process、及び gate-first process により作製した AlGa_{0.3}N/GaN MOSHFET のゲートリーク電流

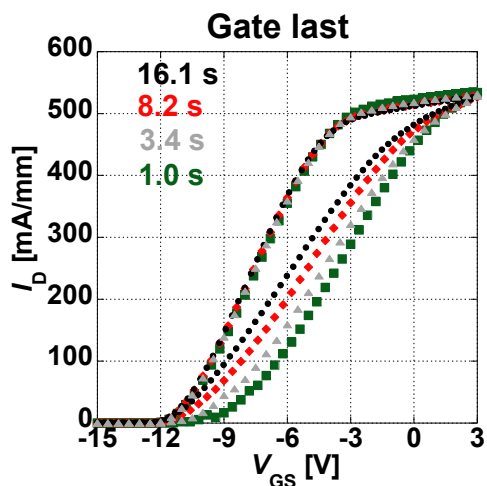
図 5-8 にゲート電圧の掃引時間を 1、3.4、8.2、16.1 s とし、それぞれ I_D - V_{GS} 測定を行った結果を示す。(a)が gate-last process を用いて作製した MOSHFET、(b)が gate-first process を用いて作製したデバイスの I_D - V_{GS} 特性である。緑色の四角が 1.0 s、灰色の三角が 3.4 s、赤色のひし形が 8.2 s、黒色の丸が 16.1 s のゲート掃引時間の結果である。なお、ゲート電圧は -15 V → 3 V → -15 V の順に印加した。

Gate-first process を用いて作製したデバイスのヒステリシス幅はいずれの掃引時間においても gate-last process を用いて作製したデバイスのそれに比べて小さな値であった。この結果は gate-first process を用いて作製した MOSHFET の Al₂O₃/AlGa_{0.3}N 界面における界面準位密度が gate-last process を用いて作製したデバイスのそれよりも小さいことを示している。一方、gate-last process を用いて作製した MOSHFET では、ゲート電圧掃引時間が大きくなるにつれて、帰りの I_D - V_{GS} カーブがなだらかになっており、その結果ヒステリシス幅が小さくなっている。この結果は、行きのゲートスイープの間に電子を捕獲したトラップが帰りのスイープの間にその電子を放出していることを反映しているものと思われる。

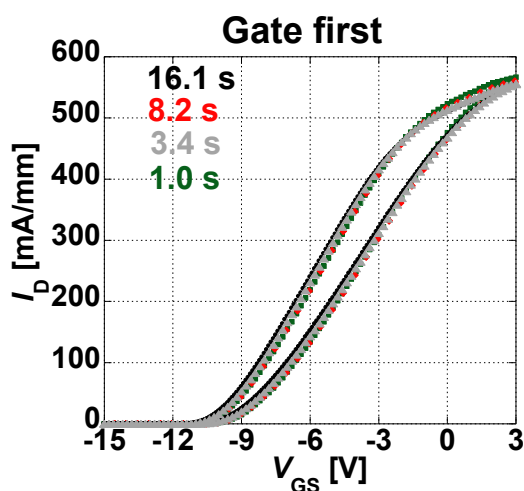
図 5-8(c)に、図 5-8 (a), (b)の $I_D = 300 \text{ mA}$ におけるヒステリシス幅から式(5-1)を用いて算出した $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面のトラップに捕獲された電荷密度を示す。

$$n_t = \frac{1}{q} C_{ox} \Delta V \quad (5-1)$$

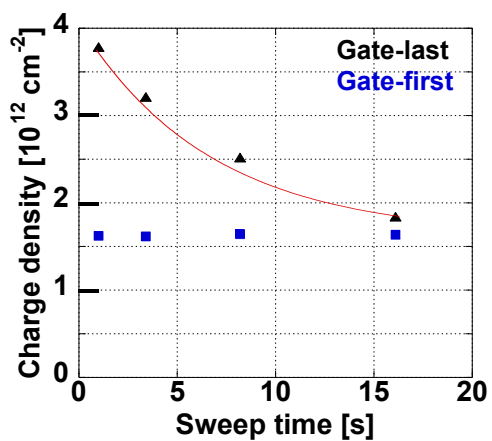
黒色の三角が gate-last process を用いて作製した MOSHFET の電荷密度であり、青色の四角が gate-last process を用いて作製したデバイスから算出した電荷密度である。Gate-last process を用いて作製した MOSHFET について、図 5-8 (c)の 1.0 s から 8.4 s までのゲート電圧掃引時間の結果を用いて、電荷密度の掃引速度依存性から算出したトラップの放出時定数は約 6.6 s である。この 6.6 s の放出時定数に対応するトラップ深さは、図 5-8 (d)のショックレーリードホール統計を参考にすると、伝導帯下端から約 0.7 eV であった。これらの結果から、gate-first process により、伝導帯下端から約 0.7 eV のトラップが低減されたと考えられる。また、界面準位は第 3 章でも記述したように、U-shape 型の分布になっていると考えられるため、伝導帯下端から 0.7 eV よりも浅いトラップについても、gate-first process の方が gate-last process を用いて作製したデバイスに比べて、界面準位密度が小さいと思われる。しかし、伝導帯下端から浅いトラップに関しては帰りのスイープの間に電子を放出してしまうため、この測定からは評価できない。



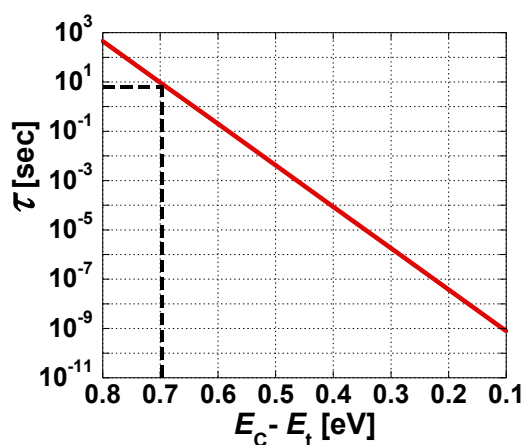
(a) gate-last process



(b) gate-first process



(c) 電荷密度



(d) トラップ深さと放出時定数

図 5-8 さまざまなゲート電圧掃引時間を用いて測定した MOSHFET の I_D - V_{GS} 特性とヒステリシス幅から算出した $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面のトラップに捕獲された電荷密度

5.4 Gate-last process における成膜後アニールの効果

5-2節で示した通り、gate-first process を用いることにより、従来の gate-last process 比べて $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における界面準位密度を 1 桁以上低減することが出来た。これに加えて、gate-first process を AlGaIn/GaN MOSHFET に適用することにより、ヒステリシス幅の低減やドレイン電流の増加を実現出来た。しかし、gate-first process を用いて作製したデバイスの場合、 Al_2O_3 成膜後に合金化アニール (825°C , 30 s) を行っているため、合金化アニールによる Al_2O_3 膜質改善の効果が界面特性を改善した可能性が残っている。そこで、本節では gate-last process を用いて作製した MOS ダイオードに対して種々の温度でアニールを行い、界面特性を評価した。

図 5-9 (a) に図 5-2 (a) に示した gate-last process を用いて作製した MOS ダイオードを、 $400, 450, 500, 600, 825^\circ\text{C}$ のアニール温度で 20min (ただし、 825°C アニールでは、オーミックの合金化アニールに合わせて 30 s) アニールしたデバイスの $C-V_G$ 特性から算出した界面準位密度を示す。緑色の三角が 400°C 、赤色のひし形が 450°C 、灰色の三角が 500°C 、紫色の丸が 600°C 、水色の三角が 825°C でアニールした場合の界面準位密度である。また、図中には gate-first process を用いて作製した MOS ダイオードの界面準位密度も合わせて記載した。

図 5-9 (a) に示したように、gate-last process を用いて作製したデバイスでは、アニールにより界面準位密度が低減した。

図 5-9 (b) に界面準位密度の最小値のアニール温度依存性を示す。なお、青色の破線で示したのは gate-first process を用いて作製したデバイスの界面準位密度である。図からも分かるように、アニールにより界面準位密度の低減が確認できるものの、界面準位密度の低減は飽和傾向にある。これに加えて、界面準位密度の飽和値 ($4.0 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$) は gate-first process で作製したデバイスの界面準位密度 ($5.6 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$) に比べて、約 7 倍程度大きな値である。これらの結果より、gate-first process におい

て、界面準位密度が低下した支配的な要因は合金化アニールの際の AlGaIn 表面のパッシベーション効果であると考えられる。

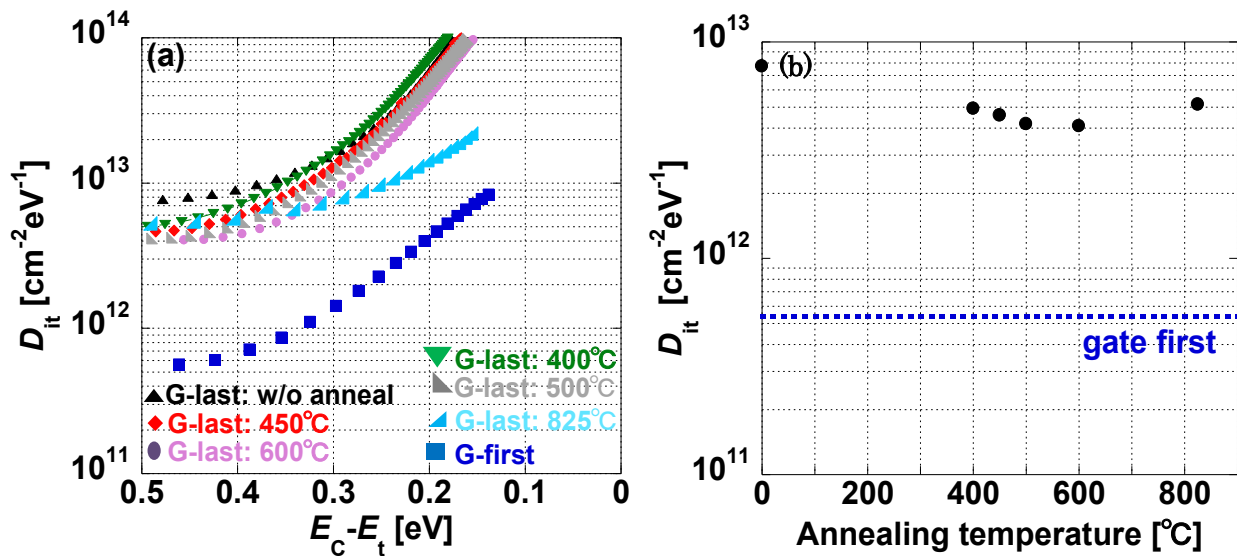
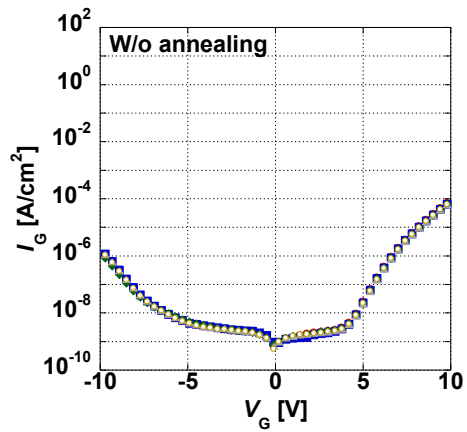


図 5-9 Gate-last process を用いて作製した MOS ダイオードに対してアニールを行った場合の(a)界面準位密度と(b)界面準位密度の最小値の変化

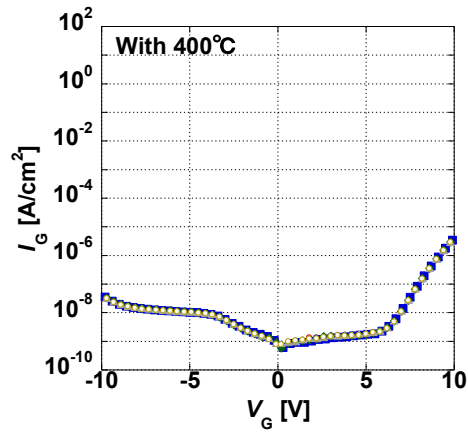
図 5-10 に gate-last process を用いて作製した MOS ダイオード(ゲート電極面積大)をさまざまな温度でアニールした場合のゲートリーク電流を示す。(a)がアニールをしていないデバイス、(b)が 400°C、(c)が 450°C、(d)が 500°C、(e)600°C、(f)が 825°C でアニールしたデバイスの結果である。なお、測定モードは long である。ゲート電圧は正の方向にスイープさせた後 (0 V → 10 V)、負の方向にスイープ (0 V → -10) し、測定を行った。

図からも分かるように、アニール温度が 450°C 以下の場合、顕著なゲートリーク電流の増加は確認できない。しかし、500、600、825°C でアニールを行ったデバイスについてはゲートリーク電流のばらつきが大きくなり、(d)の灰色の四角や緑色のひし形で示したようなゲートリーク電流が非常に大きなデバイスも見られた。これは、前にも

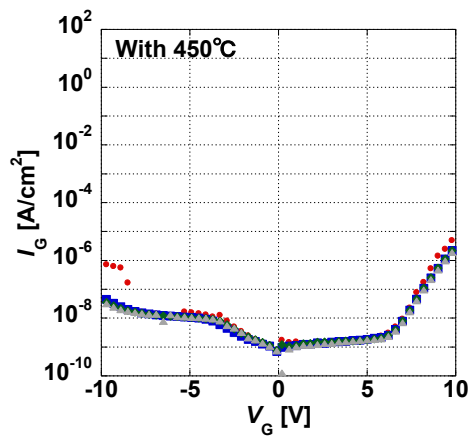
述べたようにアニールにより AlO_3 が多結晶化してしまったためだと考えられる。ゲート電極面積の小さな AlGaIn/GaN MOSHFET では、問題は顕在化していないものの、 Al_2O_3 膜厚、作製プロセス等の最適化が必要であると思われる。



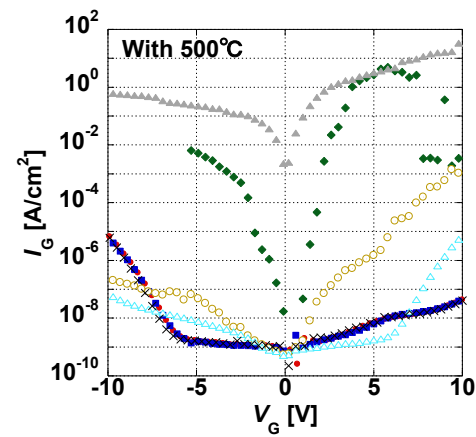
(a) W/o annealing



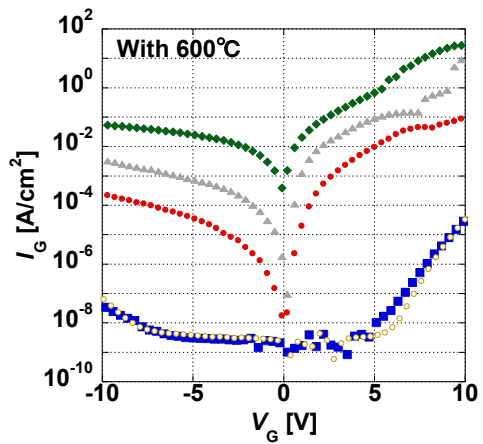
(b) With 400°C



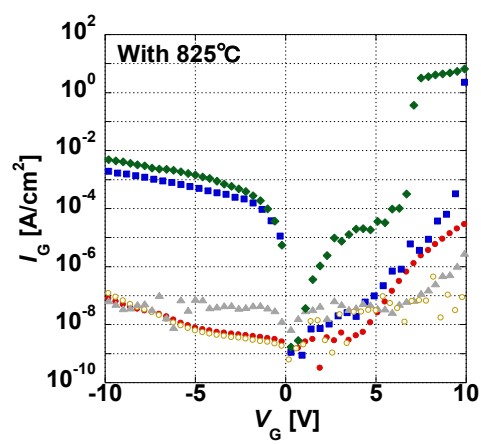
(c) With 450°C



(d) With 500°C



(e) With 600°C



(f) With 825°C

図 5-10 Gate-last process を用いて作製した MOS ダイオードに対して異なる温度でアニールを行った場合のゲートリーク電流の変化

5.5 5章のまとめ

本章では更なる $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の特性改善のため、合金化アニールの際、 AlGaN 表面を Al_2O_3 でパッシベーションする”gate-first process”を導入した。その内容と結果は以下の通りである。

- (1) Gate-first process を用いて作製した n-GaN MOS ダイオードから算出した界面準位密度($5.6 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$)は gate-last process を用いて作製した MOS ダイオードにそれ($7.6 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$)に比べて、1桁以上小さく抑えることが出来た。
- (2) Gate-first process を AlGaN/GaN MOSHFET に適用し、 $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ MOSHFET 特性の改善を図った。その結果、gate-first process を用いて作製したデバイスの I_D - V_{GS} 特性におけるヒステリシス幅はgate-last process を用いて作製したデバイスのそれに比べて小さな値であった。これに加えて、大きなゲート電圧におけるドレイン電流の飽和も gate-first process の方が gate-last process に比べて緩和し、その結果、 $V_G = 3 \text{ V}$ におけるドレイン電流の最大値も $528 \sim 542 \text{ [mA/mm]}$ から $567 \sim 584 \text{ [mA/mm]}$ まで増加した。
- (3) ゲート電圧の掃引時間を種々変えて、MOSHFET の過渡応答特性を調べた。浅いレベルのトラップについては、ヒステリシス幅からそのトラップの有無を評価できないことを述べると共に、ゲート電圧のスweep時間依存性から、 AlGaN の伝導帯下端から約 0.7 eV のトラップについて gate-first process による界面準位密度の低減を実証した。
- (4) Gate-first process による $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面特性の改善について、合金化アニールによる膜質改善の寄与を調べた。この目的のため、gate-last process を用いて作製した MOS ダイオードに対して異なる温度でアニールを行い、界面準位を評価した。アニールにより、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度は低減したものの、界面準位密度

の低減量は飽和する傾向があった。これに加えて、飽和した界面準位密度の最小値 ($4.0 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$)は gate-first process で作製したデバイスの界面準位密度の最小値 ($5.6 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$)に比べて、約 7 倍程度大きな値であった。これらの結果より、gate-first process による $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の特性改善の支配的な要因は合金化アニール時の GaN、及び AlGaN 表面のパッシベーション効果であると考えられる。

参考文献

- [1] T. Hashizume, H. Hasegawa, *Applied Surface Science*, vol. 234, pp. 387-394, (2004)
- [2] J. Derluyn, S. Boeykens, K. Cheng, R. Vandersmissen, J. Das, W. Ruythooren, S. Degroote, M. R. Leys, M. Germain, and G. Borghs, *J. Appl. Phys.*, vol. 98, pp. 054501. 1-5, (2005)
- [3] Q. Feng, Y. Hao, and Y. Z. Yue, *Semicond. Sci. Technol.*, vol. 24, pp. 025030. 1-6, (2009)

第6章 総括

6.1 本研究のまとめ

本論文では、AlGaIn/GaN MOSHFET の更なる高出力化、及びデバイス特性改善に関して取り組んだ研究についてまとめたものである。GaN 系 MOSHFET は Si の物性限界を超える新たな高出力用パワートランジスタとして期待されている。しかし、GaN 系 MOSHFET は、不十分な絶縁膜/AlGaIn 界面特性に起因するヒステリシスを初めとする過渡応答現象のため、実用化・量産化には至っていない。

そこで、本研究では絶縁膜/AlGaIn 界面の特性改善を目的とし、まず初めにゲート絶縁膜として Al₂O₃、及び HfO₂ の比較を行った。次に、HfO₂/AlGaIn/GaN MOSHFET に比べて、比較的界面特性が良好であった Al₂O₃/AlGaIn/GaN MOSHFET について更なる高出力化、及びデバイス特性を改善するため、Al₂O₃ 成膜前の硫化アンモニウム処理、Al₂O₃ 成膜後の CF₄ プラズマ処理、及び”Gate-first process”の導入を検討した。

以下に本研究の内容、及び検討によって得られた結果を総括する。

第2章 Al₂O₃ と HfO₂ をそれぞれゲート絶縁膜とする AlGaIn/GaN MOSHFET の作製と電気的特性の比較

本章では ALD を用いて成膜した Al₂O₃ 及び HfO₂ をそれぞれゲート絶縁膜とする AlGaIn/GaN MOSHFET、n-GaN MOS ダイオードを作製し、電気的特性の比較を行った。

Al₂O₃ 及び HfO₂ をゲート絶縁膜とする n-GaN MOS ダイオードを作製し、得られた $C-V_G$ 特性を比較したところ、Al₂O₃ をゲート絶縁膜とする MOS ダイオードの $C-V_G$ カーブにおける傾きが HfO₂ のそれに比べてより急峻であった。これに加えて、 $C-V_G$ 特性におけるヒステリシス幅も Al₂O₃ の方が HfO₂ のそれに比べて小さな値であった。また、Al₂O₃/GaN 界面における界面準位密度の最小値が $3.0 \times 10^{12} [\text{cm}^{-2}\text{eV}^{-1}]$ 、HfO₂/GaN 界

面のそれが $1.2 \times 10^{13} [\text{cm}^{-2}\text{eV}^{-1}]$ と、 Al_2O_3 の方が HfO_2 に比べて約一桁程度小さな値であり、ALD 成膜においては、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面における界面特性が HfO_2/GaN 界面におけるそれよりも優れていることを示した。

次に、 Al_2O_3 及び HfO_2 をゲート絶縁膜とする $\text{AlGaIn}/\text{GaIn}$ MOSHFET の I_D - V_{GS} 特性を比較したところ、 Al_2O_3 の方が HfO_2 に比べて大きなゲート電圧におけるドレイン電流の飽和が緩和されており、ドレイン電流の最大値も Al_2O_3 の方が HfO_2 に比べて大きな値であった。これに加えて、 g_m - V_{GS} 、 I_D - V_{GS} 特性におけるヒステリシス幅も Al_2O_3 の方が小さな値であった。これらの結果は $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面における界面準位密度が $\text{HfO}_2/\text{AlGaIn}$ 界面におけるそれよりも小さいことを示している。更に、 Al_2O_3 をゲート絶縁膜とする MOSHFET のゲートリーク電流が HfO_2 のそれに比べて、かなり小さく抑えることが出来た。これらの結果より、 $\text{AlGaIn}/\text{GaIn}$ MOSHFET においても Al_2O_3 の方が HfO_2 に比べてゲート絶縁膜として優位であると考えられる。

第 3 章 硫化アンモニウム処理による $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の界面特性の改善

$\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$ MOSHFET のデバイス特性を改善するため、 Al_2O_3 成膜前の前処理として硫化アンモニウム処理を検討した。硫化アンモニウムは、界面準位が出来る原因の可能性の一つとされている GaIn 表面上の自然酸化膜を除去すると共に、 Ga-S 結合を形成し、酸化膜の形成を抑制することも出来ると言われている。

そこでまず初めに、硫化アンモニウム処理を n - GaIn MOS ダイオードに適用し、 $\text{Al}_2\text{O}_3/\text{GaIn}$ 界面の特性改善を図った。硫化アンモニウム処理を施すことにより、 $\text{Al}_2\text{O}_3/\text{GaIn}$ 界面における界面準位密度の最小値を $8.6 \times 10^{12} [\text{cm}^{-2}\text{eV}^{-1}]$ から $5.8 \times 10^{12} [\text{cm}^{-2}\text{eV}^{-1}]$ まで低減させることが出来た。

次に、MOS ダイオードで効果を実証した硫化アンモニウム処理を $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$ MOSHFET に適用したところ、 I_D - V_{GS} 特性におけるヒステリシス幅の低減を実現出来

た。これに加えて、硫化アンモニウム処理を施した AlGaIn/GaN MOSHFET は硫化アンモニウム処理を施していないデバイスに比べて、大きなゲート電圧におけるドレイン電流の飽和が緩和し、その結果、 $I_{D\max}$ が 584 [mA/mm] から 641 [mA/mm] まで増加した。これらの結果は $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面における界面準位密度の低減を示しており、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面においても硫化アンモニウム処理の有用性を実証出来た。

I_D - V_{GS} 特性の連続測定結果から、硫化アンモニウム処理を施すことにより、AlGaIn の伝導帯下端から約 0.7 eV 程度の深さに存在する界面準位密度の低減を実証出来た。しかしながら、硫化アンモニウム処理の有無に関わらず、2 回目測定におけるほぼ同程度の閾値シフトが観測された。AlGaIn/GaN MOSHFET の繰り返し測定における待機時間依存性から、この閾値シフトの原因になるトラップ深さは伝導帯下端から約 0.86 eV 程度、またそれよりも深いトラップであることを示した。

第 4 章 CF_4 処理による $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の特性改善

硫化アンモニウム処理により、 $\text{Al}_2\text{O}_3/\text{GaIn}$ 界面の界面準位密度の低減を実現できたが、界面準位密度は 10^{12} [$\text{cm}^{-2}\text{eV}^{-1}$] 台であり比較的大きな値である。そこで、更なる界面特性改善のため、 Al_2O_3 成膜後の CF_4 プラズマ処理を検討した。 CF_4 プラズマ処理により、界面準位が出来る原因の可能性の 1 つとして考えられる Al_2O_3 膜中の酸素空孔 (V_o) の低減が期待できる。

$\text{Al}_2\text{O}_3/n\text{-GaIn}$ MOS ダイオードに CF_4 プラズマ処理を適用することにより、 $\text{Al}_2\text{O}_3/\text{GaIn}$ 界面の界面準位密度を低減させることが出来た。これは、 $\text{Al}_2\text{O}_3/\text{GaIn}$ 界面における酸素空孔の低減の可能性が考えられるが、この点については更なる検討が必要である。

次に、効果が得られた CF_4 プラズマ処理を AlGaIn/GaN MOSHFET に適用したところ、 g_m - V_{GS} 特性において、 $g_{m\max}$ の増加を実現出来た。これに加えて、大きなゲート電

圧におけるドレイン電流の飽和も緩和し、その結果ドレイン電流の増加を実現出来た。これらの結果は $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面における界面準位密度の低減を示しており、 CF_4 プラズマ処理により FET 特性の改善を実証した。

第 5 章 Gate-first process による $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の界面特性の改善

Al_2O_3 成膜前の硫化アンモニウム処理、及び Al_2O_3 成膜後の CF_4 プラズマ処理により、FET 特性の改善を実現できたが、依然として $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度は 10^{12} [$\text{cm}^{-2}\text{eV}^{-1}$] 台であり比較的大きな値であった。従来のプロセス(“Gate-last process”)では、オーミックコンタクト形成のための合金化アニールの際、AlGaN 表面の酸化、又は窒素空孔の形成が懸念される。そこで、 Al_2O_3 成膜後に合金化アニールを行う”Gate-first process”を新たに導入し、FET 特性の改善を試みた。Gate-first process では、合金化アニールの際、AlGaN 表面が Al_2O_3 でパッシベーションされているため、AlGaN 表面の酸化、又は窒素空孔の形成の抑制が期待できる。

Gate-first process を n-GaN MOS ダイオードに適用したところ、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度を 5.6×10^{11} [$\text{cm}^{-2}\text{eV}^{-1}$] まで低減することが出来た。

次に、Gate-first process を AlGaN/GaN MOSHFET に適用し、FET 特性の改善を図った。Gate-first process を用いて作製した AlGaN/GaN MOSHFET の I_D - V_{GS} 特性におけるヒステリシス幅は、gate-last process を用いて作製したデバイスのそれに比べて小さな値であった。これに加えて、gate-first process の方が gate-last process に比べて大きなゲート電圧におけるドレイン電流の飽和が緩和し、その結果、 $V_G = 3 \text{ V}$ におけるドレイン電流の最大値も $528 \sim 542$ [mA/mm] から $567 \sim 584$ [mA/mm] まで増加した。

ゲート電圧の掃引時間を種々変えて、MOSHFET の過渡応答特性を調べた。浅いレベルのトラップについては、ヒステリシス幅からそのトラップの有無を評価できないこ

とを述べると共に、ゲート電圧のスweep時間依存性から、AlGa_N の伝導帯下端から約 0.7 eV のトラップについて gate-first process による界面準位密度の低減を実証した。

Gate-first process による Al₂O₃/AlGa_N 界面特性の改善について、合金化アニールによる膜質改善の寄与を調べた。この目的のため、gate-last process を用いて作製した MOS ダイオードに対して異なる温度でアニールを行い、界面準位を評価した。アニールにより、Al₂O₃/Ga_N 界面の界面準位密度は低減したものの、界面準位密度の低減量は飽和する傾向があった。これに加えて、飽和した界面準位密度の最小値は gate-first process で作製したデバイスの界面準位密度の最小値に比べて、約 7 倍程度大きな値であった。これらの結果より、gate-first process による FET 特性改善の支配的な要因は合金化アニール時の AlGa_N 表面のパッシベーション効果であると考えられる。

6.2 将来展望

Al₂O₃ 成膜前の硫化アンモニウム処理、Al₂O₃ 成膜後の CF₄ プラズマ処理、及び gate-first process により、Al₂O₃/AlGa_N/Ga_N MOSHFET のデバイス特性改善を実現できた。しかし、大きなゲート電圧によるドレイン電流の飽和は依然として観測されており、今後更なる Al₂O₃/AlGa_N/Ga_N MOSHFET の高出力化を実現するためには、更なる界面準位密度の低減が必要である。今後、本研究で効果を実証した硫化アンモニウム処理や CF₄ プラズマ処理の処理条件の最適化を行うと共に、(NH₄)₂S、CF₄ プラズマ処理、及び gate-first process を組み合わせることで、更なる界面準位密度の低減を実現出来ると期待している。

Ga_N のスイッチングトランジスタへの応用を考慮した場合、回路保護や閾値を正側に制御するための負電源が不要、という観点から $V_{GS} = 0 \text{ V}$ での電流の遮断が可能なフェイルセーフシステム実現に向け、閾値電圧が正側に存在するノーマリオフ型デバイスが望まれる。しかし、作製したデバイスはいずれもノーマリオン型のデバイスであった。

CF₄プラズマ処理により、閾値電圧は正側にシフトしたものの、そのシフト量は 0.7 V 程度であり、改善の余地が残っている。そこで、今後、InGaN 薄層の自発分極によるバンド持ち上げ効果を利用して、ノーマリオフ型デバイスを実現するなどの試みが必要になるとと思われる。

謝辞

本研究の遂行ならびに本論文の遂行にあたり、名古屋大学大学院工学研究科量子工学専攻教授 水谷孝先生には、日頃より懇切・熱心なご指導とご鞭撻を賜りました、ここに謹んで感謝申し上げます。

また名古屋大学大学院工学研究科量子工学専攻助教 岸本茂先生には実験指導、及び多くの有益な助言を頂きました。ここに深く感謝いたします。

本研究で作製した AlGaIn/GaN MOSHFET の作製プロセスやデバイスの評価方法に関してご指導を頂きました現 株式会社デンソー 杉浦俊氏、現 旭化成エレクトロニクス株式会社 合田祐司氏に深く感謝申し上げます。また、MOSHFET の過渡応答特性や界面準位の振る舞いに関して有意義な御助言を頂きました。ここに深く感謝致します。

最後に、本研究の遂行にあたり筆者を支えて下さった家族、友人、水谷研究室の皆様
に心より感謝致します。

研究業績

I .本研究に関する学術雑論文

- 1) Eiji Miyazaki, Yuji Gouda, Shigeru Kishimoto, and Takashi Mizutani
「Comparative study of AlGaN/GaN metal-oxide-semiconductor heterostructure field-effect transistors with Al₂O₃ and HfO₂ gate oxide」, Solid-State Electronics, Vol. 62, pp. 152-155, (2011)
- 2) Eiji Miyazaki, Shigeru Kishimoto, and Takashi Mizutani
「Improvement of the Interface Quality of the Al₂O₃/III-Nitride Interface by (NH₄)₂S Surface Treatment for AlGaN/GaN MOSHFETs」, IEICE Trans. Electron Devices, Vol. E95-C, No.8, pp. 1337-1342, (2012)

II .本研究に関する国際会議発表

- 1) Eiji Miyazaki, Yuji Gouda, Shigeru Kishimoto, and Takashi Mizutani
「AlGaN/GaN MOSFETs with Al₂O₃ Gate Oxide Deposited by Atomic Layer Deposition」, 8th Topical Workshop on Heterostructure Microelectronics, WeA-7, Nagano Japan, (August 2009)
- 2) Eiji Miyazaki, Shigeru Kishimoto, and Takashi Mizutani
「Improvement of the electrical properties of Al₂O₃/AlGaN/GaN MOSFETs by (NH₄)₂S surface treatments」, 5th Asia-Pacific Workshop on Widegap Semiconductors, Mo-P18, Mie Japan, (May 2011)
- 3) Eiji Miyazaki, Shigeru Kishimoto, and Takashi Mizutani
「Improvement of the electrical properties of Al₂O₃/AlGaN/GaN MOSFETs by (NH₄)₂S surface treatments」, 9th Topical Workshop on Heterostructure Microelectronics, e-57, Gifu Japan, (August 2011)
- 4) Eiji Miyazaki, Shigeru Kishimoto, and Takashi Mizutani
「Improvement of the electrical properties of Al₂O₃ AlGaN/GaN MOSHFETs by gate-first process」, 39th International Symposium on Compound Semiconductors, Mo-P.36, Santa Barbara USA, (August 2012)

5) Eiji Miyazaki, Shigeru Kishimoto, and Takashi Mizutani

「Improved Electrical properties of AlGa_N/Ga_N MOSHFETs Fabricated by Gate-First Process」, International workshop on Nitride Semiconductors, ED3-5, Sapporo Japan, (October 2012)

III. 本研究に関する国内学会・シンポジウム等における発表

1) 宮崎英志、合田祐司、岸本茂、水谷孝

「ALD で成膜した Al₂O₃ ゲート絶縁膜を有する AlGa_N/Ga_N MOSFET」
第 70 回応用物理学学会学術講演会、8a-TC-8、富山大学、2009 年 9 月

2) 宮崎英志、岸本茂、水谷孝

「(NH₄)₂S 処理による Al₂O₃ AlGa_N/Ga_N MOS FET 特性の改善」
第 58 回応用物理学関係連合講演会、27a-P9-4、神奈川工科大学、2011 年 3 月

3) 宮崎英志、岸本茂、水谷孝

「原子層成膜 Al₂O₃ をゲート絶縁膜とする Ga_N MOSFET の作製・評価」
電子デバイス研究会、ED2011-36、名古屋大学、2011 年 5 月

4) 宮崎英志、岸本茂、水谷孝

「原子層堆積 Al₂O₃ をゲート絶縁膜とする AlGa_N/Ga_N MOSHFET の作製」
電子デバイス研究会、EDD-12-038、熱海保養所「一碧荘」、2012 年 3 月

5) 宮崎英志、岸本茂、水谷孝

「ゲート先行プロセスによる Al₂O₃ AlGa_N/Ga_N MOSHFET 特性の改善」
第 59 回春季応用物理学関係連合講演会、17a-E3-6、早稲田大学、2012 年 3 月

IV. 受賞・表彰

IEICE 平成 23 年度学生研究奨励賞、電子情報通信学会 東海支部、2012 年

V、その他の学術論文

1) T. Ito, A. Kadoda, K. Nakayama, Y. Yasui, M. Mori, K. Maezawa, E. Miyazaki, and T. Mizutani

「Effective Mobility Enhancement in Al₂O₃/InSb/Si Quantum well Metal Oxide Semiconductor Field Effect Transistors (MOSFETs) for Thin InSb Channel Layers」, Jpn. J. Appl. Phys. (掲載予定)

- 2) A. Kadoda, T. Iwasugi, K. Nakatani, K. Nakayama, M. Mori, K. Maezawa, E. Miyazaki, and T. Mizutani
「Characterization of Al₂O₃/InSb/Si MOS diodes having various InSb thickness grown on Si (1 1 1) substrates」, Semicond. Sci. Technol., vol. 27, pp. 045007, (2012)