

窒化物半導体を用いた高耐圧
電界効果トランジスタの高性能化に関する研究

*Study on high performance nitride-based
high breakdown voltage field effect transistor*

杉山 貴之

博士論文

名古屋大学大学院工学研究科 電子情報システム専攻

目次

1 章序論	- 1 -
1-1 はじめに	- 1 -
1-2 半導体パワースイッチングデバイス	- 2 -
1-3 窒化物半導体パワーデバイス	- 3 -
1-4 窒化物半導体ノーマリーオフ HFET	- 7 -
1-5 ワイドバンドギャップ半導体の高温動作	- 14 -
1-6 MOVPE 法における GaN の不純物制御	- 15 -
1-7 Si 基板上 GaN デバイス	- 16 -
1-8 GaN 基板	- 17 -
1-9 本研究の背景・目的及び構成	- 18 -
参考文献	- 22 -
2 章 高温ノーマリーオフ実現のための p-GaN ゲート HFET	- 25 -
2-1 はじめに	- 25 -
2-2 AlGaIn/GaN ヘテロ接合	- 25 -
2-3 p-GaN ゲート HFET ノーマリーオフモード	- 28 -
2-4 p-GaN ゲート HFET 作製方法	- 29 -
2-5 p-GaN ゲート HFET の特性	- 35 -
2-6 温度特性再現に用いた電子移動度・速度理論	- 37 -
2-7 p-GaN ゲート HFET のデバイスシミュレーション	- 40 -
2-8 まとめ	- 45 -
参考文献	- 45 -
3 章 p-GaN ゲート HFET の高温動作	- 47 -
3-1 はじめに	- 47 -
3-2 p-GaN ゲート HFET の温度依存性	- 47 -
3-3 閾値電圧の温度依存	- 50 -
3-4 p-GaN ゲート HFET 温度特性のシミュレーション	- 54 -
3-5 ドレインリーク電流の温度依存性	- 57 -
3-6 まとめ	- 58 -
参考文献	- 59 -
4 章 アセチレンを用いたカーボンドープ GaN:C の成長	- 61 -
4-1 はじめに	- 61 -
4-2 導電性基板上半絶縁 GaN	- 65 -
4-3 カーボンドーピング GaN	- 66 -
4-4 アセチレンを用いたカーボンドーパント供給 GaN : C	- 71 -
4-5 まとめ	- 75 -

参考文献.....	- 76 -
5 章 アセチレンを用いて成長した GaN:C を有する導電性 GaN 基板上 HFET 構造の電気特性評価	- 77 -
5-1 はじめに.....	- 77 -
5-2 アセチレンを用いて成長した GaN:C を有する導電性 GaN 基板上 HFET 構造の縦方向電流電圧 (I - V) 測定素子の作製.....	- 77 -
5-3 GaN:C を有する導電性 GaN 基板上 HFET 縦方向電流電圧 (I - V) 測定... -	80 -
5-4 GaN:C を有する導電性 GaN 基板上 HFET 構造横方向・素子分離間電流電圧 (I - V) 測定.....	- 90 -
5-5 GaN:C を有する導電性 GaN 基板上 HFET 特性.....	- 93 -
5-6 まとめ.....	- 99 -
参考文献.....	- 100 -
6 章 総括と今後の課題	- 102 -
謝辞.....	- 107 -
研究業績.....	- 108 -

1 章序論

1-1 はじめに

20 世紀以降、科学技術の発展・経済活動の拡大によって人類のエネルギー消費量は飛躍的に増加した。エネルギー問題は現代社会を維持発展する上できわめて重大な課題である。現在、日本で使用されているエネルギーは化石燃料に大きく依存し、一次エネルギー（発電源・輸送機械燃料・工業用燃料 etc：エネルギー換算比較）の中で化石燃料は 85%を占めている。化石燃料の使用によって排出される CO₂ は地球を温暖化させ生態系に多大な影響を与えることが懸念されるため、国際的に CO₂ 排出削減が取り組まれている。^{2, 3)} しかし、環境への影響が少ないとされる新エネルギー（太陽光発電・風力・地熱など）は高コストであり、行政主導で導入が行われているが全体の中ではまだ小規模である。限られたエネルギーの有効利用は人類の未来のためには必須である。⁴⁾

生活水準を維持しつつ省エネルギー化を行うための電力の有効利用は極めて重要である。電力の有効利用ため、わが国では 90 年代からインバータ回路を用いた電化製品が普及してきた。旧来行われていたモーター駆動/惰性回転を繰り返して出力を調整するダンパー制御に比べて、インバータ制御による出力調整ではモーターの出力が 75%の場合、消費電力を 1/3 にまで低減可能である。⁵⁾

日本では家庭用電化製品の 7 割以上にインバータ回路が用いられ電力の有効利用が進んでいる。一方、世界ではインバータ普及率は未だ 1 割程度である。諸外国の国内総生産(Gross Domestic Product: GDP)あたりのエネルギー消費量は日本よりはるかに多く、欧米先進国でも 2~3 倍、発展途上国では 10 倍以上を消費している。¹⁾ 日本は省エネルギー先進国である。今後、日本が省エネルギー・パワーエレクトロニクス技術を用いた省エネルギー製品を世界市場に展開するためにも、現在以上のパワーエレクトロニクスの変換効率向上が必要である。⁶⁾

本研究は次節以降に述べる次世代パワーデバイスとして求められている要求を満たす GaN パワーデバイス実現のため

1. パワーデバイスとして必須とされるノーマリーオフ高温動作
2. 高耐圧デバイス構造および高温での待機損失低減

に着目し、高耐圧かつ高温動作可能な次世代パワーデバイスの実現を目指した。ノーマリーオフ高温動作ではこれまで不明であったゲート接合型ノーマリーオフ GaN HFET の高温動作特性の評価を行い Si の動作限界を超える 300°Cでのノーマリーオフ動作を実現した。ゲート接合型ノーマリーオフ HFET は他の次

世代ノーマリーオフデバイスに比べ閾値電圧温度依存性の少ないデバイスであることを明らかにした。高温動作可能なノーマリーオフデバイス作製に成功した。また、デバイスシミュレーターによる高温動作特性の解析を行った。

これまでに報告例のない導電性 GaN 基板上の超高耐圧デバイスを実現するため、従来とは異なる結晶成長が必要である。本研究ではカーボンドーパントを用いる、新しい結晶成長方法を用いカーボン濃度・表面平坦性の制御可能な結晶成長方法を確立した。GaN 基板を用いることで超高耐圧 HFET の作製が可能となった。さらに、作製した高耐圧 HFET の絶縁破壊が電流は流れるが素子破壊しない絶縁破壊であることを見出し、デバイス信頼性のために必要とされる壊れ方設計が可能となった。

1-2 半導体パワースイッチングデバイス

現在では家庭や企業に配電された電力のほとんどが電力変換されて使用されている。電力変換技術のことをパワーエレクトロニクスと言い、パワーエレクトロニクス回路にはスイッチングのために半導体素子が用いられている。図 1-2-1 にパワーエレクトロニクスの回路例として交流-交流変換回路を示す。⁷⁾ 右部がインバータ回路であり赤い○で示した部分に半導体スイッチング素子が用いられている。インバータ回路では、パルス幅変調 (pulse width modulation、PWM) を用い正弦波電流を制御しモーター (コイル) のトルク回転数を制御している。

インバータの変換効率は、スイッチング素子として用いられる絶縁ゲートバイポーラトランジスタ (IGBT) や電界効果トランジスタ (FET) の性能 (耐圧・抵抗・スイッチング速度) によって大きく左右され、インバータの変換効率を向上させるため高速動作可能なパワースイッチング素子の開発が行われている。

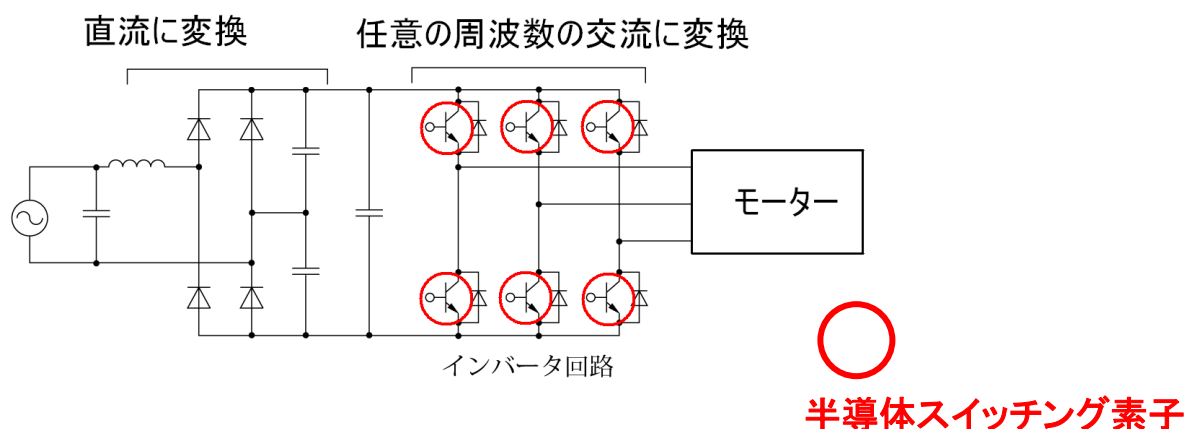


図 1-2-1 交流-交流変換回路

1-3 窒化物半導体パワーデバイス

半導体スイッチング素子をはじめとする電子デバイスの性能は、半導体材料の物性値に依存する。表 1-3-1 に各種半導体の物性値、表 1-3-2 にⅢ族窒化物半導体の物性的特長から電子デバイスに期待される効果を挙げる。⁷⁾ Ⅲ族窒化物半導体は窒素との化合物である窒化アルミニウム (AlN)、窒化ガリウム (GaN)、窒化インジウム (InN) およびこれらの混晶からなる直接遷移型のバンド構造を持つ半導体である。その中でも GaN は禁制帯幅(バンドギャップエネルギー: E_g)が従来材料の Si: $E_g=1.1$ eV や砒化ガリウム(GaAs) $E_g=1.4$ eV に比べて $E_g=3.4$ eV と大きく、同じくバンドギャップの大きい炭化ケイ素 (SiC) と並んで次世代半導体材料として研究が進められている。Si や GaAs のようなバンドギャップの小さい半導体では、絶縁破壊電界 E_c は 10^5 (V/cm) 台であるのに対し、バンドギャップエネルギーの大きなワイドギャップ半導体はバンドギャップエネルギーに伴い絶縁破壊電界も MV/cm 台と一桁あるいはそれ以上大きいため、同サイズのデバイスにおいて高耐圧が実現でき、パワーデバイス用材料として期待され研究が盛んに行われている。⁷⁻¹⁰⁾

Ⅲ族窒化物半導体の結晶構造であるウルツ鉱構造(wurtzite:WZ 構造)ではⅢ族原子と V 族窒素原子の対称性のずれから自発分極を生じる。さらにⅢ族窒化物半導体混晶のヘテロ接合では AlGaIn/GaN ヘテロ接合に AlGaIn の格子歪によって大きな圧電分極が生じる。この圧電分極と自発分極差によって不純物ドーピングを行わない unintentionally doped - $Al_xGa_{1-x}N$ (u- $Al_xGa_{1-x}N$)と unintentionally doped - GaN (u-GaN)の u-AlGaIn/u-GaN ヘテロ接合において高密度な 2 次元電子ガス (2-Dimensional Electron Gas:2DEG) を形成する。^{7, 9-11)}

同じ 2DEG を用いる n-AlGaAs/GaAs 高電子移動度トランジスタ(High Electron Mobility Transistors :HEMTs)の 2DEG 密度が 10^{12} cm^{-2} 台であるのに対して、u-AlGaIn/u-GaN ヘテロ構造電界効果トランジスタ(Heterostructure Field-Effect Transistor : HFET)では 10^{13} cm^{-2} 台と、一桁も高密度の 2DEG キャリアを得ることができる。また、パワーデバイスでは高電界での電子速度が性能を決定するため GaN の電子飽和速度が大きいことからパワーデバイス材料として期待される。²⁾

表 1-3-1 各種半導体の物性値⁷⁾

材料	GaN	AlN	4H-SiC	ダイヤモンド	Si	GaAs
バンドギャップ (eV)	3.4	6.2	3.26	5.45	1.1	1.4
比誘電率	9.0	8.5	10	5.5	11.8	12.8
絶縁破壊電界 (10^6V/cm)	3.3	11.4	2.0	5.6	0.3	0.4
電子移動度 (cm^2/Vs)	1500	—	$720^{\text{a}}, 650^{\text{c}}$	1900	1350	8500
電子飽和速度 (10^7cm/s)	2.5	-	2.0	2.7	1.0	2.0
熱伝導率 ($\text{W/cm} \cdot \text{K}$)	1.3	3.4	4.5	20	1.5	0.5

a : a 軸方向, c : c 軸方向

表 1-3-2 III族窒化物半導体の物性的特長と電子デバイスとして期待される効果

物性的特長	電子デバイスに期待される効果
高い絶縁破壊電界	デバイスの小型化による低抵抗化
ピエゾ電界, バンド不連続	高濃度, 高移動度キャリア(2DEG)
高い電子飽和速度	高電界下での動作
ワイドバンドギャップ	高温環境下での動作

図 1-3-1 にトランジスタスイッチング時における電圧・電流・損失の時間変化の模式図を示す。トランジスタは大きくわけて 3 種類の損失が発生する、ON 状態のときの導通損失、ON/OFF 切り替え時に電圧電流の時間変化から生じるスイッチング損失、OFF 時のリーク電流から待機損失が発生する。スイッチング損失は高速にスイッチングすることで損失の総量を減少することができる。GaN は Si に比べ高速動作可能なのでスイッチング損失の低減が期待される。

また、GaN 物性値からオン抵抗の低減も期待されている。図 1-3-2 に(式 1-3-1)であらわされる、各半導体材料におけるオン抵抗(R_{on})-耐圧(V_B)の理論値を示す。

12)

$$R_{on} = \frac{4 \times V_B^2}{\varepsilon \mu_n E_C^3} \quad (\text{式 1-3-1})$$

ε : 誘電率, μ_n : 電子移動度, E_C : 絶縁破壊電界

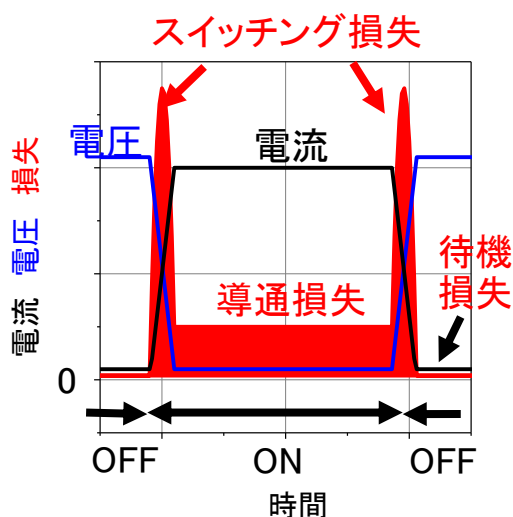


図 1-3-1 トランジスタの損失

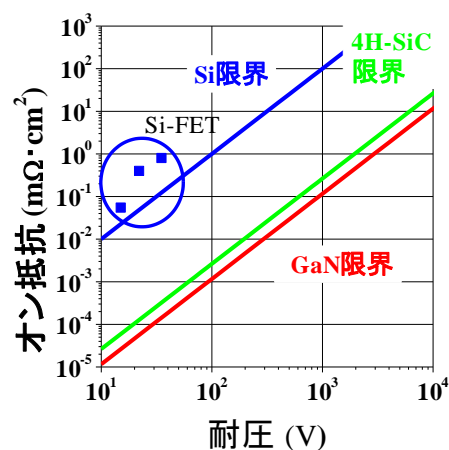


図 1-3-2 オン抵抗-耐圧の理論値

表 1-3-1 にパワーデバイスの応用例を耐圧毎に示す。^{6, 13-15)} 現在これらのパワーデバイスには Si-PowerMOSFET・IGBT・GTO が使用されており、一部では SiC が用いられ始めている。GaN はその物性値から様々なアプリケーションに応用されるスイッチングデバイスとして Si の物性限界を超える高効率化が期待されている。

表 1-3-1 動作電圧毎の応用例の応用例 ^{6, 13-15)}

モーター (三相交流インバータ)		
動作電圧	用途	現行デバイス
~200 V	エアコン, 冷蔵庫, 洗濯機, 等 (10~20 A)	Si-MOS
200 V~	一般・産業用等モーター用インバータ	Si-MOS Si-IGBT
600 V~1 kV	ハイブリット車(~400 A)	Si-IGBT
1 kV~	在来線・地下鉄(1.5 kV~/ 1 kA~)	Si-IGBT/ SiC-MOS
3 kV~	新幹線 (4.5 kV/ 4 kA)	サイリスタ/ Si-IGBT
非モーター		
動作電圧	用途	現行デバイス
~200 V	AC アダプタ・非接触給電(~5 A)	Si-MOS
	サーバー用電源 (~100A)	Si-MOS
1 kV~	パワーコンディショナ	Si-IGBT

中～高耐圧デバイスの巨大市場である、ハイブリット自動車(HV)たとえばトヨタ社 Prius のインバータは 600V 動作であり、保証として 2 倍の耐圧 1.2 kV のデバイスが求められている。¹⁵⁾ 現在は Si-IGBT が用いられており実装技術の進歩によりプリウスでは 200 A/chip の電流密度からレクサスでは 400 A/chip まで高電流密度化がなされている。HV 用インバータにおける電力変換効率は 95% で 5% の損失内訳は導通損失 35% とスイッチング損失 65%¹⁵⁾ であり、スイッチング損失が半分以上を占める。導通損失は素子面積を大きくすることで低減可能であるが端子間容量増大によりスイッチング損失が増してしまう。スイッチング損失は Si-IGBT のスイッチング速度に制限される。IGBT はバイポーラデバイスであるため OFF 時にホールの引き抜き・テール電流による損失が存在する。Si-IGBT を GaN に置き換えることで GaN デバイスがユニポーラデバイスであること、GaN 物性値から素子小型化が可能であるため端子間容量を小さくすることによって、スイッチング速度を 200 ns から 10~20 ns にまで高速化することが可能で、スイッチング損失の低減が期待されている。

また、後述する様に GaN は高温動作可能なことが特徴である。省エネルギーへの関心の高まりに伴って現在、ガソリン車として販売されている車種のハイブ

リット化が進んでおり、プリウス等のハイブリット自動車専用に開発された車種とは異なり、ハイブリット自動車化ではエンジンルーム内の限られたスペースにパワーコントロールユニットを収納しなくてはならない。現在の HV 自動車ではパワーデバイス冷却専用のラジエーターが搭載されており、高温動作可能なパワーデバイスによって冷却システムの簡素化によりエンジン用ラジエーターとの共用化も期待されている。

モーター制御用インバータ以外にもモバイル機器やサーバーなどの電源に GaN デバイスを搭載することで高効率化が期待されている。¹³⁾ 現在 Si-MOSFET が使われているモバイル機器 AC アダプタでは GaN デバイスの応用により小型・低損失化が期待されており、小型低損失化により発熱を伴わない電力変換回路をモバイル機器本体に組み込み、直接コンセントからモバイル機器の給電することも期待されている。

GaN と同様にパワーデバイスとして期待されるワイドバンドギャップ半導体 SiC ではショットキーバリアダイオード (SBD) が低いリカバリー電流を実現でき、変換効率向上のため地下鉄のパワーコンディショナに利用されている。SiC では SiC 基板が存在するため縦伝導の高電流密度デバイスが期待され、SiC-MOSFET モジュールの販売が始まっている。一方で GaN デバイスを用いたパワーコンディショナも公開されている。また、GaN デバイスは横型デバイスにおいて高周波(数～数十 GHz 帯)で実用化されており、SiC よりも高周波パワーデバイス領域での応用が期待されている。GaN 基板の実用化により縦伝導パワーデバイスの実現も期待されている。

1-4 窒化物半導体ノーマリーオフ HFET

1-4-1 半導体スイッチング素子の動作モード

FET は、ゲート印加電圧の変化によって、チャネルのキャリアを変化させドレイン電流の制御を行う。FET は動作モードによって 2 種類に分類される。1 つはゲートに電圧を印加していない状態で、チャネルが形成されており、ゲートに電圧を印加し空乏層によってチャネルを閉じるノーマリーオン型(デプレッション型)と、ゲートに電圧を印加していない状態では、ゲート直下のキャリアが枯渇しており、ゲートに電圧を印加してチャネルを形成するノーマリーオフ型(エンハンスメント型)に分類される。図 1-4-1 にノーマリーオン・ノーマリーオフ型それぞれのゲート電圧 V_{GS} -ドレイン電流 I_{DS} 特性を示す。インバータ回路に用いるためにはフェールセーフの観点からノーマリーオフ型のデバイスであることが必須である。ノーマリーオン型デバイスでは回路の故障や事故等で入力信号が消失してしまった際、インバータ回路内のスイッチングデバイスが短絡

し、電流が流れ続けてしまい異常発熱を生じ、最悪の場合火災が発生し人命に関わる危険性がある。パワースイッチングデバイスには入力信号が途絶えてしまった際、電流が流れることなく安全に停止するノーマリーオフ型であることが必須とされる。

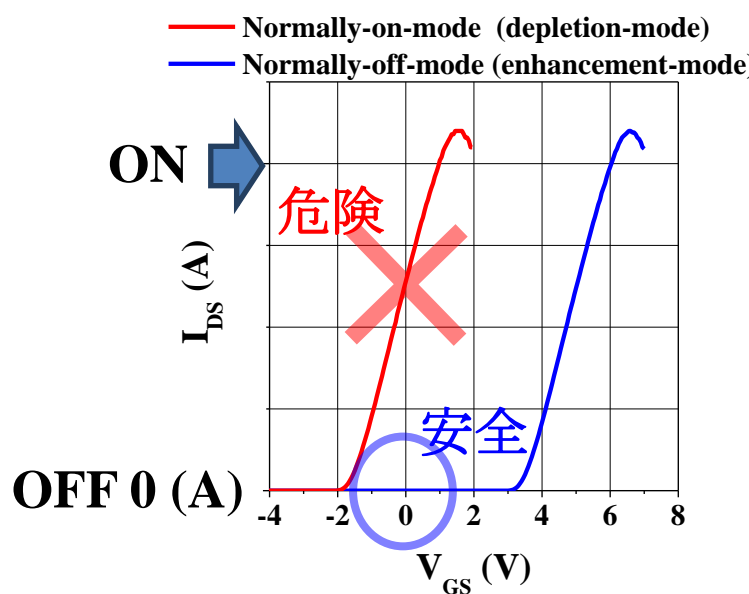


図 1-4-1 ノーマリーオン・ノーマリーオフ型デバイスの V_{GS} - I_{DS}

1-4-2 窒化物半導体ノーマリーオフ HFET

Ⅲ族窒化物半導体を用いた HFET は高出力低損失パワースイッチングデバイスとしインバータ等への応用が期待されているが、次章で説明する AlGa_N/Ga_N ヘテロ接合は強い分極を生じ高密度な 2DEG を形成するため、オフ時に 2DEG を枯渇させることは困難である。現在様々な方法によって、AlGa_N/Ga_N HFET をノーマリーオフ化させる技術が報告されている。以下に、代表的な方法を述べる。

1. リセス構造¹⁶⁻¹⁸⁾: ゲート下のみ u-AlGa_N 層を薄膜化するリセス構造によりノーマリーオフ化させる原理で、ゲート直下のみ u-Al_xGa_{1-x}N バリア層を 5 nm 程度残すように均一にエッチングを行う高度なエッチング技術が必要になるが、エッチング後の金属-絶縁体-半導体(Metal Insulator semiconductor: MIS)MIS ゲート構造作製により高い閾値電圧が報告されている。
2. フッ素プラズマ処理^{19,20)}: ゲートにフッ素(F)プラズマ処理することでノーマリーオフ化させる手法でプラズマ照射量によって閾値電圧の制御が報告されているが、高温で閾値電圧が変動することも報告されている。²⁰⁾
3. 金属-酸化物-半導体(Metal Oxide Semiconductor: MOS) MOS FET²¹⁻²³⁾: HFET 構造ではないが MOS 構造は、イオン注入によるドーピングを用いた横型デバイス設計や縦型構造などデバイス設計の自由度がある。しかし、MOS 界面の界面準位によって閾値電圧が変動してしまう問題がある。
4. Si ノーマリーオフトランジスタとのカスコード接続によって擬似的なノーマリーオフ動作が提案されている。²⁴⁾しかし Si デバイスとの併用は高温での動作が Si デバイスによって制限されてしまうことが懸念される。
5. p-型半導体・混晶半導体とのヘテロ接合²⁵⁻³²⁾
ゲート部分に p-型半導体や AlGa_N と逆分極を持つ InGa_N を用いゲート直下の 2DEG を枯渇させる。

表 1-4-1 に上記のノーマリーオフ型トランジスタと本研究で行った p-Ga_N ゲート HFET の閾値電圧・最大ドレイン電流と特徴、課題をまとめたものを示す。

表 1-4-1 ノーマリーオフ型トランジスタ比較

	V_{th} $I_{D\ max}$	特徴	課題
リセス構造	(MOS) +3V 0.83A/mm ¹⁷⁾	原理がシンプル MOS 構造で閾値電圧の 向上、ゲート電流 低減が可能	エッチング精度 ∞ 閾値電圧均一 性 エッチング後の MOS 界面準位
F プラズマ	+0.76 V 0.25 A/mm ²⁰⁾	F プラズマ処理量で 閾値制御可能	高温で閾値低下 (ゲートFプラズ マ処理の影響)
MOS	+3V 0.08mA/mm @250°C ²³⁾	縦型構造が可能 横型の場合イオン注入 によるデバイス設計可	高温で閾値変化 界面準位
カスコード 接続		ノーマリーオン HFET +Si ノーマリーオフ 擬似ノーマリーオフ	高温動作は Si デバイス制限
p-GaN ゲート	+1V/0.3A/mm	閾値安定 エッチング選択性	エッチング精度 ∞ オン抵抗
Gate Injection Transistor (GIT)	+1V/0.37A/mm ³⁰⁾	閾値安定	エッチング精度 ∞ オン抵抗
p-InGaN cap	-0.2V/0.2A/mm ³¹⁾ +0.5V/0.21A/mm ³²⁾	活性化アニール により閾値操作	エッチング精度 InGaN の緩和

2000 年に X. Hu らによって SiO₂ マスクを用いてゲート p-GaN を再成長することによるノーマリーオフ動作が報告されている。²⁵⁾ しかし GaN の再成長では一般に再成長界面に Si や O などの不純物に取り込まれてしまう問題が存在する。図 1-4-2 に我々の MOVPE 装置における GaN を結晶成長し、一度結晶成長炉から取出した後に GaN を再成長した時の二次イオン質量分析法(Secondary Ion Mass Spectrometry :SIMS)測定による再成長界面の分析結果を示す。再成長界面に Si が大量に取り込まれている。この大気暴露による Si 汚染は、他研究機関からも同様の報告が数多くなされており、³³⁻³⁵⁾ 製造上大きな問題を引き起こすことが懸念される。Si の起源としては成長炉の石英材の熱分解と大気暴露による汚染によるものであると考えられる。さらに選択再成長法では再成長マスク

SiO_2 からの汚染が懸念される。閾値電圧の制御にはゲート部分の不純物制御が必須であり、不純物が多く取り込まれる再成長法では、閾値電圧制御が困難になってしまう。

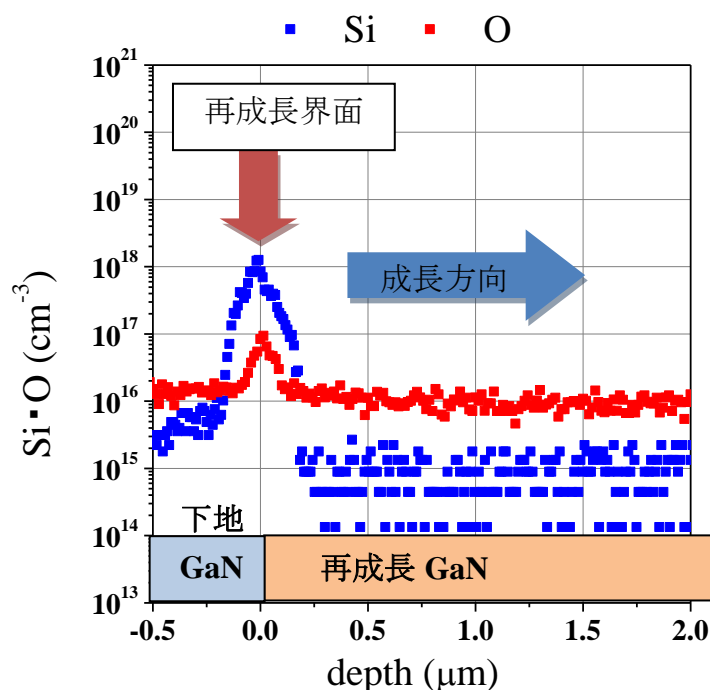


図 1-4-2 SIMS 測定による 再成長界面の Si および O 不純物濃度

また、ゲート電極をエッチングマスクとしたセルフアラインプロセスによる p-GaN ゲート HFET も報告されている。²⁶⁾ 通常の GaN のドライエッチングにはエッチャントとして塩素系ガス(Cl_2 , BCl_3 , SiCl_4)が用いられる。p-GaN ゲート HFET は不要な p-GaN エッチングの精度が重要であるが、塩素系ガスのみを用いたドライエッチングは、GaN と AlGaIn の選択比が低く、エッチングの再現性が低くなってしまう。本研究では GaN と AlGaIn において適切なエッチング選択比を実現するエッチャントの選択、及びエッチング条件を最適化することにより p-GaN を選択的にエッチングすることでデバイスプロセス再現性を向上し p-GaN ゲート HFET を作製した。

図 1-4-3 に各ノーマリーオフデバイスの構造と特徴を示す。

p-GaN ゲート構造を再成長で作製すると、ゲート構造に再成長界面の汚染の影響があるうえに、p-GaN 成長温度での AlGa_N とマスク SiO₂ との反応が懸念される。p-AlGa_N を用いる Gate Injection Transistor (GIT) はエッチングする必要のある p-AlGa_N 層とバリア u-AlGa_N 層の間にエッチングレート差がないため高度なエッチング技術が必要である。p-InGa_N キャップ構造は、Ga_N と InGa_N は格子定数の違いから、InGa_N の結晶性を保ったまま厚膜化することが困難である。

本研究では p-GaN までを反応炉から取り出すことなく成長し、ゲート以外に必要な p-GaN をエッチングにより除去する。このプロセスではノーマリーオフ動作の閾値電圧を決定する接合界面(p-GaN/AlGa_N/Ga_N)を再成長界面等の影響を受けずに作製可能で閾値電圧の再現性に優れる構造を用いた。ゲート構造が界面や汚染の影響がないため高温での安定動作が期待される。^{23,24)} p-GaN ゲート HFET は不要な p-GaN エッチングの精度が重要であるが、Ga_N と AlGa_N の間のエッチング選択比を適切なエッチャントの選択及びエッチング条件を最適化することにより p-GaN の選択的エッチングが可能である。

Cl₂ ガスを用いたドライエッチング中に酸素を混入することで AlGa_N のエッチングレートが大きく変化することが報告されており、³⁷⁾ 本研究では酸素を用いたエッチングを導入することで p-GaN/AlGa_N のエッチング選択性を向上しデバイスプロセス再現性を向上しデバイスを作製した。

そのほかのノーマリーオフデバイスとして、前述のようなリセス構造があるが、高度なエッチング技術とエッチング後の MOS 界面制御が重要になる。また、F プラズマ処理によるノーマリーオフは原理的にゲート部分にプラズマダメージが導入されてしまうため、高温動作時の閾値電圧の安定性が低くなってしまうことが懸念される。²⁰⁾

GaN デバイスの動作が期待される環境、高温でのデバイス特性の評価は極めて重要であり、Ga_N デバイスの高温動作特性は古くからノーマリーオン型での動作特性が多数報告されている。^{38,39)} ノーマリーオフ型 FET の高温動作特性報告では、フッ素プラズマ処理 HFET、²⁰⁾ MOSFET^{21, 22)} において高温での閾値電圧変動が報告されており、最近では MIS リセス構造の高温動作特性も報告されている。¹⁸⁾

p-GaN ゲート HFET の高温動作特性はゲート構造が結晶成長で作製するため高温でも安定したノーマリーオフ動作が期待されることから、本研究ではゲート接合型ノーマリーオフ HFET としては高い閾値電圧(+1 V)を実現するノーマリーオフデバイスを作製し、高温でのノーマリーオフ動作・閾値電圧の安定性について従来の報告例と比較検討を行った。

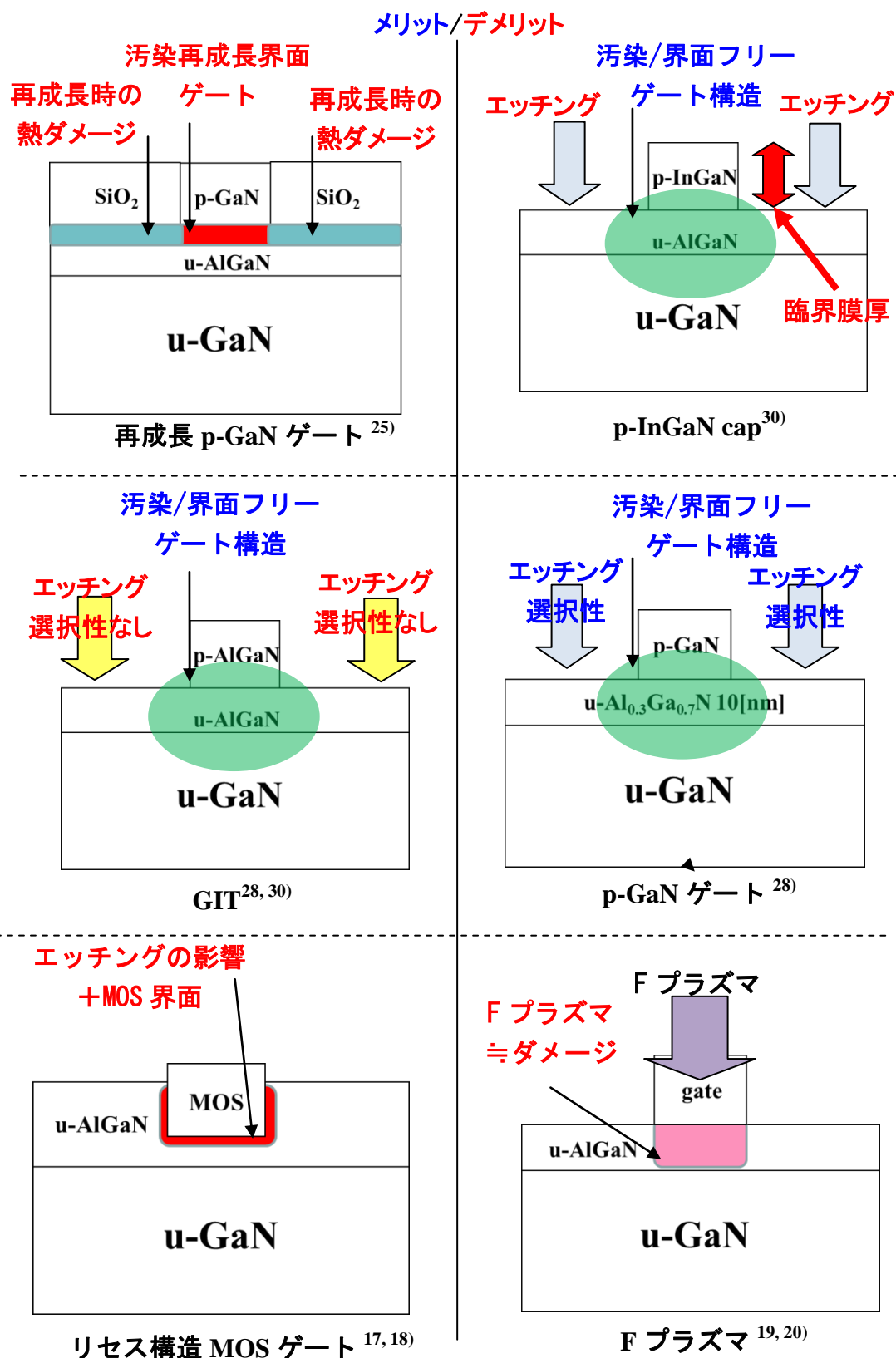


図 1-4-3 各ノーマリーオフ型 HFET の特徴

また p-GaN の Mg の E_A-E_V は Mg 濃度によって異なるが ~ 0.2 eV と深い。室温での活性化率は極めて低く、高温になることで活性化率は増大する。p-GaN ゲート HFET は高温での Mg アクセプタ活性化によりゲート構造が p^+-n 接合になり、高温環境下での閾値電圧変動が他のデバイスと異なる可能性があると考え、高温動作特性の評価を行った。

1-5 ワイドバンドギャップ半導体の高温動作

GaN はパワーデバイス用材料として特に高温動作可能な点が期待されている。電子デバイスの損失は熱として発生するため、バンドギャップエネルギーが小さい半導体はその熱によって熱励起キャリアの影響を受けデバイスとして動作不可能になる。⁴⁰⁾

図 1-5-1 に各種半導体の熱励起による真性キャリア密度 n_i の温度変化を示す。⁴²⁾

ワイドギャップ半導体では Si では動作不可能とされる 300°C 以上の高温でも熱励起キャリアが極めて少なく高温動作が可能である。

一般に市販されている Si 系 FET・IGBT は高温動作可能なもので 200°C まで動作可能な素子が市販されているが、パワーデバイスとして重要な特性である閾値電圧は温度によって大きく変化してしまう。^{40,41)} FET の閾値電圧は温度上昇に伴い減少し、高温ではノーマリーオン型に近づいてしまうため、スイッチングに用いられるノーマリーオフ型デバイスの閾値電圧温度依存性は特に重要である。

また、実際のインバータはスイッチングデバイスの損失による発熱のため冷却を行っても、スイッチングデバイスの最大出力で動作させるのは困難であり定格出力が決められ動作範囲が制限されてしまう。さらに損失による発熱からの冷却は特に大電力を取り扱うインバータ回路で大型化しハイブリット自動車のインバータ回路は専用のラジエーターによる冷却を必要である。¹⁵⁾ 高温動作が可能であれば同じ損失・放熱条件のデバイスであっても高出力動作・パワー密度向上による小型化が可能であり、高温動作可能なことはパワーデバイスとして極めて大きなメリットである。

ノーマリーオフ動作の閾値電圧の温度依存性はデバイスの高温動作限界を決める一つの要素になっている。閾値電圧の温度依存性はデバイス設計と同時にバンドギャップエネルギーによっても左右される。⁴⁰⁾ ワイドバンドギャップ半導体は閾値電圧の温度依存性が少ないことが期待されることから高温での安定したノーマリーオフ動作が期待される。

以上の理由から、ワイドギャップ半導体材料を用いることで、高効率化に加え高温動作可能なため高パワー密度動作・冷却システムの簡素化、小型化が期待される。

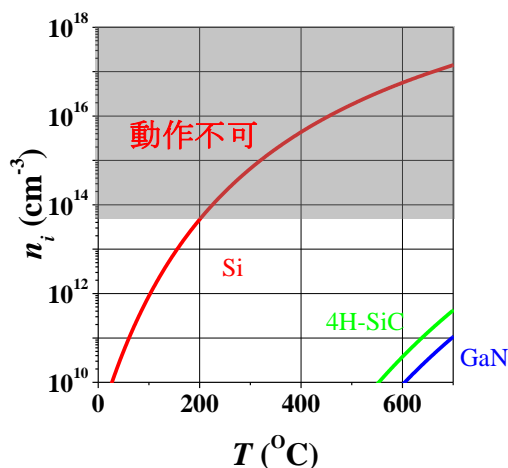


図 1-5-1 真性キャリア密度 n_i の温度依存性

1-6 MOVPE 法における GaN の不純物制御

GaN の結晶成長は原料の高純度化、成長技術の発展により不純物濃度低減がなされ、今日では有機金属化合物気相エピタキシー (metal organic vapor phase epitaxy: MOVPE) 法により極めて高純度の GaN 成長が可能となった。故意にドーピングを行わない GaN はアンモニアボンベ由来のわずかな残留酸素等を起因とする浅いドナー準位と原料の有機金属化合物から取り込まれたカーボンによって形成される深いアクセプタ準位が存在し、ドナーの電子がアクセプタ型の準位にトラップされる補償効果により高抵抗となる。^{42,43)}

例えば、不純物原子検出限界の高純度($N_D=1 \times 10^{14} \text{ cm}^{-3}$ $\mu=100 \text{ cm}^2/\text{Vs}$)の半導体に電極を形成し電極間距離 $20 \text{ }\mu\text{m}$ 膜厚 $5 \text{ }\mu\text{m}$ の電極間に 1000V 電圧を印加すると 40 mA/mm のリーク電流が流れてしまう、パワーデバイス用半導体では低不純物濃度化と同時にキャリアの補償による高抵抗化が重要である。さらにワイドギャップ半導体はパワーデバイスの小型化による高性能化が期待されており、Si デバイスよりも短い電極間に高電圧が印加される、そのためワイドギャップ半導体の半絶縁性・高抵抗領域の高抵抗化は重要である。

AlGaIn/GaN HFET では 2DEG チャンネルにカーボンが存在するとキャリア電子がカーボン準位へトラップされてしまい、キャリア電子が減少し出力電流が減少する電流コラプスが報告されている。^{44,45)} 2DEG チャンネルでの電子トラップ

も低減する必要がある。しかし、電子トラップによるキャリアの補償はリーク電流の低減に効果的である。さらに導電性 Si・SiC といった基板上の HFET では、基板フィールドプレートの効果により電流コラプスの低減が報告されている。^{46,47)} 導電性基板を用いて、基板フィールドプレートの効果を活用するためには基板をソース接地またはゲートに接続する必要がある。そのため縦方向耐圧が重要となり、縦方向耐圧向上のためには電子トラップ密度を極めて高くする必要がある。^{46, 48)} HFET の高耐圧・低電流コラプス化のためには、各層ごとにカーボン濃度の設計・制御を行いチャネル GaN 層では残留カーボンを少なく、縦耐圧を確保する高耐圧 GaN 層では多量のカーボンをドーピングする必要がある。高カーボン濃度 GaN:C を有する高耐圧・低電流コラプス HFET が報告されている。^{46, 48)}

現在、デバイス特性に重要な要素となる GaN:C のカーボン濃度は成長条件（成長温度、圧力、V/III 比）によって制御されており、^{46, 48, 49)} 成長条件によって有機金属原料トリメチルガリウム(TMGa)のメチル基の未分解量を制御する方法は制御性に乏しい。たとえば P. B. Klein らの報告では成長圧力とカーボン濃度の間には比例関係を見ることはできない。⁴⁴⁾ 高カーボン濃度の GaN : C の成長条件は TMGa のメチル基の未分解を増やすために大きく制限されてしまい、結晶性・表面平坦性に悪影響が懸念される。

そのため制御性に優れる新たなカーボン濃度制御方法の確立が必要不可欠である。最も制御性に優れると考えられるのは MBE 法 CH₄ プラズマによる GaN:C⁵⁰⁾ の様にカーボンドーパントの供給量を制御することによって GaN:C のカーボン濃度を制御する方法であると考えられる。

そこで本研究では 4 章において量産性に優れる MOVPE 法においてカーボンドーパント供給量の制御によって GaN:C のカーボン濃度制御の実現を目指し、カーボンドーパントとしてアセチレンを用いてカーボン濃度の制御をおこなった。

1-7 Si 基板上 GaN デバイス

窒化物半導体は、異種基板上にヘテロ成長可能であることが特徴である。低コスト化を目指して Si 基板上に成長した AlGaIn/GaN HFET が多く報告されている。^{46, 47)} 高耐圧パワーデバイスを作製するためには厚膜窒化物半導体層が半絶縁層として基板とデバイス間に必要である。

しかし、GaN/Si の格子定数は 3.19 Å/5.43 Å であり格子不整合が極めて大きく多くの欠陥が発生し、引張り歪により基板は反り、一定の膜厚以上で GaN 薄膜に亀裂（クラック）が生じてしまう。さらに、熱膨張係数が GaN/Si 5.59/3.59 (×

10^{-6} /K)であり 55%も異なるため、結晶成長中・降温プロセス中・室温では GaN 薄膜に加わる歪・応力および基板の反りが異なる。また、HFET 作製の際ソース・ドレイン電極の合金化アニールプロセス($\sim 800^{\circ}\text{C}$)においても、急加熱・急冷却を行うためクラックが生じる可能性がある。

そのため Si 基板上の GaN デバイスには AlN を含む歪緩衝層を用いる必要がある。Si 基板上において $7\mu\text{m}$ までの厚膜窒化物半導体層を有する HFET が報告⁴⁶⁾されている。しかし、歪緩衝層には膜厚：数十 nm の超格子を数十周期も用いた歪緩衝技術⁴⁶⁾が必要となるため結晶成長において高度な膜厚・AlN 組成制御技術が必要となりエピタキシャル成長に関するコストの増大が生じてしまう。クラックのない GaN/Si においても、格子定数と熱膨張係数の違いから GaN 膜は歪と欠陥を有し、大きく歪んだ GaN 膜により反った基板へのリソグラフィ・デバイスプロセスが必要になる。また、Si は GaN よりも絶縁破壊電界が一桁小さいため Si 基板に起因する絶縁破壊も報告されている。⁵¹⁾

シンプルに単膜で高耐圧層を実現するためには GaN 基板上にドーピングされた高耐圧 GaN 層を成膜する方法が考えられる。本研究では報告のほとんどない GaN 基板上への高耐圧層の成膜を行い、耐圧特性評価を行った。

1-8 GaN 基板

現在、LEDやHFETなどのGaN系デバイスは基板コストの問題から現在は主に異種基板を用いて作製されている。異種基板に成長されたGaNは高密度の貫通転位が存在しており、転位によるキャリア電子の散乱が生じる。そのため、デバイスの高性能化に低転位化が必要である。GaN HFETではSi基板上に作製する結晶成長技術の研究が盛んにおこなわれているが、結晶成長の課題も残されている。^{46, 47)}

一方、近年GaN基板はアモノサーマル法⁵²⁾やナトリウムフラックス法⁵³⁾といった液相成長による低欠陥化・大型化が多数報告されており、液相成長によって大量の基板を一度に作製することでコスト低減が期待され、コスト低減が進むことで、電子デバイス用基板としての応用も期待されている。

GaN基板を電デバイス用の基板として用いることで次のメリットが考えられる。

1. 低欠陥・低転位化によるデバイス特性・信頼性向上
2. 格子整合系であり熱特性（伝導率・膨張係数）が等しい
結晶成長が容易であり、基板の反りが無い。

現在ではハイドライド気相エピタキシー（HVPE）法を用いて成長された導電性GaN基板が市販されているが、パワーデバイス用基板として使用された報告はほとんどない。本研究ではGaN基板をパワーデバイス用基板として用いることを試み、GaN基板上にモーター制御用インバータに広く用いられている耐压(数百～千 V)を超える高耐压デバイスを実現することを目指して、高耐压構造の作製を行った。

本論文では横型デバイスに関する研究を行ったが、耐压1 kV～、100 kWを超える大電力デバイスでは横型デバイスは素子面積や放熱の面で不利であるため、縦型のスイッチングデバイスが望まれる。縦型デバイスは横型デバイスよりも一桁以上電力の大きいアプリケーション用デバイスの高効率化に期待され鉄道やパワーコンディショナ等、社会インフラの高効率・省エネルギー化が期待される。導電性GaN基板を用いた本研究で確立した要素技術は、導電性GaN基板が必要となる縦型デバイスの結晶成長技術に応用が期待できる。

1-9 本研究の背景・目的及び構成

近年深刻さを深めるエネルギー問題において、パワーエレクトロニクスによって電力利用効率を上げるために、インバータ内に使用されている Si を用いたスイッチングデバイスに変わる高出力・低損失スイッチングデバイスの実現が必須である。パワーデバイスは損失による発熱から素子を保護するため、定格出力が設定され動作範囲が制限されるうえ、半導体デバイスに比較して大きな体積を占める冷却システムが必要となる。ワイドギャップ半導体材料を用いた次世代パワーデバイスは、高温での動作が可能のため冷却システムの簡素化・高パワー密度化が期待されている。

本研究では Si デバイスが動作不可能な高温環境下で、ノーマリーオフ動作可能な高耐压デバイス実現を目的とし、Si トランジスタの限界を超える 300℃以上の高温でのノーマリーオフ動作・閾値電圧の安定性の検証、低耐压～中耐压以上のインバータに応用するため 1000V をを超える高耐压層の実現を目指し、デバイスプロセス・評価・結晶成長の点から窒化物半導体 HFET 高性能化に必要な技術の確立を目指した。

デバイスプロセスでゲート構造削り出しの際、エッチャントに塩素に加えて酸素を用いることで p-GaN/AlGaN のエッチング時に選択性およびゲート構造削り出しの再現性を向上させるデバイスプロセスを行った。

高温動作評価では 300℃の高温環境下においても安定したノーマリーオフ動作を実現し、他の報告されているノーマリーオフデバイスと閾値電圧の安定性を

比較した。デバイス構造によるノーマリーオフ動作の高温での安定性、閾値電圧の温度依存性について検討した。

結晶成長では、従来の濃度制御性に乏しい成長法方法ではなく、新たな結晶成長方法として、カーボンドーパント供給量の制御による、Ga_N:C のカーボン濃度制御を実現した。

さらに作製した HFET 構造の縦方向・電流電圧特性の評価測定システムを構築しその評価を行い、電気伝導特性の評価と高耐圧化の実証を行った。作製した高耐圧 HFET の絶縁破壊が電流は流れるが素子破壊しない絶縁破壊であることを見出し、デバイス高信頼性実現のために必要とされる壊れ方設計を可能とした。

図 1-9-1 に本論文の流れを示し、以下に本論文の構成を示す。

1 章

本章では、本研究の背景として、エネルギー問題とパワーエレクトロニクスについて述べ、その高性能化のため、ワイドバンドギャップ半導体を用いた電子デバイスの有用性を示した。Ⅲ族窒化物半導体の優れた物性値を挙げ、その電子デバイスとしての可能性と問題点を示した。Si のデバイスの限界を超える 300℃以上の高温でノーマリーオフ動作を実現させるためゲート構造が界面・表面フリーであり、p-GaN と AlGa_N の選択的エッチングが可能な p-GaN ゲート HFET の優位性を示し、高耐圧・低ドレインリークのデバイス作製に必要な Ga_N:C の結晶成長に現在抱える問題点として Ga_N:C 作製時のカーボン濃度の制御性の悪さに起因する電気伝導性制御性の悪さを示した。

2 章

2 章では、本研究で行ったノーマリーオフ p-GaN ゲート HFET のデバイス構造及び、デバイス作製方法、室温でのデバイス特性について述べる。p-GaN ゲート HFET ゲート構造エッチング再現性を向上させるため p-GaN/AlGa_N の選択的エッチングを行い p-GaN 膜厚改善を行い、デバイスを作製した。室温でのデバイスシミュレーションを行い高温動作特性シミュレーションの準備を行った。

3 章

3 章では、p-GaN ゲート HFET の高温動作特性について述べる。ノーマリーオフ p-GaN ゲート HFET の高温動作特性を評価し、300℃においても安定したノーマリーオフ動作することを実証し、閾値電圧とオン抵抗の温度依存性に関して他のノーマリーオフデバイスと比較検討を行った。

シミュレーションを用いたデバイスの温度特性予測の有効性を検討した。また、高温動作時の問題点としてドレインリーク電流の増大を確認し、高温での待機損失の増大が懸念された。u-GaN の絶縁性制御が課題となった。

4 章

4 章では、高耐圧・高温低リーク GaN デバイス実現のため下地 GaN バッファ層の絶縁性に着目した。

まず、半絶縁性 GaN : C の重要性、カーボン濃度の制御の問題点を述べ、解決法としてカーボンドーパントの供給量制御による GaN:C のカーボン濃度制御を試み、アセチレンを用いることでカーボン濃度の高い制御性を実現した。

また、カーボンドーパントであるアセチレンからのカーボンの取り込みに関して有機金属原料に含まれるメチル基由来のカーボンとの比較を考察した。

5 章

5 章では、アセチレンを用いた高カーボン濃度・高耐圧 GaN : C を有する HFET 構造の縦方向耐圧測定を行った。

また、通常の HFET の絶縁破壊がゲート端での電流集中によって電極間の短絡を生じるのに対し、本研究で測定した縦方向電気伝導は、素子の破壊を伴わないソフトブレイクダウン型であることを確認した、

実際に HFET を作製し評価を行い、導電性 GaN 基板ソース接地において 1.2 kV の高耐圧デバイスを実現した。また、絶縁破壊の様式がデバイス設計によってドレイン・導電性基板間縦方向で絶縁破壊を生じ、高ドレイン電圧印加時に素子破壊を伴わない構造に設計することが可能であることを示した。アセチレンを用いた GaN:C が HFET の高耐圧化・高温低ドレインリーク電流化に有用であることを実際に HFET 作製することで示した。

6 章

6 章では、本論文の総括を行う。高耐圧かつ高温動作可能な次世代パワースイッチングデバイス実現に向けて得られた成果を示し、次世代パワーデバイス実現に貢献できた点を論じる。最後に残された課題について記述する。

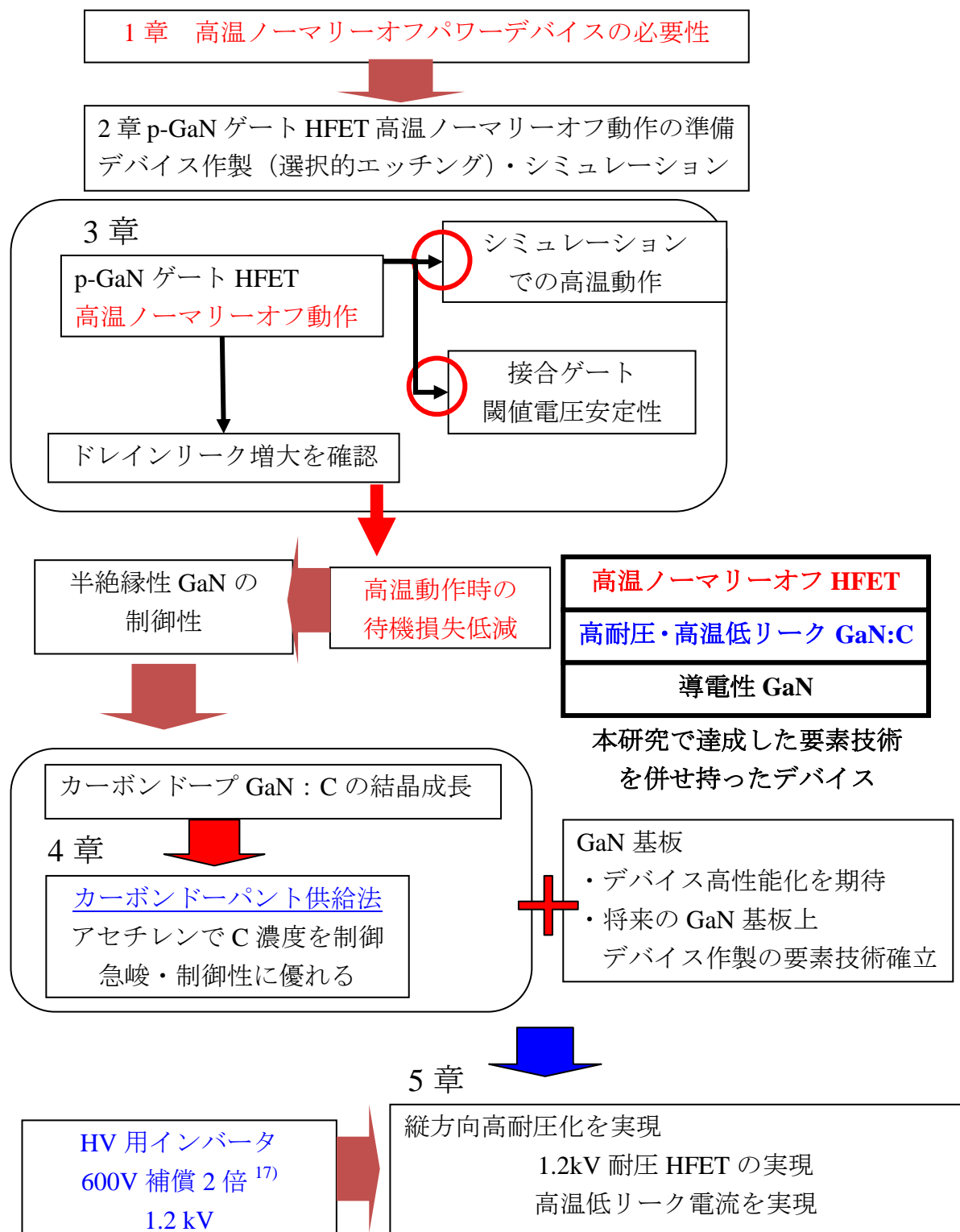


図 1-9-1 本研究の概要

参考文献

- 1) エネルギー白書 2012 資源エネルギー庁
- 2) 平成 24 年版環境・循環型社会・生物多様性白書 環境庁
- 3) COP15 国連気候変動枠組み第 15 回締約国会議
- 4) 総合資源エネルギー調査会新エネルギー部会（第 2 1 回）-配付資料 経済産業省
- 5) 江間敏, 高橋勲, パワーエレクトロニクス, コロナ社
- 6) 河村篤男, 現代パワーエレクトロニクス, (株)数理工学社
- 7) 高橋 清 監修, 長谷川 文夫, 吉川 明彦 著: ワイドギャップ半導体光・電子デバイス 森北出版株式会社(2006)
- 8) 日経エレクトロニクス 2010 年 1 月 11 日号
- 9) 赤崎 勇 著者: III-V 族化合物半導体 培風館(2004)
- 10) J. Piprek *Nitride Semiconductor Devices Principles and Simulation* WILEY-VCH (2007)
- 11) 佐野 芳明, 奥村 次徳 監修高周波半導体材料・デバイスの新展開 シーエムシー出版(2006)
- 12) W. Saito, I. Omura, T. Ogura, and H. Ohashi: *Solid-State Electron.* **48** (2004) 1555.
- 13) 日経エレクトロニクス 2009 年 11 月 2 日号
- 14) 池田 成明 第 8 回窒化物半導体応用研究会 3 「Si 基板上高出力 GaN HFET の高性能化」
- 15) 上杉 勉 第 8 回窒化物半導体応用研究会 4 「自動車用 GaN パワーデバイス」
- 16) W.B. Lamford, T. Tanaka, Y. Otoki, and I. Adesida: *Electron. Lett.* **41** (2005) 499.
- 17) M. Kanamura, T. Ohki, T. Kikkawa, K. Imanishi, T. Imada, A. Yamada, and N. Hara: *IEEE Electron Device Lett.* **31** (2010) 189.
- 18) N. Maeda, M. Hiroki, S. Sasaki, and Y. Harada: *Appl. Phys. Express* **5** (2012) 084201.
- 19) Y. Cai, Y. Zhou, K. J. Chen, and K. May Lau: *IEEE Trans. Electron Devices* **53** (2006) 2207.
- 20) Y. Cai, Z. Cheng, Z. Yang, C. W. Tang, K. M. Lau and K. J. Chen: *IEEE Electron Device Lett.* **28** (2007) 328.
- 21) Y. Niiyama, H. Kambayashi, S. Ootomo, T. Nomura and S. Yoshida: *Solid-State Electron.* **51** (2007) 784.
- 22) K. Matocha, T. Paul Chow, and R. J. Gutmann: *IEEE Trans. Electron Devices* **52** (2005) 6.

- 23) Y. Niiyama, H. Kambayashi, S. Ootomo, T. Nomura, S. Yoshida and T. P. Chow: Jpn. J. Appl. Phys. **47** (2008) 7128.
- 24) Power Electronics Europe Issue 7 (2012) 26-29.
- 25) X. Hu, G. Simin, J. Yang, M. Asif Khan, R. Gaska, and M. S. Shur: Electron. Lett. **36** (2000) 753.
- 26) C. S. Suh, A. Chini, Y. Fu, C. Poblenz, J. S. Speck, and U. K. Mishra, in Proc. 64th DRC1Tech. Dig., 2006, p. 163–164.
- 27) N. Tsuyukuchi, K. Nagamatsu, Y. Hirose, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki: Jpn. J. Appl. Phys. **45** (2006) 319.
- 28) T. Fujii, N. Tsuyukuchi, Y. Hirose, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: Jpn. J. Appl. Phys. **46** (2007) 115.
- 29) Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda: IEEE Trans. Electron Devices, **54** (2007) 3393.
- 30) 上田 哲三 第8回窒化物半導体応用研究会 6 「GaN パワーデバイスのインバータ応用」
- 31) T. Mizutani, M. Ito, S. Kishimoto and F. Nakamura: IEEE Electron Device Lett. **28** (2007) 549.
- 32) M. Shimizu, G. Piao, J. Li, M. Inada, S. Yagi, Y. Yano, and N. Akutsu: Jpn. J. Appl. Phys. **47** (2008) 2817.
- 33) M. J. Manfra, N. G. Weimann, J. W. P. Hsu, L. N. Pfeiffer, K. W. West, S. Syed, H. L. Stormer, W. Pan, D. V. Lang, S. N. G. Chu, G. Kowach, A. M. Sergent, J. Caissie, K. M. Molvar, L. J. Mahoney, and R. J. Molnar: J. Appl. Phys. **92** (2002) 338.
- 34) M. Azize, Z. Bougrioua and P. Gibart: J. Cryst. Growth **299** (2007) 103.
- 35) J. P. Liu, J.-H. Ryou, D. Yoo, Y. Zhang, J. Limb, C. A. Horne, S.-C. Shen, R. D. Dupuis, A. D. Hanser, E. A. Preble, and K. R. Evans: Appl. Phys. Lett. **92** (2008) 133513.
- 36) S. A. Smith, C. A. Wolden, M. D. Bremser, A. D. Hanser, R. F. Davis and W. V. Lampert: Appl. Phys. Lett. **71** (1997) 3631.
- 37) W. Wang, Y. Li, C. Lin, Y. Chan, G. Chen, and J. Chyi: IEEE Electron Device Lett. **25** (2004) 52.
- 38) M. Asif Khan, Michael S. Shur, John N. Kuznia, Q. Chen, Jin Burm, and William Schaff: Appl. Phys. Lett. **66** (1995) 1083.
- 39) Steven C. Binari, K. Doverspike, G. Kelner, H.B. Dietrich, A.E. Wickenden: Solid-State Electron. **41** (1997) 177.
- 40) S. M Sze and Kwok K. Ng *Physics of semiconductor devices 3rd edition* WILEY
- 41) International Road Federation 社 Si MOSFET IRF1704 Deta sheet.

- 42) X.M. Shen, D.G. Zhao, Z.S. Liu, Z.F. Hu, H. Yang, J.W. Liang: Solid-State Electron. **49** (2005) 847.
- 43) A. Armstrong and A. R. Arehart, D. Green, U. K. Mishra, and J. S. Speck: J. Appl. Phys. **98** (2005) 053704.
- 44) P. B. Klein, S. C. Binari, K. Ikossi, A. E. Wickenden, D. D. Koleske, and R. L. Henry: Appl. Phys. Lett. **79** (2001) 3527.
- 45) J. A. Mittereder, S. C. Binari, P. B. Klein, J. A. Roussos, D. S. Katzer, D. F. Storm, D. D. Koleske, A. E. Wickenden, and R. L. Henry: Appl. Phys. Lett. **83** (2003) 1650.
- 46) N. Ikeda, Y. Niiyama, H. Kambayashi, Y. Sato, T. Nomura, S. Kato, and S. Yoshida: Proc. IEEE **98** (2010) 1151.
- 47) M. Hikita, M. Yanagihara, K. Nakazawa, H. Ueno, Y. Hirose, T. Ueda, Y. Uemoto, T. Tanaka, D. Ueda, and T. Egawa: IEEE Trans. Electron Devices **52** (2005) 1963.
- 48) E. Bahat-Treidel, F. Brunner, O. Hilt, E. Cho, J. Wurfl, and G. Trankle: IEEE Trans. Electron Devices **57** (2010) 3050.
- 49) A. E. Wickenden, D. D. Koleske, R. L. Henry, M. E. Twigg, and M. Fatemi: J. Cryst. Growth **260** (2004) 54.
- 50) J. B. Webb, H. Tang, S. Rolfe, and J. A. Bardwell: Appl. Phys. Lett. **75** (1999) 953.
- 51) P. Srivastava, J. Das, D. Visalli, M. Van Hove, P. E. Malinowski, D. Marcon, G. Borghs: Electron Device Letters, **32** (2011) 30.
- 52) R. Dwiliński, R. Doradziński, J. Garczyński, L.P. Sierzputowski, A. Puchalski, Y. Kanbara, K. Yagi, H. Minakuchi, and H. Hayashi: J. Cryst. Growth **311** (2009) 3015.
- 53) M. Imade, Y. Hirabayashi, Y. Konishi, H. Ukegawa, N. Miyoshi, M. Yoshimura, T. Sasaki, Y. Kitaoka, and Y. Mori: Appl. Phys. Express **3** (2010) 075501.

2 章 高温ノーマリーオフ実現のための

p-GaN ゲート HFET

2-1 はじめに

本章では、p-GaN ゲート HFET の構造及び、デバイス特性について示す。その後、高温動作時の特性を解析するために、移動度の温度特性に関して説明し、デバイスシミュレーションを行った。高温ノーマリーオフ動作実現とその解析のための準備を行った。

そのためにまず、AlGaIn/GaN ヘテロ接合を説明する。Ⅲ族窒化物半導体混晶のヘテロ接合の特徴である大きな分極について解説した後、p-GaN ゲート HFET のゲート構造 p-GaN/AlGaIn/GaN 接合について説明する。次に高温ノーマリーオフ動作特性を評価するための p-GaN ゲート HFET 作製方法を述べる。p-GaN ゲート HFET の室温での特性評価を行った。本研究では次章での高温動作特性の解析にシミュレーションを用いるため、まずは室温でのシミュレーションを行った。

2-2 AlGaIn/GaN ヘテロ接合

図 2-2-1 に AlGaIn/GaN ヘテロ接合における歪と分極の関係を示す。低不純物濃度の u-GaN 上に、より格子定数の小さい u-AlGaIn 薄膜（数～数十 nm）をヘテロ成長させた構造で、AlGaIn が GaN 上にコヒーレント成長すると薄 AlGaIn 層は歪み、引張り応力が加わる。この歪による圧電分極 P_{pz} に加えて AlGaIn と GaN との自発分極 P_{sp} の分極差による分極が発生している。¹⁾ この分極により AlGaIn/GaN 界面 GaN 側に電子が蓄積される。これが AlGaIn/GaN ヘテロ接合電界効果トランジスタのキャリアとして働く 2 次元電子ガス(2DEG: 2-Dimensional Electron Gas)である。2DEG は AlGaIn/GaN 界面 2 次元方向に自由度を持った低不純物濃度 GaN 中を移動する高移動度キャリアで、分極によって発生する高い (10^{13} cm^{-2} 台) シートキャリア濃度が得られる。これは n-AlGaAs/GaAs ヘテロ構造より 5 倍以上高い。¹⁻⁴⁾ n-AlGaAs/GaAs では不純物ドーピングによって 2DEG を形成するため、高キャリア密度を得るため n-AlGaAs 層に高濃度のドーピングを行うとイオン化不純物散乱・合金散乱が生じる n-AlGaAs 層にキャリアが蓄積しキャリア移動度が低下してしまう。

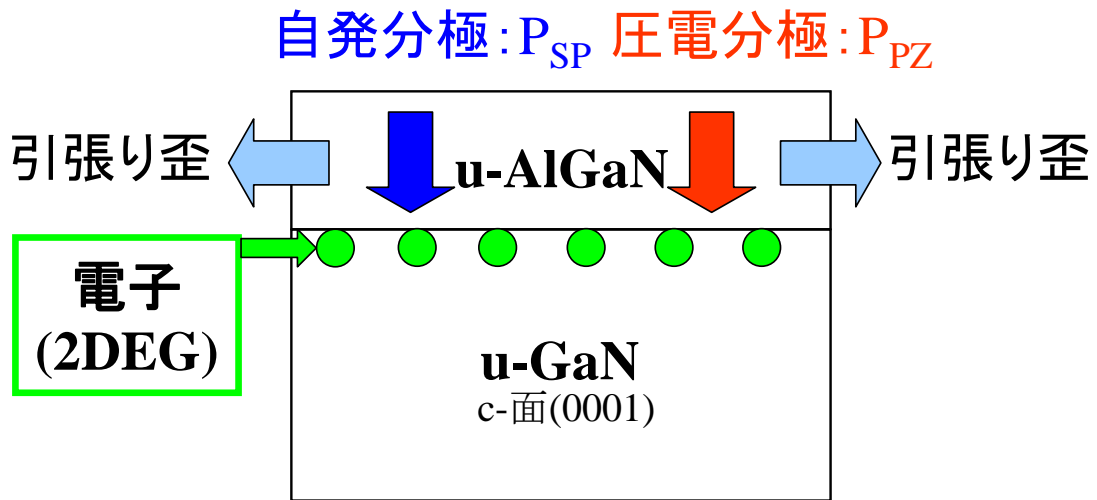


図 2-2-1 AlGaIn/GaN ヘテロ接合

STR 社製 LED 用バンド計算シミュレーター SiLENSe⁵⁾を用い分極を考慮したポアソン方程式 (式 2-2-1) を解き AlGaIn/GaN HFET 構造のバンド図のシミュレーションを行った。シミュレーションには表 2-2-1⁵⁾に示す GaN・AlN 分極関連の物性値を用いて(式 2-2-2, 式 2-2-3, 式 2-2-4)から自発分極・圧電分極を計算している。

ポアソン方程式

$$\frac{d}{dz} \left(P - \epsilon \frac{d\phi}{dz} \right) = \rho \quad (\text{式 2-2-1})^{3,5)}$$

P :分極 ϵ :誘電率 ρ :電荷 z :膜厚方向

$$P = \Delta P_{sp} + P_{pz}$$

C 面ヘテロ接合の場合 $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ の自発分極差 P_{sp}

$$\Delta P_{sp} = P_{sp}(\text{AlGaIn}) - P_{sp}(\text{GaN}) \quad (\text{式 2-2-3})^{3,5)}$$

C 面ヘテロ接合の場合圧電分極 P_{pz}

$\text{Al}_x\text{Ga}_{1-x}\text{N}$ の格子定数・弾性定数・圧電分極はベガード則を用いる

$$P_{pz} = 2 \times \frac{a(x) - a(0)}{a(0)} \left(e_{31}(x) - e_{33}(x) \frac{C_{31}(x)}{C_{33}(x)} \right) \quad (\text{式 2-2-4})^{3,5)}$$

シミュレーション結果を図 2-2-2 に示す。 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$:20nm (残留ドナー密度 $n =$

$1 \times 10^{16} \text{ cm}^{-3}$)/GaN ($n = 1 \times 10^{15} \text{ cm}^{-3}$) と設定した。ヘテロ接合界面を原点とし十分に厚い(2.5 μm)u-GaN 層を仮定した、単純化のため表面の影響は排除している。AlGaIn 層に自発分極差・圧電分極による電界が生じ、AlGaIn/GaN 界面において伝導帯がフェルミ準位よりも下回る逆三角形のポテンシャルの井戸ができ、ここに 2DEG が形成される。

実際の 2DEG には表面の状態が関与している。半導体表面では表面準位と捕獲された電荷によって $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 終端のバリア高さ ϕ_B が変化する。^{1,3)}

表 2-2-1 GaN・AlN 分極関連物性値⁵⁾

	GaN	AlN
格子定数 $a[\text{\AA}]$	3.189	3.112
自発分極 $P_{\text{sp}}[\text{C/m}^2]$	-0.032	-0.1
圧電係数 $e_{33}[\text{C/m}^2]$	0.86	1.8
圧電係数 $e_{31}[\text{C/m}^2]$	-0.44	-0.64
弾性定数 $C_{33}[\text{GPa}]$	415	384
弾性定数 $C_{31}[\text{GPa}]$	83	111

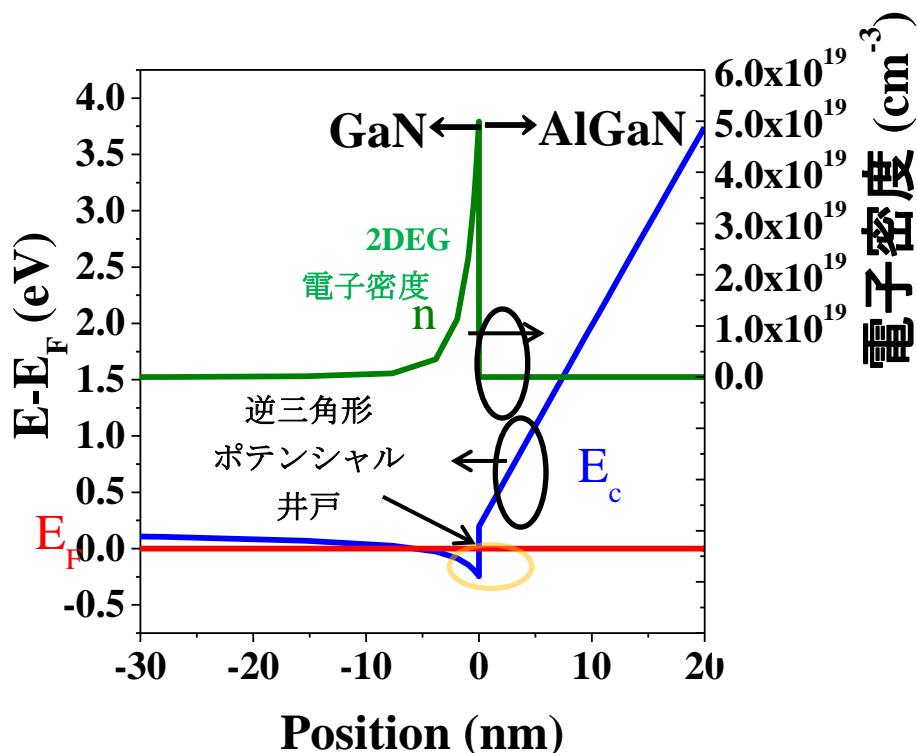


図 2-2-2 SiLENSe⁵⁾を用いて求めた $\text{Al}_{0.3}\text{GaN}(20 \text{ nm})/\text{GaN}$ ヘテロ接合界面バンド図・電子濃度

(ヘテロ接合界面を基準)

2-3 p-GaN ゲート HFET ノーマリーオフモード

前節と同様に SiLENSe²⁾を用いて求めた p-GaN ゲート HFET ゲート直下のバンド図を図 2-3-1 に示す。p⁺-GaN: 60 nm (Mg ($E_A-E_V=0.17$ eV)= 3×10^{19} cm⁻³) /n⁻-Al_{0.3}Ga_{0.7}N: 10 nm (n= 1×10^{16} cm⁻³) /n⁻-GaN: 2.5 μm (n= 1×10^{15} cm⁻³) と設定し、p⁺-n⁻接合界面を基準とした。u-GaN 層も同様に十分に厚い(2.5 μm)と仮定し計算を行った。ゲート p-GaN は n⁻-AlGa_{0.3}N/n⁻-GaN に比べ高濃度の p 型半導体であり n⁻-AlGa_{0.3}N/n⁻-GaN 層側に広がる空乏層が形成される。この p⁺-n⁻接合によって AlGa_{0.3}N/GaN 界面の 2DEG が枯渇することで、ノーマリーオフ動作が実現される。

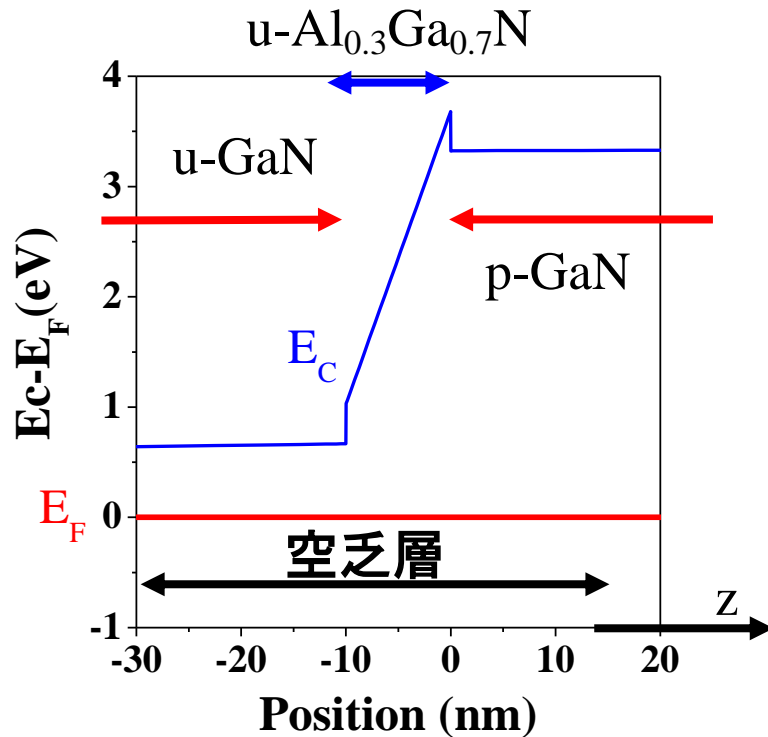


図 2-3-1 SiLENSe⁵⁾を用いて求めた
p-GaN ゲート HFET ゲート直下の伝導帯
(p⁺-n⁻接合界面を基準)

図 2-3-2 に名城大学天野研究室で過去に作製した p-GaN ゲート HFET のノーマリーオン/ノーマリーオフ動作モードの AlGa_{0.3}N の AlN 組成・膜厚依存性の実験データをまとめる。⁶⁻⁸⁾ 図中で▲で示した点がノーマリーオン動作, ●で示した点

がノーマリーオフ動作を示している。p-GaN の Mg 濃度は $2\sim 3 \times 10^{19} \text{ cm}^{-3}$ と一定としている。⁶⁻⁸⁾ ノーマリーオン動作/ノーマリーオフ動作の境界ほど高ドレイン電流密度・低抵抗化が確認されており、⁷⁾その中で高いドレイン電流密度と閾値電圧($V_{th}=+1 \text{ V}$)が得られる、AlN 組成 0.3 膜厚 10 nm の AlGaN を用いた。^{7,8)} また、本研究では従来、研究室においてノーマリーオフ動作を実現した p-GaN 膜厚 100 nm^{6,7)}から 60 nm⁸⁾に p-GaN を薄膜化することで p-GaN エッチングの再現性向上を行った。

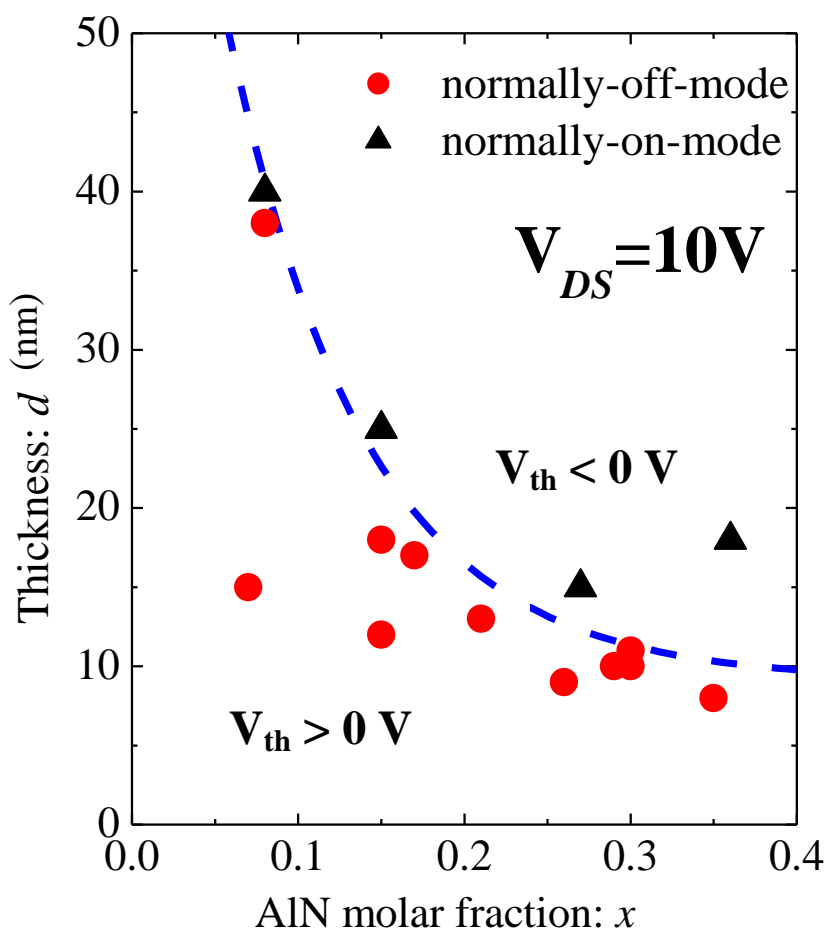


図 2-3-2 ノーマリーオン・ノーマリーオフ動作モードの AlGaN バリア層 Al 組成・膜厚依存性・実験結果⁶⁻⁸⁾

2-4 p-GaN ゲート HFET 作製方法

本節では、p-GaN ゲート HFET の作製方法について述べる。図 2-4-1 に p-GaN

ゲート HFET 構造の断面模式図、図 2-4-2 に p-GaN ゲート HFET の顕微鏡写真を示す。サファイア基板上に u-GaN, u-Al_{0.3}Ga_{0.7}N:10 nm, p-GaN:60 nm を成長し、サンプルを作製した。エッチングにより素子分離したデバイス有効面積は 30 μm \times 100 μm であり、図 2-4-2 に示したようにゲート長(L_G):2 μm ,ゲート幅(W_G):100 μm , ソース・ドレイン間距離(L_{SD}):8 μm である。素子作製後、加熱ステージを用いて温度特性を測定するため、ステージ温度と実効温度の差を減らすために熱抵抗となるサファイアを総膜厚 100 μm まで研削・研磨した。

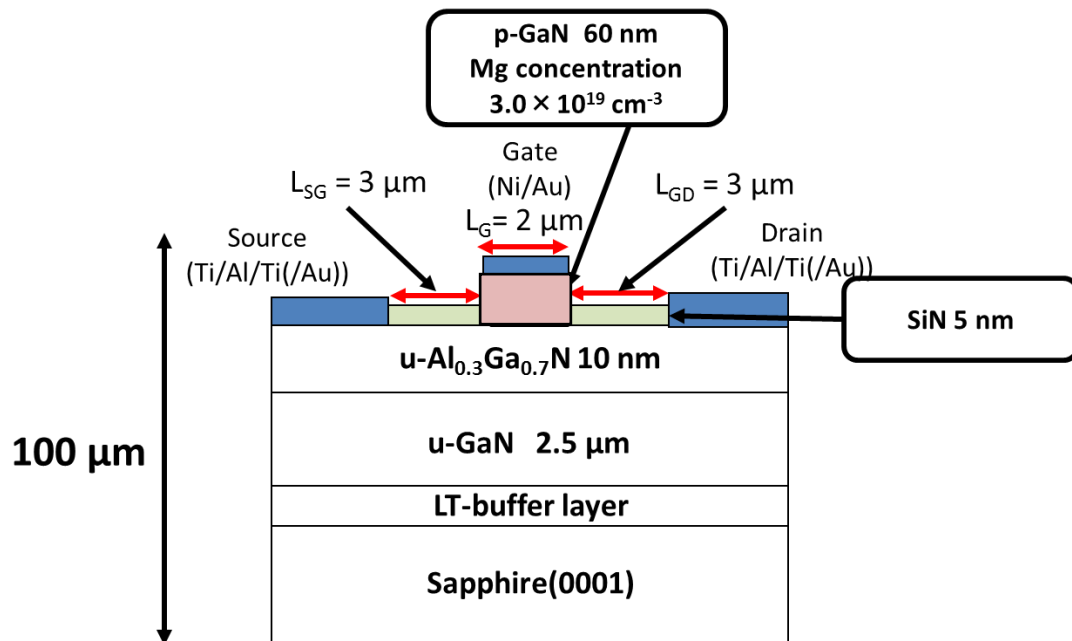


図 2-4-1 p-GaN ゲート HFET 断面模式図⁸⁾

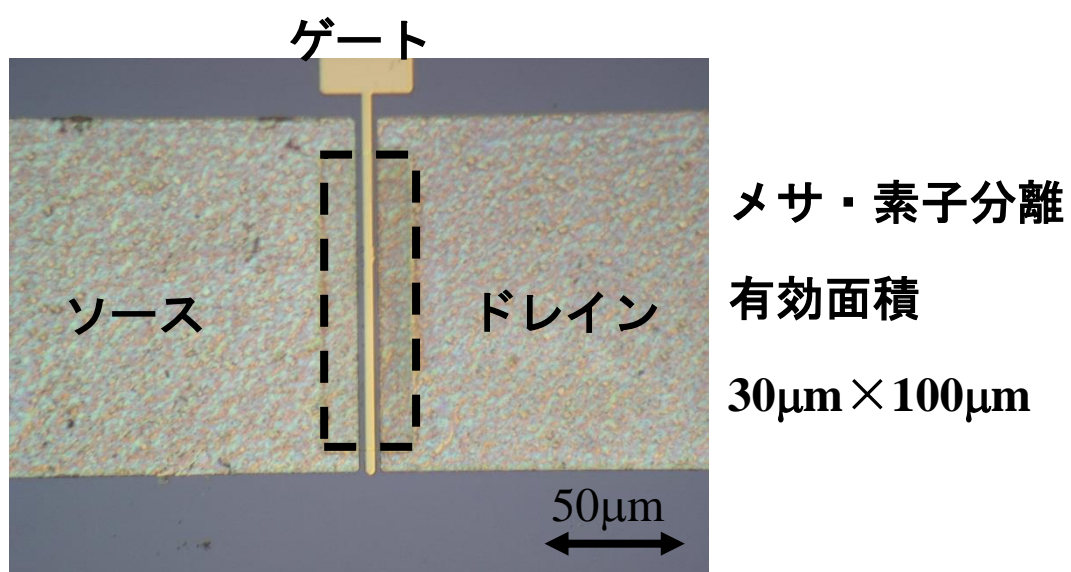


図 2-4-2 p-GaN ゲート HFET 顕微鏡写真

2-4-1 結晶成長

サファイア(0001)上に、MOVPE 法を用い p-GaN ゲート HFET 結晶を成長した。MOVPE の原料は、V 族原料として、アンモニア(Ammonia : NH_3)。III 族原料の Ga、Al の有機金属化合物、トリメチルガリウム(Trimethylgallium : TMGa)、トリメチルアルミニウム(Trimethylaluminum : TMAI)、p 型アクセプタ Mg の原料として、エチルビスシクロペンタジエニルマグネシウム(Ethyl-Bis-cyclopentadienyl-magnesium : EtCp_2Mg)を用いた。

始めに、結晶成長基板であるサファイアを水素(H_2)雰囲気中で 1110 °C 5 分間アニールし、サファイア表面のクリーニングを行う。その後、低温 GaN 堆積緩衝層を 500°C で堆積させ、u-GaN を 1100 °C で成長させる。その時の V/III 比(V 族供給原料と III 族供給原料の比)は、1000 と一定にした。そして、u-GaN 上に u- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ (10 nm)、p-GaN(60 nm)を成長させる。

表 2-4-1 に p-GaN ゲート HFET の成長条件を示す。

p-GaN ゲート HFET のバリア層である u- $\text{Al}_x\text{Ga}_{1-x}\text{N}$ の AlN モル分率 x と膜厚 d は、AlGaN/GaN HFET の X 線回折法(X-ray diffraction : XRD)による<0002>対称面 2θ - ω スキャンから、フィッティングを行い導出した。また、AlGaN は GaN にコヒーレントに成長していることを逆格子マッピング測定により確認した。

表 2-4-1 p-GaN ゲート HFET 成長条件

	Thermal cleaning	LT-GaN	u-GaN	u-AlGaN	p-GaN
TMG ($\mu\text{mol}/\text{min}$)	-	87.6	87.6	21.9	43.8
TMAI/(TMGa/TMAI)	-	-	-	0.317	-
NH_3 (slm)	-	2	2	0.5	1
V/III ratio	-	1000	1000	1000	1000
EtCp_2Mg (mol/min)	-	-	-	-	0.318
Mg/Ga ratio	-	-	-	-	0.0072
Growth Pressure (Torr)	350	350	350	100	350
Temp. (°C)	1150	500	1100	1100	1100
Thickness (nm)	-	20	2500	10	60
Time (min)	5	6	60	0.75	1.5

2-4-2 p 型活性化アニール・メサ構造による素子分離

Mg ドープ GaN は成長後そのままの状態では、Mg 原子は Mg-H 結合によって、アクセプタとして活性化しておらず、p 型化していない。この結合を解いて p 型化するため、N₂ 雰囲気 700 °C で 5 分間のアニールにより活性化をおこなう。

その後、素子間を電氣的に分離するため塩素ガスを用いた反応性イオンエッチング(Reactive Ion Etching : RIE)によるメサ加工を行った。ネガ型フォトリソレジスト(AZ-5214E)を用いパターンニングを行い、その後 Ni を EB 蒸着により成膜しリフトオフ法によってエッチング用マスクを作製し、RIE を用いて約 200 nm エッチングを行った。

2-4-3 p 型 GaN エッチング用マスクの作製、選択的エッチング

p-GaN ゲート HFET は、ゲート直下以外の p 型 GaN をエッチングにより、除去する必要がある。エッチングの精度によって、ドレイン電流・オン抵抗が決まるため、高精度なエッチングが重要である。メサエッチングと同様に、並行平板 RIE 装置において RF 出力 50 W(13.56 MHz) 圧力 10 Pa でエッチングを行いエッチングマスクには Ni を使用した。

RIE でアルゴン (Ar) + 塩素 (Cl₂ : 10%) に加えて酸素 (O₂) をエッチング中に添加することで、エッチングレートが低減し、さらに AlGa_{0.3}N と GaN のエッチングレートに違いが表れることが報告されている。これを用いて選択的に p-GaN のエッチングを行った。

GaN 層がエッチングされ、AlGa_{0.3}N 層が表面に露出すると、エッチングガス中に酸素が存在しているため AlGa_{0.3}N 層中の Al が Al-O 結合を形成する。そのため、GaN と AlGa_{0.3}N ではエッチングレートが大きく変わる。p-GaN のみを選択的にエッチングすることで再現性を向上することができる。図 2-4-3 に GaN・Al_{0.3}Ga_{0.7}N 単膜の RIE 出力 50 W 圧力 10 Pa の条件で GaN と AlGa_{0.3}N のエッチングレートの酸素流量比依存性を示す。酸素を用いる事によってエッチングレートの低下が起こり、AlGa_{0.3}N がほとんど削れなくなることで、GaN/AlGa_{0.3}N 選択比が増大する。酸素流量が多すぎると GaN のエッチング速度も低下し選択比が低下する。

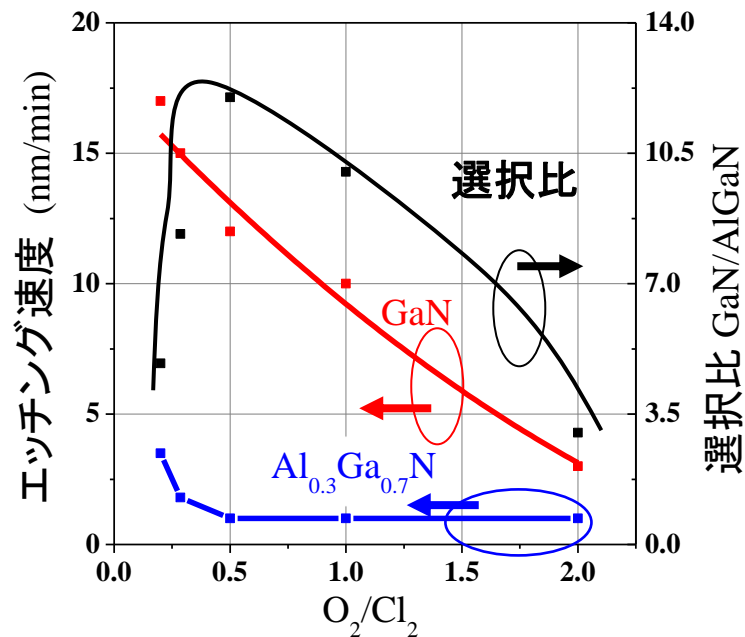


図 2-4-3 RIE による GaN・Al_{0.3}Ga_{0.7}N 単膜
エッチングレートと O₂ 流量比依存性選択比⁶⁾
出力 50 W 圧力 10 Pa 総流量 20 sccm

本研究では最大の選択比=12 が得られた O₂/Cl₂=1/2, GaN のエッチングレート=12 nm/min のエッチング条件を用いてゲート p-GaN 以外のエッチングを選択的に行った。p-GaN 層(60 nm)の面内膜厚分布を考慮し、確実に p-GaN を除去するために 5 分 30 秒間エッチングを行った。その際の AlGaIn エッチング量は 1~2 nm を予想しデバイス作製を行った。⁸⁾ エッチング量の再現性は本研究で用いたドライエッチング装置の性能から毎回±10%程度の誤差が生じていた。従来の p-GaN ゲート HFET は 100 nm の p-GaN を有しており^{6,7)} 同じエッチング条件では、9 分程度のエッチングを必要としていた。その際 AlGaIn エッチング予測量を 3 nm 以上としなければならなかった。本研究では、p-GaN のエッチング誤差を p-GaN:100 nm 時の誤差約±10 nm から、p-GaN:60 nm に薄膜化することで誤差を約±6 nm に低減し、p-GaN エッチングの再現性をさらに向上させ実験を行った。⁸⁾

また、エッチング後はエッチング雰囲気中に酸素が混在しているため AlGaIn 層表面に Al-O 結合が形成され、ソース・ドレインオーミック電極の接触抵抗の増大、および AlGaIn/GaN2DEG シート抵抗増大の原因となるため、フッ酸 50 % (wt/vol)に 30 分間浸し処理することで酸化した表面からの回復を行った。

2-4-5 電極作製

EB 蒸着装置を用いてソース・ドレイン電極として Ti/Al/Ti/Au (30/100/20/150 nm) 蒸着し、オーミック化アニールを Rapid Thermal Anneal (RTA) を用いて N₂ 雰囲気で、800 °C 30 秒保持しアニール処理を行った。ソース・ドレイン電極の接触比抵抗は約 $1 \times 10^{-5} \Omega \cdot \text{cm}^2$ であった。その後同様に、ゲート電極として Ni/Au (20/80 nm) を蒸着し、その後 Ni/Au 電極を p-GaN に対してオーミック化させるため O₂ 雰囲気にて RTA を用いて 650 °C 5 分間アニールを行った。ゲート長 $L_G = 2 \mu\text{m}$ 、ゲート幅 $W_G = 100 \mu\text{m}$ 、ソース・ドレイン間距離 $8 \mu\text{m}$ であり、ゲートをソース・ドレインの中央に配置した。電極作製後、表面準位の低減および温度特性測定時、測定中の酸化を防ぐことを目的として SiN_x で表面保護するため、マグネトロンスパッタを用いて SiN_x を 5 nm 成膜した。

次章で温度特性の測定を加熱ステージ上でおこなうため p-GaN ゲート HFET 作製後、サファイアを研削・研磨しウェハの総膜厚 100 μm まで薄くし、熱伝導性をあげることで、ステージ温度とデバイス実効温度の差を可能な限り減らして温度特性評価を行った。

2-5 p-GaN ゲート HFET の特性

作製した p-GaN ゲート HFET をオンウェハにてプローブおよびアジレント社製半導体パラメータアナライザ 455C を用いて FET 特性の測定を行った。

図 2-5-1 に FET 静特性を示す。ゲート電圧 $V_{GS}=0\sim 4\text{ V}$, $\Delta V=1\text{ V}$ と変化させ測定を行った。最大ドレイン電流は $V_{GS}=4\text{ V}$ $V_{DS}=4.2\text{ V}$ において $I_{D\text{ MAX}}=0.21\text{ A/mm}$ で、仮に素子有効面積をエッチングで素子分離した面積 ($A=30\text{ }\mu\text{m}\times 100\text{ }\mu\text{m}$) とすると、室温におけるオン抵抗は $3.9\text{ m}\Omega\cdot\text{cm}^2$ であった。

高ドレイン電圧でドレイン電流の減少が確認された、これは素子の発熱による影響に加えて、ゲート・ドレイン間において表面トラップ準位へ電界によって電子捕獲（電流コラプス）された影響であると考えられる。また、ゲート電圧 3V 以上においてゲート電流が増大していることが確認された。これはゲート電極のアライメントに問題があったためである。

先行研究において報告されている p-GaN ゲート HFET¹⁰⁾や他の研究機関から報告されている GIT¹¹⁾では低ゲート電圧でのゲート電流のリークは確認されていない。そのため、ゲートリーク電流はデバイス構造によるものではなく作製プロセスに起因するものであると考えられる。

図 2-5-2 に作製した p-GaN ゲート HFET の SEM 像を示す。ゲート Ni/Au 電極が p-GaN 上から一部外れており、一部が AlGaIn 上に存在している。そのためゲート電極の一部が Ni/AlGaIn ショットキーとして作用していることが予想される。⁸⁾ そのため、一般的な MES HFET⁹⁾と同様にゲート電圧+2 V 以上で、AlGaIn 上の Ni ショットキーゲート部分を流れる電流が増大しゲート電流が増大したと考えられる。

このゲート電流はパターンの改善によって Ni/Au 電極を p-GaN 上に正確に配置することによって GaN の p-n 接合の立ち上がり電圧 $V_f\div 3\text{ V}$ に相当するゲート電圧+3V まではゲート電流を抑制できると考えられる。

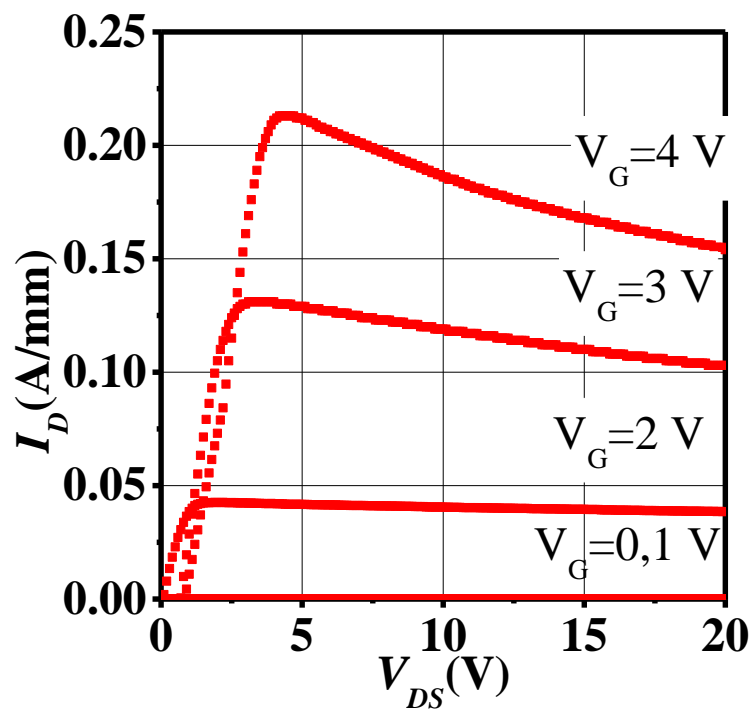


図 2-5-1 p-GaN ゲート HFET 静特性

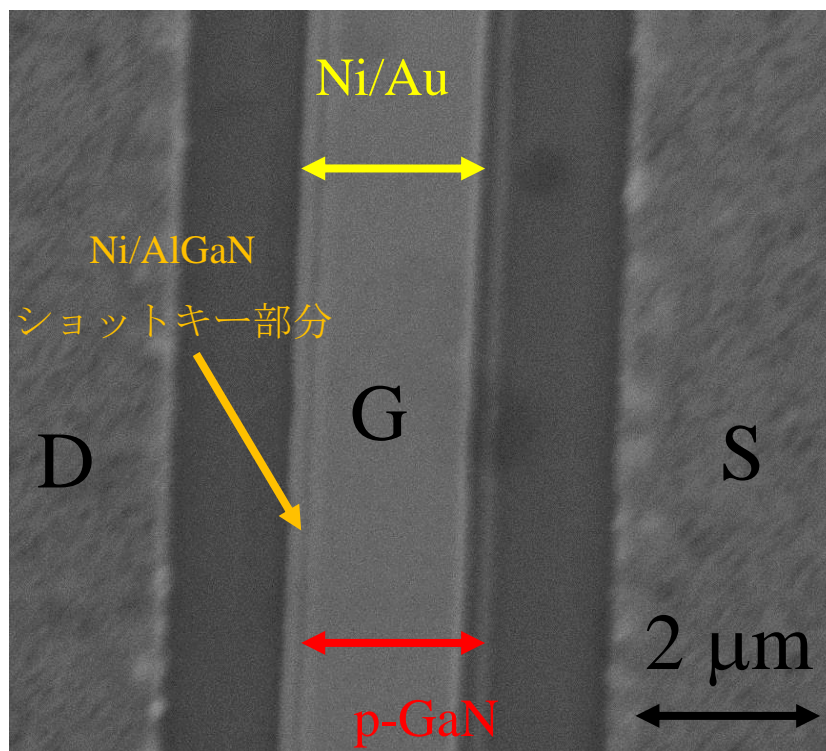


図 2-5-2 p-GaN ゲート HFET ゲート部分 SEM 像

図 2-5-3 にドレイン電圧 $V_{DS}=5V$ における FET transfer 特性を示す。GaN ノーマリーオフデバイスとしては高い閾値電圧+1 V のノーマリーオフ動作が確認された。これは、図 2-3-1 に示すバンド図において AlGa_N/Ga_N 界面がフェルミ準位より 1 eV 程度持ち上げられていることと一致する。また、図 2-3-2 に示されたノーマリーオン・ノーマリーオフの境界になる AlGa_N 組成・膜厚に素子設計を行ったため高い閾値電圧と 0.2 A/mm のドレイン電流を同時に実現した。

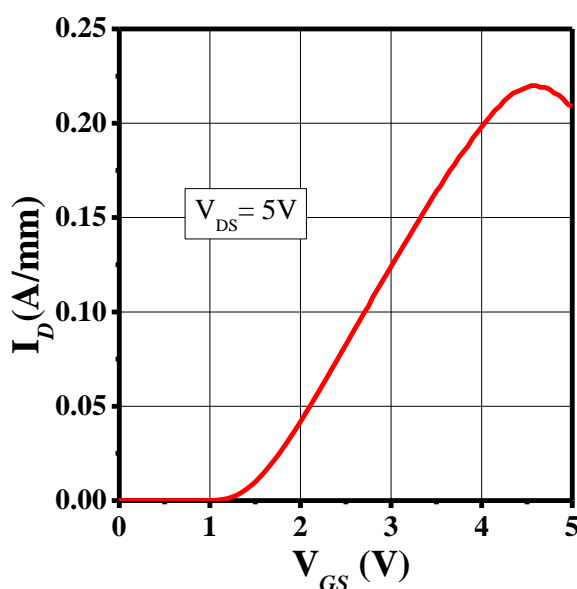


図 2-5-3 p-GaN ゲート HFET transfer 特性

本節では良好なノーマリーオフ特性を示す p-GaN ゲート HFET を作製した。ゲートリーク電流が存在するものの、ノーマリーオフ動作の温度依存性が十分測定可能なデバイスを作成できたため次章で温度特性の測定を行った。

2-6 電子移動度・速度温度依存性特性

AlGa_N/Ga_N ヘテロ構造では、2DEG キャリアは不純物の少ない u-Ga_N 中に存在している。u-Ga_N に比べ不純物が多く、合金散乱のある移動度の低い AlGa_N と空間的に分離された形になっており 2DEG は界面に沿って高い移動度を示す。
1-3,12-14)

半導体中のキャリアは低電界ではイオン化不純物散乱・光学フォノン散乱・音響フォノン散乱・転位による散乱等によって、移動度が決定される。それらの散乱による移動度が合成したものが実際に測定される移動度となる。各散乱に

よる移動度の合成はマティーンセンの法則で表すことが多い。¹²⁻¹⁴⁾

2DEG は不純物濃度の少ない GaN に存在するためイオン化不純物散乱の影響はほとんどなく、そのため室温域において移動度は温度依存性の大きい極性光学フォノン散乱と温度依存性のほとんどない界面粗さ・AlGaN 側への電子の染みだしによる合金散乱に依存する。^{3,14)}

極性光学フォノン散乱による移動度 μ_{pop} を(式 2-6-1)に示す。¹²⁻¹⁴⁾

$$\mu_{pop} \propto T^{-3/2} \left\{ \exp\left(\frac{\hbar\omega_{LO}}{k_B T}\right) - 1 \right\} \quad (\text{式 2-6-1})^{12-14)}$$

$$\hbar\omega_{LO} = 92 \text{ meV}$$

極性光学フォノン散乱・音響フォノン散乱・イオン化不純物散乱・圧電散乱・バレー間遷移を考慮したモンテカルロシミュレーションによる、低電界移動度・電子速度を温度(T 単位：K)と不純物濃度(N 単位：cm⁻³)の 2 変数関数としてフィッティングした数値解析用電子移動度モデル Farahmand Modified Caughey Thomas (FMCT)が提唱されている。¹⁵⁾ InGaN-cap HFET では室温での FMCT モデルを用いたシミュレーションが報告されており、¹⁶⁾ 本研究においては FMCT モデルを用いた高温動作特性予測の有効性の検討を行った。本研究のデバイスシミュレーションで用いた FMCT モデルによる低電界移動度 (式 2-6-2) および電子速度-電界依存性を (式 2-6-3) に示す。^{16,17)}

$$\text{低電界移動度 } \mu_0 (\text{cm}^2/\text{Vs}) = 295 \times \left(\frac{T}{300}\right)^{-1.02} + \frac{1165 \times \left(\frac{T}{300}\right)^{-3.02}}{1 + \left[\frac{N}{10^{17} \left(\frac{T}{300}\right)^{-3.84}} \right]^{0.66 \left(\frac{T}{300}\right)^{0.81}}} \quad (\text{式 2-6-2})^{15)}$$

$$\text{電子速度 } v (\text{cm/s}) = \frac{\mu_0 E + 1.9 \times 10^7 \left(\frac{E}{220}\right)^{7.2044}}{1 + 6.1973 \times \left(\frac{E}{220}\right)^{0.7857} + \left(\frac{E}{220}\right)^{7.2044}} \quad (\text{式 2-6-3})^{15)}$$

電界: E kV/cm

図 2-6-1 に (式 2-6-2) から導出した低電界移動度の温度依存性を示す。不純物濃度は 10¹³ cm⁻³ と仮定して計算した。シミュレーションに用いた FMCT モデル

は室温以上の温度領域において極性光学フォノン散乱による移動度と同様に温度上昇に伴って低電界移動度が減少するモデルである。

FMCT : FET シミュレーターの低電界移動度モデル^{15, 17, 18)}

μ_{pop} : 極性光学フォノンによる散乱¹²⁻¹⁴⁾

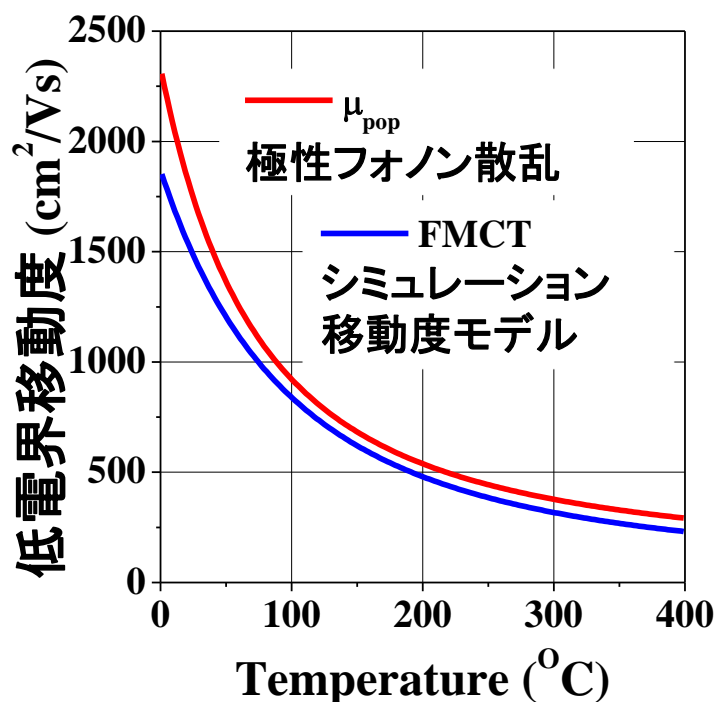


図 2-6-1 低電界移動度温度依存性^{15,17,18)}

デバイスシミュレーションでは電子速度から電流電圧特性が導出される。図 2-6-2 に (式 2-6-3) から導出される電界-電子速度の温度依存性を示す。¹⁵⁾ 電子速度は低電界(~10kV/cm)では図 2-6-1 に示す、低電界移動度が温度に依存し極性光学フォノン近似式を用いた。この電子速度の温度依存性を用いて、次節にてシミュレーションを行い、高温動作特性の予測に有用かどうかを検討した。

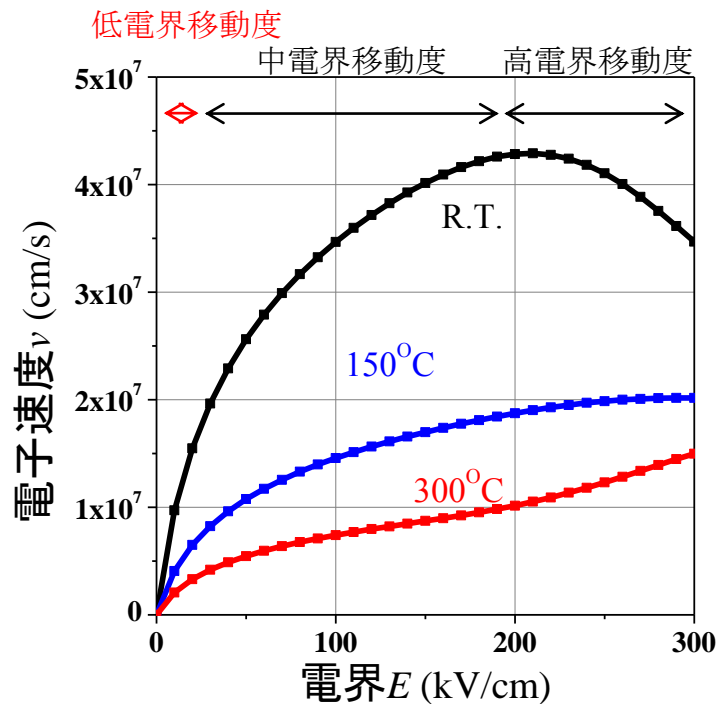


図 2-6-2 GaN チャネル電界電子速度・温度依存性^{15, 17, 18)}

2-7 p-GaN ゲート HFET のデバイスシミュレーション

HFET のチャネルは高密度の電流が流れ、特性は発熱の影響を受ける。作製した HFET における最大ドレイン電流 $I_{D\text{ MAX}}$ 時の導通損失による発熱密度を考えると $I_{D\text{ MAX}}=0.22\text{ A/mm}$ 、電圧 4.4 V 、デバイス有効面積 $A=13\text{ }\mu\text{m}\times 100\text{ }\mu\text{m}$ での発熱密度を考えると 7.4 kW/cm^2 となり、導通損失による発熱密度のみで Si 製 Intel 社 CPU (100 W/cm^2)¹⁹⁾ や Si Power MOSFET の定格よりも 1~2 桁大きい。そのためパワーデバイス特性の解析では発熱の影響を考慮する必要があり、そのためにはデバイスシミュレーションが有効である。

本研究では、p-GaN ゲート HFET の高温での動作特性再現のためシミュレーターとして Silvaco 社製 ATLAS を使用した。ポアソン方程式・電流連続の式・熱伝導方程式を連立して、発熱と移動度・電子速度の温度依存性^{13,16)}を考慮し、有限要素法を用いてデバイスシミュレーションを行った。熱伝導の境界条件を基板上部・下部においてそれぞれ空気との接触とした。移動度・電子速度の温度依存性は前節で示したモデルを用いた。

図 2-7-1 にシミュレーションに設定した p-GaN ゲート HFET 構造を示す。

AlGaN の AlN 組成 0.3 膜厚 10 nm としてシミュレーションを行った。残留不純物として u-AlGaN・u-GaN 中に浅いドナー 10^{13} cm^{-3} と、u-GaN 中にリーク電流が流れるリーク電流を抑制するためトラップとなる深い $E_A - E_V = 0.9 \text{ eV}$ のアクセプタ準位 10^{15} cm^{-3} を導入した。ノーマリーオフ p-GaN ゲート HFET のシミュレーションを実験結果に一致させるために、分極の大きさと SiN_x/AlGaN 界面に界面電荷をフィッティングパラメータとして閾値電圧とドレイン電流のフィッティングを行った。AlGaN 層の分極差を $P = -q \times 6 \times 10^{12} \text{ C/cm}^2$ (q : 電気素量)として閾値電圧を一致させ、SiN_x/AlGaN 界面に $+q \times 2 \times 10^{12} \text{ cm}^{-2}$ の正界面電荷を置くことでドレイン電流のフィッティングを行った。図 2-7-2 に分極による閾値電圧フィッティングを行った結果を示す。

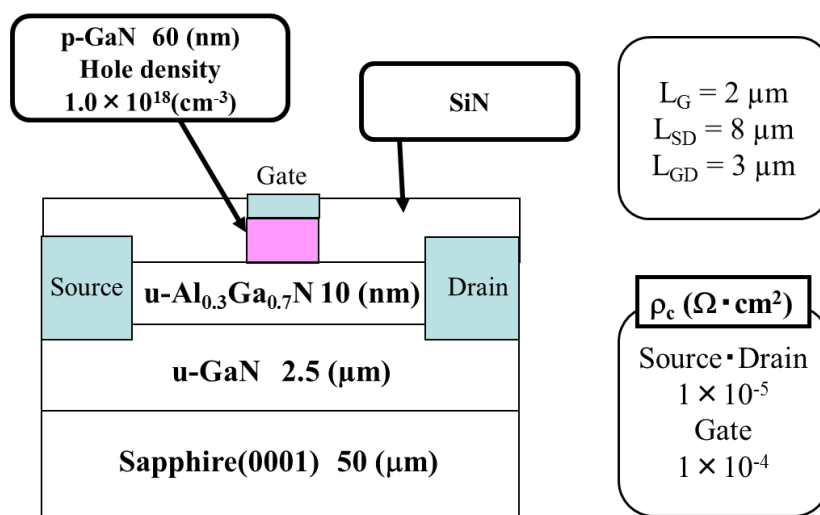


図 2-7-1 p-GaN ゲート HFET シミュレーション設定

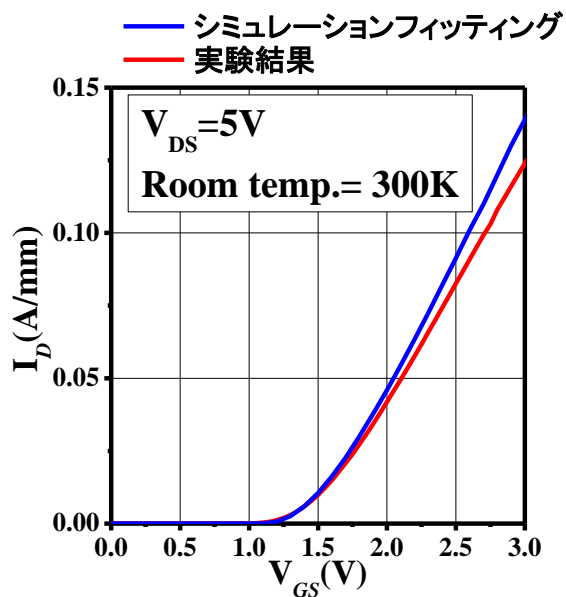


図 2-7-2 分極による閾値電圧フィッティング

図 2-7-3 にシミュレーションと実験結果の FET 特性を示す。ゲート電圧は $V_{GS}=0\sim 4$ V, $\Delta V=1$ V と変化させシミュレーションを行った。実験結果に等しい閾値電圧 1V のノーマリーオフ動作を再現した。p-GaN ゲート HFET デバイス測定値と最大ドレイン電流をほぼ一致させることができた。また、実験結果とは異なりゲートリーク電流は GaN の見られなかった、このシミュレーションと実験値のずれは図 2-5-2 の SEM 像から確認されるように作製したデバイスではゲート電極のアライメントのずれが Ni/AlGaIn のショットキーとして作用している領域が存在しているためである。

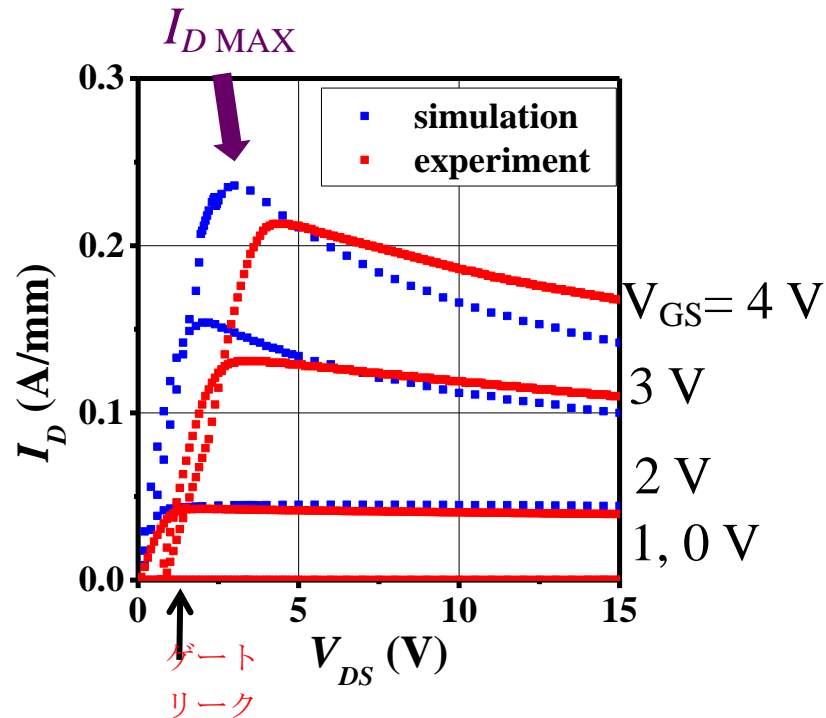


図 2-7-3 FET 特性の実験値・シミュレーション結果比較

図 2-7-5 にシミュレーションで最大ドレイン電流($I_{D \text{ MAX}}$)を示した $V_G=4 \text{ V}$, $V_{DS}=2.6 \text{ V}$ における水平方向電界分布を示す。電界密度の等高色の最大値は 10 kV/cm であり、最大ドレイン電流を示す電圧($V_G=4 \text{ V}$, $V_{DS}=2.6 \text{ V}$)において GaN チャンネル中にかかる最大電界は 5 kV/cm 程度であることが確認された。

他材料系と GaN は電子速度-電界特性が大きく異なることが知られている。GaAs の最大電子速度($2.2 \times 10^7 \text{ cm/s}$)は低電界(3.2 kV/cm)で速度飽和するのに対し GaN の最大電子速度($2.5 \times 10^7 \text{ cm/s}$)は高電界(200 kV/cm 以上)まで飽和しない。そのため最大ドレイン電流を示す低電圧でのデバイス特性は低電界領域の電子速度-電界特性(電子移動度)に大きく依存する。図 2-7-6 にモンテカルロシミュレーションによる電界電子速度と低電界移動度から計算される電子移動度 \times 電界($\mu \times E$)の比率を示す。最大ドレイン電流時の電界 ($5 \sim 7 \text{ kV/cm}$)においてモンテカルロシミュレーションによって導出された電子速度は $\mu \times E$ の 70%以上であり極端に電子速度は飽和していない。 $\mu \times E$ からの 30%のずれはフォノンによる散乱による電子の非弾性散乱によるものである。図 2-7-6 に示すように電子速度/電子移動度 \times 電界($\mu \times E$)は温度によらず一定であるという電子速度モデルを用いシミュレーションを行った。今回比較を行った最大ドレイン電流を示す低ドレイン電圧・低電界($V_{DS}=2.6 \text{ V} \cdot E=5 \sim 7 \text{ kV/cm}$)におけるデバイス特性は、電子速度の飽和は僅かであり低電界移動度によって特性が大きく左右される。

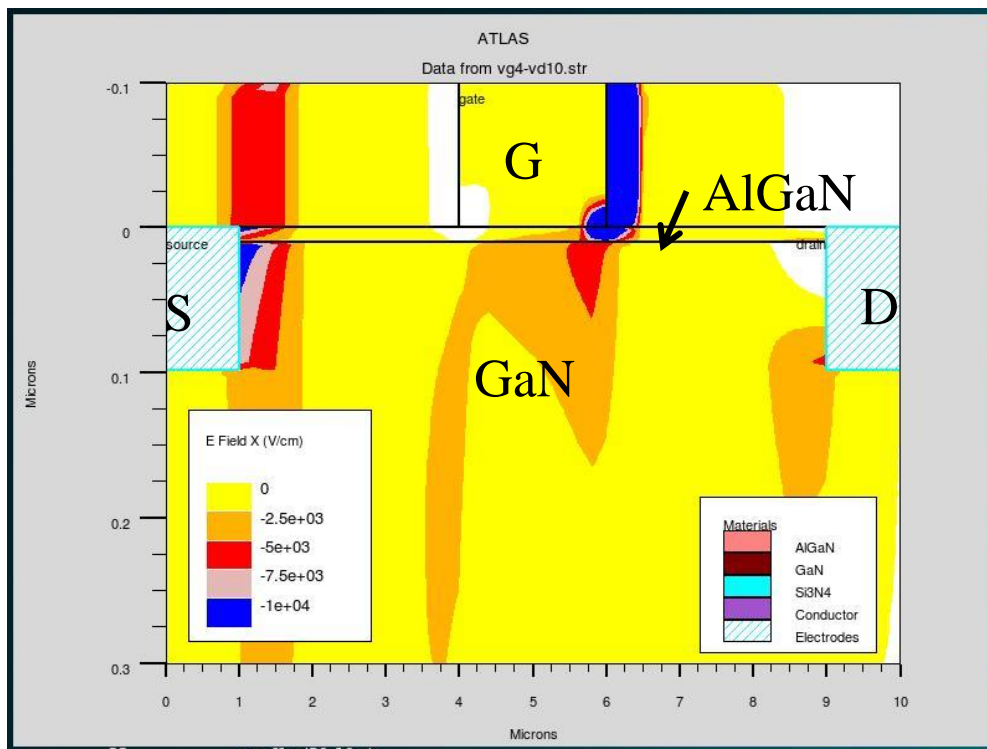


図 2-7-5 電界分布シミュレーション $V_G=4$ V, $V_{DS}=2.6$ V

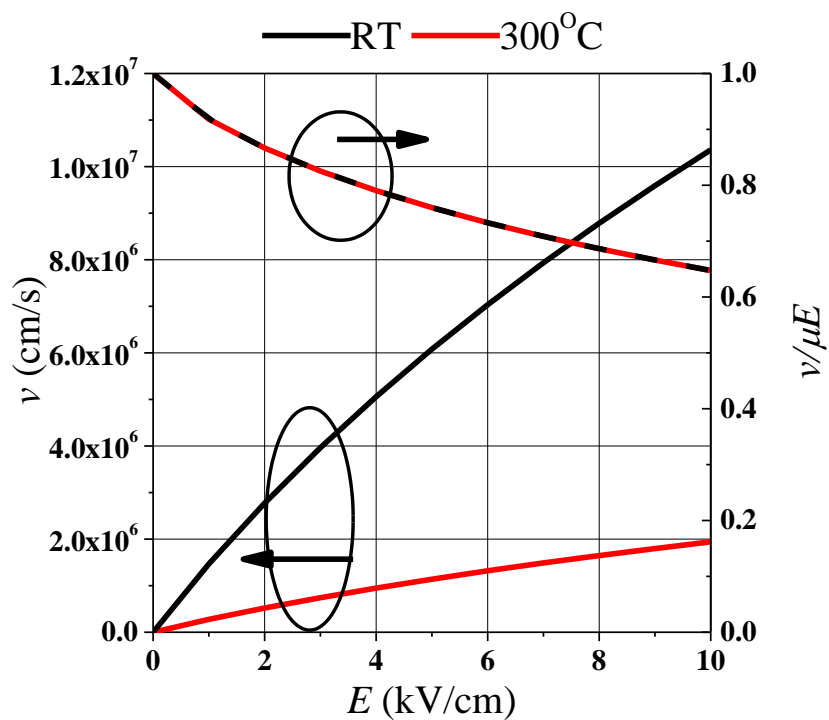


図 2-7-6 低電界における電界電子速度と電子速度 $v/\mu E$ (移動度×電界)

FET に高ドレイン電圧を印加した際のデバイスシミュレーションにおいては電界・電子速度の詳細な検討が必要である。実際のインバータ回路ではスイッチングデバイスをオン状態・オフ状態を切り替えることで動作している。そのため低電圧での特性は高電圧特性よりも重要であり、シミュレーションにおいても最大ドレイン電流を示す低ドレイン電圧での特性シミュレーションが重要となる。

2-8 まとめ

本章では、p-GaN ゲート HFET の原理・構造を述べた後に、高温動作特性を測定する p-GaN ゲート HFET の作製方法、および室温での測定結果を示した。

p-GaN 層のドライエッチングの再現性を高めるために、AlGaIn と GaN のエッチング選択比を上げる手法として、エッチングガスに酸素を混入してエッチングを行うことでエッチング選択比を 12 まで高め、さらにエッチング毎に発生する誤差を低減するため p-GaN を薄くすることで、誤差を低減しさらにエッチング再現性を高めた。

作製した p-GaN ゲート HFET は、ゲート接合型ノーマリーオフデバイスとして高い閾値電圧 $V_{th}=+1$ V を実現した。しかし、ゲートパターンのアライメント精度の問題により、AlGaIn 上にも Ni/Au ゲートが一部存在したためにゲートリーク電流の増大が確認された。

HFET のキャリアである 2DEG の移動度温度依存性を示し、シミュレーションにおいて室温でのデバイス特性の再現を行った。次章でデバイス特性とシミュレーション結果の比較を行い、シミュレーションによる高温動作特性予測の有効性を最大ドレイン電流の温度依存性から検討する。

参考文献

- 1) J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra: Appl. Phys. Lett. **77** (2000) 251.
- 2) M. A. Khan, J. N. Kuznia, J. M. Van Hove, N. Pan, and J. Carter: Appl. Phys. Lett. **60** (1992) 3027.
- 3) J. Piprek *Nitride Semiconductor Devices Principles and Simulation* WILEY-VCH (2007)
- 4) 福田 益美, 平地 康剛 GaAs 電界効果トランジスタ 電子情報通信学会
- 5) STR Inc. SiLENSe Physics Summary

- 6) 藤井 隆弘 名城大学修士論文 2008 年度
- 7) 水野 克俊, 藤井 隆弘, 中村 省吾, 根賀 良平, 岩谷 素顕, 上山 智, 天野 浩, 赤崎 勇:第 68 回応用物理学会 北海道工業大学 4p-Q-1
- 8) T. Sugiyama, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki: Jpn. J. Appl. Phys. **50** (2011) 01AD03
- 9) O. Aktas, Z. F. Fan, S. N. Mohammad, A. E. Botchkarev, and H. Morkoc: Appl. Phys. Lett. **69** (1996) 3872.
- 10) T. Fujii, N. Tsuyukuchi, Y. Hirose, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: Jpn. J. Appl. Phys. **46** (2007) 115.
- 11) Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda: IEEE Trans. Electron Devices, **54** (2007) 3393.
- 12) 小長井 誠 半導体物性 培風館(1992)
- 13) 浜口 智尋 半導体物理 朝倉書店(2001)
- 14) X. Xu, X. Liu, X. Han, H. Yuan, J. Wang, Y. Guo, H. Song, G. Zheng, H. Wei, S. Yang, Q. Zhu, and Z. Wang: Appl. Phys. Lett. **93** (2008) 182111.
- 15) M. Farahmand, C. Garetto, E. Bellotti, K. F. Brennan, M. Goano, E. Ghillino, G. Ghione, J. D. Albrecht, and P. P. Ruden: IEEE Trans. Electron Devices **48** (2001) 535.
- 16) S. Vitinov and V. Palankovski: Solid-State Electron. **52** (2008) 1791.
- 17) Silvaco ATLAS user manual
- 18) Silvaco Simulation Standard **19** (2009) No.1, 5.
- 19) PP Gelsinger: Solid-State Circuits Conference, 2001
- 20) Hongfang Wang, Fred Wang, and Junhong Zhang: IEEE Trans. Electron Devices **55** (2008) 466.

3 章 p-GaN ゲート HFET の高温動作

3-1 はじめに

前章で作製した p-GaN ゲート HFET を研削研磨によって薄片化し加熱ステージに真空チャックによって固定し、設定温度と実効温度の差を可能な限り減らし高温動作特性の評価を行った。GaN ワイドバンドギャップ半導体に期待される高温動作測定を加熱ステージの限界 350℃まで行った。図 3-1-1 加熱ステージ付プローバーの写真を示す。

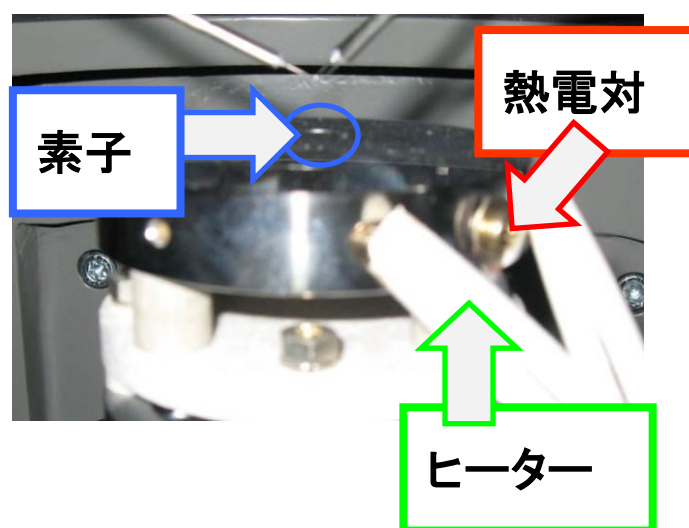


図 3-1-1 加熱ステージ付プローバー写真

3-2 p-GaN ゲート HFET の温度依存性

加熱ステージにて温度調整を行いながら FET 特性の評価を行った。温度が設定値に達してから 5 分間待ち、安定状態に達してから各測定点での測定を行った。

図 3-2-1,2,3 にステージ温度・室温, 150 °C, 300 °Cにおける静特性を示す。ゲート電圧 $V_{GS}=0\sim4$ V, $\Delta V=1$ V と変化させ測定を行った。図 3-2-4 に $V_{GS}=4$ V のドレイン電流電圧(I_D - V_{DS})特性の温度依存性示す。

温度の上昇に伴ってドレイン電流密度が低下するが、300 °Cにおいてもノーマリーオフ動作していることを確認した。^{1,2)} また、温度上昇に伴って $I_D=0$ A/mm に達するドレイン電圧 V_{DS} が増大しており、ゲート電流が温度上昇に伴って増大

していることを示している。これは図 2-5-2 で示したゲート電極が AlGaIn 層へ接触している部分において、高温ではショットキーゲート HFET³⁾と同様にゲート電流が増大したためと考えられる。

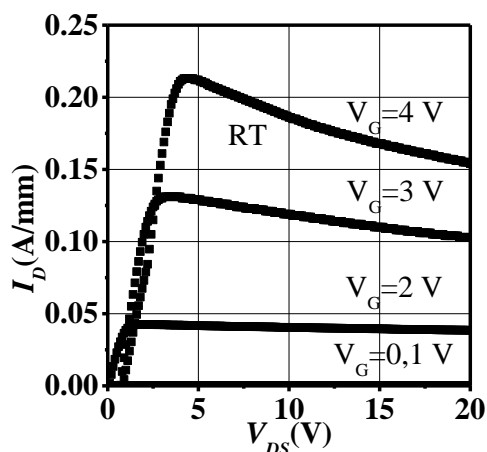


図 3-2-1 室温における HFET 静特性

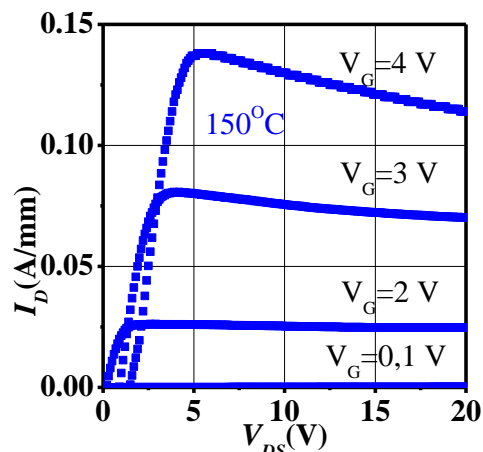


図 3-2-2 ステージ温度 150 °C における HFET 静特性

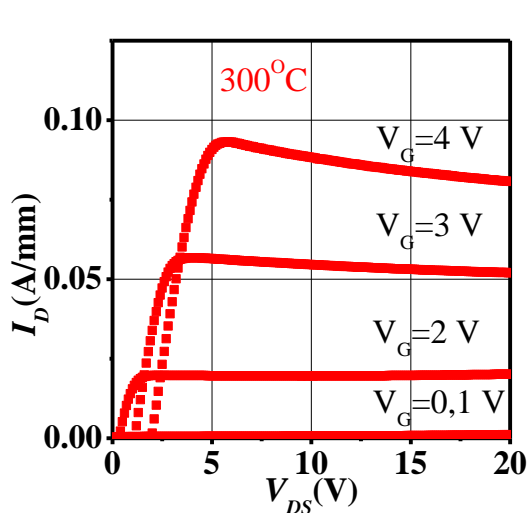


図 3-2-3 ステージ温度 300 °C における HFET 静特性

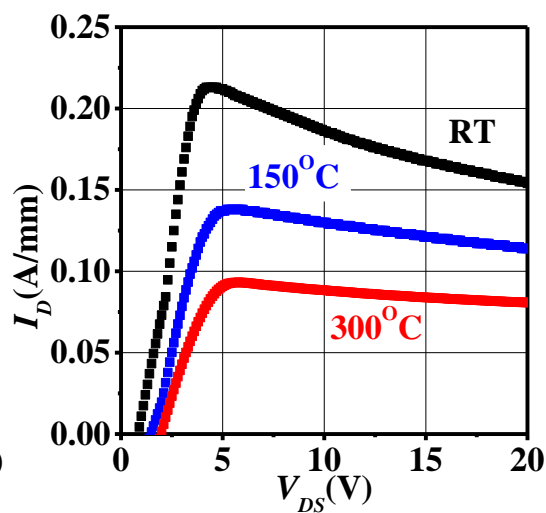


図 3-2-4 p-GaN ゲート HFET の $V_{GS}=4V$ ドレイン電流電圧特性の温度依存性

$V_{GS}=4V$ $V_{DS}=0V$ 時のゲート電流は、室温で $I_G=50\text{ mA/mm}$ から 300°C では $I_G=60\text{ mA/mm}$ に増加した。

図 3-2-5 に $V_{DS}=5V$ 時のステージ温度が室温、150 °C、300 °Cにおける Transfer 特性を示す。静特性同様温度上昇に伴いドレイン電流密度の低下が見られる。 $V_{DS}=5V$ 時の最大 I_{DS} は室温 220 mA/mm から 300°Cでは 92 mA/mm に半減したが、300°Cにおいても安定したノーマリーオフ動作が確認された。¹⁻²⁾

Si^{4,5)}や GaN の MOSFET^{6,7)}において報告されている大きな閾値電圧変化は見られなかった。図 3-2-6 に $V_{DS}=5V$ 時のステージ温度が室温、150 °C、300 °Cにおける相互コンダクタンス $g_m = \frac{\partial I_D}{\partial V_{GS}}$ 特性を示す。Transfer 特性と同様に温度上昇に伴う g_m の低下が見られ、最大相互コンダクタンスは室温 83.8 (mS/mm) から 300°Cでは 42.6 (mS/mm)に半減した。

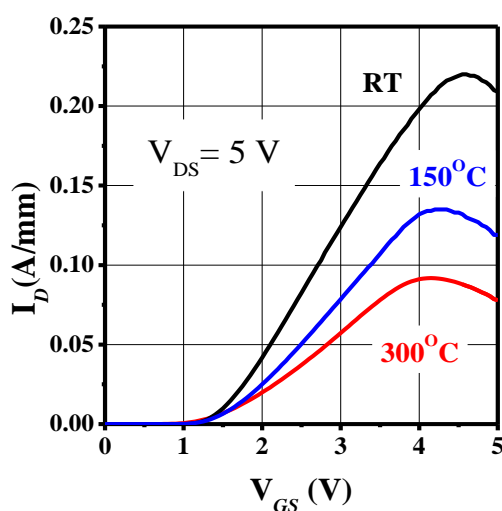


図 3-2-5 ステージ：室温・150 °C・300 °Cにおける Transfer 特性

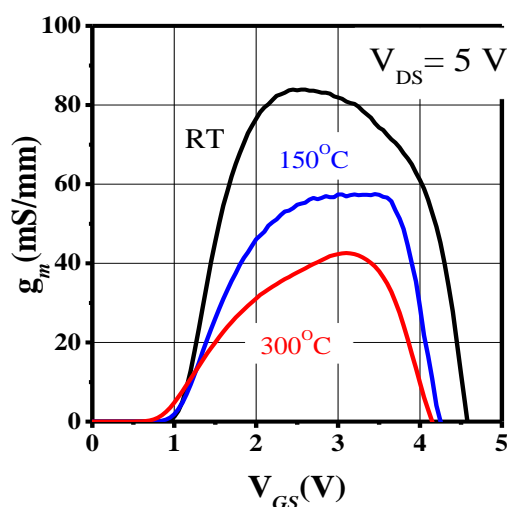


図 3-2-6 ステージ：室温・150 °C・300 °Cでの相互コンダクタンス g_m 特性

3-3 閾値電圧の温度依存

図 3-3-1 に $V_{DS}=5\text{ V}$ 、 $V_{GS}-I_{DS}$ 特性・閾値電圧近傍を拡大したものを示す。温度上昇に伴い閾値電圧が変化・減少していることが確認された。本研究では閾値電圧 V_{th} は FET の解析式(式 3-3-1)から $I_{DS}-V_{GS}$ 特性の $I_{DS}=0$ 近傍の I_{DS} を 1/2 乗して線形近似を行い、閾値電圧を導出した。

$$I_{DS} = K(V_{GS} - V_{th})^2 \quad (\text{式 3-3-1})^4 \quad K = \frac{\mu W_g \varepsilon}{2L_g d}$$

μ , ε , d はバリアの電子移動度, 誘導率, 膜厚
 W_g , L_g はゲート幅およびゲート長

図 3-3-2 に p-GaN ゲート HFET の閾値電圧温度依存を示す。p-GaN ゲート HFET 閾値電圧の温度依存性を一次関数としてフィッティングすると、その傾きは $-0.1\text{V}/100\text{ }^\circ\text{C}$ であった。閾値電圧が温度上昇に伴い減少した理由を考察すると、p-GaN の Mg はアクセプタ準位が深い室温で正孔として作用するのは非常に少ないが Mg 濃度が $1\sim 3\times 10^{19}\text{ cm}^{-3}$ と高濃度であるため、室温においてもホール測定から求めた正孔濃度は $1\times 10^{18}\text{ cm}^{-3}$ とアンドープ層に比べて十分高い従って、高温での正孔濃度増大によってゲート構造が、より p^+-n^- へ変化し閾値電圧がプラスに変化することはなかったと考えられる。温度上昇に伴って閾値電圧が減少している理由は一般的な MOSFET 同様に熱による電子の分布関数変化から、高温ではより低いゲート電圧でも 2DEG チャネルを形成するためと考えられる。^{2,4)}

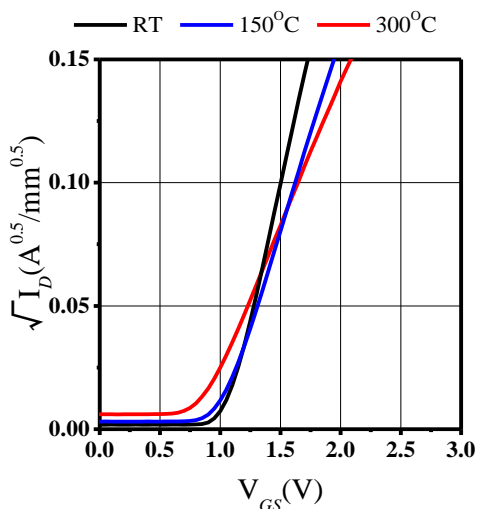


図 3-3-1 室温・150 °C・300 °C
 における $V_{GS}-\sqrt{I_{DS}}$ 特性 $V_{DS}=5\text{V}$

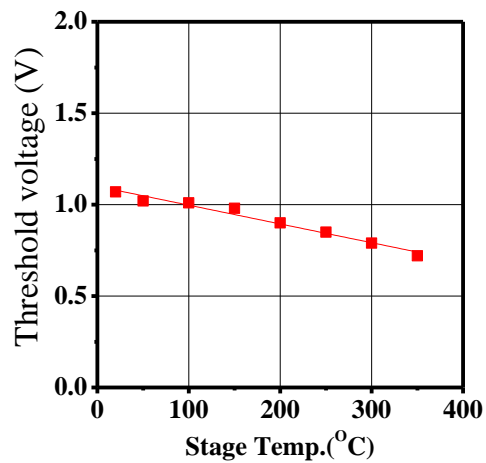


図 3-3-2 p-GaN ゲート HFET
 閾値電圧温度依存

図 3-3-3 に各機関から報告されている、閾値電圧の温度依存性を比較したものを示す。Si デバイスの閾値電圧はバンドギャップエネルギーが小さいため熱による影響を受けやすい。理論的に少なくとも $-0.2 \sim -0.3 \text{ V}/100^\circ\text{C}$ 以上とされており、²⁾ Si-MOSFET³⁾ の閾値電圧の温度依存性は大きい。GaN^{6,7)} や SiC⁸⁾ の MOSFET は絶縁体/半導体間の界面準位による大きな閾値電圧変化が報告されており、そのため絶縁膜成膜プロセスを改善した MOS 界面準位密度低減の研究が盛んにおこなわれている。^{9,10)} また、2012 年に N. Maeda らにより閾値電圧・ドレイン電流の温度依存性が少ないゲートリセス MOSHFET¹¹⁾ が報告された。一方 p-GaN ゲート HFET はゲート構造を結晶成長によって作製されており、界面準位の影響を受けない構造であることに加えて、高温でのゲート p-GaN 中のホール活性化により閾値電圧減少が緩和されていると考えられ、閾値電圧の温度依存性は少ない。これは SiC-JFET¹²⁾ の閾値電圧の温度依存性が少ないことと同じ理由であると考えられる。

また、F プラズマによるノーマリーオフ HFET^{13,14)} は室温での閾値電圧 $+0.76 \text{ V}$ であるのに対し 375°C においては閾値電圧 $+0.24 \text{ V}$ への変動が報告されている。これはフッ素プラズマによるダメージにより MOS 界面と同様に閾値電圧が温度に対して不安定になったためと考えられる。

また、p-GaN ゲート中のアクセプタ Mg の活性化を考慮しない高温デバイスシミュレーションにおいて閾値電圧は実験結果 ($+0.75 \text{ V}@300^\circ\text{C}$) よりも大きく減少 ($+0.5 \text{ V}@300^\circ\text{C}$) した。²⁾ 実験において高温ではゲート p-GaN 中のホール濃度が高くなることでゲート直下の空乏層がよりチャネル側に広がることで 2DEG が枯渇し、p-GaN 中のホール濃度増加によって閾値電圧の変化量が小さくなったと考えられる。高温におけるゲート p 型半導体中のホール活性化は閾値電圧の減少を抑制する効果があり、高温ノーマリーオフデバイスの閾値電圧安定性向上に有効である。

閾値電圧の高温での安定性はパワースイッチング素子として重要な要素であり p-GaN ゲート HFET は正孔活性化による閾値電圧の正シフトは実現できなかったが、界面の影響を受けない構造であったため閾値電圧の温度依存性が少ないことが証明された。

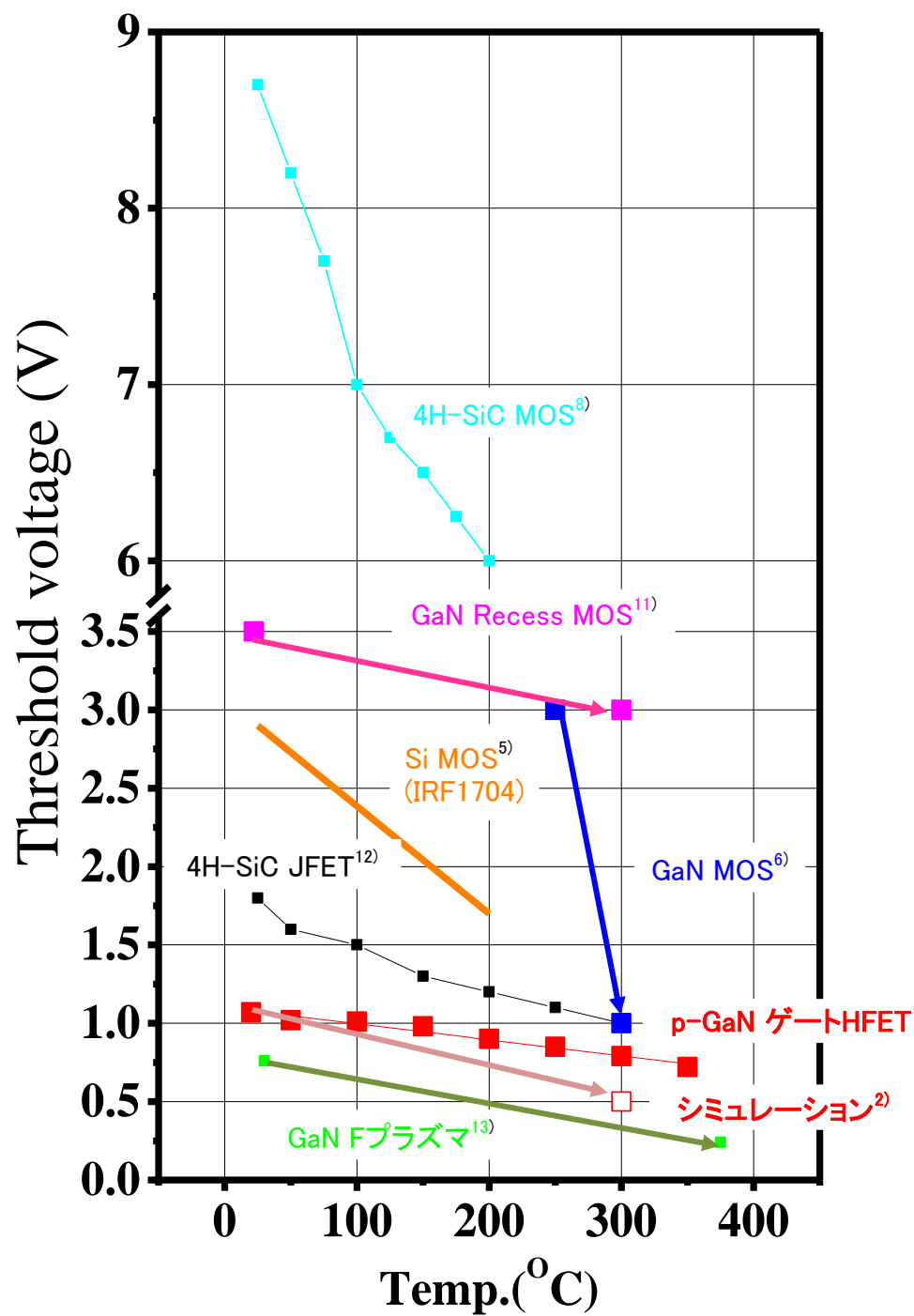


図 3-3-3 各種ノーマリーオフ FET の閾値電圧温度依存性

図 3-3-4 に片対数表示で室温・150 °C・300 °Cにおける V_{GS} - I_{DS} 特性を示す。温度上昇に伴いオフ状態 $V_{GS}=0$ V でのドレインリーク電流の増大が確認された。ゲートに逆バイアスを印加してもドレイン電流が変化しないことから、ゲート部分がドレインリーク電流の経路になっているのではなく、u-GaN 層がドレインリーク電流の経路になり高温動作時にドレインリーク電流が増大したと考えられる。

また、ドレイン電流が一桁変わる時に必要なゲート電圧：サブスレッショルドスイング係数は室温の 110 mV/decade から 300 °Cでは約 2.5 倍の 280 mV/decade に増加した。これは室温から 300 °Cにおいて半分以下に低下することと一致する。

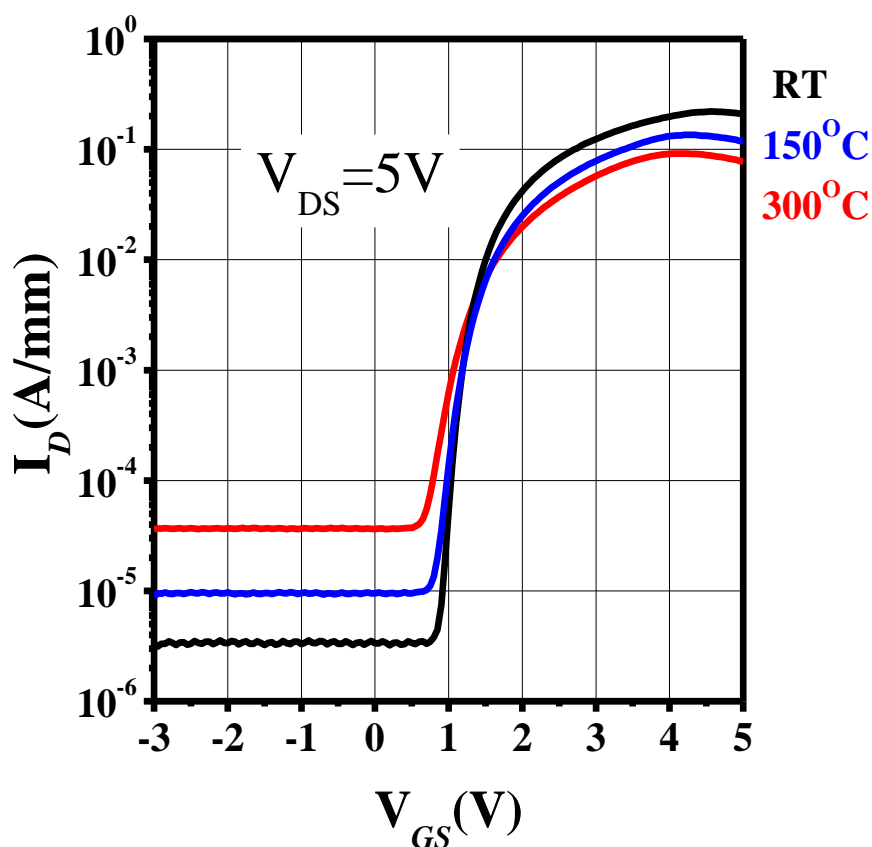


図 3-3-4 室温・150°C・300°Cにおける V_{GS} - I_{DS} 特性 $V_{DS}=5V$

3-4 p-GaN ゲート HFET 温度特性のシミュレーション

図 3-4-1, 3-4-2, 3-4-3 に室温, 150 °C, 300 °C それぞれの温度における FET 温度特性の実験結果とシミュレーション結果を示す。²⁾

実験結果とシミュレーションの温度依存性の傾向はおおよそ一致し、2 章で示した移動度の温度変化および電界-電子速度の温度依存性のモデルを用いることで高温での FET 特性を予測可能なことが確認された。

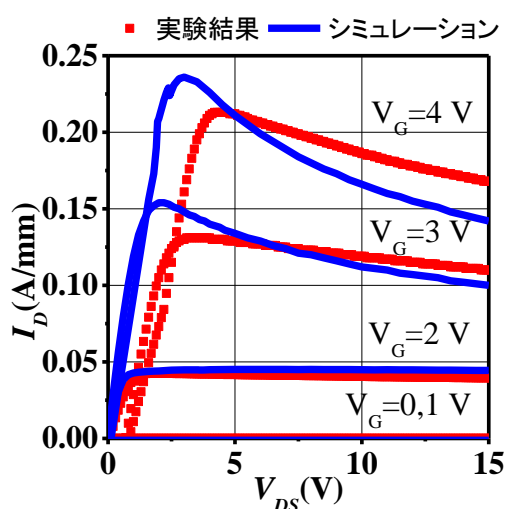


図 3-4-1 室温における
p-GaN ゲート HFET 静特性
実験結果・シミュレーション比較

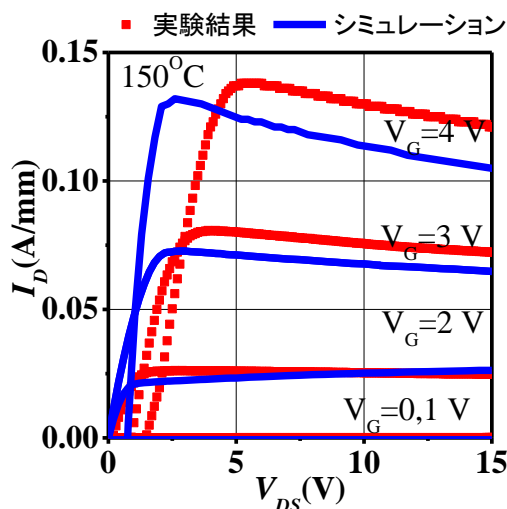


図 3-4-2 ステージ温度 150 °C における
p-GaN ゲート HFET 静特性
実験結果・シミュレーション比較

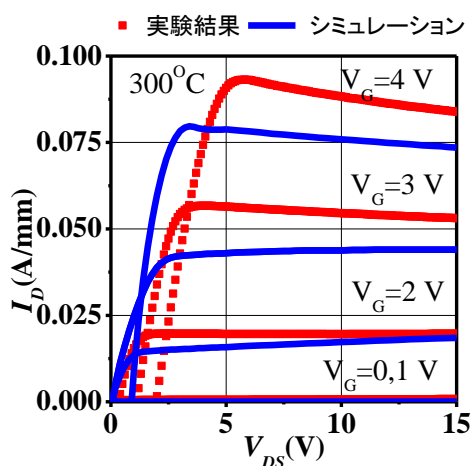


図 3-4-3 ステージ温度 300 °C における p-GaN ゲート HFET 静特性
実験結果・シミュレーション比較

図 3-4-4 に実験結果シミュレーションによる、最大ドレイン電流 $I_{D\text{ MAX}}$ の温度依存性を示す。測定結果とシミュレーションは同様のドレイン電流減少の傾向を示すことが確認できた。2 章で示した様に最大ドレイン電流におけるデバイス中の電界は 5 kV/cm~と小さいため、高温での最大ドレイン電流は低電界移動度に律速されている。

そのため p-GaN ゲート HFET の $I_{D\text{ MAX}}$ 温度依存性は低電界電子移動度が低下したため特性が変化したと考えられる。シミュレーションでは室温以上の温度域において極性光学フォノン散乱の移動度と同様の温度依存性を示す電子移動度モデルを用いた。そのため高温でのドレイン電流の減少は極性光学フォノン散乱による移動度の低下によって生じたと考えられる。図 3-4-4 右軸に示したシミュレーションで用いた移動度 μ_{FMCT} および極性光学フォノン散乱による移動度 μ_{pop} の減少傾向と最大ドレイン電流 $I_{D\text{ MAX}}$ 減少傾向も一致しており、この傾向からも $I_{D\text{ MAX}}$ の温度依存性は極性光学フォノン散乱に起因するものとして解析することで特性の再現が可能であった。

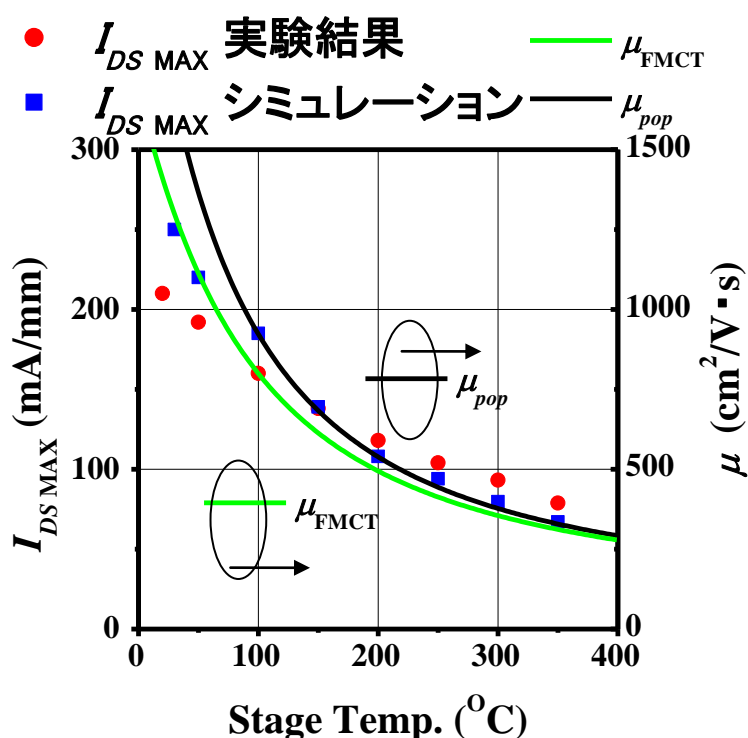


図 3-4-4 最大ドレイン電流 $I_{D\text{ MAX}}$ の温度依存性

また、実験結果とシミュレーション結果は完全には一致しなかった原因として、第一に今回シミュレーションで用いた電子速度のモデルが近似形であり、2012 年に B. AlOtabi らによりモンテカルロシミュレーションの電子速度の温度依存

性を反映した電界・電子速モデルを用いた報告¹⁵⁾がなされており、電界・電子速度の温度依存性を考慮することで高ドレイン電圧特性の再現が可能であると考える。また、加熱ステージ上に設置したサンプルの実効温度のずれが考えられるが、本研究では熱抵抗になるサファイアを総膜厚 100 μm まで薄片化し、真空チャックをもちいて加熱ステージに固定させ可能な限りステージ温度と実効温度のずれ少なくなるように測定を行っている。さらに AlGaIn/GaN 界面の荒さによる合金散乱や Mg 原子が GaN チャネルへ熱拡散することによってイオン化不純物散乱による影響が考えられる。

ソース-ドレイン間抵抗も最大ドレイン電流同様に移動度減少によって上昇した。素子有効面積を仮にエッチングで素子分離した面積 ($A=30\ \mu\text{m} \times 100\ \mu\text{m}$) とすると、オン抵抗 R_{on} は室温での $3.9\ \text{m}\Omega \cdot \text{cm}^2$ から 350°C では $9.8\ \text{m}\Omega \cdot \text{cm}^2$ に増加した。図 3-4-5、3-4-6 に FET オン状態のソース-ドレイン間線形抵抗の温度依存性を他機関からの報告と比較したものを示す。^{5, 8, 10)} p-GaN ゲート HFET のオン抵抗は 4H-SiC JFET に比べ温度依存性が少ないことが確認され、6H-SiC JHFET と同程度の温度依存性を示すことが確認された。しかし、6H-SiC は移動度が極めて低いためパワーデバイスとしては不向きな材料である。以上のことから p-GaN ゲート HFET は閾値電圧とオン抵抗の温度依存性が少ない高温特性に優れるデバイスであることが示された。¹⁶⁾

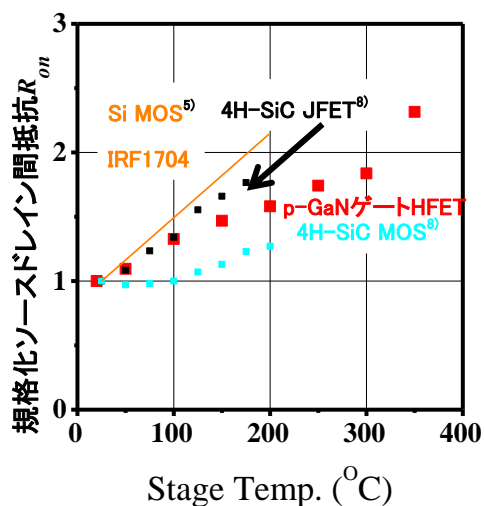


図 3-4-5 ソース・ドレイン間抵抗規格化 R_{on} の温度依存性

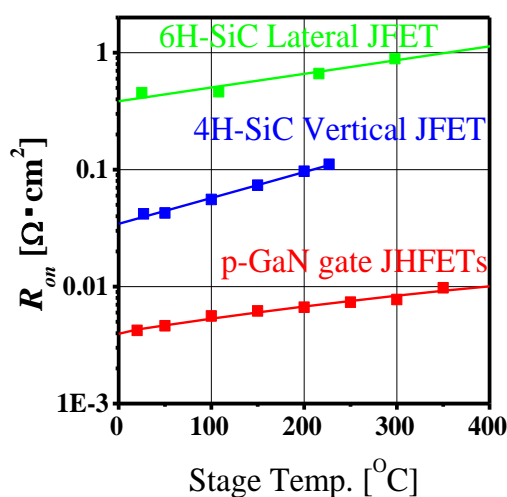


図 3-4-6 R_{on} 温度依存性絶対値比較¹⁶⁾

p-GaN ゲート HFET のソース-ドレイン間抵抗温度依存性はノーマリーオン型 AlGaIn/GaN HFET の高温動作時にオン抵抗が増大する結果と一致する。^{16,17)} 他の次世代パワーデバイスでは、SiC-MOSFET⁸⁾においてオン抵抗の温度依存性が極めて少ないことが報告されている。これはゲート直下の MOS 界面における移動度がバルク中の移動度に比べて低く、室温でのオン抵抗が MOS 界面での移動度によって極端に制限されている。そのため、SiC-MOSFET オン抵抗の温度依存性が少ない。MOS 界面移動度の改善が SiC・GaN では大きな課題となっている。SiC JFET⁸⁾では 150℃以上の高温でオン抵抗の増大が GaN よりも大きくなる。それらと比較して p-GaN ゲート HFET のソース・ドレイン間抵抗の温度依存性は一般的な AlGaIn/GaN HFET と同様に界面・表面の影響を受けないため、高温動作特性に優れる結果が得られた。

3-5 ドレインリーク電流の温度依存性

図 3-5-1 にゲート電圧 0 V におけるドレインリーク電流の温度依存性を示す。温度上昇に伴いドレインリーク電流の増大が確認された。図 3-3-4 で示した様にゲートに逆バイアスを印加してもドレイン電流が変化しないことから、ドレインリーク電流の経路はデバイスのゲート直下ではなく、下地 u-GaN 層がドレインリーク電流の経路になり高温動作時にドレインリーク電流が増大したと考えられる。高温 300 °C ではドレイン電圧が数十 V 程度でドレインリーク電流 1 mA/mm に達してしまい、on/off 比が 2 桁まで下がってしまう。GaN デバイスの動作が期待される高温環境下においては、ドレインリーク電流による待機損失の増大が確認される結果となってしまった。高温でのドレインリーク電流の増大は HFET 構造に下地に u-GaN 層を用いる構造で報告されている。^{17,18)} 下地 GaN バッファ層の高温低リーク電流化は必須である。

過去の p-GaN ゲート HFET に比べて、本研究で高温動作測定を行った試料は室温におけるリーク電流が 2 桁ほど高く u-GaN の絶縁性が不十分であった。¹⁹⁾ 高温での on/off 比確保、および待機損失を低減するために、室温でのリーク電流を制御性良く低減するため半絶縁性 GaN を作製する方法が必要であると考え、次章で半絶縁性 GaN の結晶成長を行った。図 3-5-2 に図 3-5-1 から求めたアレニウスプロットを示す。傾きから求められる活性化エネルギーは 50~59 meV と浅いエネルギーであることから、浅い準位である界面表面欠陥に関するリーク電流の増加あることが示唆された。

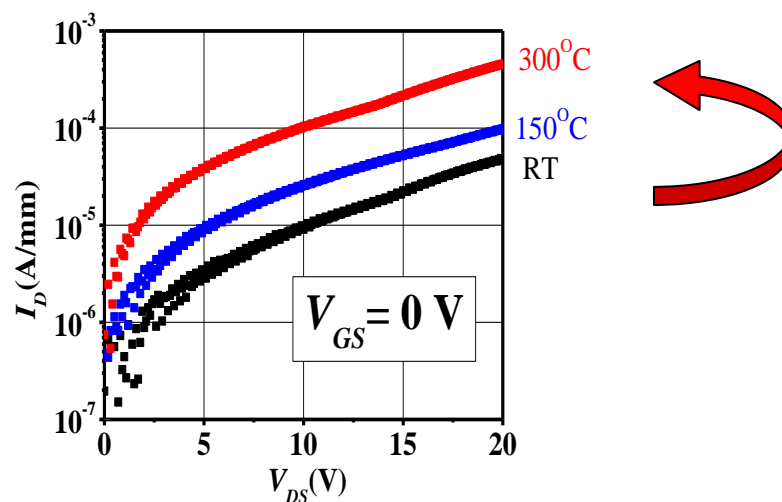


図 3-5-1 ゲートオフ状態のドレインリーク電流温度依存性

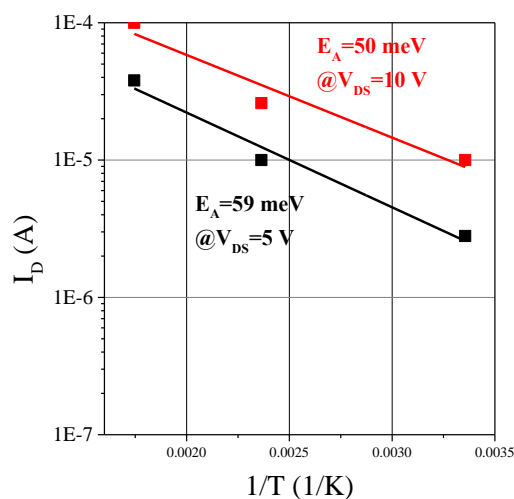


図 3-5-1 ドレインリーク電流アレニウスプロット

3-6 まとめ

本章では、 $\text{u-Al}_{0.3}\text{Ga}_{0.7}\text{N}$: 10 nm を有する p-GaN ゲート HFET を加熱ステージに設置し、温度特性評価を行った。p-GaN ゲート HFET は Si では動作不可能な 300 °C 以上の高温においてもノーマリーオフ動作することを確認した。p-GaN ゲート HFET のノーマリーオフ動作の安定性を示す閾値電圧温度依存性は -0.1V/100 °C であった。p-GaN ゲート HFET はゲート構造を結晶成長によって作製する、界面準位の影響を受けないゲート構造であるために、他のノーマリー

オフデバイスに比べ、閾値電圧の温度依存性が少なかったと考えられる。次にシミュレーションによって最大ドレイン電流の温度特性を解析した。温度上昇に伴う最大ドレイン電流の減少が極性光学フォノン散乱による移動度の低下によるものであることをシミュレーション結果および移動度の温度依存から検証した。

また、温度上昇に伴いドレインリーク電流の増大が確認された。ゲートに逆バイアスを印加しても変化が生じないことからこれは下地 **u-GaN** の半絶縁性が不十分であり、ドナー型の欠陥からキャリアが熱励起されたことによるものと考えられる。故意にドーピングを行わない **u-GaN** を用いた **p-GaN** ゲート HFET は高温において待機損失の増大が懸念されドレインリーク電流が **1 mA/mm** に達する電圧を耐圧と定義すると、高温では耐圧がドレインリーク電流によって決められてしまう。高温での低待機損失実現のためには、下地 **GaN** 層の高抵抗化が必要であると考え、次章に示すカーボンドーピングの制御性向上を試みた。

参考文献

- 1) T. Sugiyama, D. Iida, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki: *Phys. Status Solidi (C)*. **7** (2010) 2419.
- 2) T. Sugiyama, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki: *Jpn. J. Appl. Phys.* **50** (2011) 01AD03.
- 3) O. Aktas, Z. F. Fan, S. N. Mohammad, A. E. Botchkarev, and H. Morkoc: *Appl. Phys. Lett.* **69** (1996) 3872.
- 4) S. M Sze and Kwok K. Ng *Physics of semiconductor devices* 3rd edition WILEY p.318
- 5) International Road Federation 社 Si MOSFET IRF1704 Deta sheet
- 6) Y. Niiyama, H. Kambayashi, S. Ootomo, T. Nomura, S. Yoshida: *Solid-State Electron.* **51** (2007) 784.
- 7) K. Matocha, T. P. Chow and R. J. Gutmann: *IEEE Trans. Electron Devices* **52** (2005) 6.
- 8) L. Cheng, A. K. Agarwal, S. Dhar, S. H. Ryu, and J. W. Palmour: *J. Electron. Mater.* **41** (2012) 910.
- 9) Y. Hori, C. Mizue, and T. Hashizume: *Phys. Status Solidi C* **9** (2012) 1356.
- 10) E. Miyazaki, Y. Goda, S. Kishimoto, and T. Mizutani: *Solid State Electron.* **62** (2011) 152.
- 11) N. Maeda, M. Hiroki, S. Sasaki, and Y. Harada: *Applied Physics Express* **5** (2012) 084201.
- 12) M. Chinthavali, P. Ning, Y. Cui, and L. M. Tolbert: *Applied Power Electronics*

- Conference and Exposition (APEC), 2011, p. 1076.
- ¹³⁾ Y. Cai , Z. Cheng , Z. Yang , C. W. Tang , K. M. Lau and K. J. Chen: IEEE Electron Device Lett. **28** (2007) 328.
 - ¹⁴⁾ R. Wang, Y. Cai, and K. J. Chen: Solid-State Electron. **53** (2009) 1.
 - ¹⁵⁾ B. AlOtabi and P. Valizadeh: IEEE Trans. Device and materials reliability **12** (2012) 547.
 - ¹⁶⁾ T. Sugiyama, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki:: 2nd International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nano-materials. ISPlasma2010 PA045B
 - ¹⁷⁾ M. Asif Khan, Michael S. Shur, John N. Kuznia, Q. Chen, Jin Burm, and William Schaff: Appl. Phys. Lett. **66** (1995) 1083.
 - ¹⁸⁾ I. Daumiller, C. Kirchner, M. Kamp, K. J. Ebeling, and E. Kohn: IEEE Electron Device Lett. **20** (1999) 448.
 - ¹⁹⁾ T. Fujii, N. Tsuyukuchi, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: Jpn. J. Appl. Phys. **45** (2006) 1048.

4 章 アセチレンを用いたカーボンドープ GaN:C の成長

4-1 はじめに

高温動作時の低待機損失を実現するために、半絶縁性GaNは必須である。半絶縁性GaNを再現性・制御性良く成長可能になれば、導電性基板上にも高耐压デバイスを作製可能になる。図4-1-1に導電性基板上の高耐压HFETの模式図を示す。導電性基板を用いることで、HFETのソース電極と導電性基板を接続し、ソース電極を裏面に実装可能である。また導電性基板上の半絶縁GaN層とゲート・ドレイン間距離の設計により電界集中の緩和を行うことで、電流コラプスの低減が報告されている。¹⁻²⁾ 導電性基板接地・高耐压HFET実現のためには高耐压GaN層が必要になる。

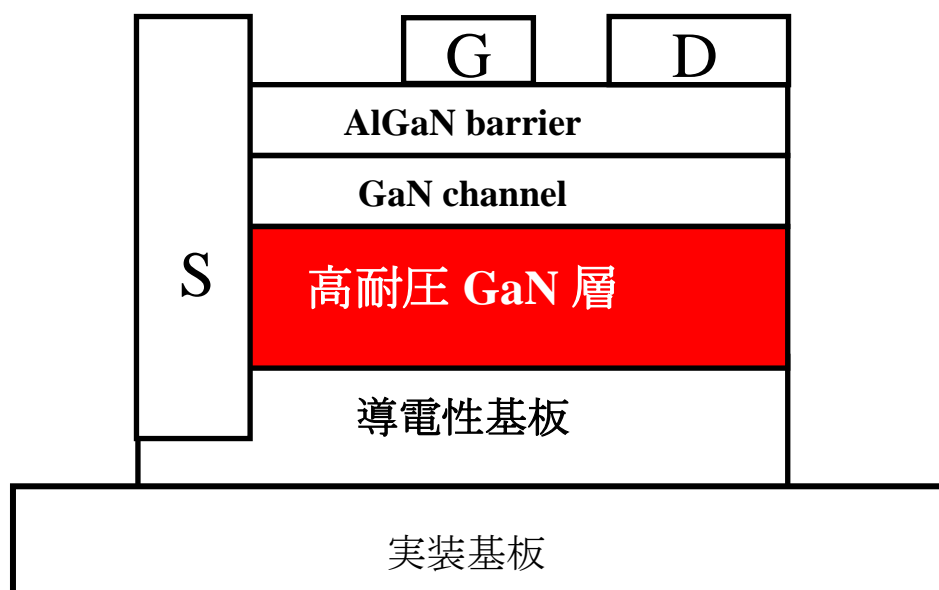


図4-1-1 導電性基板上の高耐压HFET

LEDやHFETなどのGaNデバイスは、基板コストの問題から現在は主に異種基板を用いて作製されている。異種基板に成長されたGaNは高密度の貫通転位が存在し、その物性が報告されている。³⁾

導電性基板上のHFETにおいて基板をソース接地にすると、高電圧が貫通転位の方へ印加される。その際、貫通転位がリークパスとして作用することが懸念される。本研究では、低欠陥化による信頼性向上とデバイス特性の高性能化を期待し、GaN基板への半絶縁性GaNの成長を行った。GaN基板は近年の低欠陥化・大型化が多数報告されており、コスト低減が進むことで、電子デバイス用基板としての応用も期待されている。現在はハイドライド気相エピタキシー (HVPE) 法を用いて製造された導電性GaN基板が市販されている。本研究では、基板の欠陥低減による効果の期待に加えて、将来のGaN基板上高耐圧スイッチングデバイス生産に必要な要素技術の確立をめざし、導電性GaN基板上に、高耐圧・高温低ドレインリークHFETを作製するために必要な高耐圧GaNの結晶成長法の確立を行った。

ここで、GaN基板を用いる際に必要な注意点がある。GaNは成長雰囲気（減圧～大気圧・1000℃以上）においては昇華性の物質であるため基板の熱分解を考慮しなくてはならない。図4-1-2成長炉内の概略図を示す、成長基板は結晶成長炉内で抵抗加熱によって裏面から温められている。そのためガス流に接している成長面よりも高温となるGaN基板裏面で熱分解が生じることが懸念される。図4-1-3に裏面が熱分解したHFET成長後のGaN基板を示す。熱分解により黒色化し金属Gaが析出しているのが確認される。基板裏面の熱分解による黒色化・金属Ga析出は成長面の実効温度を変化させる効果があり、熱分解した部分における実効温度の変化は不純物濃度やAlGaNやInGaNなどの混晶組成のずれを引き起こすため、裏面熱分解を抑制する必要がある。

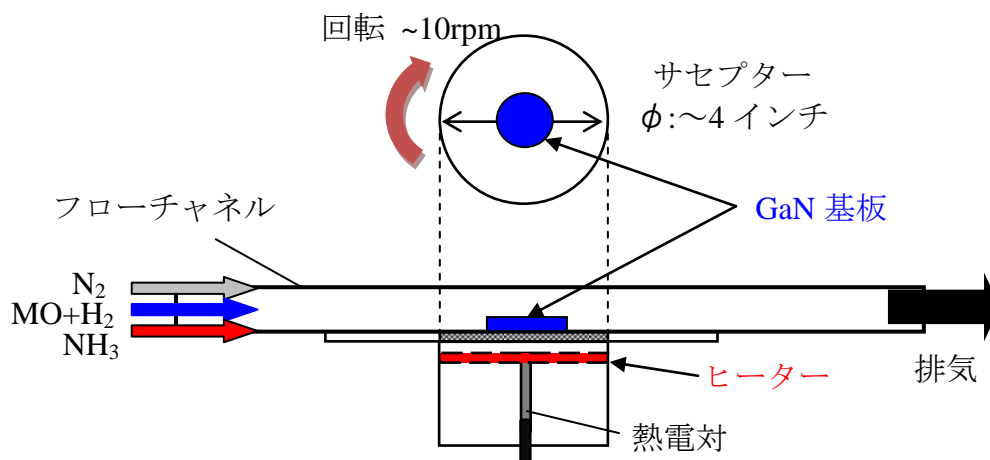


図 4-1-2 MOVPE 成長炉内の概略図

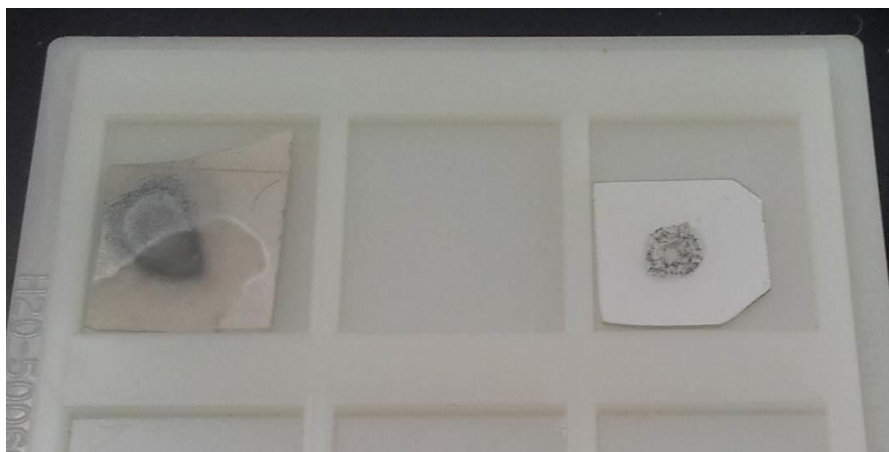


図4-1-3 裏面が熱分解した再成長後Ga_N基板

本研究では裏面にスパッタリング法でSiO₂膜 (100 nm) を堆積させることで裏面での熱分解を抑制した。図4-1-4に裏面SiO₂保護膜を用いて裏面熱分解を抑制し再成長を行ったGa_N基板の写真を示す。保護膜により2インチ全面において裏面熱分解のない再成長を行うことが可能となった。

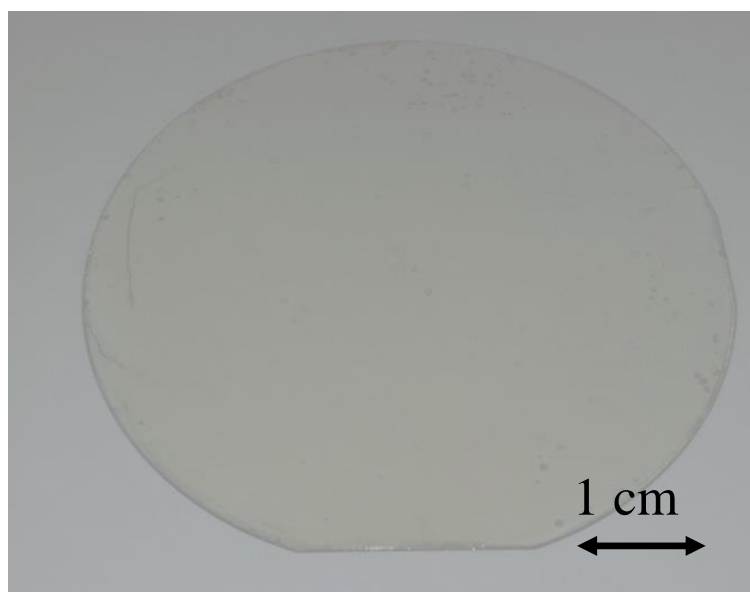


図4-1-4 裏面SiO₂保護膜を用いた再成長後の2 inch Ga_N基板

また、Ga_N基板を用いるうえで必要な注意点として、作製方法やキャリア濃度によって基板における赤外の光学特性が異なるためヒーター温度と基板表面の実効温度にずれが生じ、基板種ごとに成長温度の補正やその場観察が必要である。図4-1-5にHVPE製のGa_N基板上にヒーター温度1110 °C(サファイア基板基準で実効成長温度：1060 °C)でHFETを成長した後の顕微鏡写真を示す。また、図

4-1-6にはナトリウムフラックス法(Na-flux)製のGaN基板上に同じヒーター温度1110℃で成長したHFETの顕微鏡写真を示す。HVPE製GaN基板に比べてNa-flux法製GaN基板では表面荒れが観察された、これは基板作製方法によって赤外光学特性が異なるためヒーター温度と各GaN基板表面の実効温度が異なったためと考えられる。この凹凸は高耐圧デバイス実現のためには電界集中・リーク電流集中の原因となる可能性がある。高耐圧デバイス実現のためには平坦な表面を得ることが重要である。図4-1-7にNa-flux法製のGaN基板上にヒーター温度1090℃(サファイア基板基準で実効成長温度1040℃)で成長したHFETの顕微鏡写真を示す。基板温度を下げることで表面の荒れが減少し表面モフォロジーが改善した。このように、成長温度は基板ごとに平坦な表面を得るための最適条件で行い、GaN:Cのカーボン濃度はヒーター温度とは別のパラメーターで制御することが望ましい。

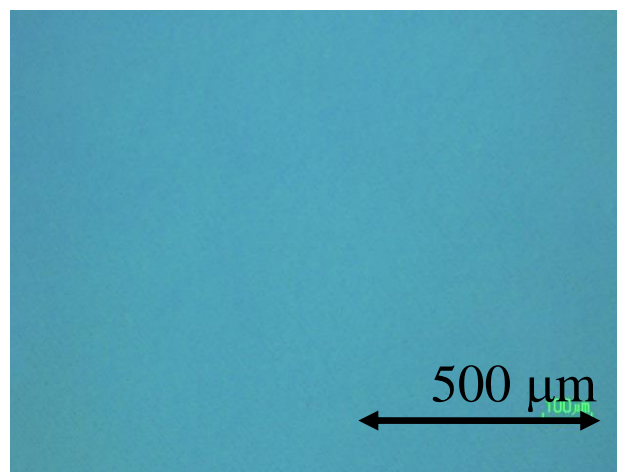


図4-1-5 HVPE法GaN基板上HFET成長後顕微鏡写真
ヒーター温度1100℃

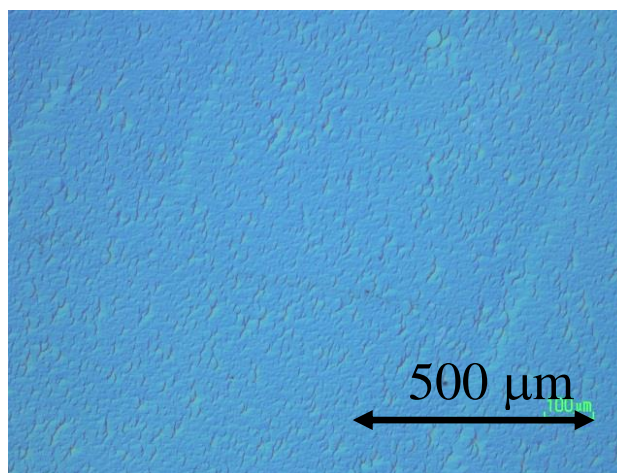


図4-1-6 Na-flux法GaN基板上HFET成長後顕微鏡写真
ヒーター温度1100℃

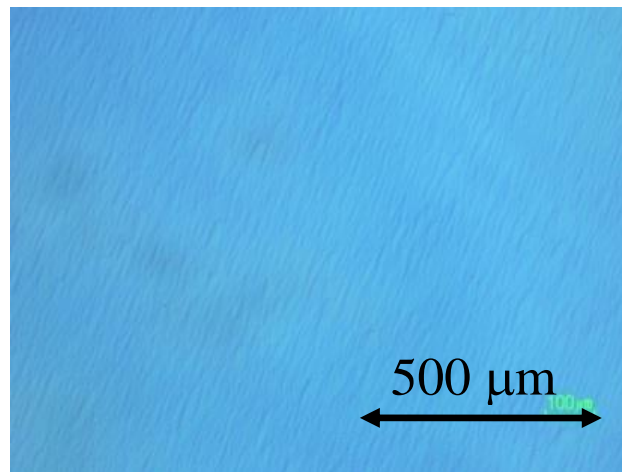


図4-1-7 Na-flux法GaN基板上HFET成長後顕微鏡写真
ヒーター温度1090 °C

4-2. 導電性基板上半絶縁 GaN

導電性基板接地・高耐圧HFETのために必要な高耐圧半絶縁性GaN層の候補として鉄(Fe)や亜鉛ドーピングによる半絶縁GaNが報告されている。⁴⁻⁶⁾しかし、それらの遷移金属はMOVPE法結晶成長炉内を汚染し、成長中の表面に存在する金属原子は結晶中にすぐに取り込まれずGaN表面に留まり続ける表面偏析という性質を示す。図4-2-1にFeドーピング基板上へu-GaNを成長させた試料のSIMS測定結果を示す。⁴⁾成長中に表面にとどまり続けたFeが再成長界面(図中: Interface)からミクロン単位で再成長GaN層中へ取り込まれてしまう。そのため薄い再成長GaN膜(1~3 μm)上にHFETを作製するとFeによるチャネルGaNの汚染によりデバイス性能の低下が生じる。そのため厚い(9 μm) u-GaNを成長させる必要があるが、厚いu-GaN層を有するHFETではリーク電流の増加が確認されている。⁴⁾そのため急峻なドーピングを実現する絶縁性ドーパントを用いる必要がある。また、1章で示したように大気暴露されたGaNは再成長を行うと再成長界面がSiおよび酸素によって汚染され再成長界面でのリーク電流が懸念される。導電性基板上に高耐圧・低ドレインリーク電流HFETを作製するためには、デバイス成長炉内で結晶成長炉の汚染を起こさない急峻なドーピングが可能な絶縁性ドーパントを用いる必要がある。本研究では結晶成長炉内に有機金属化合物原料として供給され、ドーピングにより高耐圧が報告されているカーボン^{1, 7-9)}に着目し、カーボンドーピングGaN (GaN:C)の成長ならびに新たなカーボン濃度の制御方法確立を試みた。

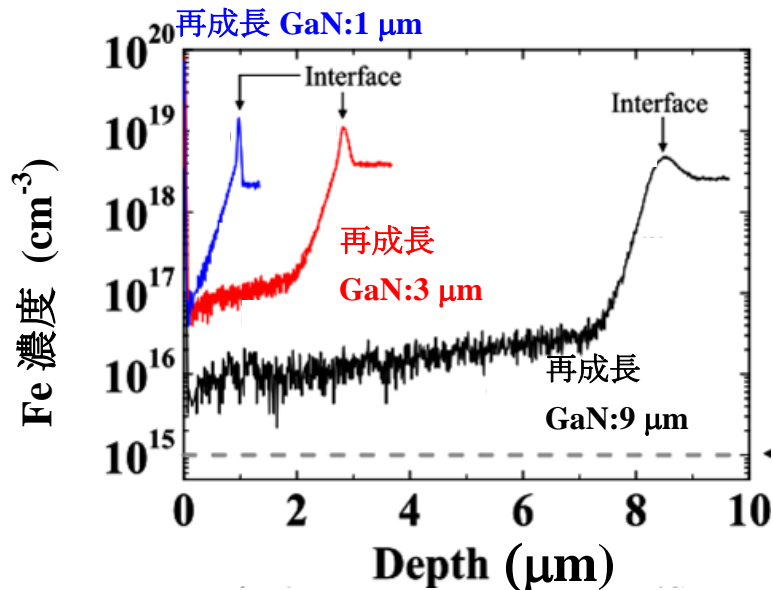


図4-2-1 SIMS測定によるFeドーパ基板上再成長GaN中のFe濃度⁴⁾

4-3 カーボンドーピング GaN

Ⅲ族原料として用いられているTMGaのメチル基をカーボン源としたカーボンオートドーピングによる高耐圧GaNが報告されている。^{1, 8)} GaN:Cはカーボンのアクセプタ型のトラップによってアンモニアボンベ由来の酸素などの浅いドナーが補償されることで半絶縁性を示す。しかし高濃度のカーボンをドーピングするためには結晶成長条件が大きく制限されてしまう。図4-3-1 にTMGaのメチル基からのカーボンオートドーピングによるカーボン濃度の成長温度依存性を示す。カーボン濃度はSIMS測定から求めている。表4-3-1に示すカーボンが比較的取り込まれやすい成長圧力50 Torr, V/Ⅲ比2000の成長条件で、成長温度のみを変化し結晶成長を行った。

GaNを低温成長することでカーボン濃度は増加するが、低温成長は表面原子のマイグレーションを減少させ、表面平坦性・結晶性に悪影響を及ぼす。また、成長圧力を下げることで流速を増し原料を高速に大量供給することで分解されないTMGaを増やすことでもカーボン濃度は増加する。しかし、カーボン濃度の制御性は乏しく、未分解TMGaの損失・有機金属原料の収率低下が懸念される。カーボン濃度 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 台の高耐圧層とカーボン濃度 10^{16} cm^{-3} 以下のチャンネルGaNを成長可能な制御性の良いカーボンドーピング技術が求められている。

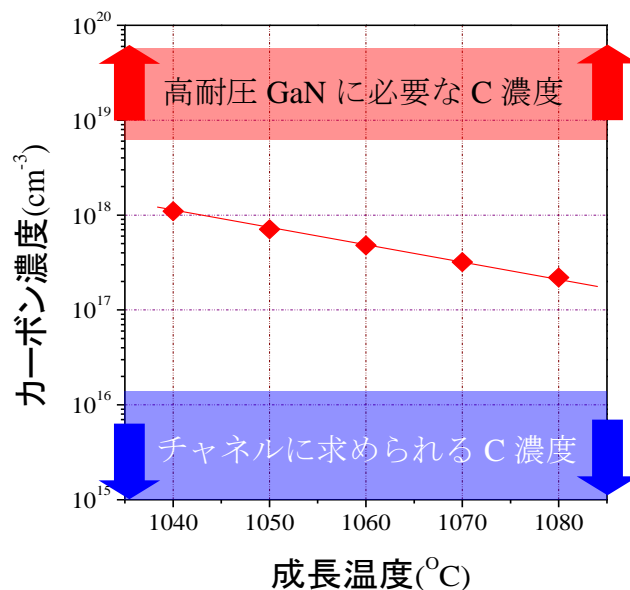


図4-3-1 カーボン濃度・成長温度依存性

表4-3-1 GaN:C成長条件・(成長温度依存性)

	Thermal cleaning	LT-GaN	u-GaN	GaN:C
TMG ($\mu\text{mol/min}$)	-	87.9	87.9	87.9
NH ₃ (slm)	-	6	4	4
V/III ratio	-	3000	2000	2000
Growth Pressure (Torr)	200	200	200	50
Temp. (°C)	1100	1040	1040	1030 ~1070

図4-3-2、4-3-3に低温成長したGa₂Nにおける欠陥の例として、低温でGa₂Nを成長した際に発生したピットの表面顕微鏡写真とSEM像を示す。このピットは基板から引き継いだらせん転位を起点とし形成し、耐圧を激減させるキラ欠陥となる。ピット型欠陥密度を減らすためには高温・高V/III比で成長するのが望ましい。しかし、TMGaメチル基をカーボン源とし高カーボン濃度Ga₂N:Cを成長するためには、低温・低V/III比での結晶成長が必要になる。また、メチル基からのカーボン取り込みはTMGaの未分解を増大させることを意味する。そのため高価なTMGa原料の原料収率低下を招き、量産時のコスト増加が懸念される。

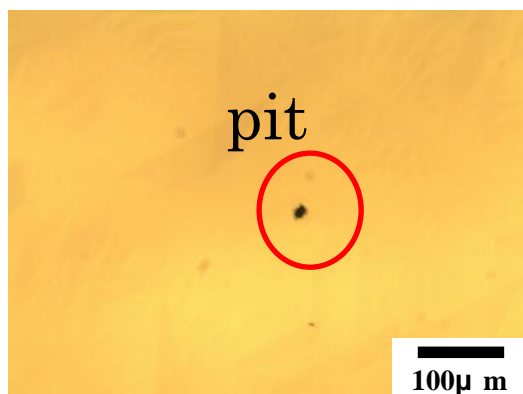


図 4-3-2 低温成長(1030 °C)時に発生した
ピットの光学顕微鏡写真

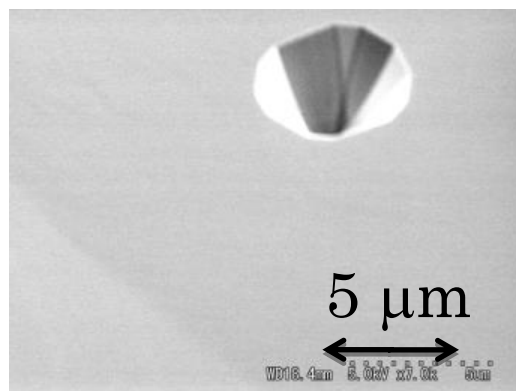


図 4-3-3 低温成長時に発生した
ピットの SEM 像

そのため制御性に優れ急峻なカーボンドーピングを実現できる新たなカーボン濃度制御方法の確立が必要である。最も制御性に優れると考えられるのはカーボンドーパントの供給量制御によって GaN:C のカーボン濃度を制御する方法である。MBE 法では $\text{CH}_4^{10)}$, $\text{CBr}_4^{11)}$ プラズマを用いた GaN:C が報告されている。

本研究では、量産性に優れる MOVPE 法においてカーボンドーパント供給量の制御によって GaN:C のカーボン濃度制御を試みた。

MOPVE 法ではドーパントを用いたカーボン濃度制御として四臭化炭素(CBr_4)によるカーボンドーピング GaN が報告されている。¹²⁾しかし、 CBr_4 は液体原料であり、結晶成長炉への供給量制御にはガス流量制御に加えて、恒温槽とバブリング供給シリンダー、圧力コントローラーが必要である。さらにバブリングでの供給では多量の原料供給が困難である。供給量制御の簡便性と多量の供給を行うためにはガス原料であることが望ましい。

図4-3-4 に実験に使用した MOVPE 装置（エピクレスト）の配管概略図を示す。

赤で示す供給ライン III 族側から、カーボンドーパントの供給を行い GaN:C の結晶成長を行った。

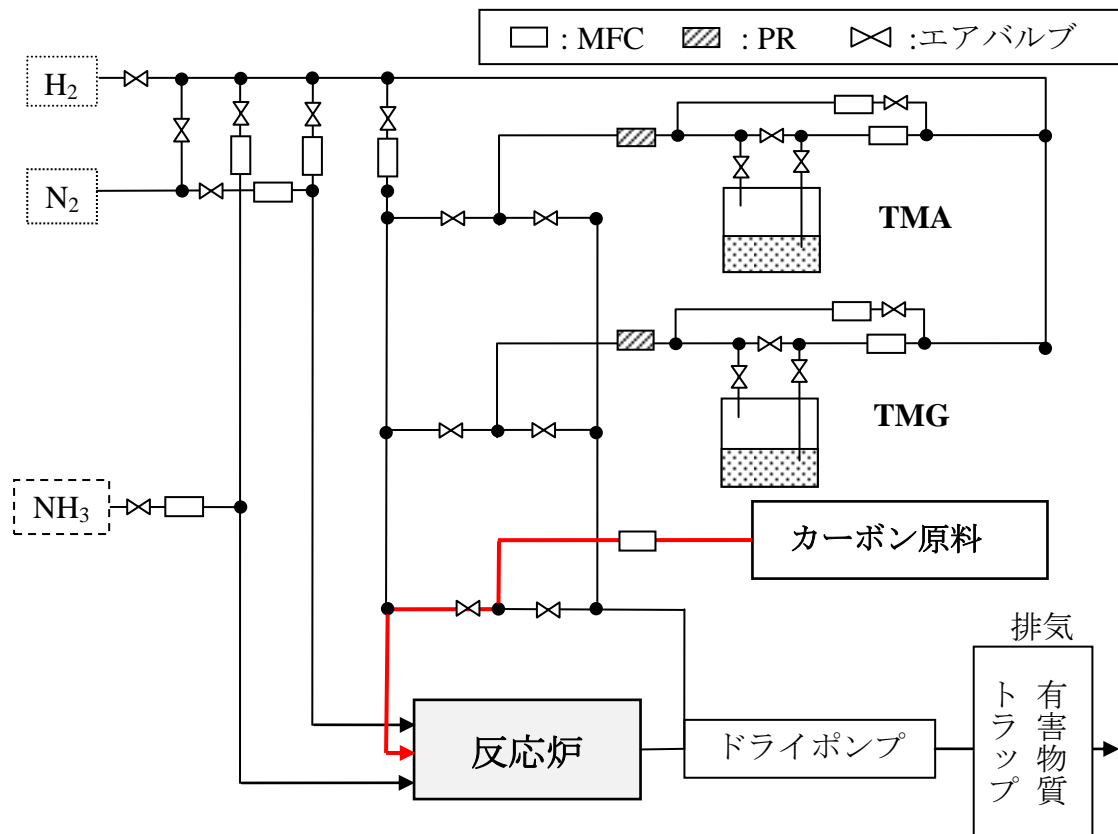


図4-3-4 MOVPE装置配管概略図

MFC:マスフローコントローラー(ガス流量調節器)

PR : プレッシャーレギュレーター(圧力調整器)

まず、カーボンドーパントとして最もシンプルな炭化水素ガスであるメタン(CH_4)を用いたGa $\text{N}:\text{C}$ の成長を試みた。表4-3-1に成長条件、図4-3-5にSIMS測定結果を示す、TMGa比で数十倍のメタンを供給しているにも関わらず、カーボン濃度はほとんど変化しなかった。これはTMGa中のメチル基によるカーボンオートドーピングはメチル基がGaから離れない状態で取り込まれると考えられるのに対し、メタンの供給では分解したメタンがGaと結合する逆反応が極めて少なかったためであると考えられる。カーボンドーパントを用いてカーボン濃度制御を行うには、より分解されやすく分解された後、成長表面のGa原子と結合を形成するカーボン原料であることが必要である。

表4-3-1 GaN : C 成長条件

	Thermal cleaning	LT-GaN	u-GaN	GaN:C
TMG ($\mu\text{mol/min}$)	-	87.9	87.9	21.9
NH ₃ (slm)	-	6	4	1
V/III ratio	-	2000	4000	500
CH ₄ /Ga ratio	-	-		0~30
Growth Pressure (Torr)	200	200	200	100
Temp. ($^{\circ}\text{C}$)	1100	1040	1040	1040
Thickness (nm)	-	20	1000	500*4
Time (min)	5	6	60	15*4

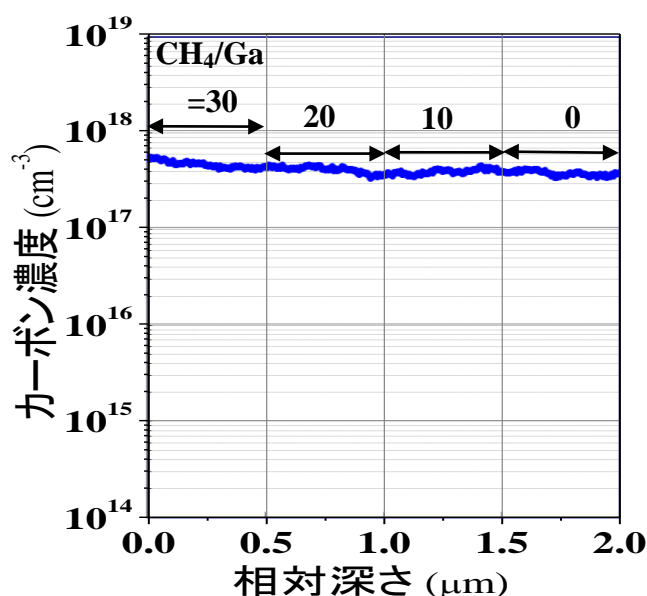


図4-3-5 メタン供給GaNのカーボン濃度

メタンに代わるカーボンドーパントとして。熱的分解しやすい炭素三重結合を有し、分解された後に表面のGa・Nと結合しやすいと考えられるアセチレン(C₂H₂)に着目し、カーボンドーパント供給によるGaN:Cの成長を行った。

従来、本研究室では半極性GaNにアセチレンを用いたカーボンドーピングを行っていた。^{13, 14)}しかし、半極性面は不純物を取り込みやすいためカーボン濃度の制御が $3 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の狭い範囲でしか制御できておらず、さらにカーボン濃度よりも高濃度の酸素($>10^{18} \text{ cm}^{-3}$)がGaN中に取り込まれ半絶縁性GaN:Cは実現していなかった。¹⁴⁾本研究では電子デバイスに実用される+C面においてアセチレンを用いたカーボンドーピングを行い、GaN:Cの高耐圧化を行った。

4-4 アセチレンを用いたカーボンドーパント供給 GaN : C

MOVPE法によりメタンに代わりアセチレン供給量を変化させながらGaN:Cを結晶成長し、アセチレン供給量によるカーボン濃度制御性を評価した。成長圧力を50 Torrに固定して、V/III比(1000, 2000)と成長温度(ウェハ温度計によって測定したサファイア基板での実効温度: 1040, 1060 °C)を変化させ、アセチレンによるカーボンドーピングを行い、SIMSによってカーボン濃度の測定を行った。

表4-4-1にSIMS測定のため加圧炉においてアセチレン供給量を段階的に変化した成長条件を示す。図4-4-1にはSIMS測定結果を示す。SIMS測定によってアセチレン供給によるカーボン濃度の優れた制御性が確認され、カーボンドーパント供給量制御によるカーボン濃度制御が実現した。¹⁵⁾

また、SIMS測定によるカーボンの検出限界は $1 \times 10^{16} \text{ cm}^{-3}$ であった。 $1 \times 10^{19} \text{ cm}^{-3}$ を超える高カーボン濃度のGaN:C成長から成長中断を挟まずアセチレン供給を中止し、圧力を変化させるだけでカーボン濃度を検出限界に近い $2 \times 10^{16} \text{ cm}^{-3}$ まで急峻に低減させることが可能となった。¹⁴⁾ また、半極性GaN^{13,14)}とは異なり高耐圧化を期待できるSIMS検出限界($1 \times 10^{16} \text{ cm}^{-3}$)以下の酸素濃度を実現した。

表4-4-1 GaN : C 成長条件 (加圧炉)

	Thermal clean	n-GaN	GaN:C	Channel GaN	AlGaN
TMG ($\mu\text{mol/min}$)	-	86	86	64	32
TMAI/(TMGa/TMAI)	-	-	-	-	27.3
NH ₃ (slm)	4	4	4	4	1.5
V/III ratio	-	2000	2000	2750	1500
Si/Ga	-	2E-4	-	-	-
C/Ga ratio	-	-	0~20.5	-	-
Growth Pressure (Torr)	200	200	50	200	100
Temp. (°C)	1000	1060	1060	1060	1060
Time (min)	5	60	X	20	2
Thickness (μm)		1500	D	400	20

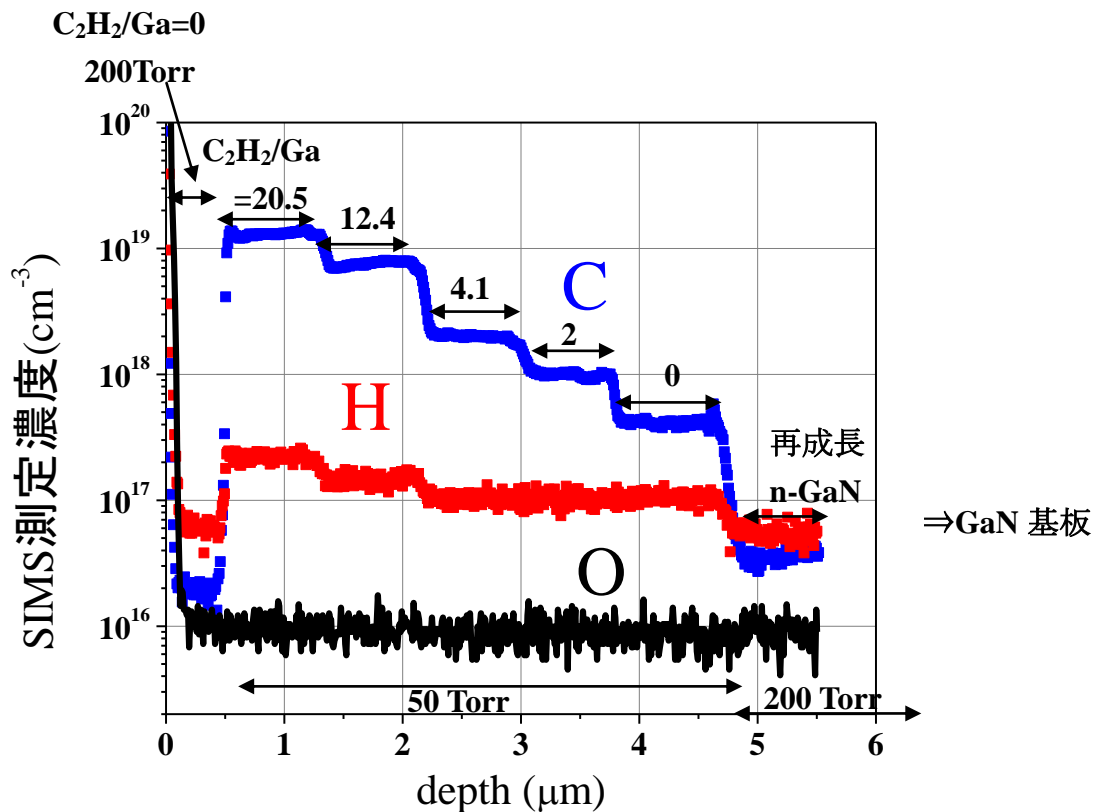


図 4-4-1 成長条件:1060 °C V/III:2000
アセチレンによるカーボンドーピング
SIMS 測定結果

図4-4-2にSIMS測定から求めたカーボン濃度のアセチレン供給量依存性を示す。すべての成長条件において、アセチレン供給量によって、カーボン濃度が制御可能であることを確認した。

メタンとは異なり、アセチレンを用いることでカーボンドープ供給量制御によって、GaN:Cのカーボン濃度制御が可能となった。これはアセチレンが熱的分解しやすく、分解された後脱離しにくいいため、有効にドーピングが行われたためと考えられる。また結晶成長炉・成長条件によらずアセチレン供給量—カーボン濃度は両対数において傾き = 1 でアセチレン供給量とカーボン濃度は比例関係であることが確認された。

次章において、より広範囲のカーボン濃度を制御可能であった加圧炉において成長したHFET構造の電気特性カーボン濃度依存性を検討した。

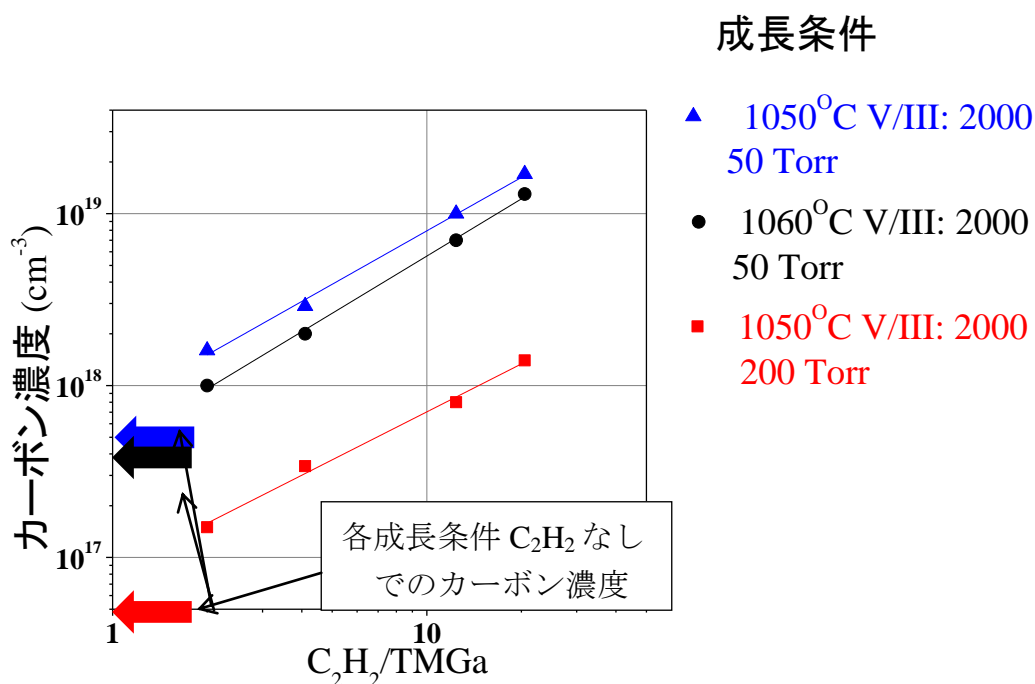


図4-4-2 カーボン濃度のアセチレン供給量依存性

TMGa中のメチル基からのカーボンとアセチレンからのカーボンの取り込まれやすさを比較した。

図4-4-3にメチル基とアセチレンのカーボン取り込み率を比較したグラフを示す。横軸に気相中のアセチレン供給によるカーボン原子の増加量、縦軸に(式4-1)で定義したアセチレンによるカーボン濃度増加率を示す。

$$\text{C濃度増加率} = \frac{\text{C濃度 (アセチレンあり)} - \text{C濃度 (アセチレン無)}}{\text{C濃度 (アセチレン無)}} \quad (\text{式4-1})$$

仮に、アセチレン由来のカーボンとメチル基由来のカーボンが同じ確率で取り込まれるならば傾きは1となり、アセチレン由来のカーボンがメチル基由来のカーボンよりも2倍取り込まれれば傾きは2となる。実験結果は線形に近似可能で傾きは2.3とアセチレン由来のカーボンはメチル基由来のカーボンよりも取り込まれやすいことがわかった。

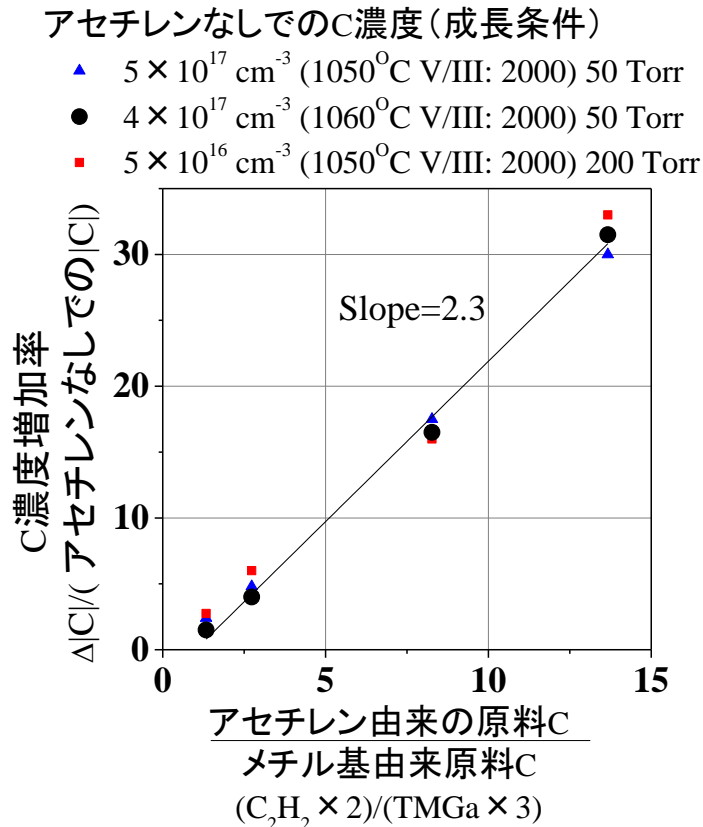


図4-4-3 メチル基由来カーボンとアセチレン由来カーボンの取り込み比較

以上の結果から、アセチレンを用いたカーボンドーパント供給量制御によって、GaN:Cのカーボン濃度制御が可能となった。これはメタンとは異なりアセチレンが炭素三重結合を有し、三重結合が解かれる際に成長表面のGa・N原子とアセチレン由来のカーボンが結合を形成しやすいためと考えられる。アセチレンからの炭素取り込みの比率が、成長温度・V/III比によらず一定であったことは、実験を行ったGaN:Cの成長条件(1000 °C以上の高温・N>Ga:V族リッチの成長条件)ではアセチレンの分解率が変わらない温度範囲であったため、メチル基由来カーボンとアセチレン由来カーボンの取り込みの比率が一定となったためと考えられる。

以上のことから、アンドープGaN中のカーボン濃度から、アセチレン供給量制御によりカーボン濃度を任意に制御可能であり、求めるカーボン濃度に必要なアセチレン供給量を予測可能であることを見出した。このアセチレン供給によるカーボン濃度制御は、繊細な温度・圧力・V/III比の制御等によるカーボン濃度制御に比べ、制御性が格段に優れ、一定の成長条件で任意のカーボン濃度のGaN:Cが成長可能な技術である。そのため、平坦な表面を得られる最適な成長条

件において、高カーボン濃度GaN:Cを成長可能である。図4-4-4に成長温度1060 °C、V/III比2000、C₂H₂/TMGa=20の成長条件において成長したカーボン濃度 $1.4 \times 10^{19} \text{ (cm}^{-3}\text{)}$ のGaN:C表面の原子間力顕微鏡（AFM）像と図4-4-5に微分干渉顕微鏡写真を示す。AFM像から明瞭な原子ステップを確認でき、表面二乗粗さRMS指数は0.23 nmであった。また、顕微鏡の観察範囲内にピットが全く観測されない非常に平坦な表面を得ることができる最適な温度・V/III比の成長条件で高カーボン濃度のGaN:Cの成長が可能となった。

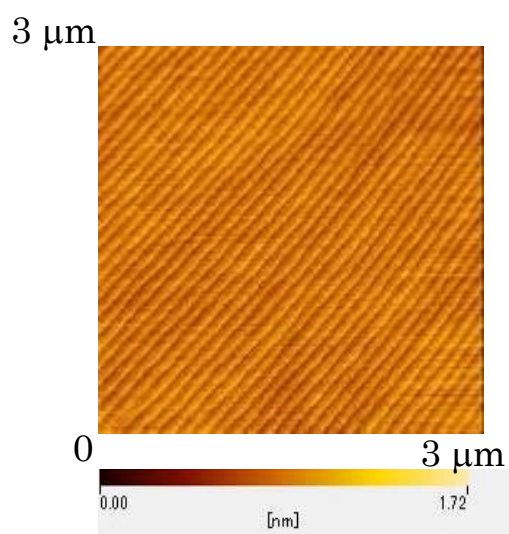


図4-4-4 GaN:Cカーボン濃度
 $1.4 \times 10^{19} \text{ (cm}^{-3}\text{)}$ の表面
AFM像

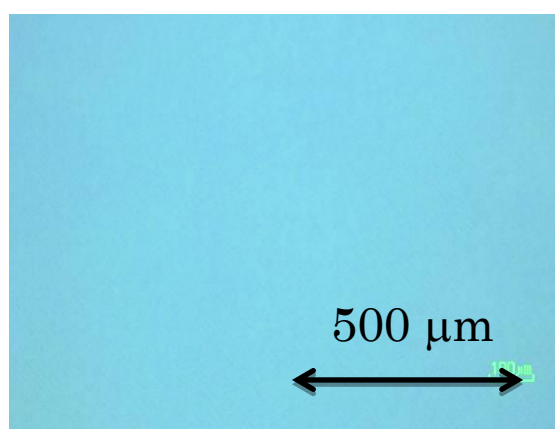


図4-4-5 GaN:Cカーボン濃度
 $1.4 \times 10^{19} \text{ (cm}^{-3}\text{)}$ の表面
微分干渉顕微鏡写真

4-5 まとめ

本章では、カーボンドーパントとしてアセチレンを用いることで、アセチレン供給量制御によって GaN : C のカーボン濃度制御を実現した。アンドープ GaN 中のカーボン濃度と結晶成長炉の特性から、アセチレンによるカーボンの取り込み量を予測可能であることを示した。

成長温度、圧力、V/III 比一定の成長条件においてアセチレン供給量制御によってカーボン濃度を $10^{17} \sim 10^{19} \text{ cm}^{-3}$ の幅広い範囲において任意に制御できる成長技術確立した。アセチレンを用いたカーボン濃度制御は、繊細な温度・圧力・V/III 比の制御等による、TMGa メチル基からのカーボンオートドーピングによるカーボン濃度制御に比べて制御性に優れ、表面平坦性や結晶性に最適な結晶成長条件で任意のカーボン濃度の GaN:C を成長することが可能となった。

参考文献

- ¹⁾ N. Ikeda, Y. Niiyama, H. Kambayashi, Y. Sato, T. Nomura, S. Kato, and S. Yoshida: Proc. IEEE **98** (2010) 1151.
- ²⁾ M. Hikita, M. Yanagihara, K. Nakazawa, H. Ueno, Y. Hirose, T. Ueda, Y. Uemoto, T. Tanaka, D. Ueda, and T. Egawa: IEEE Trans. Electron Devices **52** (2005) 1963.
- ³⁾ K. Shiojima and T. Suemitsu: Appl. Phys. Lett. **78** (2001) 3636.
- ⁴⁾ Y. Oshimura, T. Sugiyama, K. Takeda, M. Iwaya, T. Takeuchi, S. Kamiyama, I. Akasaki, and H. Amano: Jpn. J. Appl. Phys. **50** (2011) 084102.
- ⁵⁾ M. Asif Khan, J. W. Yang, W. Knap, E. Frayssinet, X. Hu, G. Simin, P. Prystawko, M. Leszczynski, I. Grzegory, S. Porowski, R. Gaska, M. S. Shur, B. Beaumont, M. Teisseire, and G. Neu: Appl. Phys. Lett. **76** (2000) 3807.
- ⁶⁾ S. Heikman, S. Keller, T. Mates, S. P. DenBaars and U. K. Mishra: J. Cryst. Growth **248** (2003) 513.
- ⁷⁾ S. Kato, Y. Satoh, H. Sasaki, I. M., S. Yoshida: J. Cryst. Growth **298** (2007) 831.
- ⁸⁾ E. Bahat-Treidel, F. Brunner, O. Hilt, E. Cho, J. Wurfl, and G. Trankle: IEEE Trans. Electron Devices **57** (2010) 3050.
- ⁹⁾ Y. C. Choi, J. Shi, M. Pophristic, M. G. Spencer, and L. F. Eastman: J. Vac. Sci. Technol. B **25** (2007) 1836.
- ¹⁰⁾ J. B. Webb, H. Tang, S. Rolfe, and J. A. Bardwell: Appl. Phys. Lett. **75** (1999) 953.
- ¹¹⁾ C. Poblenz, P. Waltereit, S. Rajan, S. Heikman, U. K. Mishra, and J. S. Speck: J. Vac. Sci. Technol. (B) **22** (2004) 1146.
- ¹²⁾ H. Kawanishi, and T. Tomizawa: Phys. Status Solidi (B) **249** (2012) 459.
- ¹³⁾ K. Yamashita, T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, and N. Sawaki: 3rd International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nano-materials. ISPlasma2010 P1-030B
- ¹⁴⁾ K. Yamashita, T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, and N. Sawaki: Asia-Pacific Workshop on Wide gap Semiconductors APWS2011 We-D2
- ¹⁵⁾ T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, M. Imade, and Y. Mori: International Workshop on Nitride Semiconductors IWN2012 ED4-5

5 章 アセチレンを用いて成長した GaN : C を有する導電性

GaN 基板上 HFET 構造の電気特性評価

5-1 はじめに

前章においてアセチレンを用いることでGaN:Cのカーボン濃度制御法を確立した。アセチレンを用いたGaN:Cが高耐压デバイスに応用可能な半絶縁性を示すことを実証するため、アセチレンを用いたGaN:C層を有するHFET構造を作製し、その電気特性評価を行った。導電性異種基板上に成長したGaN:Cを有するHFETの縦方向耐压特性は多く報告されている。¹⁻³⁾ しかし、多く報告されているSi基板上のHFETはAlN層を含みGaN:C単膜での評価は少ない、カーボン濃度の低いu-GaN中の電気伝導は空間電荷制限電流 (Space Charge Limited Current) モデルによる解析がなされている。⁴⁾

高濃度GaN:Cを用いた導電性基板上の高縦方向耐压HFETが多数報告されている。^{1, 2)} 本研究では導電性GaN基板上にアセチレンを用いて成長したGaN:Cを有するHFETの耐压特性を測定した。また、カーボン濃度トラップ密度と電流電圧特性の関係から電気伝導機構の考察を行った。さらにアセチレンを用いて成長したGaN:Cを有するHFETデバイスを作製し耐压評価を行い、HFETとして高耐压であることを確認した。

5-2 アセチレンを用いて成長した GaN:C を有する導電性 GaN 基板

上 HFET 構造の縦方向電流電圧 (I - V) 測定素子の作製

アセチレンによるカーボン濃度制御を行ったGaN : Cを有するHFET構造を作製し、縦方向電流電圧測定を行った。表5-2-1に示す成長条件にてHFET構造を成長した。図5-2-1にXRDによるGaN(0002)2 θ - ω スキヤンの測定結果とフィッティング結果を示す。Al_{0.28}Ga_{0.72}N(25 nm)/GaNの典型的なHFET構造が成長されていることを確認した。図5-2-2にHFET構造AlGaIn表面の2 μ m \times 2 μ mのAFM像を示す。GaN:C単膜(RMS 0.23 nm)よりはAlGaIn表面は若干荒れておりRMS指数は0.27 nmであった。鮮明な原子ステップを観測可能で、平坦な表面を得ることができた。

表 5-2-1 HFET 構造・結晶成長条件

	Thermal cleaning	n-GaN	GaN:C	Channel GaN	AlGaN
TMG ($\mu\text{mol/min}$)	-	86	86	64	32
TMAI/(TMGa/TMAI)	-	-	-	-	27.3
NH ₃ (slm)	4	4	4	4	1.5
V/III ratio	-	2000	2000	2750	1500
Si/Ga	-	2E-4	-	-	-
C/Ga ratio	-	-	0~20	-	-
Growth Pressure (Torr)	200	200	50	200	100
Temp. ($^{\circ}\text{C}$)	1000	1060	1060	1060	1060
Time (min)	5	60	X	20	2
Thickness (min)		1500	d	400	20

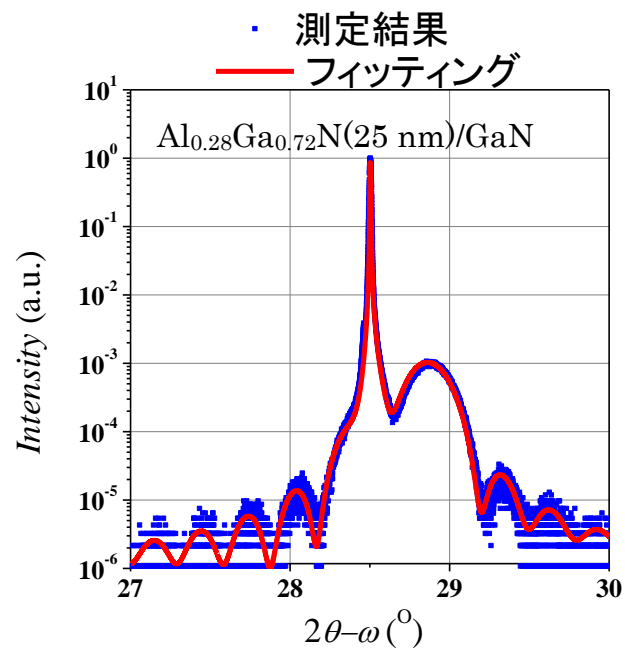


図5-2-1 (0002)面 2 θ - ω スキャンフィッティング結果

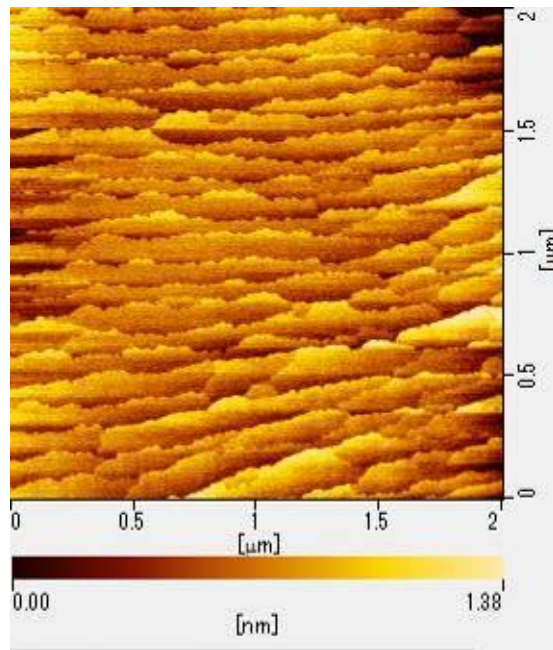


図5-2-2 HFET構造AlGaInの表面AFM像(GaN:C : 6 μm |C|: $1.4 \times 10^{19} \text{ cm}^{-3}$)

結晶成長後、エッチングによる素子分離を行った後、Ti/Al/Ti/Au電極をEB蒸着し、電極アニールを行った。図5-2-3に作製した構造の断面模式図、図5-2-4に顕微鏡写真を示す。また、表5-2-2に作製プロセスを示す。

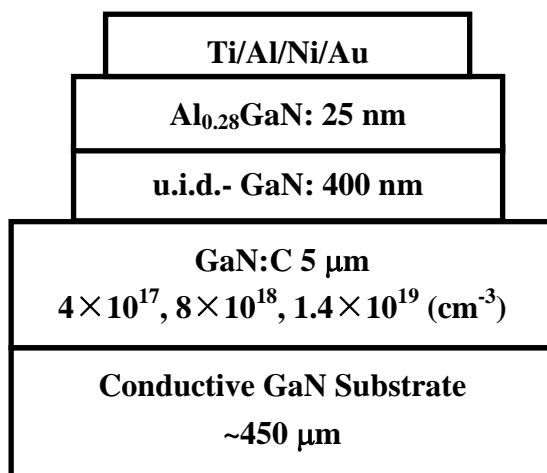


図5-2-3 縦方向耐圧測定構造模式図

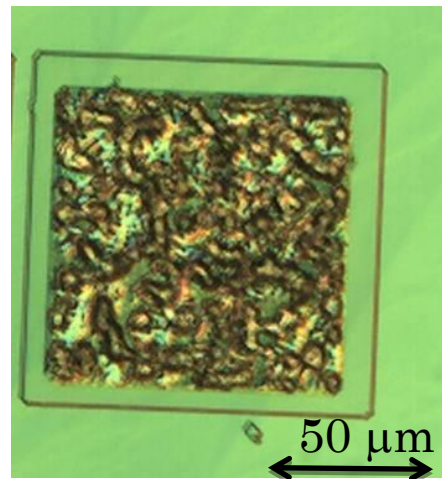


図5-2-4 光学顕微鏡写真

表5-2-2 縦方向耐圧測定素子作製方法

エッチング	ICP-RIE 出力：Antena: 150 W Bias: 20 W 10min 圧力:1 Pa, Cl ₂ 流量: 30 sccm Niマスク エッチング深さ500 nm 120 μm×120 μm
電極成膜	EB蒸着：Ti/Al/Ni/Au: 30/100/20/150 nm 80 μm×80 μm
アニール	RTA：室温から一分で810℃まで昇温30秒保持

5-3 GaN:C を有する導電性 GaN 基板上

HFET 縦方向電流電圧 (I - V) 測定

ソニーTektronix社製プログラマブルカーブトレーサー370Bを用い GPIB による制御プログラムを作成し、HFET構造の縦方向電流電圧(I - V)特性を評価した。

空気中での放電を抑制するためフッ素系不活性液フロリナート（住友3M社製 FC-75）に浸しプローブと導電性ステージを用いてオーミック電極・導電性基板縦方向電流電圧測定を行った。

図5-3-1に縦方向電流電圧特性のカーボン濃度依存性を示す。GaN:C層のアセチレン供給量以外の成長条件・膜厚5 μmは固定である。カーボン濃度に伴い耐圧が向上していることが確認された。低耐圧 (220V)を示したカーボン濃度 $4 \times 10^{17} \text{ cm}^{-3}$ のサンプルは、アセチレン供給なしで成長したGaN:Cを有するHFETである。一方アセチレン供給を行ったカーボン濃度 8×10^{18} , $1.4 \times 10^{19} \text{ cm}^{-3}$ のGaN:Cを有するHFETでは大幅な耐圧向上が確認し、アセチレンを用いることで高耐圧HFET構造の成長が可能であることを実証した。

さらに、低カーボン濃度のサンプルは特定の電圧において急激に電流が流れ始め過電流によって電極・導電性基板間が短絡することが確認された。一方、高カーボン濃度のサンプルでは電流はなだらかに上昇し急激な電流増大は起らず、電極・導電性基板間は短絡されることはなかった。

すべてのサンプルにおいて変曲点を有する I - V 曲線が観測された。変曲点以前の微小電流領域では電流は電圧の1.8乗に比例しておりこれは空間電荷制限電流における $I \propto V^2$ の電流によるものと考えられる。

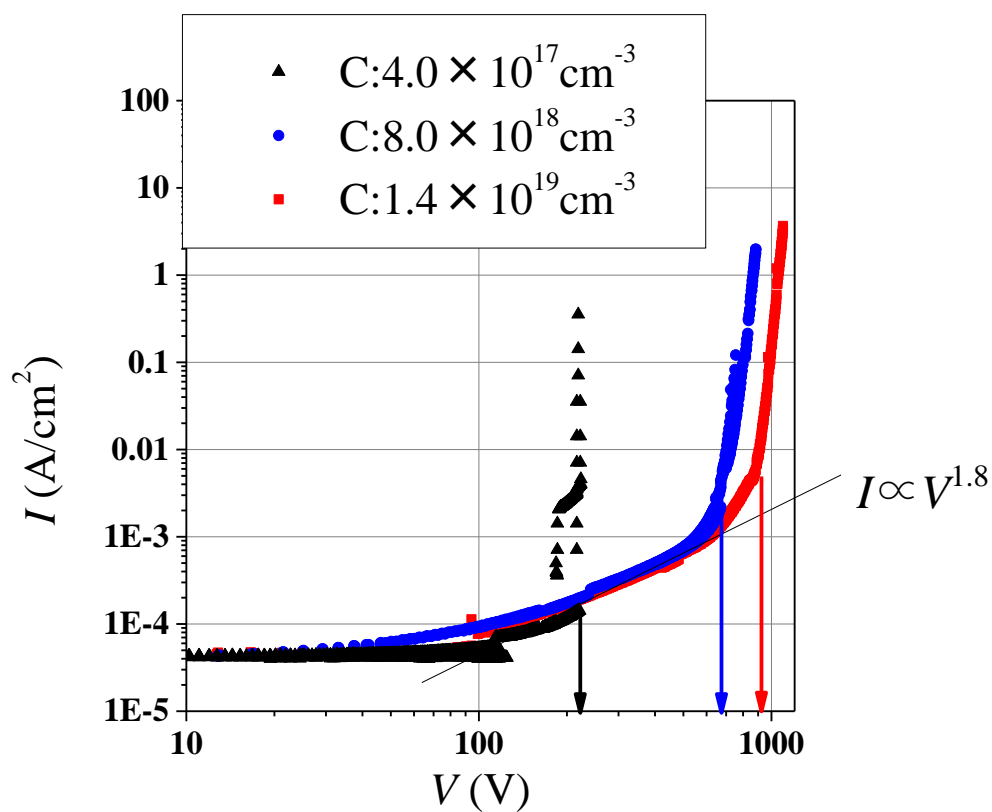


図5-3-1 縦方向電流電圧特性
カーボン濃度依存性

図5-3-2に過電流により破壊した素子を裏面から観察した顕微鏡写真を示す。電極パターンの一部に過電流が流れショートしてしまったことが確認できた。

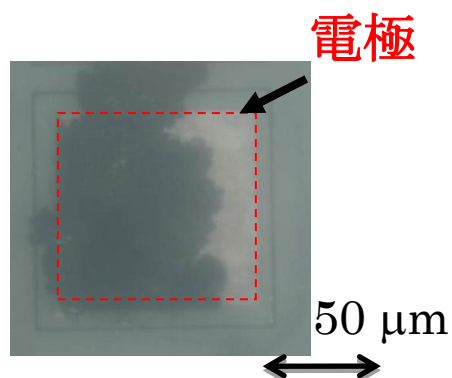


図5-3-2 破壊後の顕微鏡写真 (カーボン濃度 $4 \times 10^{17} \text{ cm}^{-3}$)

図5-3-3にカーボン濃度 $1.4 \times 10^{19} \text{ cm}^{-3}$ GaN:C= 5 μm の素子をカーブトレーサーのACモードで測定した際の電流電圧特性を示す。静的なDC電流電圧測定とほとんど同じ結果が得られた。AC測定では50 Hzの交流電圧を印加しており周期13 msの測定において絶縁耐圧特性においてヒステリシスは観測されなかった。

図5-3-4にAC測定時の電圧・電流の時間変化を示す。電流が流れるが、再測定可能な電流電圧特性を示す素子非破壊型絶縁破壊（ソフトブレイクダウン）であることが確認された。これは他研究機関の高カーボン濃度GaN:Cを有する導電性SiC基板上HFETの耐圧測定においても同様の傾向が報告されている。²⁾ また観測された電流の最大値は大小の周期性を持っている。これは、計測器が正弦波電圧を片側整流して測定しているため、計測器による測定誤差であると考えられる。

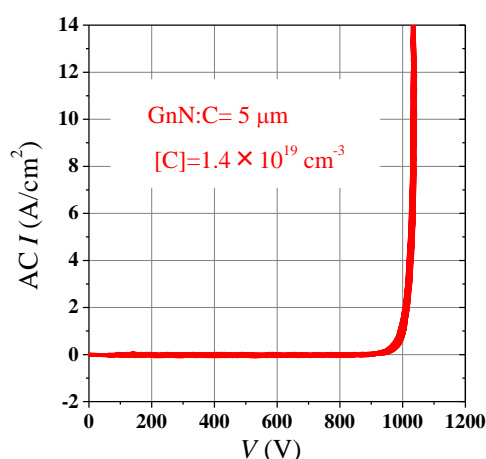


図5-3-3 縦方向AC 電流電圧測定結果
(GaN:C= 5 μm : $1.4 \times 10^{19} \text{ cm}^{-3}$)

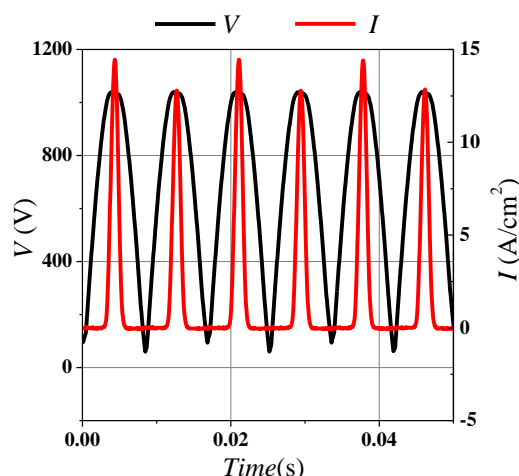


図5-3-4 縦方向AC I-V測定時の
電圧・電流時間変化

次に電流電圧特性のGaN:Cの膜厚依存性を評価した。図5-3-5にカーボン濃度 $1.4 \times 10^{19} \text{ cm}^{-3}$ のGaN:C層を有するHFET構造の縦方向電流電圧特性のGaN:C膜厚依存性を示す。GaN:C膜厚とともに縦耐圧の増大が確認された。また、GaN:C膜厚3, 5 μm の試料においてカーボン濃度依存性と同様に変曲点を有するI-V曲線が観測された。また、膜厚依存性の測定ではノイズの影響を受け測定レンジが変動してしまったことから、空間電化制限電流と考えられる微小電流を観測することができなかった。

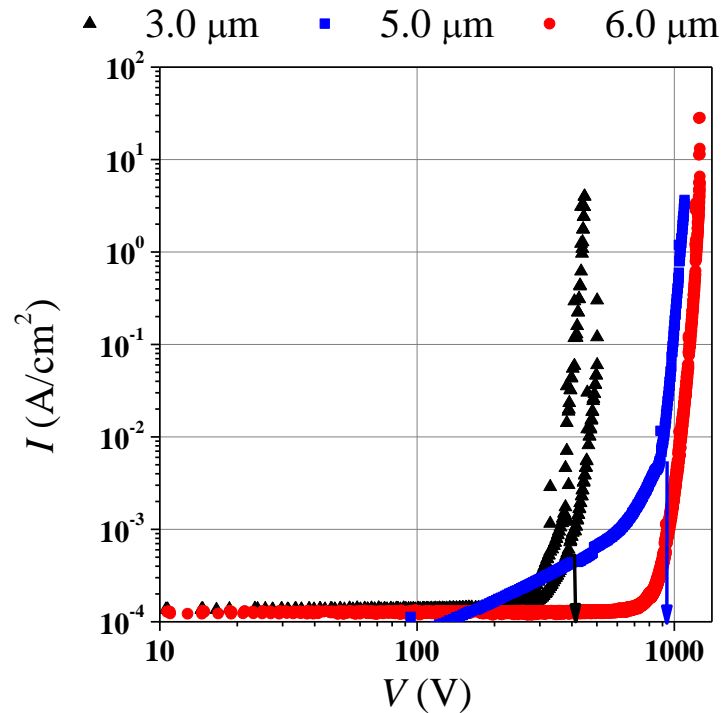


図5-3-5 HFET構造の縦方向電流電圧特性のGaN:C膜厚依存性
カーボン濃度 $1.4 \times 10^{19} \text{ cm}^{-3}$

電流電圧特性から急激に増大する電流の電気伝導機構として、考えられるものは半絶縁性半導体の空間電荷制限電流 (space-charge-limited current (SCLC))理論でのトラップが満たされる電圧における電気伝導³⁻⁶⁾およびアバランシェ電流⁷⁾の可能性が考えられる。

電気伝導機構を確認するため電流電圧特性の温度依存性評価を行った。耐圧測定で使用したフッ素系不活性液は揮発性(沸点 $<100^\circ\text{C}$)であるため使用できず、空気中では試料に高電圧を印加すると放電を起こしてしまうため、正確な測定ができない。そこで、本研究では低電圧で電流伝導を示したGaN:C=3.0 μm の試料において温度特性の測定を行った。図5-3-6にステージ温度 50°C から 150°C までの I - V 特性温度依存性を示す。高温になるに従い電流立ち上がり電圧以前のリーク電流は増大するが、電流の立ち上がりは330 Vで一定であった。

アバランシェ降伏は高温になるほど降伏電圧が高くなり、正の温度係数を示すことが知られている。⁷⁾ しかし、実験結果では立ち上がり電圧は温度によってほとんど変化しなかった。加えて、立ち上がり後の電流値も温度が高い方が多いため、GaN:C膜厚が薄い試料においてはアバランシェ降伏ではないことが確認された。

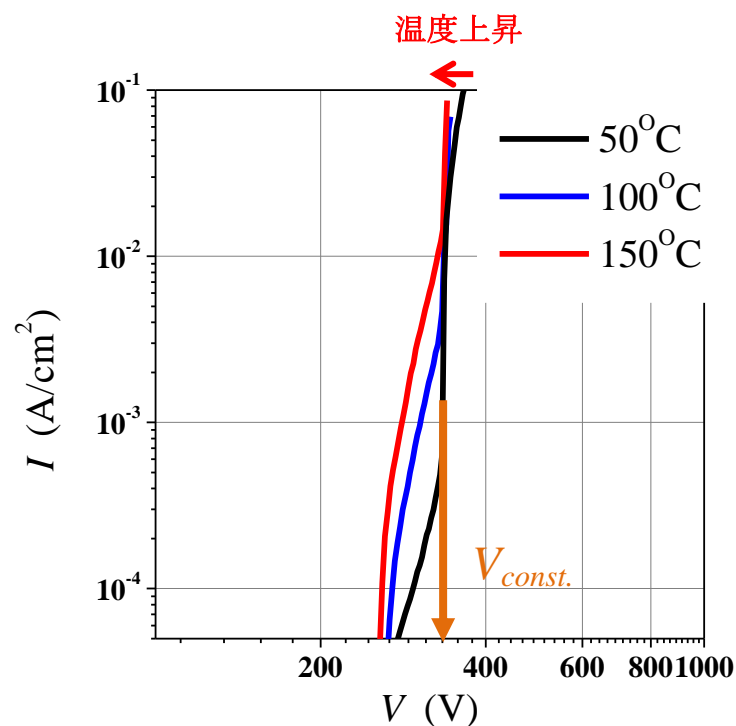


図5-3-6 縦方向電流電圧特性の温度依存性

GaN:C= 3.0 μm ・ カーボン濃度: $1.4 \times 10^{19} \text{ cm}^{-3}$

半絶縁性半導体におけるSCLC理論による電気伝導 I - V 曲線の模式図を図5-3-7に示す。⁵⁻⁶⁾ 低電圧・低電流領域では電流は電圧の二乗に比例し、空間電化制限電流が支配的な電気伝導となる。トラップが電子に満たされる電圧(V_{TFL})において、フェルミ準位の固定が解かれ、伝導帯に電子が流れることが可能となる。その際 I - V 曲線は変曲点を示し、急速に電流が増大する。

本研究で用いたサンプルは半絶縁層が厚く、 V_{TFL} が高電圧であるため、高電圧で過電流が流れると電極がショートすることが確認された。本研究においては図5-3-7に示す、青四角で囲まれた領域の電流電圧特性が観測されたと考えられる。

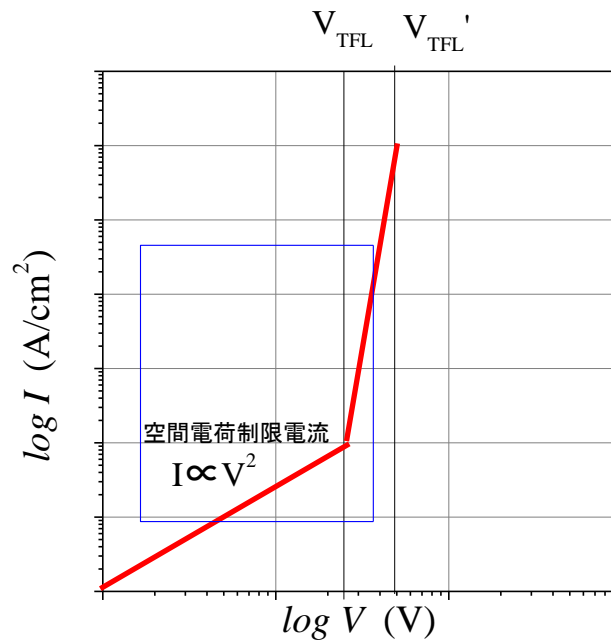


図5-3-7 空間電荷制限電流モデルにおける電流電圧特性模式図

半導体中にカーボンに起因する準位が複数形成され、その中の一つが半絶縁性に寄与すると仮定する。半絶縁性半導体に電圧を印加しないときと V_{TFL} に達した際のバンド中の状態を図5-3-8に示す。³⁾ 電圧を印加しない状態では深いトラップ準位にフェルミ準位が固定され半絶縁性を示す。電圧印加によって注入された電子によってトラップ準位に電子が満たされていき、電圧 V_{TFL} においてトラップ準位がすべて満たされ、注入されたキャリアによって電気伝導を生じる。SCLC理論におけるトラップ準位がすべて満たされる電圧 V_{TFL} (式5-1)³⁻⁶⁾からトラップ密度(N_T)の検討を行った。

本研究において電流-電圧曲線における変曲点が観測された電圧を V_{TFL} として検討を行った。

$$V_{TFL} = \frac{qN_T d^2}{2\varepsilon} \quad (\text{式 5-1})^{3-6)}$$

q :電気素量 ε :誘電率 d =GaN:C 膜厚
 N_T :トラップ密度

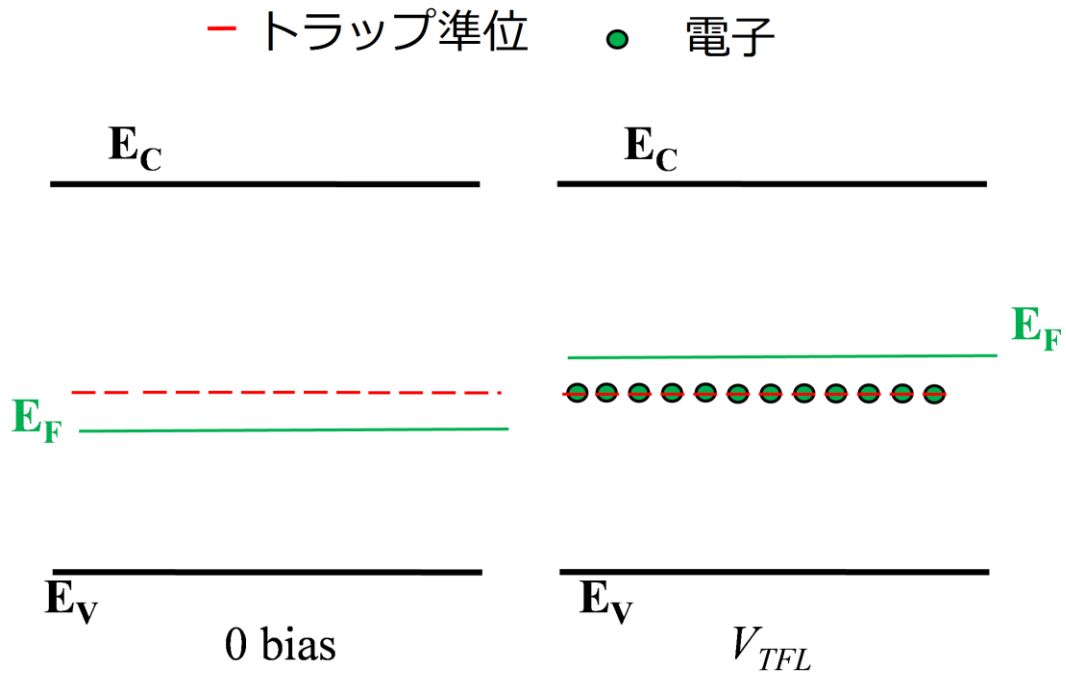


図 5-3-8 準位と電子のトラップ³⁾

図5-3-5から求めたカーボン濃度: $1.4 \times 10^{19} \text{ cm}^{-3}$ の試料における V_{TFL} のGaN:C膜厚依存性を図5-3-9に示す。トラップの多数がGaN:C中に存在すると仮定し膜厚 d =GaN:C膜厚、 N_T を $3.2 \times 10^{16} \text{ cm}^{-3}$ として仮定した場合の V_{TFL} とGaN:C膜厚の関係を図5-3-9に示す。

実験結果と計算結果はおよそ一致した。前述のアバランシェ電流ではないこと合わせて、電流が観測される電圧がGaN:C膜厚の二乗に比例することから、観測された電気伝導はGaN:C中のカーボンに起因するトラップに電子が満されることによる電気伝導であることが示唆された。GaN:C 5 μm を有する試料が印加電圧900Vにおいて電気伝導が起こる際、均一にトラップされた電荷($3.2 \times 10^{16} \text{ cm}^{-3}$)がGaN:C中に存在すると仮定した場合、計算される最大電界は3.0 MV/cmに達する。そのため電流-電圧特性は高電界の電子輸送を考慮する必要がある。また、GaN:C 6 μm を有する試料において計算によって求めることができる最大電界は3.6 MV/cmとなり、GaNの絶縁破壊電界3.3 MV/cmを超えるためアバランシェ型の絶縁破壊が生じている可能性が示唆される。以上の結果から、電気伝導が生じる電圧がGaN:C膜厚の二乗に比例し、耐圧の膜厚依存性予測が可能となった。

図 5-3-1 から同様に求めたカーボン濃度と N_T の関係を図 5-3-10 に示す。カーボン濃度とともにトラップ密度は増加し $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 台のトラップ密度が予測された。これはカーボン濃度に比較して極めて少ない。GaN:C 中のカーボンは取り込まれるサイトによって複数の準位を形成することが報告されており、その

うちの一つ準位に電子が蓄積された際に電気伝導が生じたとすることで GaN:C の半絶縁性電流電圧特性を解釈が可能であることが示唆された。

高耐圧 HFET 構造の設計には GaN:C の膜厚とともにカーボン濃度に依存するトラップ濃度の制御が必要である。

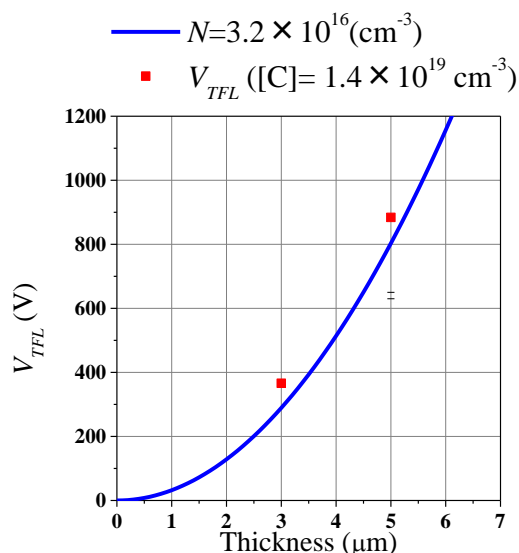


図5-3-9 V_{TFL} とGaN:C膜厚

$$N_T = 3.2 \times 10^{16} \text{ cm}^{-3}$$

$$\text{カーボン濃度 } 1.4 \times 10^{19} \text{ cm}^{-3}$$

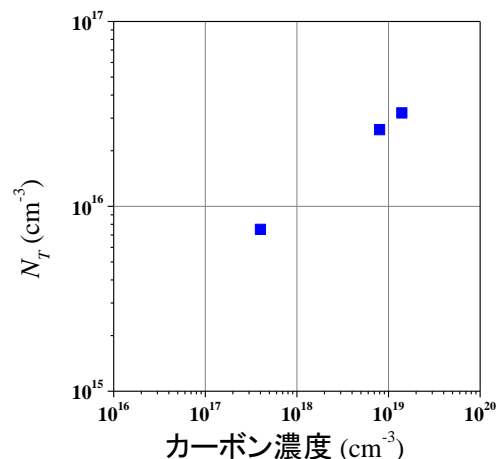


図5-3-10 トラップ密度

カーボン濃度依存性

C. Zhou らによる Si 基板上的 HFET において、2 準位モデルを用いて求めた N_A , N_D の報告³⁾では、Si 基板上的 HFET は GaN 層 (1.6 μm) と Al を含んだ緩和層 (2.4 μm) からなることが述べられており、カーボン等不純物濃度に関しては触れられていない。また、AlGaN 中のカーボンは GaN 中のカーボンとは電氣的に違った特性を示すことが報告されている。⁸⁾ そのため Si 基板上的 HFET では総膜厚の 6 割を占める AlN を含む緩和層によって異なるトラップ密度が見積もられた可能性があると考えられる。一方、本研究では導電性 GaN 基板を用いることで AlN を含まない GaN:C 単膜の電気伝導特性の測定を行うことが可能であった。

表 5-3-1 に GaN:C 中のカーボンに起因すると報告されている準位を示す。⁹⁻¹²⁾ 理論的にも実験的にも複数の準位が報告されており、近年は GaN 中の N サイトにカーボンが置換した深いアクセプタ ($E_V + 0.9 \text{ eV}$)^{9-10,12)}の報告が多くなされている。また、フォトルミネッセンス測定において観測されるイエロールミネッセンス (YL=2.2~2.3eV)に適合する第一原理計算結果¹²⁾も報告されている。しか

し、カーボン濃度とともに、別の準位(Blue luminescence: BL=2.8~2.9 eV)が増加することも報告⁹⁻¹¹⁾されており、GaN:C 中のカーボンが形成するドナー・アクセプタ準位はいまだ完全には解明されておらず、近年も多くの報告^{10, 13, 14)}がなされている。本研究において作製した GaN:C 中においても複数の準位が存在していると考えられる。

表 5-3-1 GaN:C 中の準位報告値

	成長法	測定方法	準位 Et eV	準位密度/カーボン濃度 cm ⁻³
A. Armstrong <i>et al.</i> ⁹⁾	MOVPE	HT-DLTS	E _V +0.9	1.0×10 ¹⁶ / 1×10 ¹⁷
A. Armstrong <i>et al.</i> ⁹⁾	MBE	HT-DLTS	E _V +0.9	1.2×10 ¹⁷ / 5×10 ¹⁸
A. Armstrong <i>et al.</i> ⁹⁾	MBE	HT-DLTS	E _C -0.11	- / 5×10 ¹⁸
U. Honda <i>et al.</i> ¹⁰⁾	MOVPE	MCTS	E _V +0.86	1.8×10 ¹⁴ / (2~5)×10 ¹⁶ 2.2×10 ¹⁵ / 1×10 ¹⁷
U. Honda <i>et al.</i> ¹⁰⁾	MOVPE	DLTS	E _C -0.4	1.2×10 ¹⁴ / (2~5)×10 ¹⁶ 3.4×10 ¹⁵ / 1×10 ¹⁷
P. B. Klein <i>et al.</i> ¹¹⁾	MOVPE	光 collapse	1.8 2.95	- / (0.4~3)×10 ¹⁷
J. L. Lyons <i>et al.</i> ¹²⁾	第一原理計算		E _V +0.81	- / -

GaN 中のカーボンがアクセプタ(C_N)として作用する割合が極めて低いことを示唆する結果^{9, 10)}が複数の研究機関から報告されている。MOVPE により成膜した GaN:C 中の N_A^{9, 10)}では SIMS 測定によるカーボン濃度の数%程度のアクセプタ N_A が高温 DLTS(Deep Level Transient Spectroscopy)法⁹⁾・MCTS(Minority carrier transient spectroscopy)法¹⁰⁾によって測定されている。また、MBE 成膜による高カーボン濃度 GaN:C においては N_A の飽和(N_A / [C]=1%~)が報告されている。⁹⁾ 本研究において成長を行った GaN:C (~10¹⁹ cm⁻³)においても同様の傾向を示し、カーボン濃度に比較して桁違いに少ない N_A がトラップ N_T として作用した可能性があると考えられる。

カーボン濃度~10¹⁹ cm⁻³に比較して N_Tが少ない理由に関しては、N サイトに置換したカーボン(C_N)と Ga サイトに置換したカーボン(C_{Ga})の C_N-C_{Ga} ペア¹⁴⁻¹⁶⁾が形成されドナー・アクセプタとして作用¹⁵⁾することや電氣的に不活性な格子間カーボン(C_I)¹⁴⁻¹⁶⁾等のカーボンの存在が考えられる。

また、N_Dの起源としてはNH₃ボンベ由来の酸素、Gaサイトにカーボンが置換したC_{Ga}^{9, 10, 14-16)}が考えられる。本研究で作製した高カーボン濃度(~10¹⁹ cm⁻³)GaN:Cを有する試料では、カーボン濃度が極めて高いためC_{Ga}によるN_D増加^{9, 10)}が予想

される。

また、GaN 中の Mg ではアクセプタ活性化エネルギーの Mg 濃度依存性が報告¹⁷⁾されており、カーボンにおいても活性化エネルギーがカーボン濃度に依存する可能性がある。

本研究では電気伝導のモデルを SCLC 理論のトラップと仮定した場合の検討を行い、カーボンが GaN 中に形成する準位の一部のみがトラップとして作用している解釈を示した。また、耐圧が GaN:C の膜厚の二乗に比例することから耐圧の GaN:C 膜厚依存性が予測可能であったことを示した。GaN:C の電気伝導特性の詳細な解析を行うためには GaN:C 中に存在する準位のカーボン濃度依存性に加えて高電界電子速度¹⁸⁾を考慮する必要がある。

本研究中ではカーボン準位すべて解明するまでは至らなかったが、量産性に優れる MOVPE 法においてアセチレンを用いたカーボンドーピングを行うことで高耐圧 GaN:C 層の成長が可能であることを明らかにした。

図 5-3-1 に示されたように、カーボン濃度によって *I-V* 特性は劇的に変化するため、カーボンに由来する準位の形成によって GaN:C の電気伝導特性・耐圧が変化したと考えられる。今後は、メチル基からのカーボンドープ GaN:C とアセチレンによる GaN:C の電気的特性の比較・解析されることが望まれる。一つの解析手法として、Si とカーボンを同時ドーピングすることで n-GaN:C 単膜のショットキー容量測定を可能にし、DLTS 法・MCTS 法を用い n-GaN:C 中に存在する複数の準位の解明が有効であると考えられる。しかし、本研究で作製した高カーボン濃度 GaN:C($10^{18}\sim 10^{19}$ cm⁻³ 台)の容量を測定するためには、高濃度の Si をドーピングする必要があり、ショットキー電極にトンネル電流が流れ、容量測定は困難となることが予想される。そのため、半絶縁半導体の電気伝導の解析に有効な熱刺激電流 (Thermally Stimulated Current: TSC) 測定が GaN:C 中に存在する複数の準位にとらわれたトラップ準位の深さと密度の解析に有効であると考えられる。

5-4 GaN:C を有する導電性 GaN 基板上

HFET 構造横方向・素子分離間電流電圧 (I - V) 測定

アセチレンを用いたGaN:Cの電気伝導・耐圧特性と、報告されているTMGaメチル基からのカーボンオートドーピングによるGaN:C^{1, 19)}の電気伝導・耐圧特性とを比較するため、横方向耐圧の電極間依存性を測定した。図5-4-1に素子構造を示す。GaN:C= 5.0 μm (総エピタキシャル膜厚5.4 μm)・カーボン濃度: $1.4 \times 10^{19} \text{ cm}^{-3}$ の試料においてGaN:Cまでエッチングされていることを触針式段差計で確認し、素子の作製を行った。縦方向電流電圧測定と同様に、放電を抑制するためフッ素系不活性液フロリナートに浸した状態で、電極間の電流電圧測定を行った。文献値と比較するために、導電性GaN基板の基板電位は測定条件のフローティングの状態にて行った。

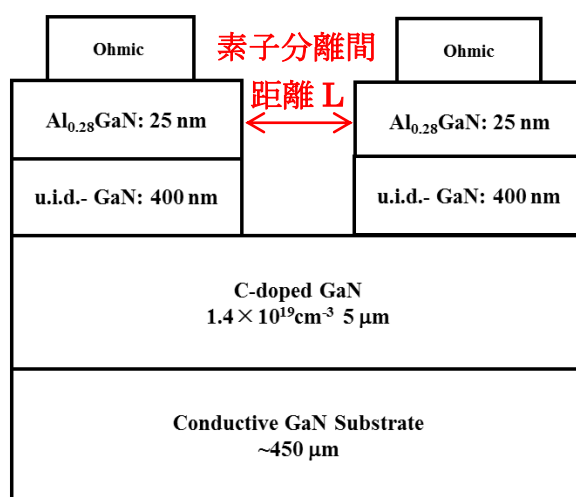


図5-4-1素子分離間電流電圧測定・素子構造

図5-4-2に電流電圧特性の素子分離間距離依存性を示す。素子分離間距離増大に伴い、耐圧が向上していることが確認された。図5-4-3,5-4-4に電流電圧特性測定後の素子分離間距離 10 μm , 25 μm の顕微鏡写真を示す。素子分離間距離10 μm の試料では、エッチングによるダメージを受けた表面で起きたと思われる沿面放電によって、素子破壊・電極間短絡が確認されたのに対し、素子分離間距離が25 μm の試料では、縦方向電流電圧特性同様に、放電・素子破壊・電極間短絡は見られず、再測定可能な電流が観測された。

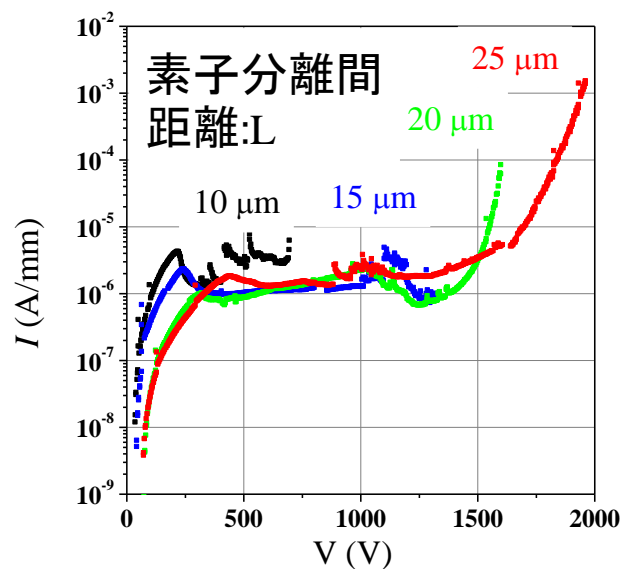


図5-4-2 I - V 特性 素子分離間距離依存性

GaN:C = 5.0 μm (総エピタキシャル膜厚5.4 μm) ・ カーボン濃度: $1.4 \times 10^{19} \text{ cm}^{-3}$

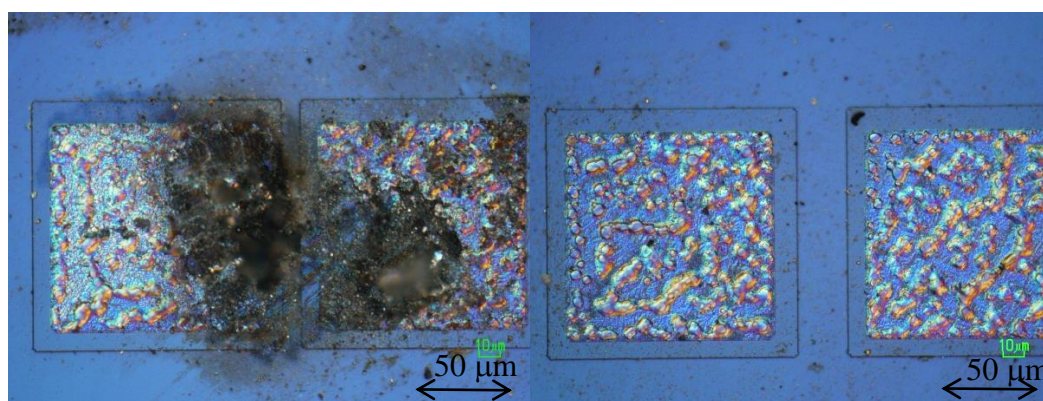


図5-4-3 I - V 特性測定後の顕微鏡写真

素子分離間距離10 μm ,

図5-4-4 I - V 特性測定後の顕微鏡写真

素子分離間距離25 μm

図5-4-5に耐圧の素子分離距離依存性を示す。他の研究機関から報告されているMOVPE法により成長されたGaN:Cの横方向耐圧¹⁹⁾と比較を行った。報告では、Si基板上的カーボン濃度 10^{18} cm^{-3} 台後半のGaN:Cと、本研究に近い総エピタキシャル膜厚5.2 μm を有している。測定は本測定と同様に、基板フローティングで行っている。本研究で作製したGaN:Cは同じ電極間距離・同程度のエピタキシャル膜厚であっても報告値(0.56 MV/cm)よりも高耐圧(0.8 MV/cm)であった。本研究のGaN:Cが他機関からの報告値に比べて高耐圧であった理由は、GaN基板を用い

たことによる低貫通転位密度化に加え、アセチレンによりカーボン濃度が制御可能になったためであると考えられる。アセチレンを用いることで表面を荒らさずカーボン濃度を 10^{19} cm^{-3} 以上にすることが可能になったことで、高耐圧・高絶縁破壊電界化が実現できたと考えられる。

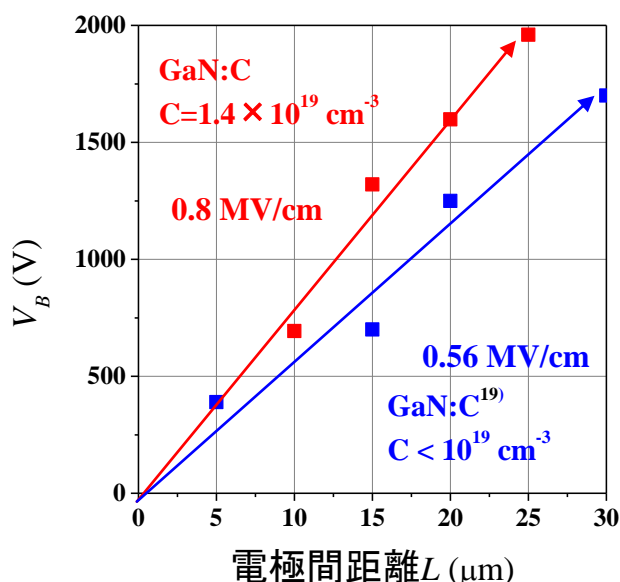


図5-4-5耐圧-電極間距離依存性

再測定可能な電流電圧特性から縦方向電気伝導と同様の電気伝導メカニズムによる絶縁破壊現象と考えられる。電極間距離-絶縁破壊電圧から求められる見かけ上の電界をさらに向上させるためには補償に有効なトラップ濃度をさらに上げる必要があり、そのためには新たな高耐圧構造・結晶成長技術が必要である。例えば、急峻なドーピングが可能で深い準位を効果的に形成する元素のドーピングやⅢ族であるAlをドーピングレベルで添加し、半絶縁性を実現する深い準位を効果的に形成する等の結晶成長が考えられる。また、トラップによって捕まった電荷による電界集中の影響も考慮する必要がある。

測定結果と文献値の比較から、アセチレンによるGa_N:Cの成長では、表面の平坦性・カーボン濃度制御性に優れ、高濃度のカーボンドーピングを行うことができたため、優れた半絶縁性を有するGa_N:Cが得られることを示した。また、アセチレンを用いたGa_N:CはTMGaメチル基からのオートドーピングによるGa_N:Cと変わらない半絶縁性を有することを証明した。

5-5 GaN:C を有する導電性 GaN 基板上 HFET 特性

作製したGaN:Cを有するHFET構造が、HFETとして高耐圧動作することを実証するために、デバイス作製を行った。図5-5-1にデバイス構造の模式図を示す。

SIMSから急峻なドーピング制御性を確認したため、チャンネル層を薄膜化しデバイス作製を行った。図5-5-2にXRDによるGaN(0002)2 θ - ω スキンの測定結果とフィッティング結果を示す。Al_{0.28}Ga_{0.72}N(16 nm)/GaNのHFET構造であることを確認した。

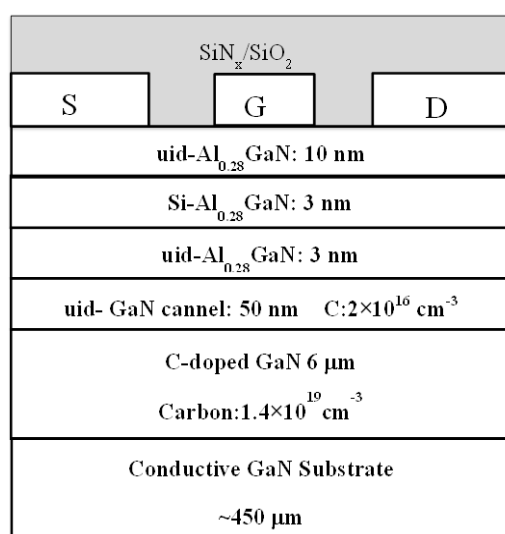


図5-5-1 素子構造模式図

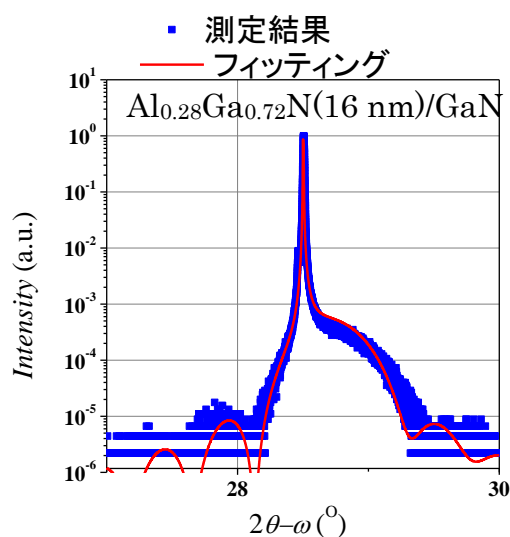


図5-5-2 XRD GaN(0002)2 θ - ω スキャン

HFETとして高耐圧動作を実現するため、従来、1 kVを超える耐圧測定ではエッチングによる素子分離したメサ端においてリーク電流が集中し電極ショートしてしまう現象が発生していた。図5-5-3に破壊後の顕微鏡写真、図5-5-4に素子断面模式図とリーク電流集中箇所を示す。メサ端でのリーク電流集中を防ぐためイオン注入による素子分離を導入した。また、表面での放電を防ぐため厚い絶縁堆積膜(SiN_x/SiO₂: 5/ 150 nm)を成膜し、電極とのコンタクトを取るため電極部分をフッ素系エッチングにより除去することで、絶縁破壊測定を行うことのできるHFETを作製した。表5-5-1 にHFET作製プロセスを示す。

表5-5-1 HFET作製プロセス

オーミック電極	Ti/Al/Ni/Au: 30/100/20/150 nm
アニール	室温から一分で810℃まで昇温30秒保持
イオン注入 素子分離	イオン種：ホウ素B（加速電圧/注入量） 30 kV: $1 \times 10^{14} \text{ cm}^{-2}$ 200kV: $1 \times 10^{14} \text{ cm}^{-2}$
ゲート電極	Ni/Au: 20/80 nm
表面保護膜	SiN _x /SiO ₂ : 5/ 150 nm
エッチング	RIE: CF ₄ 50 W 6分間

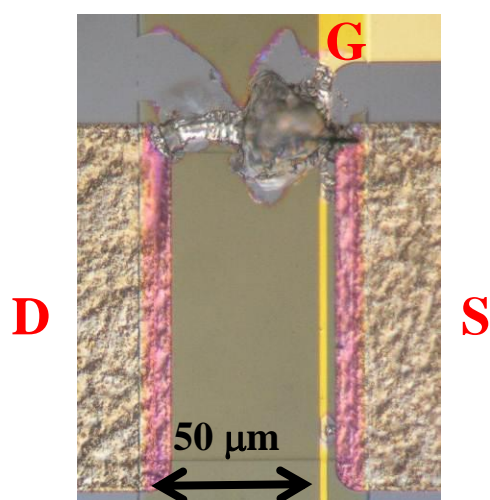


図5-5-3 リーク電流集中によって発生した
絶縁破壊後の顕微鏡写真

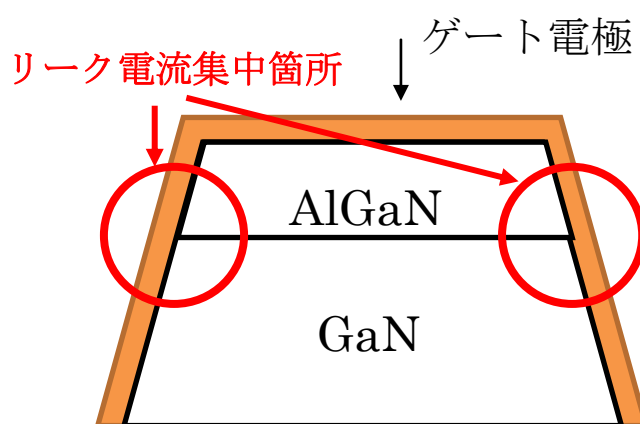


図 5-5-4 素子
メサ加工ゲート電極断面模式図

図5-5-5に作製したHFETの顕微鏡写真を示す。ソース・ゲート間 $L_{SD}=3 \mu\text{m}$ ゲート長 $L_G=2 \mu\text{m}$, ゲート幅 $W_G=100 \mu\text{m}$ として ゲート・ドレイン間距離 L_{GD} を変化させて測定を行った。

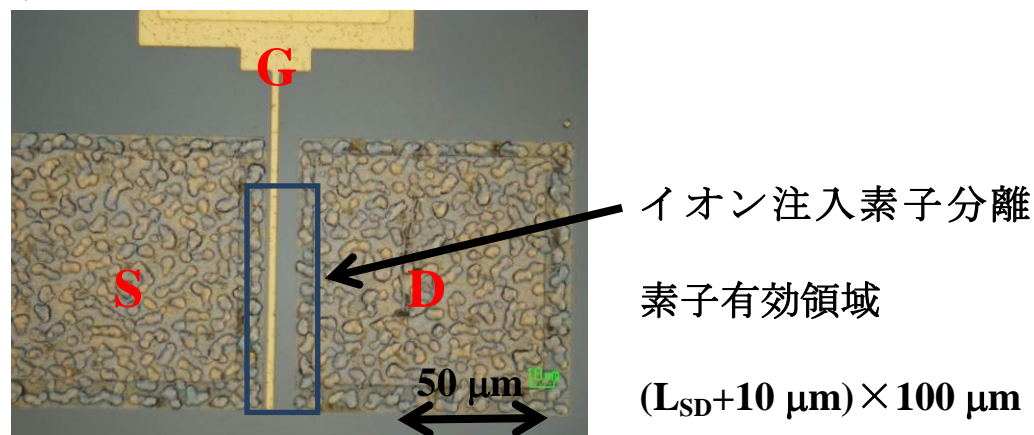


図5-5-5 HFET顕微鏡写真

図5-5-6にゲート・ドレイン間 $L_{GD}=8, 13\ \mu\text{m}$ の素子のFET特性と図5-5-7にドレイン電圧10V時のTransfer特性を示す。閾値電圧 -3.6V の一般的なノーモリーオン型のデバイス特性が得られた。

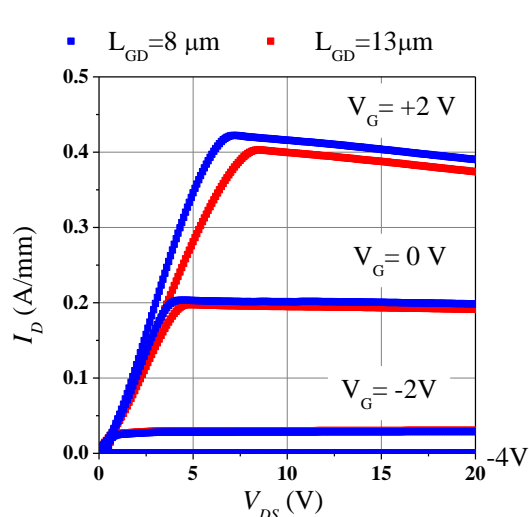


図5-5-6 HFET特性

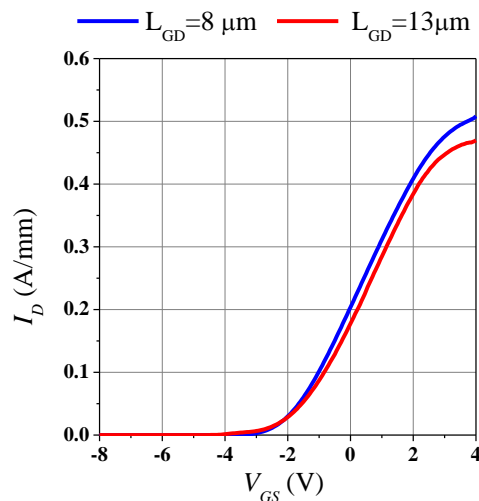


図5-5-7 Transfer特性ドレイン電圧10V

次にこれらの素子のオフ時の静耐圧測定を行った。1000V以上の静耐圧測定をドレイン-ゲート電流,ドレイン-基板電流,ドレイン-ソース電流に分けて測定するために、松定プレジション社製10kV高電圧電源HARb -10P10および制御装置、ケースレー社製ソースメジャーユニット2400 およびピコアンメーター6485を用いGPIBによる制御プログラムを作成し、図5-5-8に示す耐圧測定装置を構築した。



図5-5-8 耐圧測定装置

図5-5-9,5-5-10にゲート・ドレイン間距離 $L_{GD}=8, 13 \mu\text{m}$ のHFETのオフ耐圧測定結果を示す。ゲート電圧は $V_{GS}=-8 \text{ V}$ と固定した。 $L_{GD}=8 \mu\text{m}$ のHFETではドレイン電圧875 Vでゲート・ドレイン間にゲート電流 I_G が急激に増大し電極の短絡によりデバイスが破壊されてしまった。一方、 $L_{GD}=13 \mu\text{m}$ のHFETでは耐圧基板へ流れる電流 I_{SUB} が増大し1280Vでドレイン電流が1 mA/mmに達し、ドレイン・導電性基板間耐圧<ドレイン・ゲート間耐圧であった。ドレイン・導電性基板間の絶縁破壊は5-3節で行った縦耐圧と同様に、デバイス非破壊であり再測定可能な耐圧特性を示すソフトブレイクダウンであった。ゲート・ドレイン間の絶縁破壊とは異なりドレイン導電性基板間の絶縁破壊がデバイス非破壊である原因を考察すると、デバイスの断面においてゲート電流 I_G がAlGaIn/GaN界面付近の数十nmの狭い範囲を流れるのに対し、基板電流 I_{SUB} はドレイン電極の面積だけ広がって流れており電流密度としては低くなるためである。実用化される際に採用されられると思われるマルチフィンガーの断面を考えてみると、ドレイン電極幅を仮に $5 \mu\text{m}$ とすると絶縁破壊 ($I_D=1 \text{ mA/mm}$) に達した時の電流密度は 20 A/cm^2 であるのに対しゲート電流 I_G が表面から 50 nm 程度を流れるとするとその電流密度は 2 kA/cm^2 に達する。基板電流 I_{SUB} は桁違いに広がりを持って流れるため、素子破壊を伴わないソフトブレイクダウンが可能であると考えられる。素子破壊を伴わないソフトブレイクダウンは過負荷を検知し素子破壊を未然に防ぐなどの新しい応用が考えられる。以上の結果から、導電性GaN基板上にAlNを用いないでAlGaInバリア層以外すべてGaNに格子整合するデバイスによりハイブリット自動車用インバータとして要求される耐圧1.2 kVを超える耐圧を実現した。

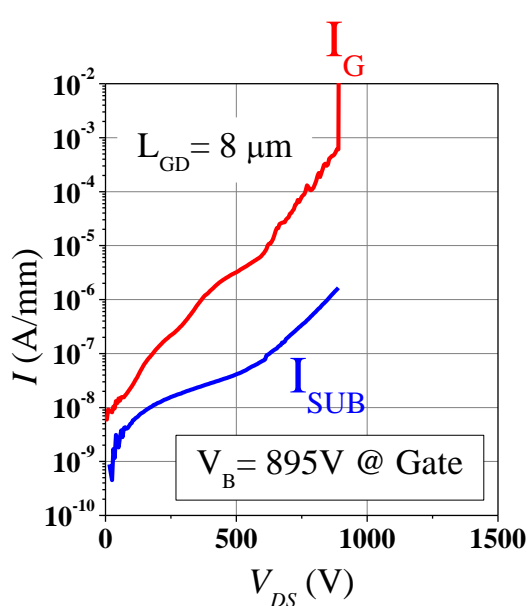


図5-5-9 $L_{GD}=8 \mu\text{m}$ 耐圧測定結果
 $V_{GS}=-8 \text{ V}$

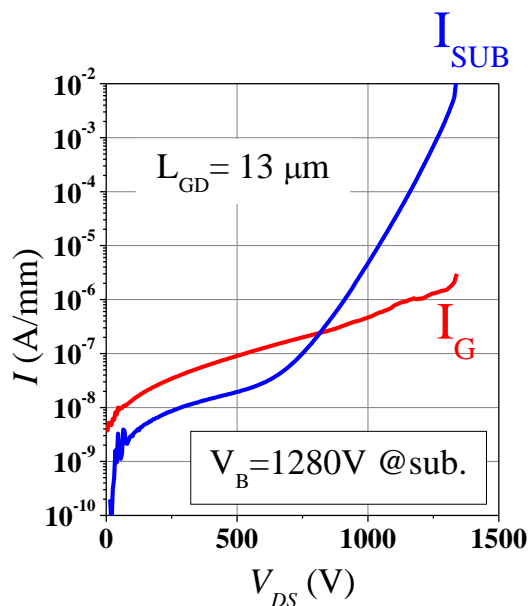


図5-5-10 $L_{GD}=13 \mu\text{m}$ 耐圧測定結果
 $V_{GS}=-8 \text{ V}$

図5-5-11に耐圧のゲート・ドレイン間距離 L_{GD} 依存性を示す。Si上HFET¹⁾と同様に耐圧がゲート・ドレイン間距離に比例して向上し、縦方向絶縁破壊によって耐圧が飽和することが確認された。この縦方向絶縁破壊は非破壊であり、GaN:Cの膜厚とアセチレンによるカーボン濃度制御によって、縦方向耐圧は制御可能である。

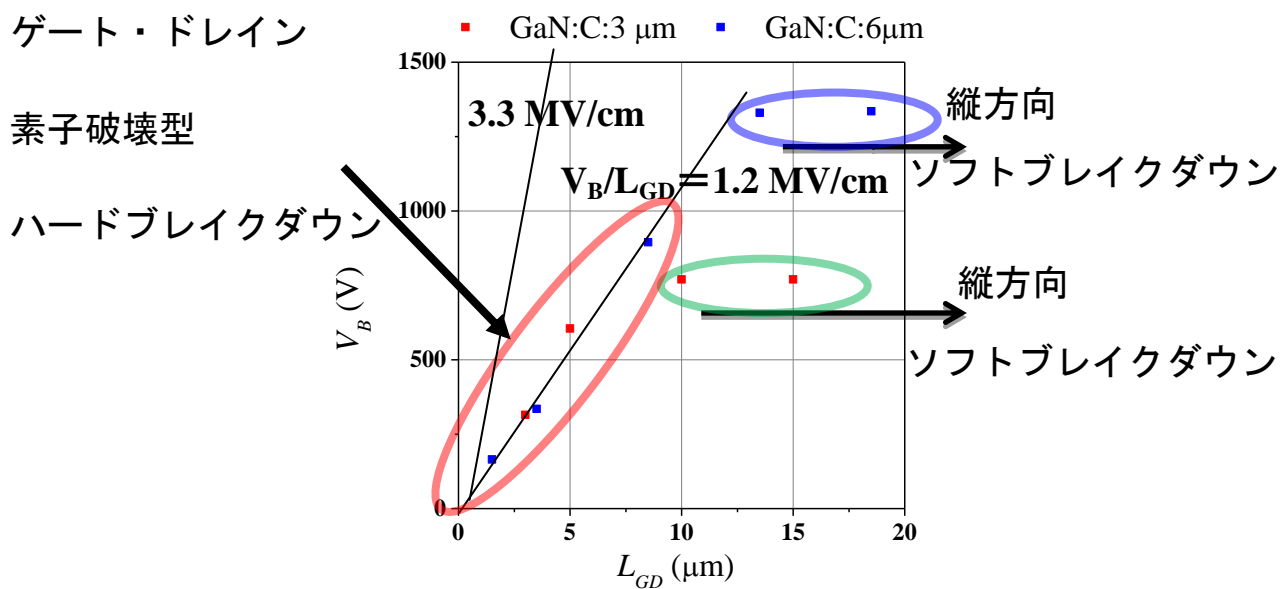


図 5-5-11 耐圧のゲート・ドレイン間距離 L_{GD} 依存性

本研究で作製したシンプルな構造のHFETは、ゲート端で電界集中が発生し絶縁破壊が生じる。実験では電界集中によってゲート端の最も電界が高くなる部分において電界が3.3 MV/cmに達し絶縁破壊が生じている。そのため電圧をゲート・ドレイン間距離で割った V_B/L_{GD} は1.2 MV/cmとGaN物性値よりも低い特性を示した。フィールドプレート(FP)構造などを用いることで電界集中を緩和できることが多くの研究機関から報告されており、電界集中の緩和によって高耐圧化が可能になり V_B/L_{GD} を向上させることが可能である。図5-5-12に耐圧・オン抵抗の理論限界との比較を示す。本研究ではGaN:C層の耐圧評価を目的とし、シンプルなHFET構造を作製した。そのため、オン抵抗・耐圧は他の研究機関からの報告に比べて劣っている。今回作製したHFETにおいてもフィールドプレート構造による電界集中の緩和によって、低オン抵抗のまま高耐圧化が可能になることが期待できる。作製した $L_{GD}5 \text{ mm}$ のHFETにおいてドレイン・基板間の絶縁破壊が可能になると図5-5-12に示すオン抵抗・絶縁破壊電圧の理論限界において理論限界に大きく近づくことが期待される。また、AlGaN層のAl組成を高く、膜厚厚くすると2DEG密度を高くすることができ、さらなる低オン抵抗化が可能である。

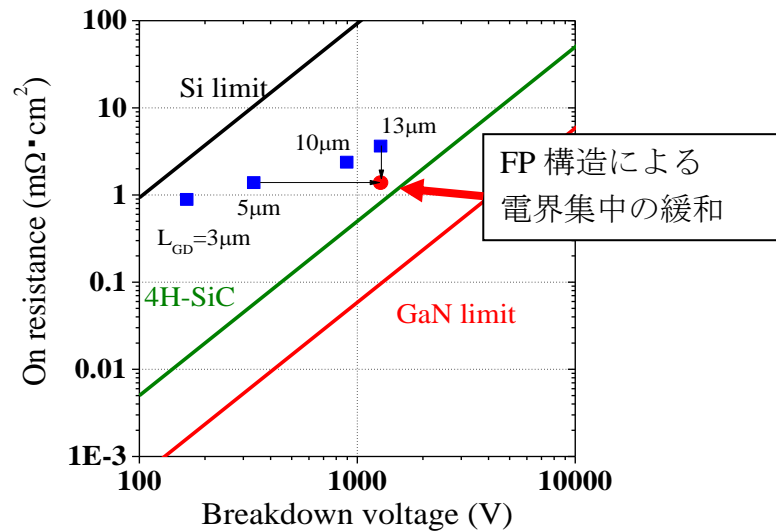


図5-5-12 耐圧・オン抵抗の理論限界比較

3章で課題となっていた高温でのドレインリーク電流に対してGaN:Cの効果を検証するため、 $L_{GD}=13\mu m$ のHFET (GaN:C $6\mu m$ カーボン濃度： $1.4\times 10^{19} cm^{-3}$) のドレインリーク電流の温度依存性を測定した。図5-4-13にドレインリーク電流の温度依存性の測定結果、図5-5-14にドレイン電圧 $V_{DS}=20V$ におけるドレインリーク電流の温度依存性測定結果を示す。GaN:C層を用いることで、高温においても極めてドレインリーク電流が少ないデバイスを実現した。ドレインリーク電流はドレイン電圧に比例しており、温度上昇に伴い高抵抗領域の抵抗率が減少したためドレインリーク電流が増大したと考えられる。作製したデバイスではイオン注入により結晶構造を破壊することで、深い準位を形成し高抵抗化することで素子分離を行っている。しかし、高温において熱励起されたキャリアが増えることで低抵抗化しリーク電流が増大した。本研究で測定した高温時のドレインリーク電流はイオン注入領域の回り込みによるリーク電流が主でGaN:C層におけるバッファリークは少ないと考えられる。他機関からの報告²⁰⁾ のようにイオン注入による素子分離のドーパントを変えることで、さらなる高温低リーク電流が実現できると考えられる。

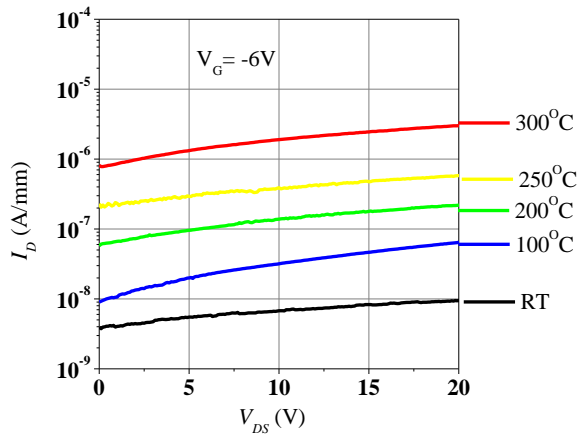


図 5-5-13 ドレインリーク電流
温度依存性測定結果

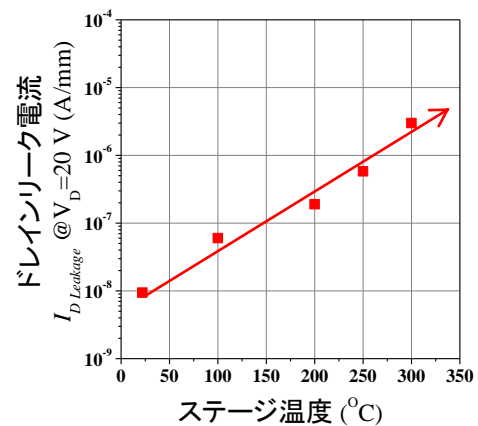


図 5-5-14 ドレイン電圧 20V に
おけるドレインリーク
温度依存性

5-6 まとめ

本章ではアセチレンを用いてカーボンドーピングを行った GaN:C を有する HFET の電気特性評価を行った。縦方向耐圧測定を行い GaN:C のカーボン濃度・膜厚を制御することで縦方向耐圧が制御できることが確認された。

温度特性から電流立ち上がり電圧が一定であることからアバランシェ電流ではないことを確認した。SCLC 理論によるトラップ準位密度の検討を行った。電気伝導特性を完全に解析することはできなかったが、アセチレンを用いた GaN:C が良好な半絶縁性を示すことを確認した。

横方向耐圧測定を行い他機関から報告されている GaN:C の耐圧測定結果と比較し、アセチレンを用いた GaN:C は TMGa メチル基からのオートドーピングによる GaN:C と変わらない半絶縁性を有することを確認し、アセチレンを用いた GaN:C はカーボン濃度制御性に優れるため、高い絶縁性を有する GaN:C の成長が可能であることを示した。

さらに、アセチレンを用いた GaN:C を有する HFET を作製し、その特性を評価した。導電性基板ソース接地のオフ状態、静ドレイン耐圧の測定において耐圧 1280V を実現した。ゲート・ドレイン間距離と GaN : C 層の設計によりハイブリット自動車用インバータとして要求される耐圧 (1.2 kV) を実現できることを実証した。また、その絶縁破壊はドレイン電極－導電性基板間で電流が増大するが、電極短絡を生じない絶縁破壊 (ソフトブレイクダウン) であった。

さらに、アセチレンを用いた GaN:C によって高温での低ドレインリーク電流・低待機損失を実現できることを実証した。

本研究では、HFET の GaN チャネルに格子整合する GaN 基板上に高耐圧 HFET の作製を行った。高耐圧 HFET 実現のためには厚い半絶縁層が必要となる。しかし、従来の異種成長上の HFET では GaN と基板の格子不整合による歪の影響を受けるため、厚い半絶縁層を成長させるのは困難である。本研究において行った導電性 GaN 基板上に高耐圧 HFET を作製する方法は、厚い半絶縁性 GaN:C 層の成長を可能とした。GaN 基板の導電性によらず縦方向耐圧を半絶縁性 GaN:C 層の膜厚次第でいくらかでも高耐圧にすることが可能な HFFE 作製方法である。さらにアセチレンを用いることで GaN:C 層の耐圧を決めるカーボン濃度の優れた制御性を実現した。

参考文献

- 1) N. Ikeda, Y. Niiyama, H. Kambayashi, Y. Sato, T. Nomura, S. Kato, and S. Yoshida: Proc. IEEE **98** (2010) 1151.
- 2) E. Bahat-Treidel, F. Brunner, O. Hilt, E. Cho, J. Wurfl, and G. Trankle: IEEE Trans. Electron Devices **57** (2010) 3050.
- 3) C. Zhou, Q. Jiang, S. Huang, and K. J. Chen: Electron Device Lett. **33** (2012) 1132.
- 4) X. A. Cao, S. J. Pearton, G. T. Dang, A. P. Zhang, F. Ren, R. G. Wilson, and J. M. Van Hove: J. Appl. Phys. **87** (2000) 1091.
- 5) M. A. Lampert: Phys. Rev. **103** (1956) 1648.
- 6) A. Rizzo, G. Micocci, and A. Tepore: J. Appl. Phys. **48** (1977) 3415.
- 7) S. M Sze and Kwok K. Ng, *Physics of semiconductor devices 3rd edition* WILEY
- 8) H. Kawanishi, and T. Tomizawa: Phys. Status Solidi (B) **249** (2012) 459.
- 9) A. Armstrong and A. R. Arehart, D. Green, U. K. Mishra, and J. S. Speck: J. Appl. Phys. **98** (2005) 053704.
- 10) U. Honda, Y. Yamada, Y. Tokuda, and K. Shiojima: Jpn. J. Appl. Phys. **51** (2012) 04DF04.
- 11) P. B. Klein, S. C. Binari, K. Ikossi, A. E. Wickenden, D. D. Koleske, and R. L. Henry Appl. Phys. Lett. **79** (2001) 3527.
- 12) J. L. Lyons, A. Janotti, and C. G. Van de Walle: Appl. Phys. Lett. **97** (2010) 152108.
- 13) Z.-Q. Fang, B. Claflin, D. C. Look, D. S. Green, and R. Vetury: J. Appl. Phys. **108** (2010) 063706.
- 14) C. H. Seager, A. F. Wright, J. Yu, and W. Götz: J. Appl. Phys. **92** (2002) 6553.
- 15) F. Wright: J. Appl. Phys. **92** (2002) 2575.

- ¹⁶⁾ L. E. Ramos, J. Furthmüller, J. R. Leite, L. M. R. Scolfaro, and F. Bechstedt: *Phys. Status Solidi B* **234** (2002) 864.
- ¹⁷⁾ P. Kozodoy, H. Xing, S. P. DenBaars, U. K. Mishra, A. Saxler, R. Perrin, S. Elhamri, and W. C. Mitchel: *J. Appl. Phys.* **87** (2000) 1835.
- ¹⁸⁾ B. AlOtabi and P. Valizadeh: *IEEE Trans. Device and materials reliability* **12** (2012) 547.
- ¹⁹⁾ 池田 成明, 李 江, 加藤 一 雄, 賀屋 秀介, 風間 敏明, 古川 拓也, 佐藤 義浩, 岩見 正之, 野村 剛彦, 増田 満, 加藤 禎宏: *古河電工時報* **122** (2008) 23.
- ²⁰⁾ Y. Uemoto, T. Morita, A. Ikoshi, H. Umeda, H. Matsuo, J. Shimizu, M. Hikita, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda: in *IEDM.*, 2008, p. 1-4.

6 章 総括と今後の課題

今後、深刻化することが予想されるエネルギー問題に対して電力効率を上げるためパワーエレクトロニクス回路に使用されるスイッチングデバイスの高出力・低損失化は必須である。Si 系パワーデバイスは Si の物性値による耐圧抵抗の限界にせまり、損失による発熱から定格電力が大きく制限される上、放熱のための冷却システムを必要としている。これを高耐圧・低抵抗・高速スイッチングが可能であることに加え高温動作可能な新材料 GaN を用いることで低消費電力化と共に冷却・熱設計の簡素化と定格電力の増大によるデバイス・モジュールの小型・高パワー密度化が期待されている。

本研究では、Si デバイスの動作限界を超える高温動作可能な高耐圧スイッチングデバイス実現のために、デバイスプロセス・高温評価・結晶成長の各点から検討を行い以下の成果を得た。

1. p-GaN ゲート HFET の他のノーマリーオフ型デバイスと比較して閾値電圧温度依存性の少なさを実証した。
2. 高耐圧化・低ドレインリークに必要な GaN : C のカーボン濃度制御性を従来の制御性に乏しい成長方法から、カーボンドーパントとしてアセチレンを用いることで制御性に優れた成長方法で成膜可能にした。
3. アセチレンを用いた GaN:C により導電性 GaN 基板上 HFET のドレイン基板間・縦方向耐圧を高め、ドレインリーク電流を低減した。カーボン濃度を高めることで電流は流れるが素子破壊を起こさないソフトブレイクダウン型の電気伝導特性を実現し、デバイス安全信頼性向上に必要な壊れ方設計が可能となった。

直近の課題として高温動作時のオン抵抗増大の低減・高温動作長期信頼性・スイッチング損失低減のための高速動作の実現・耐圧数 kV 以上の高耐圧デバイスの実現と高耐圧 GaN:C 層を用いたノーマリーオフ HFET の実現が上げられる。

本研究で確立した要素技術は高温動作可能なⅢ族窒化物半導体を用いたパワースwitchングデバイス応用への重要な要素技術であると考ええる。今後のこれらの技術はⅢ族窒化物半導体パワーデバイスと共にエネルギー問題解決・地球環境改善へ役割を担っていくと考えられる。

以下に各章の概要をまとめる。

1 章

本研究の背景として、エネルギー問題と省エネルギー技術について述べ、次世代パワーデバイスとして要求される性能・特性について述べ、ワイドバンドギャップ半導体を用いた電子デバイスの有用性を示した。続いて、本研究で取り組んだ高温ノーマリーオフ動作・結晶成長の重要性を示し、高耐圧かつ高温動作可能なノーマリーオフデバイスへ向けての本研究で行った検討項目を示した。

2 章

2 章では、Ⅲ族窒化物半導体によるヘテロ接合における分極によって生じる高密度キャリア 2DEG の形成メカニズム、および移動度に関して述べ、p-GaN/AlGaIn/GaN ヘテロ接合による空乏層について説明した。

本研究で行った p-GaN ゲート HFET のデバイス構造及び、プロセス、室温での評価結果を述べ、デバイスシミュレーションの室温での有効性を示した。

p-GaN ゲート HFET ゲート構造エッチング再現性を向上させるため p-GaN/AlGaIn の選択的エッチングを行い p-GaN 膜厚改善を行い、デバイスを作製した。

3 章

3 章では、p-GaN ゲート HFET の温度依存性を評価し、GaN を用いた p-GaN ゲート HFET は Si では動作不可能とされる 300 °C 以上の高温においてもノーマリーオフ動作することを確認した。

閾値電圧の温度依存性は -0.1 V/100°C であり、他の材料のノーマリーオフデバイスの閾値電圧の温度依存性と比較して小さいことを確認した。この結果は p-GaN ゲート HFET は結晶成長を用いてゲート構造を作製したことによって界面の影響を受けないためであると考えられ、高温動作時に安定したノーマリーオフデバイスとして非常に有望であることを示した。

デバイスシミュレーションを用いた温度特性の検討を行い、p-GaN ゲート HFET の最大ドレイン電流の減少が極性光学フォノン散乱による移動度の低下によってほぼ説明できることを確認した。

オン抵抗の増大を他の報告と比較を行った。p-GaN ゲート HFET は MOS 構造を採用する他の GaN・SiC デバイスとは異なり、表面・界面の影響を受けず、材

料物性によるデバイス特性の温度変化が生じていることを示唆した。

問題点として、高温動作時にドレインリーク電流・ゲートリーク電流の増大が確認された。300℃におけるドレインリーク電流はドレイン電圧数十Vにおいて出力ドレイン電流の1/100に達した。これは高温動作時の待機損失の増大になると考えられる。

4 章

4章では、ドレインリーク電流低減と導電性基板上HFETの高耐圧化のため、Ga_N:Cの成長を行った。Ga_N:Cを成長するために、従来報告されている有機金属原料からのメチル基の脱離を制御するカーボン濃度制御性に乏しい方法ではなく、カーボンドーパントとしてアセチレンを用いることで、カーボン濃度を制御性良くGa_N:Cが結晶成長可能であることを示した。平坦な表面を得られる最適な温度・V/III比の成長条件において任意のカーボン濃度のGa_N:Cを成長可能となった。

また、アセチレン供給を停止し成長圧力を上げることで成長中断を挟まずに 10^{19} cm^{-3} から 10^{16} cm^{-3} まで3桁の急峻なドーピングプロファイルを実現した。

アセチレンからのカーボン取り込みと有機金属中のメチル基からのカーボンの取り込みを比較し、アセチレンからのカーボンはメチル基からのカーボンよりもGa_N中に取り込まれやすいこと、アセチレンがない状態でのカーボン濃度から求めるカーボン濃度に必要なアセチレン供給量を予測可能であることを示した。

5 章

5章では、導電性Ga_N基板上にGa_N:Cを有するHFET構造を作製し縦方向電流電圧特性を評価した。導電性Ga_N基板を用いることでGa_N:C単膜での耐圧・電気伝導を測定することが可能となった。電気伝導機構をGa_N:Cの膜厚依存性・温度特性から検討を行った。Ga_N:Cのカーボン濃度増大に伴うトラップ密度増大による耐圧向上が予想された。

アセチレン供給により高カーボン濃度Ga_N:Cが制御性良く成長可能になったことで、導電性Ga_N基板上のHFETのドレイン-導電性基板間耐圧の制御性も向上した。導電性基板上に制御性良く高耐圧半絶縁層を作製できるようになったことで基板-ソース接地、基板-ゲート接続における基板フィールドプレート効果により低電流コラプス化も期待される。

また、実際に作製したHFETは導電性基板をソース接地した状態での静オフ耐

圧において1.2 kVを実現した。これは導電性GaN基板上HFETとしては世界最高耐圧である。また、その時のドレイン-導電性基板間の電気伝導は電圧に伴い電流が増大するが、素子破壊・電極間短絡を起こさないソフトブレイクダウン型の電気伝導であった。ドレイン-導電性基板間の電気伝導特性はアセチレン供給によるGa_N:Cによって制御できるため、基板接地での動作時にデバイス非破壊な絶縁破壊の設計等の応用も考えられる。

本研究では、HFETのGa_Nチャネルに格子整合するGa_N基板上に高耐圧HFETの作製を行った。高耐圧HFET実現のためには厚い半絶縁層が必要となる。しかし、従来の異種成長上のHFETではGa_Nと基板の格子不整合による歪の影響を受けるため、厚い半絶縁層を成長させるのは困難である。本研究において行った導電性Ga_N基板上に高耐圧HFETを作製する方法は、厚い半絶縁性Ga_N:C層の成長を可能とした。Ga_N基板の導電性によらず縦方向耐圧を半絶縁性Ga_N:C層の膜厚次第で高耐圧にすることが可能なHFET作製方法を確立した。導電性Ga_N基板上の高耐圧HFETは基板接地による基板フィールドプレート効果も利用可能であるが、高耐圧層の成長技術が課題となっていたが本研究で高耐圧層の再現性に優れる成長を可能にしたことで、低電流コラプス超高耐圧Ga_Nデバイス実現の要素技術を確立した。

本研究で実現したアセチレンによるカーボンドーパントとしてアセチレンを用いるGa_N:C結晶成長方法はSiやSiCといった導電性基板上に高耐圧HFETを作製する際にも応用可能な汎用性の高い結晶成長技術であると考えている。

また、本研究で用いたGa_N基板は現在高価であるが急速に研究開発が進んでおり、究極的にはその他の化合物半導体基板の価格に並ぶことが期待される。本研究では将来のGa_N基板上電子デバイスの作製の際に必要な技術開発の一端として導電性Ga_N基板上に1.2 kVを超える耐圧のHFETを実現した。耐圧1.2 kVを超える高耐圧デバイスを実現したことで、ハイブリット自動車用インバータ回路に要求される耐圧を満たし、家庭用電化製品や産業用モーターなどの幅広いアプリケーションに対応できるGa_N基板上へのデバイス作製が可能となり、将来のGa_N基板上電子デバイス生産に必要な要素技術の開発に貢献したと考える。

また、先端的材料であるGa_N基板を用いる中でGa_N基板の製造方法や不純物濃度によってヒーター温度と基板表面実効温度のずれが生じることや、裏面熱分解が生じる事がわかった。本研究で培ったこれらの問題への対処技術は、Ga_N基板上デバイス生産時に必要な技術であると考えている。

最後に課題と今後の展望を示す。

AlGa_N/Ga_N HFETには電子トラップによって出力電流が減少する電流コラプス

が報告されている。p-GaNゲートHFETでは大きな電流コラプスが観測された。これはエッチングによるAlGaIn表面へのダメージと元々ゲート以外のAlGaIn/GaN界面の2DEG密度が低いためキャリアのトラップ準位への捕獲がより顕著に電流コラプスとして現れたと考えられる。エッチングダメージを減らしエッチング精度を高めるために、基板の冷却を行い基板の加熱によるエッチングレートの加速を押さえ、エッチング中のその場観察などにより低電流コラプス化が可能であると考えられる。

また、今回作製したGaN基板上的の高耐圧HFETは他の報告と比較するとオン抵抗が高い特性であった、これはHFETデバイス構造（AlGaIn/GaNチャネル）が最適化されていないためで、AlGaIn/GaNチャネル層の最適化により大幅なオン抵抗の低減が可能であると考えられる。

また、本研究で実現したアセチレン供給により成長したGaN:Cと有機金属からのオートドーピングによるGaN:Cとの比較解析から、GaN中のカーボンがどのように準位を形成するのかを知る上での手がかりになると考えられる。本研究では高耐圧デバイスの実現を目的としてGaN:Cの耐圧評価を行った。今後の半絶縁性GaN:Cの物性評価の進展がデバイスの高性能化に繋がることが期待される。

謝辞

本研究の遂行ならびに本論文の作成にあたり、終始的確な御指導と有益な御討論を頂きました名古屋大学大学院工学研究科教授 工学博士 天野 浩 先生に心より感謝致します。

本研究の遂行ならびに本論文の作成にあたり、終始的確な御指導と有益な御意見を賜りました名古屋大学大学院工学研究科准教授 博士(工学) 山口 雅史先生に心より感謝致します。

本研究の遂行ならびに本論文の作成にあたり、終始的確な御指導と有益な御意見を賜りました名古屋大学大学院工学研究科教授 工学博士 宮崎 誠一 先生、名古屋大学大学院工学研究科教授 工学博士 中里 和郎 先生、北海道大学量子集積エレクトロニクス研究センター 教授 工学博士 橋詰 保 先生に深く感謝の意を表します。

本研究の遂行にあたり、終始親切な御指導と活発な御討論を頂きました名古屋大学大学院工学研究科助教 博士(工学) 本田 善央 先生に心より感謝致します。

2章3章の研究の遂行にあたり、終始的確な御指導と有益な御討論を頂きました 名城大学理工学部材料機能工学科教授 上山 智 先生、名城大学理工学部材料機能工学科准教授 岩谷 素顕 先生に心より感謝致します。

本研究の遂行にあたり、御鞭撻を賜りました 名城大学理工学部教授 赤崎 勇 先生に心より感謝の意を表します。

本研究の遂行にあたり、MOVPE 装置及び結晶評価に関する御助言と御協力をいただきました、名古屋大学工学研究科博士課程 谷川 智之 氏（現 東北大学 金属材料研究所 助教）名城大学理工学研究科博士課程 飯田 大輔 氏、名城大学理工学研究科大学院生 藤井 隆弘 氏（現 豊田合成株式会社）に深謝致します。

本研究の遂行にあたり、半導体デバイスやデバイス評価に関するご助言とご協力をいただきました、名城大学理工学研究科大学院生 藤井 隆弘 氏（現 豊田合成株式会社）、根賀 亮平 氏（現 NEC エレクトロニクス株式会社）、水野 克俊 氏（現 三洋電機株式会社）に深謝致します。

本論文の作成にあたり 4 章の研究にかかわる実験・装置管理をともに行いご協力をいただきました名城大学理工学研究科大学院生 三嶋 晃 氏、名城大学理工学研究科大学院生 牧野 貴文氏 名古屋大学工学研究科大学院生若杉侑矢 氏に深く感謝するとともに協力して行った事をここに記したいと思います。最後に日頃から御討論ならびに実験に御協力いただきました名古屋大学ナノ情報デバイス研究室の諸氏に感謝します。

研究業績

I. 学会誌等

1. T. Sugiyama, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: “Threshold voltage control using SiNx in normally off AlGaIn/GaN HFET with p-GaN gate” Physica Status Solidi (c), Vol.7, No.7-8, pp.1980-1982 (2010)
2. T. Oshimura, K. Takeda, T. Sugiyama, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki: “AlGaIn/GaN HFETs on Fe-doped GaN Substrates” Physica Status Solidi (c), Vol.7, No.7-8, pp.1974-1976 (2010)
3. T. Sugiyama, D. Iida, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki: “Temperature dependence of normally off mode AlGaIn/GaN heterostructure field-effect transistors with p-GaN gate” Physica Status Solidi (c), Vol.7, No.7-8, pp. 2419-2422 (2010)
4. T. Sugiyama, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki: “High-temperature operation of normally off-mode AlGaIn/GaN heterostructure field-effect transistors with p-GaN Gate”: Japanese Journal of Applied Physics, Vol.50, p.01AD03 (2011)
5. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, Y. Oshimura, M. Iwaya, S. Kamiyama, and I. Akasaki: “Drain bias stress and memory effects in AlGaIn/GaN heterostructure field-effect transistors with p-GaN gate” : Physica Status Solidi (c), Vol.8, No.7-8, pp.2424-2426 (2011)
6. T. Oshimura, T. Sugiyama, K. Takeda, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: “Low leakage current in AlGaIn/GaN HFETs with preflow of Mg source before growth of u-GaN buffer layer”: Physica Status Solidi (a), Vol.208, No.7-8, pp.1607-1610 (2011)
7. T. Oshimura, T. Sugiyama, K. Takeda, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: “AlGaIn/GaN heterostructure field-effect transistors on Fe-doped GaN substrates with high breakdown voltage” Japanese Journal of Applied Physics, Vol.50, No.10, p.084102 (2011)
8. Y. Isobe, H. Ikki, T. Sakakibara, M. Iwaya, T. Takeuchi, S. Kamiyama, I. Akasaki, T. Sugiyama, H. Amano, M. Imade, Y. Kitaoka, and Y. Mori: “Nonpolar a -Plane AlGaIn/GaN Heterostructure Field-Effect Transistors Grown on Freestanding GaN Substrate” Applied Physics Express Vol.4, No.6, p 064102 (2011)

9. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, Y. Isobe, Y. Yasue, Y. Oshimura, M. Iwaya, S. Kamiyama, I. Akasaki, M. Imade, T. Kitaoka and Y. Mori: "Small current collapse in AlGa_N/Ga_N HFETs on a-plane Ga_N self-standing substrate" *Physica Status Solidi (c)*, Vol.9, No.3-4, pp.875-878 (2012)
10. Y. Isobe, H. Ikki, T. Sakakibara, M. Iwaya, T. Takeuchi, S. Kamiyama, I. Akasaki, T. Sugiyama, H. Amano, M. Imade and Y. Mori: "MOVPE growth of nonpolar a-plane Ga_N with low oxygen contamination and specular surface on a freestanding Ga_N substrate" *Journal of Crystal Growth*, Vol.351, No.1, pp.126-130 (2012)

I I . 国際会議

1. T. Sugiyama, D. Iida, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki: "Temperature dependence of normally off mode AlGa_N/Ga_N heterostructure field-effect transistors with p-Ga_N gate" 36th International Symposium on Compound Semiconductors. ISCS 2009 (Aug. 3, 2009) California, U.S.A., 3.4
2. T. Sugiyama, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: "Threshold voltage control using SiN_x in normally off AlGa_N/Ga_N HFET with p-Ga_N gate": The 8th International Conference on Nitride Semiconductors. ICNS8th, (Oct. 22, 2009) Jeju, Korea HH3)
3. T. Oshimura, K. Takeda, T. Sugiyama, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: "AlGa_N/Ga_N HFETs on Fe-doped Ga_N Substrates": The 8th International Conference on Nitride Semiconductors. ICNS8th, (Oct. 22, 2009) Jeju, Korea ThP94)
4. T. Sugiyama, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki: "High-temperature operation of normally off-mode AlGa_N/Ga_N heterostructure field-effect transistors with p-Ga_N Gate": 2nd International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nano-materials. ISPlasma2010 (Mar. 8, 2010) Nagoya, Japan PA045B
5. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, Y. Oshimura, M. Iwaya, S. Kamiyama, and I. Akasaki: "Drain bias stress and memory effects in AlGa_N/Ga_N heterostructure field-effect transistors with p-Ga_N gate" International Workshop on Nitride Semiconductors. IWN2010 (Sep. 22, 2010) Tampa, U.S.A. IP1.20
6. T. Oshimura, T. Sugiyama, K. Takeda, M. Iwaya, S. Kamiyama, H. Amano and I. Akasaki: "Realization of Extremely Low Leakage Current in AlGa_N/Ga_N HFETs

by Pulsed Injection of Mg Source before Growth of Undoped GaN Buffer Layer” International Workshop on Nitride Semiconductors. IWN2010 (Sep. 22, 2010) Tampa, U.S.A. IP1.20

7. K. Yamashita, T. Sugiyama, Y. Honda, M. Yamaguchi and H. Amano: “Intentional carbon doping to GaN by MOVPE” 3rd International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nano-materials. ISPlasma2010 (Mar. 7, 2010) Nagoya, Japan P1-030B
8. H. Amano, T. Ohata, S. Sakakura, T. Sugiyama, T. Tanikawa, Y. Honda, M. Yamaguchi, N. Miyoshi, M. Imade, Y. Mori, K. Ban, M. Iwaya, T. Takeuchi, S. Kamiyama, and I. Akasaki: “High temperature MOVPE of AlGa_N for UV/DUV devices and increased pressure MOVPE of InGa_N for green/yellow devices” European Materials Research Society. E-MRS 2011 Spring Meeting (May10, 2011) Nice, France F61
9. H. Amano, T. Tabata, G. J. Park, T. Murase, T. Sugiyama, T. Tanikawa, Y. Kawai, Y. Honda, M. Yamaguchi, K. Takeda, K. Ban, J. Yamamoto, M. Iwaya, T. Takeuchi, S. Kamiyama, I. Akasaki, M. Imade, Y. Kitaoka, and Y. Mori: “Internal quantum efficiency of nitride-based light emitting devices” Asia-Pacific Workshop on Wide gap Semiconductors. APWS2011 (May 25, 2011) Toba, Japan We-D2
10. Y. Isobe, H. Ikki, T. Sakakibara, M. Iwaya, T. Takeuchi, S. Kamiyama, I. Akasaki, T. Sugiyama, H. Amano, M. Imade, and Y. Mori: “Nonpolar a-plane AlGa_N/Ga_N heterostructure field-effect transistor grown on freestanding Ga_N substrate” The 9th International Conference on Nitride Semiconductors. ICNS9th (Jul. 12, 2011) Glasgow, Scotland I3.2
11. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, Y. Isobe, M. Iwaya, S. Kamiyama, I. Akasaki, M. Imade, and Y. Mori: “Small current collapse in AlGa_N/Ga_N HFETs on a-plane Ga_N self-standing substrate” The 9th International Conference on Nitride Semiconductors. ICNS9th (Jul. 12, 2011) Glasgow, Scotland PI2.23
12. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, M. Imade, and Y. Mori: “Design of AlGa_N/Ga_N HFETs with high breakdown voltage with carbon-doped Ga_N on conductive Ga_N substrate” International Workshop on Nitride Semiconductors. IWN2012 (Oct. 17, 2012) Sapporo, Japan ED4-5

III. 国内会議

1. 杉山 貴之, 根賀 亮平, 水野 克俊, 藤井 隆弘, 中村 彰吾, 岩谷 素顕, 上山 智, 天野 浩, 赤崎 勇: “p型Ga_Nゲートノーマリーオフ型AlGa_N/Ga_N

JHFETのSiNxによる閾値電圧制御” 応用物理学関係連合講演会 (2008)

2. 杉山 貴之, 飯田 大輔, 岩谷 素顕, 上山 智, 天野 浩, 赤崎 勇: “p 型 GaN ゲートを有するノーマリーオフ型 GaN 系 HFET の閾値電圧制御および温度特性” 電子情報通信学会 電子デバイス研究会 (2009)
3. 杉山 貴之, 飯田 大輔, 岩谷 素顕, 上山 智, 天野 浩, 赤崎 勇: “p-GaN ゲートを用いたノーマリーオフ型 AlGaIn/GaN JHFET の温度依存性” 応用物理学学会学術講演会 (2009)
4. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki: “High temperature operation and simulation of AlGaIn/GaN heterostructure field-effect transistor with p-GaN gate” Electronic Materials Symposium (EMS29) (2012)
5. 杉山 貴之, 本田 善央, 山口 雅史, 天野 浩, 磯部 康裕, 岩谷 素顕, 竹内 哲也, 上山 智, 赤崎 勇, 今出 完, 北岡 康夫, 森 勇介: “GaN 系 HFETs の電流コラプスの測定～非極性 a 面 GaN 基板上 HFET 及び c-GaN 基板上 p-GaN ゲートを用いたノーマリーオフ型 JHFET” ～電子情報通信学会 電子デバイス研究会 (2009)
6. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano, D. Iida, M. Iwaya, S. Kamiyama, and I. Akasaki: “Drain bias stress and memory effect in AlGaIn/GaN heterostructure field-effect transistor with p-GaN gate” Electronic Materials Symposium (EMS30) (2011)
7. 杉山 貴之, 本田 善央, 山口 雅史, 天野 浩, 磯部 康裕, 岩谷 素顕, 竹内 哲也, 上山 智, 赤崎 勇, 今出 完, 北岡 康夫, 森 勇介: “非極性 a 面及び c 面 GaN 基板上 AlGaIn/GaN HFETs における電流コラプス評価” 応用物理学学会学術講演会 (2011)
8. T. Sugiyama, Y. Honda, M. Yamaguchi, H. Amano: “Vertical breakdown characteristics of AlGaIn/GaN HFET with carbon-doped GaN on conductive GaN substrate” Electronic Materials Symposium (EMS31) (2012)