

# 主 論 文 の 要 約

論文題目 Study on the Method for Reducing Power Consumption of  
Dynamic Random Access Memory (ダイナミックランダムアクセスメモリの消費電力低減に関する研究)

氏 名 利穂 吉郎

## 論 文 内 容 の 要 旨

ダイナミックランダムアクセスメモリー（DRAM）に対する市場からの要求は搭載容量の増加やデータ転送量の増加のみならず、オペレーション電流の削減やスタンバイ電流の削減も求められている。DRAMでは容量電極に個々のデータを保持しており、その消失時間に応じた再書き込み動作が必要となる。DRAMの搭載容量の増加が再書き込み回数と消費電流の増大を引き起こし、深刻な問題となっている。

本論文は、搭載容量のすべてを使用しない場合にアクセスする容量を  $1/2^N$ 、再書き込み動作間隔を  $2^N$ 倍とすることで、その割り込み頻度及び消費電流を  $1/2^N$  ( $N=1, 2, 3, 4$ ) に低減する新しい方法を検討したものである。本提案は1セル/1ビットから  $2^N$ セル/ビットの変換を含んでおり、 $2^N$ セル/ビットでは割り込み頻度及び消費電流を  $1/2^N \times 1/2^N$  に削減する。ただしこの場合  $2^N-1$  個の追加容量のために駆動電流の増加を伴う。

本論文で、DRAMへのアクセス条件から、1セル/1ビットへの動作モードあるいは  $2^N$ セル/1ビットへの動作モードのうち最適な動作モードへの選定を明らかとした。従来のフルの容量へのアクセスモードを保持したままで、このあらたな低消費電力モードが追加される。256-Mb DRAM の実測データに基づく定量的評価から、実際のシステム動作条件に応じた適用効果を立証した。

### 第一章 序論

今日の半導体製品の動作性能とスタンバイ電流は、その土台となるCMOSデバイスが持つ駆動力とOFF電流の関係によって決まる。CMOSデバイスの駆動力とOFF電流の関係は、NMOS、PMOSの各々が持つON電流—OFF電流の関係によって決まる。トレードオフの関係にあるON電流とOFF電流は、プロセス、温度によるばらつきを含めて考えられなければならない。

OFF電流の原因には、接合リーク、サブスレッショルドリーク、ゲート起因ドレインリーク（GIDL）の3通りがある。NMOS、PMOSいずれの場合にも、温度依存性を含めた電流—電圧特性から、OFF電流の原因となるリークを解析することが可能であ

る。この解析の結果にもとづいて実際のCMOSデバイスの開発が行われている。

製品としてのメモリーLSIは1970年代からCMOSデバイスの微細化を牽引してきた。メモリーLSIは当初、スタティックランダムアクセスメモリー（SRAM）のみであったが、大容量化の要求に答える形でDRAMが発明され、不揮発性の要求に答える形でフラッシュメモリが現れた。今日ではDRAMには、高速化、低消費電力化が求められ、フラッシュメモリには更なる大容量化が求められている。

DRAMでは各容量に個々のデータを保持するため、その消失時間に応じた再書き込み動作が必要となる。主記憶としての搭載容量の増加が再書き込みに要する消費電流の増大を引き起こす。電流増加を抑制するためには、スケーリング則に従い電源電圧を縮小することが求められる。しかしDRAMのアレイ動作はアレイノイズの影響を伴うため、さらなる電源電圧の縮小は阻まれる。DRAM製品の電源電圧は1V以下への縮小が不可能となっている。そこで別の方法による消費電流の削減が求められている。

## 第二章 データ保持時間とリフレッシュ動作

単体としてのDRAMのデータ保持時間は、すべてのセル容量のデータ保持時間の最小値（ワースト値）で決まる。256-Mb DRAM の場合 256M のメモリセルのデータ保持時間の最小値が、DRAMのデータ保持時間である。高温側の製品規格条件（85℃）でデータ保持時間の分布は0.1秒～100秒の3桁以上にまたがっている。この分布において99.9%のメモリセルのデータ保持時間は2秒以上を確保しているにもかかわらず、DRAMとしてのデータ保持時間は最小値の0.1秒となる。このため0.1秒に合わせて再書き込み動作間隔（リフレッシュ動作間隔）を設定する必要がある。リフレッシュ動作そのものは、DRAMへの通常の読み書き動作を止めて行う割り込みのため、その頻度を減らすことが求められる。つまり消費電流、割り込み、両方の観点からリフレッシュの動作頻度は少ないほうが望ましい。

## 第三章 消費電力の削減方法

製品としてのDRAMのデータ保持時間は64ms以上、全体をリフレッシュするのに要する回数は8K回と規格上決められているため、システム側はDRAMに64ms/8k = 7.8μsに一回の頻度でリフレッシュのコマンドを発行する。256-Mb DRAM では、そのたびに256M/8K個のメモリセルの再書き込み動作を行う。

低消費電力を実現するための規格として、データ保持を可能とする最長周期にてDRAMが独自にリフレッシュの周期設定を行うモード（SELF）が存在する。データ保持時間の最小値が0.1s (= 100ms)の場合は、64ms規格にもとづく7.8μs間隔のリフレッシュ動作よりも60%程度にリフレッシュの頻度と電流が削減される。ただしSELF期間中のDRAMへのアクセスは規格上禁止されている。SELFエントリ後のDRAMはSELFEXITコマンドのみを受け付ける。

システムからのさらなる電流削減の要求に応じるため、パーシャルアレイセルフリフレッシュ (PASR) が追加された。ここでは SELF 中、一回のリフレッシュ動作に対応する 256M/8K 個のセルのうち、決められたアドレス以外のリフレッシュ動作を止めることで、リフレッシュ動作電流を削減する。PASR では SELF 期間のリフレッシュ電流を  $1/2^N$  ( $N=1, 2, 3, 4$ ) とする。SELF 以外の通常アクセス期間には適用されず、リフレッシュ電流は削減されない。これに対し本論文のパーシャルアクセスモード (PAM0) によると、決められたアドレスのみリフレッシュを行う点は同じだが、そのリフレッシュ動作周期を拡張することで割り込み頻度、リフレッシュ電流を  $1/2^N$  に削減する。PAM は SELF 期間、通常アクセス期間のいずれにも適用され低消費電力を実現する。

#### 第四章 データ保持時間の拡張

PAM0 を適用した DRAM は、そのアレイ回路構成を通じて 1 セル/ビットから  $2^N$  セル/ビットへの変換、および  $2^N$  セル/ビットから 1 セル/ビットへの逆変換を、DRAM 内全面にわたり単純な形で実現できる。 $2^N$  セル/ビットでは  $2^N$  個の独立したセルに電荷を保持し、これらの多数決によりデータを決定するためデータ保持時間の最小値を著しく改善することができる。言い換えると統計上の分布の広がりを狭めることにより、データ保持時間は 1 桁以上改善する。高温側ワーストの製品規格条件 (85℃) において 1 セル/ビットの最小データ保持時間 0.1 秒は、4 セル/ビットで 1 秒に改善する。また  $2^N$  セル/ビットのセルのデータ保持時間は  $2^N$  倍以上あることが 1 セル/ビットの分布測定データからの期待値計算で検証された。

$2^N$  セル/ビットのアクセスモードではリフレッシュ動作の周期が  $2^N \times 2^N \times 7.8 \mu s$  に拡張される。一つ目の  $2^N$  の効果はアクセス容量が  $1/2^N$  に限定されることにより得られる効果であり、もう一方の  $2^N$  の効果はデータの保持時間が  $2^N$  倍以上に拡張されることによるものである。

#### 第五章 $2^N$ セル/ビットの動作モードでの消費電流内訳

$2^N$  セル/ビットのアクセスモードでは 1 ビットあたり ( $2^N - 1$ ) 個のセル数の増加のため、リフレッシュ動作および X-addressing 動作に関わる充放電電流が増加する。メモリセル容量、ワード線容量、ビット線電圧、ワード線電圧といったデバイスパラメーター、電圧条件から充放電電流の増加分を算出すると、通常のリフレッシュ動作に対し ( $2^N - 1$ )  $\times$  10% の増分が発生する。データ転送に関わる消費電流を除いて全体の消費電力を考えた場合、通常アクセス期間の消費電流は X-addressing の間隔によって決まる。X-addressing の間隔が充分長い (10  $\mu s$  以上) 場合、4, 8, 16 セル/ビットとすることで消費電流は減少し事実上 DC 電流にまで低減される。逆に X-addressing の間隔が 10  $\mu s$  以下では、充放電電流の増分により  $2^N$  セル/ビットの  $N$  を増やした方が消費電流は増加する。SELF 期間は X-addressing がないため  $N$  の増加で消費電流は単調に減少し、事実上 DC 電流に等しくなる。

## 第六章 PAM1 と PAM2 の特性と実施例

通常アクセス期間を 1 セル/ビット、SELF 期間を  $2^N$  セル/ビットとするモードを PAM1 とすることで通常アクセス、SELF とともに  $2^N$  セル/ビットとするモード (PAM2) と区別する。前章の消費電流の見積もり結果により X-addressing の間隔が  $10\ \mu\text{s}$  以上では PAM1、 $10\ \mu\text{s}$  以下では PAM2 を適用することが電流消費の観点から適している。

使用されるメモリーのアクセス容量が頻繁に変わるシステムをメモリーモジュールで組んだ場合を想定する。PAM1 を使用することで、通常アクセス期間のリフレッシュ消費電力が  $1/2^N$  に、SELF 期間の消費電力が  $1/2^N \times 1/2^N$  にそれぞれ削減される。メモリーモジュールには DRAM が 8 個単位で搭載されるため、削減量は DRAM 単体のときの 8 倍単位で増加する。

携帯電話システムでは待ち受け期間中に、呼び出し電話番号と携帯自身の番号との照合を定期的に行うことで、呼び出し側との通信を可能とする。8 セル/ビットまたは 16 セル/ビットによる PAM2 のリフレッシュ動作周期  $500\ \mu\text{s}$  は、通信規格による照合期間  $280\ \mu\text{s}$  よりも長くなるためこの間のリフレッシュ動作を除去することが可能となる。つまり待ち受け期間中に PAM2 を適用した DRAM は、低電力 SRAM と同じくデータのアクセスに関わる電力だけが全体の消費電力となる。

## 第七章 結論

PAM0/1/2 はいずれも従来のフルアクセスモードの DRAM 動作使用を保持したまま、消費電力削減モードとして追加されるオプションである。1 セル/1 ビットのフルアクセスモードから PAM0/1 への切り替えは、リフレッシュアドレスを数えるカウンター最下位ビットを変更する切り替えである。また 1 セル/1 ビットから  $2^N$  セル/ビットへの変換は、DRAM アレイ内の共通ビット線を通じて行う単純なコピー動作のことであり、これを DRAM 内全体で行うことに他ならない。

1 セル/ビットアクセスモード(PAM0) によると、DRAM へのアクセス容量を  $1/2^N$  ( $N=1, 2, 3, 4$ ) とすることで SELF 期間、通常アクセス期間のいずれにおいてもリフレッシュ動作周期は  $2^N$  倍に拡張され、その割り込み頻度とリフレッシュ電流はともに  $1/2^N$  に低減する。

PAM1 では通常アクセス期間、1 セル/ビットアクセスで動作しリフレッシュ周期は  $2^N$  倍に拡張される。SELF 期間中は  $2^N$  セル/ビットとすることで  $2^N \times 2^N$  倍にリフレッシュ周期が拡張される。全体の消費電流は X-addressing とは無関係に、リフレッシュ間隔に応じて低減される。

PAM2 では通常アクセス期間、SELF のいずれの場合も  $2^N$  セル/ビットで動作しているためリフレッシュ間隔は  $2^N \times 2^N$  倍となる。ただし  $(2^N - 1)$  個のセル数増加のため、 $(2^N - 1) \times 10\%$  の充放電電流増加を伴う。X-addressing 間隔が  $10\ \mu\text{s}$  以上では  $N$  を増やした方が、消費電流は低減され事実上 DC 電流値に一致する。PAM0/1/2 の機能を DRAM に搭載することにより、システムに最適な低消費電力モードの選択が可能となる。