

報告番号	甲 第 14049 号
------	-------------

## 主 論 文 の 要 旨

論文題目 **4H-SiC 金属-酸化膜-半導体電界効果トランジスタのためのゲートスタックおよびコンタクトの界面物性制御**  
**(Studies on control of interfacial properties of gate stacks and contacts for 4H-SiC metal-oxide-semiconductor field-effect transistors)**

氏 名 土井 拓馬

## 論 文 内 容 の 要 旨

現在、脱炭素社会実現に向けた動きが世界中で加速している。我が国でも 2050 年に CO<sub>2</sub> 排出実質ゼロを掲げており、様々な取り組みが進められている。この目標の達成には、発電における再生可能エネルギーの利用拡大に加えて、エネルギー消費側の電化や省エネルギー化が不可欠である。そのため、高効率な電力変換を可能にするパワーデバイスの開発は重要な課題の一つである。

これまで、パワーエレクトロニクスを支えてきたのは Si パワーデバイスである。しかし、その性能は既に物性限界に到達しつつあり、新たな半導体材料の利用が検討されてきた。その一つが 4H-SiC である。4H-SiC は Si に比べて 10 倍近い絶縁破壊電界強度を有するため、パワー金属-酸化膜-半導体電界効果トランジスタ (MOSFET) のドリフト層のドーピング濃度を高く設計でき、Si MOSFET での導通損失の律速要因となっていたドリフト層抵抗を理論上 1/100 以下に低減できる。また、4H-SiC の広いバンドギャップ (Si の約 3 倍) は、高温環境下でのデバイス動作を可能にする。これらの利点を活かした製品開発が進んでおり、鉄道向けインバータやパワーコンディショナなどに利用され省エネ効果が報告されている。

また、4H-SiC の利用は電力変換素子のパワー密度向上という観点でも重要である。パワー密度は、電力変換素子の体積に対する出力電力の比で定義される量であり、出力電力が同じであれば、パワー密度が高いほど素子が小型であることを意味する。4H-SiC MOSFET の

利用により受動素子の小型化や冷却機構の簡略化が実現され、Si では達成が難しい高パワー密度の製品が開発されている。パワー密度の増大は、コスト低下や工業製品の設計自由度向上をもたらす。加えて、需要の著しい増大が見込まれる電気自動車用途においては、電力変換素子の軽量化が燃費に直結する点で重要である。

4H-SiC MOSFET の更なる普及とパワー密度増大に向けて、いくつかの克服すべき課題が残されている。本研究では、特に二つの課題に着目した。一つ目の課題は、4H-SiC MOSFET のチャネル抵抗の低減である。現状の 4H-SiC MOSFET は、酸化膜/4H-SiC 界面に多くの欠陥準位が存在するため、Si MOSFET に比べてチャネル抵抗が高い。これにより、特に低・中耐圧用途で、導通損失が理論限界に比べて 1 桁程度大きくなっている。本耐圧領域は、需要の加速が期待される電気自動車用途でも使われるため、チャネル抵抗低減は喫緊の課題と言える。

二つ目の課題は、低抵抗オーミックコンタクト形成技術に関するものである。4H-SiC パワーデバイスの更なるパワー密度増大に向けて、論理回路や駆動回路を同一 4H-SiC 基板上に集積化したパワー IC の形成を視野に入れる必要がある。集積化および微細化により、素子の小型化や高速動作が期待される。現在、4H-SiC パワー IC は数例の実証例があるのみだが、Si パワーデバイスの発展において辿った道であることに鑑みると、今後の開発の加速が予測される。その際にボトルネックとなる可能性があるのが、金属電極/4H-SiC 界面のコンタクト形成における制約である。n 型 4H-SiC に対するコンタクト形成は、Ni 電極を堆積し、950 °C 以上の高温熱処理で界面固相反応を誘起する、という手法が一般的である。しかしながら、高温熱処理に伴い形成される界面は大きく荒れており、平坦・均一な界面を得ることが難しい。そのため、将来的に微細化された素子における特性ばらつきの原因として問題となる可能性がある。更に、プロセス温度が高温であるため、集積デバイスに使える材料が制限されてしまう。したがって、平坦界面を有する低抵抗コンタクトの低温形成手法の開発が課題となる。

本研究では、4H-SiC パワー MOSFET の更なるパワー密度増大に向け、デバイス構造の根幹となる酸化膜/4H-SiC および金属/4H-SiC 界面に着目し、界面物性の制御を試みた。また、デバイス設計指針の確立向け、界面物性がデバイス動作に与える影響を調査した。

第 3 章では、4H-SiC MOSFET のチャネル抵抗低減に向け、酸化膜/4H-SiC 界面の欠陥準位密度 ( $D_{it}$ ) の低減を試みた。MOSFET はゲート電極への電圧印加によって酸化膜/半導体界面付近の半導体中に電子を誘起しチャネルを形成することで、オン電流を得る。しかし、4H-SiC MOSFET の場合、酸化膜/4H-SiC 界面の高い  $D_{it}$  に電子が捕獲される結果、誘起される電子の大半は電気伝導に寄与しない。更に、捕獲電子がクーロン散乱源として働き、チャネル中の電子の移動度が劣化する。そこで本章では、チャネル抵抗低減に向け  $D_{it}$  の低減を試みた。

近年の理論計算によれば、4H-SiC の酸化副生成物 ( $\text{SiC}_x\text{O}_y$  や C クラスタ等) が  $D_{it}$  の起源

と予測されている。このことから、基板酸化を可能な限り抑制することが  $D_{it}$  低減の鍵と考えられる。しかしながら、一般的な酸化膜形成手法（熱酸化による  $\text{SiO}_2$  形成や、原子層堆積（ALD）法による  $\text{Al}_2\text{O}_3$  堆積）では、界面に酸化副生成物が生じる。そこで本研究では、新たな  $\text{Al}_2\text{O}_3$  層形成手法である金属薄膜酸化（Metal layer oxidation, MLO）法を提案した。Al 酸化物の標準生成 Gibbs エネルギーは Si や C に比べて負に大きいため、優先的な酸化が予測される。したがって、Al 層を 4H-SiC 基板上に堆積し、酸化すれば、急峻な  $\text{Al}_2\text{O}_3$ /4H-SiC 界面の形成が期待される。スパッタリング法を用いて厚さ 0.1–0.2 nm の Al 層を堆積し、続けて真空チャンバー中に酸素ガスを流入して Al 層を室温酸化した。一連の手順を繰り返し、 $\text{Al}_2\text{O}_3$  層を形成した。

MLO 法により形成した  $\text{Al}_2\text{O}_3$ /4H-SiC 界面の原子の結合状態を X 線光電子分光法で評価したところ、基板酸化物の形成は検出限界以下であることが分かった。また、従来手法である ALD 法を用いた場合に比べ  $D_{it}$  が 60% 程度低減し、 $E_C-0.15$  eV のエネルギー深さにおいて  $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  が得られた。この値は、一般的な窒化処理を施した  $\text{SiO}_2$ /4H-SiC 界面に比べて 1 桁以上低い。更に、意図的に酸化した基板を用いて、 $\text{Al}_2\text{O}_3$ /4H-SiC 界面における酸化副生成物の存在が  $D_{it}$  に与える影響を調査した。その結果、酸化副生成物を 1 原子層以下にまで減少させた際に、 $D_{it}$  が低減することが分かった。また、意図的な基板酸化を行った場合でも、酸化副生成物を十分にエッチングすれば、低  $D_{it}$  が得られた。この結果は、犠牲酸化等の表面処理を行う際の重要な知見となる。

第 4 章では、デバイス設計指針の確立に向け、カウンタードープ MOSFET の特性評価を行った。 $D_{it}$  がチャネル中の電子に与える影響の軽減が期待されるデバイス構造として、カウンタードープ MOSFET が提案されている。カウンタードープ MOSFET はチャネル領域に n 型のドーピングを施した構造を有し、チャネルを酸化膜/4H-SiC 界面から離れた位置に形成できる。これにより、チャネル中の電子が受ける界面由来の散乱の軽減が期待されている。しかし、実際に  $D_{it}$  がデバイス特性に与える定量的な議論は少なく、その影響は明らかになっていない。加えて、通常の MOSFET に比べて、動作時の表面フェルミレベルのエネルギー深さが異なることも考慮に入れる必要がある。そこで、第 3 章で確立した MLO 法を含む、3 種類の酸化膜形成手法を用いて  $D_{it}$  の異なるカウンタードープ MOSFET を作製し、それらの特性を比較し  $D_{it}$  が電界効果移動度 ( $\mu_{FE}$ ) に与える影響について議論した。

熱酸化  $\text{SiO}_2$ 、ALD- $\text{Al}_2\text{O}_3$ 、MLO- $\text{Al}_2\text{O}_3$  をゲート酸化膜として用いたカウンタードープ MOSFET を作製した。測定した  $\mu_{FE}$  は MLO- $\text{Al}_2\text{O}_3$ 、ALD- $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$  の順に高く、MLO- $\text{Al}_2\text{O}_3$  ゲート FET では  $80 \text{ cm}^2/\text{Vs}$  が得られた。これは、 $\text{SiO}_2$ /4H-SiC 構造を用いた通常の MOSFET の 2 倍程度の高い値である。各素子間の  $\mu_{FE}$  の違いの起源を議論するため、カウンタードープ MOSFET の動作をモデル化した。 $\mu_{FE}$  を決定づけているパラメータが自由電子の移動度 ( $\mu_{free}$ ) と自由電子密度の増加率 ( $dN_{free}/dV_G$ ) であることが明らかになった。FET の容量特性から自由電子密度 ( $N_{free}$ ) を求め、 $\mu_{free}$  と  $dN_{free}/dV_G$  を独立に評価した。その結果、 $\mu_{free}$  は

試料間で大きな差が見られず、チャンネルの深さで一意に決まることが明らかになった。これは、界面特性が  $\mu_{\text{free}}$  に影響しないことを意味している。一方で、 $dN_{\text{free}}/dV_G$  は試料間で大きな差が見られ、 $D_{\text{it}}$  の影響を大きく受けることが分かった。

$D_{\text{it}}$  が  $dN_{\text{free}}/dV_G$  に与える影響を評価するパラメータとして、表面ポテンシャルに対する自由電子増加率 ( $dN_{\text{free}}/d\psi_S$ ) を導入した。 $dN_{\text{free}}/d\psi_S$  は  $D_{\text{it}}$  と同じ次元を持ち、両者を比較することで表面ポテンシャル変化に対する自由電子密度と捕獲電子密度の増加量の比を評価できる。実験的に求めた  $D_{\text{it}}$  とシミュレーションで求めた  $dN_{\text{free}}/d\psi_S$  を比較したところ、 $\text{SiO}_2$  ゲート FET では  $D_{\text{it}} > dN_{\text{free}}/d\psi_S$ ,  $\text{Al}_2\text{O}_3$  ゲート FET では深いエネルギー領域で  $D_{\text{it}} \ll dN_{\text{free}}/d\psi_S$  の関係が明らかになった。更に、カウンタードープ MOSFET の  $dN_{\text{free}}/d\psi_S$  は通常の MOSFET と比べて深いエネルギー領域に位置しており、またその分布はカウンタードープ条件により変更できることが分かった。したがって、 $D_{\text{it}}$  の低いエネルギー領域に  $dN_{\text{free}}/d\psi_S$  が位置するようにカウンタードープ条件を設計することが、 $\mu_{\text{FE}}$  向上の指針となる。

第 5 章では、平坦界面を有する低抵抗オーミックコンタクトの低温形成手法の開発に取り組んだ。金属/半導体界面のコンタクト抵抗率は、界面のエネルギー障壁の高さ（ショットキー障壁高さ、SBH）に指数関数的に依存するため、SBH の低減が重要である。仕事関数 4 eV 以上の金属と 4H-SiC との接合においては、SBH が金属の仕事関数と 4H-SiC の電子親和力の差に等しくなる、“ショットキー極限”の成立が報告されている。したがって、低仕事関数金属の使用により SBH の低減が期待されるが、報告が少なくその振舞いは明らかになっていない。そこで、低仕事関数金属/4H-SiC 界面の SBH の振舞いの理解と制御を試みた。

Y, Mg, Hf/4H-SiC 界面の SBH は、高仕事関数金属の場合とは異なりショットキー極限から外れ、0.5 eV 以上の高い値を示した。界面に存在する何らかのダイポールによるものと考えられ、ダイポール除去による SBH 低減が必要である。そこで、金属/4H-SiC 界面への極薄  $\text{SiN}_x$  層の挿入、および低温熱処理を試みた。

$\text{SiN}_x$  層挿入により、Mg/4H-SiC 界面において金属誘起ギャップ準位 (MIGS) の抑制に起因した SBH 低減が見られ、SBH: 0.36 eV が得られた。しかし、ダイポールの起源全てを MIGS のみで理解することは難しく、その他の要因の共存が示唆された。

さらに、Mg/4H-SiC 構造に対する熱処理を試みたところ、200 °C で 1 時間以内の熱処理によりさらに SBH が低減し、SBH: 0.28 eV が得られた。二次イオン質量分析法による元素分布分析からは、低温熱処理時の  $\text{H}_2\text{O}$  密度の低減が SBH 低減に寄与している可能性が示唆された。また、200 °C 熱処理後の界面粗さは、清浄化基板とほぼ同等であったため、低 SBH コンタクトと平坦界面が本質的に両立可能であることが明らかになった。さらに、円形 TLM 法を用いてコンタクト抵抗率を評価したところ、ドープ濃度  $1 \times 10^{19} \text{ cm}^{-3}$  の基板上で  $6.5 \times 10^{-5} \Omega \text{ cm}^2$  の低いコンタクト抵抗率が得られた。これは一般的な Ni を用いた高温熱処理コンタクトと同程度であり、プロセス温度 200 °C での実現は大きな進歩といえる。