

博士学位論文

4H-SiC 金属-酸化膜-半導体電界効果  
トランジスタのための  
ゲートスタックおよびコンタクトの界面物性制御

2021 年度

名古屋大学大学院工学研究科物質科学専攻  
物質デバイス機能創成学講座

土井 拓馬

# 目次

<b>第 1 章 序論</b>	<b>1</b>
1.1 脱炭素社会実現におけるパワーデバイスの位置づけ	1
1.2 次世代パワー半導体	1
1.3 4H-SiC MOSFET のさらなるパワー密度向上に向けた課題	5
1.4 酸化膜/4H-SiC 界面の課題	8
1.4.1 4H-SiC MOSFET の電界効果移動度	8
1.4.2 酸化膜/4H-SiC 界面の界面準位密度	10
1.4.3 4H-SiC MOSFET の自由電子移動度	12
1.5 金属/4H-SiC 界面における課題	16
1.5.1 4H-SiC に対するオーミックコンタクト	16
1.5.2 低温プロセスによるオーミックコンタクト形成指針: ショットキー障壁高さ制御	17
1.5.3 界面準位がショットキー障壁高さに与える影響	18
1.5.4 金属/4H-SiC 界面のショットキー障壁高さ制御手法	21
1.6 本研究の目的	23
1.7 本研究の概要	23
<b>第 2 章 評価手法</b>	<b>32</b>
2.1 酸化膜/半導体界面準位密度の評価手法	32
2.1.1 MOS キャパシタの等価回路	32
2.1.2 Terman 法	33
2.1.3 コンダクタンス法	35
2.1.4 伝導帯端付近の $D_{it}$ の見積もり	37
2.2 金属/半導体界面のショットキー障壁高さ評価手法	39
2.2.1 金属/半導体界面の電気伝導機構	39

2.2.2 $J$ - $V$ 特性からのショットキー障壁高さ見積もり	40
2.2.3 $C$ - $V$ 特性からのショットキー障壁高さ見積もり	41
2.3 金属/半導体界面のコンタクト抵抗率評価手法	44
2.4 X線光電子分光法による Si 酸化物量の定量評価	46

### 第 3 章 $\text{Al}_2\text{O}_3/4\text{H-SiC}$ 界面における酸化副生成物形成の抑制が界面準位

<u>密度に与える影響</u>	<u>48</u>
3.1 はじめに	48
3.2 実験方法	50
3.3 MLO- $\text{Al}_2\text{O}_3$ の導入が界面構造および電気的特性に与える影響	51
3.4 $\text{Al}_2\text{O}_3/4\text{H-SiC}$ 界面における酸化副生成物の存在が $D_{it}$ に与える影響	55
3.5 結論	62

### 第 4 章 酸化物/4H-SiC 界面特性がカウンタードープ MOSFET の電界効

<u>果移動度に与える影響</u>	<u>65</u>
4.1 はじめに	65
4.2 試料作製	66
4.3 MOSFET の動作シミュレーション	70
4.4 MOSFET の静特性解析	74
4.5 MOSFET の動作モードの推定	77
4.6 カウンタードープ MOSFET の電界効果移動度を決定づける要因	80
4.6.1 埋め込みチャネルのモデル化	80
4.6.2 $\mu_{free}$ および $dN_{free}/dV_G$ の試料間での比較	83
4.6.3 $D_{it}$ が $dN_{free}/dV_G$ に与える影響	86
4.7 結論	89

---

<b>第 5 章 低仕事関数金属/4H-SiC 界面のショットキー障壁高さ低減</b>	<b>91</b>
5.1 はじめに	91
5.2 試料作製	93
5.3 低仕事関数金属/n 型 4H-SiC 界面のショットキー障壁高さ	94
5.4 界面層挿入によるショットキー障壁高さ変調	98
5.4.1 界面層挿入によるショットキー高さ制御	98
5.4.2 コンタクト抵抗率シミュレーション	103
5.5 Mg/4H-SiC 構造に対する電極形成後熱処理効果	107
5.6 結論	118
<b>第 6 章 結論</b>	<b>121</b>
6.1 本研究の成果	121
6.2 今後の課題と展望	123
<b>謝辞</b>	<b>126</b>
<b>研究業績</b>	<b>128</b>

## 第1章 序論

### 1.1 脱炭素社会実現におけるパワーデバイスの位置づけ

現在，地球環境に配慮して脱炭素化を目指す動きが国際的に活発化している．我が国でも 2050 年に CO<sub>2</sub> 排出実質ゼロを掲げており，実現に向けた様々な取り組みが進められている[1]．この困難な課題の実現には，再生可能エネルギー利用の拡大とともに，エネルギーを消費する側の電化および省エネルギー化が必要不可欠である．その鍵となるデバイスが，高効率な電力変換を可能にするパワーデバイスである．その用途は，天候により変動する風力や太陽光エネルギーによる発電量を最大化し交流電源に変換するためのパワーコンディショナ[2,3]，電気自動車，燃料電池車等の電動車のバッテリー充電・エンジン/モーター駆動[4]など，電力の供給から消費に至るまでの多岐に渡る用途で重要である．

### 1.2 次世代パワー半導体

これまで，Si パワーデバイスの発展によりパワーエレクトロニクスは成長してきた．しかし，Si デバイスの高効率化は物性限界に到達しつつある．図 1.2(a)にパワーMOSFET の断面模式図を示す．パワーMOSFET は，オフ時にはソース/ドレイン間の電圧がドリフト層の空乏層に印加される．空乏層中の電界が半導体材料の絶縁破壊電界強度を超えると素子が破壊されてしまうため，ドリフト層は厚く，また低ドーブ濃度に設計する必要がある．そのため，オン時にはドリフト層の抵抗（ドリフト抵抗）がデバイス全体の抵抗の律速要因となる．また，デバイスの耐圧を高く設定するほどドリフト層をより厚く，ドーブ濃度をより低く設計する必要があるため，設計耐圧とドリフト抵抗はトレードオフの関係にあり，以下の関係が成り立つ[5-7]．

$$R_{\text{drift}} = \frac{4V_B^2}{\epsilon\mu E_B^3} \quad (1.1)$$

ここで， $R_{\text{drift}}$  はドリフト抵抗， $V_B$  は破壊電圧， $\epsilon$  は半導体の誘電率， $\mu$  はキャリアの移動度， $E_B$  は半導体の絶縁破壊電界強度である．同じ材料で作製するデバイスでは，ドリフト

表 1.1 Si およびワイドギャップ半導体の物性値.

	Si	4H-SiC	6H-SiC	3C-SiC	GaN	Diamond
バンドギャップ (eV)	1.12	3.26	3.02	2.23	3.42	5.47
電子移動度 (cm <sup>2</sup> /Vs)	1350	1000	450	1000	1500	2000
絶縁破壊電界強度 (MV/cm)	0.3	2.8	3.0	1.5	3	8
飽和ドリフト速度(cm/s)	1.0 × 10 <sup>7</sup>	2.2 × 10 <sup>7</sup>	1.9 × 10 <sup>7</sup>	2.7 × 10 <sup>7</sup>	2.4 × 10 <sup>7</sup>	2.5 × 10 <sup>7</sup>
熱伝導率 (W/cmK)	1.5	4.9	4.9	4.9	1.3	20

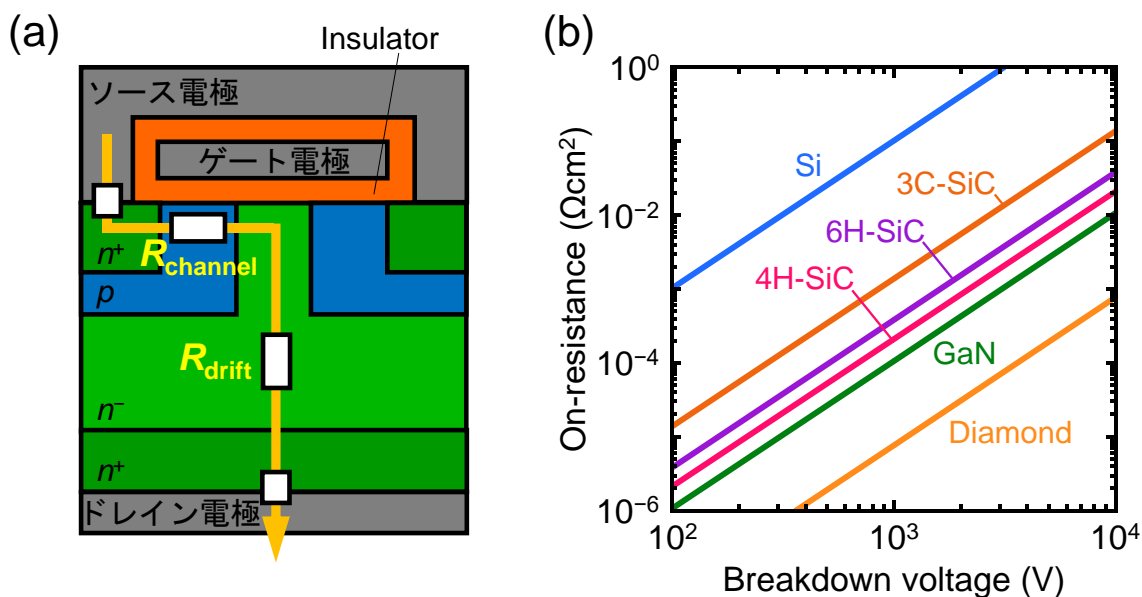


図 1.2 (a)パワーMOSFET の断面模式図. (b)Si およびワイドギャップ半導体の物性値から予測されるオン抵抗の理論限界.

抵抗の理論下限は設計耐圧で決定され、Si デバイスの高効率化は既に物性限界に到達しつつある。そのため、より高い性能が期待されるワイドギャップ半導体を用いたパワーデバイスの研究開発が盛んに行われてきた[8,9].

表 1.1 に、Si および代表的なワイドギャップ半導体の物性値を示す[10]. 広いバンドギャップ、高い絶縁破壊電界強度がワイドギャップ半導体の大きな特徴である。なお、SiC の頭につく 3C, 4H, 6H 等の記号は、結晶構造を意味している。式(1.1)より、ドリフト抵抗は絶縁破壊電界強度の 3 乗に反比例することから、これらの半導体の利用がパワー MOSFET の低抵抗化に有効であることが分かる。式(1.1)に基づき計算した、Si および各ワイドギャップ半導体を用いたパワーMOSFET のドリフト抵抗の破壊電圧依存性を図 1.2(b)

に示す。Si に比べて、4H-SiC では2桁程度、ダイヤモンドでは3桁程度のドリフト抵抗低減が期待されることが分かる。中でも4H-SiC は、結晶成長技術やドーピングによる伝導性制御技術等の面で最も発達しており、既にパワーデバイスとして実用化が進んでいる[8,9]。鉄道向けインバータや、太陽光発電のパワーコンディショナなどに利用され、省エネ効果が報告されている[11]。

また、4H-SiC MOSFET の利用は、パワー密度の増大という点でも重要である。パワー密度とは、電力変換装置全体の体積に対する出力電力の比で定義される量であり、パワー密度が高いほどデバイスが小型であることを意味する。デバイスの小型・軽量化は量産効率の向上をもたらす、ひいては低コスト化につながる。また、現在需要の高まっている電動車向け用途では、軽量化は燃費に直結する点で重要であり、さらに小型化による設計の自由度向上にも貢献する[12]。

電力変換装置の体積の多くは、冷却機構や受動部品が占める。したがって、これらの小型化によりパワー密度の増大が達成される。冷却機構の簡略化には、低損失なパワーデバイスの利用が有効である。更に、4H-SiC のような広いバンドギャップを有する材料は、高温でも動作可能である。これは、高温においても真性キャリア濃度がドーピングにより制御されたキャリア濃度に比べて十分小さいためであり、300 °C 以上での4H-SiC MOSFET の動作も報告されている[13]。更に4H-SiC の高い熱伝導性も、冷却機構の簡略化に貢献する。また、一般に高耐圧用途では、パワーMOSFET のオン抵抗が大きくなりすぎるため、バイポーラデバイスを用いる[14]。Si MOSFET の場合、破壊耐圧数百V以上がバイポーラデバイスへの切り替えの目安となる。一方で、4H-SiC はこれ以上の耐圧用途においてもMOSFET を使用できるため、高周波動作が可能である。これにより、受動部品の小型化に貢献する。

図1.2に、パワー密度の発展を示す[14,15-18]。年を追うごとに、パワー密度が指数関数的に向上してきたことが分かる。2010年代頃、Siパワーデバイスのパワー密度向上の頭打ちが予測されていたが、4H-SiC MOSFET の利用により継続的な発展が実現されている。

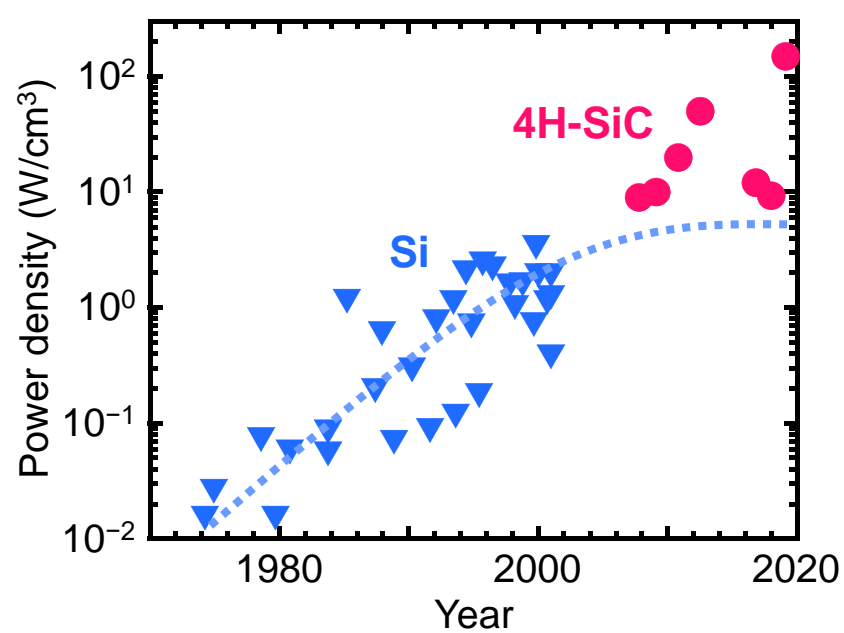


図 1.2 Si および 4H-SiC を用いた電力変換素子のパワー密度の発展  
(参考文献 14,15-18 に基づき作成).



### 1.3 4H-SiC MOSFET のさらなるパワー密度向上に向けた課題

本節では、4H-SiC パワーデバイスの更なる普及とパワー密度向上に向け、課題となる要素技術について述べる。図 1.3 に、報告されている 4H-SiC MOSFET のオン抵抗を示す[19]。特に 1kV 以下の用途で、理論限界から乖離しオン抵抗が大きくなっている。これは、ドリフト抵抗に比べてチャネル抵抗が大きいことに起因する。現状、典型的なプロセスにより形成されたゲートスタック構造を有する n チャネル 4H-SiC MOSFET のチャネル移動度は、 $30\text{--}45\text{ cm}^2/\text{Vs}$  程度に留まっている[20,21]。この値はバルク移動度 ( $\sim 800\text{ cm}^2/\text{Vs}$ ) に比べて 5%程度しかない。この事実は、同じ IV 族系半導体である Si や Ge の MOSFET において、バルク移動度の 60%程度のチャネル移動度が達成されていることとは対照的である[22,23]。低いチャネル移動度に起因した高いチャネル抵抗がドリフト抵抗を上回る結果、低・中耐圧用途でのオン抵抗が大きくなっている。本耐圧領域の素子は、電動車用途として特に今後の需要の拡大が見込まれるという意味でも重要である。チャネル移動度向上によりチャネル抵抗が低減できれば、チップサイズが小さくとも同じだけの電流を取り出すことができるため、パワー密度増大に繋がる。更に、ゲート絶縁膜を厚くできるため、ゲートリーク電流抑制に繋がり信頼性向上も期待される。

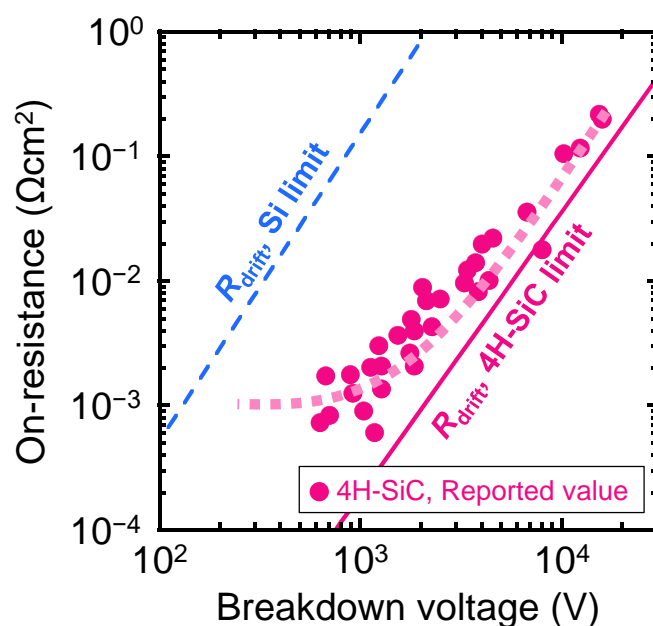


図 1.3 4H-SiC パワーMOSFET の報告値(参考文献 19に基づき作成)。

また、更なるパワー密度向上という点において、モジュール全体の小型化を視野に入れる必要がある。論理回路、駆動回路、保護回路などの周辺回路をパワーデバイスと同一チップ上に搭載した素子をパワーICと呼び、小型化や遅延の低減が実現できる[24,25]。パワーICの断面模式図を図1.4に示す。また、集積する回路の微細化により更なる小型化が期待される。SiパワーICがこのような集積・微細化という流れで発展してきた経緯から考えて、4H-SiCパワーデバイスにおいても同様の展開を視野に入れた研究開発が必要である。4H-SiCを用いて論理回路を作製する研究は早期から行われており、CMOS[26-30]やJFET[31,32]等の動作実証が報告されている。また、パワーMOSFETとの同一基板への集積についても数例の実証例がある[33,34]。

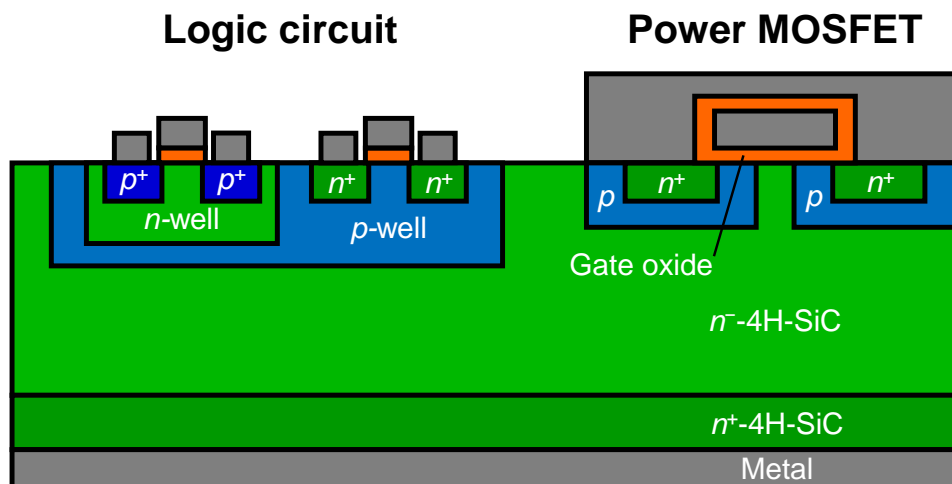


図 1.4 4H-SiC パワーIC の断面模式図。

将来的な集積回路の微細化においてボトルネックとなり得るのは、金属電極/4H-SiC 界面におけるオーミックコンタクト形成技術である。通常、4H-SiC に対しては Ni がコンタクトメタルとして用いられ、950 °C 以上の高温で界面固相反応を誘起することで形成される[35-38]。しかしながら、界面固相反応に起因して得られる界面は大きく荒れており、不均一である。このことは、微細化を進める際の素子特性のばらつきの原因として問題となる可能性がある。また、高温熱処理が必須であるため、高誘電率ゲート絶縁膜や配線形成など、材料およびプロセス選択の余地が制限される。例えば、4H-SiC MOSFET のゲート絶

縁膜としてしばしば用いられる  $\text{Al}_2\text{O}_3$  の結晶化温度は  $700\text{ }^\circ\text{C}$  程度であり[39], それ以上の高温での熱処理はリーク電流増大や界面特性悪化の観点から好ましくない. したがって, 低温熱処理による均一界面を有するオーミックコンタクト形成技術が必要である.

以上のような背景から, 本研究では酸化膜/4H-SiC 界面および金属/4H-SiC という二つの界面に着目し, それぞれに目的を設定した. 一つ目の酸化膜/4H-SiC 界面については, チャネル抵抗低減のためのプロセスおよびデバイス構造の設計指針の確立を目指す. 二つ目の金属/4H-SiC 界面については, 将来的なデバイスの微細化を見据え, 低温プロセスによる平坦界面を有するオーミックコンタクト形成技術を開発する.

## 1.4 酸化膜/4H-SiC 界面の課題

本節では、4H-SiC MOSFET の電界効果移動度向上に向けた、酸化膜/4H-SiC 界面の課題と本研究の方針について述べる。1.4.1 節で 4H-SiC MOSFET の電界効果移動度の実態をまとめ、“自由電子比率”と“自由電子移動度”の向上が本質であることを説明する。1.4.2 節および 1.4.3 節では、それぞれ自由電子比率と自由電子移動度について過去の報告をまとめ、本研究における指針を検討する。

### 1.4.1 4H-SiC MOSFET の電界効果移動度

4H-SiC MOSFET の課題として、電界効果移動度がバルク移動度の 5%程度と低い値に留まっていることは、先述の通りである。本節では、現時点において明らかにされている事実をまとめる。まずは、電界効果移動度の求め方と、その正しい理解について説明する。電界効果移動度とは、MOSFET 動作の線形領域において、ドレイン電圧を一定とした場合のドレイン電流のゲート電圧依存性から求める移動度である。線形領域におけるドレイン電流 ( $I_D$ ) は、次式で記述される[40]。

$$I_D \cong W \cdot \mu \cdot C_{OX}(V_G - V_{TH}) \cdot \frac{V_D}{L} \quad (1.2)$$

ここで、 $L$  はチャネル長、 $W$  はチャネル幅、 $\mu$  はキャリア移動度、 $C_{OX}$  は酸化膜容量、 $V_G$  はゲート電圧、 $V_{TH}$  は閾値電圧である。また、 $C_{OX}(V_G - V_{TH})$  はチャネル中のキャリアの面密度、 $V_D/L$  はチャネル中の電子伝導方向の平均的な電場を表す。式(1.2)の両辺を  $V_G$  で微分し整理することで、次の電界効果移動度 ( $\mu_{FE}$ ) の表式を得る。

$$\mu_{FE} \equiv \frac{dI_D}{dV_G} \frac{L}{C_{OX}V_DW} \quad (1.3)$$

すなわち、実験的に得られた  $I_D$ - $V_G$  カーブの微分値から、各ゲート電圧における電界効果移動度が算出できる。電界効果移動度の特徴の一つは、計算に閾値電圧を用いない点である。4H-SiC MOSFET のような急峻なスイッチング特性を得にくい素子では、閾値電圧の決定が難しい。そのような素子において特性を評価する簡便な指標として、電界効果移動度がよく用いられる。

次に、注意すべき点として、電界効果移動度算出における前提条件について説明する。

式(1.2)においては、「ゲート電圧により誘起された絶縁膜/半導体界面の電荷 ( $C_{ox}(V_G - V_{TH})$ ) は全て電気伝導に寄与している」という前提条件の上に成り立つ。このような条件は、例えば  $\text{SiO}_2/\text{Si}$  のような界面準位密度の低い系 ( $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$  台) においては有効である (図 1.5(a))。しかしながら、酸化膜/4H-SiC 界面には、伝導帯端付近に  $10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  以上の界面準位の存在が知られており [9], 多くの場合この前提が成り立たない (図 1.5(b))。すなわち、式(1.2)における  $C_{ox}(V_G - V_{TH})$  が過剰に見積もられるため、電界効果移動度は“真の”電子移動度よりも低く見積もられる [9]。したがって、電界効果移動度は試料間の特性比較等に便利な指標ではあるものの、あくまで実効的な移動度であることを念頭に置く必要があり、散乱要因の理解といった解析に用いることは適切でない。

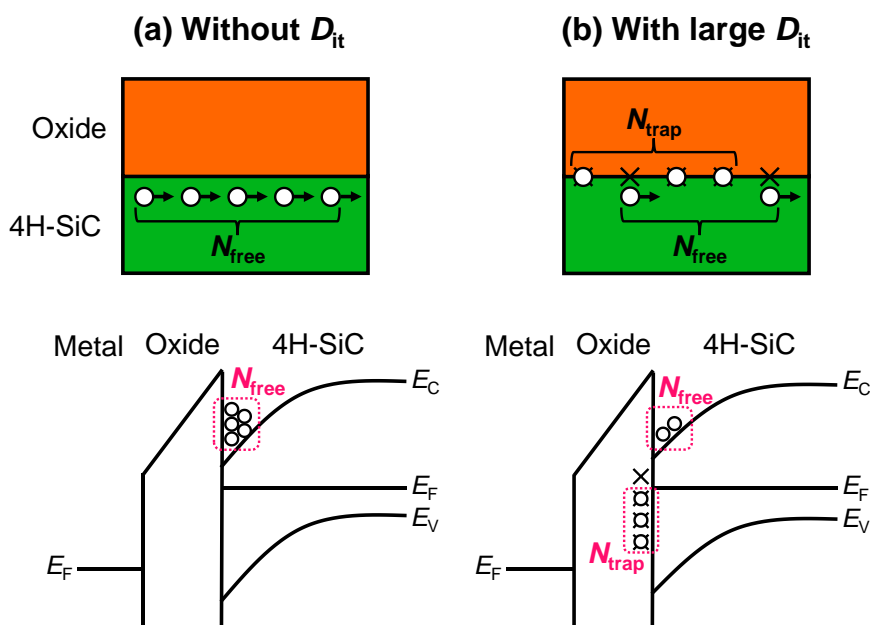


図 1.5 (a)界面準位が存在しない場合と(b)存在する場合の反転型 MOSFET のチャネル部分の断面模式図とエネルギーバンド図。

この効果を考慮した評価を行うためには、特殊な形状の MOSFET を用いてチャネル中の電子に対する Hall 効果測定を行う必要がある [41–43]。その結果、以下の二つの事実が明らかになっている [42]。一つ目は、界面に存在している電子のうち伝導に寄与している割合 (自由電子比率) が 30%程度であること、二つ目は、チャネル電子の Hall 移動度 (自由電子移動度) は  $150 \text{ cm}^2/\text{Vs}$  程度であること、である。Hall 移動度は電界効果移動度 30–45

$\text{cm}^2/\text{Vs}$  よりも高い。すなわち、4H-SiC MOSFET における低い電界効果移動度は、界面準位への電子トラップの寄与による見かけの移動度低下、というのが正しい理解である。ただし、Hall 移動度もバルク移動度の 20%程度に留まっており、何らかの散乱の影響を受けていると考えられる。以上の議論から、4H-SiC MOSFET の電界効果移動度向上のためには、(i) $D_{it}$  低減による自由電子比率の向上、(ii)散乱要因の低減による自由電子移動度の向上が重要であると言える。次節以降で、各方向におけるこれまでの報告をまとめ、本研究における指針を検討する。

#### 1.4.2 酸化膜/4H-SiC 界面の界面準位密度

まずは、どの程度  $D_{it}$  を低減する必要があるかを明らかにするため、自由電子比率のシミュレーションを行った。図 1.6 は、界面準位密度が存在する反転型 MOSFET における自由電子比率の計算結果である。計算においては、伝導帯端に向かって増加する界面準位密度分布を仮定した。この結果より、伝導帯端において  $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  程度まで  $D_{it}$  を低減できれば、90%以上の高い自由電子比率が期待されることが分かる。

次に、これまでに報告されている  $D_{it}$  の起源とその低減手法について紹介する。熱酸化により  $\text{SiO}_2$  を形成した場合、 $\text{SiO}_2/4\text{H-SiC}$  界面付近に  $\text{SiC}_x\text{O}_y$  や C クラスタ等の酸化副生成物

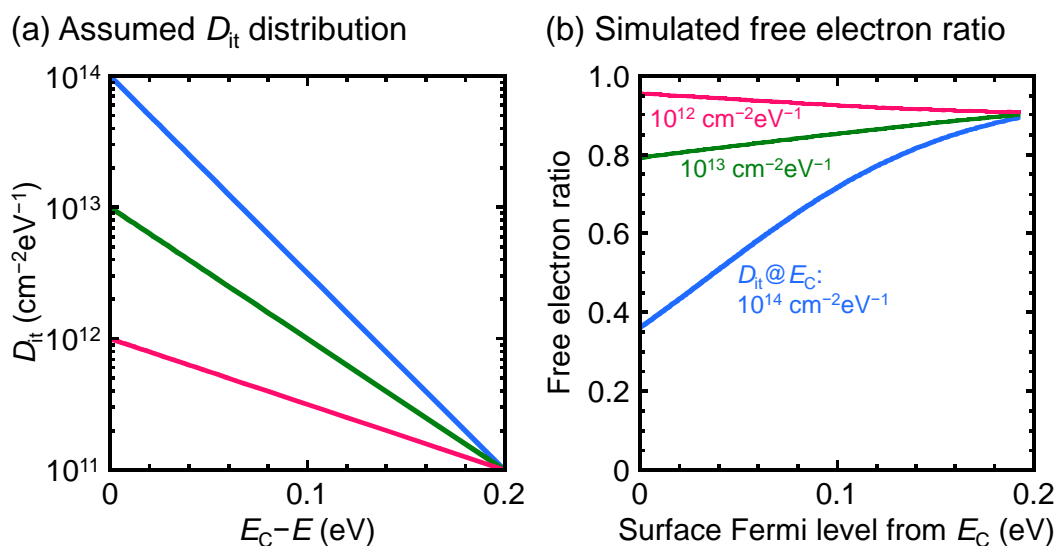


図 1.6 (a) $D_{it}$  分布の仮定と、(b)仮定に基づき見積もった自由電子比率の表面フェルミレベル依存性. 基板のアクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  とした.

が生じる[44,45]. また, ゲート絶縁膜として堆積膜を利用する場合でも, 一般にわずかな基板酸化が生じるため[46], 上記のような副生成物生成の可能性がある. 理論計算からは, このような副生成物が界面準位を形成すると予測されている[47-51]. したがって, 酸化副生成物の形成抑制, または形成後の除去・改質が  $D_{it}$  低減に重要であると考えられる. いずれの方向性についても多くの試みがあり, それらの一部について以下にまとめる.

(i)第三元素の導入による手法.

1100–1300 °C 程度における NO または  $N_2O$  雰囲気中での熱処理により界面に窒素原子を導入することで,  $D_{it}$  が低減する[20,21]. 本プロセスは,  $SiO_2/4H-SiC$  界面の処理手法として現在最も一般的に用いられている. その他, P[52,53], B[54], Na[55,56], Ba[57]の導入による  $D_{it}$  低減と, それに伴う電界効果移動度増大が報告されている. 一方で, 第三元素導入による  $D_{it}$  低減のメカニズムについては明らかになっていないことが多い. 元素導入による界面原子構造の最適化や[58], 界面反応に伴う C 除去[59,60]等が可能性として考えられている.

(ii)熱酸化条件の工夫による手法.

$SiC_xO_y$  層をできるだけ生じない酸化手法, というアプローチの例として, 水蒸気酸化[61], 超高温酸化[62], 低温での再酸化[63],  $CO_2$  による酸化[64]などで  $D_{it}$  低減が報告されている.

(iii)堆積膜を使用する手法

熱酸化に依らず絶縁膜を形成する手法として, 堆積膜の利用が挙げられる. 本手法においては様々な種類の酸化膜が形成可能であるが, 十分な伝導帯・価電子帯オフセット確保の制約から, バンドギャップの広い  $SiO_2$  や  $Al_2O_3$  系絶縁膜の利用が多い. 化学気相成長 (CVD) 法により形成した  $SiO_2$  膜に対して窒化処理を施すことで, 熱酸化  $SiO_2$  に比べて低い  $D_{it}$  が得られている[65]. また,  $Al_2O_3/4H-SiC$  では, 高温熱処理を行わずとも低  $D_{it}$  が

得られる点が特徴である[46,66].  $\text{Al}_2\text{O}_3$  をゲート絶縁膜に用いた MOSFET においては, 284[67],  $154 \text{ cm}^2/\text{Vs}$ [68]といった非常に高い電界効果移動度が報告されている.

なお, ここでは主に酸化副生成物形成抑制・除去に着目した  $D_{it}$  低減手法について述べたが, 積層欠陥に由来した 4H-SiC の伝導帯端揺らぎ等も  $D_{it}$  の起源として提案されている[69]. また,  $\text{SiO}_2/4\text{H-SiC}$  界面に多量の C が存在することは実験的に明らかになっているものの, 界面構造と  $D_{it}$  の関係は, 必ずしも明らかになっていない. 上記のように,  $\text{SiO}_2$  系における  $D_{it}$  低減指針は, 大きな構造変化が予測される高温熱処理や, 第三元素の導入など複雑な要素が絡んでいるため,  $D_{it}$  低減の要因を特定することが難しいと考えられる. そこで本研究では, 比較的低温のプロセスで低い  $D_{it}$  が得られる  $\text{Al}_2\text{O}_3/4\text{H-SiC}$  系に着目した.  $\text{Al}_2\text{O}_3/4\text{H-SiC}$  界面で, 酸化副生成物形成抑制による更なる  $D_{it}$  低減を目指すとともに, 界面構造が  $D_{it}$  に与える影響について詳細に調査することを目的とした.

### 1.4.3 4H-SiC MOSFET の自由電子移動度

続いて, 4H-SiC MOSFET における自由電子移動度について, 現在の理解について説明するとともに, その向上指針について検討する. チャンネル中の電子は, バルクとは異なる散乱を受け移動度が制限される. 散乱要因について, より理解の進んでいる Si MOSFET と比較しながら紹介する. Si MOSFET における散乱過程は, “ユニバーサル移動度” による理解が一般的である[22]. 報告されている実験結果を図 1.7(a)に示す. 横軸は, 式(1.4)で求められる実効垂直電界 ( $E_{\text{eff}}$ ) である.

$$E_{\text{eff}} = \frac{q}{\epsilon_S} (N_{\text{dep}} + \eta N_{\text{inv}}) \quad (1.4)$$

ここで,  $N_{\text{dep}}$  および  $N_{\text{inv}}$  は空乏電荷および反転電荷の面密度であり,  $\eta$  は補正係数で, n チャンネルでは 1/2 が用いられる. 図 1.7(a)に示されるように, Si MOSFET の電子移動度は, 基板のドーピング濃度に関わらず全ての移動度が同一の曲線 (ユニバーサル曲線) 上にプロットされる (低電界領域を除く).

低電界領域では, クーロン散乱が移動度律速要因となる. クーロン散乱移動度は基板の



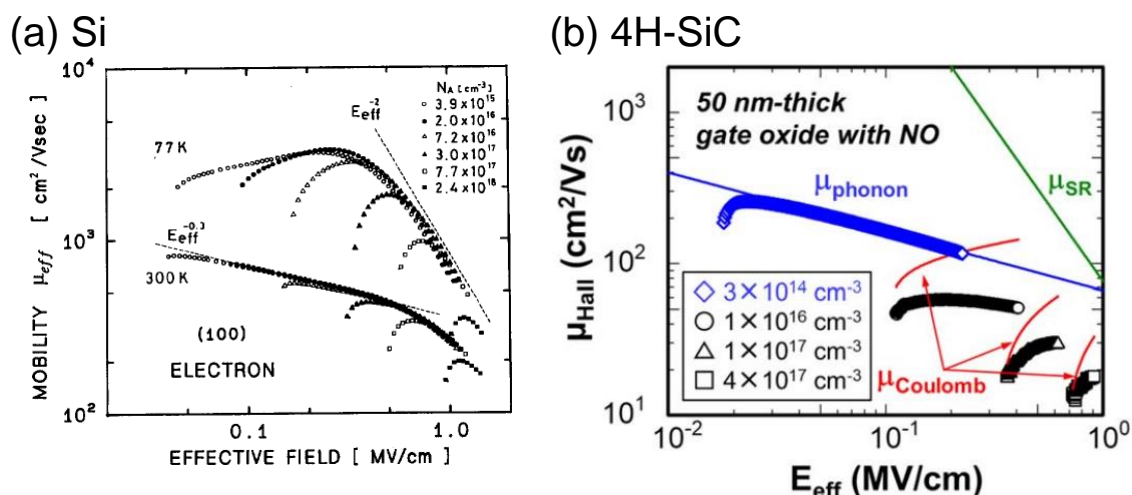


図 1.7 (a)Si MOSFET[22]および(b)SiC MOSFET[70]の電子移動度の実効垂直電界依存性.

不純物濃度に依存する。実効電界が増大すると、チャネル中の電子密度が増大しクーロンポテンシャルの遮蔽効果が大きくなるため、移動度は増大する。次に、中電界領域における移動度は、フォノン散乱により律速される。フォノン散乱移動度は測定温度に依存し、低温ほど移動度は増大する。最後に、高電界領域では、絶縁膜/半導体界面のラフネスによるポテンシャル揺らぎに起因した、界面ラフネス散乱が支配的となる。

近年、4H-SiC MOSFET の自由電子移動度 (Hall 移動度) に対しても、ユニバーサル移動度の適用が試みられている。Noguchi らは、異なる基板不純物濃度で作成された 4H-SiC MOSFET における Hall 移動度の実効垂直電界依存性を測定し、フォノン散乱、クーロン散乱、表面ラフネス散乱の影響の切り分けを議論した (図 1.7(b)) [70,71]。ただし、結果の解釈をめぐるには現在も議論が続いており [72,73]、散乱過程について完全に理解されたわけではない。ここでは、図 1.7(a)と(b)の比較から読み取れる、4H-SiC MOSFET の特徴に注目したい。Si MOSFET と比較した際の 4H-SiC MOSFET の大きな特徴として、基板の不純物濃度を高くした際に急激に自由電子移動度が低下する点が挙げられる。これは、基板の不純物濃度を高くするほどチャネルが酸化膜/半導体界面に近い位置に形成されるため [74]、界面由来の散乱の影響をより受けやすくなったためだと考えられる。すなわち、酸化膜/4H-SiC 界面付近に多量の散乱体が存在していることを示唆している。界面付近での散乱体としてまず考えられるのは、界面準位にトラップされた電荷や固定電荷によるクーロン散乱

の可能性である。しかし、 $D_{it}$ が低減しても移動度が向上しないという報告や[71]、クーロン散乱では定量的に説明できないほどの移動度劣化を受けているといった報告もあり[75]、その他の散乱要因も検討されている。具体的には、チャンネル中の中性欠陥による散乱[72]、界面の双極子散乱[73]、4H-SiCの伝導帯端揺らぎに起因した散乱[76]等が提案されている。

以上を考慮すると、チャンネルを酸化膜/4H-SiC界面から離れた位置に形成することが、自由電子移動度向上のための有効なアプローチの一つと言える。これを実現する手法の一つは、ボディ層のアクセプタ濃度の低減である。実際、非常に低濃度な $N_A-N_D$ を有する基板上に作製されたMOSFETにおいて、バルク並の自由電子移動度が報告されている[77]。しかしながら、実用上はパンチスルー効果の抑制ため $1 \times 10^{17} \text{ cm}^{-3}$ 以上のアクセプタ濃度が必要であり[21]、このような低ボディ層濃度は現実的ではない。その他の、チャンネルを界面から離すための現実的な手段は、カウンタードーピングである[78–81]。チャンネル中にn型ドーパントをイオン注入することで、チャンネルを酸化膜/4H-SiC界面から離れた位置に形成できる[82]。その模式図を図1.8に示す。(a)は、通常の反転型nチャンネルMOSFETである。カウンタードーピングを施し表面をn型化すると、チャンネルの受ける垂直電界が緩和され、(b)のように基板の深さ方向に広がったチャンネルが形成される。また、更にドーズ量を増大させると、(c)のように酸化膜/4H-SiC界面から離れた位置に埋め込みチャンネルが形成される。

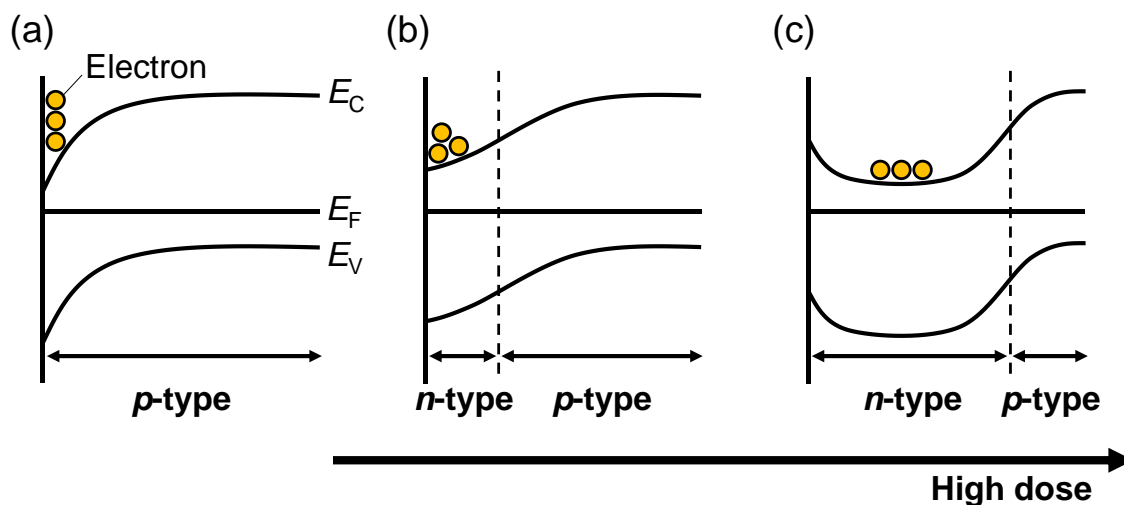


図 1.8 (a)反転型 MOSFET および(b),(c)カウンタードーピング MOSFET のエネルギーバンド図。右にいくほど、n 型ドーパントのドーズ量が多い場合を描いている。

4H-SiCにおけるカウンタードーピングの利用は初期から考えられており、 $230 \text{ cm}^2/\text{Vs}$  という非常に高い電界効果移動度の報告もある[79]。しかしながら、自由電子比率や自由電子移動度に関する詳細な議論はほとんどなく[83,84]、多くの報告で電界効果移動度に基づく議論が行われているのみである[78–81]。そのため、電界効果移動度増大の要因が本質的に理解されているとは言い難い。そこで本研究では、異なる界面準位密度を有するカウンタードープ MOSFET を作製し、近年の理解の進んだ視点からキャリアトラップ効果を考慮に入れた移動度の解析を試みた。なお、自由電子比率や自由電子移動度の議論には、Hall 移動度に基づく解析がしばしば用いられるが、Hall 係数を仮定する必要があり妥当性の議論が難しい。そこで本研究では、容量測定に基づく解析を中心に行った。

## 1.5 金属/4H-SiC 界面における課題

本節では、4H-SiC デバイスの将来的な微細化を視野に、平坦界面を有するオーミックコンタクトの低温形成実現に向けた方針について述べる。1.5.1 節ではオーミックコンタクトの現状についてまとめ、界面固相反応に依らないショットキー障壁高さ (SBH) 制御に着目した理由について述べる。1.5.2 節では、金属/4H-SiC 界面のショットキー障壁高さについて、これまでに解明された事実を整理する。1.5.3 節では一般的な SBH 制御指針を、1.5.4 節では 4H-SiC における SBH 制御指針を紹介し、これらを踏まえて本研究での SBH 制御指針を検討する。

### 1.5.1 4H-SiC に対するオーミックコンタクト

n 型 4H-SiC に対するオーミックコンタクトは、Ni を堆積し 950 °C 以上の高温熱処理を施すことで得られ、不純物濃度  $1 \times 10^{19} \text{ cm}^{-3}$  の基板上で  $2.7 \times 10^{-6} - 8 \times 10^{-5} \Omega \cdot \text{cm}^2$  の低コンタクト抵抗率が達成されている[35–38]。しかし、平坦界面の形成が難しい点が課題である[37,38]。ここで、コンタクト抵抗率  $\rho_C$  は以下の式に従う。

$$\rho_C \propto \exp\left(\frac{\phi_{Bn}}{\sqrt{N_D}}\right) \quad (1.5)$$

$\phi_{Bn}$  はショットキー障壁高さ (SBH)、 $N_D$  は不純物濃度である。したがって、SBH の低減または不純物濃度の増大が低抵抗コンタクト実現のために重要である。

次に、Ni を用いたオーミックコンタクト形成要因について、式(1.5)に沿って理解したい。Ni/4H-SiC 構造への熱処理後には Ni シリサイドが形成する。しかし、Ni シリサイド/4H-SiC 界面の SBH は 1.3–1.7 eV と報告されており[85]、オーミックコンタクト形成には高い値である。したがって、オーミックコンタクト形成の主な要因は Ni シリサイド形成による SBH 低減ではないと考えられる。実際、Ni と Si との反応は 600 °C 程度でも起こる一方で、950 °C 以上の高温反応を経なければ低抵抗率コンタクトが得られない[37]。Han らは、高温界面反応により 4H-SiC 中にドナー型の C 空孔欠陥を形成し、実効的な高不純物濃度化するモデルを提案している[36]。これは、式(1.5)において  $N_D$  を増大させていることに対応

する。

以上から考えると、Ni/4H-SiC コンタクトに倣い低温プロセスでオーミックコンタクトを形成するには、低温で同様の欠陥を導入すること必要がある。しかし 4H-SiC は非常に安定な物質であり、この方針は困難である可能性が高い。そこで、本研究では金属/4H-SiC 界面の SBH を低下させる方針に着目する。

### 1.5.2 低温プロセスによるオーミックコンタクト形成指針: ショットキー障壁高さ制御

図 1.9 に、金属/4H-SiC 界面において報告されている SBH についてまとめる[86–89]。破線は、SBH が金属の仕事関数と半導体の電子親和力によって一意に決まると仮定したモデル（ショットキー極限）を示している。図 1.9 における実験値のプロットの傾きは、スローパラメータ  $S$  と呼ばれ、ピニングの強さを表す。ショットキー極限に従う場合には、 $S=1$  となる。 $S$  が 0 に近いほどピニング傾向が強いことを意味する。丸で示したプロットは我々の研究室で以前に報告した値であり[89]、 $S \sim 1$  を実現している。同じ IV 族系半導体である Si や Ge において、それぞれ  $S = 0.27$ [90]、 $0.02$ [91]と報告されており、強いピニングが生じていることとは対照的である。このように、4H-SiC では幸いにもピニング傾向が弱いため、用いる金属の仕事関数により SBH をある程度制御可能である。したがって、

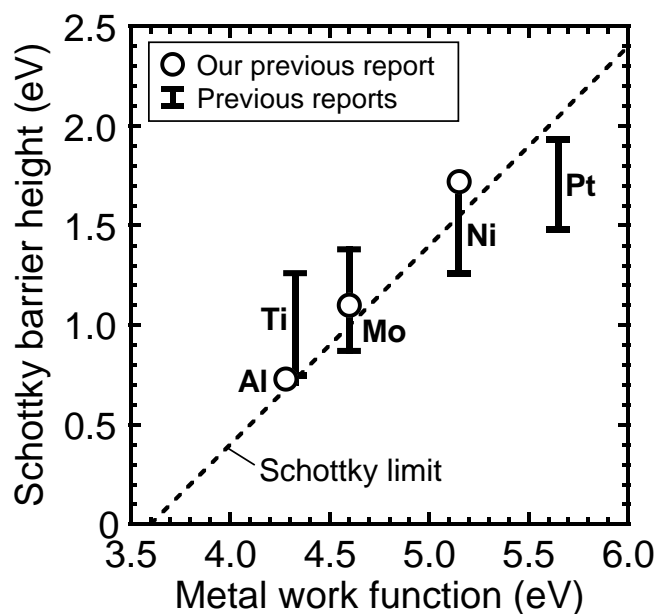


図 1.9 金属/n 型 4H-SiC の SBH の仕事関数依存性。

n 型 4H-SiC に対しては，仕事関数の低い金属を用いることで SBH の低減が可能であるように思われる．しかしながら，このような低仕事関数金属/4H-SiC 界面における SBH の実験的な報告はほとんどなく，SBH の挙動は明らかになっていない．前節で述べたように，酸化物/4H-SiC 界面においては伝導帯端付近に多量の欠陥準位の存在が知られている．もし金属/4H-SiC 界面にも同程度の界面準位が存在するならば，SBH に影響を与える可能性が高い．したがって，低仕事関数金属/4H-SiC 界面の SBH を決定づける要因について，実験的に検証する必要がある．

### 1.5.3 界面準位がショットキー障壁高さに与える影響

続いて，金属/半導体界面の界面準位が SBH に与える影響について，一般的なモデルを紹介する[92]．図 1.10 に，界面準位が存在しない/する場合の金属/半導体界面のバンド図を示す．界面準位が存在する場合，トラップされた電荷が金属中に対となる電荷を誘起し，これらに生じた電気二重層により界面での電位降下が生じる．これにより，界面準位が存在する系では SBH がショットキー極限から外れる．電位降下の量は，界面準位密度 ( $D_{it}$ ) とその分布に依存する．電位降下  $V$  および変調された SBH は，次式で表される．

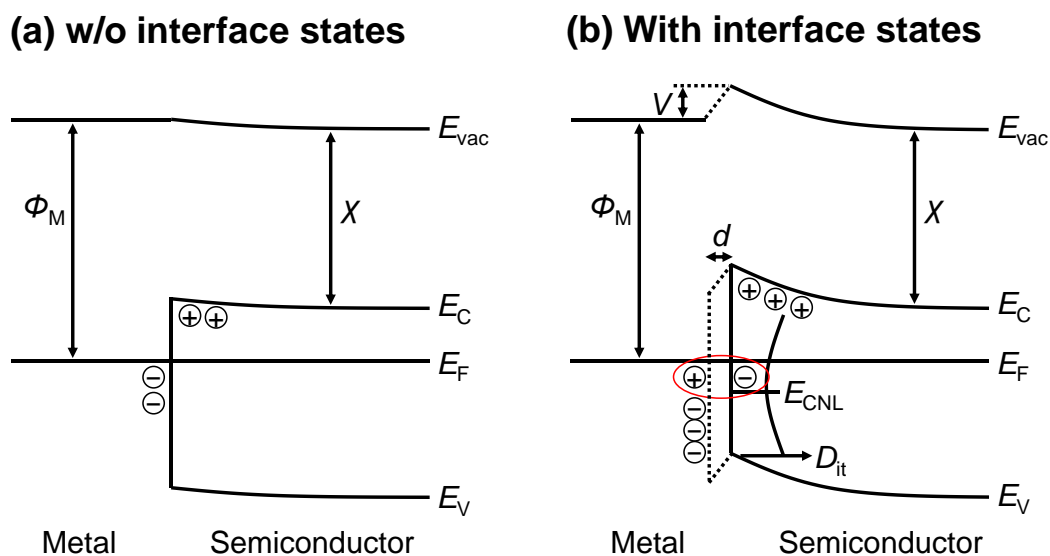


図 1.10 (a)界面準位の存在する場合，(b)存在しない場合の金属/n 型半導体接合のエネルギーバンド図．

$$V = \frac{d}{\epsilon_S} \int_{E_{\text{CNL}}}^{E_F} D_{\text{it}}(E) dE \quad (1.6)$$

$$\phi_{\text{Bn}} = \phi_{\text{m}} - \chi + V \quad (1.7)$$

ここで、 $d$ はダイポール長（すなわち電気二重層の厚さ）、 $\epsilon_S$ は半導体の誘電率、 $E_{\text{CNL}}$ は電荷中性準位である。フェルミレベルが電荷中性準位に一致するとき、帯電した界面準位の正味の電荷が0となる。一般に、 $E_F$ が $E_{\text{CNL}}$ よりも伝導帯側にある場合には界面準位は負に帯電し、価電子帯側にある場合には正に帯電する。金属の仕事関数を $d\phi_{\text{Bn}}$ だけ変化させた際のSBHの変化量 $d\Phi_{\text{Bn}}$ を考えると、

$$d\phi_{\text{Bn}} = d\phi_{\text{m}} + \frac{d}{\epsilon_S} D_{\text{it}}(E) d\phi_{\text{Bn}} \quad (1.8)$$

$$S \equiv \frac{d\phi_{\text{Bn}}}{d\phi_{\text{m}}} = \left( 1 + \frac{D_{\text{it}}(E)}{\epsilon_S} \right)^{-1} \quad (1.9)$$

が得られ、 $S$ 値が界面準位密度に依存することが分かる。図1.11に、式(1.9)に基づき $S$ 値の $D_{\text{it}}$ 依存性を計算した結果を示す。計算にあたってダイポール長 $d$ を仮定する必要があるため、0.1 nm および 1 nm の場合について計算した。図1.11より、 $10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 以上の高 $D_{\text{it}}$ は $S$ 値の低下に大きく影響することが分かる。また、 $D_{\text{it}}$ の分布がSBHの仕事関数依存性に与える影響について、図1.12に模式的に示す。 $D_{\text{it}}$ がエネルギーに対して一定値の場合、グラフは $S < 1$ の直線となる。一方、 $D_{\text{it}}$ がU字型のエネルギー分布を有している場合、低仕事関数および高仕事関数領域での $S$ 値の低下が予測され、グラフはS字型を示すことが予測される。

次に、金属/半導体界面において提唱されている界面準位の起源について紹介する。代表的なものは、乱れ誘起ギャップ準位（Disorder Induced Gap State, DIGS）[93]と金属誘起ギャップ準位（Metal Induced Gap State, MIGS）[94-96]である。DIGSは、金属/半導体界面における半導体結晶の乱れに起因する外因性の界面準位である。MIGSは、金属中の電子の波動関数が半導体ギャップ中に“染み出す”ことで形成される真性の界面準位である。重要なのは、どちらもバンド端付近で $D_{\text{it}}$ が大きくなると予測されている点である[93,96]。したがって、低SBH領域ほどこれらの影響を受けやすく、何らかの対策が必要となる可能性がある。

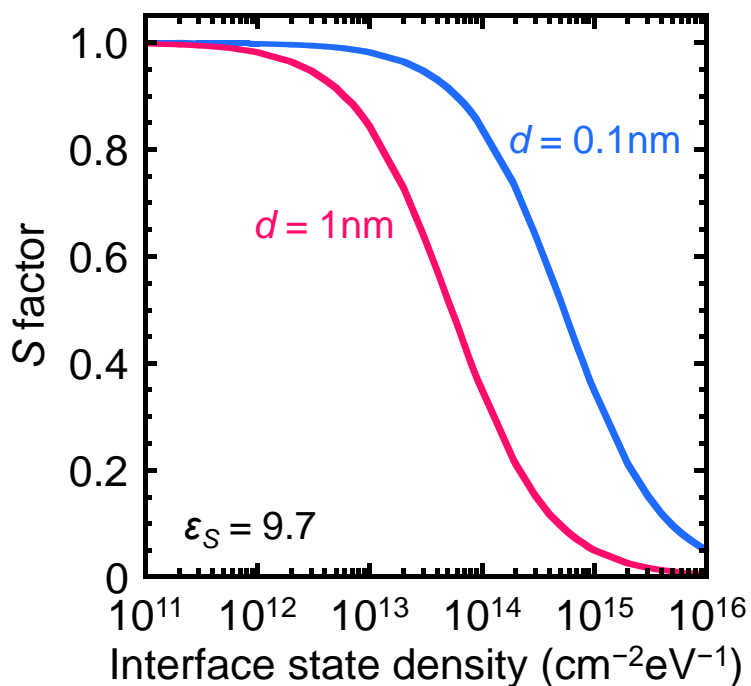


図 1.11 式(1.9)に基づき見積もった S 値の界面準位密度依存性. ダイポール長  $d$  は 0.1 または 1 nm とし, 誘電率は 4H-SiC の値を使用した.

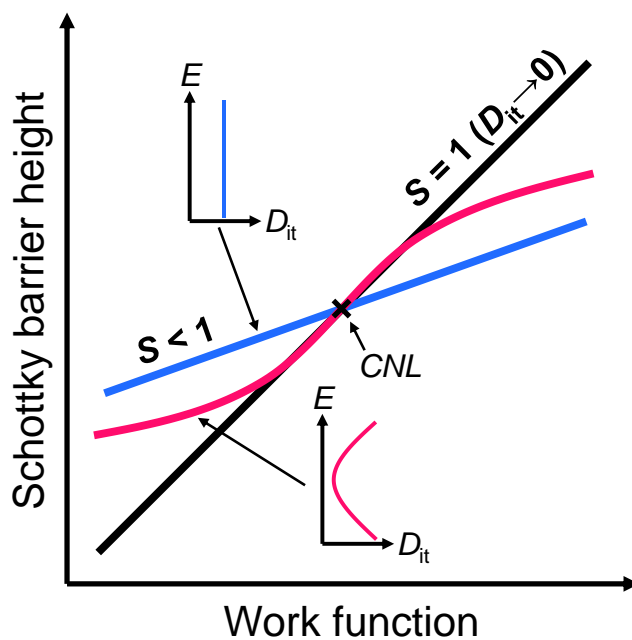


図 1.12  $D_{it}$  分布が SBH に与える影響. MIGS や DIGS の理論が予測する U 字型の  $D_{it}$  分布は, S 字型の SBH の仕事関数依存性を与えると考えられる.



### 1.5.4 金属/4H-SiC 界面のショットキー障壁高さ制御手法

本節では低仕事関数金属に限らず、金属/4H-SiC 界面において報告されている SBH 制御手法について、(i)電極形成前の基板表面処理、(ii)電極形成後の後熱処理、(iii)界面層挿入の3種類に分けて紹介する。

#### (i)電極形成前の基板表面処理

n 型 6H-SiC 上において希フッ酸、犠牲酸化+フッ酸エッチング、または沸騰水による洗浄を施した基板を用い、Ti, Al, Mo, Ni, Pt との界面で洗浄手法により  $S$  値が変化することが報告されている[97]。特に、沸騰水を用いた場合には  $S \sim 1$  を実現する特性が得られるとしている。また 4H-SiC 上においても、p 型基板において、犠牲酸化および水素プラズマ処理の有無により Ti, Mo, Ni, Pt との界面で SBH の振舞いに変化することが報告されている[98]。犠牲酸化と水素プラズマ処理を施すことで、 $S \sim 1$  が得られている。

#### (ii)電極形成後の熱処理

続いて熱処理による SBH 変調手法について説明する。TiC, Ti, Mo, Pt/4H-SiC 界面において、熱処理無しの状態では  $S = 0.65$  であるが、600 °C 熱処理後に  $S = 0.81$  に改善すると報告されている[99]。また、Ti/4H-SiC 界面では、200–600 °C の熱処理によってシリサイドやカーバイドが形成され、SBH が低下する[100]。

#### (iii)界面層挿入

比較的高い仕事関数を有する金属と 4H-SiC の界面に対して、TiO<sub>2</sub>[101,102], HfO<sub>2</sub>[102], Al<sub>2</sub>O<sub>3</sub> 薄膜[103]の挿入による SBH 変調が試みられている。酸化膜中の固定電荷に起因したダイポール形成により、SBH を高く、または低く変調できると報告されている。また、我々の研究室においては多量の欠陥を含む SiC<sub>x</sub>O<sub>y</sub> 層を挿入することで、意図的なフェルミレベルピンングを引き起こせることを報告している[89]。更に、4H-SiC に関する報告ではないものの、Si や Ge においては極薄絶縁体層の挿入により、MIGS を抑制できるとされてい

る[104,105].

いずれの手法においても、4 eV 以上の高い仕事関数を有する金属と 4H-SiC との界面の SBH に関する報告がほとんどであり、低仕事関数金属の場合の SBH の挙動は未知である。また、我々の研究室においては、既に Al, Mo, Ni/4H-SiC 界面においてショットキー極限を実現するプロセスを確立している[89]。そこで、まずは既に確立したプロセスと同じ基板表面処理手法を用い、単純な室温堆積で作製した低仕事関数金属/4H-SiC 界面の SBH を調査した。その上で、低仕事関数金属/4H-SiC 界面における SBH に対する、熱処理および界面層挿入の効果を詳細に調べた。

## 1.6 本研究の目的

本研究では 4H-SiC パワーデバイスの更なるパワー密度増大に向け、次の 2 種類の界面物性制御を目的とする: (i)MOSFET の損失低減のための酸化膜/4H-SiC 界面の界面準位密度低減指針の確立, (ii)パワーIC の微細化のための平坦界面を有する金属/4H-SiC オーミックコンタクトの低温形成技術の創成.

1.4.2 節で述べたように,  $\text{Al}_2\text{O}_3$ /4H-SiC 界面の利用は  $D_{it}$  低減に有望である. しかし, 従来の  $\text{Al}_2\text{O}_3$  堆積手法ではわずかに基板酸化が生じるため,  $D_{it}$  の起源となっている可能性がある. そこで, 基板酸化を可能な限り抑制できる新たな  $\text{Al}_2\text{O}_3$  堆積手法を提案し, 低  $D_{it}$  界面の実現を目指す. また, 本手法を確立により, 意図的に酸化副生成物を形成することで, 酸化副生成物が  $D_{it}$  に与える影響を調査可能となる. 熱酸化により形成した酸化副生成物を意図的に挿入することで,  $D_{it}$  の起源となる構造を明らかにする.

カウンタードープ MOSFET は電界効果移動度増大に有望なデバイス構造である (1.4.3 節). しかし, 反転型 4H-SiC MOSFET の電気伝導機構について理解の進む現在の視点からは, カウンタードープ MOSFET の本質的な利点は理解されていない. そこで,  $D_{it}$  低減を確立した  $\text{Al}_2\text{O}_3$ /4H-SiC 界面を含む,  $D_{it}$  の異なる数種類のカウンタードープ MOSFET を作製し,  $D_{it}$  が自由電子比率および自由電子移動度に与える影響を明らかにする.

最後に, パワーIC の将来的な微細化に重要となる, 平坦界面を有するオーミックコンタクトの低温形成に向け, 低仕事関数金属/4H-SiC 界面の SBH を調査する. また, 界面層挿入による SBH 制御, 熱処理による SBH 制御を試み, それらの挙動について, MIGS, DIGS, およびその他のダイポールによる SBH 変調の可能性について議論する.

## 1.7 本研究の概要

第 2 章では, 本研究で作製した試料の評価手法について述べる. 第 3 章では,  $\text{Al}_2\text{O}_3$ /4H-SiC 界面における酸化副生成物が  $D_{it}$  に与える影響について議論し, またその抑制指針について述べる. 第 4 章では, カウンタードープ MOSFET を作成し,  $D_{it}$  が電界効果移動度に

与える影響について自由電子比率・自由電子移動度の面から論じる。第5章では、オーミックコンタクト形成のための SBH 低減に向けた取り組みについて述べる。なお、第3章から第5章にかけて述べる成果の一部は、著者自身らによるこれまでの研究報告に基づくものを含む[106–109]。最後に、第6章で本研究の成果をまとめ、今後の課題について述べる。

## 参考文献

- [1] 環境省, “脱炭素化ポータル”. 2021-11-19. [https://ondankataisaku.env.go.jp/carbon\\_neutral/](https://ondankataisaku.env.go.jp/carbon_neutral/), (参照 2021-12-01).
- [2] 大井健史, 三菱電機技報, Vol. 91, p. 659, 2017.
- [3] 藤平龍彦, 宮坂忠志, 井川修, 富士電機技報, Vol. 92, p. 212, 2019.
- [4] 上田哲三, 高橋理, 海本博之, 神澤好彦, 澤田和幸, 山崎晃, パナソニック技報, Vol. 61, p. 67, 2015.
- [5] B. J. Baliga, *Fundamentals of Power Semiconductor Devices* (Springer, Berlin, 2008).
- [6] T. Kimoto and J. A. Cooper, *Fundamentals of Silicon Carbide Technology* (Wiley, Singapore, 2014).
- [7] B. J. Baliga, *IEEE Electron Devices Lett.* **10**, 455 (1989).
- [8] 山川聡, 応用物理, 第 85 巻, p. 946, 2016.
- [9] T. Kimoto, *Jpn. J. Appl. Phys.* **54**, 040103 (2015).
- [10] 松波弘之, 大谷昇, 木本恒暢, 中村孝, 半導体 SiC 技術と応用 第 2 版, 日刊工業新聞社, 東京, 2011.
- [11] 濱田憲治, 梅寄勲, 日野史郎, 末川英介, 三菱電機技報, Vol. 91, p. 373, 2017.
- [12] 鶴田和弘, デンソーテクニカルレビュー, Vol. 16, p. 90, 2011.
- [13] S. H. Ryu, S. Krishnaswami, B. A. Hull, B. Heath, F. Husna, J. Richmond, A. Agarwal, J. Palmour, and J. Scofield, *Mater. Sci. Forum* **556–557**, 775 (2007).
- [14] 大橋弘通, 葛原正明, 半導体デバイスシリーズ 4 パワーデバイス, 丸善株式会社, 東京, 2011.
- [15] 中田修平, 中木義幸, 三浦成久, 富士電機技報, Vol. 84, p. 215, 2010.
- [16] 三菱電機, ニュースリリース. 2021-11-19. <https://www.mitsubishielectric.co.jp/news/2019/0213-d.html>, (参照 2022-01-13).
- [17] 三菱電機, ニュースリリース. 2018-01-31, <http://www.mitsubishielectric.co.jp/news/2018/0131-a.html>, (参照 2022-01-13).

- [18] 三菱電機, ニュースリリース. 2012-05-23, <http://www.mitsubishielectric.co.jp/news/2012/0523-a.html>, (参照 2022-01-13).
- [19] T. Kimoto and H. Watanabe, *Appl. Phys. Express* **13**, 120101 (2020).
- [20] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, R. A. Weller, S. T. Pantelides, L. C. Feldman, O. W. Holland, M. K. Das, and J. W. Palmour, *IEEE Electron Device Lett.* **22**, 176 (2001).
- [21] K. Fujihira, Y. Tarui, M. Imaizumi, K. Ohtsuka, T. Takami, T. Shiramizu, K. Kawase, J. Tanimura, and T. Ozeki, *Solid-State Electron.* **49**, 896 (2005).
- [22] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, *IEEE Trans. Electron Devices* **41**, 2357 (1994).
- [23] A. Toriumi and T. Nishimura, *Jpn. J. Appl. Phys.* **57**, 010101 (2018).
- [24] 村上浩一, 東芝レビュー Vol. 65, No. 1, p.2 (2010).
- [25] 高橋良和, 中澤治雄, 大西泰彦, 応用物理 第82巻, 第4号, p. 305 (2013).
- [26] S. Ryu, K. T. Kornegay, J. A. Cooper, and M. R. Melloch, *IEEE Trans. Electron Devices* **45**, 45 (1998).
- [27] M. Okamoto, T. Yasuo, K. Fukuda, and H. Okumura, *Jpn. J. Appl. Phys.* **48**, 04C087 (2009).
- [28] A. Rahman, A. M. Francis, S. Ahmed, S. K. Akula, J. Holmes, and A. Mantooth, *IEEE Trans. Electron Devices* **63**, 2455 (2016).
- [29] M. Masunaga, S. Sato, A. Shima, and R. Kuwana, *IEEE Trans. Electron Devices* **66**, 343 (2019).
- [30] K. Moges, T. Hosoi, T. Shimura, and H. Watanabe, *Appl. Phys. Express* **14**, 091006 (2021).
- [31] P. G. Neudeck, D. J. Spry, L. Chen, N. F. Prokop, and M. J. Krasowski, *IEEE Electron Device Lett.* **38**, 1082 (2017).
- [32] M. Nakajima, M. Kaneko, and T. Kimoto, *IEEE Electron Device Lett.* **40**, 866 (2019).
- [33] Y. Zhang, K. Sheng, M. Su, J. H. Zhao, P. Alexandrov, X. Li, L. Fursin, and M. Weiner, *IEEE Trans. Electron Devices* **55**, 1934 (2008).
- [34] M. Okamoto, A. Yao, H. Sato, and S. Harada, 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), 71 (2021).

- [35] A. Kakanakova-Georgieva, Ts. Marinova, O. Noblanc, C. Arnodo, S. Cassette, and C. Brylinski, *Thin Solid Films* **343–344**, 637 (1999).
- [36] S. Y. Han, K. H. Kim, J. K. Kim, H. W. Jang, K. H. Lee, N. Kim, E. D. Kim, and J. Lee, *Appl. Phys. Lett.* **79**, 1816 (2001).
- [37] I. P. Nikitina, K. V. Vassilevski, N. G. Wright, A. B. Horsfall, and A. G. O’Neill, *J. Appl. Phys.* **97**, 083709 (2005).
- [38] A. V. Kuchuk, P. Borowicz, M. Wzorek, M. Borysiewicz, R. Ratajczak, K. Golaszewska, E. Kaminska, V. Kladko, and A. Piotrowska, *Advances in Condensed Matter Physics*, **2016**, 9273702 (2016).
- [39] M. Hirose, T. Nabatame, K. Yuge, E. Maeda, A. Ohi, N. Ikeda, Y. Irokawa, H. Iwai, H. Yasufuku, S. Kawada, M. Takahashi, K. Ito, Y. Koide, and H. Kiyono, *Microelectron. Eng.* **216**, 111040 (2019).
- [40] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices* 2nd ed (Wiley, Hoboken, NJ, 1981), p. 440.
- [41] N. S. Saks and A. K. Agarwal, *Appl. Phys. Lett.* **77**, 3281 (2000).
- [42] T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, S. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura, *Appl. Phys. Express* **10**, 046601 (2017).
- [43] M. Sometani, T. Hosoi, H. Hirai, T. Hatakeyama, S. Harada, H. Yano, T. Shimura, H. Watanabe, Y. Yonezawa, and H. Okumura, *Appl. Phys. Lett.* **115**, 132102 (2019).
- [44] H. Okada, A. Komatsu, M. Watanabe, Y. Izumi, T. Muro, and H. Nohira, *ECS trans.* **50(3)**, 243 (2013).
- [45] A. D. Hatmanto and K. Kita, *Appl. Phys. Express* **12**, 055505 (2019).
- [46] T. Doi, W. Takeuchi, S. Shibayama, M. Sakashita, N. Taoka, O. Nakatsuka, and S. Zaima, *Jpn. J. Appl. Phys.* **58**, SBBD05 (2019).
- [47] F. Devynck, A. Alkauskas, P. Broqvist, and A. Pasquarello, *Phys. Rev. B* **84**, 235320 (2011).
- [48] K. Chokawa, S. Kato, K. Kamiya, and K. Shiraishi, *Mater. Sci. Forum* **740–742**, 469 (2013).
- [49] T. Kaneko, N. Tajima, T. Yamasaki, J. Nara, T. Scimizu, K. Kato, and T. Ohno, *Appl. Phys.*

Express **11**, 011302 (2018).

[50] Y. Matsushita and A. Oshiyama, Jpn. J. Appl. Phys. **57**, 125701 (2018).

[51] T. Kobayashi and Y. Matsushita, J. Appl. Phys. **126**, 145302 (2019).

[52] D. Okamoto, H. Yano, T. Hatayama, and T. Fuyuki, Appl. Phys. Lett. **96**, 203508 (2010).

[53] D. Okamoto, H. Yano, K. Hirata, T. Hatayama, and T. Fuyuki, IEEE Electron Device Lett. **31**, 710 (2010).

[54] D. Okamoto, M. Sometani, S. Harada, R. Kosugi, Y. Yonezawa, and H. Yano, IEEE Electron Device Lett. **35**, 1176 (2014).

[55] F. Allerstam, J. O. Olafsson, G. Gudjonsson, D. Dochev, E. O. Sveinbjornsson, T. Roble, and R. Jos, J. Appl. Phys. **101**, 124502 (2007).

[56] B. R. Tuttle, S. Dhar, S. H. Ryu, X. Zhu, J. R. Williams, L. C. Feldman, and S. T. Pantelides, J. Appl. Phys. **109**, 023702 (2011).

[57] D. J. Lichtenwalner, L. Cheng, S. Dhar, A. Agarwal, and J. W. Palmour, Appl. Phys. Lett. **105**, 182107 (2014).

[58] Y. Xu, X. Zhu, H. D. Lee, C. Xu, S. M. Shubeita, A. C. Ahyi, Y. Sharma, J. R. Williams, W. Lu, S. Ceesay, B. R. Tuttle, A. Wan, S. T. Pantelides, T. Gustafsson, E. L. Garfunkel, and L. C. Feldman, J. Appl. Phys. **115**, 033502 (2014).

[59] T. Kobayashi, Y. Matsushita, T. Okuda, T. Kimoto, and A. Oshiyama, Appl. Phys. Express **11**, 121301 (2018).

[60] T. Shimizu, T. Akiyama, K. Nakamura, T. Ito, H. Kageshima, M. Uematsu, and K. Shiraishi, Jpn. J. Appl. Phys. **60**, SBBD10 (2021).

[61] H. Hirai and K. Kita, Appl. Phys. Lett. **113**, 172103 (2018).

[62] T. Hosoi, D. Nagai, M. Sometani, Y. Katsu, H. Takeda, T. Shimura, M. Takei, and H. Watanabe, Appl. Phys. Lett. **109**, 182114 (2016).

[63] R. H. Kikuchi and K. Kita, Appl. Phys. Lett. **105**, 032106 (2014).

[64] T. Hosoi, M. Ohsako, T. Shimura, H. Watanabe, Appl. Phys. Express **14**, 101001 (2021).



- [65] T. Kimoto, H. Kawano, M. Noborio, J. Suda, and H. Matsunami, *Mater. Sci. Forum* **527–529**, 987, (2006).
- [66] H. Yoshioka, M. Yamazaki, and S. Harada, *AIP Advances* **6**, 105206 (2016).
- [67] S. Hino, T. Hatayama, J. Kato, E. Tokumitsu, N. Miura, and T. Oomori, *Appl. Phys. Lett.* **92**, 183503 (2008).
- [68] J. Urresti, F. Arith, S. Olsen, N. Wright, and A. O’Neill, *IEEE Trans. Electron Devices*, **66**, 1710 (2019).
- [69] Y. Matsushita and A. Oshiyama, *Nano Lett.* **17**, 6458 (2017).
- [70] M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, N. Miura, K. Kita, and S. Yamakawa, *Jpn. J. Appl. Phys.* **58**, 031004 (2019).
- [71] M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, *Jpn. J. Appl. Phys.* **58**, SBBD14 (2019).
- [72] H. Tanaka and N. Mori, *Jpn. J. Appl. Phys.* **59**, 031006 (2020).
- [73] T. Hatakayama, H. Hirai, M. Sometani, D. Okamoto, M. Okamoto, and S. Harada, *Ext. Abstra. of Symp. on Electron Device Interface Technology*, p. 181, 2021.
- [74] S. Takagi, *VLSI Des.* **8**, 1 (1998).
- [75] H. Hirai, T. Hatakeyama, M. Sometani, M. Okamoto, S. Harada, and H. Okumura, *Appl. Phys. Lett.* **115**, 132106 (2019).
- [76] K. Shiraishi and K. Chokawa, *Ext. Abstra. of Symp. on Electron Device Interface Technology*, p. 177, 2021.
- [77] M. Sometani, T. Hosoi, H. Hirai, T. Hatakeyama, S. Harada, H. Yano, T. Shimura, H. Watanabe, Y. Yonezawa, and H. Okumura, *Appl. Phys. Lett.* **115**, 132102 (2019).
- [78] K. Ueno and T. Oikawa, *IEEE Electron Device Lett.* **20**, 624 (1999).
- [79] S. Harada, S. Suzuki, J. Senzaki, R. Kosugi, K. Adachi, K. Fukuda, and K. Arai, *IEEE Electron Device Lett.* **22**, 272 (2001).
- [80] M. Okamoto, M. Iijima, T. Nagano, K. Fukuda, and H. Okumura, *Jpn. J. Appl. Phys.* **51**, 02BF05

(2012).

[81] A. Modic, G. Liu, A. C. Ahyi, Y. Zhou, P. Xu, M. C. Hamilton, J. R. Williams, L. C. Feldman, and S. Dhar, *IEEE Electron Device Lett.* **35**, 894 (2014).

[82] P. A. Ivanov, *Semiconductors* **52**, 100 (2018).

[83] K. Chatty, T. P. Chow, R. J. Gutmann, E. Arnold, D. Alok, *IEEE Electron Device Lett.* **22**, 212 (2001).

[84] M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, S. Yamakawa, *Jpn. J. Appl. Phys.* **57**, 04FR13 (2018).

[85] L. Calcagno, A. Ruggiero, F. Roccaforte, and F. La Via, *J. Appl. Phys.* **98**, 023713 (2005).

[86] D. Perrone, M. Naretto, S. Ferrero, L. Scaltrito, and C. F. Pirri, *Mater. Sci. Forum* **615–617**, 647 (2009).

[87] L. Huang, F. Qin, S. Li, and D. Wang, *Appl. Phys. Lett.* **103**, 033520 (2013).

[88] L. Huang, R. Geiod, and D. Wang, *Jpn. J. Appl. Phys.* **55**, 124101 (2016).

[89] K. Hashimoto, T. Doi, S. Shibayama, and O. Nakatsuka, *Jpn. J. Appl. Phys.* **59**, SGGD16 (2020).

[90] W. Mönch, *J. Vac. Sci. Technol. B* **17**, 1867, (1999).

[91] T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Lett.* **91**, 123123 (2007).

[92] A. M. Cowley and S. M. Sze, *J. Appl. Phys.* **36**, 3212 (1965).

[93] H. Hasegawa and H. Ohno, *J. Vac. Sci. Technol. B* **4**, 1130 (1986).

[94] V. Heine, *Phys. Rev.* **138**, A1689 (1965).

[95] W. Mönch, *Appl. Surf. Sci.* **92**, 367 (1996).

[96] J. Tersoff, *Phys. Rev. Lett.* **52**, 465 (1984).

[97] T. Teraji and S. Hara, *Phys. Rev. B* **70**, 035312 (2004).

[98] L. Huang and X. Gu, *J. Appl. Phys.* **125**, 025301 (2019).

[99] B. Liu, F. Qin, and D. Wang, *Appl. Surf. Sci.* **355**, 59 (2015).

[100] L. Huang, B. Liu, Q. Zhu, S. Chen, M. Gao, F. Qin, and D. Wang, *Appl. Phys. Lett.* **100**, 263503 (2012).

- 
- [101] B.-Y. Tsui, J.-C. Cheng, L.-S. Lee, C.-Y. Lee, and M.-J. Tsai, *Jpn. J. Appl. Phys.*, **53**, 04EP10 (2014).
- [102] I. R. Kaufmann, A. Pick, M. B. Pereira, and H. Boudinov, *Thin Solid Films* **621**, 184 (2017).
- [103] G. Choi, H. H. Yoon, S. Jung, Y. Jeon, J. Y. Lee, W. Bahng, and K. Park, *Appl. Phys. Lett.* **107**, 252101 (2015).
- [104] D. Connelly, C. Faulkner, P. A. Clifton, and D. E. Grupp, *Appl. Phys. Lett.* **88**, 012105 (2006).
- [105] T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Express* **1**, 051406 (2008).
- [106] T. Doi, S. Shibayama, W. Takeuchi, M. Sakashita, N. Taoka, M. Shimizu, and O. Nakatsuka, *Appl. Phys. Lett.* **116**, 222104 (2020).
- [107] T. Doi, S. Shibayama, M. Sakashita, M. Shimizu, and O. Nakatsuka, *Jpn. J. Appl. Phys.* **60**, 075503 (2021).
- [108] T. Doi, S. Shibayama, M. Sakashita, K. Kojima, M. Shimizu, and O. Nakatsuka, *Appl. Phys. Express* **15**, 015501 (2022).
- [109] T. Doi, S. Shibayama, M. Sakashita, N. Taoka, M. Shimizu, and O. Nakatsuka, *Jpn. J. Appl. Phys.* *accepted*.

## 第2章 評価手法

### 2.1 酸化物/半導体界面準位密度の評価手法

本研究では、酸化膜/4H-SiC 界面の  $D_{it}$  について、MOS キャパシタを作製し、Terman 法およびコンダクタンス法により定量評価した。本節では、各手法の詳細とそれぞれの利点について述べる。測定プローバーは、Lake Shore CRYOTRONICS, CRX-6.5K Cryogenic Probe Station を用いた。冷凍機を用いた試料台および試料の冷却が可能である。50 K – 室温において、容量–電圧 ( $C-V$ ) およびコンダクタンス–容量 ( $G-V$ ) 測定を、E4980A precision LCR メータを並列回路モードで使用して行った。測定周波数は 1 kHz–1 MHz であり、交流電圧は 50 mV とした。

#### 2.1.1 MOS キャパシタの等価回路

まず、MOS キャパシタの解析に重要となる等価回路について説明する[1]。図 2.1 に、(a) 界面準位の存在する MOS キャパシタの空乏状態におけるエネルギーバンド図と、(b) 等価回路を示す。 $C_{ox}$  は酸化膜容量、 $C_D$  は半導体の空乏層容量である。交流電圧成分に追従する界面準位への電子の出入りを界面準位容量  $C_{it}(=D_{it}/q)$  と直列抵抗  $R_{it}$  で表しており、界面準位の時定数  $\tau_{it}$  は、

$$\tau_{it} = R_{it}C_{it} \quad (2.1)$$

を満たす。図 2.2 に、界面準位の有無による  $C-V$  特性の変化を模式的に示す。界面準位が存在する場合、直流電圧の掃引による表面ポテンシャル変化に応じて、界面準位への電子トラップが生じるため、 $C-V$  曲線は理想的な場合に比べてなだらかな特性となる。また、測定周波数に応じて、界面準位の応答による容量も加わる。測定周波数  $f$  が十分に高く、 $1/f \ll \tau_{it}$  が成り立つ条件下では、交流電圧成分に対する界面準位の応答は無視できるため、 $C-V$  特性のストレッチアウトのみが生じる。

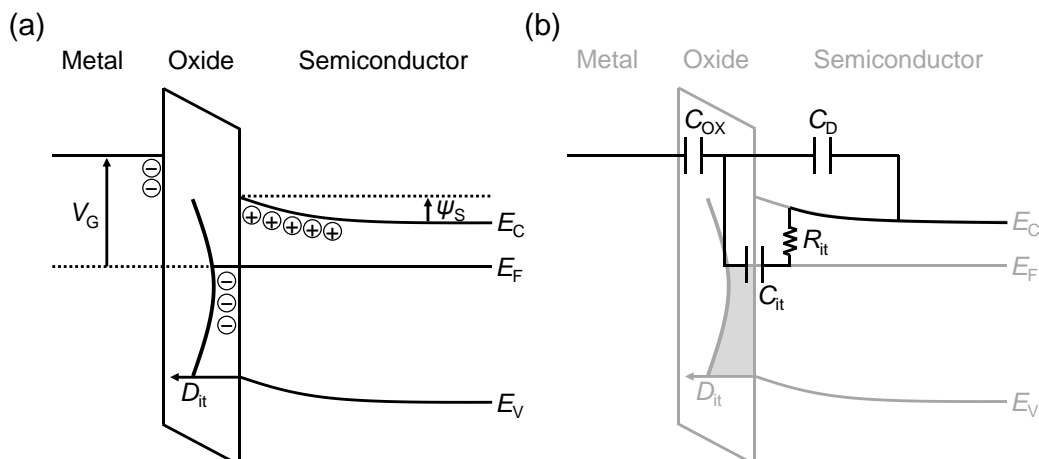


図 2.1 界面準位を有する MOS キャパシタの(a)エネルギーバンド図および(b)等価回路.

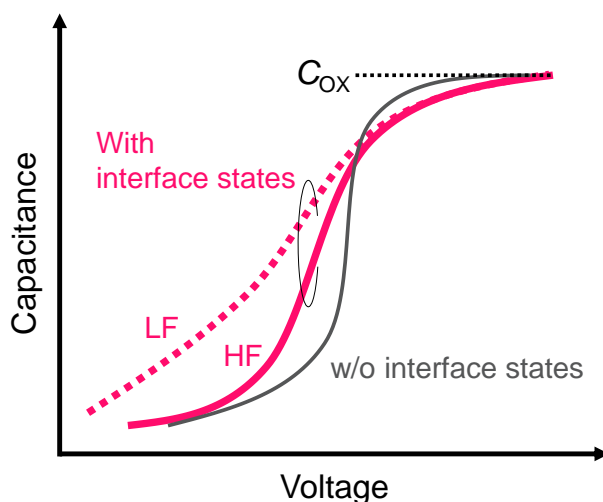


図 2.2 界面準位の有無による, MOS キャパシタ C-V 特性の変化の模式図. 界面準位が存在する場合は, 低周波(LF)および高周波(HF)での測定条件について示した.

### 2.1.2 Terman 法

Terman 法は, 高周波で測定した C-V 曲線のストレッチアウトから  $D_{it}$  を見積る手法である. 以下にその詳細を説明する[1]. MOS キャパシタの空乏状態において, ガウスの法則に基づく以下の関係が成り立つ.

$$C_{ox}(V_G - \psi_s) = -Q_{it}(\psi_s) - Q_D(\psi_s) \quad (2.2)$$

ここで,  $C_{ox}$  は酸化膜容量,  $\psi_s$  は表面ポテンシャル,  $Q_{it}$  は帯電した界面準位の電荷密度,  $Q_D$  は半導体の空乏層中の電荷の面密度である. 式(2.2)は, 半導体中および酸化膜/半導体界

面に存在する全電荷が、ゲート電極/酸化膜界面に誘起された電荷と電気力線を結び酸化膜中の電位降下 ( $V_G - \psi_s$ ) を生んでいることを意味している。次に、ゲート電圧を微小変化 ( $dV_G$ ) させ、それに伴い表面ポテンシャルが  $d\psi_s$  だけ変化した場合を考える。このとき以下の関係が成り立つ。

$$\begin{aligned} C_{OX}(dV_G - d\psi_s) &= -dQ_{it} - dQ_D \\ &= qD_{it}(\psi_s)d\psi_s + C_D(\psi_s)d\psi_s \end{aligned} \quad (2.3)$$

ここで、 $D_{it}$  は界面準位密度、 $C_D$  は半導体の空乏容量である。式(2.3)を整理し、

$$D_{it}(\psi_s) = \frac{C_{OX}}{q} \left[ \left( \frac{d\psi_s}{dV_G} \right)^{-1} - 1 \right] - \frac{C_D(\psi_s)}{q} \quad (2.4)$$

が得られる。したがって、実験的に  $\psi_s - V_G$  特性を求め、式(2.4)を適用することで  $D_{it}$  の  $\psi_s$  分布が求められる。実験的に得られるのは  $C - V_G$  特性であるから、これを  $\psi_s - V_G$  特性に変換する必要がある。その概要を図 2.3 に示す。実験で得た  $C - V_G$  特性を、1次元のポアソン方程式を解いて求められる理想  $C - \psi_s$  特性と比較することで  $\psi_s - V_G$  特性に変換できる。

Terman 法は、界面準位の交流電圧に対する応答を用いないため、広いエネルギー範囲での  $D_{it}$  評価が可能である。一方で、式(2.4)において差分を用いて計算するため、高い精度での評価は難しい。より高精度に  $D_{it}$  を見積る手法として、コンダクタンス法を用いた。

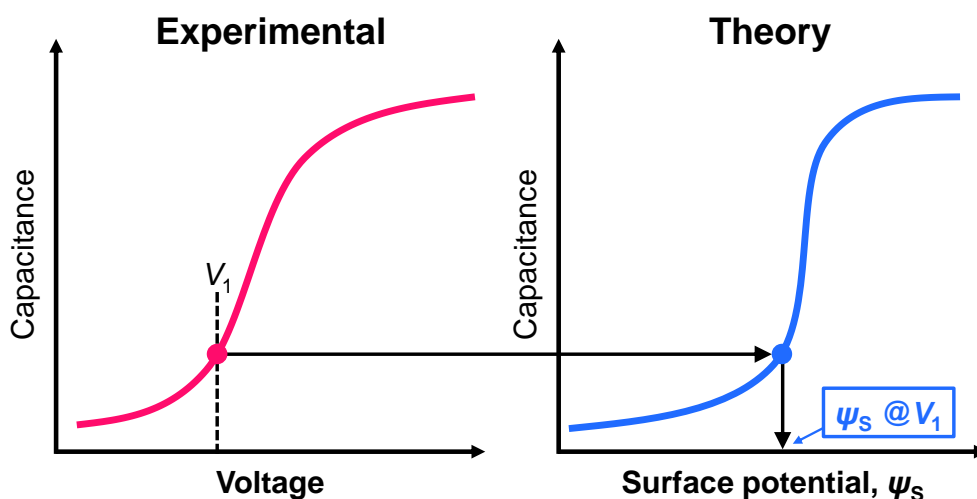


図 2.3  $C - V$  特性から  $\psi_s - V$  特性への変換手順の模式図。

### 2.1.3 コンダクタンス法

コンダクタンス法は、交流電圧成分に対する界面準位の応答の周波数依存性から  $D_{it}$  を見積る手法である。本節では、まずコンダクタンス法の基本的な考え方として、単一準位モデルにおける関係式の導出を説明する。次に、界面準位がバンドギャップ中に連続的に分布していることを考慮したモデルについて述べる。最後に、実際に本研究で用いた、表面ポテンシャルの面内揺らぎ (Surface potential fluctuation, SPF) を考慮したモデルについて述べる[1]。

#### ● 単一準位モデル

図 2.4(a)は単一の界面準位を有する MOS キャパシタの等価回路、(b)はコンダクタンス法の解析に用いる回路、(c)は並列モードでの測定時に想定している回路である。(a)と(b)の回路の間には、以下の関係が成り立っている。

$$\begin{aligned} \frac{G_p}{\omega} &= \frac{C_{it}(\omega C_{it} R_{it})}{1 + (\omega C_{it} R_{it})^2} \\ &= \frac{C_{it}(\omega \tau_{it})}{1 + (\omega \tau_{it})^2} \\ &= \frac{C_{it}}{\omega \tau_{it} + \frac{1}{\omega \tau_{it}}} \end{aligned} \quad (2.5)$$

相加・相乗平均の関係より、式(2.5)の分母は  $\omega \tau_{it} = 1$  のとき最小値をとり、このとき  $G_p/\omega$  は極大値をとる。この条件を満たすとき、 $C_{it}$ は以下のように求められる。

$$C_{it} = 2 \left( \frac{G_p}{\omega} \right)_{\omega \tau_{it}=1} \quad (2.6)$$

したがって、実験的に求めた  $G_p/\omega$ - $f$  曲線の極大値から  $D_{it} (= qC_{it})$  を見積ることが可能である。なお、MOS キャパシタの測定の際には図 2.4(c)の回路を想定しているため、以下の関係式を用いて  $C_m$  および  $G_m$  を  $G_p/\omega$  に変換した。

$$\frac{G_p}{\omega} = \frac{\omega G_m C_{OX}}{G_m^2 + \omega^2 (C_{OX} - C_m)^2} \quad (2.7)$$

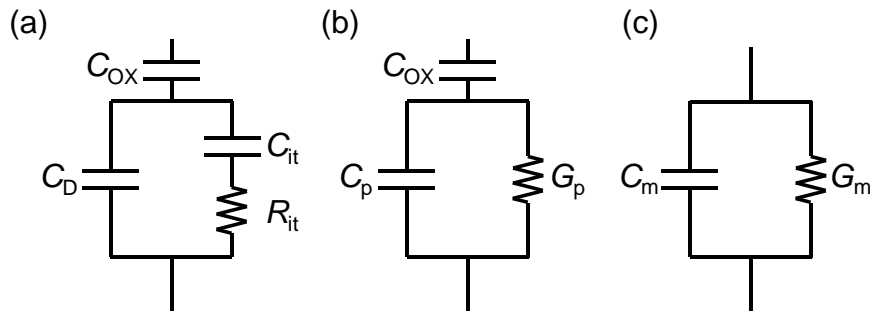


図 2.4 (a)界面準位を有する MOS キャパシタの等価回路. (b)コンダクタンス法の解析に用いる回路. (c)測定において想定している回路.

● 連続準位モデル

現実には、界面準位はエネルギーに対して単一でなくバンドギャップ中に連続的に分布している。また、フェルミディラック分布関数は有限温度  $T$  においてフェルミレベルを中心にエネルギー  $k_B T$  の広がりをもっているため、交流電圧を印加した際には、フェルミレベルを中心としたエネルギー  $k_B T$  の範囲の界面準位が同時に応答することになる。この効果を考慮して得られるのが、以下の関係式である。

$$\frac{G_p}{\omega} = \frac{C_{it}}{2} \frac{\ln[1 + (\omega\tau_{it})^2]}{\omega\tau_{it}} \quad (2.8)$$

式(2.8)においては、 $\omega\tau_{it} = 1.98$  のとき  $G_p/\omega$  が最大値をとる。

● 表面ポテンシャル揺らぎ (SPF) モデル

酸化膜/半導体界面における界面準位密度が面内分布を有している場合 (図 2.5(a))、表面ポテンシャルに面内揺らぎが生じる。その結果、 $G_p/\omega$ - $f$  曲線のピークに広がりが生じる。連続準位モデルに表面ポテンシャル揺らぎの効果を取り込んだモデルが SPF モデルであり、以下の関係式が知られている。

$$\frac{G_p}{\omega} = \frac{qD_{it}}{2} \int_{-\infty}^{\infty} \frac{\ln[1 + (\omega\tau_{it})^2]}{\omega\tau_{it}} P(\psi_s) d\psi_s \quad (2.9)$$

$$P(\psi_s) = \frac{1}{\sqrt{2\pi\sigma_s^2}} \exp\left[-\frac{(\psi_s - \langle\psi_s\rangle)^2}{2\sigma_s^2}\right] \quad (2.10)$$



ここで、 $P(\psi_s)$ は、 $\langle\psi_s\rangle$ を平均、 $\sigma_s$ を標準偏差とする正規分布の確率密度関数である。測定により得られた  $G_p/\omega$ - $f$  曲線を、 $D_{it}$ ,  $\tau_{it}$ ,  $\sigma_s$  をパラメータとして式(2.9)でフィッティングし、 $D_{it}$  を求めた。一例を図 2.5(b)に示す。なお、 $\langle\psi_s\rangle$  は 1 MHz で測定した容量の値を理想  $C$ - $\psi_s$  特性に参照して決定した (図 2.3 参照)。

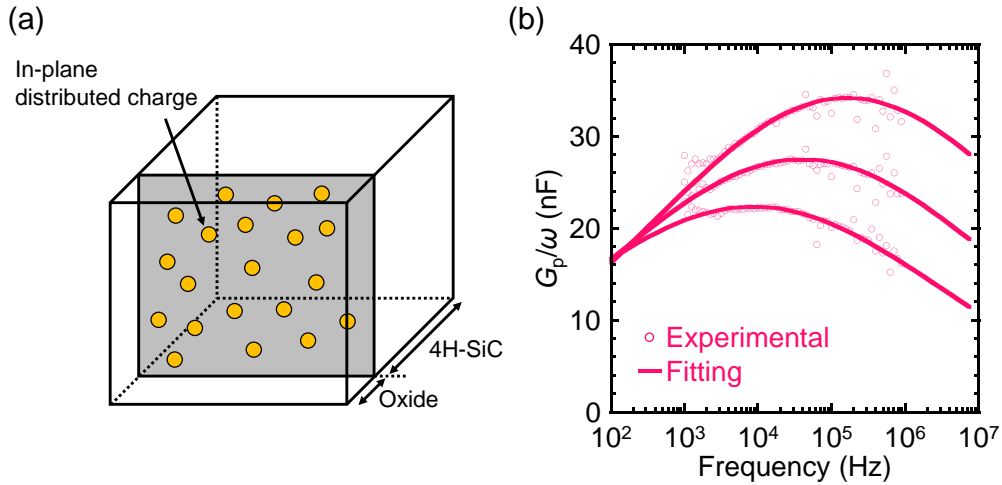


図 2.5 (a)界面電荷が面内分布を有している MOS キャパシタの模式図. (b)SPF モデルによるフィッティング例.

#### 2.1.4 伝導帯端付近の $D_{it}$ の見積もり

コンダクタンス法は、交流電圧に対する界面準位の応答を利用して  $D_{it}$  を求める手法であるため、測定周波数領域においてどのようなエネルギーの界面準位が応答するかを考える必要がある。界面準位に出入りする電子の時定数  $\tau$  は、Schokley–Read–Hall モデルに基づく以下の式で表され、準位のエネルギーと測定温度に依存する[1]。

$$\tau_{it} = \frac{1}{v_{th}\sigma_n N_C} \exp\left(\frac{E_C - E_{it}}{k_B T}\right) \quad (2.11)$$

ここで、 $v_{th}$  は電子の熱速度  $\sigma_n$  は電子の捕獲断面積、 $N_C$  は伝導帯有効状態密度、 $E_{it}$  は界面準位のエネルギーである。本研究において、測定で用いた最小・最大周波数は 1 kHz および 1 MHz である。このとき応答する界面準位の時定数をそれぞれ  $10^{-3}$ ,  $10^{-6}$  s として、式(2.11)から界面準位のエネルギー深さを見積った結果を図 2.6 に示す。計算にあたっては、 $\sigma_n = 10^{-17}$  cm<sup>2</sup>,  $N_C = 2.5 \times 10^{18}$  cm<sup>-3</sup>eV<sup>-1</sup> を仮定した。測定温度を低下させることで、室温

(~300 K) では測定できない浅いエネルギー領域の  $D_{it}$  も測定可能であると分かる。本研究では、50 K での測定も行った。

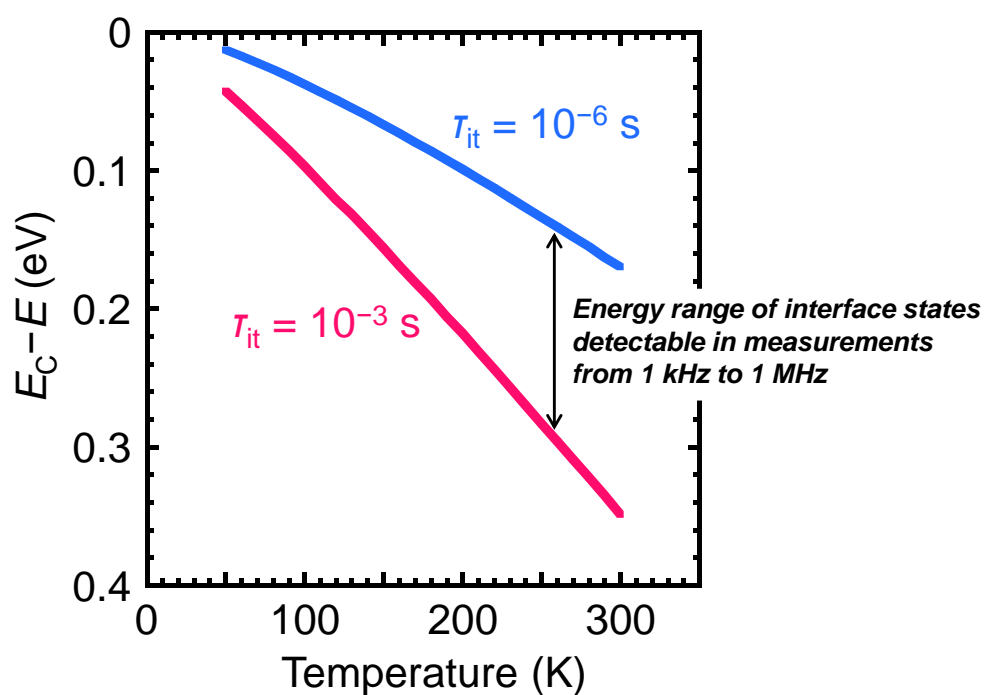


図 2.6 時定数  $10^{-3}$  および  $10^{-6}$  s の界面準位のエネルギー深さの温度依存性.

## 2.2 金属/半導体界面のショットキー障壁高さ評価手法

本節では、金属/4H-SiC 界面におけるショットキー障壁高さ (SBH) の電気的特性による評価手法について述べる。

### 2.2.1 金属/半導体界面の電気伝導機構

まず、金属/半導体界面における代表的な電気伝導機構について述べる。半導体のドーパ濃度により支配的となる電気伝導機構が変わると考えられており、図 2.7 に代表的な 3 つの伝導機構: (i)熱電子放出 (Thermionic emission, TE) 機構, (ii)熱電界放出 (Thermionic field emission, TFE) 機構, (iii)電界放出 (Field emission, FE) の模式図を示す[2].

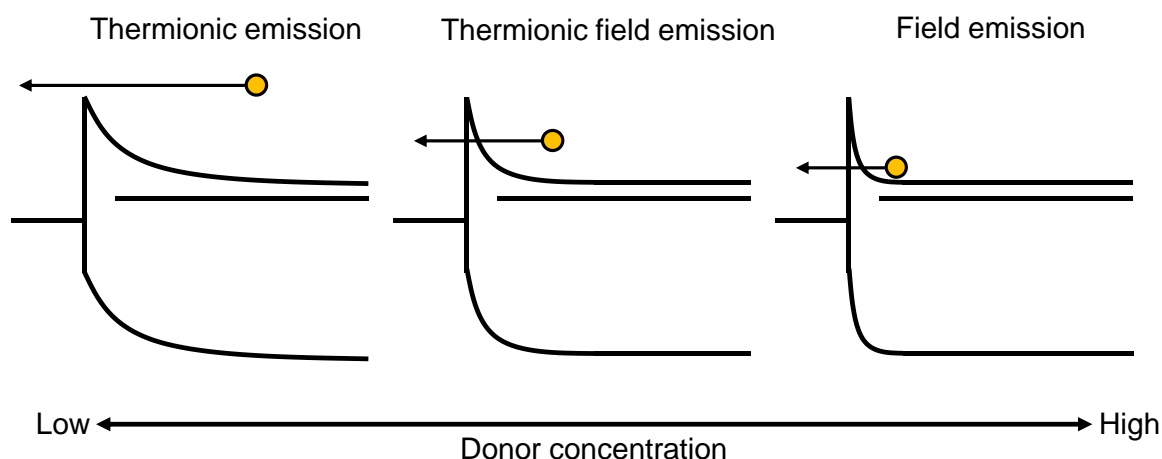


図 2.7 金属/半導体界面における電気伝導機構の模式図.

熱電子放出機構は、ショットキー障壁を超えられる高いエネルギーを持つ電子のみが伝導に寄与する。主に、空乏層が厚く電子が障壁をトンネルできない低ドーパ濃度領域において支配的となる。ドーパ濃度が中濃度である場合には、ショットキー障壁高さに達する手前のエネルギーまで熱的に励起された電子が、薄い障壁部分を透過することで電気伝導が生じる。これを、熱電界放出機構と呼ぶ。更に高濃度となり空乏層が薄くなると、フェルミレベル付近の電子が直接トンネルできるようになり、電界放出機構と呼ばれる。

### 2.2.2 $J$ - $V$ 特性からのショットキー障壁高さ見積もり

本研究では、主にドーパ濃度  $1 \times 10^{16} \text{ cm}^{-3}$  のエピタキシャル層上にショットキーバリアダイオードを作成し、SBH の評価を行った。このような低濃度ドーパの条件下では、熱電子放出機構による電気伝導が支配的であると考えられ、これを前提とした解析を行った。熱電子放出が支配的な場合の電流密度-電圧 ( $J$ - $V$ ) 特性は、下記の式で表される[3].

$$J = J_s \left[ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right] \quad (2.12)$$

$$J_s = A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{k_B T}\right) \quad (2.13)$$

ここで、 $J_s$  は飽和電流密度、 $q$  は電気素量、 $k_B$  はボルツマン定数、 $T$  は測定温度、 $\phi_B$  は SBH、 $n$  は理想因子、 $A^*$  はリチャードソン定数である。 $A^*$  は次式で表される。

$$A^* \equiv \frac{4\pi m^* k_B^2}{h^3} \quad (2.14)$$

4H-SiC(0001)におけるリチャードソン定数は、電子に対して  $A^*=146 \text{ A/cm}^2\text{K}^2$  である[4]。理想因子  $n$  は、理想的な熱電子放出機構に基づく場合は 1 となり、その他の伝導機構が支配的な場合は、1 よりも大きくなる。したがって、 $n$  から伝導機構の評価が可能である。

式(2.12)は、順方向バイアス下の十分に電圧が大きい領域において、

$$J \sim J_s \exp\left(\frac{qV}{nk_B T}\right) \quad (2.15)$$

と近似でき、電流密度は指数関数的に増大する。一方、逆方向バイアス下においては、

$$J \sim -J_s \quad (2.16)$$

と近似され、一定の値に飽和する。

図 2.8 に、(a)SBH が比較的高い試料および(b)低い試料の  $J$ - $V$  特性の測定例を示す。SBH の比較的高い試料においては、順バイアス下の指数関数領域または逆バイアス下での一定電流領域から  $J_s$  を決定し、式(2.13)に基づき SBH を求めた。なお、順バイアス下で電圧の大きい領域では、指数関数則から外れているが、これは電流値が大きいときには基板抵抗等の直列抵抗成分が支配的となるためである。SBH が低い試料では、順バイアス下での指数関数領域と直列抵抗に支配される領域との区別が難しい (図 2.8(b))。このようなケースでは、逆バイアス領域からのみ  $J_s$  を決定した。また、逆バイアス下での電流は理想的には

一定値となるが、実際の測定においては徐々に増加することがある。これは、何らかのリーク電流成分（例えば、欠陥を介したマルチステップトンネリング機構[5,6]）が同時に存在しているためと考えられる。これらの影響を排するため、逆バイアス下の  $J$ - $V$  特性を  $V = 0$  に外挿して  $J_s$  を決定した（例えば、[7]）。

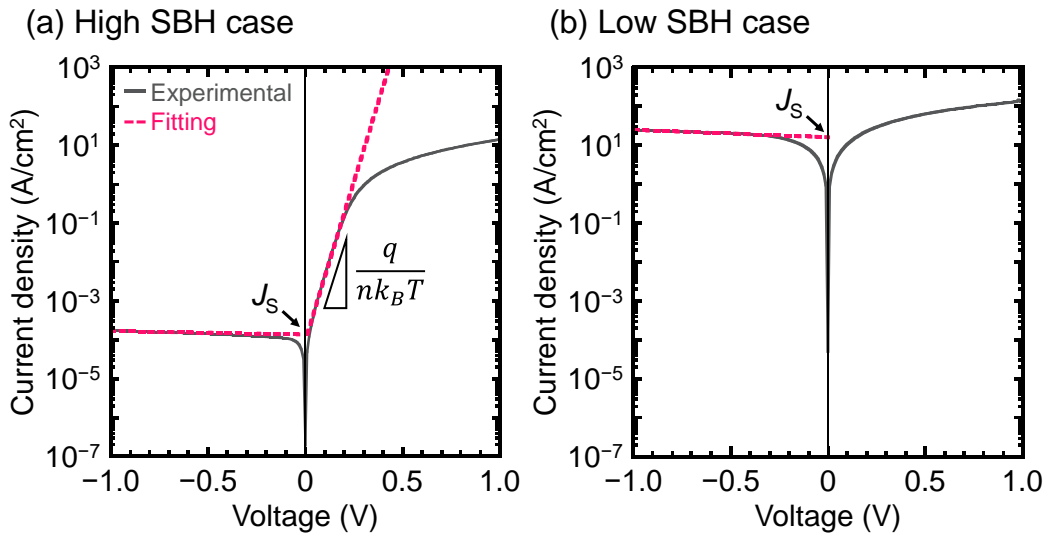


図 2.8 金属/低濃度ドープ 4H-SiC 界面の電気伝導特性. (a)高 SBH および(b)低 SBH の場合. また、破線は熱電子放出機構に基づくフィッティング.

### 2.2.3 $C$ - $V$ 特性からのショットキー障壁高さ見積もり

$C$ - $V$  特性からも SBH を評価できる[3]. 本手法の利点は、SBH の見積りにリチャードソン定数を仮定する必要がない点である。一方で、大きな電流が流れる SBH の低い試料には適用できないという欠点も有する。本研究では、主に比較的 SBH の高い試料においてリチャードソン定数の仮定の妥当性を確認するため、 $C$ - $V$  特性による評価を併用した。

図 2.9 に、逆方向バイアス印加前後のショットキーダイオードのエネルギーバンド図を示す。空乏容量 ( $C_D$ ) は空乏層長さ ( $W_D$ ) によって決まり、以下のように表せる。

$$W_D = \sqrt{\frac{2\epsilon_s \left( V_{bi} - V - \frac{q}{k_B T} \right)}{qN_D}} \quad (2.17)$$

$$C_D = \frac{dQ}{dV} = \frac{\epsilon_s}{W_D} \quad (2.18)$$

$V_{bi}$  はショットキー接合の内蔵電位、 $N_D$  はドープ濃度である。これらより、以下の関係が導

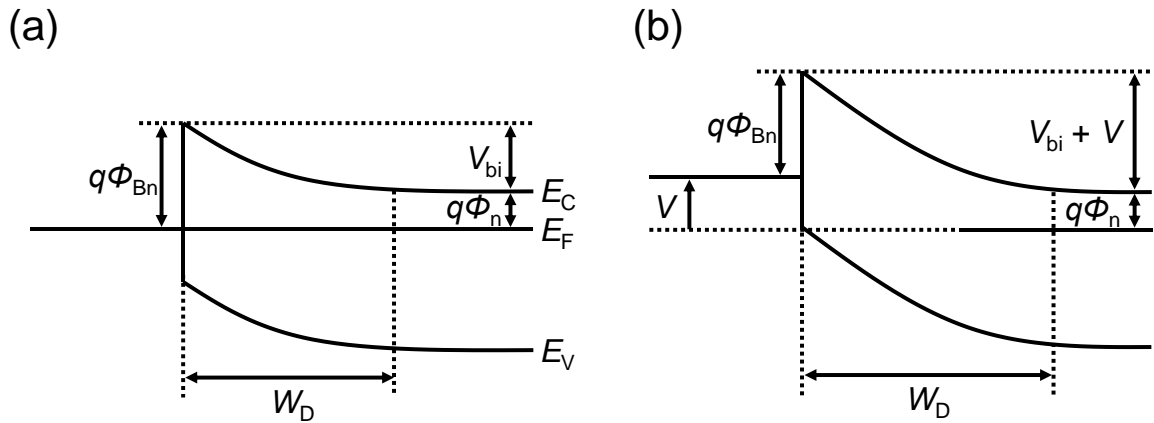


図 2.9 (a)逆方向バイアス印加前および(b)逆方向バイアス印加後の金属/半導体接合のエネルギーバンド図.

かれる.

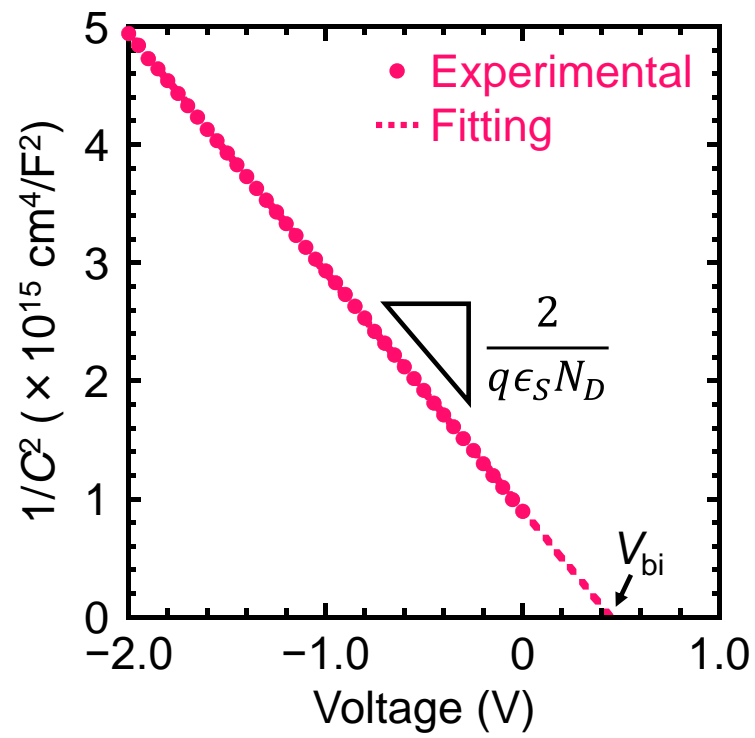
$$\frac{1}{C^2} = \frac{2}{q\epsilon_S N_D} \left( V_{bi} - V - \frac{q}{k_B T} \right) \quad (2.19)$$

すなわち，実験的に得られた  $1/C^2-V$  プロットの  $V$  切片から  $V_{bi}$  を求めることができる．解析例を図 2.10 に示す．順方向バイアス下では電流値が大きく  $C-V$  測定が難しいため，測定は逆方向バイアス下で行い，外挿により  $V$  切片を求める．求めた  $V_{bi}$  に，半導体バルク中における伝導帯端とフェルミレベルのエネルギー差 ( $q\phi_n$ ) を加えることで，SBH が求められる．ここでは以下の関係を用いた．

$$q\phi_{Bn} = qV_{bi} + q\phi_n \quad (2.20)$$

$$q\phi_n = \frac{k_B T}{q} \ln \left( \frac{N_D}{N_C} \right) \quad (2.21)$$

以上が， $C-V$  特性から SBH を求める方法である．なお，SBH の小さい試料では逆方向バイアス下においても大きな電流が流れるため， $C-V$  測定の正しさが担保されない．本研究では，逆方向バイアス下での電流値が  $\sim 1 \mu\text{A}$  以下となる試料について， $C-V$  測定による SBH 見積もりを適用した．

図 2.10 金属/4H-SiC 接合の  $1/C^2$ - $V$  特性の実験値とフィッティングの例.

### 2.3 金属/半導体界面のコンタクト抵抗率評価手法

本研究では、円形伝送長法 (Circular Transmission Line Method, CTLM) を用いてコンタクト抵抗率を評価した[8]. 図 2.11 は、CTLM 測定に用いる試料構造の平面および断面模式図である. 円形電極の半径を  $r$ , 円形電極と外側の大きな電極の間隔を  $d$  と定義する. 測定の際には、円形電極と外側の電極の間で電流-電圧測定を行い、抵抗値を算出する. 測定の際には、プローブと電極との間の接触抵抗の影響を排除するため、4 探針法を用いた. 抵抗値の  $d$  に対する依存性から、半導体のシート抵抗の影響を排除しコンタクト抵抗率の情報を得ることが可能である. 電極間隔  $d$  のときの抵抗  $R(d)$  は、以下の式で表される.

$$R(d) = \frac{R_{sh}}{2\pi} \left[ \ln\left(\frac{r+d}{r}\right) + \frac{L_T I_0(r/L_T)}{r I_1(r/L_T)} + \frac{L_T I_0((r+d)/L_T)}{r+d I_1((r+d)/L_T)} \right] \quad (2.22)$$

ここで、 $I_n(x)$  および  $R_n(x)$  は修正 Bessel 関数、 $R_{sh}$  は半導体のシート抵抗である.  $L_T$  は伝送長と呼ばれ、電極下への実効的な流れ込み長を表す. コンタクト抵抗率は以下の関係式から算出できる.

$$\rho_c = R_{sh} L_T^2 \quad (2.23)$$

コンタクト抵抗率および半導体のシート抵抗を仮定した際の、式(2.22)に基づくシミュレーションを図 2.12 に示す. コンタクト抵抗率が大きくなるほど  $R$  軸切片が大きくなる. また、グラフの傾きはシート抵抗に依存する.

なお、 $4L_T < r$  を満たす場合、式(2.22)は以下のように近似できる.

$$R(d) = \frac{R_{sh}}{2\pi} \left[ \ln\left(\frac{r+d}{r}\right) + L_T \left( \frac{1}{r} + \frac{1}{r+d} \right) \right] \quad (2.24)$$

式(2.24)は広く一般に用いられているが、 $L_T$  は  $R_{sh}$  と  $\rho_c$  の関係性により変化するため、適用条件には注意が必要である. 本研究では、主に式(2.22)を用いてコンタクト抵抗率を評価した.



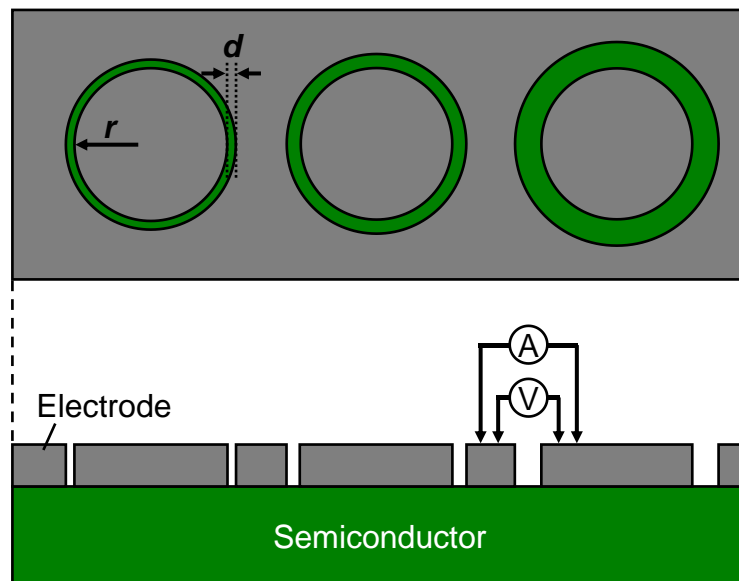


図 2.11 CTLM パターンの平面および断面模式図.

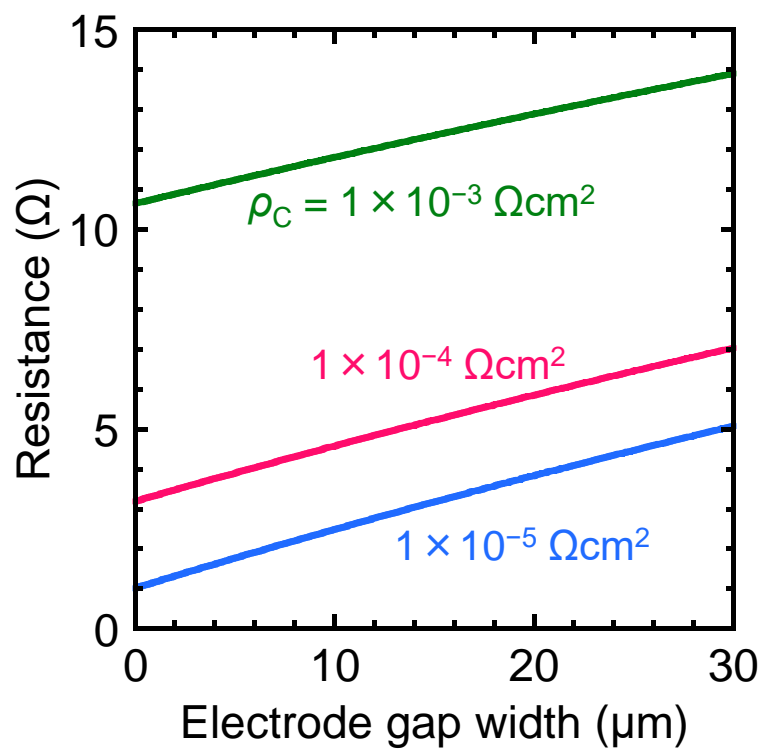


図 2.12  $R_{\text{sh}}=100 \Omega$  と仮定して計算した, CTLM パターンの抵抗の電極間隔依存性.

## 2.4 X線光電子分光法によるSi酸化物量の定量評価

本研究では、X線光電子分光 (X-ray photoelectron spectroscopy, XPS) 法を用いて 4H-SiC 基板表面の Si 酸化物面密度を評価した。XPS 測定は、ESCALAB250 (Thermo VG Scientific K.K.) を用いて行った。線源として単色化していない MgK $\alpha$  線 ( $h\nu=1253.6$  eV) を用い、光電子脱出角を  $20^\circ$ – $90^\circ$  とした。

4H-SiC 基板上の Si 酸化物膜厚の評価方法を説明する。Si 酸化物/4H-SiC 構造において、Si 酸化物中に Si が均一に分布していると仮定すると、Si 酸化物膜厚  $d$  は、Si 2p スペクトル中の SiC 基板由来ピーク面積強度  $I_{\text{substrate}}$  および Si 酸化物由来ピーク面積強度  $I_{\text{oxide}}$  を用いて、以下のように表される。

$$\frac{I_{\text{oxide}}}{I_{\text{substrate}}} = \frac{X_{\text{oxide}}}{X_{\text{substrate}}} \cdot \frac{\lambda_{\text{oxide}}}{\lambda_{\text{substrate}}} \cdot \left[ \exp\left(\frac{d}{\lambda_{\text{oxide}} \sin\theta}\right) - 1 \right] \quad (2.25)$$

ここで、 $X_{\text{substrate}}$  および  $X_{\text{oxide}}$  は基板および酸化物中の Si 原子密度、 $\lambda_{\text{substrate}}$  および  $\lambda_{\text{oxide}}$  は基板および酸化物中を通過する Si 2p 軌道由来の光電子の平均自由行程、 $\theta$  は光電子脱出角である。平均自由行程  $\lambda$  は、光電子の運動エネルギー、光電子が通過する物質の密度、バンドギャップ、価電子数に依存する[9]。  $d$  が  $\lambda_{\text{oxide}}$  に比べて十分小さいときには、式(2.25)は1次のテーラー展開を用いて以下のように近似できる。

$$\begin{aligned} \frac{I_{\text{oxide}}}{I_{\text{substrate}}} &\approx \frac{X_{\text{oxide}}}{X_{\text{substrate}}} \cdot \frac{d}{\lambda_{\text{substrate}}} \cdot \frac{1}{\sin\theta} \\ &= \frac{\sigma_{\text{oxide}}}{X_{\text{substrate}} \lambda_{\text{substrate}}} \frac{1}{\sin\theta} \end{aligned} \quad (2.26)$$

なお、式変形においては  $\sigma_{\text{oxide}} = X_{\text{oxide}} \times d$  の関係を用いている。ここで、 $\sigma_{\text{oxide}}$  は酸化物中の Si 原子の面密度である。本条件下においては、 $X_{\text{oxide}}$  および  $\lambda_{\text{oxide}}$  に起因した不確かさを排除した  $\sigma_{\text{oxide}}$  評価が可能である。

また、式(2.26)から分かるように、光電子脱出角  $\theta$  が小さいほど  $I_{\text{oxide}}/I_{\text{substrate}}$  は大きくなる。したがって、わずかな酸化物を高感度に検出するには、 $\theta$  を小さくすることが有効である。しかし、 $\theta$  が小さすぎる場合、光電子の全反射により強度比に影響が出るとの報告もあるため[10]、本研究では  $20^\circ$  を最小とした。

## 参考文献

- [1] E. H. Nicollian and J. R. Brews, “*MOS (Metal Oxide Semiconductor) Physics and Technology*”, John Wiley & Sons (2003).
- [2] D. K. Schroder, “*Semiconductor material and device characterization 3rd ed.*”, Wiley, New Jersey, (2006).
- [3] S. M. Sze and K. K. Ng, “*Physics of Semiconductor Devices 3rd ed.*”, Wiley, Hoboken (2007).
- [4] T. Kimoto, Jpn. J. Appl. Phys. **54**, 040103 (2015).
- [5] A. R. Riben and D. L. Feucht, Solid-State Electron. **9**, 1055 (1966).
- [6] S. Kar, S. Ashok, and S. J. Fonash, J. Appl. Phys. **51**, 3417 (1980).
- [7] T. Nishimura, X. Luo, S. Matsumoto, T. Yajima, and A. Toriumi, AIP Advances **9**, 095013 (2019).
- [8] N. G. Einspruch, “*Metal–Semiconductor Contacts and Devices*”, *VLSI Electronics: Microstructure Science vol. 13* (Academic Press, 1986).
- [9] S. Tanuma, C. J. Powell, and D. R. Penn, Surf. Interface Anal. **21**, 165 (1994).
- [10] C. S. Fadley, R. J. Barid, W. Siekhaus, T. Novakov, and S. A. L. Bergstrom, J. Electron Spectrosc. Relat. Phenom. **4**, 93 (1974).

## 第3章 Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面における酸化副生成物形成の抑制が界面準位密度に与える影響

### 3.1 はじめに

4H-SiC MOSFET のオン状態における自由電子比率向上のためには、酸化膜/4H-SiC 界面の  $D_{it}$  低減が重要である。理論計算によれば、いくつかの酸化副生成物 (SiC<sub>x</sub>O<sub>y</sub> や C クラスタ等) が 4H-SiC のバンドギャップ中に欠陥準位を形成すると予測されている[1-5]。そこで、熱酸化 SiO<sub>2</sub>/4H-SiC 界面に比べて形成される酸化副生成物量が少ないと予測される、堆積 Al<sub>2</sub>O<sub>3</sub>/4H-SiC 構造に着目した。しかしながら、一般的な原子層堆積 (ALD) 法により形成した Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面においては、わずかな基板酸化が報告されており、界面準位の起源となっている可能性がある[6]。そこで本研究では、基板酸化を可能な限り抑制し、急峻な Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面を形成する手法を検討した。

図 3.1 に、Si, C, Al 酸化物の標準生成 Gibbs エネルギーの温度依存性を示す[7]。Al 酸化物の標準生成 Gibbs エネルギーは、Si や C に比べて負に大きいことから、Al-Si-C 系において Al が優先的に酸化されると予測される。したがって、Al 膜を 4H-SiC 基板上に堆積し酸化することで、急峻な Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面の形成が期待される。過去に、200 °C 程度での同様の手法の適用について報告されている[8]。しかしながら、これらの報告では 4H-SiC 基板上に厚さ数 nm の Al 層を蒸着した後、試料を真空チャンバーから取り出し大気中で 200 °C の熱酸化を行っている[8]。この方法では大気中での Al 層の自然酸化や Al の不十分な酸化が懸念される。一方で、Al 層を完全に酸化させるために Al の酸化温度を 500 °C にすると、基板の酸化が発生してしまう[9]。

この問題を解決するために、本研究では図 3.2 に示す金属薄膜酸化 (metal layer oxidation, MLO) 法を提案する。真空チャンバー中で厚さ 0.1-0.2 nm の極薄 Al 層を室温堆積し、続いて同チャンバー内に O<sub>2</sub> ガスを流入し、室温で Al 層を酸化した。本工程を繰り返すことで、Al<sub>2</sub>O<sub>3</sub> 膜を形成した。本手法により形成される Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面構造を明らかにするとともに、電気的特性に与える影響を評価した。また、意図的に酸化副生成物を形成する

実験を行い、界面に存在する酸化副生成物が  $D_{it}$  に与える影響の解明を試みた。

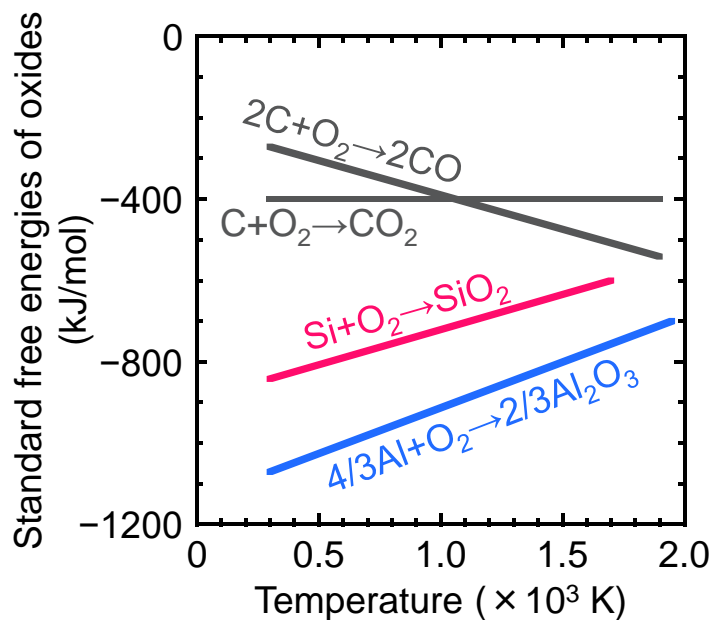


図 3.1 Si, C, Al 酸化物の標準生成 Gibbs 自由エネルギー.

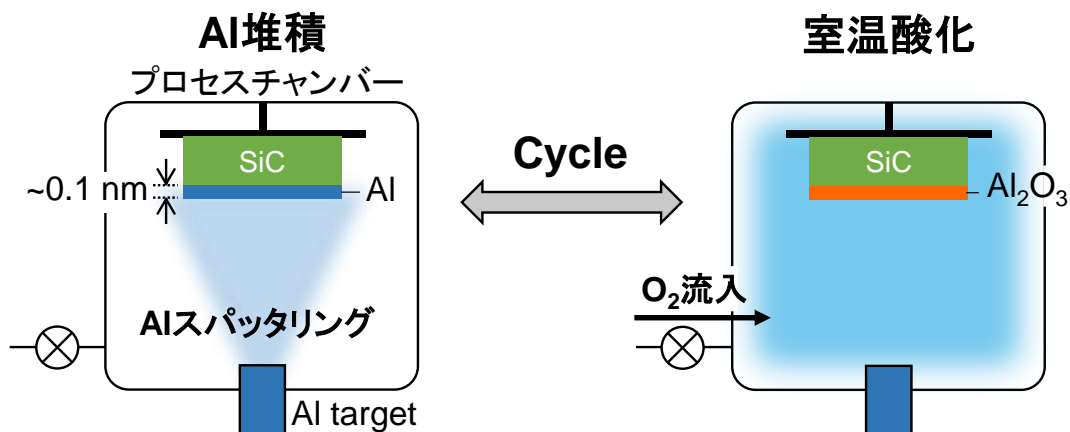


図 3.2 Metal layer oxidation (MLO)法の概要.

## 3.2 実験方法

ドナー濃度  $1 \times 10^{16} \text{ cm}^{-3}$  の窒素ドープ n 型 4° のオフ角を有する 4H-SiC(0001) エピタキシャル層付きウェハーを用いた。すべての試料作製前に、1% 希釈のフッ化水素酸に 1 min 浸漬、続く超純水中での 1 min のリンスにより基板洗浄を行った。N<sub>2</sub> ガスブローによる乾燥後、速やかに真空チャンバーへ導入し、MLO 法を用いて Al<sub>2</sub>O<sub>3</sub> 層を形成した。まず、真空チャンバー内で Ar イオンを用いた高周波スパッタリング法により厚さ 0.1~0.2 nm の極薄 Al 層を室温で成膜した。チャンバーの到達圧力は  $1 \times 10^{-5} \text{ Pa}$  以下、堆積時の圧力は  $1.2 \times 10^{-1} \text{ Pa}$  であった。続いて、同チャンバー内に O<sub>2</sub> ガスを室温で 2 min 流入し、Al 層を酸化した。このときの O<sub>2</sub> 分圧は  $1.2 \times 10^{-1} \text{ Pa}$  であった。これらの工程を繰り返すことで、約 0.3 nm/cycle の割合で Al<sub>2</sub>O<sub>3</sub> 層が形成される。最終的な Al<sub>2</sub>O<sub>3</sub> 層の厚さはサイクル数で制御し、界面構造評価用の試料では約 0.3 nm、電気的特性評価用の試料では約 6 nm とした。電気的特性評価用の試料は、ゲートリーク電流抑制のため膜厚約 13 nm の ALD-Al<sub>2</sub>O<sub>3</sub> を 250 °C で積層した。前駆体および酸化剤としてトリメチルアルミニウム (Al(CH<sub>3</sub>)<sub>3</sub>, TMA) と H<sub>2</sub>O を用い、それぞれの供給時間は 0.1 s および 1.0 s とした。また、界面特性の比較のため、ALD-Al<sub>2</sub>O<sub>3</sub> を 4H-SiC 基板上に直接堆積した試料も作製した。

界面に存在する酸化副生成物の量を意図的に変化させるため、熱酸化 SiO<sub>2</sub>/4H-SiC 構造も作製した。熱酸化 SiO<sub>2</sub>/4H-SiC 界面には、通常、SiO<sub>2</sub> の単分子層よりも厚い SiC<sub>x</sub>O<sub>y</sub> 層が構造転移層として形成される[10]。熱酸化は、大気圧下の O<sub>2</sub> 雰囲気中で、1100 °C で 2 時間行った。エリプソメトリーにより、SiO<sub>2</sub> 層の厚さは約 11 nm と見積もられた。SiO<sub>2</sub> 層をフッ化水素酸を用いた化学エッチングにより薄膜化し、界面の副生成物の量を Mg Kα ( $h\nu = 1253.6 \text{ eV}$ ) を X 線源とする X 線光電子分光法 (XPS, VG Systems ESCALAB250) を用いて調べた。

MOS キャパシタ構造作製のため、メタルマスクを用いた真空蒸着法により Al 上部電極を形成した。また、裏面オーミック電極の形成のため、ダイヤペンを用いて裏面全体に罫書きにより欠陥を導入し In-Ga ペーストを塗布した。

### 3.3 MLO-Al<sub>2</sub>O<sub>3</sub> の導入が界面構造および電気的特性に与える影響

まず、ALD および MLO 法により作製した Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面の副生成物の量を XPS 法により調べた。副生成物である SiC<sub>x</sub>O<sub>y</sub> や、Si-C 結合を含む C リッチな構造由来のピークは、C と O の電気陰性度が Si よりも大きいため、Si 2p スペクトルの SiC 基板のピークよりも高い結合エネルギー領域に現れる[11]。なお、XPS だけではこれらを区別できないため、以降では、SiC<sub>x</sub>O<sub>y</sub> や Si-C 結合を含む C リッチな構造をまとめて「酸化副生成物」と呼称する。まず、ALD 法および MLO 法で形成した Al<sub>2</sub>O<sub>3</sub>/4H-SiC 構造の界面における副生成物の量を XPS で確認した。微量な副生成物を検出するために、光電子の脱出角 ( $\theta_{\text{TOA}}$ ) を 20° に設定し、表面敏感な条件で行った。また、光電子の結合エネルギー 100 eV 付近に現れる Al 由来のサテライトピークの影響をできるだけ小さくするため、Al<sub>2</sub>O<sub>3</sub> 層厚さは十分薄い 0.3 nm とした。

図 3.3 は、厚さ ALD 法および MLO 法で形成した約 0.3 nm の Al<sub>2</sub>O<sub>3</sub>/4H-SiC 構造の Si 2p スペクトルである。また、参照試料として DHF で洗浄した直後の 4H-SiC 基板の Si 2p スペクトルも示した。結合エネルギーは SiC 基板のピーク位置で補正し[12]、4H-SiC 基板由来のピーク強度で規格化した。ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 試料では、基板由来のピークが高エネルギー

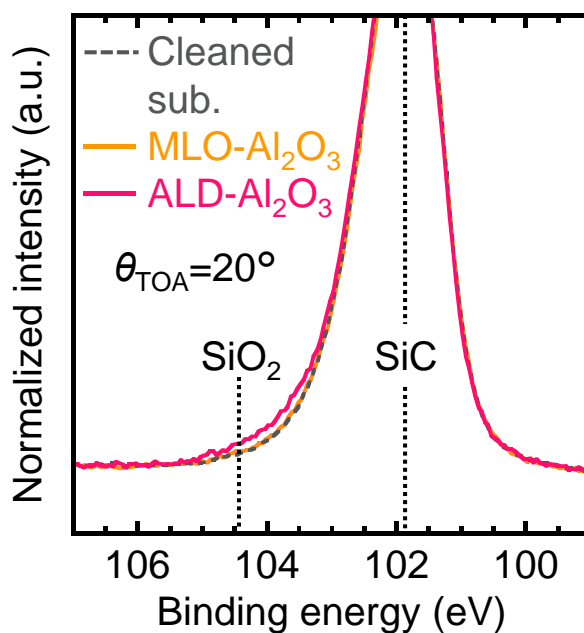


図 3.3 洗浄直後、MLO-Al<sub>2</sub>O<sub>3</sub> および ALD-Al<sub>2</sub>O<sub>3</sub> 形成後の 4H-SiC 基板の Si 2p 光電子スペクトル。脱出角は 20° とした。

ギ側面に広がりをもっていることが確認された。これは ALD プロセス中に基板が酸化され、副生成物が発生したためと考えられる。スペクトルのピーク分離を行い、副生成物の厚さが光電子の非弾性平均自由行程に比べて十分に薄い場合を仮定して、副生成物中の Si 原子の面密度 ( $\sigma_{\text{byproduct}}$ ) を算出した。その結果、 $\sigma_{\text{byproduct}}$  は  $1 \times 10^{14} \text{ cm}^{-2}$  と計算された。この値は 1 原子層の  $\alpha\text{-SiO}_2$  中の Si 原子の面密度 ( $4.8 \times 10^{14} \text{ cm}^{-2}$ ) よりも小さく [13,14]、酸化副生成物は基板表面を覆わない程度の量であると考えられる。一方で、MLO 法を用いて Al<sub>2</sub>O<sub>3</sub> 膜を形成した場合には、スペクトルは洗浄直後の基板と一致している。これより、MLO 法を適用することで酸化物の形成が XPS の検出限界以下にまで抑制されることが分かった。

次に、電気的特性を評価するため、MOS キャパシタを作製した。膜厚 6.4 nm の MLO 層を堆積したのちに、リーク電流抑制のため、約 13 nm の ALD-Al<sub>2</sub>O<sub>3</sub> を追加で堆積した。最後に Al 電極を真空蒸着して上部電極を形成した。図 3.4 は、室温および 50 K で測定した周波数 1 kHz から 1 MHz で測定した  $C-V$  特性の結果である。どちらの測定温度でも、MLO-Al<sub>2</sub>O<sub>3</sub> の試料では、ALD-Al<sub>2</sub>O<sub>3</sub> よりも周波数分散が抑制されている。これは、MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面の  $D_{\text{it}}$  が、ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面よりも低いことを示唆している。特に、50 K においても大きな分散が見られないのは、より伝導帯に近いエネルギー領域まで  $D_{\text{it}}$  が低いことを示している。

次に、コンダクタンス法による  $D_{\text{it}}$  評価のため  $G_p/\omega-f$  特性を測定した。なお、室温における測定では明確なコンダクタンスピークが観測できなかった。これは、交流電圧に対するスローステート等の応答が、界面準位の応答に重畳しているためと考えられる [15]。ピークの見られた 50 K の低温測定の結果から、 $D_{\text{it}}$  を定量的に評価した。図 3.5 に、コンダクタンスカーブの実験値と、表面ポテンシャル揺らぎを考慮した連続準位モデルによるフィッティングカーブを示す。求めた  $D_{\text{it}}$  のエネルギー分布を図 3.6 に示す。同一エネルギーにおいて、MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面の  $D_{\text{it}}$  は ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面に対して約 60% 程度低減している。MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面において  $E_c - E = 0.15 \text{ eV}$  において  $5.4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  が得られた。この値は、4H-SiC ゲートスタックで一般的に用いられている NO または N<sub>2</sub>O 雰



囲気熱処理を施した熱酸化 SiO<sub>2</sub>/4H-SiC 界面の  $D_{it}$  よりも約 1 桁低い値である[16].

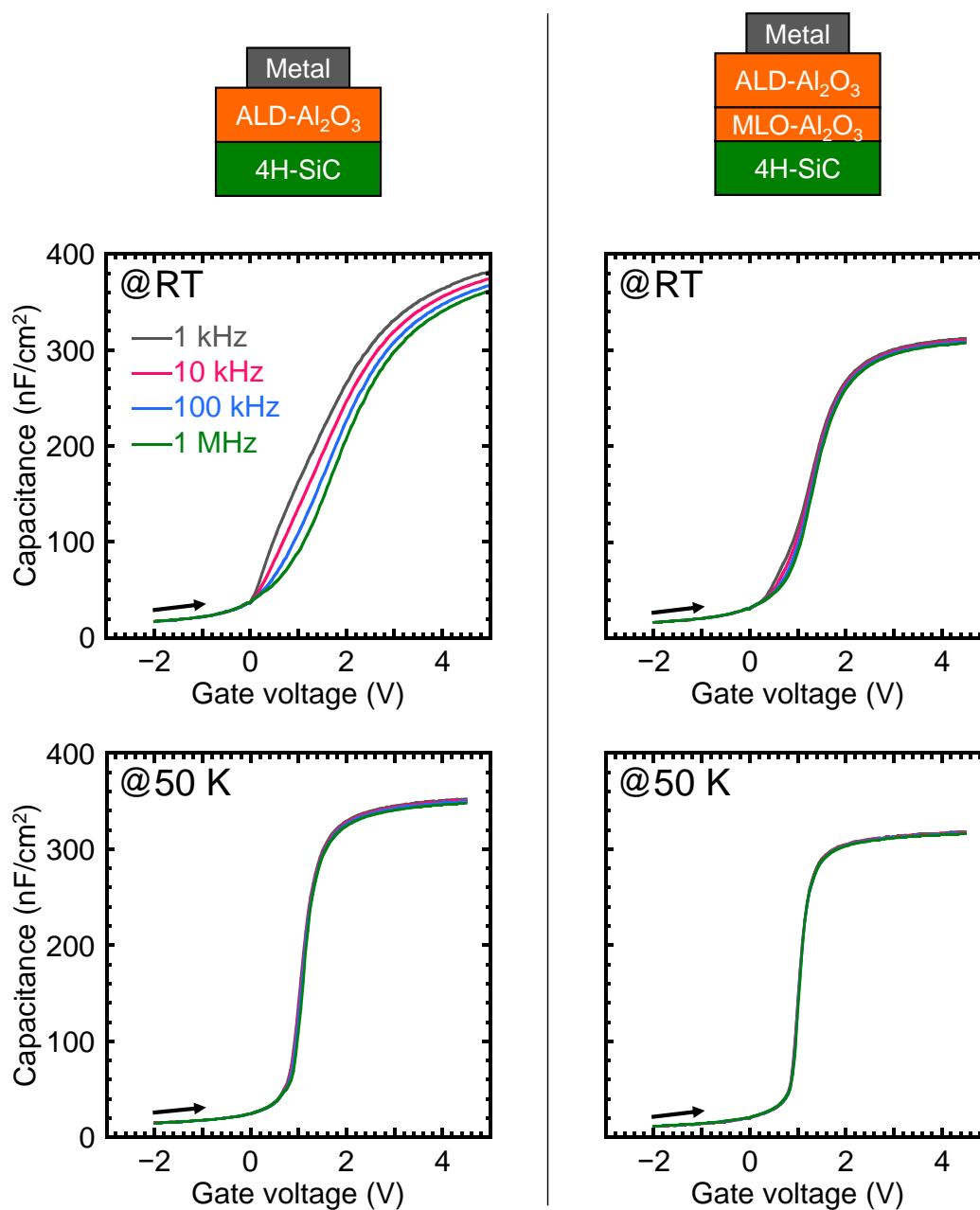


図 3.4 ALD-Al<sub>2</sub>O<sub>3</sub> および MLO-Al<sub>2</sub>O<sub>3</sub> 界面をゲート酸化膜に用いた MOS キャパシタの, 室温および 50 K で測定した C-V 特性.

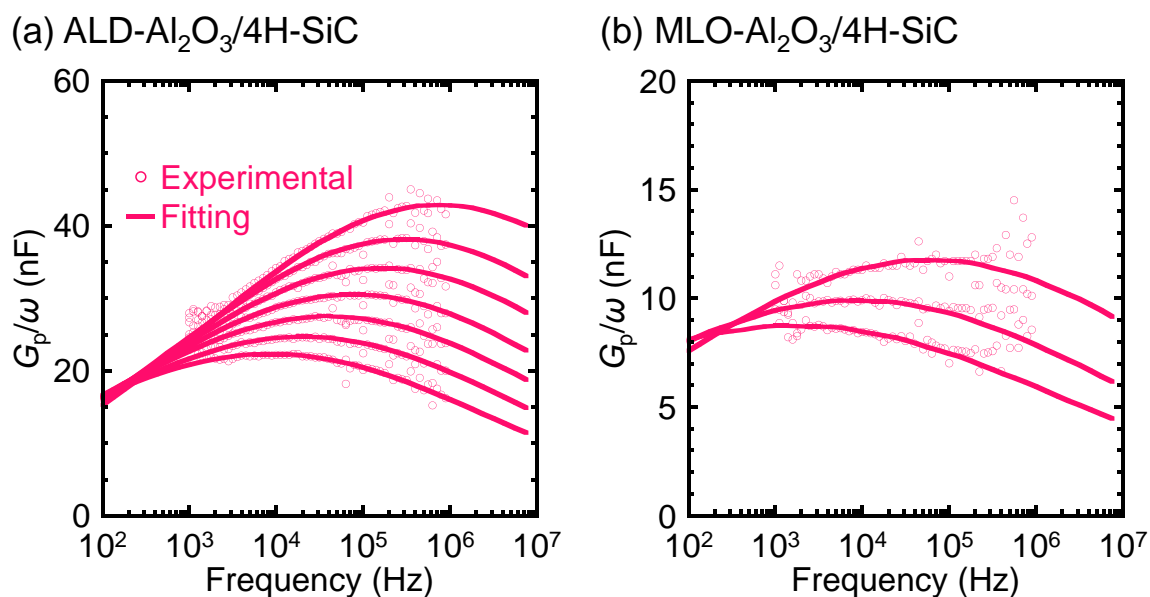


図 3.5 ALD-Al<sub>2</sub>O<sub>3</sub> および MLO-Al<sub>2</sub>O<sub>3</sub> 界面をゲート酸化膜に用いた MOS キャパシタの、50 K で測定した  $G_p/\omega$ - $f$  特性.

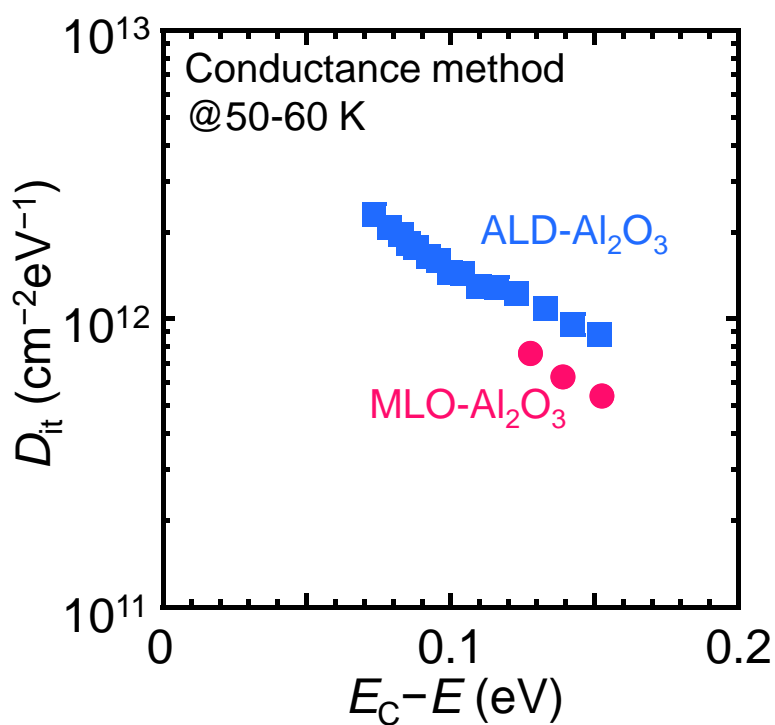


図 3.6 50–60 K におけるコンダクタンス法により見積もった  $D_{it}$  のエネルギー分布.

### 3.4 Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面における酸化副生成物の存在が $D_{it}$ に与える影響

ここまでの議論から、MLO 法の使用により酸化副生成物形成を抑制できること、また低  $D_{it}$  界面を実現できることが明らかになった。しかしながら、絶縁膜の形成手法が異なるため、Al<sub>2</sub>O<sub>3</sub> の品質の違いが  $D_{it}$  に現れている可能性もあり、酸化副生成物の有無が  $D_{it}$  に与える影響は不明確である。そこで、Al<sub>2</sub>O<sub>3</sub> の形成法を MLO に絞り、MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面に意図的に酸化副生成物を導入することで、酸化副生成物が  $D_{it}$  に与える影響を調査する実験を行った。実験の概要を示す模式図を図 3.7 に示す。まず、ドライ熱酸化により SiO<sub>2</sub>/4H-SiC 構造を作製した。SiO<sub>2</sub>/4H-SiC 界面には酸化副生成物の形成が期待される。酸化副生成物は化学耐性が高いため[17]、界面付近に存在する酸化副生成物を残して SiO<sub>2</sub> 層を化学エッチングできると考えられる。表面に酸化副生成物を形成した基板の上に、MLO-Al<sub>2</sub>O<sub>3</sub> 層を形成し MOS キャパシタを作製した。

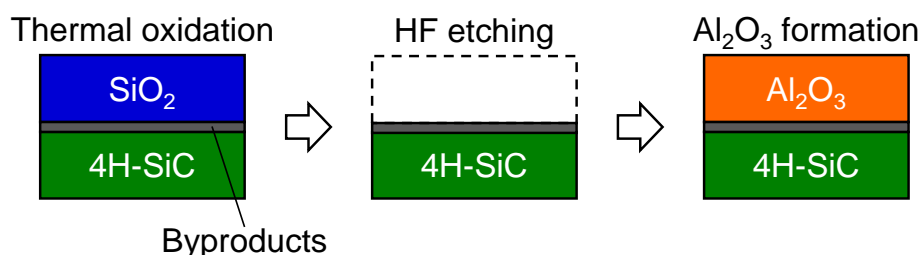


図 3.7 実験の概要.

実験を行うにあたり、まずは熱酸化 SiO<sub>2</sub>/4H-SiC 界面に形成される酸化副生成物の定量評価を行った。大気圧下、酸素雰囲気中、1100 °C で 2 時間の熱酸化を行い、膜厚約 11 nm の SiO<sub>2</sub> を形成した。0.1% のフッ化水素酸によるエッチングで、5.0 min または 6.5 min かけて SiO<sub>2</sub> 層を 2.2 nm または 0.8 nm にまで薄膜化した。図 3.8 は、これらの試料について  $\theta_{TOA} = 90^\circ$  での XPS により測定した Si 2p スペクトルである。得られたスペクトルを SiC 基板由来、SiO<sub>2</sub> 由来、酸化副生成物由来、の 3 つのピークに分離した。また、基板由来のピーク位置で結合エネルギーを補正し、基板由来のピーク強度で規格化した。エッチング時間 5.0 min と 6.5 min のスペクトルを比較すると、SiO<sub>2</sub> 由来のピークの SiC 基板由来ピークに対する強度比のみが減少しており、酸化副生成物由来のピーク強度比は変化していない。この結果は、酸化副生成物が SiO<sub>2</sub>/4H-SiC の界面に存在していることを意味している。酸化

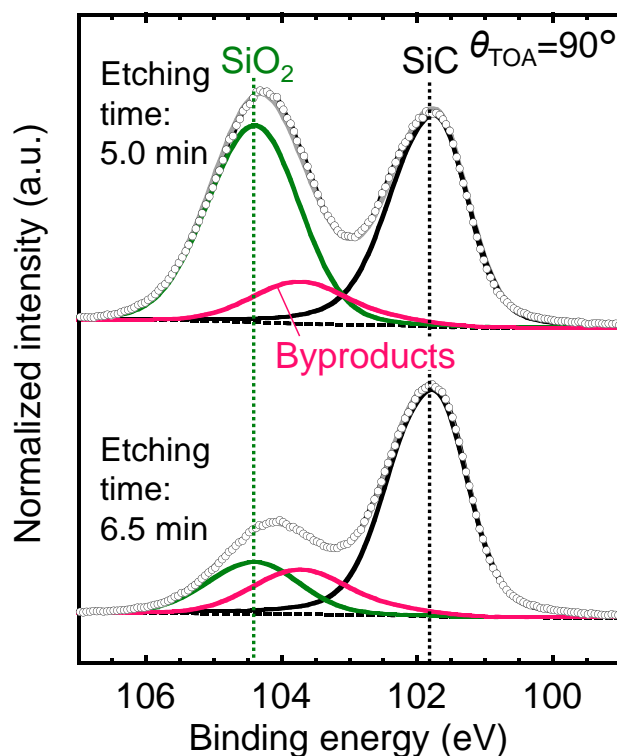


図 3.8 熱酸化により形成した SiO<sub>2</sub>/4H-SiC 構造の SiO<sub>2</sub> 層を 0.1%HF によるエッチングで薄膜化し測定した Si 2p 光電子スペクトル。

副生成物および SiC 基板由来のピーク強度比から、酸化副生成物中の Si 原子面密度  $\sigma_{\text{byproduct}}$  =  $1.0 \times 10^{15} \text{ cm}^{-2}$  と計算された。この値は ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC の界面における  $\sigma_{\text{byproduct}}$  に比べて大きい。

続いて、異なる  $\sigma_{\text{byproduct}}$  を表面に有する基板を作製するため、厚さ約 11 nm の熱酸化 SiO<sub>2</sub> を形成した 4H-SiC 基板を 1%フッ化水素酸に 3, 5, および 60 min 浸漬した。以後、これらの基板をそれぞれ OX3, OX5, および OX60 と表記する。SiO<sub>2</sub> 層のエッチング速度は約 3.5 nm/min であるので、これらの試料では SiO<sub>2</sub> 層がほぼ完全にエッチングされ、エッチング耐性の高い酸化副生成物[17]のみが 4H-SiC 表面に残ると考えられる。各基板表面の  $\sigma_{\text{byproduct}}$  は、XPS により見積もった。Si 2p スペクトルを図 3.9(a)に示す。エッチング時間の増大と共に、酸化副生成物由来のピーク強度が低減することが分かる。これらのスペクトルをピーク分離し見積もった  $\sigma_{\text{byproduct}}$  のエッチング時間依存性を図 3.9(b)に示す。図中の破線は、1 原子層の  $\alpha$ -クオーツで報告されている  $\sigma_{\text{byproduct}}$ 、および ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面において形成が確認された  $\sigma_{\text{byproduct}}$  を示している。

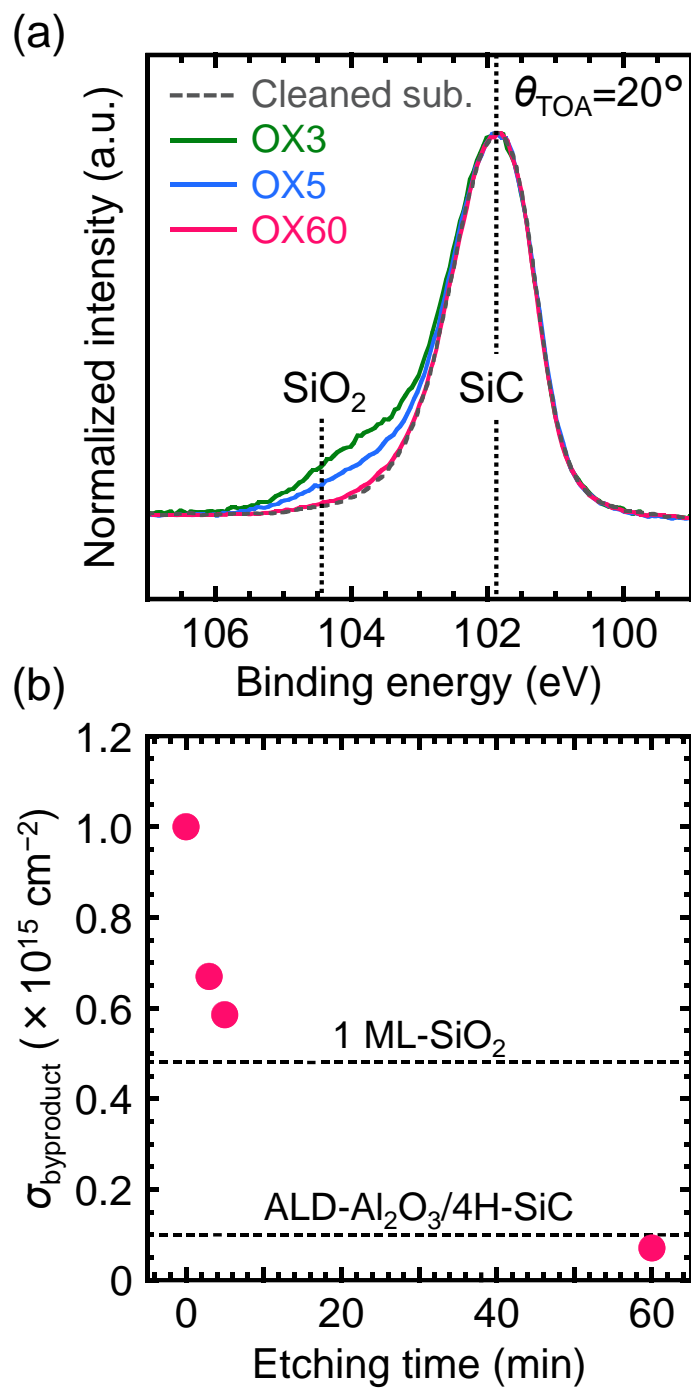


図 3.9 (a)1%フッ化水素酸によりエッチングした SiO<sub>2</sub>/4H-SiC 構造の Si 2p スペクトル.(b) $\sigma_{\text{byproduct}}$  のエッチング時間依存性.

MOS キャパシタを形成するために、厚さ約 6 nm の MLO-Al<sub>2</sub>O<sub>3</sub> 層を OX3, OX5, および OX60 上に形成した。その後、リーク電流を抑制するために、250 °C で厚さ約 13 nm の ALD-Al<sub>2</sub>O<sub>3</sub> を積層した。これらの MOS キャパシタおよび SiO<sub>2</sub>/4H-SiC, MLO/Al<sub>2</sub>O<sub>3</sub>/4H-SiC キャパシタの  $C-V$  および  $G_p/\omega-f$  特性を図 3.10 および図 3.11 に示す。SiO<sub>2</sub>/4H-SiC 界面では大きな周波数分散が見られる。OX60 上では、OX3 および OX5 に比べて周波数分散が低減していることが分かる。

$G_p/\omega-f$  特性から見積もった  $D_{it}$  分布を、図 3.12 に示す。比較のため、熱酸化した SiO<sub>2</sub>/4H-SiC 界面の  $D_{it}$  も示している。 $E_c-0.06$  eV 付近では、OX3 および OX5 を用いて作製した MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC MOS キャパシタは、SiO<sub>2</sub>/4H-SiC 界面とほぼ同程度の  $D_{it}$  を示している。4H-SiC 表面に存在する  $\sigma_{byproduct}$  が 1 ML の SiO<sub>2</sub> よりも大きい場合、4H-SiC の伝導帯端付近の  $D_{it}$  は急激に変化しないことがわかった。次に、 $E_c-0.11$  eV において、OX60 試料の  $D_{it}$  は、OX5 試料の約 60% である。また、ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 試料の  $D_{it}$  は OX5 試料と OX60 試料の中間に位置している。これらの試料では、酸化副生成物は 4H-SiC 基板表面を完全に覆っておらず、 $D_{it}$  の順番は ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC の結果も含めて、4H-SiC 表面の酸化副生成物の量の順番と一致している。酸化副生成物の化学エッチングのみで  $D_{it}$  が減少したことは、 $D_{it}$  の起源となる構造がエッチングにより除去されたことを示しており、酸化副生成物が  $D_{it}$  の主要な起源のひとつであることを示唆している。これらの結果は、高品質な 4H-SiC ゲートスタックを実現するためには、ゲート酸化物を形成する段階で酸化副生成物の生成を抑制することが良い指針になることを示唆している。

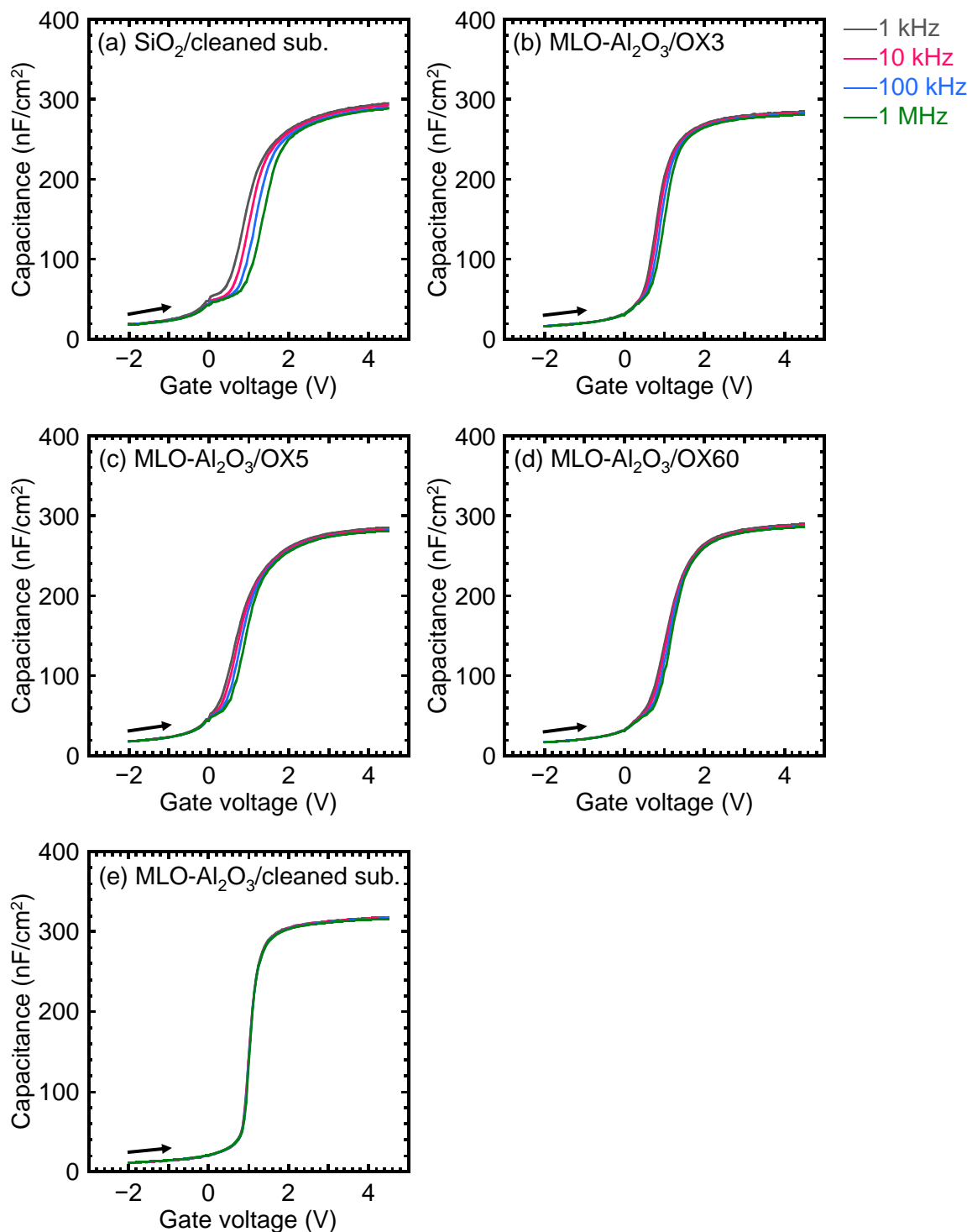


図 3.10 SiO<sub>2</sub>/4H-SiC および ALD-Al<sub>2</sub>O<sub>3</sub>/MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC MOS キャパシタの C-V 特性.

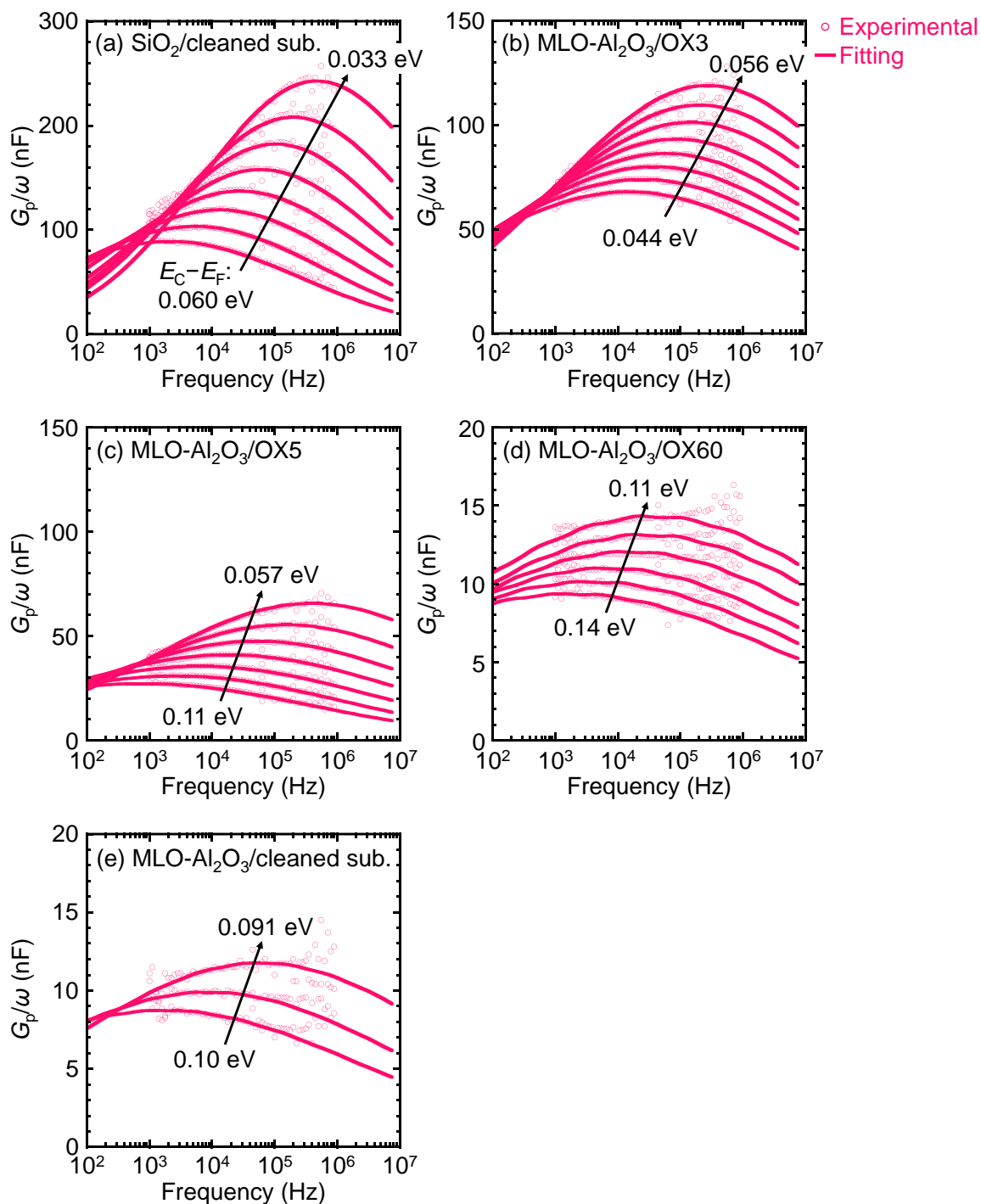


図 3.11 SiO<sub>2</sub>/4H-SiC および ALD-Al<sub>2</sub>O<sub>3</sub>/MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC MOS キャパシタのコンダクタンスカーブ.



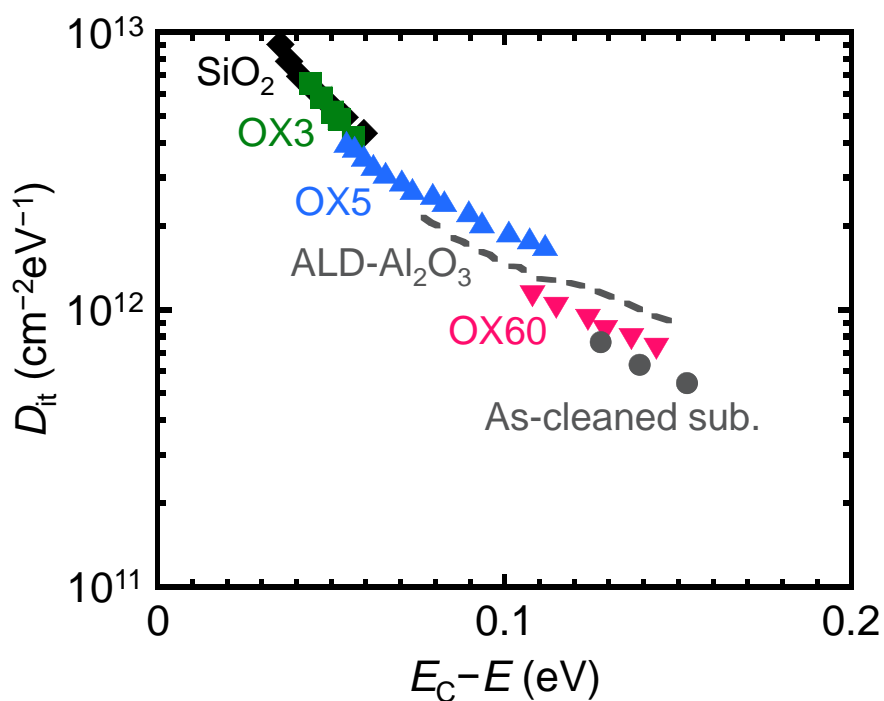


図 3.12 SiO<sub>2</sub>/4H-SiC 界面, ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面, および清浄化基板, OX3, OX5, OX60 上に形成された MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面の  $D_{it}$  分布.

### 3.5 結論

本研究では、基板酸化を可能な限り抑制した Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面形成手法である MLO 法を提案し、また基板酸化により形成される酸化副生成物が  $D_{it}$  に与える影響を調べた。その結果、MLO 法を用いることで、基板酸化が XPS の検出限界以下に抑えられ、同時に ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面よりも  $D_{it}$  を低減できることが明らかになった。MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面において、4H-SiC の  $E_C-0.15$  eV 付近で  $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  の  $D_{it}$  を達成した。これは ALD-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面における  $D_{it}$  の約 60% であり、典型的な窒化処理を施した熱酸化 SiO<sub>2</sub>/4H-SiC 界面の報告値よりも 1 桁以上低い。

さらに、Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面の酸化副生成物量を意図的に制御する実験においては、1 原子層以下の酸化副生成物が伝導帯付近の  $D_{it}$  増加に寄与することが分かった。熱酸化 SiO<sub>2</sub>/4H-SiC 構造をフッ化水素酸で 60 分間エッチングした基板上に形成した MLO-Al<sub>2</sub>O<sub>3</sub>/4H-SiC 界面においては、清浄化基板に近い低  $D_{it}$  が得られた。このことから、酸化副生成物を除去しさえすれば、 $D_{it}$  を低減できることが分かった。これは、ゲートスタック形成前の犠牲酸化等による表面処理という観点から、重要な知見であると考えられる。

これらの結果から、高品質な 4H-SiC ゲートスタックを実現するためには、ゲート酸化膜形成段階での副生成物の生成を抑制することが重要であり、この要求を満たす解の一つが、低温プロセスによるゲート絶縁膜形成であると考えられる。

## 参考文献

- [1] F. Devynck, A. Alkauskas, P. Broqvist, and A. Pasquarello, *Phys. Rev. B* **84**, 235320 (2011).
- [2] K. Chokawa, S. Kato, K. Kamiya, and K. Shiraishi, *Mater. Sci. Forum* **740–742**, 469 (2013).
- [3] T. Kaneko, N. Tajima, T. Yamasaki, J. Nara, T. Scimizu, K. Kato, and T. Ohno, *Appl. Phys. Express* **11**, 011302 (2018).
- [4] Y. Matsushita and A. Oshiyama, *Jpn. J. Appl. Phys.* **57**, 125701 (2018).
- [5] T. Kobayashi and Y. Matsushita, *J. Appl. Phys.* **126**, 145302 (2019).
- [6] T. Doi, W. Takeuchi, S. Shibayama, M. Sakashita, N. Taoka, O. Nakatsuka, and S. Zaima, *Jpn. J. Appl. Phys.* **58**, SBBD05 (2019).
- [7] O. Kubaschewski, C. B. Alcock, and P. J. Spencer, “*Materials Thermochemistry*” 6th ed., Pergamon, Oxford, U.K. (1993).
- [8] R. Y. Khosa, E. B. Thorsteinsson, M. Winters, N. Rorsman, R. Karhu, J. Hassan, and E. Ö. Sveinbjörnsson, *AIP Advances* **8**, 025304 (2018).
- [9] T. Doi, S. Shibayama, W. Takeuchi, M. Sakashita, N. Taoka, M. Shimizu, and O. Nakatsuka, *Ext. Abstr. Int. Conf. Solid State Device and Materials*, 2019, p. 481.
- [10] H. Okada, A. Komatsu, M. Watanabe, Y. Izumi, T. Muro, and H. Nohira, *ECS trans.* **50(3)**, 243 (2013).
- [11] L. Pauling, “*The Nature of the Chemical Bond*”, 3rd ed. Cornell University Press, New York (1960).
- [12] H. Watanabe, T. Kirino, Y. Kagei, J. Harries, A. Yoshigoe, Y. Teraoka, S. Mitani, Y. Nakano, *Mater. Sci. Forum* **679–680**, 386 (2011).
- [13] G. S. Smith and L. E. Alexander, *Acta. Cryst.* **16**, 462 (1963).
- [14] P. Heyliger, H. Ledbetter, and S. Kim, *J. Acous. Soc. Am.* **114**, 644 (2003).
- [15] N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, T. Hoshii, R. Iida, S. Lee, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, *Microelectron. Eng.* **88**, 1087 (2011).

[16] T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, D. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura, *Appl. Phys. Express* **10**, 046601 (2017).

[17] S. A. Correa, C. Radtke, G. V. Soares, I. J. R. Baumvol, C. Krug, and F. C. Stedile, *Electrochem. Solid-State Lett.* **11**, H258 (2008).

## 第4章 酸化膜/4H-SiC 界面特性がカウンタードープ MOSFET の電界効果移動度に与える影響

### 4.1 はじめに

第3章において、 $\text{Al}_2\text{O}_3$ /4H-SiC 界面に存在する酸化副生成物が  $D_{it}$  に与える影響を議論し、MLO 法の利用により  $D_{it}$  低減を達成した。 $D_{it}$  低減により、キャリアトラップ効果抑制による可動電子比率増大、およびクーロン散乱抑制による自由電子移動度の増大が期待される。本章では、実際に MOSFET を作製し、移動度評価を行った結果について述べる。

本研究では、著しい電界効果移動度向上が見込まれるカウンタードープ MOSFET に着目した[1-4]。チャネルを酸化膜/4H-SiC 界面から離れた位置に形成できるため、クーロン散乱抑制効果が予測されているものの[5]、詳細な伝導機構に関する議論は少ない。反転型 MOSFET においては  $D_{it}$  によるキャリアトラップ効果が自由電子比率や自由電子移動度に与える影響について多く議論されている一方で、カウンタードープ MOSFET ではそのような議論はほとんどない。加えて、FET 動作時の表面フェルミレベルが反転型とカウンタードープ MOSFET とで異なることから、界面準位による影響は異なると予測される。そこで、界面準位密度がカウンタードープ MOSFET の  $\mu_{FE}$  に及ぼす影響を調べることを目的とした。第3章において、熱酸化  $\text{SiO}_2$ 、ALD- $\text{Al}_2\text{O}_3$ 、MLO- $\text{Al}_2\text{O}_3$  と 4H-SiC との界面がこの順に高い  $D_{it}$  を有していることが明らかになった。これらを使用してカウンタードープ MOSFET を作製し、 $\mu_{FE}$  に与える影響を詳細に議論する。

## 4.2 試料作製

図 4.1 および 4.2 に、作製した MOSFET およびゲートスタックの断面模式図を示す。厚さ  $5\ \mu\text{m}$  の p 型エピタキシャル層付き n 型 4H-SiC(0001)基板 (オフ角:  $4^\circ$ ) を用いた。このような基板を用いたのは、p 型の 4H-SiC 基板の入手が困難なためである。今回作製した MOSFET はプレーナ型であり、また p 型エピタキシャル層は十分に厚いため、デバイス動作に対する p 型エピタキシャル層/n 型基板の接合界面の影響はない。試料作製手順およびその模式図を、図 4.3 に示す。ダイサーにより基板をカッティングした後、金属による汚染を取り除くため、王水、硫酸、塩酸、希フッ酸による化学洗浄を施した。その後、マスクアライメントマークを反応性イオンエッチング (RIE) により形成した。イオン注入のためのハードマスクとして  $\text{SiO}_2$  膜を室温でのスパッタリング法により堆積した。ソース/ドレイン領域の  $\text{SiO}_2$  膜厚は約  $50\ \text{nm}$ 、それ以外の領域は約  $500\ \text{nm}$  とした。P<sup>+</sup>イオンを、120, 70, 40 keV における多段注入で、ドーズ量はそれぞれ  $7.0 \times 10^{14}$ ,  $4.0 \times 10^{14}$ ,  $3.0 \times 10^{14}\ \text{cm}^{-2}$  とし、 $500\ ^\circ\text{C}$  において注入した。ハードマスク除去後、厚さ約  $70\ \text{nm}$  のカーボンキャップ層を CVD により形成し、Ar 雰囲気にて  $1650\ ^\circ\text{C}$ 、10 min の活性化熱処理を施した。その後、カーボンキャップ層は  $800\ ^\circ\text{C}$ 、5 min の熱酸化により除去した。S/D 領域およびチャネル領域の P 濃度分布を SIMS により測定した (図 4.4)。S/D 領域には、表面から  $100\ \text{nm}$  程度の深さまで、 $10^{20}\ \text{cm}^{-3}$  程度の P が注入されている。チャネル領域には、傾斜した P 濃度分布が形成されている。基板の表面約  $5\ \text{nm}$  は、後の工程において  $\text{SiO}_2$  として消費されるため、ゲート形成時の酸化膜/4H-SiC 界面における P 濃度は約  $6 \times 10^{18}\ \text{cm}^{-3}$  となる。

続いて、3 種類の異なるゲート酸化膜を形成した。Al<sub>2</sub>O<sub>3</sub> ゲート FET については、酸素雰囲気中にて  $1100\ ^\circ\text{C}$  で 2 h の犠牲酸化を施し、形成された  $\text{SiO}_2$  層は 1% の希フッ酸に 1 h 浸漬し除去した。素子分離のため、FET 以外の領域を反応性イオンエッチング (RIE) により  $130\ \text{nm}$  程度エッチングし、メサ構造を形成した。ゲート絶縁膜として、ALD-Al<sub>2</sub>O<sub>3</sub> 単層膜または ALD-Al<sub>2</sub>O<sub>3</sub>/MLO-Al<sub>2</sub>O<sub>3</sub> 積層膜を堆積した。Al<sub>2</sub>O<sub>3</sub> 堆積手法の詳細は、第 3 章で用いたものと同じである。SiO<sub>2</sub> ゲート FET については、カーボンキャップ除去後にメサ構造を形成し、 $1100\ ^\circ\text{C}$  における 2 h の熱酸化にて  $\text{SiO}_2$  を形成した。フォトリソグラフィ法で

ネガレジストをパターニングし、真空蒸着法で Al を約 300 nm 堆積し、リフトオフ法によりゲート電極を形成した。最後に、ソース/ドレイン電極のコンタクトホール形成のため、ネガレジストをパターニングし、1%希フッ酸でソース/ドレイン上の絶縁膜をエッチングした。続けて真空蒸着法で Al を約 300 nm 堆積し、リフトオフ法によりソース/ドレイン電極を形成した。

後の解析に使用するため、ゲート酸化膜の酸化膜容量 ( $C_{ox}$ ) を測定した。Al<sub>2</sub>O<sub>3</sub> については、FET 作製時に同時に形成した Si 上での MOS キャパシタから見積もった。SiO<sub>2</sub> については、FET のゲートとソース/ドレイン間の 1 kHz における容量測定から見積もった。 $C_{ox}$  および、SiO<sub>2</sub> の比誘電率を 3.9 として算出した酸化膜換算膜厚を、表 4.1 に示す。

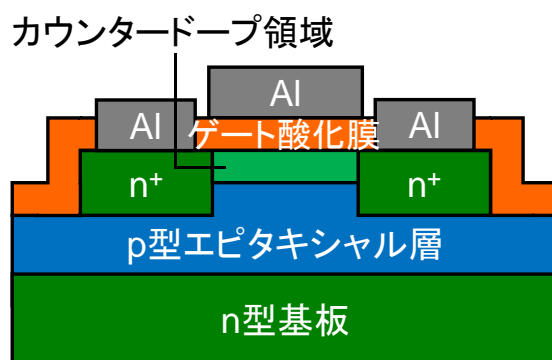


図 4.1 カウンタードープ MOSFET の断面模式図.

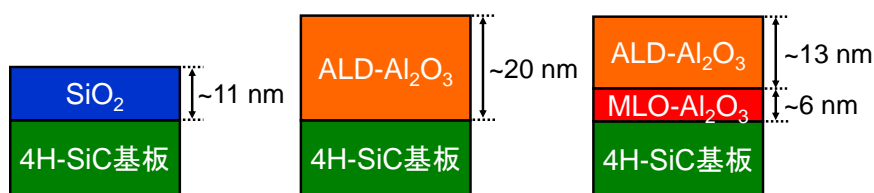


図 4.2 本研究で用いた 3 種類のゲート絶縁膜の断面模式図.

表 4.1 本研究で用いた 3 種類のゲート絶縁膜の酸化膜容量と等価 SiO<sub>2</sub> 膜厚.

Gate oxide	$C_{ox}$ (nF/cm <sup>2</sup> )	EOT (nm)
SiO <sub>2</sub>	326	10.6
ALD-Al <sub>2</sub> O <sub>3</sub>	274	12.6
MLO-Al <sub>2</sub> O <sub>3</sub>	293	11.8

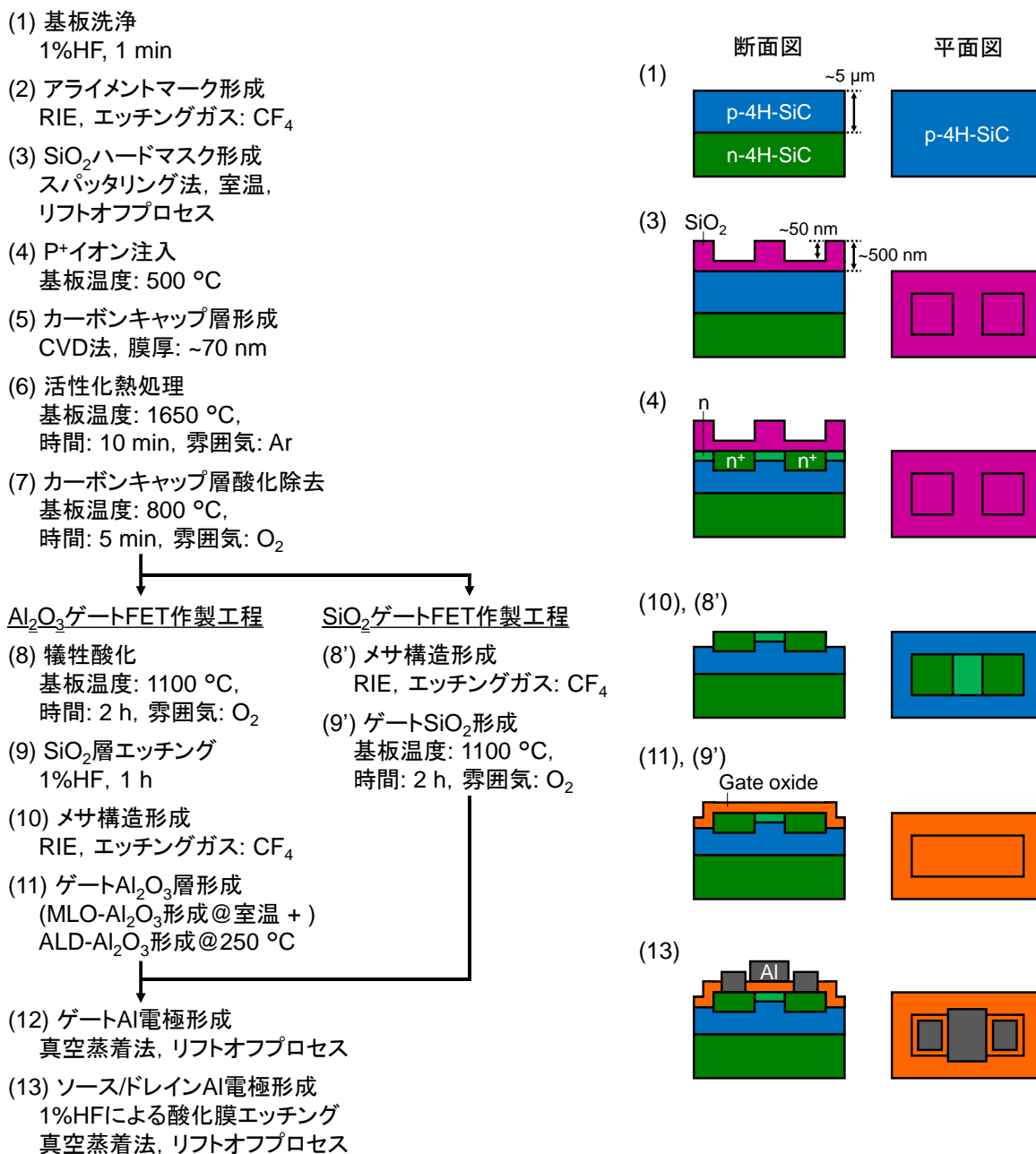


図 4.3 カウンタードープ MOSFET 作製工程.



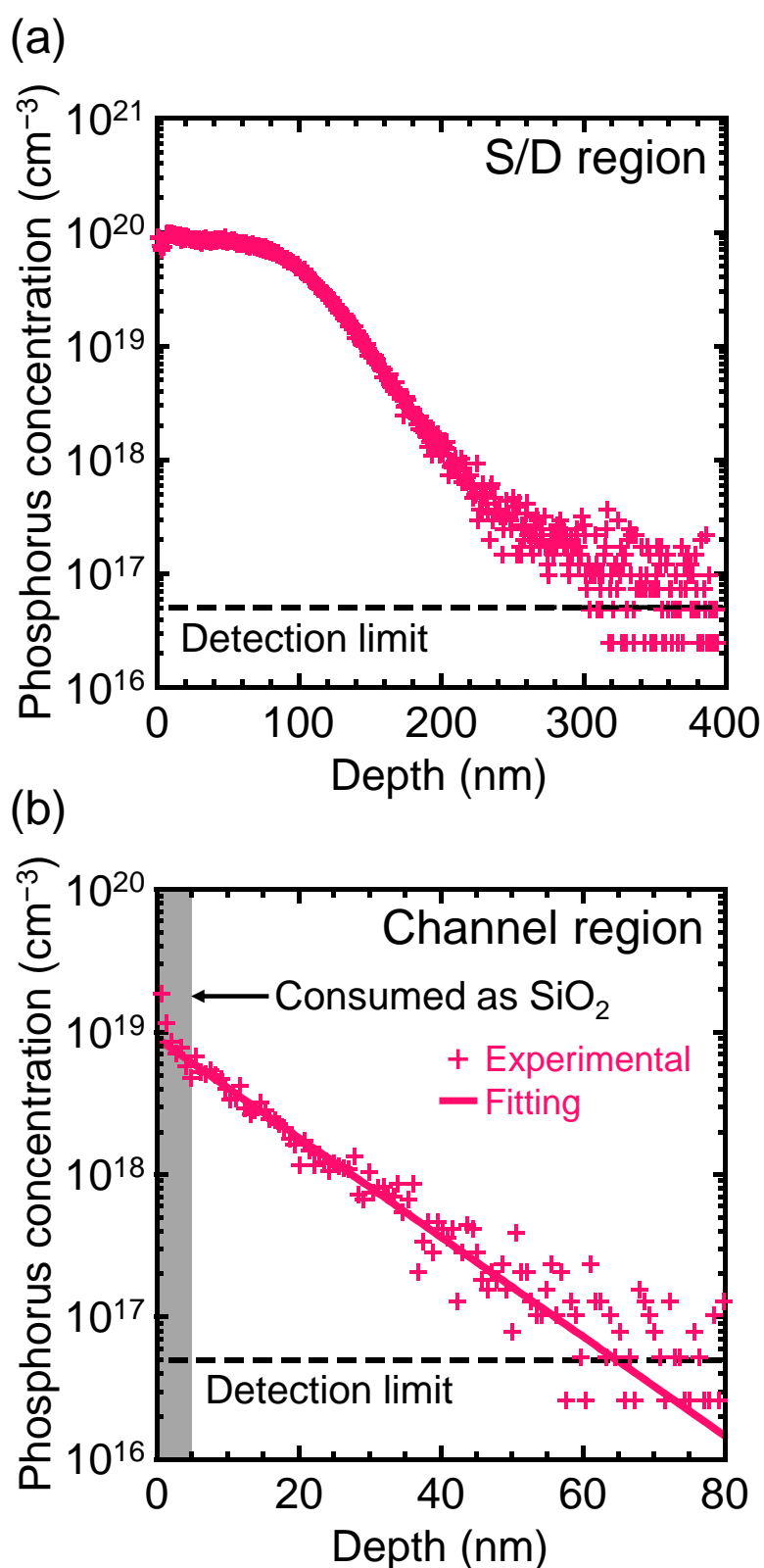


図 4.4 SIMS により測定した, (a)S/D 領域および(b)チャネル領域の P 濃度分布.

### 4.3 MOSFET の動作シミュレーション

実験結果の説明に先立ち、今回作製した MOSFET の予測される動作モードについて予め明らかにしておく。今回作製した素子では、チャネル部分に P イオンを注入したことにより、基板表面付近で p-n 接合が形成され、接合界面から伸びる空乏層が生じていると考えられる。まずは、平衡状態におけるバンド構造を明らかにする。SIMS の結果をフィッティングして求めた n 型ドーパント分布を用いて、完全空乏近似により 1 次元のポアソン方程式を解いて得られた深さ方向のバンド構造を図 4.5 に示す。表面から約 35 nm の領域は空乏しておらず、n 型伝導を示すことが予測される。すなわち、MOSFET 作製時には、固定電荷等による閾値電圧シフトがない限りノーマリーオンモードにて動作することが予測される。

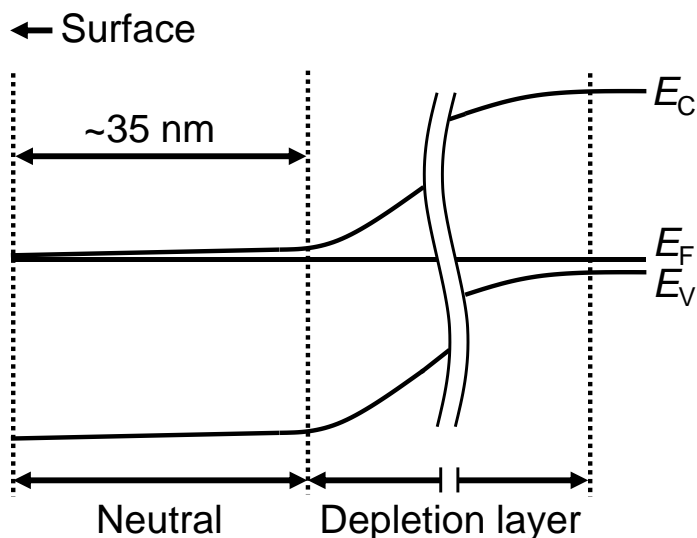


図 4.5 不純物濃度分布から予測される、チャネル領域の深さ方向のエネルギーバンド図.

次に、FET にゲート電圧を印加した際の電子分布を、デバイスシミュレータを用いて計算した。計算に用いた構造を図 4.6 に示す。p 型不純物濃度は一様に  $1 \times 10^{16} \text{ cm}^{-3}$  とし、チャネル部分には SIMS により得られた深さ方向に分布する n 型不純物分布を与えた。不純物の深さ方向分布は図 4.7 に示す通りである。また、ソース/ドレイン領域の n 型ドーパ濃度は  $1 \times 10^{20} \text{ cm}^{-3}$  とした。ソース/ドレイン電圧を 0 V とした状態でゲートに電圧を印加し

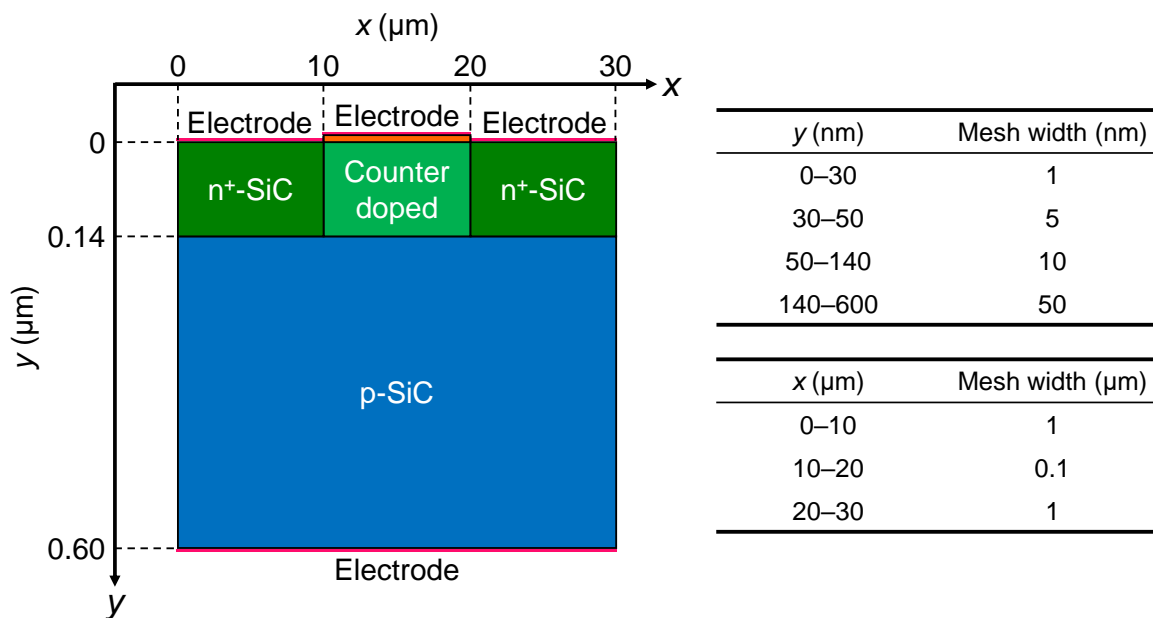


図 4.6 シミュレーションに用いた構造.

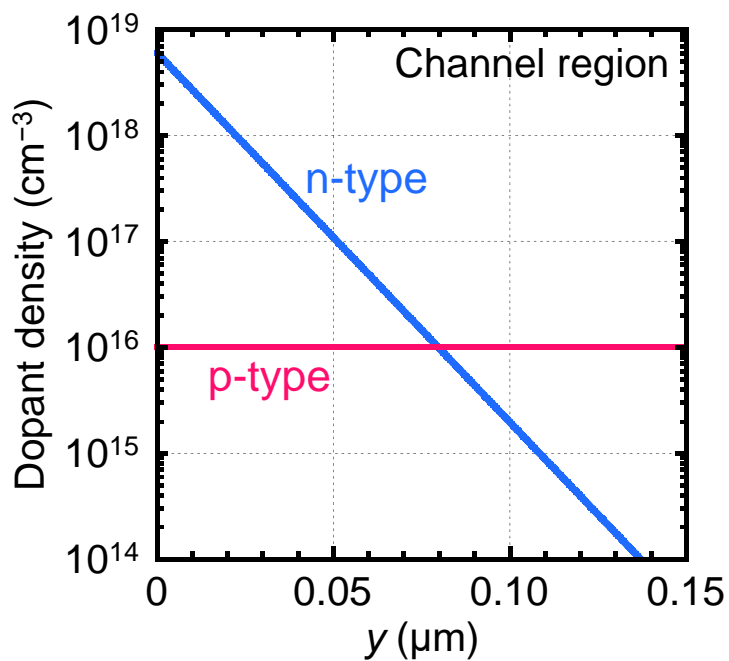


図 4.7 シミュレーションに用いたチャネル領域の不純物分布.

た場合を想定し、チャンネル領域の電子密度の深さ方向分布を調べた。結果を、n 型不純物濃度分布と共に図 4.8(a)に示す。n 型不純物濃度に比べて電子密度が低い領域は、空乏領域である。酸化膜/4H-SiC 界面から約 30 nm よりも深い領域は、ゲート電圧に依らず常に空乏していることが分かる。これは、n 型カウンタードープ領域と p 型エピタキシャル層の間に形成された p-n 接合界面から伸びる空乏層である。一方で、酸化膜/4H-SiC 界面に近い空乏領域の幅は、ゲート電圧により変調されていることが分かる。 $V_G = -4\text{ V}$  では、酸化膜/4H-SiC 界面から伸びる空乏層と p-n 接合界面から伸びる空乏層が接続しており、全体的に電子密度が低い。このとき、FET はオフ状態であり、チャンネル部分の断面模式図を図 4.8(b)に示す。ゲート電圧を増加させると、酸化膜/4H-SiC 界面から伸びる空乏層が短くなり、埋め込みチャンネルが形成される (図 4.8(c))。埋め込みチャンネル内では電子密度は P 密度と一致しており、中性である。更に電圧を増大させると、 $V_G = 2\text{ V}$  において酸化膜/4H-SiC 界面で電子密度がドーパント濃度を上回っており、蓄積層が形成されていることが分かる (図 4.8(d))。これらを前提として実際のデバイスの測定を行い、特性解析を行った。

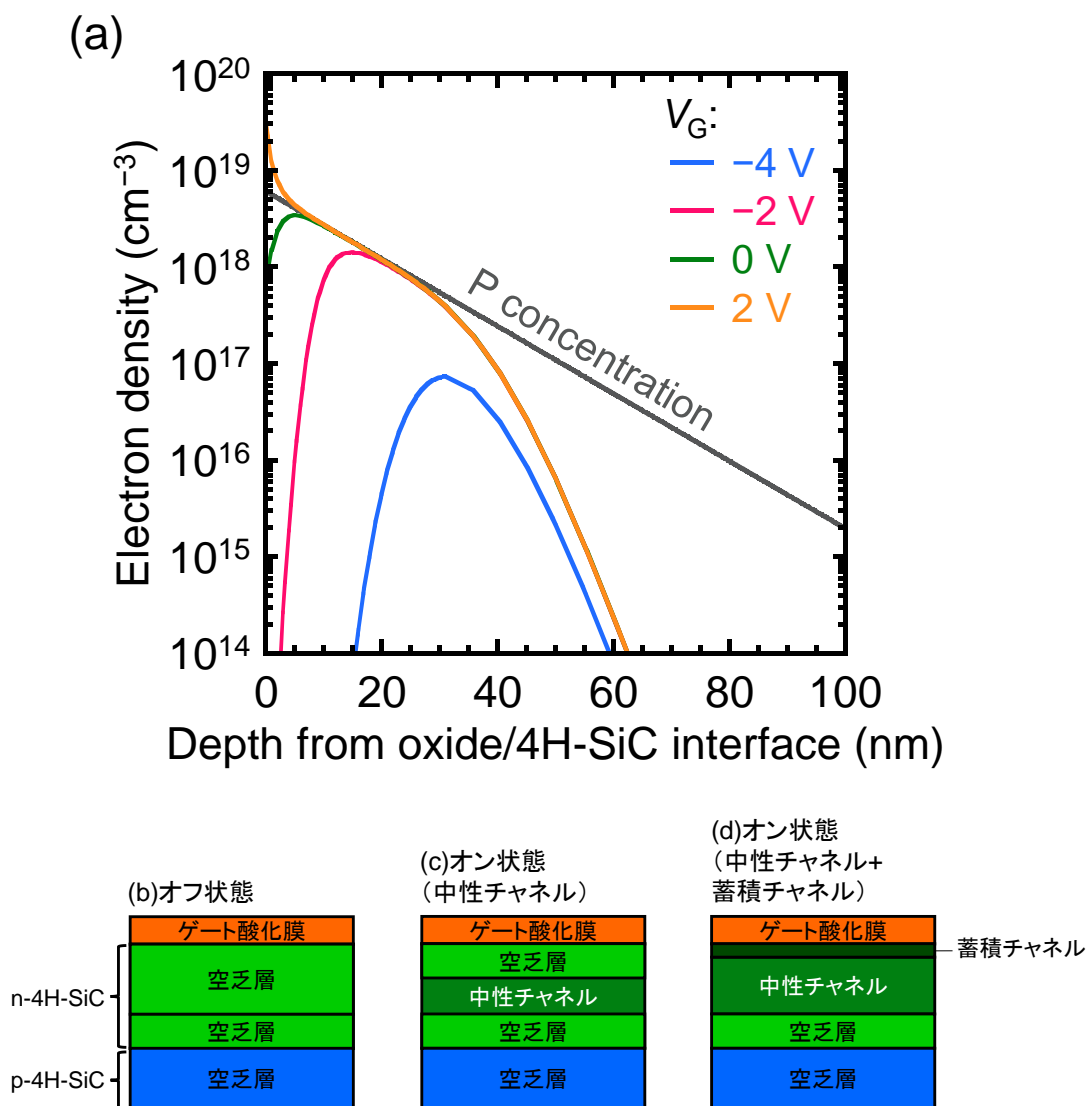


図 4.8 (a) デバイスシミュレーションにより得られた、カウンタードープ MOSFET のチャネル領域の電子密度の深さ方向分布. (b)-(d) カウンタードープ MOSFET のチャネル領域の各動作モードにおける断面模式図.

### 4.4 MOSFET の静特性解析

図 4.9 は、ドレイン電圧 ( $V_D$ ) を 0.1 V とし繰り返し測定した、カウンタードープ MOSFET のドレイン電流-ゲート電圧 ( $I_D-V_G$ ) 特性である。SiO<sub>2</sub> ゲート FET においては、測定回数による閾値電圧 ( $V_{TH}$ ) のシフトはほとんど見られなかった。一方で、ALD-Al<sub>2</sub>O<sub>3</sub> および MLO-Al<sub>2</sub>O<sub>3</sub> ゲート FET においては、大きな  $V_{TH}$  シフトおよびヒステリシスが見られた。これは、正の  $V_G$  を印加した際に Al<sub>2</sub>O<sub>3</sub> 膜中のスローステートに電子がトラップされたためだと考えられる[6,7]。数回の掃引後に  $V_{TH}$  シフトは飽和し、4 回目・5 回目の掃引における  $V_{TH}$  シフトは 0.1 V 以内であった。初回掃引時および  $V_{TH}$  シフト飽和後の  $V_{TH}$  を表 4.2 に示す。これらの値は、 $I_D-V_G$  曲線上の相互コンダクタンス最大の点における接線の  $V_G$  切片から求めたものである。

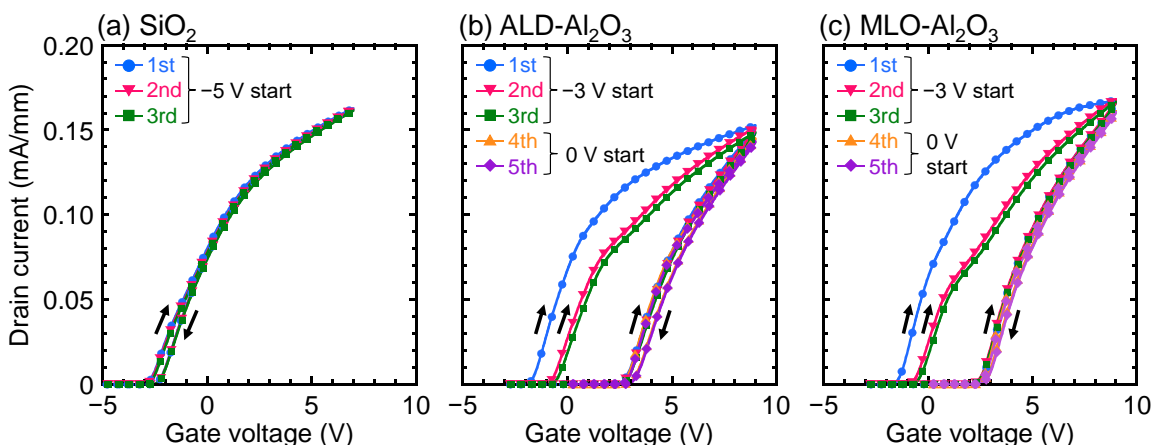


図 4.9 繰り返し測定した、カウンタードープ MOSFET の  $I_D-V_G$  特性.

表 4.2 カウンタードープ MOSFET の初回掃引時および  $V_{TH}$  シフト飽和後の  $V_{TH}$ .

Gate oxide	$V_{TH}$ @1st sweep (V)	$V_{TH}$ after saturation (V)
SiO <sub>2</sub>	-2.7	-2.6
ALD-Al <sub>2</sub> O <sub>3</sub>	-1.7	+2.8
MLO-Al <sub>2</sub> O <sub>3</sub>	-1.4	+2.6

$V_{TH}$  シフト飽和後の、 $I_D$  およびゲートリーク電流 ( $I_G$ ) の  $V_G$  依存性を図 4.10 に示す。全ての FET で、オン電流とオフ電流の比は  $10^7$  以上であり、 $I_G$  は  $I_D$  の  $1/10^4$  以下であることが分かる。また、 $V_{TH}$  シフト飽和後の  $I_D$  を  $V_G-V_{TH}$  に対してプロットしたものを図 4.11 に

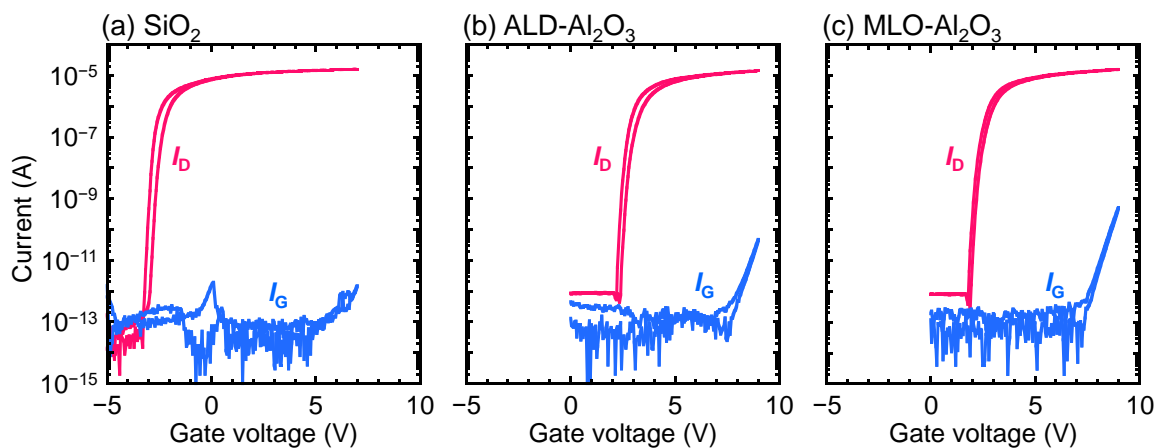


図 4.10  $V_{TH}$ シフトが飽和した後のカウンタードープ MOSFET の  $I_D$  および  $I_G$  の  $V_G$  依存性.

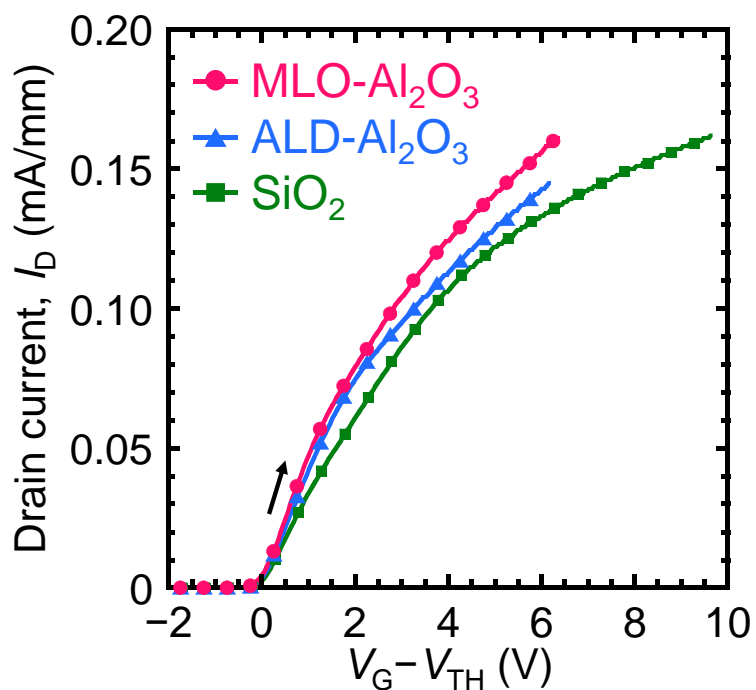


図 4.11  $V_{TH}$ シフトが飽和した後のカウンタードープ MOSFET の  $I_D$ - $(V_G - V_{TH})$ 特性.

示す. すべての  $V_G - V_{TH}$  領域において, MLO- $\text{Al}_2\text{O}_3$  ゲート FET が最大の  $I_D$  を示していることが分かる.

これまでの報告[1-4]に倣い,  $I_D - V_G$  特性から  $\mu_{FE}$  を次の式から推定した.

$$\mu_{FE} = \frac{dI_D}{dV_G} \frac{L}{C_{OX}V_DW} \quad (4.1)$$

図 4.12 に,  $\mu_{FE}$  を  $V_G - V_{TH}$  の関数として示す. すべての FET において,  $\mu_{FE}$  は  $V_G - V_{TH} = 0.5$  V 付近でピークに達し, その後減少している.  $\text{SiO}_2$ , ALD- $\text{Al}_2\text{O}_3$ , MLO- $\text{Al}_2\text{O}_3$  ゲート FET の  $\mu_{FE}$  のピーク値は, それぞれ 50, 64, 80  $\text{cm}^2/\text{Vs}$  であった. これらの値は, 典型的な NO または  $\text{N}_2\text{O}$  雰囲気中での後熱処理を施した  $\text{SiO}_2/4\text{H-SiC}$  反転型 MOSFET の値よりも高い [8,9]. MLO- $\text{Al}_2\text{O}_3$  ゲート FET の  $\mu_{FE}$  は,  $V_G - V_{TH}$  領域全体において 3 試料中で最も大きく, ピーク値は  $\text{SiO}_2$  ゲート FET よりも 60%大きいことが分かった.

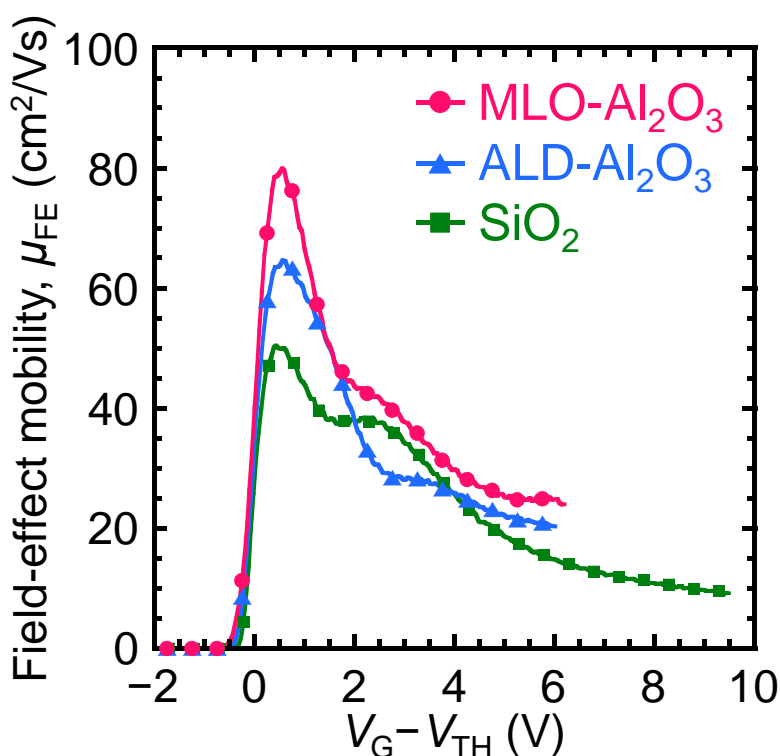


図 4.12 カウンタードープ MOSFET の電界効果移動度の  $V_G - V_{TH}$  依存性.



## 4.5 MOSFET の動作モードの推定

試料間での  $\mu_{FE}$  の違いは、界面特性に起因すると考えられる。更に理解を深めるため、ここでは 4.3 節で明らかにした各動作モードとの対応を明らかにすべく、S/D を短絡し、ゲート-S/D 間の  $C-V_G$  特性の測定を行った。図 4.13 は、1 kHz から 1 MHz で測定した 3 種類の FET の  $C-V_G$  特性である。デバイスシミュレーションにより得られた理想  $C-V_G$  特性も併せて示している。酸化膜容量 ( $C_{OX}$ ) およびフラットバンド容量 ( $C_{FB}$ ) を破線で示した。なお、 $C_{FB}$  は、半導体中の正味の電荷が 0 となる時の容量と定義した。まず、低電圧領域においては、容量が 0 に近い値になっている。これは、デバイスのオフ状態に対応する。次に、 $C-V_G$  特性の立ち上がりから  $C_{FB}$  よりも小さい領域では、埋め込み中性チャネルが形成されている。最後に、容量が  $C_{FB}$  より大きい領域では蓄積チャネルが形成される。理想特性と 1 MHz の測定データと比較すると、全ての FET において、蓄積状態にほとんど達していないことが分かる。すなわち、オン状態では埋め込み中性チャネルモードで動作している。これは、伝導帯付近の界面準位またはスローステートへの電子トラップによりフラットバンド電圧が正にシフトし、蓄積層がほとんど形成されないためと考えられる。そこで、4.6 節以降の解析では埋め込み中性チャネルの形成を前提としたモデルを用いて解析を行った。

また、 $C-V_G$  測定に与える界面準位の影響を明らかにするため、界面準位を含むモデルでのデバイスシミュレーションを行った。 $D_{it}$  分布はエネルギーに対して一様であると仮定し、 $1 \times 10^{12}$  および  $1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  の場合について計算した。また、 $C_{OX}$  は  $\text{SiO}_2$  ゲート FET と同じ値を用い、準位の捕獲断面積は  $10^{-13} \text{ cm}^2$  と仮定した。まずは、微小交流電圧に対する界面準位の応答のない高周波特性 ( $1/f \ll \tau_{it}$ ) の結果を図 4.14(a) に示す。界面準位の存在しない場合に比べて、 $C-V_G$  特性がストレッチアウトを起こしていることが分かる。これは、界面準位に捕獲された電子がゲート金属中の正電荷と電気力線を結ぶことで、半導体のバンドベンディングへのゲート電圧の寄与が小さくなるためである。 $\text{SiO}_2$  ゲート FET の実験結果で見られるなだらかな  $C-V_G$  特性は、この効果によるものと考えられる。なお、容量値は半導体のバンドベンディングを反映している。 $C-V_G$  特性のストレッチアウトの有無

に関わらず、容量値が同じとき、半導体のバンドベンディングの状態は等しい。

また、 $D_{it} = 1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  の場合について、 $C-V_G$  特性の周波数依存性を計算した。結果を図 4.14(b)に示す。高  $V_G$  側で周波数分散が生じていることが分かる。これは、伝導帯端付近の時定数の小さな界面準位の、低周波交流電圧に対する応答を反映している。同様の傾向は測定データにも見られ、 $\text{SiO}_2$  ゲート FET での大きな周波数分散は、 $D_{it}$  が大きいことを示唆している。

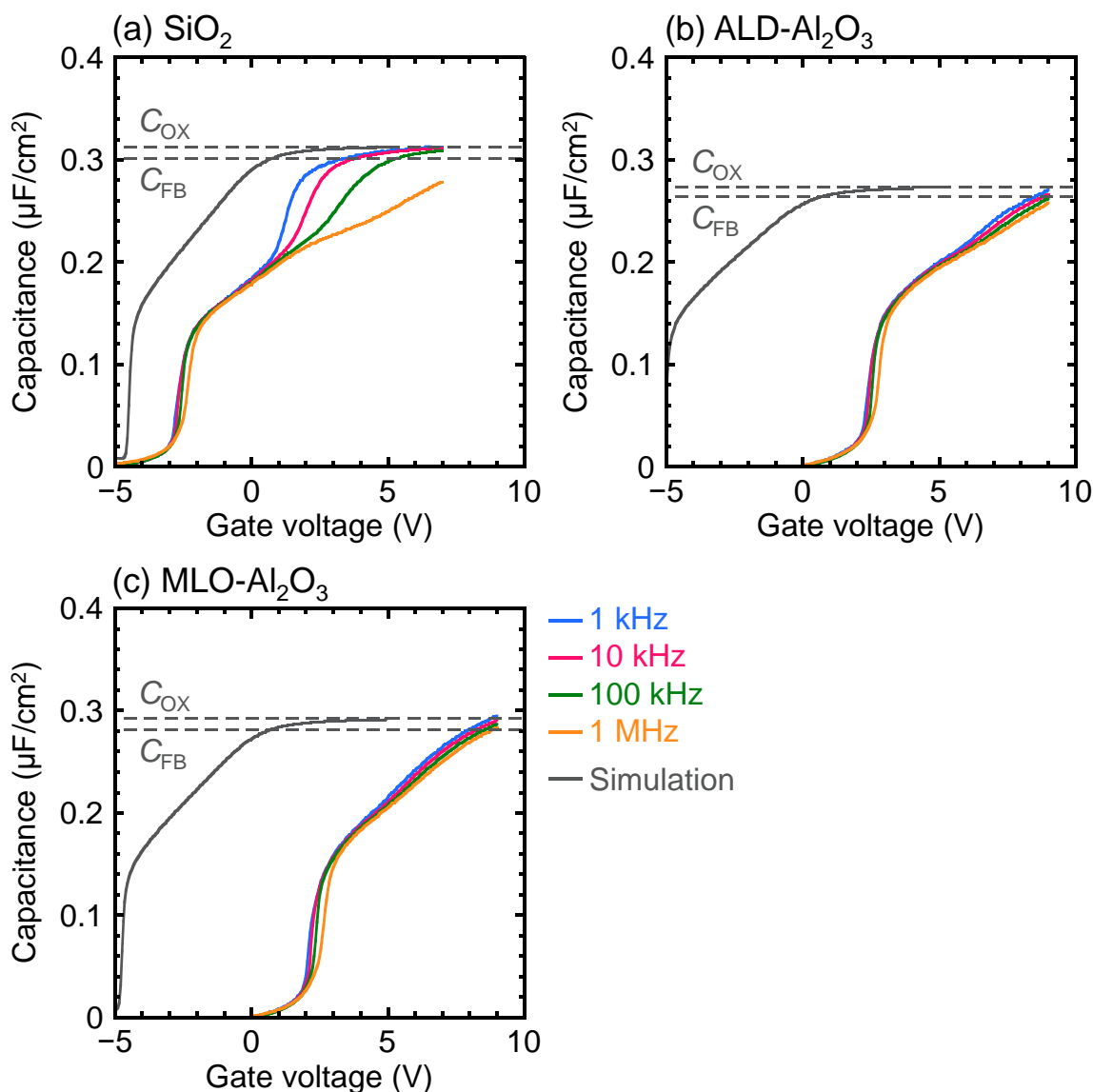


図 4.13 カウンタードープ MOSFET の、1 kHz–1 MHz で測定した  $C-V_G$  特性と理想特性。破線は酸化膜容量 ( $C_{\text{OX}}$ ) とフラットバンド容量 ( $C_{\text{FB}}$ ) を示す。

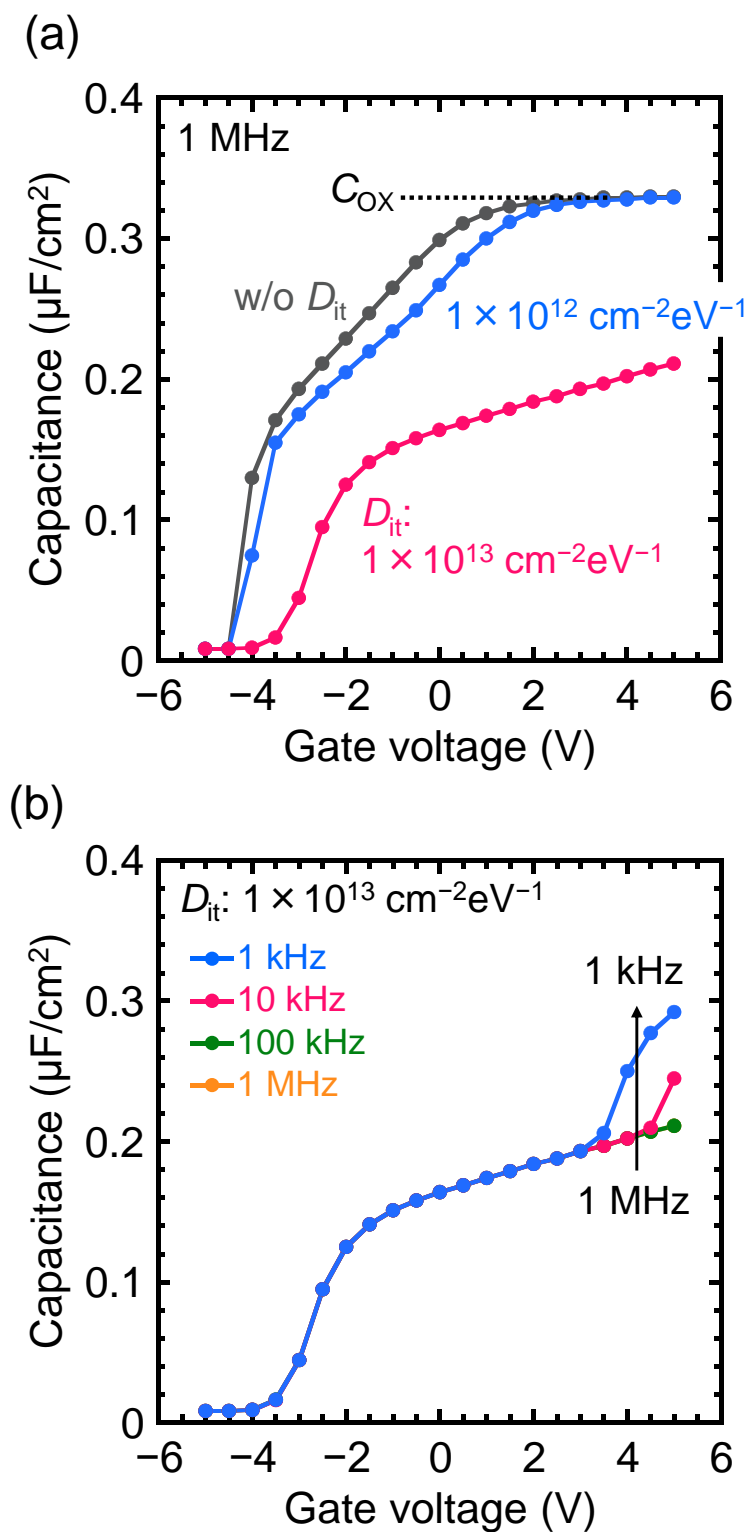


図 4.14 デバイスシミュレータにより計算した、カウンタドープ MOSFET の  $C-V_G$  特性. (a) ゲート電圧の周波数は 1 MHz に固定し,  $D_{\text{it}}$  を変化させた場合. (b)  $D_{\text{it}} = 1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  に固定し, ゲート電圧の周波数を変化させた場合.

## 4.6 カウンタードープ MOSFET の電界効果移動度を決定づける要因

### 4.6.1 埋め込みチャネルのモデル化

次に、埋め込み中性チャネルを持つカウンタードープ MOSFET の  $\mu_{FE}$  を決定づけるパラメータについて検討する。慣例的に、カウンタードープ MOSFET においても式(4.1)を用いた電界効果移動度評価が行われていることから、本研究においてもまずは式(4.1)に基づく解析を行った。しかし、式(4.1)はチャネルが酸化膜/半導体界面付近に形成されていることを前提としたモデルに基づき導出されるため、埋め込みチャネルに対する適用は本来適切でない。そこで、カウンタードープ MOSFET に特化した移動度評価モデルを構築する。

図 4.15 に、モデルの原点となるエネルギーバンド図を示す。今回作製した FET ではカウンタードープされた不純物濃度が深さ方向に傾斜していることを考慮し、チャネル中の電子の密度と移動度が深さ方向に分布していると考えた。埋め込み中性チャネル内の、酸化膜/4H-SiC 界面から深さ  $z$  の位置に存在する自由電子の移動度と単位体積あたりの電子密度をそれぞれ  $\mu_{free}(z)$ ,  $n_{free}(z)$  と定義する。なお、中性チャネルには垂直方向の電界が印加されないことから、 $\mu_{free}$  は  $z$  にのみ依存し、 $V_G$  には依存しないと仮定している。本モデルに基づき、線形領域で動作する MOSFET のドレイン電流  $I_D$  は次のように表される。

$$I_D(V_G) = \frac{qWV_D}{L} \int_{z_{min}(V_G)}^{z_{max}} n_{free}(z)\mu_{free}(z)dz \quad (4.2)$$

ここで、 $q$  は素電荷、 $z_{min}$  と  $z_{max}$  はそれぞれチャネルの始点と終点の深さを表す。 $z_{min}$  は酸化膜/4H-SiC 界面から伸びる空乏層端の深さであり、 $V_G$  によって変化する。一方、 $z_{max}$  は p-n 接合界面から伸びる空乏層の幅で決まるため、約 35 nm と一定である (図 4.8(a)参照)。

式(4.2)を  $V_G$  で微分すると、以下が得られる。

$$\begin{aligned} \frac{dI_D(V_G)}{dV_G} &= -\frac{qWV_D}{L} n_{free}(z_{min}(V_G))\mu_{free}(z_{min}(V_G)) \frac{dz_{min}(V_G)}{dV_G} \\ &= \frac{qWV_D}{L} \mu_{free}(z_{min}(V_G)) \frac{dN_{free}(V_G)}{dV_G} \end{aligned} \quad (4.3)$$

ここで新たに導入された  $N_{free}(V_G)$  は、ある  $V_G$  におけるチャネル内の自由電子の面密度であり、 $dN_{free}(V_G) = -n_{free}(z_{min}(V_G))dz_{min}(V_G)$  を満たす。負の符号は、 $z_{min}$  が小さくなるほど  $N_{free}$  が増加することに対応している。式(4.3)を式(4.1)に代入すると、 $\mu_{FE}$  は次のように書き

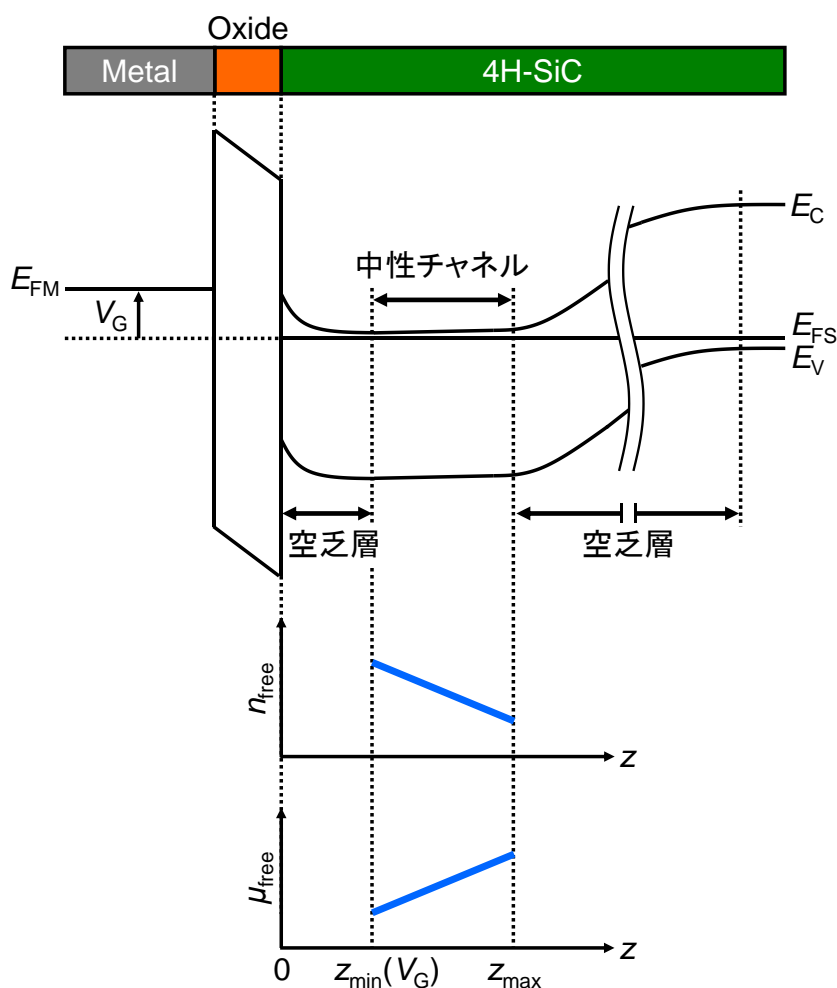


図 4.15 埋め込み中性チャネルが形成されたカウンタードープ MOSFET のチャネル部分のエネルギーバンド構造. 酸化膜/4H-SiC 界面を原点として, 深さ方向を正に  $z$  軸を定義した.  $z_{\min}$  および  $z_{\max}$  は埋め込み中性チャネルの始まりと終わりの深さであり, それぞれ酸化膜/4H-SiC 界面および p-n 接合界面から伸びる空乏層端に一致する. また, チャネル中の電子密度 ( $N_{\text{free}}$ ) および電子移動度 ( $\mu_{\text{free}}$ ) が深さ方向に分布している様子も模式的に示した.

改められる.

$$\mu_{\text{FE}}(V_G) = \frac{q}{C_{\text{OX}}} \mu_{\text{free}}(z_{\min}(V_G)) \frac{dN_{\text{free}}(V_G)}{dV_G} \quad (4.4)$$

本式より,  $\mu_{\text{FE}}$  は次の 2 つのパラメータの積に依存することが分かる. (i)空乏層端付近の自由電子の移動度;  $\mu_{\text{free}}(z_{\min})$  と, (ii)ゲート電圧に対する  $N_{\text{free}}$  の増加率;  $dN_{\text{free}}/dV_G$  である. これら进行评估することで, 試料間での電界効果移動度の違いを正しく理解できると考えられる.

$\mu_{\text{free}}(z_{\min})$  は, 式(4.3)を変形することで次のように表される.

$$\mu_{\text{free}}(z_{\text{min}}(V_G)) = \frac{L}{WqV_D} \frac{dI_D(V_G)}{dN_{\text{free}}(V_G)} \quad (4.5)$$

したがって、各  $V_G$  における  $N_{\text{free}}$  を正確に評価することで、 $\mu_{\text{free}}(z_{\text{min}})$  を決定できる。

なお補足であるが、界面準位のない理想的な系においては、 $C = qdN_{\text{free}}/dV_G$  を満たす。  $C$  は、ゲートとソース/ドレイン間の容量である。これを用いて式(4.4)を書き直すと、

$$\mu_{\text{FE}}(V_G) = \frac{C}{C_{\text{OX}}} \mu_{\text{free}}(z_{\text{min}}(V_G)) \quad (4.6)$$

すなわち、反転型 FET とカウンタードープ FET では、 $C/C_{\text{OX}}$  倍だけ違いが生じることになる。ただし、多量の界面準位が存在する系では、必ずしも上式は成り立たない。

次に、参考文献 10 を参考に、測定された  $C-V_G$  特性から  $N_{\text{free}}$  を正確に求める方法を説明する。その方法の概略を図 4.16 に示す。測定された  $C-(V_G-V_{\text{TH}})$  特性から  $V_G-V_{\text{TH}} = V_1$  における  $N_{\text{free}}$  を求める場合 (図 4.16(a)),  $C_{\text{exp}}(V_1) = C_{\text{ideal}}(V_1')$  を満たす  $V_1'$  を、理想  $C-(V_G-V_{\text{TH}})$  特性から参照する (図 4.16(b)).  $V_G-V_{\text{TH}} = V_1'$  での理想的な  $N_{\text{free}}$  は、 $V_1$  における  $N_{\text{free}}$  と等しい。以上が、 $N_{\text{free}}$  の算出手順である。なお、図 4.13 における  $C-V_G$  曲線の急峻な立ち上がり領域では、高いチャネル抵抗に起因した周波数分散が見られるため、解析対象から除外した。また、高  $V_G$  領域でも周波数分散が見られ、これは界面準位の応答によるものと考えられる。解析には、界面準位の応答のない高周波極限とみなせる状態を用いることが望ま

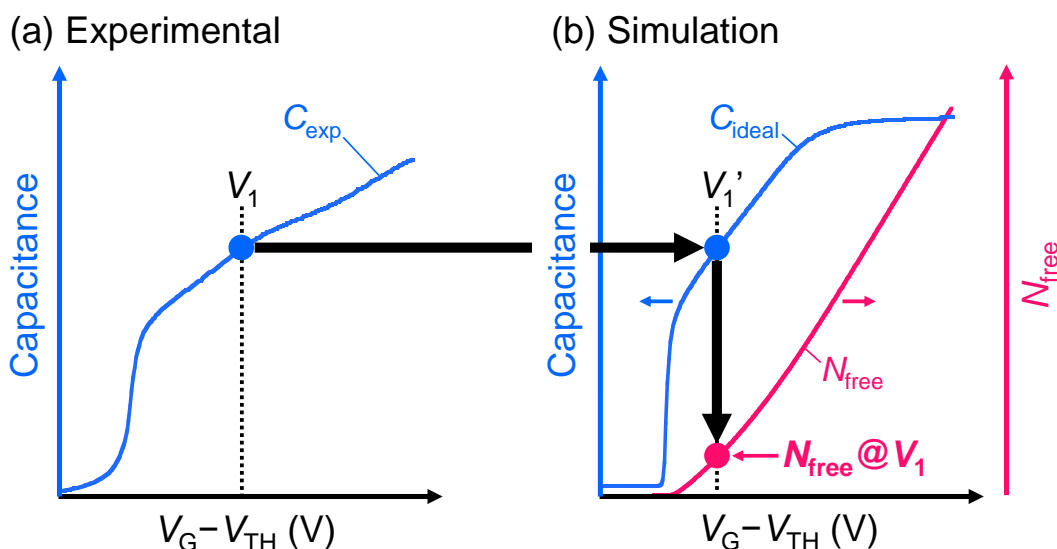


図 4.16 (a)実験および(b)シミュレーションにより得られた  $C-V_G$  特性から、各  $V_G$  における  $N_{\text{free}}$  を求める手順の模式図。

しい。そこで、解析には 1 MHz の測定データを用い、更に 1 MHz と 100 kHz における測定容量の差が 10%未満となる領域を対象とした。したがって、SiO<sub>2</sub>ゲート FET では  $V_G - V_{TH}$  が約 1~3 V、Al<sub>2</sub>O<sub>3</sub>ゲート FET では  $V_G - V_{TH} > \sim 1$  V の領域が解析対象となる。

#### 4.6.2 $\mu_{free}$ および $dN_{free}/dV_G$ の試料間での比較

図 4.17(a)は、式(4.5)に基づき算出した  $\mu_{free}(z_{min})$  を、 $z_{min}$  の関数としてプロットしたものである。ここで  $z_{min}$  は、 $C-V_G$  特性から完全空乏近似を想定し、以下の式から算出した。

$$\frac{1}{C} = \frac{1}{C_{OX}} + \frac{z_{min}}{\epsilon_S} \quad (4.7)$$

すべての FET の  $\mu_{free}(z_{min})$  の値は同一の線上にプロットされている。すなわち、 $\mu_{free}(z_{min})$  は、界面特性によらずチャンネルの深さによって一意に決まっている。この結果は、 $\mu_{free}(z_{min})$  が酸化膜/4H-SiC 界面準位に依存しないことを意味している。図 4.17(a)中の破線は、エピタキシャル 4H-SiC 層で報告されているバルク電子移動度[11]を、各深さのドーピング濃度に対応させて示したものである。 $\mu_{free}(z_{min})$  は、特に酸化膜/4H-SiC 界面に近い高濃度ドープ領域で、報告されているバルク電子移動度よりも低くなっている。この不一致の理由は、明らかにできていない。考えられる理由としては、イオン注入時のダメージによるバルク移動度劣化[12,13]、Si で報告されているような閉じ込められた領域でのフォノン散乱の増加[14]などが挙げられる。

$\mu_{free}(z_{min})$  がほぼ同じであるにもかかわらず、FET 間で  $\mu_{FE}$  が異なっていたという結果は、 $dN_{free}/dV_G$  の違いが  $\mu_{FE}$  を決定する支配的な要因であることを示唆している。実際、図 4.17(b)に示す  $dN_{free}/dV_G$  は、同じ  $z_{min}$  において SiO<sub>2</sub>ゲート FET が最も小さく、MLO-Al<sub>2</sub>O<sub>3</sub>ゲート FET が最も大きいことが分かる。なお、上記の議論は  $V_G - V_{TH} > \sim 1$  V の領域を対象にしている。したがって、試料間での差が最も大きかった、 $V_G - V_{TH} \sim 0.5$  V におけるピーク  $\mu_{FE}$  値の違いは説明できていない。しかし、図 4.17(b)によると、SiO<sub>2</sub>ゲート FET の  $dN_{free}/dV_G$  は、 $z_{min} \sim 20$  nm の深い  $z_{min}$  領域において Al<sub>2</sub>O<sub>3</sub>ゲート FET と比較して十分な差を示している。この傾向をより深い  $z_{min}$  領域（すなわち  $V_G - V_{TH} < 1$  V の領域）に外挿できるとすれば、SiO<sub>2</sub>ゲート FET の最も低いピーク  $\mu_{FE}$  は、大きな  $D_{it}$  に起因するキャリアトラップ効果に

起因すると理解できる. 一方, ALD- $\text{Al}_2\text{O}_3$  ゲート FET と MLO- $\text{Al}_2\text{O}_3$  ゲート FET では,  $z_{\min}$  ~ 20 nm 付近で大きな差がなく,  $\mu_{\text{FE}}$  のピーク値の違いの原因を類推することは難しい. したがって,  $D_{\text{it}}$  以外の要因がこれらの FET のピーク  $\mu_{\text{FE}}$  値に影響を与えている可能性は否定できない.



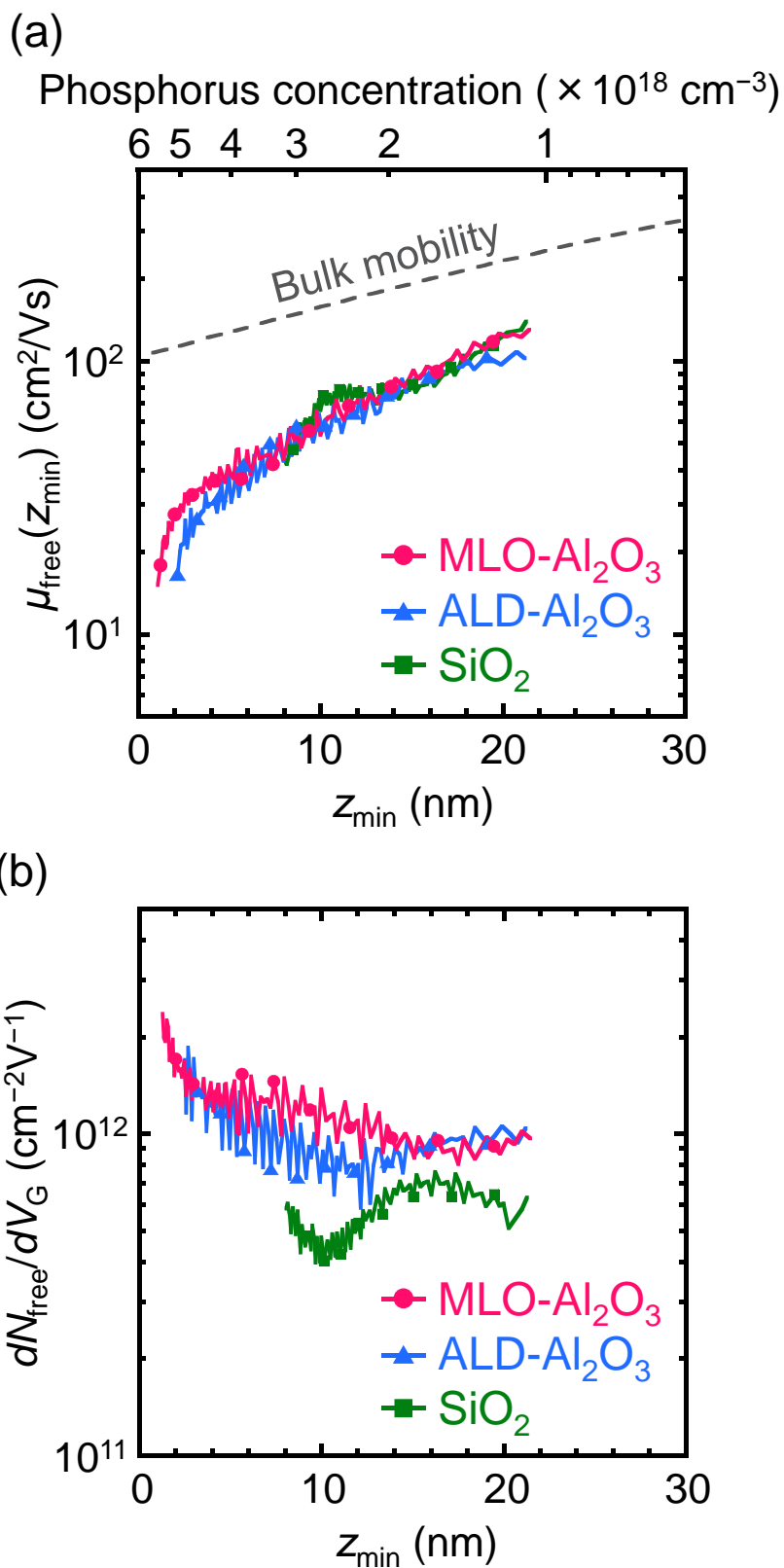


図 4.17 (a) $\mu_{\text{free}}$  および (b) $dN_{\text{free}}/dV_G$  の  $z_{\text{min}}$  依存性.

### 4.6.3 $D_{it}$ が $dN_{free}/dV_G$ に及ぼす影響

最後に、界面準位密度が  $dN_{free}/dV_G$  に与える影響について議論する。界面準位の存在する FET では、図 4.18 に示すように、ゲート電圧印加による表面フェルミレベル ( $\psi_s$ ) の変化に伴い、界面準位に捕獲された電子密度 ( $N_{trap}$ ) と  $N_{free}$  が同時に変化する。界面準位密度が十分に低く、 $dN_{free}/d\psi_s \gg dN_{trap}/d\psi_s$  の条件が満たされる場合には、ゲート電圧印加により発生した電子のほぼ全てが電気伝導に寄与できる。次に、 $dN_{free}/d\psi_s = dN_{trap}/d\psi_s$  の場合、ゲート電圧の増加によって発生した電子の 50% が電気伝導に寄与できる。残りの 50% は界面にトラップされ、 $dN_{free}/dV_G$  は減少する。最後に、 $dN_{free}/d\psi_s \ll dN_{trap}/d\psi_s$  の条件下では、ゲート電圧の増加によって発生した電子のほとんどが界面状態にトラップされ、 $dN_{free}/dV_G$  は著しく低下する。ここで、 $dN_{trap}/d\psi_s$  は  $D_{it}$  と等しい。したがって、 $D_{it}$  と  $dN_{free}/d\psi_s$  を比較すれば、界面準位によるキャリアトラップが  $dN_{free}/dV_G$  に与える影響を評価できる。

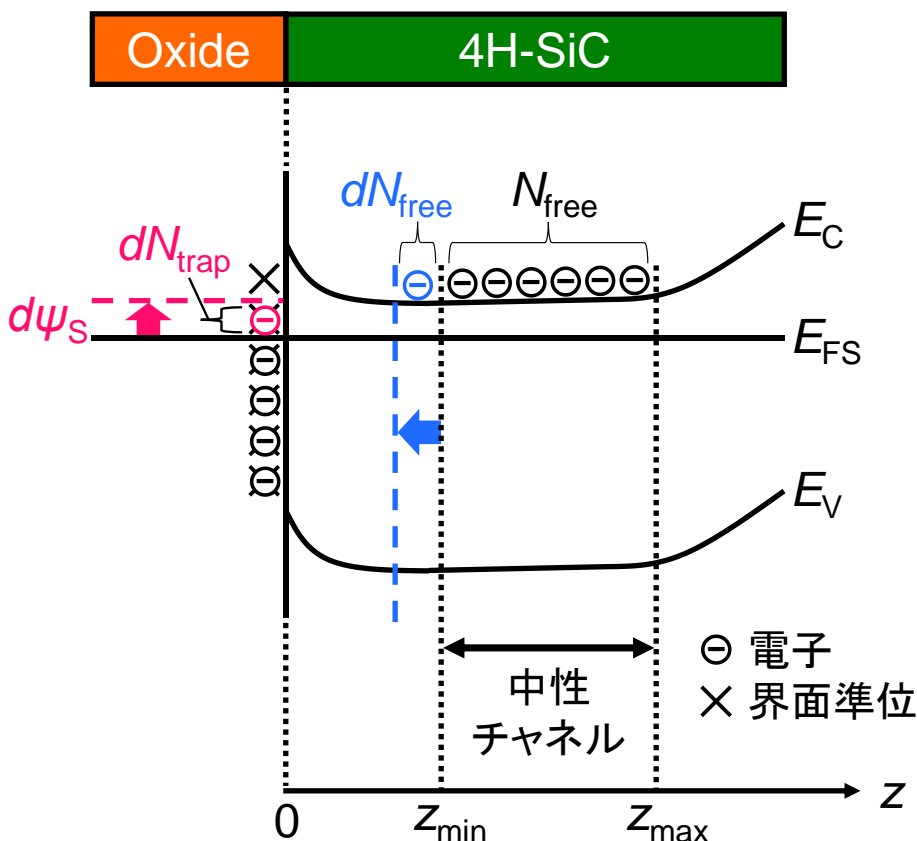


図 4.18 表面フェルミレベルの変化に対して、界面準位にトラップされた電荷密度 ( $N_{trap}$ ) とチャンネル中の自由電子密度 ( $N_{free}$ ) が同時に変化することを表すエネルギーバンド図。

図 4.13 の測定および理想  $C-V_G$  特性から、 $\psi_s-V_G$  の関係を求め、Terman 法に基づき  $D_{it}$  の分布を見積った。その結果を図 4.19 に示す。また、図 4.19 中の実線は、デバイスシミュレータを用いて計算したカウンタードープ MOSFET の  $dN_{free}/d\psi_s$  を示している。SiO<sub>2</sub> ゲート FET の  $D_{it}$  は、全エネルギー領域でシミュレーションされた  $dN_{free}/d\psi_s$  よりも大きいことが分かる。一方で Al<sub>2</sub>O<sub>3</sub> ゲート FET の  $D_{it}$  は、特に深いエネルギー領域において  $dN_{free}/d\psi_s$  よりも小さくなっている。したがって、Al<sub>2</sub>O<sub>3</sub> ゲート FET において  $D_{it}$  が  $dN_{free}/dV_G$  低下に与える影響は、特に低  $V_G-V_{TH}$  領域において、SiO<sub>2</sub> ゲート FET よりも小さいことが分かった。しかし、Al<sub>2</sub>O<sub>3</sub> ゲート FET でも、伝導帯端に近いエネルギー領域では  $D_{it}$  が  $dN_{free}/d\psi_s$  に近づいている。これが、高  $V_G-V_{TH}$  領域での  $dN_{free}/dV_G$  の減少に影響していると考えられる。

カウンタードープ MOSFET との比較のため、反転型 MOSFET (アクセプタ濃度:  $1 \times 10^{16} \text{ cm}^{-3}$ ) の、表面フェルミレベル変化に対する反転自由電子密度の増加率 ( $dN_{free}/d\psi_s$ ) をシミュレーションした。結果は、図 4.19 中に破線で示されている。 $dN_{free}/d\psi_s$  は、伝導帯端付近に局在している。これは、一般的な酸化物/4H-SiC 界面において、 $D_{it}$  の大きな領域である[15]。これに対し、今回作製したカウンタードープ MOSFET では、 $dN_{free}/d\psi_s$  が深い表面フェルミレベル領域に分布している。 $dN_{free}/d\psi_s$  は注入量とドーパント分布で調整できるため、 $D_{it}$  と  $dN_{free}/d\psi_s$  の関係を自由に制御できる。これは、4H-SiC MOSFET にカウンタードーピングを用いる大きな利点である。したがって、カウンタードープ MOSFET で高い  $\mu_{FE}$  を実現するためには、Al<sub>2</sub>O<sub>3</sub>/4H-SiC のように  $D_{it}$  が十分に低いゲートスタックを用い、 $D_{it}$  の低いエネルギー領域で  $dN_{free}/d\psi_s$  を設計することが一つの鍵となる。

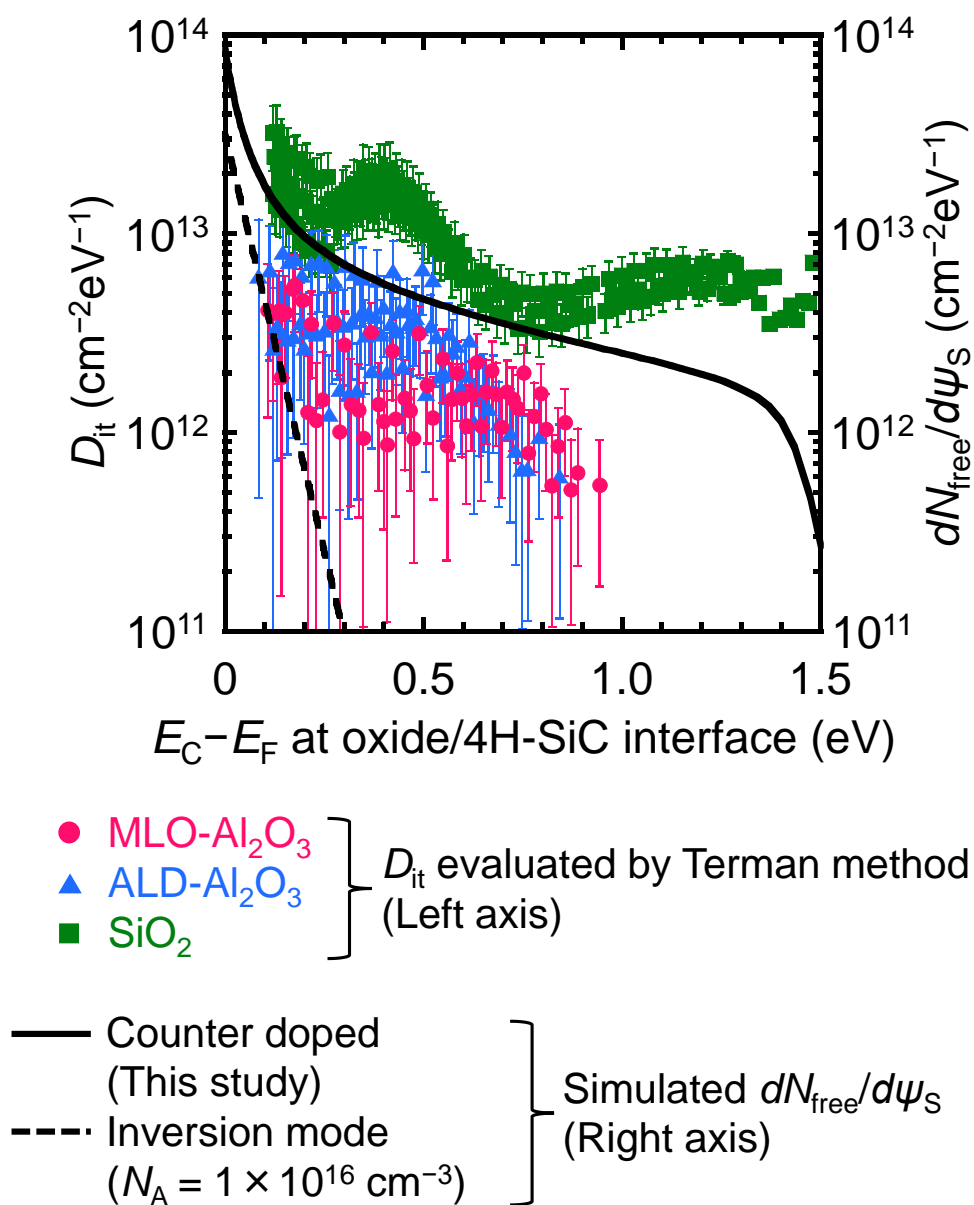


図 4.19 Terman 法により見積もった  $D_{it}$  のエネルギー分布(左軸). また, デバイスシミュレータを用いて見積もった, 本研究で用いた不純物分布を有するカウンタードープ MOSFET および, アクセプタ濃度  $1 \times 10^{16} \text{ cm}^{-3}$  の反転型 MOSFET の  $dN_{free}/d\psi_S$  の表面フェルミレベル依存性(右軸).

## 4.7 結論

ゲート酸化膜として熱酸化  $\text{SiO}_2$ , ALD- $\text{Al}_2\text{O}_3$ , MLO- $\text{Al}_2\text{O}_3$  を用いてカウンタードープ MOSFET を作製し, 界面準位密度が電界効果移動度に与える影響を調べた. MLO- $\text{Al}_2\text{O}_3$  ゲート FET の電界効果移動度は, 測定した  $V_G-V_{\text{TH}}$  領域全体で最大となり, 最大値  $80 \text{ cm}^2/\text{Vs}$  が得られた. この値は,  $\text{SiO}_2$  ゲート FET の最大電界効果移動度よりも 60%大きかった.  $V_G-V_{\text{TH}} > \sim 1 \text{ V}$  の領域における電界効果移動度の試料間での違いを, 電界効果移動度の決定要因である  $\mu_{\text{free}}(z_{\text{min}})$  と  $dN_{\text{free}}/dV_G$  に基づいて調べた.  $\mu_{\text{free}}(z_{\text{min}})$  を  $z_{\text{min}}$  の関数として,  $C-V_G$  測定とデバイスシミュレーションを併用して評価した. その結果, ゲート酸化膜の種類にかかわらず,  $\mu_{\text{free}}(z_{\text{min}})$  は  $z_{\text{min}}$  によって一意に決まることがわかった. これは,  $\mu_{\text{free}}(z_{\text{min}})$  が界面準位密度に依存せず決定されることを示している. さらに,  $dN_{\text{free}}/dV_G$  が電界効果移動度に影響を与える支配的な要因であることも明らかになった. 最後に,  $dN_{\text{free}}/dV_G$  に対する界面準位密度の影響を調べた.  $D_{\text{it}}$  が  $dN_{\text{free}}/dV_G$  に与える影響を評価する指標として,  $dN_{\text{free}}/d\psi_S$  を導入した.  $\text{SiO}_2$  ゲート FET では, Terman 法により見積もった  $D_{\text{it}}$  がシミュレーションにより求めた  $dN_{\text{free}}/d\psi_S$  よりも大きく,  $D_{\text{it}}$  が  $dN_{\text{free}}/dV_G$  の減少に大きく影響していることがわかった. 一方,  $\text{Al}_2\text{O}_3$  ゲート FET では, 特に深いエネルギー領域において,  $D_{\text{it}}$  が  $dN_{\text{free}}/d\psi_S$  よりも顕著に小さいことが分かった. 反転モードの MOSFET での  $dN_{\text{free}}/d\psi_S$  を見積ったところ, 伝導帯の近くにのみ分布していることが分かった. 一方でカウンタードープ MOSFET の  $dN_{\text{free}}/d\psi_S$  は, 深い領域を含む広いエネルギー領域に分布していた. したがって, カウンタードープ MOSFET では,  $\text{Al}_2\text{O}_3/4\text{H-SiC}$  など十分に低い  $D_{\text{it}}$  を持つゲートスタックを利用し, 低  $D_{\text{it}}$  となるエネルギー領域に  $dN_{\text{free}}/d\psi_S$  を対応させるようにカウンタードープ条件を設計することで, 高い  $\mu_{\text{FE}}$  を実現できる.

## 参考文献

- [1] K. Ueno and T. Oikawa, *IEEE Electron Device Lett.* **20**, 624 (1999).
- [2] S. Harada, S. Suzuki, J. Senzaki, R. Kosugi, K. Adachi, K. Fukuda, and K. Arai, *IEEE Electron Device Lett.* **22**, 272 (2001).
- [3] M. Okamoto, M. Iijima, T. Nagano, K. Fukuda, and H. Okumura, *Jpn. J. Appl. Phys.* **51**, 02BF05 (2012).
- [4] A. Modic, G. Liu, A. C. Ahyi, Y. Zhou, P. Xu, M. C. Hamilton, J. R. Williams, L. C. Feldman, and S. Dhar, *IEEE Electron Device Lett.* **35**, 894 (2014).
- [5] P. A. Ivanov, *Semiconductors* **52**, 100 (2018).
- [6] T. Hosoi, Y. Kagei, T. Kirino, S. Mitani, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, *Mater. Sci. Forum* **679–680**, 496 (2011).
- [7] Y. Y. Wang, X. L. Wang, C. Z. Li, J. Wu, L. C. Han, H. J. Shen, W. W. Wang, and X. Y. Liu, *Mater. Sci. Forum* **821-823**, 516 (2015).
- [8] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, R. A. Weller, S. T. Pantelides, L. C. Feldman, O. W. Holland, M. K. Das, and J. W. Palmour, *IEEE Electron Device Lett.* **22**, 176 (2001).
- [9] K. Fujihira, Y. Tarui, M. Imaizumi, K. Ohtsuka, T. Takami, T. Shiramizu, K. Kawase, J. Tanimura, and T. Ozeki, *Solid-State Electron.* **49**, 896 (2005).
- [10] W. Zhu, J. P. Han, and T. P. Ma, *IEEE Trans. Electron Dev.* **51**, 98 (2004).
- [11] W. J. Schaffer, G. H. Negley, K. G. Irvine, and J. W. Palmour, *MRS Proc.* **339**, 595 (1994).
- [12] F. Schmid, M. Laube, G. Pensl, G. Wagner, and M. Maier, *J. Appl. Phys.* **91**, 9182 (2002).
- [13] R. Nipoti, A. Nath, S. B. Qadri, Y. L. Tian, C. Albonetti, A. Carnera, and M. V. Rao, *J. Electron. Mater.* **41**, 457 (2012).
- [14] L. Donetti, F. Gamiz, J. B. Roldan, and A. Godoy, *J. Appl. Phys.* **100**, 013701 (2006).
- [15] T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, S. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura, *Appl. Phys. Express* **10**, 046601 (2017).

## 第5章 低仕事関数金属/4H-SiC 界面のショットキー障壁高さ低減

### 5.1 はじめに

4H-SiC を用いたパワーデバイスの更なる小型・軽量化, 新たな付加価値の付与に向けて, 論理回路や駆動回路を同一基板上に集積したパワーIC が注目されている[1]. 将来的な微細化を視野に入れると, 均一界面を有するオーミックコンタクト形成がキーテクノロジーの一つになると考えられる. しかしながら, 現在一般的に用いられているオーミックコンタクト形成技術は, Ni/4H-SiC 構造に対して高温熱処理を施し界面固相反応を誘起するものであり[2-5], 形成される界面は平坦とは言い難い[4,5]. また, 第3・4章において 4H-SiC MOSFET の電界効果移動度向上における  $\text{Al}_2\text{O}_3$  の有効性を明らかにしたが,  $\text{Al}_2\text{O}_3$  の結晶化温度が  $700\text{ }^\circ\text{C}$  程度であることを考えると[6], このような高温熱処理がゲート酸化膜や界面の特性を悪化させる可能性がある. このような観点からも, 低温プロセスにおいて十分に低いコンタクト抵抗率かつ平坦界面を達成できるコンタクト形成手法の確立は重要な課題である.

本研究では, 金属/4H-SiC 界面の SBH が基本的にショットキー極限に従うという事実から[7], 低仕事関数金属の使用により SBH を低減するという指針に着目した. しかしながら低仕事関数金属/4H-SiC 界面に関する SBH の報告は少なく, その振舞いの多くは明らかになっていない. そこで本研究では, 低仕事関数金属/4H-SiC 界面における SBH の振舞いについて調査した. Si や C の空孔や, 格子間の C 等は 4H-SiC の伝導帯端から  $1.0\text{ eV}$  付近の間に欠陥準位を作ることが理論計算により予測されていること[8], また DIGS[9]や MIGS[10-12]の影響は伝導帯端付近で大きくなることが予測されていることを踏まえると, 低仕事関数金属/4H-SiC 界面でこれらが SBH に与える影響について実験的に明らかにすることは重要である. まず, Y, Mg, Hf 電極を用いて, 低仕事関数金属/4H-SiC コンタクトの SBH とその挙動を調べた. Y, Mg, Hf の仕事関数はそれぞれ  $3.1, 3.7, 3.9\text{ eV}$  である[13]. これらの値は, 4H-SiC の電子親和力である  $3.6\text{ eV}$  に近いため[14], 理想的にはオー

ミックなコンタクト形成が期待できる。

加えて本研究では、SBH 変調手法として一般的な界面層挿入および熱処理を試みた。いずれの手法も高仕事関数金属/n 型 4H-SiC 接合では報告が見られるものの、低仕事関数金属/n 型 4H-SiC 接合に対する効果は未知である。これらの手法が、SBH およびコンタクト抵抗率に与える影響を議論した。



## 5.2 試料作製

厚さ 5  $\mu\text{m}$  のエピタキシャル層付きの窒素ドープ n 型 4H-SiC(0001)基板を用いた。エピタキシャル層のドナー濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  である。以下の実験は、製造ロットの異なる 2 枚の基板 A および基板 B から切り出して使用した。基板 A は、過去に所属研究室において、Al, Mo, Ni/4H-SiC 界面でのショットキー極限の発現を報告した文献 7 にて使用したものと同一である。5.3 および 5.4 節にて述べる結果は、全て基板 A を使用している。5.5 節の結果は、基板 A および基板 B を使用した。

【金属電極形成手法】まず、1%に希釈したフッ酸水溶液に 1 分間浸して基板表面を化学洗浄した。続いて、ネガ型フォトリソグラフィを用いたリフトオフプロセスにより、金属電極を形成した。Y, Hf, Al は、室温での RF スパッタリング法により約 100 nm の厚さで堆積した。スパッタリング装置の到達圧力は  $1 \times 10^{-5} \text{ Pa}$  以下であり、膜堆積時の Ar 流量は 30 sccm とした。また、Mg については、室温での真空蒸着法により約 100 nm の厚さで堆積した。Y, Hf, Mg 層を堆積した試料に対しては、続けてキャップ層として厚さ約 300 nm の Al 層を真空蒸着法で堆積した。

【界面層形成手法】界面層挿入実験として、一部の試料では金属/4H-SiC 界面に薄い  $\text{SiN}_x$  層を挿入した。前述の基板洗浄を行った後、 $\text{Si}_3\text{N}_4$  ターゲットを用い、Ar 流量 30 sccm、室温の条件下で RF スパッタリング法を用い、厚さ 0.3–1.5 nm の  $\text{SiN}_x$  層を堆積した。続いて、膜質向上のため、 $\text{N}_2$  雰囲気下、300  $^\circ\text{C}$  で 5 分間の堆積後熱処理を行った。 $\text{N}_2$  流量は 1 slm である。その後、前述の手法で金属電極を形成した。

【電極形成後熱処理】熱処理が Mg/4H-SiC コントクトの SBH に与える影響を調査するため、 $\text{N}_2$  雰囲気中で 200–400  $^\circ\text{C}$  にて 1–180 分間の熱処理を行った。 $\text{N}_2$  流量は 1.5 slm である。

### 5.3 低仕事関数金属/n 型 4H-SiC 界面のショットキー障壁高さ

まず、低仕事関数金属/n 型 4H-SiC コンタクトの電流伝導特性を調べた。なお、本節において示す結果は、全て基板 A を用いたものである。図 5.1 は、Y, Mg, Hf/4H-SiC 構造の(a) $J$ - $V$  特性と(b) $1/C^2$ - $V$  特性をそれぞれ示したものである。図 5.1(a)に示すように、すべての試料で整流特性が観察された。逆方向バイアス領域では、Mg/4H-SiC 試料で最も高い電流密度を示したのに対し、Y/4H-SiC 試料は最も低い電流密度を示した。このことから、今回使用した金属の中では Y の仕事関数が最も小さいにもかかわらず、Mg 試料の SBH が最も小さく、Y 試料の SBH が最も大きいことがわかる。また、図 5.1(b)に示す  $1/C^2$ - $V$  プロットの  $V$  軸切片の値は Y/4H-SiC 試料で最も高く、Mg/4H-SiC 試料で最も低くなっている。この傾向は、 $J$ - $V$  特性の結果と一致している。これらの結果から、SBH を定量的に見積もった。

図 5.2 は、2 つの方法で得られた SBH の値と報告値[7,15-17]を金属の仕事関数[13]に対して示したものである。破線は、4H-SiC の電子親和力を 3.6 eV として計算したショットキー限界を示している[14]。 $J$ - $V$  特性と  $C$ - $V$  特性から推定された SBH 値はよく一致しており、このことは仮定したリチャードソン定数  $A^*$  の妥当性およびコンタクト領域全体での SBH の均一性が示している。低仕事関数金属/n 型 4H-SiC コンタクトの SBH は、ショットキー限界から外れて大きくなっていること分かる。最も低い SBH 値を有するのは Mg/4H-SiC 試料であるが、0.53 eV はオーミックコンタクトを実現するにはまだ高い値である。この結果は、DIGS や MIGS, その他の欠陥準位が低仕事関数金属/4H-SiC 界面の SBH に影響を与えていることを示唆している。

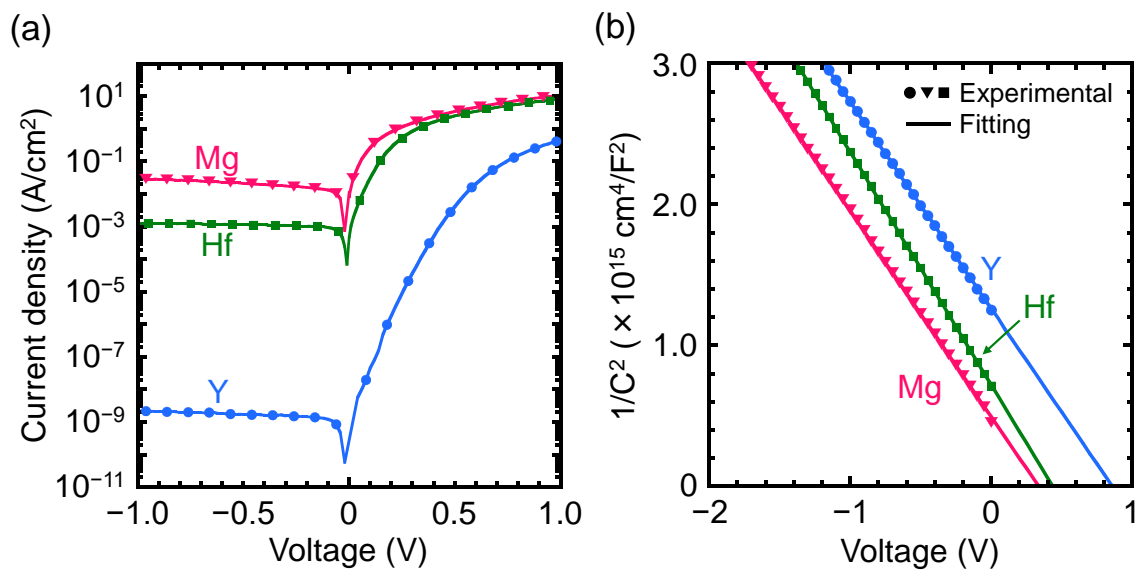


図 5.1 Y, Mg, Hf/4H-SiC ショットキーバリアダイオードの (a)  $J$ - $V$  特性および(b)  $1/C^2$ - $V$  特性.

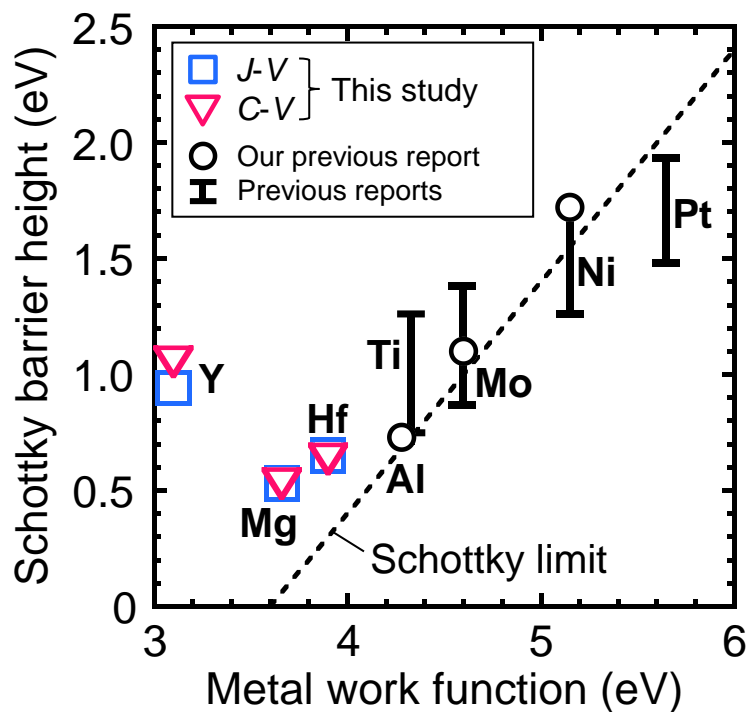


図 5.2 単体金属/4H-SiC 界面における, SBH の金属の仕事関数依存性.

SBH のショットキー限界からのずれの物理的な原因を明らかにするため、金属形成プロセス中の界面反応の可能性を検討した。4H-SiC 基板の上に Y または Mg 層を蒸着し、塩酸水溶液を用いて化学的にエッチングした。その後、原子間力顕微鏡 (AFM) を用いて表面の粗さを分析した。図 5.3 は、(a)洗浄直後の基板、(b)Y または(c)Mg を蒸着してエッチングした基板の AFM 像である。図 5.3(d)は、これらの AFM 像の高さをヒストグラム化したものである。Mg を堆積・エッチングした基板では、洗浄直後の基板と比べて同程度の平坦性を維持している。一方で、Y を堆積・エッチングした基板では、高さのヒストグラムが広がっている。このことから、Y の堆積は室温でも 4H-SiC の表面と界面反応を起こしている可能性がある。界面反応を伴う SBH 変調として、金属の仕事関数変調や、欠陥準位の形成が考えられる。

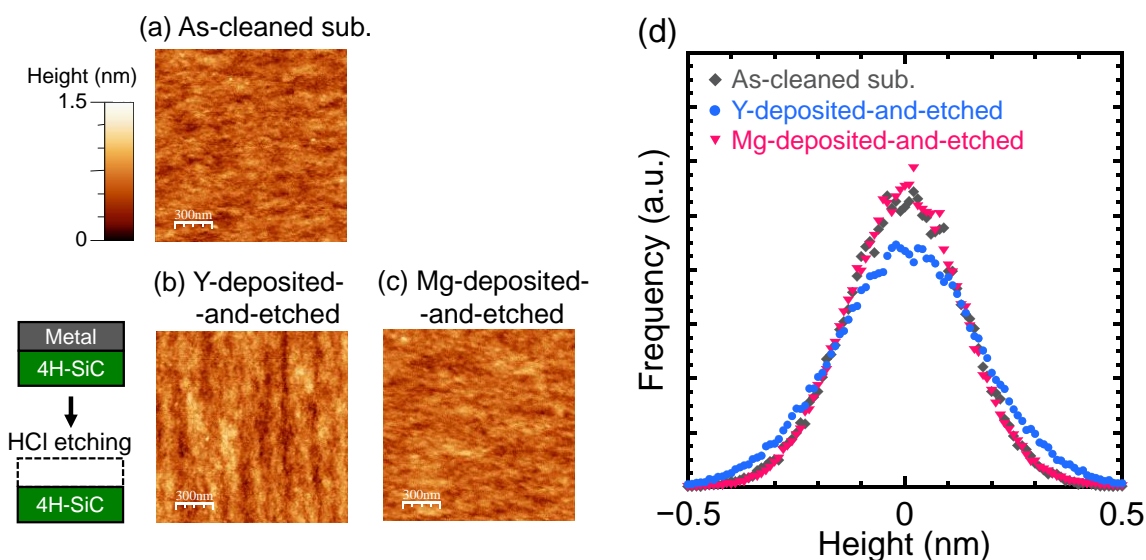


図 5.3 (a)洗浄直後の基板, (b)Y 層を堆積しエッチングした後の基板, (c)Mg 層を堆積しエッチングした後の基板の AFM 像. (d) AFM 像から得られる高さヒストグラム.

そこで、金属の仕事関数変調による SBH 増大の可能性を検討するため、Y シリサイドと Y カーバイドの仕事関数を計算した。シリサイドおよびカーバイドの仕事関数は、次のように見積もられる[18].

$$\Phi_{\text{silicide}} = \sqrt{m+n} \Phi_Y^m \Phi_{\text{Si}}^n \quad (5.1)$$

$\Phi_{\text{silicide}}$ ,  $\Phi_Y$ ,  $\Phi_{\text{Si}}$  はそれぞれシリサイド, Y, Si の仕事関数である。カーバイドの仕事関

数も同様の手法で計算した。Y, Si, C の仕事関数の値として 3.1, 4.85, 5.0 eV を用いた [13]。見積もられた仕事関数と、そこからショットキー極限に基づき予測される SBH を図 5.4 に示す。予測される SBH は大きくとも 0.7 eV 程度であり、実験で得られた値はこれよりも大きい。したがって、Y 金属の仕事関数の変調は SBH 変調の大きな要因とは考えにくい。Y/4H-SiC 界面での高い SBH は、4H-SiC 表面近傍に界面反応で形成された Si 空孔などの欠陥や、結合の乱れに起因すると考えられる [8, 19]。

一方、Mg を蒸着してエッチングした基板の高さヒストグラムは、洗浄直後の基板と同程度であり、Mg/4H-SiC 界面における反応がほとんど起こっていないことを示唆している。このことから、SBH のショットキー限界からのずれの原因として、MIGS や 4H-SiC 基板の表面準位を考慮する必要があると考えられる。

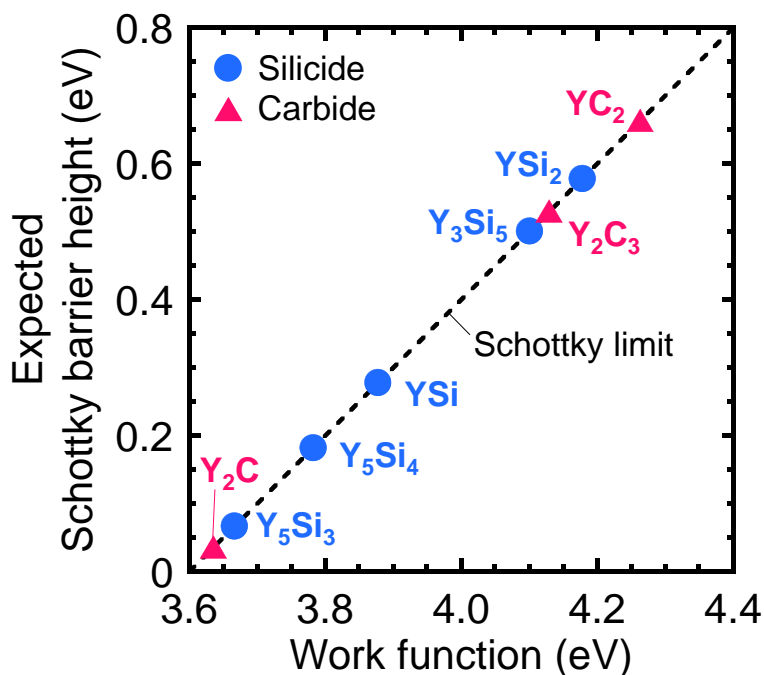


図 5.4 文献 18 に基づき計算した Y のシリサイド・カーバイドの仕事関数と、ショットキー極限に基づき予測される 4H-SiC に対する SBH。

## 5.4 界面層挿入によるショットキー障壁高さ制御

### 5.4.1 界面層挿入によるショットキー障壁高さ制御

MIGS の抑制や表面準位のパッシベーションを目的とし、極薄の  $\text{SiN}_x$  層の挿入を検討した。図 5.5 に、金属/ $\text{SiN}_x$ /4H-SiC 構造の  $J$ - $V$  特性の  $\text{SiN}_x$  層膜厚依存性を示す。図 5.5(a)Y/ $\text{SiN}_x$ /4H-SiC 構造では、逆方向バイアス領域の電流密度が  $\text{SiN}_x$  層の厚さとともに増加している。図 5.5(b)Mg/ $\text{SiN}_x$ /4H-SiC 構造では、逆方向バイアス領域の電流密度が  $\text{SiN}_x$  層の厚さとともに減少し、その後増加していることがわかる。さらに、図 5.5(c)および(d)に示すように、Hf および Al/ $\text{SiN}_x$ /4H-SiC 構造の電流密度は、逆方向バイアス領域において、 $\text{SiN}_x$  層の厚さとともに単調な減少傾向を示している。逆方向飽和電流から SBH を求め、

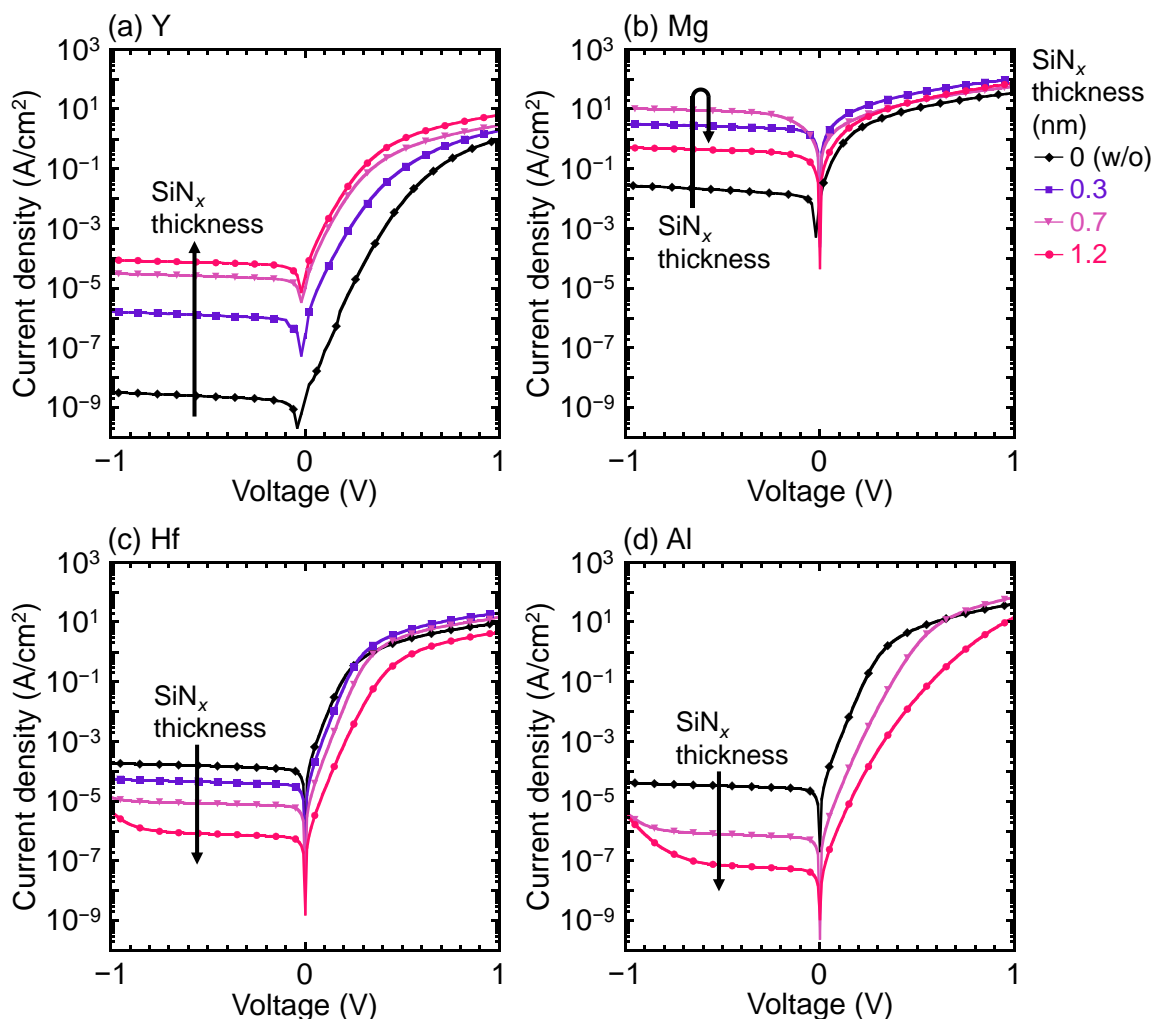


図 5.5 金属/ $\text{SiN}_x$ /4H-SiC 構造の  $J$ - $V$  特性.

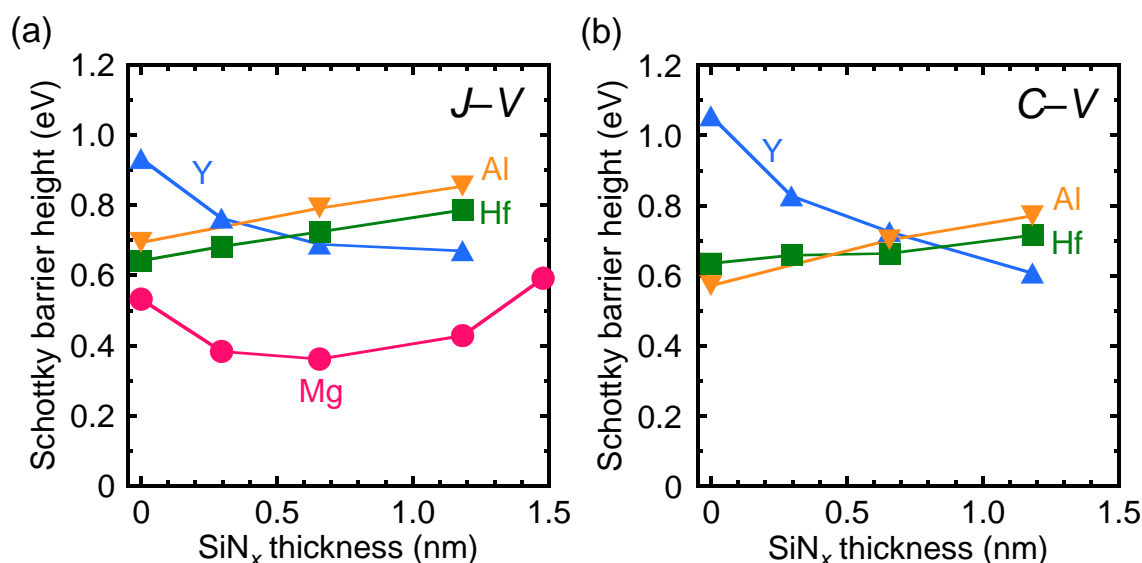


図 5.6 金属/SiN<sub>x</sub>/4H-SiC 構造における, (a)  $J$ - $V$  特性および(b)  $C$ - $V$  特性から見積もった SBH の SiN<sub>x</sub> 層膜厚依存性.

SiN<sub>x</sub> 層厚さの関数として図 5.6(a)に示す. また, 逆方向電流の比較的小さい Al, Hf, Y 試料について,  $C$ - $V$  測定から見積もった SBH を図 5.6(b)に示す. 両手法で得られた SBH の SiN<sub>x</sub> 膜厚に対する変化傾向は一致しており, 仮定したリチャードソン定数の妥当性や電気伝導の面内均一性を示している. SiN<sub>x</sub> 膜厚に対する SBH の振舞いは複雑な挙動を示しており, いくつかの SBH 変調要因の複合を示唆している. そのうちの一つとして想定されるのは, 「金属/SiN<sub>x</sub> 界面でのフェルミレベルピニング」である. この影響について調査するため, 次のような実験を行った.

$n$  型の 4H-SiC 基板上に厚さ 15 nm の SiN<sub>x</sub> 層を形成した後, N<sub>2</sub> 雰囲気下, 300 °C で 5 分間の熱処理を行った. メタルマスクを用いて金属電極を形成し, MOS キャパシタを作製した.  $C$ - $V$  測定を行い,  $1/C^2$ - $V$  プロットからフラットバンド電圧を見積った. 図 5.7 は, フラットバンド電圧を金属の仕事関数に対してプロットしたものである. フラットバンド電圧は, 仕事関数に対して弱い依存性を有していることが分かる. 図 5.7 の傾きで定義される  $S$  値は, 0.16 と見積もられた. この値は, MIGS 理論に基づいて理論的に見積もられた Si<sub>3</sub>N<sub>4</sub> のスロープパラメータである 0.56 よりも低い値である[11,20]. このことから, 本研究で用いた SiN<sub>x</sub> 膜では, 金属/SiN<sub>x</sub> 界面において外因的な欠陥準位に起因する強い FLP が発生していると考えられる.

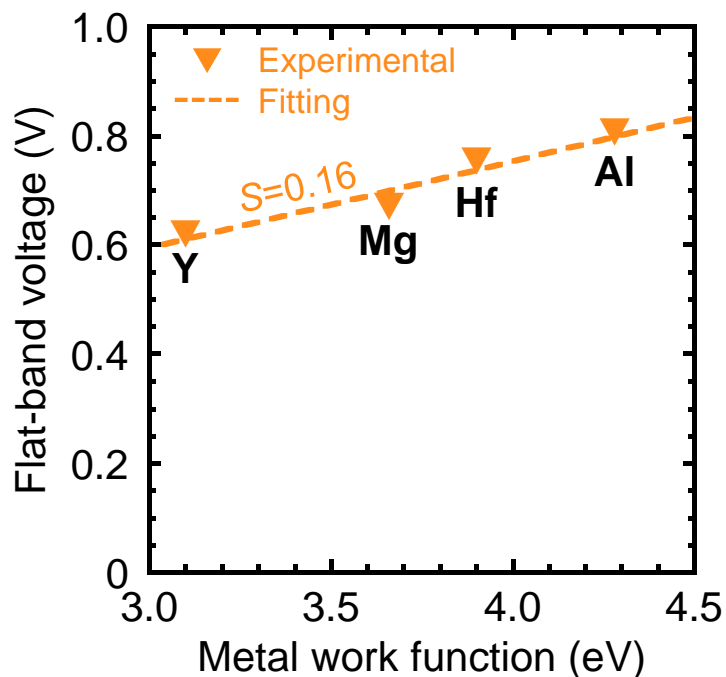


図 5.7 金属/SiN<sub>x</sub>(15 nm)/4H-SiC MOS キャパシタにおける, フラットバンド電圧の金属の仕事関数依存性. グラフの傾きで定義される S 値は, 0.16 と見積もられた.

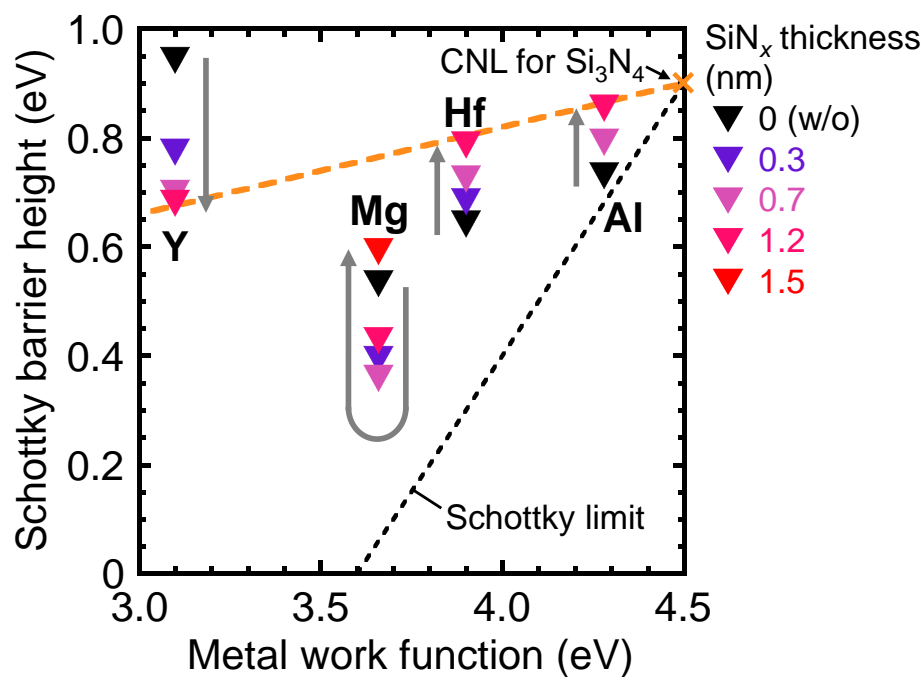


図 5.8 金属/SiN<sub>x</sub>/4H-SiC 構造における, SBH の金属の仕事関数依存性.



さて、以上の結果を踏まえて、金属/SiN<sub>x</sub>/4H-SiC 構造の SBH の挙動を考察する。SBH を金属の仕事関数に対してプロットした結果を図 5.8 に示す。膜厚増加による SBH の変化傾向を矢印で示している。図中の破線は、Si<sub>3</sub>N<sub>4</sub> の電荷中性準位 ( $E_{vac} - 4.5 \text{ eV}$ [21]) を通過するようにスロープパラメータ  $S = 0.16$  を用いて描いたものである。全ての金属において、挿入 SiN<sub>x</sub> 膜厚増大とともに SBH が図中の破線に向かって変調されていることが分かる。すなわち、金属/SiN<sub>x</sub> 界面でのフェルミレベルピニングが SBH を決定していることを意味している。同様の傾向は、所属研究室において以前に報告した金属/4H-SiC 界面への SiC<sub>x</sub>O<sub>y</sub> 層の挿入でも観察されている[7]。欠陥準位は挿入された SiN<sub>x</sub> 層全体に分布しており、膜厚の増加に伴い層内の欠陥準位の総量が増加したために、膜厚増加と共に FLP 傾向が強まったと考えられる。

しかし、Mg/SiN<sub>x</sub>/4H-SiC 構造に限っては、SiN<sub>x</sub> 層の厚さが 0.7 nm 以下の領域では、SiN<sub>x</sub> 層の厚さが増すにつれて SBH が減少し、ショットキー限界に近づいた。この傾向は、MIGS の抑制によって理解できる (図 5.9) [22,23]。このような現象は、高仕事関数金属/4H-SiC 界面に絶縁体層を挿入した研究においては報告されたことがない。MIGS の影響が大きくなる伝導帯端付近での特有の現象であると考えられる。

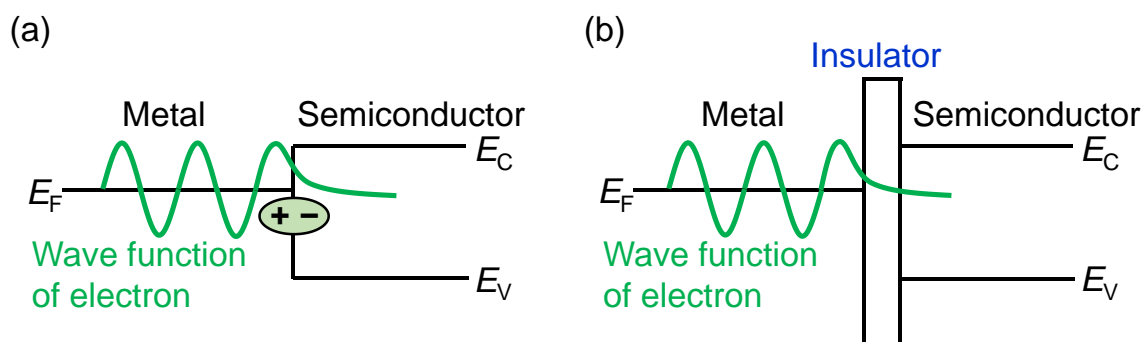


図 5.9 (a)金属/半導体界面における MIGS の模式図. (b)絶縁体層の挿入による MIGS 抑制の模式図.

なお、Hf/4H-SiC 界面に SiN<sub>x</sub> を挿入しても SBH の減少が見られないことから、MIGS の効果は Hf/4H-SiC 界面よりも Mg/4H-SiC 界面の方が大きいと考えられる。これは、バンド端近傍で MIGS の効果が大きくなるという理論的予測とも一致する[12]。なお、SiN<sub>x</sub> 層の挿入により Mg/4H-SiC の SBH は減少したものの、ショットキー限界からは 0.3 eV 程度の

差があった。このことは、伝導帯端付近には MIGS 以外の SBH 変調因子が共存しており、 $\text{SiN}_x$  層挿入によって解消できないことを示唆している。MIGS 以外の SBH 変調要因の起源と、その除去手法については、5.5 節で議論する。

## 5.4.1 コンタクト抵抗率シミュレーション

今回、 $\text{SiN}_x$ 層を挿入して得られた  $0.36 \text{ eV}$  という SBH 値は、 $300^\circ\text{C}$  以下のプロセスで得られた最も低い値である。この値は、 $1000^\circ\text{C}$  での熱処理を施した Ni/n 型 4H-SiC 界面の SBH として報告されている  $0.35\text{--}0.45 \text{ eV}$  と同程度である[3,5]。このことから、界面層挿入は低いプロセス温度での低抵抗コンタクトの形成に有効であることが分かる。しかし、本手法では、SBH は減少するものの、界面層自体の抵抗により接触抵抗が増加することが懸念される[24]。そこで、SBH の低下と界面層の厚さが接触抵抗に与える影響について、理論シミュレーションを行い定量的に考察した。文献 25 に倣い、 $\text{Mg}/\text{SiN}_x/4\text{H-SiC}$  構造のトンネル抵抗を計算した。

図 5.10 は、電子があるエネルギー  $E$  を持ち、金属から 4H-SiC の内部伝導帯にトンネルするときの模式的なエネルギーバンド図である。 $x_0$  と  $x_E$  はそれぞれ、電子がポテンシャル障壁  $V(x)$  に到達する位置と通過する位置である。 $E_{\text{FM}}$  と  $E_{\text{FS}}$  は、それぞれ金属と半導体のフェルミレベルである。4H-SiC と  $\text{SiN}_x$  の伝導帯オフセットには、 $1.6 \text{ eV}$  を用いた[26]。 $\text{SiN}_x$  層のバンドベンディングは、金属/ $\text{SiN}_x$  および  $\text{SiN}_x/4\text{H-SiC}$  の界面で真空準位が連続となる

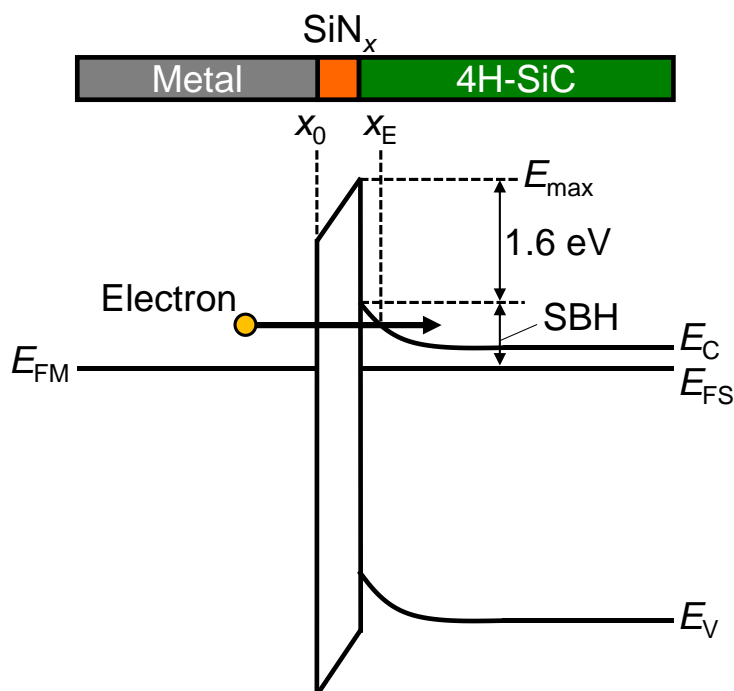


図 5.10 コンタクト抵抗率シミュレーションにおいて仮定した金属/ $\text{SiN}_x/4\text{H-SiC}$  構造のエネルギーバンド図.

ように決定した。また、4H-SiC のバンドベンディングは完全空乏近似を用いて1次元のポアソン方程式を解くことで算出した。 $E_{FS}$ は、イオン化したドナー濃度 ( $N_D^+$ ) と自由電子濃度 ( $n$ ) が一致するよう、以下の式を連立して決定した。

$$N_D^+ = N_D - \frac{N_D}{1 + \frac{1}{2} \exp\left(\frac{E_{FS} - E_D}{k_B T}\right)} \quad (5.2)$$

$$n = N_C \frac{2}{\sqrt{\pi}} F_{1/2}\left(\frac{E_{FS} - E_C}{k_B T}\right) \quad (5.3)$$

ここで  $E_D$  はドナーレベルである。今回、ドナーとして N 原子を想定し、 $E_D$  は伝導帯端から 0.055 eV 下に位置するとした[27]。コンタクト抵抗率は次のように定義される。

$$\rho_c = \left\{ \frac{\partial V}{\partial J_{\text{tunnel}}} \right\}_{V=0} \quad (5.4)$$

$V$  は印加電圧、 $J_{\text{tunnel}}$  はトンネリング電流密度である。 $J_{\text{tunnel}}$  は、Tsu-Esaki モデルに基づき、以下の式で与えられる[28]。

$$J_{\text{tunnel}} = \frac{4\pi m_{\text{tunnel}} q k_B T}{h^3} \int_{E_C}^{E_{\text{max}}} P(E) N(E) dE \quad (5.5)$$

$m_{\text{tunnel}}$  は電子のトンネル有効質量、 $h$  はプランク定数、 $E_C$  は 4H-SiC の伝導帯端のエネルギー、 $E_{\text{max}}$  はポテンシャルの最大値である。4H-SiC と  $\text{SiN}_x$  の両方に対し、 $m_{\text{tunnel}}$  として  $0.4m_0$  を用いた[29,30]。ここで、 $m_0$  は自由電子の質量  $9.11 \times 10^{-31}$  kg である。 $N(E)$  は Supply function と呼ばれ、次のように与えられる。

$$N(E) = \ln \left\{ \frac{1 + \exp\left(\frac{E_{FM} - E}{k_B T}\right)}{1 + \exp\left(\frac{E_{FS} - E - qV}{k_B T}\right)} \right\} \quad (5.6)$$

$P(E)$  は電子のトンネル透過確率である。WKB 近似を用いることで、 $P(E)$  は次のように表せる[31]。

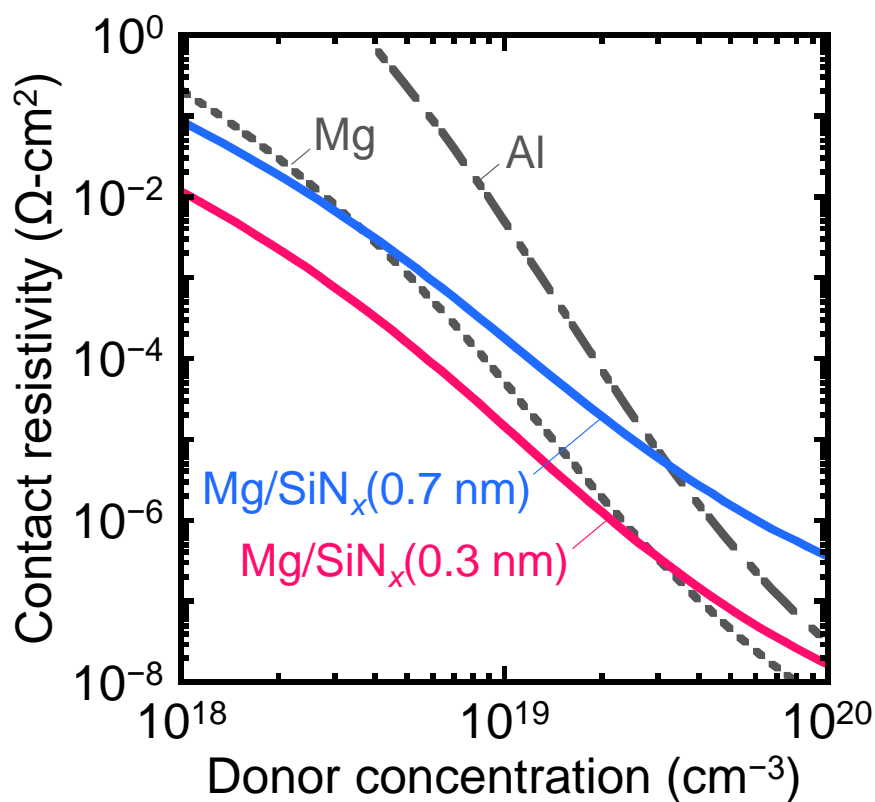
$$P(E) = \frac{\exp(-2L)}{\{1 + 0.25\exp(-2L)\}^2} \quad (5.7)$$

$$L = \int_{x_0}^{x_E} \frac{\sqrt{2m_{\text{tunnel}}\{V(x) - E\}}}{\hbar} dx \quad (5.8)$$

式(5.2)–(5.8)と、本研究で得られた SBH 値を用いて、Mg/SiN<sub>x</sub>/4H-SiC 構造および金属 (Mg および Al) /4H-SiC 構造について、ドナー濃度  $10^{18} \sim 10^{20}$  cm<sup>-3</sup> の範囲でコンタクト抵抗率

を見積もった。結果を図 5.11 に示す。まず、Mg/4H-SiC 構造 (SBH : 0.53 eV) と Al/4H-SiC 構造 (SBH : 0.7 eV) に見られるように、全ドナー濃度領域において、SBH の低い界面の方がコンタクト抵抗率が小さくなることを確認した。SBH が 0.39 eV の Mg/SiN<sub>x</sub>(0.3 nm)/4H-SiC 構造では、 $\sim 1 \times 10^{19} \text{ cm}^{-3}$  以下のドナー濃度領域では Mg/4H-SiC 構造に比べてコンタクト抵抗率が約 1 桁低く、ドナー濃度  $1 \times 10^{19} \text{ cm}^{-3}$  では約  $1 \times 10^{-5} \Omega\text{-cm}^2$  の値が得られると予想された。しかし、 $\sim 3 \times 10^{19} \text{ cm}^{-3}$  以上のドナー濃度領域では、Mg/SiN<sub>x</sub>(0.3 nm)/4H-SiC 構造が Mg/4H-SiC 構造よりも高いコンタクト抵抗率を示している。これは、高濃度ドーピング領域では、SiN<sub>x</sub> 層を介したトンネル抵抗が 4H-SiC の空乏層のそれよりも支配的であるためである。したがって、本手法はドナー濃度が  $\sim 3 \times 10^{19} \text{ cm}^{-3}$  以下の場合での低抵抗オーミックコンタクト形成に特に有効であると考えられる。例えば、化学気相成長によるエピタキシャル成長の際に *in-situ* ドーピングを行うと、 $2 \times 10^{19} \text{ cm}^{-3}$  以上の窒素ドーピングがダブルショックレー型積層欠陥を引き起こすため、高ドーピング濃度と高結晶性を同時に達成することは困難である[32]。

最後に、Mg/SiN<sub>x</sub>(0.7 nm)/4H-SiC 構造では本研究で最も低い SBH が得られたものの、SiN<sub>x</sub> 層のトンネル抵抗の寄与が大きいため、Mg/SiN<sub>x</sub>(0.3 nm)/4H-SiC 構造や Mg/4H-SiC 構造と比較して高いコンタクト抵抗率が予測された。低いコンタクト抵抗率を得るためには、Si 系や Ge 系と同様に、挿入層の膜厚の最適化が重要である[24]。



	Structure	SBH (eV)
— —	Al/4H-SiC	0.70
· · · ·	Mg/4H-SiC	0.53
—	Mg/SiN <sub>x</sub> (0.3 nm)/4H-SiC	0.39
—	Mg/SiN <sub>x</sub> (0.7 nm)/4H-SiC	0.36

図 5.11 各ドーパ濃度におけるコンタクト抵抗率のシミュレーション.

## 5.5 Mg/4H-SiC 構造に対する電極形成後熱処理効果

絶縁膜挿入による MIGS 抑制により、低 SBH 化が達成された。しかし、得られた結果は未知のダイポールの存在を示唆しており、これを排除することが更なる低 SBH の鍵となると考えられる。そこで、単純な金属/4H-SiC 界面を形成した際に最も低い SBH が得られた、Mg/4H-SiC 構造に対する電極堆積後熱処理を試みた。

5.4 節で示した結果は、全て基板 A から切り出して行ったものであったが、本節で示す結果は、製造ロットの異なる基板 B を用いたものが含まれる。基板 A と基板 B では、同一条件で作製した試料においても結果に一部違いが見られた。そこで、まずは基板の違いがもたらす SBH への影響を調査した結果について述べる。

ドナー濃度約  $1 \times 10^{16} \text{ cm}^{-3}$  のエピタキシャル層を有する基板 A および基板 B を使用した。基板 B を用いた試料の一部には、 $\text{O}_2$  雰囲気中で  $1100^\circ\text{C}$ 、2 時間の犠牲酸化を施した。1%フッ化水素酸に 1 時間浸漬し、 $\text{SiO}_2$  層を除去した。この条件を用いることで、4H-SiC 基板表面の酸化副生成物をほとんど除去できることを第 3 章で確認している。犠牲酸化を行わない試料では、1%フッ化水素酸に 1 分間浸漬し基板洗浄を行った。続いて、ネガ型フォトリソを用いたリフトオフプロセスにより円形電極を形成した。厚さ約 150 nm の Mg 層を真空蒸着法により約  $1 \times 10^{-3} \text{ Pa}$  の真空中で室温にて蒸着した後、キャップ層として厚さ約 300 nm の Al 層を真空蒸着法により蒸着した。その後、 $\text{N}_2$  雰囲気下で  $200\text{--}400^\circ\text{C}$  で 30 分間の電極形成後熱処理を行った。

図 5.12 は、基板 A（犠牲酸化無し）、基板 B（犠牲酸化有り/無し）上に形成した Mg/4H-SiC コンタクトの、熱処理前後の室温における  $J$ - $V$  特性である。全ての試料において、電流値は異なるものの、熱処理に対する挙動の共通性を見出すことができる。まず、熱処理なしの試料と比較して、 $200^\circ\text{C}$  で熱処理を行った試料では高い  $J_s$  が得られている。その後、熱処理温度の上昇とともに  $J_s$  が減少している。熱電子放出理論に基づいて、 $J_s$  から SBH を見積もった結果を図 5.13 に示す。まず、熱処理前の SBH は基板により大きく異なり、最大で 0.15 eV 程度の差が生じている。しかし、熱処理後には、犠牲酸化無しの基板 A および犠牲酸化有りの基板 B において非常に近い挙動を示している。すなわち、これら

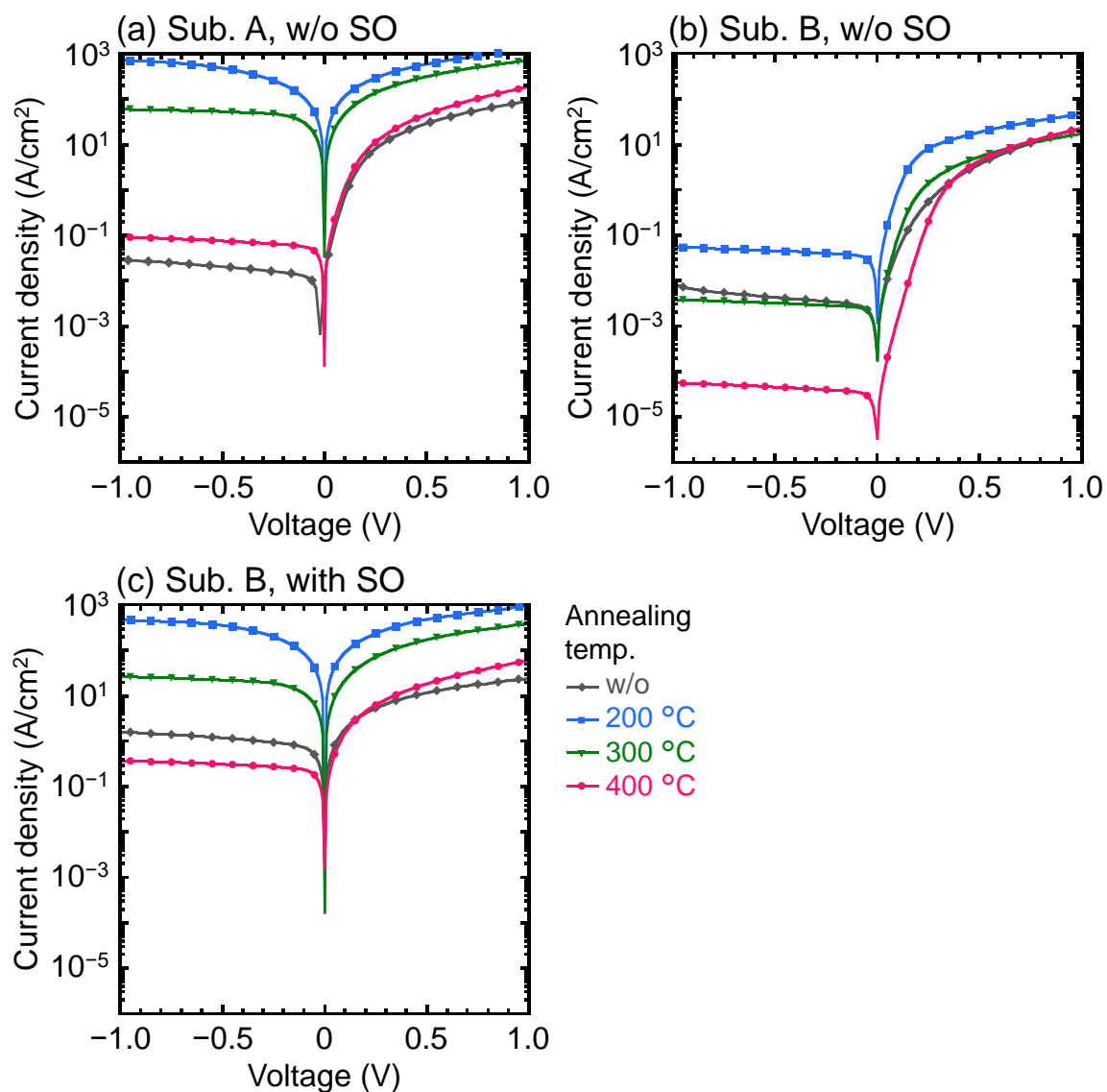


図 5.12 犠牲酸化(SO)無し基板 A, 犠牲酸化無し/有りの基板 B 上に形成した Mg/4H-SiC コンタクトの 30 分間の熱処理前後の  $J$ - $V$  特性.



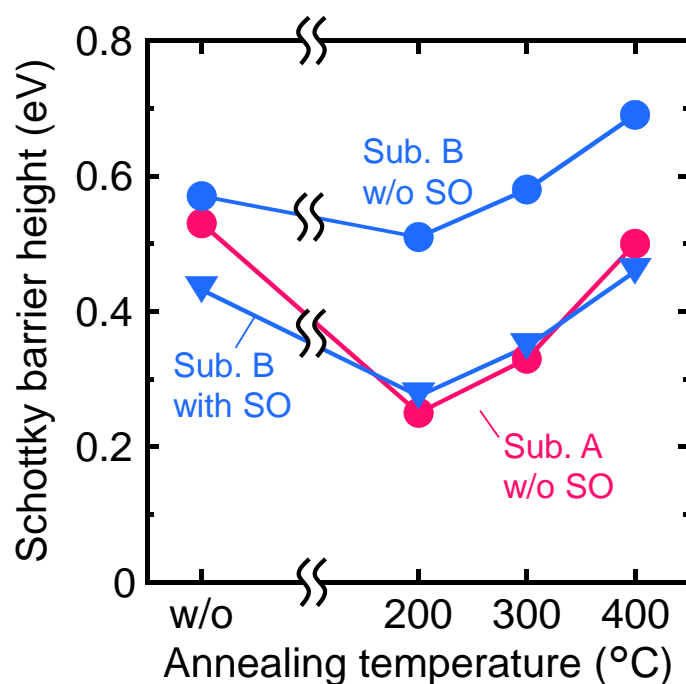


図 5.13 犠牲酸化(SO)無しの基板 A, 犠牲酸化無し/有りの基板 B 上に形成した Mg/4H-SiC コントクトの SBH の熱処理温度依存性.

の Mg/4H-SiC 界面は非常に近い状態にあると考えられる. 一方で, 犠牲酸化無しの基板 B においては, 全体的に高い SBH 値を示しており, 基板の表面状態が SBH に影響することが分かった. 熱処理後の SBH 増加傾向は平行移動した形となっており, なんらかのダイポールが存在が示唆される. このダイポールの起源は明らかにできていないが, 基板表面付近の結晶性や点欠陥密度など, 制御しきれない要因が影響しているものと思われる. 基板 A のように, 基板の表面状態が良好な場合は犠牲酸化無しで低 SBH が得られるが, 基板 B のようにそうでない場合でも犠牲酸化を施し基板表面を 5 nm 程度除去することで, 同等の低 SBH が得られることが分かった.

次に、Mg/4H-SiC 界面の SBH の熱処理時間依存性を調査した。なお、以降の結果は犠牲酸化を施した基板 B を用いている。図 5.14 に結果を示す。200 °C で熱処理した試料では、SBH は熱処理時間とともに減少し、1 時間で最も低い SBH 値である 0.28 eV が得られた。この SBH は、Mg/SiN<sub>x</sub>/4H-SiC 構造の SBH (0.36 eV) や、950 °C 以上での熱処理を施した Ni/4H-SiC 界面におけるコンタクト抵抗率から推定される実効的な SBH (0.35–0.45 eV[3,5]) よりも低い値である。一方で、2 時間以上の熱処理では SBH がわずかに増加した。300 °C と 400 °C においては、1 分間の熱処理に対しては、熱処理なし試料に比べて SBH が低減している。しかしその後、SBH は時間の経過とともに単調に増加した。このような SBH の時間・温度依存性は、Mg/4H-SiC 界面において SBH の低減と増加に寄与する 2 つの反応の競合を示唆している。すなわち、反応初期には SBH 低減に寄与する速い反応が支配的であり、反応の進行と共に SBH 増大に寄与する遅い反応が支配的となる。今回の結果から、熱処理温度 200 °C では SBH 低減に寄与する反応を支配的に起こすことができ、広い時間範囲で 0.3 eV 以下の低い SBH が得られることがわかった。

次に、Mg/4H-SiC 界面での界面反応を調べるために、Mg/4H-SiC 界面の粗さについて検

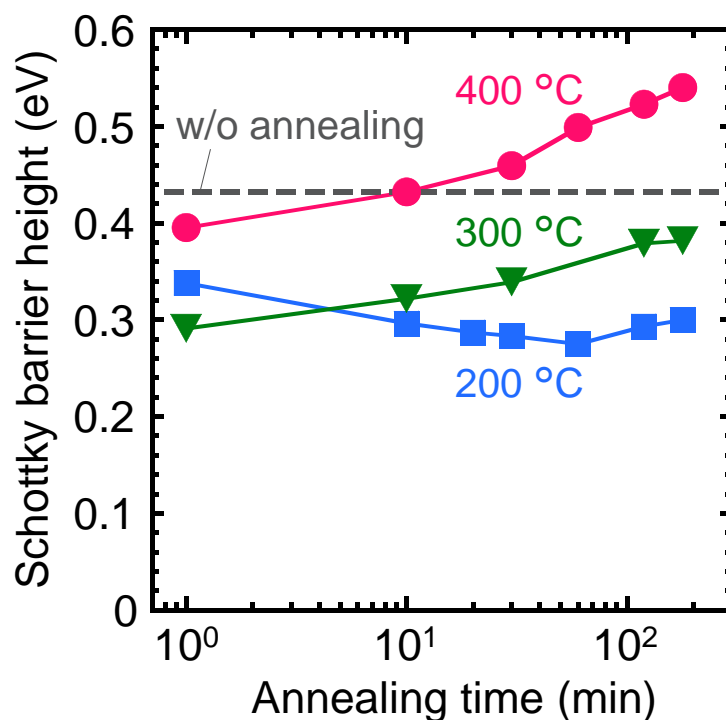


図 5.14 Mg/4H-SiC 界面の SBH の熱処理温度・時間依存性。

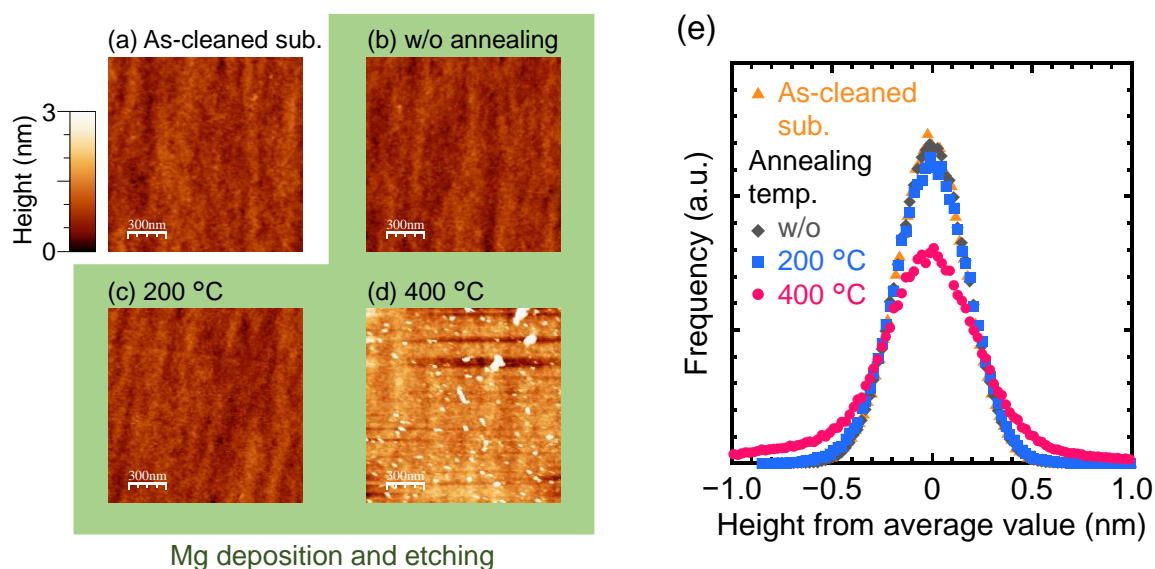


図 5.15 (a)洗浄直後の 4H-SiC 基板の AFM 像. (b)–(d)Mg 層を堆積し, 塩酸溶液を用いて Mg 層をエッチングした後の 4H-SiC 基板表面の AFM 像. (b)は Mg 層堆積後の熱処理なし, (c), (d)は 200 °C および 400 °C で 30 分間の熱処理をそれぞれ行った. (e)AFM 像の高さヒストグラム.

討した. 4H-SiC 基板の全面に Mg 層を蒸着し, 熱処理を施した後, 塩酸溶液を用いて Mg 層を化学的にエッチングした. その後, AFM を用いて基板の表面粗さを評価した. 図 5.15 (a)–(d)は, (a) 犠牲酸化層除去直後の基板, (b) Mg を蒸着し熱処理を行わずにエッチングした基板, Mg を蒸着し(c) 200 °C および(d) 400 °C で 30 分間の熱処理を行った基板の AFM 像である. (a)–(c)では見た目の変化がほとんどなく, 400 °C 熱処理を施した(d)でのみ表面粗さが増大していることが見て取れる. 図 5.15 (e)は, これらの AFM 像から作成した高さヒストグラムである. 400 °C で熱処理した試料のみ高さのヒストグラムが広がっており, 粗さが増加していることを示している. このことから, 400 °C での熱処理後でのみ, 顕著な界面反応が起こっていると考えられる. なお, 5.3 節において, Y/4H-SiC コンタクトは室温堆積においても粗い界面を有しており, 同時に高い SBH を示すことを明らかにした. この結果から類推すると, 界面反応中に点欠陥などの欠陥準位が形成されることが, SBH 増加の要因であると考えられる. 類似性を見出すことができる.

また, 200 °C の熱処理を施した試料では, 低 SBH コンタクトが形成されており, その界面は洗浄直後の基板と同等の, 原子レベルでの平坦性を有していることから, Mg と 4H-

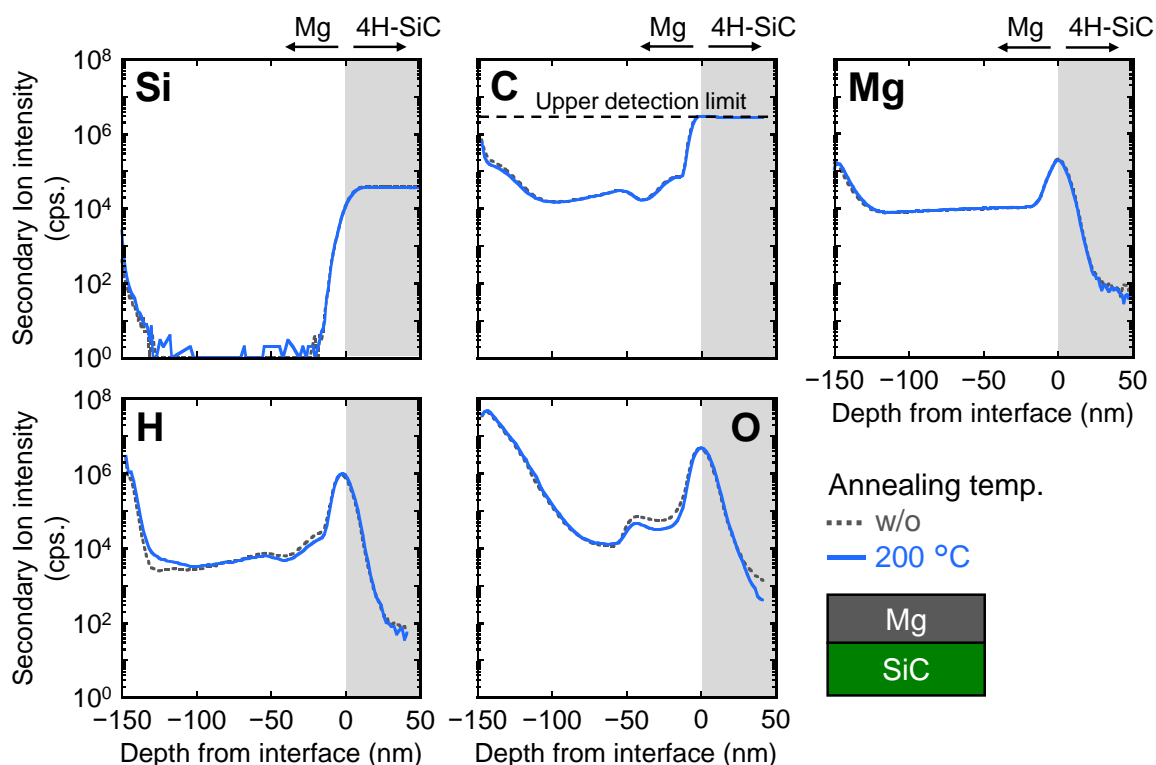


図 5.16 SIMS により測定した, 200 °C にて 30 分間の熱処理を行う前後の Mg/4H-SiC 構造中の元素分布.

SiC の混合などの大きな界面反応は生じていないと考えられる. すなわち, SBH 減少は, Mg/4H-SiC 界面付近のごくわずかな構造変化によって引き起こされたと考えられる. 本結果は, 低 SBH と平坦界面が本質的に両立可能であることを意味しており, 4H-SiC デバイスの微細化に向け, 期待の持てる結果と言える.

次に, 200 °C 熱処理での SBH 減少に対する洞察を得るため, Cs<sup>+</sup>イオンを用いた二次イオン質量分析法 (SIMS) により Mg 層中の元素分布を明らかにした. 図 5.16 は, 200 °C, 30 分間の熱処理前後の Mg/4H-SiC 構造の Si, C, Mg, H, O 原子の深さ方向の分布である. 熱処理後の Si, C, Mg の分布にはほとんど変化が見られなかった. このことは, Mg と 4H-SiC の顕著な混合が起こっていないという前述の結果を支持している. 一方で, Mg/4H-SiC の界面付近で, Mg 層中の H と O の強度のみがわずかに低下していた. これは, Mg/4H-SiC 界面付近に存在していた H<sub>2</sub>O が, 熱処理により Mg 層に拡散したことを示している. 4H-SiC 基板表面への H<sub>2</sub>O 吸着等により, 熱処理前の Mg/4H-SiC 界面に H<sub>2</sub>O が存在する場合, H<sub>2</sub>O のイオン化ポテンシャルが n 型 4H-SiC のフェルミレベルよりも低い位置

にあるため[33],  $\text{H}_2\text{O}$  は負にイオン化すると考えられる. イオン化した  $\text{H}_2\text{O}$  は  $\text{Mg}$  中に対電荷を誘起するため, SBH を増加させると考えられる. 熱処理による  $\text{H}_2\text{O}$  の  $\text{Mg}$  中への拡散により界面ダイポールが減少し, SBH が低下した可能性がある.

最後に, CTLM によるコンタクト抵抗率評価の結果について述べる. ここでは, トンネル電流によるオーミック特性の発現が予想される, 高濃度ドープ基板を用いた. 図 5.17 (a)–(d) は, 200–400 °C で 30 分間の熱処理を施した  $\text{Mg}/4\text{H-SiC}$  CTLM パターンの  $I$ - $V$  特性である. 同じ電極間隔と比較すると, 200 °C で熱処理した試料で最も高い電流値が観測された. また熱処理温度の上昇とともに電流値は減少しており, これは図 5.13 における  $J_s$  の傾向

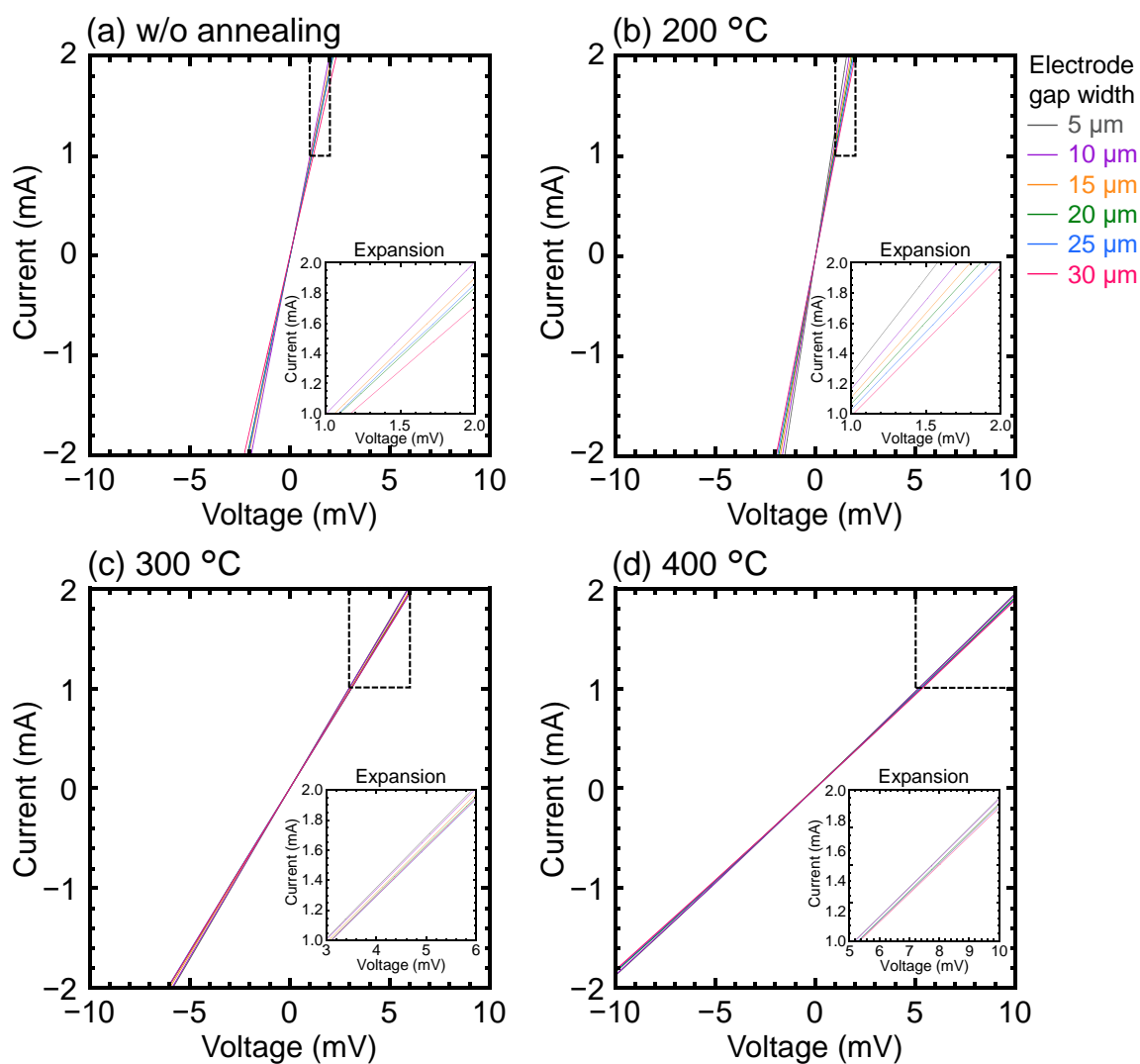


図 5.17 熱処理なし, または 200–400 °C で 30 分間の熱処理を行った  $\text{Mg}/4\text{H-SiC}$  CTLM パターンの  $I$ - $V$  特性の電極間隔依存性.

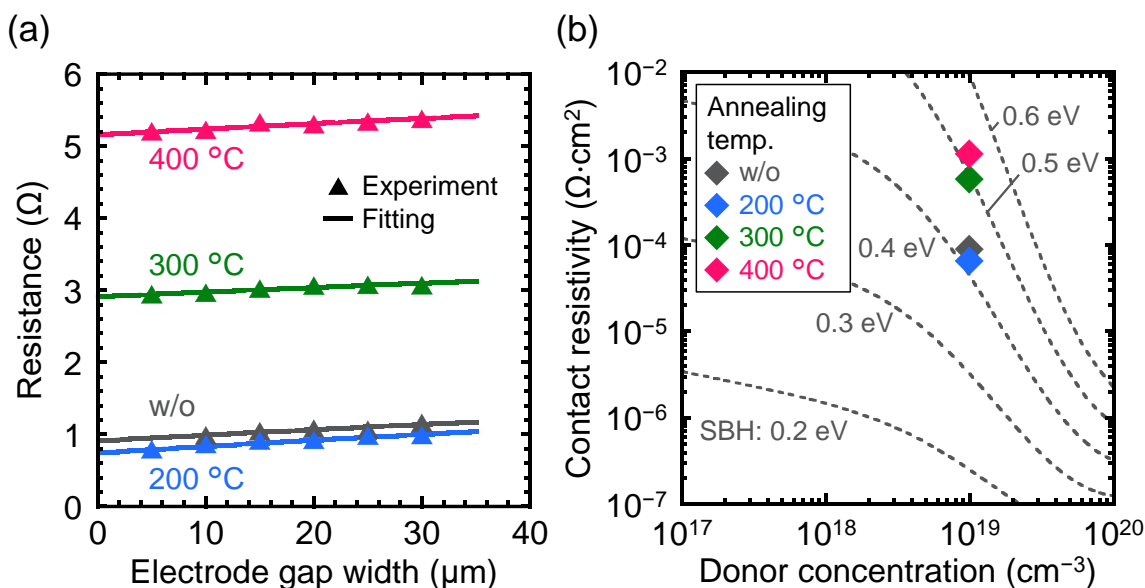


図 5.18 (a)CTLM 測定における抵抗の電極間隔依存性とそのフィッティング. (b)CTLM 測定から見積もったコンタクト抵抗率. 破線は、熱電界放出モデルに基づき SBH 値を仮定して計算したコンタクト抵抗率の理論値.

表 5.1 CTLM 測定結果のフィッティングにより求めた各パラメータ.

Annealing temp. (°C)	$R_{sh}$ (Ω)	$L_T$ (μm)	$\rho_c$ (Ω·cm²)
w/o	8.3	33	$8.9 \times 10^{-5}$
200	8.2	28	$6.5 \times 10^{-5}$
300	8.0	85	$5.7 \times 10^{-4}$
400	10	$1.0 \times 10^2$	$1.1 \times 10^{-3}$

と同じである. 図 5.18(a)に、抵抗値の電極間隔依存性を示す. データは式(2.22)でフィッティングし 4H-SiC のシート抵抗 ( $R_{sh}$ ) および伝送長 ( $L_T$ ) を求め、コンタクト抵抗率 ( $\rho_c$ ) を求めた.

図 5.18(b)に、Mg/4H-SiC のコンタクト抵抗率を示す. コンタクト抵抗率は、熱処理なしの場合に比べて 200 °C の熱処理後に減少し、 $6.5 \times 10^{-5} \Omega \cdot \text{cm}^2$  が得られた.  $N_D \sim 1 \times 10^{19} \text{ cm}^{-3}$  の基板上でこれまでに報告されている、950 °C 以上の熱処理を施した Ni/4H-SiC のコンタクト抵抗率は、 $2.7 \times 10^{-6} - 8 \times 10^{-5} \Omega \cdot \text{cm}^2$  であった[2,4,5]. 今回、200 °C の熱処理で同様の値が得られたことは、大きなアドバンテージと言える. コンタクト抵抗率は 300 °C および 400 °C での熱処理後に増加した. これは、低濃度ドープ基板上で観察された高温アニール後の SBH の増加傾向と一致している.

熱電界放出理論に基づくと、コンタクト抵抗率はショットキー障壁高さおよびドーブ濃度に依存して次式で表される[34].

$$\rho_C = \frac{k_B \sqrt{E_{00}} \cosh(E_{00}/k_B T) \coth(E_{00}/k_B T)}{qA^*T \sqrt{\pi(q\Phi_{Bn} - (E_C - E_F))}} \cdot \exp\left(\frac{q\Phi_{Bn} - (E_C - E_F)}{E_{00} \coth(E_{00}/k_B T)} + \frac{E_C - E_F}{k_B T}\right) \quad (5.9)$$

$$E_{00} = \frac{q\hbar}{2} \sqrt{\frac{N_D}{m^* \epsilon_S}} \quad (5.10)$$

ここで、 $\hbar$ はプランク定数、 $m^*$ は半導体中の電子有効質量、 $N_D$ は半導体のドーブ濃度である。SBHを仮定して計算した結果を図 5.18(b)中に破線で示した。200℃で熱処理を施した試料において、コンタクト抵抗率から SBH を計算したところ、0.41 eV と見積もられた。

この値は、低濃度ドーブを基板上で得られた SBH (0.29 eV) よりも高い。このことは、熱処理条件以外にも SBH に影響する要因が存在することを意味している。そこで、基板の表面状態が SBH に与える影響を調べるために、表面状態の異なる 3 種類の基板を用いて、Mg/4H-SiC 界面における SBH の熱処理に対する挙動を調べた。3 種類の基板とは、(i) 犠牲酸化を行った低濃度ドーブ基板、(ii) 犠牲酸化を行っていない低濃度ドーブ基板、(iii) 犠牲酸化を行った高濃度ドーブ基板である。図 5.19 は、Mg/4H-SiC コンタクトの SBH を熱処理温度に対して示したものである。熱処理時間はすべて 30 分である。低濃度および高濃度ドーブ基板上に形成した試料について、SBH はそれぞれ  $J_s$  値から TE 理論に基づき、コンタクト抵抗率から TFE 理論に基づき推定した。SBH は 200℃での熱処理後に減少し、その後熱処理温度の上昇とともに増加する、という傾向はドーブ濃度や犠牲酸化の有無に関わらず一致している。しかしながら、熱処理後の SBH の挙動は、基板の表面状態に依存して SBH 軸に対して平行移動している。そのため、SBH の最小値が試料毎に異なるという結果が得られた。このことは、基板の表面状態に依存した固定ダイポールの存在を示唆している。本研究においては、このダイポールの起源については明らかにできていない。過去の報告によると、Pt/4H-SiC 界面における SBH が犠牲酸化の有無により変化することが報告されている[35]。この結果について、基板表面の Si, C, O を含む構造が犠牲酸化により取り除かれることが要因であるとの示唆が得られている[35]。また、高濃度ドーブの

エピタキシャル層は炭素空孔を含みやすいと報告されており[36], 炭素空孔が伝導帯端より 0.7–1.2 eV 深いエネルギーに欠陥準位を形成する[8,37]. こうした欠陥準位も, 固定ダイポールの起源となり得る.

最後に, Mg/4H-SiC 界面の SBH の挙動について, 図 5.20 にまとめる. 熱処理に対する SBH の変化は, 界面反応の度合いにより整理される. 反応初期には, H<sub>2</sub>O との関連が示唆されるダイポールの消滅による SBH 低減が見られる. 反応の進行とともに基板表面の粗さが増大し, DIGS または欠陥生成による SBH 増大が起こる. これら界面反応による SBH 変調に加えて, 基板の表面状態に依存する固定ダイポールの存在も示唆された. 固定ダイポールの影響の大きさに応じて全体の傾向が縦軸方向にシフトし, 得られる最小の SBH が決定されると考えられる.



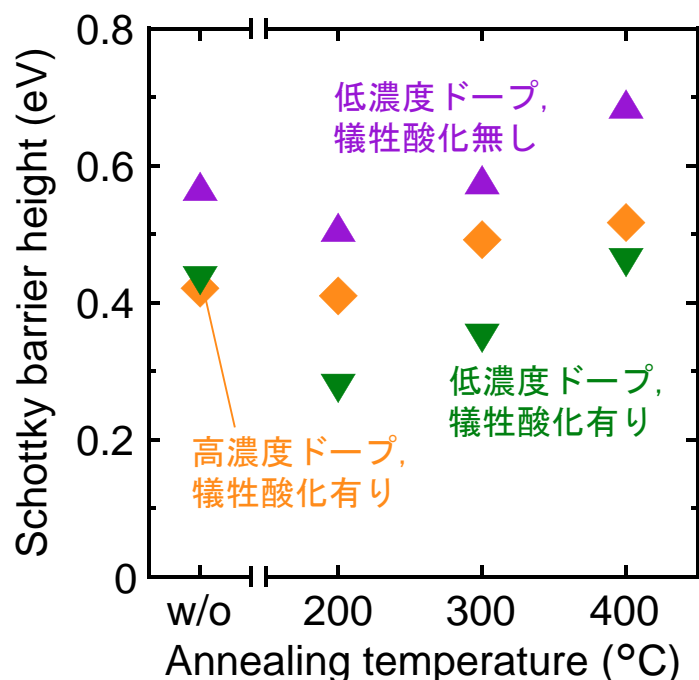
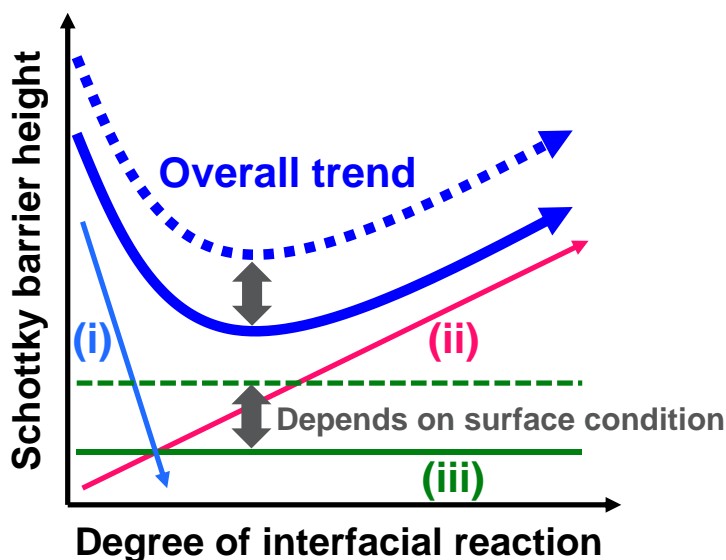


図 5.19 犠牲酸化有り/無しの低濃度ドーピング基板(基板 B), および犠牲酸化有りの高濃度ドーピング基板上に作製した Mg/4H-SiC コントクトの SBH の, 熱処理温度依存性. 低濃度ドーピング基板試料に対しては, J-V 特性から熱電子放出理論に基づき, 高濃度ドーピング基板試料に対しては, コントクト抵抗率から熱電界放出理論に基づき算出した.



- (i) SBH reduction reaction ( $H_2O$  related?)
- (ii) SBH increase (DIGS or defect generation)
- (iii) Fixed dipole

図 5.20 界面反応の度合いにより整理される, Mg/4H-SiC コントクトにおける熱処理に対する SBH の振舞いの模式図.

## 5.6 結論

本研究では、低仕事関数金属/4H-SiC 界面の SBH の挙動を調査し、また SBH 低減に向けて極薄 SiN<sub>x</sub> 層挿入および低温熱処理を試みた。Hf, Mg, Y/4H-SiC 界面の SBH はショットキー極限から外れており、0.5 eV 以上の SBH が形成されることが分かった。Y/4H-SiC 界面では、基板の表面粗さが増大しており、界面反応に伴う SBH 増大が示唆される。一方で、Mg/4H-SiC 界面では基板の表面粗さは清浄化基板と同程度であり、顕著な界面反応は認められなかった。

金属/4H-SiC 界面への SiN<sub>x</sub> 層挿入においては、Al, Hf では挿入 SiN<sub>x</sub> 膜厚増大と共に SBH が単調増加し、Y では単調減少し、Mg では一度減少した後に増加した。このユニークな挙動は、次の2つの効果で理解できることが分かった。一つ目は、SiN<sub>x</sub> 層へのフェルミレベルピニング、二つ目は MIGS の抑制である。MIGS 抑制効果により Mg/4H-SiC 界面の SBH は減少したものの、ショットキー極限から予測される値までは 0.3 eV 程度の差が生じており、SiN<sub>x</sub> 層挿入のみでは解消できないダイポールの存在を示唆している。

また、低温熱処理に対する Mg/4H-SiC 界面の SBH 挙動を調査した。熱処理中の Mg/4H-SiC 界面では、SBH の低減および増大に寄与する2つの反応が競合していることが明らかになった。反応初期に生じる SBH 低減を利用することで、200 °C における1時間の熱処理で 0.28 eV という極めて低い SBH が得られた。AFM 測定の結果、200 °C での熱処理後にも、基板の表面平坦性が維持されていることが分かった。一方で 400 °C 熱処理後には基板の表面粗さが増大しており、DIGS や欠陥準位生成に起因した SBH 増大の可能性が示唆された。SIMS 測定からは、SBH 低減反応に H<sub>2</sub>O が関わっている可能性が示唆された。高濃度ドーブ基板上では、SBH が 0.41 eV とやや高くなったものの、達成されたコンタクト抵抗率:  $6.5 \times 10^{-5} \Omega\text{-cm}^2$  は、一般的な Ni/4H-SiC コンタクトと同程度の値であった。低いコンタクト抵抗率と平坦な界面が本質的に両立可能であるという本結果は、4H-SiC デバイスのスケーリングに貴重な知見を与えるものである。

## 参考文献

- [1] M. Okamoto, A. Yao, H. Sato, and S. Harada, 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), 71 (2021).
- [2] A. Kakanakova-Georgieva, Ts. Marinova, O. Noblanc, C. Arnodo, S. Cassette, and C. Brylinski, *Thin Solid Films* 343–344, 637 (1999).
- [3] S. Y. Han, K. H. Kim, J. K. Kim, H. W. Jang, K. H. Lee, N. Kim, E. D. Kim, and J. Lee, *Appl. Phys. Lett.* 79, 1816 (2001).
- [4] I. P. Nikitina, K. V. Vassilevski, N. G. Wright, A. B. Horsfall, and A. G. O’Neill, *J. Appl. Phys.* 97, 083709 (2005).
- [5] A. V. Kuchuk, P. Borowicz, M. Wzorek, M. Borysiewicz, R. Ratajczak, K. Golaszewska, E. Kaminska, V. Kladko, and A. Piotrowska, *Advances in Condensed Matter Physics*, 2016, 9273702 (2016).
- [6] M. Hirose, T. Nabatame, K. Yuge, E. Maeda, A. Ohi, N. Ikeda, Y. Irokawa, H. Iwai, H. Yasufuku, S. Kawada, M. Takahashi, K. Ito, Y. Koide, and H. Kiyono, *Microelectron. Eng.* **216**, 111040 (2019).
- [7] K. Hashimoto, T. Doi, S. Shibayama, and O. Nakatsuka, *Jpn. J. Appl. Phys.* **59**, SGGD16 (2020).
- [8] T. Kobayashi, K. Harada, Y. Kumagai, F. Oda, and Y. Matsushita, *J. Appl. Phys.* **125**, 125701 (2019).
- [9] H. Hasegawa and H. Ohno, *J. Vac. Sci. Technol. B* **4**, 1130 (1986).
- [10] V. Heine, *Phys. Rev.* **138**, A1689 (1965).
- [11] W. Mönch, *Appl. Surf. Sci.* **92**, 367 (1996).
- [12] J. Tersoff, *Phys. Rev. Lett.* **52**, 465 (1984).
- [13] H. B. Michaelson, *J. Appl. Phys.* **48**, 4729 (1977).
- [14] M. Wiets, M. Weinelt, and T. Fauster, *Phys. Rev. B* **68**, 125321 (2003).
- [15] D. Perrone, M. Naretto, S. Ferrero, L. Scaltrito, and C. F. Pirri, *Mater. Sci. Forum* **615–617**, 647 (2009).
- [16] L. Huang, F. Qin, S. Li, and D. Wang, *Appl. Phys. Lett.* **103**, 033520 (2013).

- [17] L. Huang, R. Geiod, and D. Wang, *Jpn. J. Appl. Phys.* **55**, 124101 (2016).
- [18] J. L. Freeouf, *Solid State Commun.* **33**, 1059 (1980).
- [19] W. E. Spicer, I. Lindau, P. Skeath, C. Y. Su, and P. Chye, *Phys. Rev. Lett.* **44**, 420 (1980).
- [20] Y. C. Yeo, T. J. King, and C. Hu, *J. Appl. Phys.* **92**, 7266 (2002).
- [21] Y. N. Xu and W. Y. Ching, *Phys. Rev. B* **51**, 17379 (1995).
- [22] D. Connelly, C. Faulkner, P. A. Clifton, and D. E. Grupp, *Appl. Phys. Lett.* **88**, 012105 (2006).
- [23] T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Express* **1**, 051406 (2008).
- [24] M. Kobayashi, A. Kinoshita, K. C. Saraswat, H.-S. P. Wong, and Y. Nishi, *J. Appl. Phys.* **105**, 023702 (2009).
- [25] A. M. Roy, J. Lin, and K. C. Saraswat, *IEEE Electron Device Lett.* **31**, 1077 (2010).
- [26] R. Singh and A. R. Hefner, *Solid State Electron.* **48**, 1717 (2004).
- [27] O. Madelung, *Semiconductors: Data Handbook* 3rd ed (Springer, 2004).
- [28] R. Tsu and L. Esaki, *Appl. Phys. Lett.* **22**, 562 (1973).
- [29] S. Q. Wen, Z. Y. Ming, Z. Y. Men, L. H. Liang, C. F. Ping, and Z. Q. Li, *Chin. Phys.* **18**, 1674 (2009).
- [30] V. A. Gritsenko and E. E. Meerson, *Phys. Rev. B* **57**, R2081 (1998).
- [31] F. Constantinescu and E. Magyari. Translated by V. V. Grecu. Edited by J. A. Spiers, *Problems in quantum mechanics* 1st ed (Pergamon Press, 1971).
- [32] H. J. Rost, J. Doerschel, K. Irmischer, D. Schulz, and D. Siche, *J. Cryst. Growth* **257**, 75 (2003).
- [33] F. Maier, M. Riedel, B. Mantel, J. Ristein, and L. Ley, *Phys. Rev. Lett.* **85**, 3472 (2000).
- [34] F. A. Padovani and R. Stratton, *Solid-State Electron.* **9**, 695 (1966).
- [35] L. Huang, H. Tao, Y. Ma, and X. Gu, *Superlattices and Microstructures* **140**, 106475 (2020).
- [36] I. Pintilie, L. Pintilie, and K. Irmischer, *J. Appl. Phys.* **81**, 4841, (2002).
- [37] L. Torpo, M. Marlo, T. E. M. Staab, and R. M. Nieminen, *J. Phys. Condens. Matter* **13**, 6203 (2001).

## 第6章 結論

本研究では、4H-SiC MOSFET のチャネル抵抗低減に向け、酸化膜/4H-SiC 界面準位密度低減手法の開発、およびカウンタードープ MOSFET の設計指針の確立に取り組んだ。また、4H-SiC パワーIC の将来的な微細化に向け、平坦界面を有するオーミックコンタクトの低温形成技術の開発を推進した。以下に、本研究で得られた成果および課題について述べる。

### 6.1 本研究の成果

第3章では、酸化膜/4H-SiC 界面の界面準位密度 ( $D_{it}$ ) 低減に向け、基板酸化を可能な限り抑制した  $Al_2O_3$  堆積手法である金属薄膜酸化 (MLO) 法を提案した。本手法により形成した  $Al_2O_3$ /4H-SiC 界面では、基板酸化物の形成は XPS での検出限界以下であった。また、従来手法である原子層堆積 (ALD) 法を用いた場合に比べて  $D_{it}$  を 60%程度低減できることが分かった。更に、意図的に酸化した基板を用いて、 $Al_2O_3$ /4H-SiC 界面における酸化副生成物の存在が  $D_{it}$  に与える影響を調査した。その結果、酸化副生成物を 1 原子層以下にまで抑制することで、 $D_{it}$  を低減できることが分かった。また、意図的な基板酸化を行った場合でも、酸化副生成物を十分にエッチングすれば、低  $D_{it}$  が得られることが分かった。この結果は、犠牲酸化等の表面処理を行う際に重要な知見となると考えられる。

第4章では、カウンタードープ MOSFET の設計指針の確立に向け、界面準位密度が電界効果移動度に与える影響を調査した。 $SiO_2$ 、ALD- $Al_2O_3$ 、MLO- $Al_2O_3$  をゲート酸化膜として用い、界面準位密度の異なるカウンタードープ MOSFET を作製した。電界効果移動度は MLO- $Al_2O_3$ 、ALD- $Al_2O_3$ 、 $SiO_2$  の順に高く、界面特性の影響が示唆される結果が得られた。埋め込みチャンネルモードでの FET 動作をモデル化し、電界効果移動度を決定づけているパラメータが、自由電子の移動度 ( $\mu_{free}$ ) と自由電子密度の増加率 ( $dN_{free}/dV_G$ ) であることを明らかにした。ゲート-ソース/ドレイン間の容量特性を用いて自由電子密度 ( $N_{free}$ ) を求め、

電界効果移動度に対する  $\mu_{\text{free}}$  と  $dN_{\text{free}}/dV_G$  の影響の切り分けを試みた。その結果、 $\mu_{\text{free}}$  は試料間で大きな差が見られず、チャンネルの深さで一意に決定されていることが明らかになった。このことは、 $\mu_{\text{free}}$  が界面特性の影響を受けていないことを意味している。一方で、 $dN_{\text{free}}/dV_G$  には試料間で大きな差が見られ、 $D_{\text{it}}$  の影響を大きく受けることが分かった。 $D_{\text{it}}$  が  $dN_{\text{free}}/dV_G$  に与える影響を評価するためのパラメータとして、 $dN_{\text{free}}/d\psi_S$  を導入した。 $dN_{\text{free}}/d\psi_S$  は  $D_{\text{it}}$  と同じ次元を持ち、両者を比較することで表面ポテンシャルの微小変化に対する自由電子と捕獲電子の増加量の比を評価できる。実験的に求めた  $D_{\text{it}}$  とシミュレーションにより求めた  $dN_{\text{free}}/d\psi_S$  を比較したところ、 $\text{SiO}_2$  ゲート FET では  $D_{\text{it}} > dN_{\text{free}}/d\psi_S$ 、 $\text{Al}_2\text{O}_3$  ゲート FET では深いエネルギー領域で  $D_{\text{it}} \ll dN_{\text{free}}/d\psi_S$  の関係が明らかになった。更に、カウンタードープ MOSFET の  $dN_{\text{free}}/d\psi_S$  は反転型と比べて深いエネルギー領域に位置しており、またその分布はカウンタードープ条件により変更できることが分かった。したがって、 $D_{\text{it}}$  の低いエネルギー領域に  $dN_{\text{free}}/d\psi_S$  が位置するようにカウンタードープ条件を設計することで、電界効果移動度を向上できる。

第5章では、n型4H-SiCに対する低ショットキー障壁高さ (SBH) コンタクト形成手法の開発に向け、低仕事関数金属/4H-SiC 界面の SBH の振舞いの理解と制御を試みた。低仕事関数金属/4H-SiC 界面では、高仕事関数金属の場合とは異なり、ショットキー極限から外れて大きな SBH が形成されることが分かった。SBH の低減のため、極薄  $\text{SiN}_x$  層挿入および低温熱処理を試みた。 $\text{SiN}_x$  層挿入は、 $\text{SiN}_x$  へのフェルミレベルピニングを引き起こすとともに、Mg/4H-SiC 界面においては MIGS 抑制と考えられる SBH 低減が見られ、最も低い値で 0.36 eV が得られた。しかしながら、SBH を増大させている要因の全てを MIGS で理解することは難しく、その他の要因の共存が示唆された。次に、Mg/4H-SiC 構造に対する熱処理を試みたところ、200 °C で1時間以内または 300–400 °C で1分間の熱処理により、SBH が低減した。この結果は、MIGS 以外の SBH 増大要因が除去されたことを意味する。最も低い値で 0.28 eV が得られた。SIMS による元素分布分析からは、低温熱処理時の  $\text{H}_2\text{O}$  の動きが SBH 低減に寄与している可能性が示唆された。長時間の熱処理に対しては

SBHの増大が見られ、新たなSBH増大要因の発生が示唆される。低SBHが得られた条件での熱処理後の4H-SiC基板表面粗さは、清浄化直後とほぼ同等であり、平坦界面との両立の実現が明らかになった。

## 6.2 今後の課題と展望

本研究では、ゲート酸化膜に  $\text{Al}_2\text{O}_3$  を用いて、基板酸化を抑制できる形成手法として MLO 法を開発し、また界面構造が  $D_{it}$  に与える影響を議論した。MLO 法の適用により、 $D_{it}$  の低減とカウンタードープ MOSFET の電界効果移動度向上を達成した。しかしながら、 $\text{Al}_2\text{O}_3$  をゲート酸化膜に用いた MOSFET では、閾値のシフトが起りやすい点が課題として残る。閾値シフトは、 $\text{Al}_2\text{O}_3$  中に存在する遅い準位に電子がトラップされることが原因と考えられ、遅い準位の密度低減が課題となる。過去の報告によれば、 $\text{Al}_2\text{O}_3$  への N や Si の添加が、閾値シフト抑制に効果的であることが実験的および理論的に明らかにされている[1-4]。これらの知見を取り入れ、MLO- $\text{Al}_2\text{O}_3$  への N や Si の添加について検討し、閾値シフトや  $D_{it}$  に与える効果を調査する必要がある。

また、 $D_{it}$  低減に関する最近の研究として、本研究と同様の基板酸化を抑制するというアプローチで、堆積  $\text{SiO}_2$  を用いた  $\text{SiO}_2/4\text{H-SiC}$  界面形成が Tachiki らにより報告されている[5]。本報告では、 $\text{SiO}_2$  堆積前の高温  $\text{H}_2$  熱処理により基板表面をエッチングすることで、 $E_C-0.2$  eV において  $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$  以下という極めて低い  $D_{it}$  が得られている。このことは、フッ化水素酸浸漬では除去しきれない、 $D_{it}$  の起源となる構造が基板表面に存在していることを示唆している。 $D_{it}$  の起源となる表面構造の特定と共に、表面処理手法の工夫による更なる  $D_{it}$  低減が期待される。

また、低仕事関数金属/4H-SiC 界面においては、低 SBH と平坦界面の両立を実現した。これらが本質的に両立可能であることを示した点で重要な結果であると考えられるが、一方で低 SBH コンタクトの熱耐性には課題が残っている。金属と 4H-SiC 基板との界面反応が促進することで SBH が増大することを考えると、加熱時の界面反応抑制が鍵であると考えられる。今回は、電極材料として単元素金属についての検討に留まったが、金属化合物も含めて安定な系を模索する必要がある。金属化合物の候補として、比較的低い仕事関数を有する HfC や ZrC が挙げられる。仕事関数はそれぞれ 3.6 eV, 3.5 eV と報告されており[6,7], Mg と同程度である。加えて、HfC + SiC または ZrC + SiC という安定相が存在することから[8], 熱的に安定な界面を形成できる可能性がある。



また, Mg/4H-SiC 界面の SBH について, 基板の表面状態が影響することが分かったが, その起源については明らかに出来なかった. 特に, オーミックコンタクト形成に重要な高濃度ドーパ層上において SBH が比較的高い値となってしまうため, この原因の特定は重要な課題である. 高濃度ドーパ層の形成手法 (エピタキシャル層への in-situ ドーピング, イオン注入等) による影響も考えられ, 調査が必要である.

## 参考文献

- [1] T. Hosoi, Y. Kagei, T. Kirino, S. Mitani, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, *Mater. Sci. Forum* **679–680**, 496 (2010).
- [2] E. Kojima, K. Chokawa, H. Shirakawa, M. Araidai, T. Hosoi, H. Watanabe, and K. Shiraishi, *Appl. Phys. Express* **11**, 061501 (2018).
- [3] D. Kikuta, K. Ito, T. Narita, and T. Kachi, *Appl. Phys. Express* **13**, 026504 (2020).
- [4] K. Chokawa, T. Narita, D. Kikuta, K. Shiozaki, T. Kachi, A. Oshiyama, and K. Shiraishi, *Phys. Rev. Applied* **14**, 014034 (2020).
- [5] K. Tachiki, M. Kaneko, T. Kobayashi, and T. Kimoto, *Appl. Phys. Express* **13**, 121002 (2020).
- [6] W. A. Mackie, J. L. Morrissey, C. H. Hinrichs, and P. R. Davis, *J. Vac. Sci. Technol. A* **10**, 2852 (1992).
- [7] T. Xie, W. A. Mackie, and P. R. Davis, *J. Vac. Sci. Technol. B* **14**, 2090 (1996).
- [8] C.E. Brukl, “Part II. Ternary Systems. Volume X. The Zr-Si-C, Hf-Si-C, Zr-Si-B, and Hf-Si-B Systems”, *Ternary Phase Equilibria in Transition Metal–Boron–Carbon–Silicon Systems*, Tech. Rep. AFML-TR-65-2, Contract No. USAF33(615)-1249, Air Force Materials Laboratory, Wright-Patterson Air Force Base (1996).

## 謝辞

本論文「4H-SiC 金属-酸化膜-4H-SiC 電界効果トランジスタのためのゲートスタックおよびコンタクトの界面物性制御」は、筆者が名古屋大学大学院工学研究科物質科学専攻博士課程後期課程において行った研究をまとめたものです。

本研究を行うにあたり、素晴らしい研究環境を与えて頂くと共に、終始ご指導ご鞭撻を賜りました中塚理教授（名古屋大学大学院工学研究科物質科学専攻）に謝意を表すと共に厚く御礼申し上げます。また、本論文をご査読いただき、貴重なご意見を賜りました白石賢二教授（名古屋大学大学院工学研究科物質科学専攻）、須田淳教授（名古屋大学大学院工学研究科電子工学専攻）、黒澤昌志講師（名古屋大学大学院工学研究科物質科学専攻）に深く感謝の意を申し上げます。

本研究活動において、多大なるご支援・ご指導を頂きました竹内和歌奈特任准教授（名古屋大学大学院工学研究科物質科学専攻，現：愛知工業大学）、坂下満男助教，柴山茂久助教（名古屋大学大学院工学研究科物質科学専攻），財満鎮明教授（名古屋大学未来社会創造機構，現・名城大学大学院理工学研究科）に深く感謝致します。

デバイスの作製から解析に至るまで、多岐に渡るご指導を賜りました田岡紀之博士（産業技術総合研究所，現・名古屋大学工学研究科）に深く感謝いたします。また本研究を進めるにあたり、貴重なご意見を頂きました清水三聡博士（産業技術総合研究所）に深く感謝致します。

本研究で使用した 4H-SiC 基板の一部は、株式会社デンソー様よりご提供いただきました。ご支援いただいた登尾正人博士に感謝致します。本研究におけるイオン注入および活性化熱処理は、日新イオン機器株式会社様のご協力により実施されました。ご協力いただいた黒井隆博士に感謝致します。また、本研究で使用した高濃度エピタキシャル 4H-SiC 層は、産業技術総合研究所にて作製されました。ご協力いただいた児島一聡博士に感謝致します。

共同研究者である橋本健太郎氏（既卒），西澤康平氏，森大智氏，池口祥太氏に感謝致します。また日々の研究生活における事務処理等について，多大なるご支援を頂いた松永直子氏，岩田まゆみ氏に御礼申し上げます。

日々の研究生活において，公私共にお世話になりました名古屋大学大学院中塚研究室の学生の皆様に，深く感謝いたします。特に，博士後期課程在籍中に，苦楽を共にした福田雅大博士（既卒），全智禧博士（既卒），彭英博士（既卒），長江祐樹氏，張師宇氏に深く感謝申し上げます。

また，博士後期課程在籍中に研究奨励金を頂戴いたしました，独立行政法人日本学術振興会に深く感謝申し上げます。

最後に，私の進学を許し，学生生活を不自由なく送らせていただいた家族に感謝の意を申し上げます。

## 研究業績リスト

### 主要論文

- [1] Takuma Doi, Shigehisa Shibayama, Wakana Takeuchi, Mitsuo Sakashita, Noriyuki Taoka, and Osamu Nakatsuka, “Impact of byproducts formed on a 4H-SiC surface on interface state density of Al<sub>2</sub>O<sub>3</sub>/4H-SiC(0001) gate stacks,” *Applied Physics Letters*, vol. 116, pp. 222104-1–5 (2020).
- [2] Takuma Doi, Shigehisa Shibayama, Mitsuo Sakashita, Mitsuaki Shimizu, and Osamu Nakatsuka, “Lowering of the Schottky barrier height of metal/n-type 4H-SiC contacts using low-work-function metals with thin insulator insertion,” *Japanese Journal of Applied Physics*, vol. 60, pp. 075503-1–6 (2021).
- [3] Takuma Doi, Shigehisa Shibayama, Mitsuo Sakashita, Kazutoshi Kojima, Mitsuaki Shimizu, and Osamu Nakatsuka, “Low-temperature formation of Mg/n-type 4H-SiC ohmic contacts with atomically flat interface by lowering Schottky barrier height,” *Applied Physics Express*, vol. 15, pp. 015501-1–4 (2022).
- [4] Takuma Doi, Shigehisa Shibayama, Mitsuo Sakashita, Noriyuki Taoka, Mitsuaki Shimizu, and Osamu Nakatsuka, “Impact of oxide/4H-SiC interface state density on field-effect mobility of counter-doped n-channel 4H-SiC MOSFETs,” *Japanese Journal of Applied Physics*, *accepted*.

### 関連論文

- [1] Takuma Doi, Wakana Takeuchi, Yong Jin, Hiroshi Kokubun, Shigeo Yasuhara, Osamu Nakatsuka, and Shigeaki Zaima, “Formation of SiC thin films by chemical vapor deposition with vinylsilane precursor,” *Japanese Journal of Applied Physics*, vol. 57, pp. 01AE08-1–4 (2018).
- [2] Takuma Doi, Wakana Takeuchi, Shigehisa Shibayama, Mitsuo Sakashita, Noriyuki Taoka, and Osamu Nakatsuka, “Effect of carbon in Si oxide interlayers of the Al<sub>2</sub>O<sub>3</sub>/4H-SiC structure on interfacial reaction by oxygen radical treatment,” *Japanese Journal of Applied Physics*, vol. 58, pp. SBBD05-1–5 (2019).
- [3] Kentaro Hashimoto, Takuma Doi, Shigehisa Shibayama, and Osamu Nakatsuka, “Fermi-level pinning at metal/4H-SiC contact induced by SiC<sub>x</sub>O<sub>y</sub> interlayer,” *Japanese Journal of Applied Physics*, vol. 59, pp. SGGD16-1–6 (2020).

- [4] Takuma Doi, Kentaro Hashimoto, Wakana Takeuchi, and Osamu Nakatsuka, “Crystal Growth of Epitaxial 3C-SiC Thin Film on Si Substrate by Chemical Vapor Deposition using Single Precursor of Vinylsilane,” ECS Transactions, vol. 98, pp. 169–176 (2020).

## 国際会議における発表

- [1] Takuma Doi, Wakana Takeuchi, Mitsuo Sakashita, Noriyuki Taoka, Osamu Nakatsuka, and Shigeaki Zaima, “Impact of Oxygen Radical Treatment on Improvement of Al<sub>2</sub>O<sub>3</sub>/SiC Interface,” 2018 International Conference on Solid State Device and Materials, Tokyo, Sep. 2018. (Poster)  
\*Poster award
- [2] Takuma Doi, Shigehisa Shibayama, Wakana Takeuchi, Mitsuo Sakashita, Noriyuki Taoka, Mitsuaki Shimizu, and Osamu Nakatsuka, “In-situ cyclic metal layer oxidation for further improving interface properties of Al<sub>2</sub>O<sub>3</sub>/4H-SiC(0001) gate stacks,” 2019 International Conference on Solid State Device and Materials, Nagoya, Sep. 2019. (Oral)
- [3] Kentaro Hashimoto, Takuma Doi, Shigehisa Shibayama, and Osamu Nakatsuka, “Fermi Level Pinning at Metal/4H-SiC Contact Induced by SiC<sub>x</sub>O<sub>y</sub> Interlayer,” 2019 International Conference on Solid State Device and Materials, Nagoya, Sep. 2019. (Poster)
- [4] Takuma Doi, Shigehisa Shibayama, Wakana Takeuchi, Mitsuo Sakashita, Noriyuki Taoka, Mitsuaki Shimizu, and Osamu Nakatsuka, “Development of in-situ cyclic metal layer oxidation to form abrupt Al<sub>2</sub>O<sub>3</sub>/4H-SiC interface” International Conference on Materials and Systems for Sustainability 2019, Nagoya, Nov. 2019. (Poster)
- [5] Takuma Doi, Shigehisa Shibayama, Mitsuo Sakashita, Mitsuaki Shimizu, and Osamu Nakatsuka, “Schottky barrier height lowering for metal/n-type 4H-SiC contacts using low work function metals” International Conference on Materials and Systems for Sustainability 2021, online, Nov. 4-6, 2021. (Oral)
- [6] Takuma Doi, Shigehisa Shibayama, Wakana Takeuchi, Mitsuo Sakashita, Noriyuki Taoka, Mitsuaki Shimizu, and Osamu Nakatsuka, “Enhancement of the Field-effect Mobility of 4H-SiC Buried Channel n-MOSFETs by Using Al<sub>2</sub>O<sub>3</sub> as a Gate Insulator” 2021 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES -SCIENCE AND TECHNOLOGY-, Nov. 14-16, online, pp. 77-78, 2021. (Oral)

## 国内会議における発表

- [1] 土井拓馬, 竹内和歌奈, 坂下満男, 田岡紀之, 中塚理, 財満鎮明, “酸素ラジカル照射による  $\text{Al}_2\text{O}_3/\text{SiC}$  MOS 界面の改質効果”, シリコン材料・デバイス研究会, 名古屋, 2018年6月. (口頭発表)
- [2] 土井拓馬, 竹内和歌奈, 坂下満男, 柴山茂久, 田岡紀之, 中塚理, 財満鎮明, “ $\text{Al}_2\text{O}_3/\text{SiC}$  形成後の酸素ラジカル処理による界面特性の改善”, 第79回応用物理学会秋季学術講演会, 名古屋国際会議場, 名古屋, 2018年9月. (口頭発表)
- [3] 土井拓馬, 竹内和歌奈, 坂下満男, 柴山茂久, 田岡紀之, 中塚理, 財満鎮明, “ $\text{Al}_2\text{O}_3/4\text{H-SiC}$  界面層への酸素ラジカル照射における反応機構”, 第16回日本表面科学会中部支部学術講演会, 名古屋大学, 名古屋, 2018年12月. (口頭発表)
- [4] 土井拓馬, 竹内和歌奈, 坂下満男, 柴山茂久, 田岡紀之, 中塚理, 財満鎮明, “ポスト酸素ラジカル処理による  $\text{Al}_2\text{O}_3/\text{SiC}$  界面の Si 炭酸化物層の脱炭素化”, 第24回電子デバイス界面テクノロジー研究会, 東レ総合研修センター, 三島, 2019年1月. (ポスター発表)
- [5] 土井拓馬, 柴山茂久, 竹内和歌奈, 坂下満男, 田岡紀之, 清水三聡, 中塚理, “金属薄膜酸化法による  $\text{Al}_2\text{O}_3/4\text{H-SiC}(0001)$  界面特性の改善”, 第7回応用物理学会名古屋大学スチューデントチャプター東海地区学術講演会, 名古屋大学, 名古屋, 2019年10月. (ポスター発表) \*講演奨励賞
- [6] 土井拓馬, 柴山茂久, 竹内和歌奈, 坂下満男, 田岡紀之, 清水三聡, 中塚理, “良質な  $\text{Al}_2\text{O}_3/4\text{H-SiC}$  MOS 界面形成における 4H-SiC 表面構造の重要性”, 先進パワー半導体分科会第6回講演会, 広島国際会議場, 広島, 2019年12月. (ポスター発表)
- [7] 土井拓馬, 柴山茂久, 竹内和歌奈, 坂下満男, 田岡紀之, 清水三聡, 中塚理, “室温での極薄金属膜酸化法による基板酸化を抑制した良質な  $\text{Al}_2\text{O}_3/4\text{H-SiC}$  界面の実現”, 第25回電子デバイス界面テクノロジー研究会, 東レ総合研修センター, 三島, 2019年1月. (ポスター発表) \*服部賞
- [8] 柴山茂久, 橋本健太郎, 土井拓馬, 中塚理, “低温プロセスによる金属/4H-SiC コンタクトのショットキー障壁高さ制御手法の検討”, 第25回電子デバイス界面テクノロジー研究会, 東レ総合研修センター, 三島, 2019年1月. (ポスター発表)

- [9] 土井拓馬, 柴山茂久, 竹内和歌奈, 坂下満男, 田岡紀之, 清水三聡, 中塚理, “界面平坦性から見た極薄金属酸化  $\text{Al}_2\text{O}_3/4\text{H-SiC}$  構造の有用性”, 第 67 回応用物理学会春季学術講演会, 開催中止.
- [10] 土井拓馬, 柴山茂久, 坂下満男, 清水三聡, 中塚理, “低仕事関数金属を用いた n 型 4H-SiC に対する低ショットキー障壁コンタクトの実現”, 先進パワー半導体分科会第 7 回講演会, オンライン, 2020 年 12 月. (ポスター発表)
- [11] 土井拓馬, 柴山茂久, 坂下満男, 清水三聡, 中塚理, “低仕事関数金属/4H-SiC 界面における MIGS の影響”, 第 25 回電子デバイス界面テクノロジー研究会, オンライン, 2021 年 1 月. (口頭発表)
- [12] 土井拓馬, 柴山茂久, 坂下満男, 清水三聡, 中塚理, “界面層挿入が低仕事関数金属/n 型 4H-SiC 界面の SBH に与える影響”, 第 68 回応用物理学会春季学術講演会, オンライン, 2021 年 3 月. (口頭発表)
- [13] 土井拓馬, 柴山茂久, 坂下満男, 清水三聡, 中塚理, “金属堆積後熱処理による低仕事関数金属/n 型 4H-SiC 界面の SBH 低減”, 第 82 回応用物理学会秋季学術講演会, オンライン, 2021 年 9 月. (口頭発表)

## 受賞

- [1] Takuma Doi, Wakana Takeuchi, Mitsuo Sakashita, Noriyuki Taoka, Osamu Nakatsuka, and Shigeaki Zaima, SSDM2018 Poster Presentation Award
- [2] 土井拓馬, “第 7 回応用物理学会名古屋大学スチューデントチャプター東海地区学術講演会 (JSAP SCTS 2019) 奨励賞”
- [3] 土井拓馬, “電子デバイス界面テクノロジー研究会 (第 25 回) 服部賞”

## その他

- [1] 土井拓馬  
Title: SiC パワーデバイスの省電力化に向けた絶縁膜形成手法の開発  
Journal: 名古屋大学工学研究科情報誌「PRESSE」, No. 47, 2021 年 12 月.