

2021 年度 博士論文

SiC パワーデバイスの高信頼化に向けた

SiC 結晶欠陥に関する研究

Research of SiC Crystal Defect

for Highly Reliable SiC Power Device

名古屋大学 工学研究科

物質プロセス工学専攻 博士後期課程

小西 くみこ

(宇治原 研究室)



# 目次

1. 序論	5
1.1 研究背景	5
1.2 パワーエレクトロニクスを支えるパワーデバイス	7
1.3 SiC パワーデバイスの現状	9
1.4 SiC パワーデバイスの特長	10
1.5 SiC の結晶構造と物性	13
1.6 SiC パワーデバイスの課題	16
1.7 形態欠陥と BPD に関する従来知見	20
1.8 本研究の動機と目的	27
1.9 本論文の構成	28
参考文献	29
2. 結晶欠陥の影響を抑制する SiC デバイス構造	35
2.1 緒言	35
2.2 SiC SBD の物理モデル	35
2.3 SiC SBD の大容量化に関する課題	36
2.4 ショットキー接合界面における電界強度の低減方法	39
2.5 実験方法	40
2.6 トレンチ JBS 構造による電界低減効果	42
2.7 トレンチ JBS ダイオードの電気的特性と製造歩留向上効果	45
2.8 まとめ	48
参考文献	49
3. プロセス起因結晶欠陥とデバイス信頼性への影響	51
3.1 緒言	51
3.2 SiC MOSFET の製造プロセスに関する課題	51
3.3 実験方法	53
3.4 コンタクト抵抗と AI 注入条件の関係	56
3.5 プロセス起因 BPD とその形成機構	58
3.6 プロセス起因 BPD の形成工程	61
3.7 SiC MOSFET の通電信頼性と AI 注入条件の関係	63
3.8 まとめ	67
参考文献	68
4. 積層欠陥拡張のモデル化とデバイス高信頼化技術	69
4.1 緒言	69
4.2 エピ層中に BPD を含む SiC MOSFET に関する課題	69
4.3 実験方法	70
4.4 積層欠陥部の抵抗の温度依存性	73
4.5 エピ層を伝播する BPD が積層欠陥に拡張する様子	75

4.6	バイポーラ劣化特性の計算値と実験値の比較	77
4.7	積層欠陥拡張速度の電流・温度依存性とスクリーニング試験条件	79
4.8	SiC エピ品質とスクリーニング試験結果の関係とバイポーラ劣化原因	82
4.9	まとめ	85
	参考文献	86
5.	動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計	87
5.1	緒言	87
5.2	大電流密度で発生するバイポーラ劣化に関する課題	87
5.3	実験方法	89
5.4	SiC MOSFET 内部の正孔分布	94
5.5	オペランド X 線トポグラフィー法による動作中 SiC MOSFET の結晶欠陥可視化	96
5.6	拡張した積層欠陥の起点	103
5.7	モデルの検証とバイポーラ劣化を抑制するエピ層の設計	109
5.8	まとめ	112
	参考文献	113
6.	結論	115
6.1	本研究の結論	115
6.2	残されている課題	116
6.3	将来の展望	117
	謝辞	119
	本学位論文に関する研究業績リスト	121

# 1. 序論

## 1.1 研究背景

地球温暖化が解くべき喫緊の課題と重要視される中、世界 123 国が 2050 年までのカーボンニュートラル化に賛同を表明している。図 1-1 に 2050 年カーボンニュートラル化に向けた各国の動きを示す。2020 年 9 月の国連総会で、CO<sub>2</sub> 排出量増加国である中国が 2060 年の脱炭素実現目標を掲げたことで、グローバルな潮流が大きく変化した。日本では、2020 年 10 月の臨時国会で菅総理から 2050 年のカーボンニュートラルと脱炭素社会の実現を目指すことが宣言された[1]。この潮流により、財務情報だけではなく環境・社会・ガバナンス要素を評価した ESG(Environment, Social, Governance)投資が広がっており、世界での市場は約 3,000 兆円に達するとされている。そのため、脱炭素化を成長の機会と捉え、国内外で次々に戦略や投資計画の議論が重ねられており、食品業界から産業、インフラ界の広い分野においてグローバル企業がカーボンニュートラル化へ賛同している。日本では、企業の気候変動への取組や影響に関する情報を開示する枠組(TCFD: Taskforce on Climate related Financial Disclosure)、企業の科学的な中長期の目標設定を促す枠組(SBT: Science Based Targets)、企業が事業活動に必要な電力の 100%を再生可能エネルギーで賄うことを目指す枠組(RE100: Renewable Energy 100)に賛同する企業数は世界トップクラスであり、企業価値を高めるための脱炭素経営に取り組む動きが進展している[2]。

図 1-2 に日本の温室効果ガス排出量の推移と削減の中長期的目標を示す[3-4]。2016 年の COP21 にて採択されたパリ協定を踏まえて、2030 年までの温室効果ガス削減目標は 2013 年度比 26%減と閣議決定された。しかし、パリ協定を受けて各国が提出した削減目標では不十分であり、1.5 度の気温上昇を大きく超えないためには、2050 年付近での温室効果ガス排出量を実質ゼロにする必要があることが 2018 年に IPCC (Intergovernmental Panel on Climate Change) から報告された[5]。このため、2030 年までの温室効果ガス削減目標は 2013 年度比 46%減とする新目標が 2021 年 4 月に菅総理から発表され、これまでの目標から大幅に引き上げられた[4]。温室効果ガスの排出量は 2014 年以降確実に減少しており、2019 年度は 2013 年度比で 14%の削減を達成している。これまでの目標であれば削減率を維持することで達成見込みを得られたが、新たな目標を達成するためには産業構造を抜本的に転換し、削減率を大幅に高める必要がある。

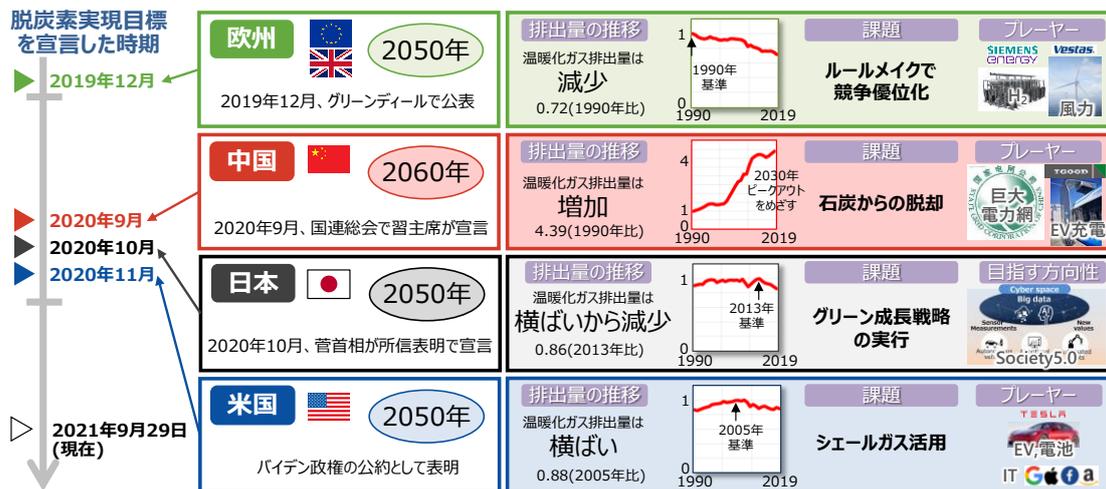


図 1-1 2050 年カーボンニュートラルに向けた各国の動き

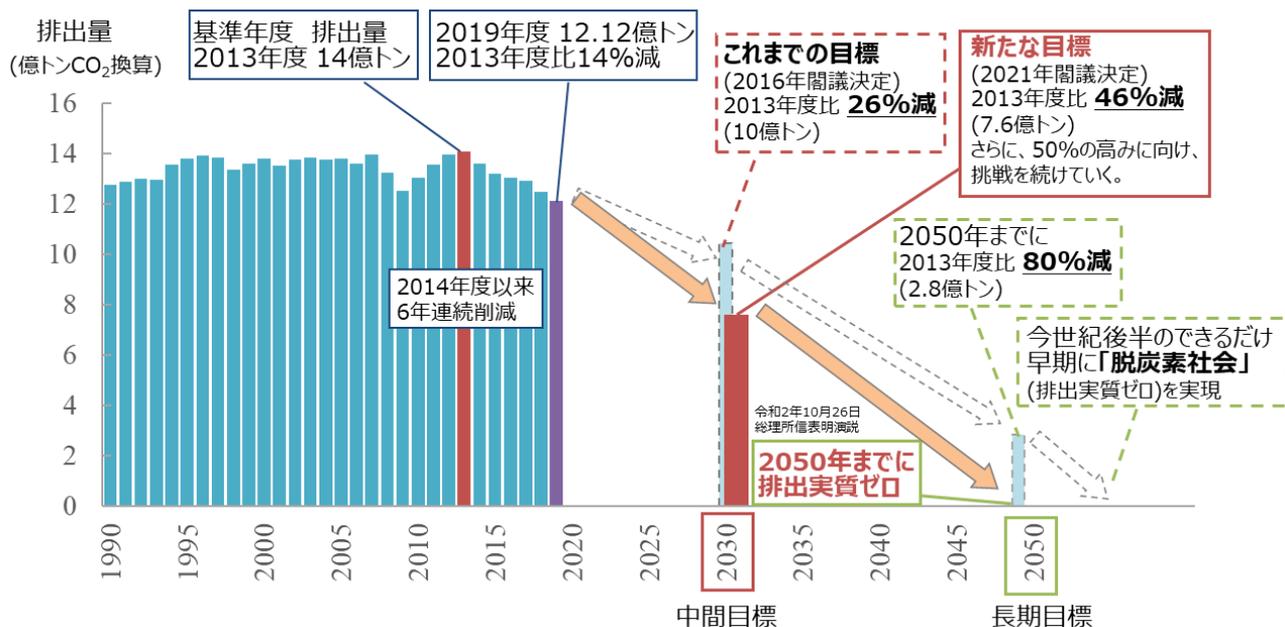


図 1-2 日本の温室効果ガス排出量の推移と削減の中長期的目標

そこで、「2050年カーボンニュートラルに伴うグリーン成長戦略」が2020年12月に経済産業省から発表され、翌2021年6月にその改訂版が公開された[1]。この中で、2050年カーボンニュートラルを経済成長と共に達成するために示されたシナリオが図1-3である。電力部門では電力の脱炭素化が必須となり、非電力である産業・輸送・業務・家庭部門では徹底した省エネルギー化と電化が戦略の要となっている。即ち、エネルギーの需要量を省エネルギー化により削減する対策と、供給されるエネルギーを再生可能エネルギー利用により低炭素化する対策を同時に行うことで、相乗効果を狙う戦略である。成長が期待される14分野の産業が見出され、エネルギー、輸送・製造、家庭・オフィス産業などでは電力供給から消費の末端までを支えるパワーデバイスが横断的技術として挙げられた。

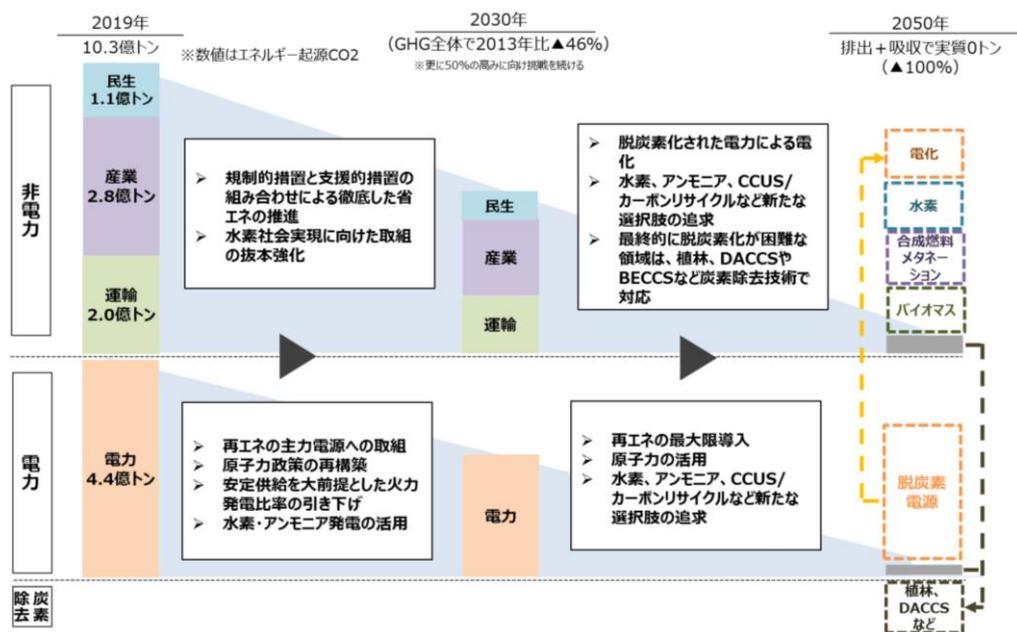


図 1-3 2050年カーボンニュートラル達成へのシナリオ (文献[1])

## 1.2 パワーエレクトロニクスを支えるパワーデバイス

電力の変換や制御を電気回路や半導体デバイスで効率よく実施する技術分野を総称してパワーエレクトロニクスと呼ぶ。例えば、直流から任意の周波数の交流を生成するインバータによるモータの回転速度制御や、太陽光・風力などの再生可能エネルギーによる不安定な直流または交流電力を電力系統に安定的に連携するパワーコンディショナなど、パワーエレクトロニクス機器は社会を支えるキーコンポーネントとして活躍している。カーボンニュートラルの実現に向けて、電気エネルギーへの依存度が高まる社会背景の中で、パワーエレクトロニクスを用いた電気エネルギーの有効活用により、エネルギー需要量の省エネルギー化が期待されている。パワーエレクトロニクスは、半導体デバイスと電気回路の技術分野で構成されており、パワーエレクトロニクスで使用される半導体デバイスはパワーデバイスと呼ばれる。

パワーデバイスの基本的な機能はスイッチングであり、オン状態とオフ状態を高速で切り替えることによって、直流と交流の電力変換などを行う。パワーデバイスは電力変換器の性能や構造に影響を及ぼし、パワーエレクトロニクスの発展の中で様々な技術革新を遂げてきた。電力変換器用のパワーデバイスはサイリスタ、GTO(Gate Turn-off Thyristor)、IGBT(Insulated Gate Bipolar Transistor)、MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)などの構造があるが、現在はGTO、IGBT、MOSFETの3種が主流となっている。各デバイス構造を図1-4に示す[6]。パワーデバイスは動作するキャリアの種類によって、バイポーラデバイスとユニポーラデバイスに分けられる。デバイスを流れる電流が正孔と電子で構成されるものはバイポーラデバイス、電子或いは正孔のみで構成されるものはユニポーラデバイスである。図1-4の中でサイリスタ、GTO、IGBTはバイポーラデバイス、MOSFETはユニポーラデバイスである。一般的に、バイポーラデバイスには高耐圧・大電流化の容易さという利点があり、ユニポーラデバイスには高速性という利点がある。サイリスタは、P型層とN型層をPNPNと4層に積層した構造であり、PNPトランジスタとNPNトランジスタを組み合わせた構成となる。ゲート電極からカソード電極に電流を流すことで、アノード・カソード電極間に電流が流れる。GTOはサイリスタにゲートターンオフ機能を持たせたものであり、基本構造はサイリスタと同様のPNPNの4層構造である。オン状態のGTOは、中央のベース層が電子と正孔で満たされている。その際カソードに対してゲート電極に負バイアスを印可することで、ベース層内の正孔を引き抜くことができる。これにより、カソード側からの電子の注入を抑制でき、この繰り返しによりGTOがターンオフする。IGBTは、MOSFETとバイポーラトランジスタ(PNPトランジスタ)を組み合わせた構成をとる。ゲート電極に正バイアスを印可することで、p型領域の表面にn型チャネルが形成され、ベース層に電子が供給される。これが、PNPトランジスタのベース電流となり、PNPトランジスタがオンする。その後、エミッタ電極から電子が、コレクタ電極から正孔が注入・蓄積され、導電率が高まる。これは、電導度変調と呼ばれ、これによりオン時の抵抗が大きく減少する。MOSFETは、IGBTと同様、ゲート電極に正バイアスを印可することでp型領域の表面に形成されたn型チャネルにより、ベース層に電子が供給されてオンする。パワーデバイスの棲み分けを、電力変換容量と動作周波数に応じて図1-5に示す[7-8]。ここで、電力変換容量とは、オン状態に流れる電流値とオフ状態に印可される電圧の積である。大きな電力変換容量が必要で、スイッチングの速度があまり要求されない電力系統などには、サイリスタやGTOが使用されている。中程度の電力変換容量が必要で、スイッチング速度がある程度要求される鉄道や電気自動車などには、IGBTが使用されている。高速スイッチングが強く要求される情報通信機器などには、MOSFETが使用されている。

パワーデバイスの特性は、デバイス構造や、材料となる半導体材料によって決まる。これまで長年にわたって、パワーデバイスの材料としてシリコン(Si)が使用されており、デバイス構造の観点からデバイス特性を改善する様々な技術開発がなされてきた。文献[1]では、材料の観点からデバイス特性を改善する戦略が示されている。次世代 Si, 炭化ケイ素(SiC), 窒化ガリウム(GaN), 酸化ガリウム(Ga<sub>2</sub>O<sub>3</sub>)といった次世代パワーデバイス材料の適用により、再生可能エネルギーの需要増加で懸念される電力システムのレジリエンス向上や省エネルギー化、電動車 100%実現への貢献、デジタルトランスフォーメーション(DX)推進に向けた情報通信インフラの高性能化・省エネルギー化が期待されている。図 1-6 に次世代パワーデバイスの開発方向性を示す。図中には、適用するアプリケーションを耐圧と電流容量により表示し、それぞれに適するパワーデバイスを記載した。材料によりパワーデバイスの特性が異なるため、適材適所の研究開発を進める必要がある。次世代 Si については、成熟した材料・プロセス技術に加え、デバイス構造・制御技術を進化させることで、低コストかつ高性能なパワーデバイス実現が期待されている。GaN については、高速な動作が可能という特長から、5G や Beyond 5G, 6G などの次世代情報通信インフラの高性能化・省エネルギー化への貢献が期待されている。SiC については、高い電圧での動作が可能という特長から、高耐圧・大電流が求められるモビリティや電力システムでの活躍が期待されている。

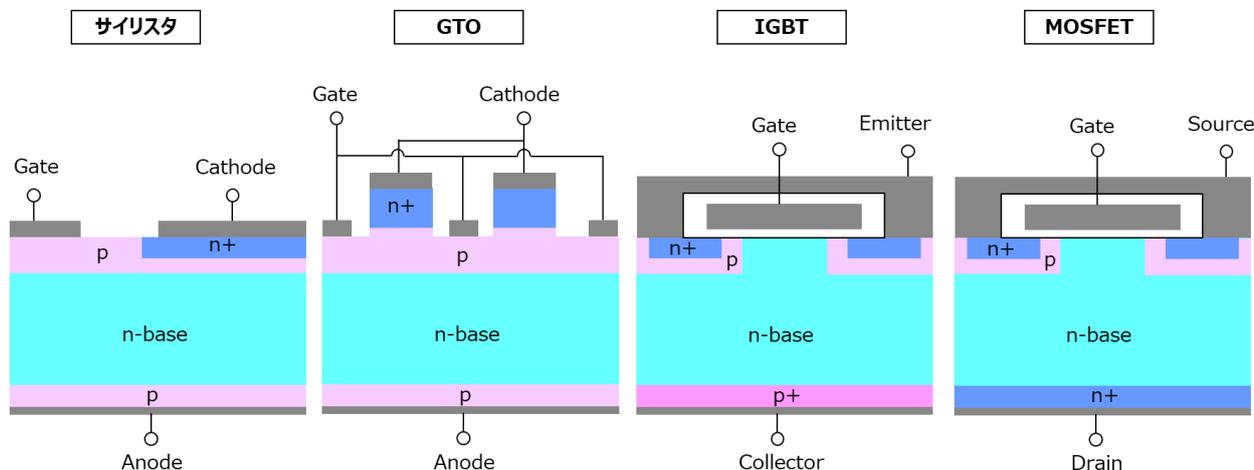


図 1-4 パワーデバイスの基本構造

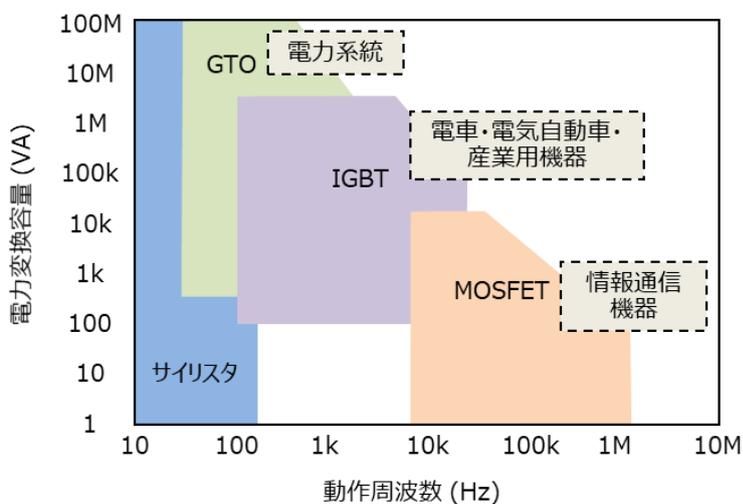


図 1-5 パワーデバイスの棲み分け (文献[7-8])

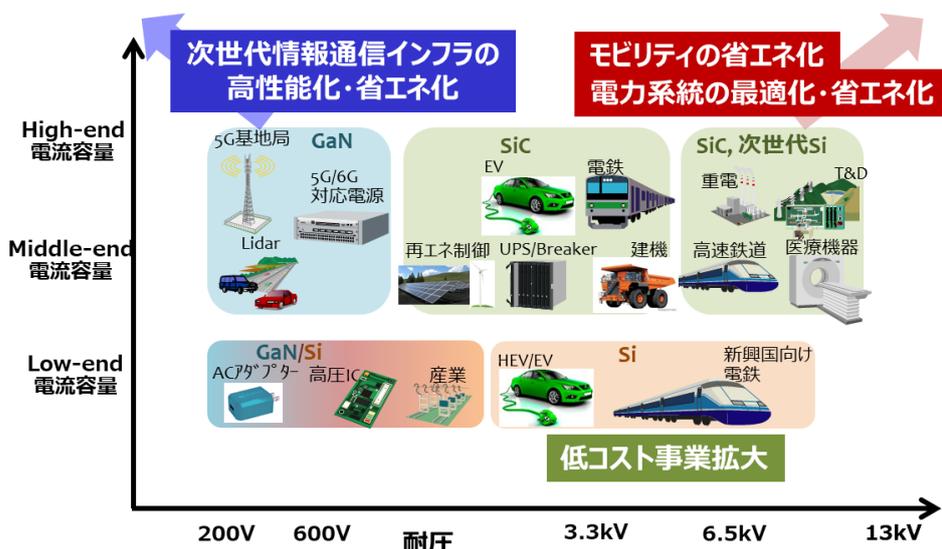


図 1-6 次世代パワーデバイスの開発方向性

### 1.3 SiC パワーデバイスの現状

本研究で取り扱う SiC パワーデバイスは、2001 年に Infineon Technologies 社から SiC を用いた整流素子が、2010 年には SiC を用いたスイッチング素子の量産が開始され、市場への投入が開始された[9]。その後、太陽光発電の電力調整機器やエアコン、トヨタ社の燃料電池自動車 MIRAI や Tesla 社の電気自動車 Model 3、そして鉄道などに搭載され、省エネルギー効果が実証されている[10-14]。高耐圧・大電流用途では、全体のシステムコストに対してパワーデバイスの割合が小さく、高コストである SiC パワーデバイスが参入しやすいという理由から、鉄道用途での採用が先行している。例えば、東京地下鉄社(東京メトロ)の銀座線や丸ノ内線、東日本旅客鉄道社(JR 東)の山手線、西日本旅客鉄道社(JR 西)の環状線などに SiC パワーデバイスが搭載され、電車の走行時の消費電力が 30%程度低減された[15-16]。また、2020 年には SiC パワーデバイスを搭載した新幹線のモデル N700S も営業走行を開始するなど、従来の Si パワーデバイスの置き換えが進んでいる[17-18]。今後は、さらに高い耐圧が求められる電力系統向けや、ボリュームゾーンである電気自動車向けの普及が求められており、低コストで高信頼な SiC パワーデバイスの研究開発が進められている。

このように SiC パワーデバイスはカーボンニュートラルの実現に貢献し始めているが、良い面ばかりではない。デバイスの製造過程における環境負荷も考えていく必要がある。パワーデバイスに限らず、一般に半導体デバイスは製造過程で多くの電気と純水、化学薬品、ガスを使用する。パワーデバイスが機器の省エネルギー性能を向上しても、その製造過程に多くのエネルギーを消費しては環境負荷低減に向けた効果は半減してしまう。空調電力の廃熱利用、製造装置の洗浄工程の純水使用量削減、ガスプロセス装置の待機ガス使用量削減等、工場運営に効果のある取り組みはなされているが、SiC パワーデバイスの製造工程には Si パワーデバイスにはない高温プロセス(バルク単結晶製造、エピ成膜、イオン注入、高温アニール)がある。従って、表 1-1 に示すように、パワーデバイスの製造工程で消費されるエネルギーが Si 比 1.5 倍になることが見込まれる。2025 年に市場拡大が見込まれる産業機器・電気自動車・鉄道におけるインバータ効率が、SiC パワーデバイスの適用により現状の 94%から 99%まで向上したとすると、2025 年の CO<sub>2</sub> 排出量は日本だけで原発 4 基分の 1M トン、W.W.で 5M トンの削減効果が期待される。しかし、その 8%は SiC パワーデバイスの製造工程で発生させてしまう。カーボンニュー

トラルの実現に向けて、パワーデバイスの製造過程で必要となるエネルギーを再生可能エネルギーで賄うことは勿論のこと、製造歩留を向上させることも必要となる。SiC パワーデバイスの場合、バルク単結晶基板・エピ膜における結晶欠陥を低減することや、結晶欠陥の影響を抑制したデバイス構造の開発が重要となる。同時に、デバイスやモジュールの設計・試作期間を短縮することも重要である。

表 1-1 パワーデバイスの製造工程で消費されるエネルギーの典型例

	Substrate Growth	Epitaxial Growth	CVD Process	Ion Implantation Process	Etching Process	Diffusion Process	Wet Process	PVD Process	Lithography Process	Total
Si IGBT	10	15	36	8	24	3	3	24	8	131
SiC MOSFET	30	30	36	20	24	15	3	24	8	190

kWh/Wafer

## 1.4 SiC パワーデバイスの特長

パワーデバイスの材料となる半導体材料の物性から決まるユニポーラデバイスの性能限界を比較したものを図 1-7 に示す[19-22]。ユニポーラデバイスは、例えば整流素子であるショットキーバリアダイオード(SBD: Schottky Barrier Diode)、スイッチング素子である MOSFET などがある。図 1-7 は、単位面積当たりのオン抵抗（特性オン抵抗）の耐圧依存性である。SiC は Si と比較して絶縁破壊電界強度が約 1 桁大きいため、耐圧を保持するドリフト層を薄く、不純物濃度を高くすることで、オン抵抗を大幅に小さくできる。Si のユニポーラパワーデバイスの場合、高耐圧領域ではオン抵抗が増大するため、少数キャリア注入による電導度変調効果を利用するバイポーラデバイスが用いられる。バイポーラデバイスは、例えば整流素子である PN ダイオード、スイッチング素子である IGBT などがある。また、Si の SJ-MOSFET(Super Junction-MOSFET)は、ドリフト層に形成された n 型層と p 型層の縦溝構造により、接合溝の深さ分の空乏層を形成し、ドリフト層の不純物濃度を上げることでオン抵抗を下げ、Si のユニポーラデバイスの性能限界を突破している。

一般的に、Si パワーデバイスを SiC パワーデバイスで置き換える場合、使用する電圧・電流容量の Si ユニポーラデバイスではなく、バイポーラデバイスである Si IGBT を置き換えることが多い。パワーデバイスの電力損失は、導通時のオン抵抗による導通損失と、スイッチング時のスイッチング損失の和によって決まる。Si バイポーラデバイスの場合、同耐圧の SiC ユニポーラデバイスに比べ大きなオン抵抗をもつため導通損失が大きく、少数キャリアの蓄積現象によりスイッチング時に逆回復電流が流れるためスイッチング損失も大きくなる。また、この逆回復電流のためにスイッチング速度も制限されてしまう。SiC ユニポーラデバイスの場合は、同耐圧の Si バイポーラデバイスに比べ小さなオン抵抗をもつため導通損失が小さく、少数キャリアの蓄積がないのでスイッチング損失は小さく、速いスイッチング動作も可能である。また、SiC は大きなバンドギャップと優れた熱安定性を持つので、高温下での動作も可能である。このように、SiC パワーデバイスは損失が小さく、速いスイッチング動作に対応し、高温化でも動作できる優れた特長を有している。

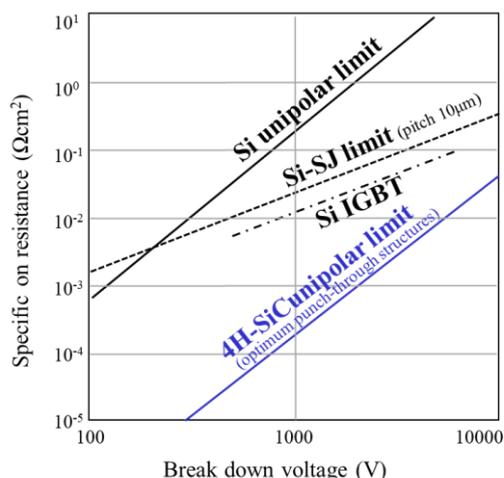


図 1-7 半導体材料によるユニポーラパワーデバイスの性能限界の比較 (文献[19-22])

図 1-8 に鉄道車両のエネルギー消費の内訳と、鉄道用インバータを例にとりパワーモジュールの構成を示す[23]。鉄道車両のエネルギー消費はインバータの損失、モータの損失、機械ブレーキの損失、走行抵抗などがある。インバータの損失は全体の 2%と小さいが、インバータの高性能化によりその他の 3 つのエネルギー損失の削減が可能である。ここで、インバータの高性能化とは、パワーデバイスやその制御技術の改善、それに伴う小型化、冷却性能の向上、そして周辺部品の小型化などがあげられる。図の中央部に、加速時とブレーキ時の鉄道車両の電力の流れを示す。加速時には、パンタグラフを通じて架線から得た電力を、インバータが制御してモータに送っている。そのため、モータのエネルギー損失はインバータの改良によって減らすことができる。ブレーキ時には、回生ブレーキと機械式ブレーキが使用され、回生された電力はインバータで変換されて架線に戻される。そのため、インバータを効率よく動作させることで、回生ブレーキの割合を上げて架線に戻す電力を増やし、電力消費を小さくすることができる。図の右側には、インバータの構成を示す。インバータの中にはパワーモジュールが複数台設置されており、パワーモジュール内には整流素子とスイッチング素子が複数個設置されている。従来は整流素子として Si PN ダイオード、スイッチング素子として Si IGBT が使用されてきた。

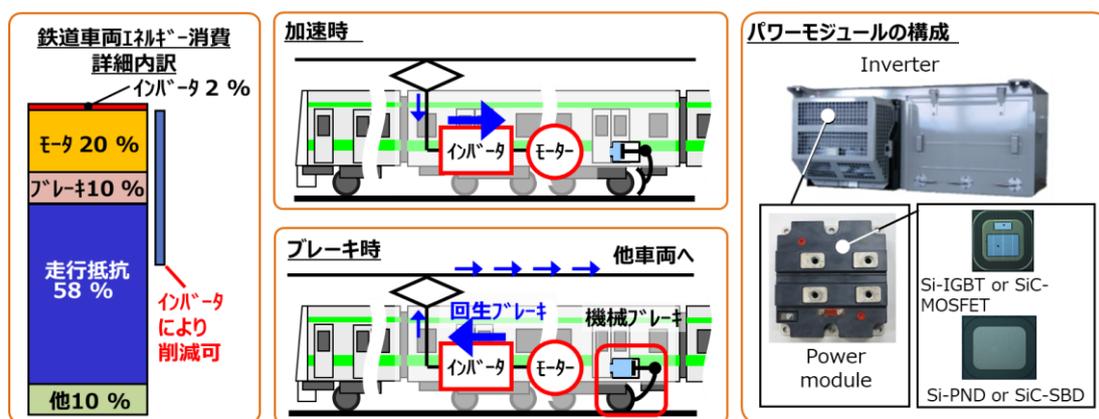


図 1-8 鉄道車両のエネルギー消費の内訳とパワーモジュールの構成

パワーモジュールにおけるスイッチング時の電流及び電圧波形を、従来の Si パワーデバイスを使用した構成、SiC パワーデバイスを使用した構成別に図 1-9 に示す[24]。バイポーラデバイスである Si パワーデバイスでは、ターンオフ時は蓄積された少数キャリアの流出経路の遮断によりテール電流が発生

し、ターンオフが遅れる。ターンオン時はダイオードに蓄積された少数キャリアの放出により、大きな逆回復電流が流れる。ユニポーラデバイスである SiC パワーデバイスではそれがいないため、スイッチング損失が大幅に低減でき、スイッチングの高速化にも対応できる。図の右側には、パワーモジュール内の還流ダイオードを MOSFET に内蔵される内蔵ダイオードで代用したダイオードレス構成を示す。ここで、還流ダイオードとは、電力変換回路においてスイッチング素子と並列に接続され、スイッチング素子をオフした際にインダクタンスに蓄積されたエネルギーを電源側に還流させる役割をもつ。IGBT と異なり、MOSFET には素子内に PN ダイオード構造を含むので、1つの MOSFET でスイッチング素子と整流素子を兼ねることができる。ただし、SiC はバンドギャップが大きいために、SiC MOSFET の内蔵ダイオードがオンする順方向電圧が高くなる。また、内蔵ダイオードはバイポーラデバイスであるため、少数キャリアの蓄積現象によりスイッチング損失が大きくなる。この対策として、ダイオードへの導通損失をできるだけ減らす同期整流技術が適用されている[25]。還流ダイオードを MOSFET の内蔵ダイオードで代用した場合、必要となるパワーデバイスのチップ数が半数になるため、パワーモジュールの低コスト化と小型化が同時に実現できる。

図 1-10 に鉄道用パワーモジュールにおける SiC パワーデバイスの適用効果を示す[24]。これは、SiC-MOSFET を使用したダイオードレス構造におけるスイッチング損失を、Si-IGBT と Si-PND を使用した従来構造の場合と比較したものである。SiC-MOSFET を使用したダイオードレス構造のパワーモジュールは、従来構造に比べて、ターンオフ、ターンオン、リカバリ損失をそれぞれ 67%、23%、95%低減でき、それらを合算したスイッチング損失は従来構造の場合と比較して約 1/4 となる。このスイッチング損失の低減により、モータ損失やノイズの低減、受動素子の小型化などの優れたシステム設計が可能となる。

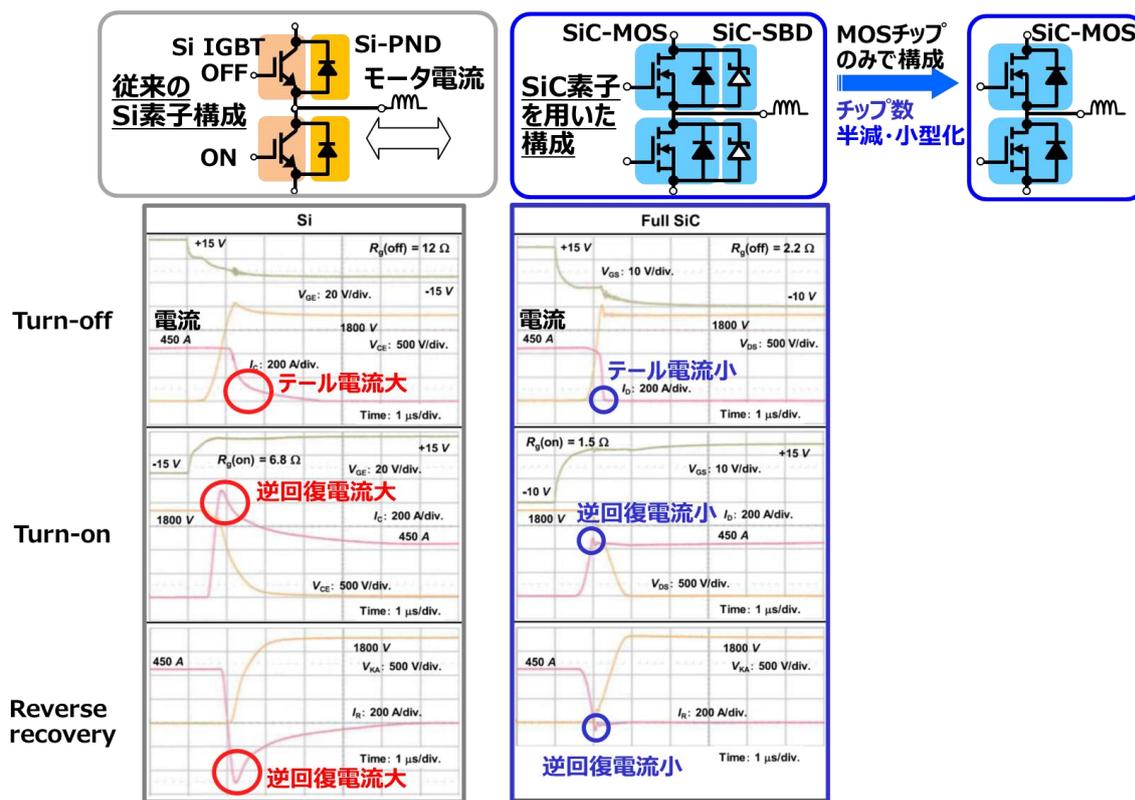


図 1-9 パワーモジュールにおけるスイッチング時の電流及び電圧波形 (文献[24])

素子温度150°C, 電圧1800 V

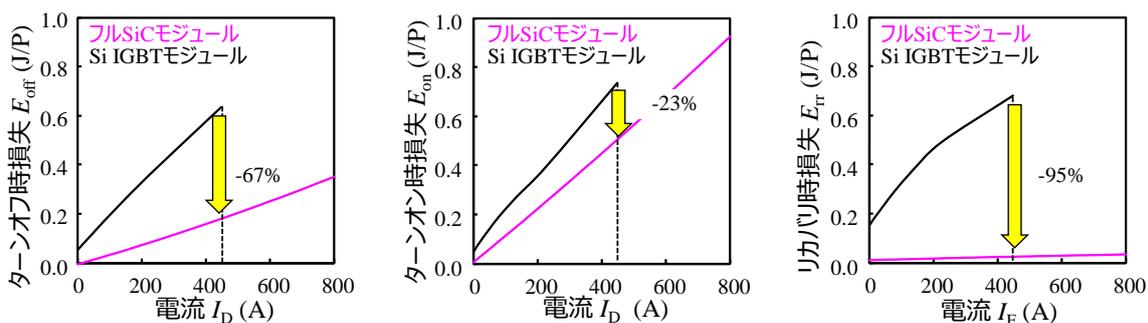


図 1-10 鉄道用パワーモジュールにおける SiC パワーデバイスの適用効果 (文献[24])

### 1.5 SiC の結晶構造と物性

SiC パワーデバイスの材料である SiC は、Si と C が 1:1 の化学量論的組成を有する IV-IV 族化合物半導体であり、C が Si に比べて大きな電気陰性度をもつため、11%のイオン性を有する共有結合結晶である[26]。図 1-11 に示すように、SiC は 1/4 の C(或いは 1/4 の Si)を 4 つの頂点に配置し、中心に Si(或いは C)を配置した正四面体を基本構造とする[27]。この基本構造の c 軸方向への積み重なりの違いにより、200 種類以上の結晶多形(ポリタイプ)が存在する。この中で、発生確率が高く、工学的に利用されているのは、3C-, 4H-, 6H-SiC であり、その結晶構造を図 1-12 に、模式図を図 1-13 に示す[28]。ここで、3C-や 4H-の表記は Ramsdell の表記法であり、c 軸方向の 1 周期中に含まれる Si-C 単位層の数と結晶系の頭文字を表している。C は立方晶、H は六方晶を表す。正四面体の基本構造は頂点が重なるように積層されるため、図 1-13 に示すように A, B, C の 3 種類の配置が存在する。加えて、正四面体が面内で 180° 回転した配置も取ることができ、これを A', B', C' としている。よって、3C-, 4H-, 6H-SiC の基本構造の積層順はそれぞれ ABCABC, ABA'C', そして ABCB'A'C' となる。SiC は、ポリタイプによってバンドギャップなどの物性値が異なる。また、ポリタイプによって熱的安定性が異なり、約 2000°C 以上の高温では 4H-, 6H-SiC が、約 1800°C 以下の低温では 3C-SiC が発生しやすい。そのため、製造においてポリタイプの制御が非常に重要となる。加えて、SiC は面極性があり、Si で終端された面か、C で終端された面かによって、エッチング反応やエピタキシャル膜の成長速度、酸化速度等が異なる。

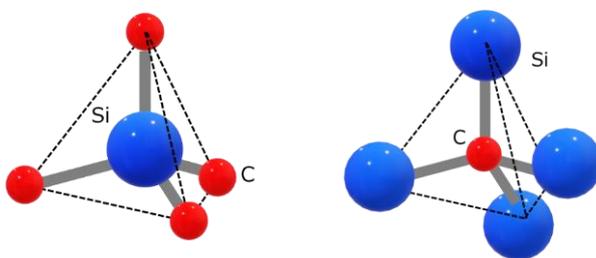


図 1-11 正四面体から成る Si-C 基本構造

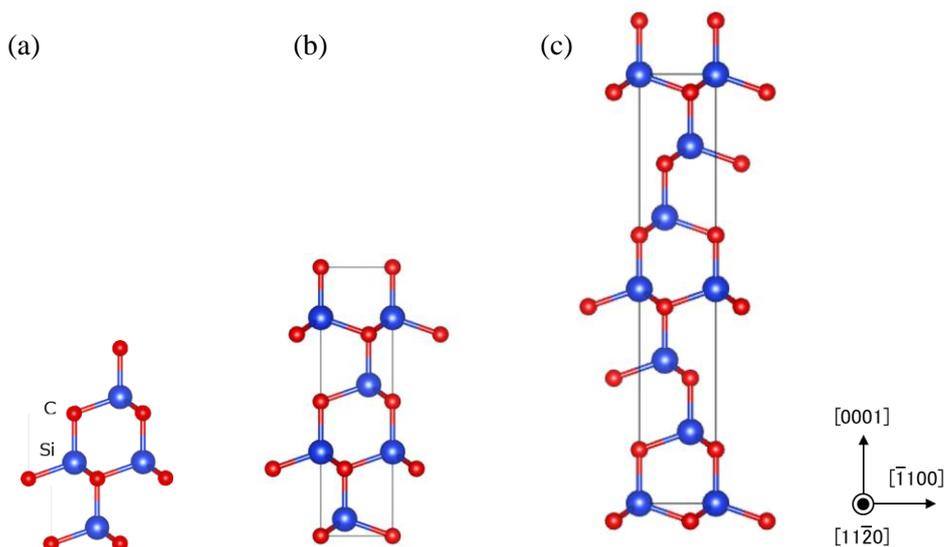


図 1-12 (a) 3C-SiC, (b) 4H-SiC, (c) 6H-SiC の結晶構造

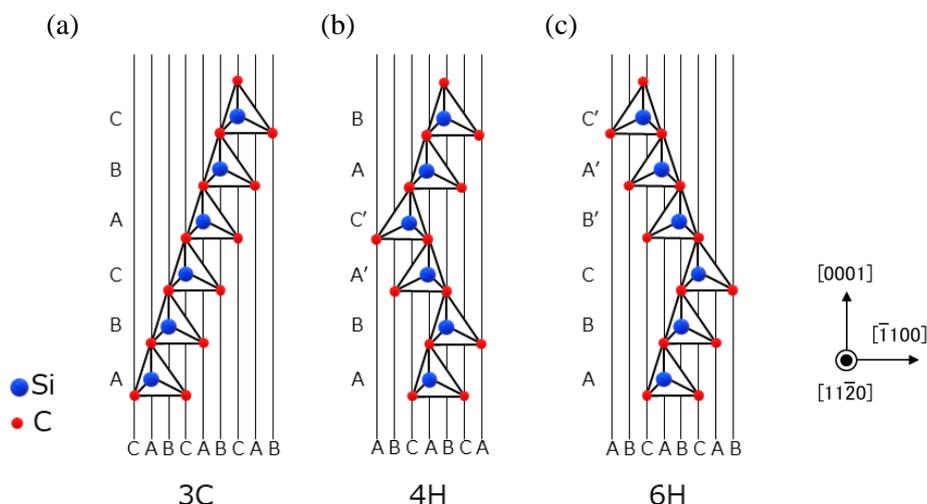


図 1-13 (a) 3C-SiC, (b) 4H-SiC, (c) 6H-SiC の結晶構造の模式図

表 1-2 に代表的なポリタイプの物性値をその他のパワーデバイス材料 Si, GaN とともに示す[26, 29-31]。SiC は Si に比べて格子定数が小さく、原子間力の結合力が強いため、Si に比べてバンドギャップと絶縁破壊電界強度が大きい。また、その強い原子間結合力は高い格子振動周波数をもたらすため、高エネルギーのフォノンにより、SiC は高い熱伝導性と大きな飽和電子速度をもつ。このような SiC の材料特性は、高耐圧・大電流・高速スイッチング動作が求められるパワーデバイスに適する。4H-SiC は他のポリタイプに比べて優れた物性値を持ち、Si と比べてバンドギャップは約 3 倍、絶縁破壊電界強度が約 10 倍であり、最もパワーデバイス用途に適する。4H-SiC は高品質のウエハが市販されていること、p 型や n 型の伝導型の制御が容易であることから、4H-SiC を用いた SiC パワーデバイスの社会実装がすでに始まっている。また、GaN は 4H-SiC と同様に優れた物性を持ち、高い飽和電子速度を活かし、Si 基板上へのヘテロ接合構造を用いた HEMT(High Electron Mobility Transistor)が市販されている[32-33]。今後、GaN ウエハの品質向上に伴い、GaN-on-GaN 構造のデバイスの市場投入が始まり、パワーデバイスの適用アプリケーションの棲み分けが時代とともに変化すると考えられる。



## 1.6 SiC パワーデバイスの課題

SiC は Si と比較してパワーデバイス用途において優れたポテンシャルを有しているが、半導体材料に含まれる結晶欠陥がその信頼性を大きく劣化させる。以降、SiC 基板とエピタキシャル膜における結晶欠陥についてその詳細を示す。

### 1.6.1 SiC 基板の結晶欠陥

SiC のバルク結晶成長は非常に難しく、工業的に利用されるまでに多くの技術開発が行われた[26]。SiC バルク結晶成長における困難さは、その成長手法と、ポリティプ制御があげられる。SiC は固体と同一組成の融液が存在しないため、Si のように融液からバルク単結晶を成長させることができず、2000°C 以上の高温で昇華する特性を利用した気相からの成長に頼らざるを得ない。SiC の結晶は 1892 年に Acheson らによって人工的に作成され、その後 1955 年に Lely が SiC 材料を昇華・再結晶化する手法（レーリー法）により高純度の SiC バルク単結晶が得られるようになった[34-35]。そして 1981 年に Tairov と Tsvetkov により、改良レーリー法（昇華法）が考案され、ポリティプ制御の課題を解決し、口径は小さいが安定して高品質のバルク結晶が得られるようになった[36]。昇華法は SiC バルク単結晶の成長技術として現在工業的に利用されている手法である。SiC バルク単結晶の新たな成長方法として、溶液法や高温ガス成長法(HTCVD 法)の技術開発が進められている[37-38]。しかし、それらの技術はまだ未成熟であり、実用化までは相当な時間がかかると想定される。

昇華法で得られた SiC バルク単結晶には、結晶成長中や成長後の冷却過程にて発生する結晶欠陥が存在し、これらのうち転位や積層欠陥は、単結晶上に成膜されるエピタキシャル膜に引き継がれる。表 1-3 に SiC バルク単結晶の主要な結晶欠陥を示す[39-40]。SiC バルク単結晶中の結晶欠陥は、化学エッチング法や X 線トポグラフィ法を用いて観察される[26]。化学エッチング法は、水酸化カリウム(KOH)が一般的に使用され、結晶表面の欠陥部分に現れるピットの形状により欠陥の種類を判別できる破壊検査である。X 線トポグラフィ法は X 線の回折を利用した非破壊検査であり、転位や積層欠陥による結晶格子の局所的な歪みを可視化できる。

SiC バルク単結晶の主要な転位として、マイクロパイプ、貫通らせん転位(TSD: Threading Screw Dislocation), 貫通刃状転位(TED: Threading Edge Dislocation), 基底面転位(BPD: Basal Plane Dislocation)がある。マイクロパイプ、TSD, TED は(0001)方向に伝播する転位であり、マイクロパイプは大きなバーガーズベクトルを持つ TSD である。マイクロパイプは大きな歪のために  $\mu\text{m}$  程度の空隙を伴う中空構造をもつ。TSD と TED の両成分を併せ持つ貫通混合転位(TMD: Threading Mixed Dislocation)も存在する[41]。BPD は基底面((0001)面)内に伝播する転位であり、詳細は次節で述べる。SiC は多くのポリティプが存在し、Si-C 面の積み重なり順の違いによるエネルギー差が小さく、それ故 Si-C 面の積み重なり順に狂いが生じやすい。積層欠陥はバーガーズベクトルの違いによりショックレー型とフランク型に分けられる。ショックレー型はバーガーズベクトルが基底面内にあり、周囲を囲むショックレー部分転位が基底面を滑ることで積層欠陥が拡張する。フランク型はバーガーズベクトルが基底面に対して直行しており、ショックレー型のように部分転位が基底面を滑ることによる拡張はない。

表 1-3 SiC バルク単結晶中の結晶欠陥

	伝播方向	バーガーズベクトル	密度 (個/cm <sup>2</sup> )
マイクロパイプ (MP: Micro Pipe)	$\langle 0001 \rangle$	$n\langle 0001 \rangle$ $n > 2$	~0.1
貫通らせん転位 (TSD: Threading Screw Dislocation)	$\langle 0001 \rangle$	$n\langle 0001 \rangle$ $n = 1, 2$	100~1000
貫通刃状転位 (TED: Threading Edge Dislocation)	$\langle 0001 \rangle$	$\frac{1}{3}\langle 11\bar{2}0 \rangle$	3000~10000
基底面転位 (BPD: Basal Plane Dislocation)	in $\{0001\}$ plane	$\frac{1}{3}\langle 11\bar{2}0 \rangle$	200~2000
積層欠陥 (SF: Stacking Fault)	in $\{0001\}$ plane	Shockley: $\frac{1}{3}\langle 11\bar{2}0 \rangle$ Frank: $\frac{1}{n}\langle 0001 \rangle$	—

### 1.6.2 SiC エピタキシャル基板の結晶欠陥とデバイス特性への影響

SiC バルク単結晶のインゴットを所定の口径に成形し、ウエハ状に切断し、加工傷や歪などの加工ダメージを CMP (Chemical Mechanical Polish) で除去することで、次工程のエピタキシャル成長の準備が整った SiC 基板が得られる。ここで、エピタキシャル成長はステップ端からの結晶成長を利用したステップ制御エピタキシャル成長法を用いるため、SiC 基板は SiC バルク単結晶の(0001)面から傾斜角（オフ角）を付けて切り出されている[26]。現在、4度のオフ角が一般的に使用されている。SiC は自身が研磨剤として使用されるほど機械的強度が高いこと、加工時に導入される傷や歪によって結晶欠陥が容易に発生することから、加工ダメージを十分に除去し、新たな結晶欠陥の発生を抑制できる CMP 技術が必要である[42]。SiC のエピタキシャル成長の方法としては、CVD (Chemical Vapor Deposition) が一般的に用いられている。反応炉に Si と C を含む原料ガスをキャリアガスとともに供給する。それぞれ、モノシラン(SiH<sub>4</sub>)、プロパン(C<sub>3</sub>H<sub>8</sub>)、そして水素(H<sub>2</sub>)が一般的に使用されている。反応炉の中に 1600°C 程度に加熱された SiC 基板を設置し、基板表面での供給ガスの反応により基板の結晶方位情報を受け継いだ SiC エピタキシャル層(SiC エピ層)を成長させる。

表 1-4 に SiC エピタキシャル基板(SiC エピ基板)の主要な結晶欠陥とそのデバイス特性への影響を示す[39-40, 43-44]。ここで、想定したデバイスは本研究で着目した SBD と MOSFET とした。そのため、6.5 kV 以上の超高耐圧 SiC PN ダイオードや IGBT において課題となる、キャリア寿命を制限する点欠陥は表 1-4 から省略した。SiC エピ基板の結晶欠陥は前節で示した KOH エッチング法や X 線トポグラフィ法に加えて、光学顕微鏡による観察や PL (Photo Luminescence) イメージング法が広く用いられる。光学顕微鏡は共焦点微分干渉顕微鏡など、表面の段差を良好なコントラストで可視化できる顕微鏡が適している。PL イメージング法は、励起光(310-330 nm 程度)を広範囲に照射し、フィルタにより特定波長領域の PL を取り出すことで欠陥部分を可視化する。

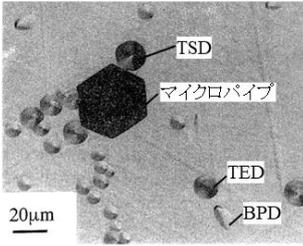
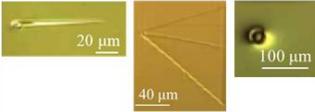
SiC エピ基板中の主要な結晶欠陥は、SiC 基板から伝播されるマイクロパイプ、TSD、TED、BPDに加えて、In-grown 積層欠陥、複合積層欠陥(Complex Stacking Fault)、ポリタイプインクルージョン、ダウンフォールが挙げられる。これらは、SiC 基板中の BPD、TSD、或いはエピ成膜中のパーティクルを成因として、エピタキシャル成長中に形成される[45]。In-grown 積層欠陥は、Si-C 面の積み重なり順に狂いが生じたフランク型の積層欠陥である。複合積層欠陥、ポリタイプインクルージョン、ダウンフォールは表面に凹凸を伴う形態欠陥である。

BPD は基底面((0001)面)内に伝播する転位であり、隣接する原子の位置に滑ることを考えた場合、 $1/3\langle 11\bar{2}0 \rangle$ 方向の完全転位となる。しかし、実際にはバーガーズベクトルの分解により歪エネルギーが

減少するため、2つの部分転位に分かれた状態で存在する。この部分転位の間には Si-C 面の積み重なり順に狂いが生じたシングルショックレー型の積層欠陥 1SSF(Single Shockley Stacking Fault)が生じており、その幅は積層欠陥の形成エネルギーと部分転位への分解による歪エネルギー低下との兼ね合いによって決まる。4H-SiC の場合、その幅は約 30 から 70 nm と報告されている[46]。図 1-16 にバーガーズベクトル  $1/3 [11\bar{2}0]$  をもつ BPD が部分転位( $1/3 [10\bar{1}0]$ と $1/3 [01\bar{1}0]$ )へ分解し、原子配列が再構築した後の模式図を示す[47-48]。2本の部分転位は転位芯の原子種によって移動度が異なり、C-C 結合からなる C-core よりも Si-Si 結合からなる Si-core の方が部分転位の移動度が大きいことが電子状態の計算から説明されている。C-C 結合と Si-Si 結合の結合エネルギーはそれぞれ 3.7 eV, 2.3 eV と報告されている[49-51]。PL イメージング法では 420 nm 付近に 1SSF に由来する発光が、また 750 nm 以上で BPD に由来する発光が観測される[44, 52]。4H-SiC のショックレー型積層欠陥は 1SSF 以外にも報告されており、図 1-17 (a)にそれらの結晶構造を示す[28]。正常構造に比べて、矢印の箇所の Si-C 層において、Si 層と C 層の間が基底面上で $(\bar{1}100)$ 方向に滑り、ABA'C'の積層順がずれている。図 1-17 (b)に示す透過型電子顕微鏡(TEM: Transmission Electron Microscopy)像からも、その積層順のずれが確認できる。

これらの結晶欠陥がデバイスに与える影響について数多くの研究結果が報告されている[39]。マイクロパイプは既にその密度が非常に低いため、現時点でほとんど問題視されていない。TSD や TED の密度は高いが、ピットを伴わなければ SBD や MOSFET のデバイス特性に悪影響を及ぼさないことが明らかになっている。In-grown 積層欠陥に関しては、それによる SBD や MOSFET の逆方向リーク電流の増加や耐圧低下が報告されており、局所的に小さいバンドギャップ領域が影響していると考えられている。表面凹凸を伴う形態欠陥である複合積層欠陥、ポリタイプインクルージョン、ダウンフォールも SBD や MOSFET の逆方向特性を劣化させる。また、バイポーラ動作時(MOSFET の内蔵ダイオード使用時)に BPD が面状の 1SSF に拡張し、オン抵抗が増加するバイポーラ劣化が発生する。

表 1-4 SiC エピ基板の主要な結晶欠陥とそのデバイス特性への影響 (文献[43-44])

	欠陥形状	密度 (個/cm <sup>2</sup> )	SBD	MOSFET
マイクロパイプ (MP: Micro Pipe)		~0.1	Break down voltage reduction	
貫通せん転位 (ピットなし) (TSD: Threading Screw Dislocation)		100~1000	No	
貫通刃状転位 (ピットなし) (TED: Threading Edge Dislocation)		3000~10000	No	
基底面転位 (BPD: Basal Plane Dislocation)		0.1~10	No	Bipolar degradation of body diode
In-grown SF (SF: Stacking Fault)		0.1~1	Break down voltage reduction	
SF complex Polytype inclusion Downfall		~0.1	Break down voltage reduction	

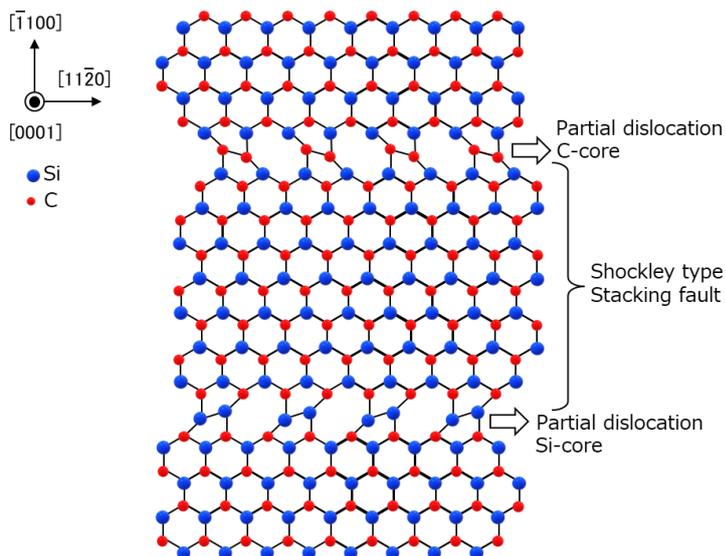


図 1-16 バーガーズベクトル $1/3 [11\bar{2}0]$ をもつ BPD が部分転位へ分解し原子配列再構築後の模式図

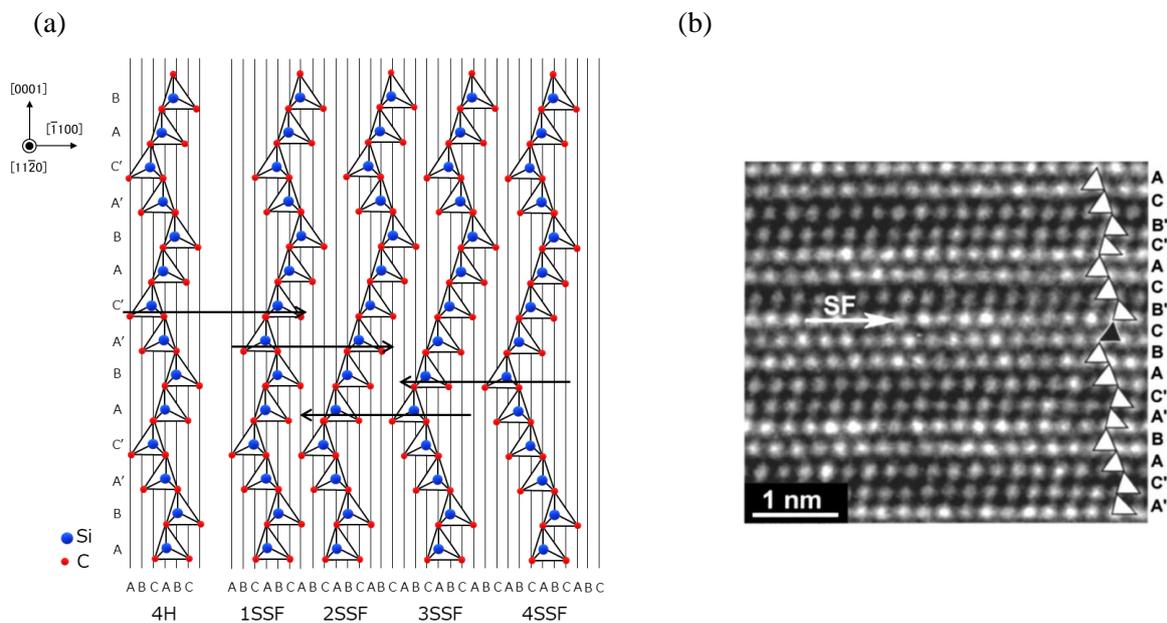


図 1-17 (a) 4H-SiC におけるショックレー型積層欠陥の結晶構造。図中の黒い矢印はすべり面を表す。  
(b) ショックレー型積層欠陥を含む 4H-SiC の断面 TEM 像 (文献[28])

## 1.7 形態欠陥と BPD に関する従来知見

本研究は、SiC パワーデバイスの信頼性向上を目指し、結晶欠陥が SiC パワーデバイスの電気的特性に及ぼす影響を検討した。具体的には、形態欠陥が SiC SBD の逆方向リーク電流に及ぼす影響、BPD が SiC MOSFET の通電信頼性に及ぼす影響について研究した。以降、形態欠陥と BPD に関する従来知見を示す。

### 1.7.1 形態欠陥とデバイス特性の相関に関する従来知見

文献[53]や[54]では、SiC エピ基板上の形態欠陥が SiC SBD や PN ダイオードの逆方向特性に与える影響を調べ、形態欠陥が逆方向リーク電流を増加させることを結論付けている。文献[53]では、図 1-18 (a) に示す SiC SBD の逆方向特性において、リーク電流の大きさ別に素子を A, B, C と 3 つのグループに分け、A はマイクロパイプとパーティクルを含み、B は複合積層欠陥を含み、C は形態欠陥がないことを明らかにした。図 1-18 (b)(c)は観察されたマイクロパイプとパーティクルの平面 SEM 像と断面 SEM 像であり、(d)は複合積層欠陥の光学顕微鏡像である。これらの形態欠陥によって SiC 表面に凹凸が形成されている様子がわかる。文献[54]では、ポリタイプインクルージョンを素子内に含む PN ダイオードは、逆方向リーク電流を増加させることを報告している。また、文献[55]や文献[56]では、SiC エピ表面上のナノピット(幅 200 nm 程度、深さ 25-45 nm 程度)や表面凹凸(10 nm 程度)に電界が集中することで SiC SBD の逆方向リーク電流が増加することを明らかにしている。

デバイスの電気的特性に致命的な影響を与えて不良品化させるキラー欠陥が、ウエハ面内でランダムに発生する場合を仮定して、製造歩留を計算した。所望の電圧・電流特性を満たす素子を良品とし、全試作素子数に対する良品数の割合を製造歩留とすると、製造歩留 $Y$ は以下の式から求められる。

$$Y = \exp(-DA) \quad \dots (1.1)$$

ここで、 $D$ はキラー欠陥密度、 $A$ は素子の面積である。図 1-19 に製造歩留とチップ面積の関係を示す。電気自動車や風力発電、鉄道などの用途に適用されるデバイスは大容量であり、大きなチップ面積が必要であるため、形態欠陥が含まれる確率も高い。このため、大容量化を試みるとデバイスの製造歩留は急激に低下してしまう。従って、大容量デバイスの製造歩留を向上するには、これらの形態欠陥による逆方向特性の劣化が課題となる。

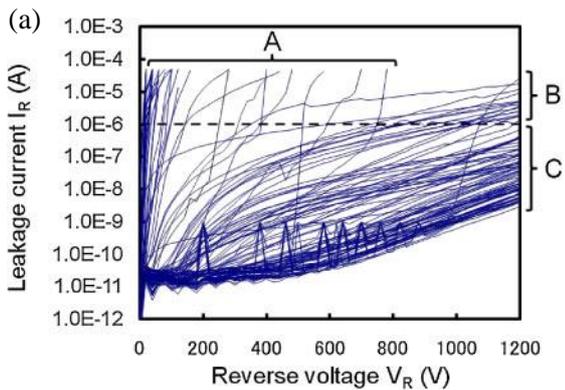


図 1-18 (a) SiC SBD の逆方向特性。リーク電流の大きさ別に A, B, C のグループに分け、デバイス内の結晶欠陥を分析している。(b)(c) 観察されたマイクロパイプとパーティクルの平面 SEM 像と断面 SEM 像。(d) 観察された複合積層欠陥の顕微鏡像。(文献 [53])

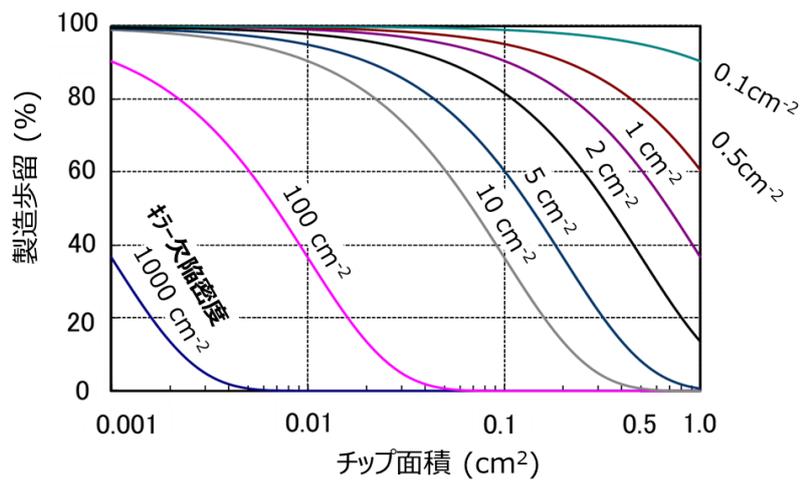
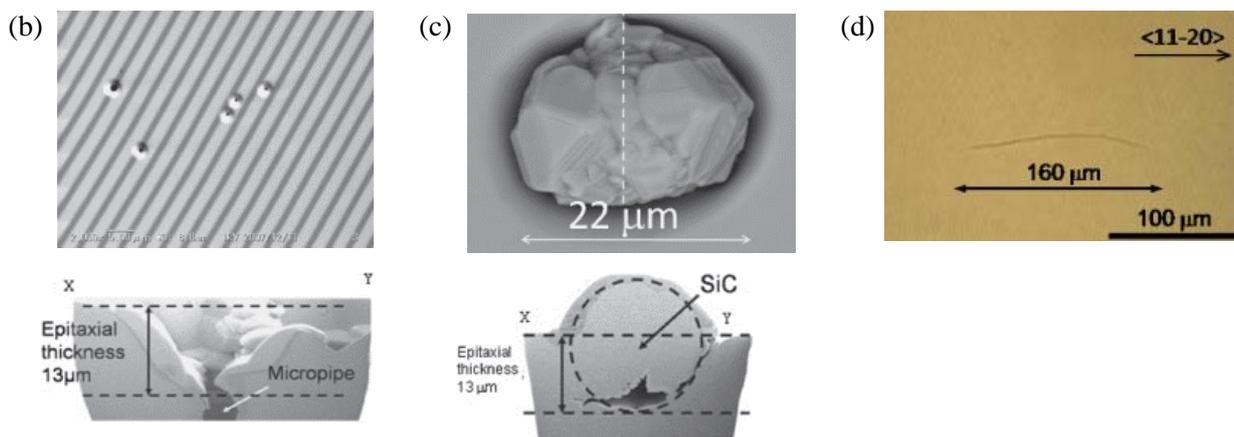


図 1-19 製造歩留とチップ面積の関係

### 1.7.2 バイポーラ劣化に関する従来知見

SiC デバイスにおけるバイポーラ劣化現象は 2000 年代初頭から報告されている。文献[57-58]では、SiC PN ダイオードへ電流を流し続けると、通電中にオン電圧が増加することが報告された。レビュー論文である文献[28]では、バイポーラ劣化のメカニズムに関する報告がまとめられている。BPD を構成する部分転位の一方である Si-core は、深い準位を誘起して再結合中心として機能する。BPD 付近で電子-正孔再結合が起こると、それにより解放される再結合エネルギーを駆動力として、移動度が大きい Si-core の Si-Si 結合が切れて部分転位が基底面に沿って動き、それに伴い 1SSF が拡張する。電子-正孔の再結合によって得られるエネルギーは光子やフォノンを生成するのではなく、REDG(Recombination Enhanced Dislocation Glide)過程により転位の駆動力になる[59-61]。第一原理計算によると、拡張した 1SSF はバンドギャップが周囲よりも 0.2 から 0.3 eV 程度小さく、伝導体に量子井戸のような準位を形成するため、電子トラップとして動作する[28]。従って、1SSF の拡張とともにオン抵抗が徐々に増加する[39]。

BPD は、BPD 自体のバーガーズベクトルの違い、それを構成する部分転位のバーガーズベクトルの違い、そして BPD が挿入される基底面の位置によって、72 種類に分けられる[62]。しかし、1SSF に拡張した後は、直角三角形或いは帯状の 2 種類の形状になる。図 1-20 (a) (b)に直角三角形と帯状 1SSF の PL 像を示す[63]。三角形 1SSF は、90°と 30°の頂点がステップフロー下流である SiC 表面に位置しているが、帯状 1SSF は細長く、長手方向はデバイスの端部まで拡張している。文献[64]では、窓あき構造を適用した PN ダイオードへ通電し、窓から漏れる光を EL(Electroluminescence)法で検出することで、BPD から 1SSF へ拡張する過程を調べている。三角形 1SSF の場合、積層欠陥の拡張は $[11\bar{2}0]$ 方向へ起こり、部分転位が SiC 表面まで達すると拡張は飽和する。帯状 1SSF の場合、積層欠陥の拡張は $(1\bar{1}00)$ 方向へ起こり、拡張は飽和せず、デバイスの端部まで拡張する。1SSF の起源となる BPD の種類の違いにより、BPD を構成する部分転位(ここでは Si-core)のバーガーズベクトルが異なり、Si-core のバーガーズベクトルがオフ角方向と直行する場合( $(1\bar{1}00)$ 方向の場合)、帯状の 1SSF が拡張する。帯状 1SSF は、主にエピ層/基板界面で TED に変換された BPD から拡張し、三角形 1SSF に比べて面積が大きくなるためバイポーラ劣化の程度が大きくなる[63]。

1SSF の拡張速度に関しては、文献[65]において、窓あき構造を適用した PN ダイオードへの通電試験中に EL 法を用いて分析することで、少数キャリアである正孔と 1SSF の拡張速度の相関を明らかにしている。それによると、1SSF の拡張速度は正孔密度の増加と共に大きくなり、BPD が 1SSF に拡張を開始する正孔密度は $(1.6-2.5)\times 10^{16} \text{ cm}^{-3}$ である。また、文献[66]では、キャリアのエネルギー利得を用いたモデルから、1SSF 拡張開始のしきい値となる過剰少数キャリア密度は $2\times 10^{14}-2\times 10^{16} \text{ cm}^{-3}$ であると結論付けられている。

パワーモジュールにおいて SiC の持つポテンシャルを最大限引き出し、エネルギー損失を最小にするためには、MOSFET の内蔵ダイオードを使用するダイオードレス構造が必要である。しかし、BPD が存在すると、内蔵ダイオード駆動時に、1SSF の拡張によるバイポーラ劣化が避けられない。従って、バイポーラ劣化は、ダイオードレス構造のパワーモジュール実現に向けての大きな課題である。本研究はバイポーラ劣化を引き起こす BPD の種類を 3 つに分けて研究を進めた。具体的には、図 1-21 に示すように、デバイスの製造プロセス中に形成される BPD、エピ層/基板界面で TED に変換せずエピ層中に伝播する BPD、そしてエピ層/基板界面で TED に変換する基板中の BPD である。以降、それぞれの従来知見を示す。

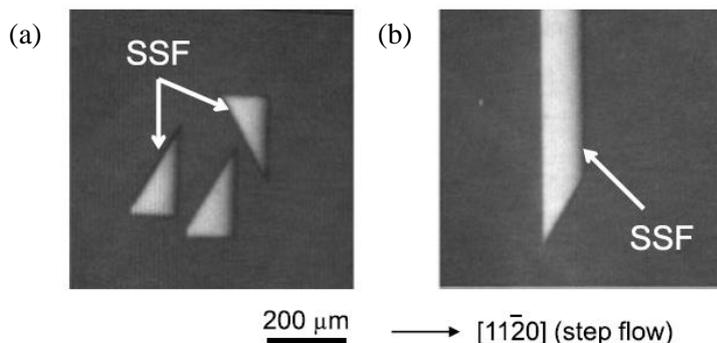


図 1-20 拡張した 1SSF の形状。(a) 直角三角形 (b) 帯状 文献([63])

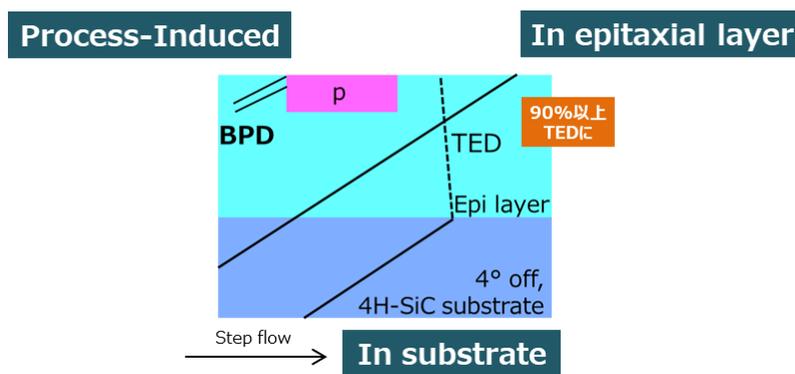


図 1-21 バイポーラ劣化を引き起こす BPD の種類

### 1.7.3 製造プロセス中に形成される BPD に関する従来知見

SiC デバイスを試作するためには局所的な不純物ドーピング技術による伝導性の制御が必要である。Si デバイスでは選択的な不純物ドーピング技術としてイオン注入法と熱拡散法が用いられているが、SiC は Si-C の強い結合に由来して不純物の拡散係数が小さいため、本手法を用いることができない。そのため SiC では一般的にイオン注入法のみで不純物ドーピングが用いられており、異なるエネルギーで多段に注入することで、所望の不純物プロファイルを得ている[39]。

SiC では、ドーパントとして n 型では窒素(N)が、p 型ではアルミニウム(Al)或いはホウ素(B)が広く使われている。イオン注入後は、注入された原子は主に格子間サイトを占めており、電氣的に活性ではない。そのため、注入した不純物を格子点に置換させて電氣的に活性化し、同時に格子の損傷を回復させるための熱処理が必要である。この熱処理は活性化アニールと呼ばれ、Si デバイスに比べて非常に高温が必要で、1700°C 程度で処理される[26]。活性化アニール処理により、N は C サイトに、Al と B は Si サイトに置換される。活性化率はアニール温度に依存し、90%以上の活性化率を得るためには 1600~1700°C のアニールが必要となる[67-69]。活性化アニール時には、SiC 表面をカーボン膜で保護することで、マイグレーションによるマクロステップ形成を抑制している[26]。4H-SiC における N ドナーのイオン化エネルギーは 40~110 meV、Al と B アクセプタのイオン化エネルギーはそれぞれ 150~190 meV、300~350 meV である[26, 70]。これらの大きなイオン化エネルギーにより、注入された原子がすべて格子点に置換し、電位的に活性化した場合でも室温ではその一部しかキャリアとして寄与しない。特に、イオン化エネルギーの大きい Al や B では、アクセプタ濃度に対するキャリア濃度の割合は Al の場合

5%程度、B では1%以下と小さい[70]。B は、イオン化エネルギーが大きく低抵抗化が困難である点、活性化アニールで容易に拡散するため不純物プロファイル制御が困難である点、B 原子を含む深い準位が形成される点が明らかになり、現在はあまり使用されていない[71-73]。

Si では、イオン注入により完全にアモルファス化しても、その後の活性化アニールによる再結晶化により残留欠陥をなくすことが可能である[74]。しかし、4H-SiC では、イオン注入時に形成された格子間原子(ドーパント, Si, C)や空孔(Si, C)などの格子ダメージが活性化アニール後も残ることが知られている。文献[75-76]では、ラザフォード後方散乱分光法(RBS: Rutherford Backscattering Spectrometry)を用いて、N や Al, B のイオン注入により形成される格子ダメージを分析し、活性化アニール後も格子ダメージが回復しないと結論付けている。イオン注入領域における整軸イオン収量をランダム方向イオン収量で規格化し、イオン注入ドーズ量の依存性を評価した結果、一定以上のドーズ量(N と Al は  $1 \times 10^{15} \text{ cm}^{-2}$  程度、B は  $5 \times 10^{15} \text{ cm}^{-2}$  程度)では活性化アニールで格子ダメージが回復しないことが明らかにされた。文献[77]では、 $1 \times 10^{15} \text{ cm}^{-2}$  以上の過度の注入ドーズ量によりアモルファス化した場合、活性化アニール中に異なるポリタイプである 3C が成長してしまうことを報告している。アモルファス化を避けるには、ドーズ量を制限することや、高温でのイオン注入によりイオン注入時の格子ダメージを軽減することが効果的である[75-76, 78-79]。アモルファス化していない場合は、活性化アニール後にイオン注入領域に多数の二次欠陥が発生する[80-83]。

文献[80]では、Al や B のイオン注入と活性化アニールで形成される二次欠陥を断面 TEM 観察により分析し、二次欠陥は Si-C 二重層が{0001}面に平行に挿入されたフランク型の積層欠陥であることを明らかにしている。図 1-22 は、Al をドーズ量  $2.6 \times 10^{15} \text{ cm}^{-2}$  でイオン注入し、 $1700^\circ\text{C}$  で活性化アニールした後に形成される二次欠陥の断面 TEM 像である。図 1-22(a) でみられる黒い点がイオン注入領域に形成された二次欠陥であり、拡大像の(b)において白矢印で挟まれる部分がフランク型の積層欠陥である。二次欠陥の構造は、拡張性のないフランク型に加えて、拡張性のあるショックレー型が報告されており、ショックレー部分転位を持つ BPD も確認されている。

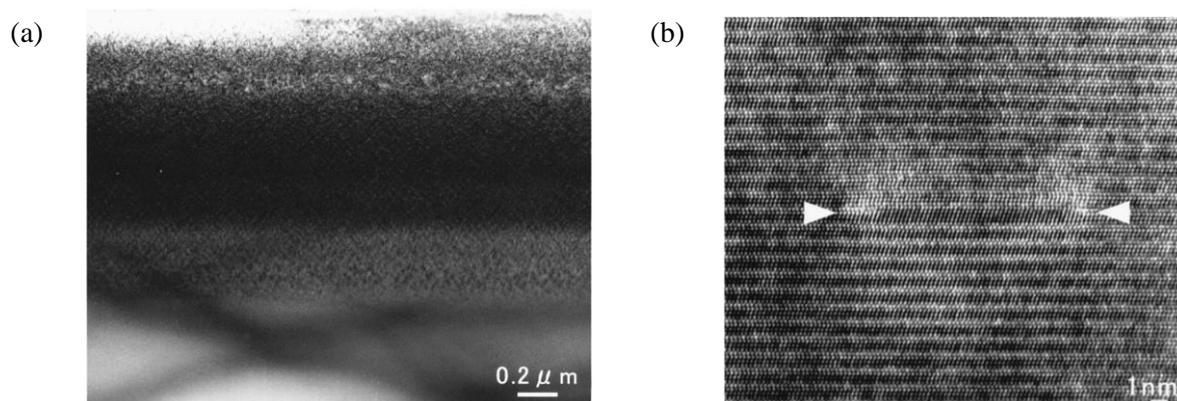


図 1-22 Al のイオン注入と活性化アニール後に形成される二次欠陥の断面 TEM 観察像。Al の注入ドーズ量は  $2.6 \times 10^{15} \text{ cm}^{-2}$  であり、活性化アニールは  $1700^\circ\text{C}$  で処理された。(a) 低倍率の断面 TEM 像。黒い点がイオン注入領域に形成された二次欠陥を示す。(b) 高倍率の断面 TEM 像(多波格子像)。白矢印で挟まれる部分がフランク型の積層欠陥であり、Si-C 二重層が{0001}面に平行に挿入された構造となっている。(文献[80])

#### 1.7.4 エピ層中に伝播する BPD に関する従来知見

図 1-23 は SiC 基板からエピ層への転位の伝播の様子を示す模式図である[70]。基板の貫通らせん転位 (TSD)はそのまま TSD としてエピ層中に伝播する。基板中の貫通刃状転位(TED)もそのまま TED としてエピ層に伝播する。基板中の BPD は、その 90%以上がエピ成長時にエピ層/基板界面で TED に変換され、残りの一部がエピ層に伝播する [84]。ここで、TSD や TED はピットを伴わなければ SBD や MOSFET のデバイス特性に悪影響を及ぼさないことが報告されている[40]。

文献[85]では、エピ成長条件を変えて成膜されたエピ膜の結晶欠陥を分析することで、基板中の BPD がエピ層中で TED に変換する率 (BPD-TED 変換率)を調べ、それはエピ層の成長条件に影響を受けることを明らかにしている。原料ガスの C/Si 比が小さくなると、BPD-TED 変換率が落ち、加えてエピ層と基板の界面で新たに BPD が形成されるため、エピ層に伝播する BPD が増える。原料ガスの流量を増やし、成長速度を上げると BPD-TED 変換率が落ち、エピ層に伝播する BPD が増える。また、成長温度は BPD-TED 変換率に大きな影響を与えないとされているが、文献[86-88]ではウエハ面内の温度分布が不均一であると、エピ膜と基板の界面に多くの界面転位が導入されることが報告されている。成長速度や温度と BPD-TED 変換率の関係はステップ成長におけるステップの進行速度の大小で説明される[85]。SiC のエピ成長はステップフロー成長によってなされ、原料が表面に存在するキンクに吸収され、ステップのダウンフロー方向に成長が進む機構である。このステップの進行速度が速い場合、つまり成長速度が速い場合は、表面に低角度で露出した BPD が折れ曲がって TED になるための原子配置の再構成が間に合わないため、基板の BPD はエピ層にそのまま伝播し、BPD-TED 変換率が落ちる[70]。また、成長速度の温度依存性がない範囲では、ステップ進行速度も温度によらず一定であるため、成長温度は BPD-TED 変換率に大きな影響を与えない。C/Si 比が小さい場合に BPD-TED 変換率が落ちることについては、ステップの進行速度のみでは説明できず、エピ成長開始前後の基板或いはエピ層表面状態や、ステップ成長の乱れが影響しているのではないかと考えられている[70]。エピ成長条件以外に BPD-TED 変換率を向上する方法として、成長開始直後の SiC 表面形状を凹凸状にする手法が報告されている。文献[89]では、化学エッチングやドライエッチングにより凹凸状の表面を形成した基板を使用することで、BPD-TED 変換効率を上げてエピ層中に伝播する BPD を抑制している。しかし、凹凸状の表面を安定して形成することや、形成された凹凸をエピ成長中になくするための制御が難しい点から、量産ラインでは使用されていない。

SiC 基板やエピの製造技術の革新によりエピ層中の BPD は確実に減り、ウエハ面内のエピ層中 BPD が 0.1 個/cm<sup>2</sup>程度を達成する 6 インチエピ基板の製品化についても報告もなされている[90]。しかし、製造ばらつき等を考慮すると素子領域内に BPD が存在するチップがある程度の割合で存在する。

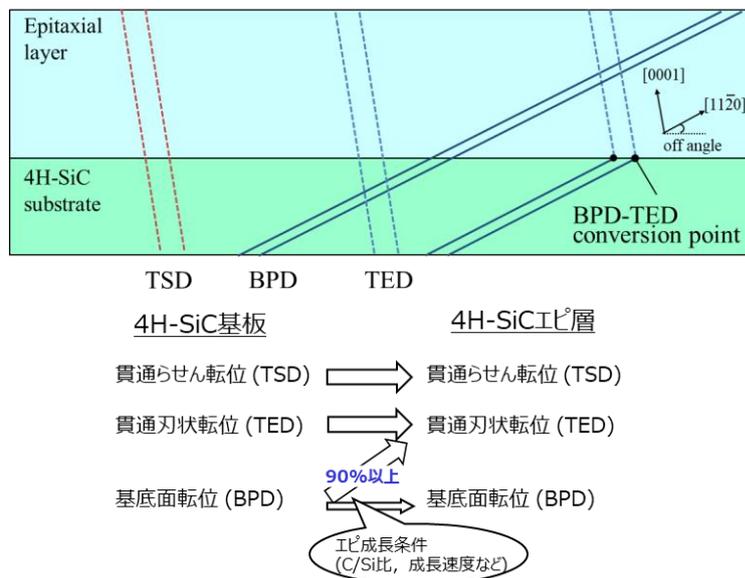


図 1-23 SiC 基板からエピ層への転位の伝搬の様子を示す模式図 (文献[70])

### 1.7.5 基板中の BPD に関する従来知見

基板中の BPD は一部がエピ層に伝播するが、ほとんどはエピ層/基板界面でバイポーラ劣化に無害な TED に変換される。しかし、BPD が TED に変換したとしても、デバイスの駆動条件によってはバイポーラ劣化が起こることが報告された。文献[91]では、窓あき構造を適用した PN ダイオードを試作し、ドリフト層中に BPD を含まないダイオードを選んで通電試験を実施し、EL 法によって拡張した 1SSF を検出するとともに、その 1SSF の起点を分析している。それによると、 $400 \text{ A/cm}^2$  以上の電流密度では 1SSF が拡張すること、断面 TEM 分析により、拡張した 1SSF の起点は BPD-TED 変換点であることが明らかにされた。このように、BPD がエピ層/基板界面で TED に変換されたとしても、BPD-TED 変換点付近まで十分な正孔が供給されると、変換点付近から 1SSF が拡張し、バイポーラ劣化を引き起こす。文献[92]では、文献[91]と同様の手法を用いて、PN ダイオード内に拡張した 1SSF の起点を分析し、より大きな電流密度で、より深くに位置する BPD-TED 変換点から 1SSF の拡張が起こることを実験的に明らかにした。

基板中の BPD を原因とするバイポーラ劣化を抑制するために、様々な対策が検討されている。文献[93-98]では、SiC MOSFET に SBD を混載させた構造が提案され、内蔵ダイオードに流れる電流を SBD に流すことで、バイポーラ動作を防ぎ、基板への正孔注入を抑制できることが報告されている。しかし、製造工程が複雑化するうえ、SBD を混載するための面積ペナルティが発生する。文献[99-101]では、 $2000^\circ\text{C}$  程度の熱処理により、基板再表面の BPD を表面から深い位置で TED に変換する欠陥制御技術が報告されている。これにより、BPD-TED 変換点を基板中のより深い位置に制御できるので、注入された正孔が届きにくくなる。この際、高温処理により基板表面に荒れが生じるので、表面の平坦度の維持が求められる。文献[102-103]では、基板とドリフト層の間に少数キャリア寿命の短い層(この場合は高窒素濃度層)を挿入するエピ積層構造が提案されている。それによると、注入された少数キャリア(この場合は正孔)が高窒素濃度層で全て再結合するため、基板への正孔注入を防ぐことができる。文献[103]では、PN ダイオードにおいて高窒素濃度層がバイポーラ劣化の抑制に効果的であることを実験的に明らかにした。キャリア寿命の制御という観点からは、エピ成長中に V や B を N と同時にドーピングすることで、

少数キャリア寿命を短くできる報告もされている[104-105]。

SiC パワーデバイスとは適用するアプリケーションによって異なる耐圧仕様が要求され、それに合わせてドリフト層のエピ仕様が設計されている。表 1-5 に各耐圧仕様における SiC エピ仕様の例とその抵抗比を示す。表では、文献[106]で報告されている移動度のドナー濃度依存性を用いて単位面積当たりの抵抗を計算し、3.3 kV 仕様を基準として抵抗の大小を比較した。産業用・電気自動車用の低耐圧(600 V~1.2 kV)仕様のデバイスでは、耐圧を維持するためのエピ層が比較的高濃度で薄く、単位面積当たりの抵抗が低い。このため、一般的に高耐圧仕様のデバイスに比べて駆動電流密度が大きくなる。図 1-24 に SiC パワーデバイスの駆動電流密度の推移を示す。パワーデバイスそのものの改善、実装技術や冷却技術の進展等により、電流密度は年々増加している。チップ面積を縮小し、結晶欠陥のチップ含有率を下げることで製造歩留を上げ、コスト低減を推進する上でも、デバイスの駆動電流密度の増加は必要である。ただし、それに伴い、デバイス内部のキャリア密度が増加し、基板への過剰少数キャリア注入量が増加するため、基板中の BPD を原因とするバイポーラ劣化が起きやすくなる。

表 1-5 各耐圧仕様における  
SiC エピ仕様の例とその抵抗比

耐圧仕様	3.3 kV	1.7 kV	1.2 kV	600 V
エピ仕様	$3e15 \text{ cm}^{-3}$ 30 $\mu\text{m}$	$7e15 \text{ cm}^{-3}$ 15 $\mu\text{m}$	$1e16 \text{ cm}^{-3}$ 10 $\mu\text{m}$	$2e16 \text{ cm}^{-3}$ 8 $\mu\text{m}$
単位面積当たりの抵抗比	1	0.23	0.11	0.05

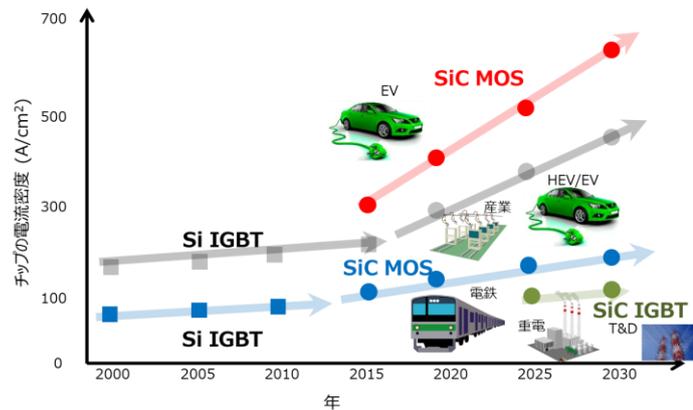


図 1-24 SiC パワーデバイスの駆動電流密度の推移

## 1.8 本研究の動機と目的

カーボンニュートラル実現に向けて、現状の昇華法基板を用いて、結晶欠陥の影響を抑制した信頼性の高い SiC パワーデバイスを開発し、社会実装を進める必要がある。SiC パワーモジュール開発の順序として、まずは比較的製造が容易な SiC SBD の開発を行い Si PND との置き換えを目指した。その後、SiC MOSFET の開発を行い Si IGBT と置き換え、最終的には SiC MOSFET の内蔵ダイオードを使用するダイオードレス構造の実現を目指した。

この一連の開発の中で、SiC パワーデバイスの信頼性向上を目的として、結晶欠陥が SiC パワーデバイスの電気的特性に及ぼす影響を検討した。具体的には、SiC パワーデバイスの重要な課題である二種類の結晶欠陥に着目して検討を行った。課題の一つ目は、SBD での、形態欠陥を原因とした逆方向特性の劣化である。この課題に対して、デバイス構造を工夫することで形態欠陥の影響を抑制することを試みた。課題の二つ目は、MOSFET での、BPD を原因としたバイポーラ劣化である。この課題に対して、製造プロセスで形成される BPD に加えて、デバイス試作前からエピ層内に存在する BPD について、それらを起源とするバイポーラ劣化を抑制することを試みた。さらに、多様なアプリケーションで通電信頼性を担保するため、動作中 SiC MOSFET における結晶欠陥の挙動を可視化し、電流密度に応じた通電信頼性モデルを構築することを目指した。

## 1.9 本論文の構成

本論文は、全 6 章で構成される。第 1 章は序論として、本研究の社会的背景、SiC パワーデバイスの特長と課題、そして本研究の目的を述べた。2050 年カーボンニュートラル実現への貢献を目指し、SiC パワーデバイスの開発が進められていること、SiC は優れたポテンシャルを有しているが、SiC エピ基板には多種多様な結晶欠陥が存在し、それらが SiC パワーデバイスの電気的特性を劣化させることを示した。第 2 章では、大容量 SiC SBD の製造歩留向上を目指し、結晶欠陥の影響を抑制するトレンチ型 SiC SBD についてその効果を検証した。トレンチ構造を適用し、ショットキー接合界面での電界強度を低減することで、形態欠陥のデバイス特性への影響を抑制した。第 3 章では、SiC MOSFET の製造プロセス中に形成される BPD の形成機構を解明し、それを抑制する製造プロセスを開発した。また、開発したプロセスを適用した SiC MOSFET の通電信頼性を検証した。第 4 章では、SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象を解析し、積層欠陥拡張による SiC MOSFET の劣化量を定量的にモデル化した。また、導出したモデルを基に、バイポーラ劣化する不良品を出荷前に除外するスクリーニング技術を開発した。第 5 章では、動作中 SiC MOSFET における結晶欠陥の挙動を可視化するために、オペランド X 線トポグラフィ法を開発した。また、得られた結果から電流密度に応じた通電信頼性モデルを構築し、バイポーラ劣化を抑制する SiC エピ設計指針を導出した。第 6 章では、結論として本研究で得られた成果を総括し、今後の課題と将来の展望について述べた。これらの研究成果は、SiC パワーデバイスの市場拡大に寄与すると共に、SiC パワーデバイスの研究開発の進展に大きく貢献すると考える。

## 参考文献

- [1] 経済産業省, “2050年カーボンニュートラルに伴うグリーン成長戦略”, <https://www.meti.go.jp/press/2021/06/20210618005/20210618005.html> (2021).
- [2] 環境省, “企業の脱炭素経営への取組状況”, <http://www.env.go.jp/earth/datsutansokeiei.html> (2021).
- [3] 環境省, “2019年度(令和元年度)の温室効果ガス排出量(確報値)について”, <https://www.env.go.jp/press/109480.html> (2021).
- [4] 環境省, “地球温暖化対策計画”, <http://www.env.go.jp/earth/ondanka/keikaku/211022.html> (2021).
- [5] 環境省, “1.5°C特別報告書の概要”, <https://www.env.go.jp/earth/ipcc/6th/> (2021).
- [6] 電力中央研究所 調査報告 W93010, “パワー半導体素子の現状と高性能化の課題に関する調査”(1994).
- [7] 富士電機株式会社 富士電機時報, 76, 7 (2003).
- [8] 千葉工業大学研究報告, 62, pp. 23-27 (2015).
- [9] Infineon Technologies 社 ニュースリリース, “インフィニオンテクノロジーズが世界初の SiC ショットキダイオードを発売”(2001年2月).
- [10] 富士電機株式会社 ニュースリリース, “業界初「オール SiC モジュール」を適用した大容量メガソーラー用パワーコンディショナの発売について”(2014年5月).
- [11] 三菱電機株式会社 ニュースリリース, “三菱ルームエアコン「霧ヶ峰 FZ・Z シリーズ」発売のお知らせ”(2016年8月).
- [12] 株式会社デンソー ニュースリリース, “燃料電池自動車向けに SiC パワー半導体を量産化”(2020年12月).
- [13] 三菱電機株式会社 ニュースリリース, “フル SiC パワーモジュール適用鉄道車両用インバーター装置を製品化”(2013年12月).
- [14] 株式会社日立製作所 ニュースリリース, “シリコン・カーバイド素子を用いて小型軽量化を図った直流 1,500V 架線対応の鉄道車両用インバーターを開発”(2012年4月).
- [15] 三菱電機株式会社 ニュースリリース, “世界初, 営業車両向け「SiC 適用鉄道車両用補助電源装置」納入のお知らせ”(2013年3月).
- [16] 東日本旅客鉄道株式会社 ニュースリリース, “新型通勤電車(E235系)量産先行車新造について”(2014年7月).
- [17] 東海旅客鉄道株式会社 ニュースリリース, “次期新幹線車両「N700S」量産車の仕様および投入計画について”(2019年1月).
- [18] K. Sato, H. Kato and T. Fukushima, *in proceedings of the 2018 International Power Electronics Conference*, pp. 3478-3483 (2018).
- [19] K. Kimoto, *Jpn. J. Appl. Phys.* 58, 018002 (2019).
- [20] T. Terashima, *J. Soc. Mater. Sci., Japan* 64, 9, pp. 701-706 (2015).
- [21] N. Kaminski and O. Hilt, *IET Circuits Devices Syst.* 8, 3, pp. 227-236 (2014).
- [22] A. Nakagawa, *in proceedings of the 18th International Symposium on Power Semiconductor Devices & IC's*, pp. 5-8 (2006).
- [23] M. Ando, T. Masuda, Y. Mori, A. Shima, N. Tega, T. Miyazaki, S. Hayakawa, T. Ishigaki, T. Morita, Y. Takayanagi, H. Kogure, K. Ogawa, Y. Kono, and K. Ishikawa, *in proceedings of the 2018 20th European*

- Conference on Power Electronics and Applications*, pp. P.1-P.8 (2018).
- [24] T. Ishigaki, S. Hayakawa, T. Murata, T. Masuda, T. Oda, and Y. Takayanagi, *IEEE Trans. Electron Devices* 62, 2, pp. 390–395 (2015).
- [25] 二瓶 颯斗, 長洲 正浩, 秋山 悟, 石川 勝美, 電気学会論文誌D (産業応用部門誌), 141 巻, 7 号, pp. 532-541 (2021).
- [26] 松波弘之, 大谷昇, 木本恒暢, 中村孝, “半導体 SiC 技術と応用 第 2 版”, 日刊工業新聞社, p. 3, p. 5, p. 10, p. 12, p. 17, pp. 213-219, pp. 220-226, p. 250, p. 254 (2011).
- [27] P. T. B. Shaffer, *Acta Cryst.* B25, pp. 477-488 (1969).
- [28] M. Skowronski and S. Ha, *J. Appl. Phys.* 99, 011101 (2006).
- [29] O. Madelung ed., *Data in Science and Technology, semiconductors, Group IV Elements and III-V Compounds*, Springer-Verlag, p. 15, p. 49, p. 53, p. 86 (1991).
- [30] B. Jayant Baliga, *Fundamentals of Power Semiconductor Devices*, Springer, Cham, p. 24 (2019).
- [31] G. Sabui, P. J. Parbrook, M. Arredondo-Arechavala, and Z. J. Shen, *AIP Advances* 6, 055006 (2016).
- [32] 富士通株式会社 ニュースリリース, “次世代携帯基地局増幅器向け HEMT の開発に成功” (2005 年 12 月).
- [33] 住友電気工業株式会社 特集, “5G 時代を支える電子デバイス。挑戦の軌跡と展望。”, p. 1 (2005).
- [34] A.G. Acheson, *Engl. Pat.* 17911 (1892).
- [35] J. A. Lely, *Ber. Deut. Keram. Ges.* 32, 229 (1955).
- [36] Y. M. Tairov and V. F. Tsvetkov, *J. Cryst. Growth* 43, pp. 209-212 (1978).
- [37] T. Ujihara, S. Munetoh, K. Kusunoki, K. Kamei, N. Usami, K. Fujiwara, G. Sazaki, and K. Nakajima, *Mater. Sci. Forum* 457-460, pp. 633-636 (2004).
- [38] A. Ellison, B. Magnusson, B. Sundqvist, G. Pozina, J. P. Bergman, E. Janzén, and A. Vehanen, *Mater. Sci. Forum* 457-460, pp. 9-14 (2004).
- [39] T. Kimoto, *Jpn. J. Appl. Phys.* 54, 040103 (2015).
- [40] J. Senzaki, S. Hayashi, Y. Yonezawa, and H. Okumura, in *proceedings of the International Reliability Physics Symposium*, pp. 3B.3 (2018)
- [41] Y. Sugawara, M. Nakamori, Y.-Z. Yao, Y. Ishikawa, K. Danno, H. Suzuki, T. Bessho, S. Yamaguchi, K. Nishikawa, and Y. Ikuhara, *Appl. Phys. Express* 5, 081301 (2012).
- [42] H. Sako, T. Yamashita, K. Tamura, M. Sasaki, M. Nagaya, T. Kido, K. Kawata, T. Kato, K. Kojima, S. Tsukimoto, H. Matsuhata, and M. Kitabatake, *Mater. Sci. Forum* 778-780, pp. 370-373 (2014).
- [43] J. Takahashi and N. Ohtani, *Phys. Status Sol. (b)* 202, pp. 163-165 (1997).
- [44] R. Hattori, R. Shimizu, I. Chiba, K. Hamano, and T. Oomori, *Mater. Sci. Forum* 615-617, pp. 129-132 (2009).
- [45] 一般社団法人電子情報技術産業協会, JEITA EDR-4712/100, “SiC ウェーハの結晶欠陥の非破壊検査方法 (Part 1: 結晶欠陥の分類)” (2016).
- [46] M. H. Hong, A. V. Samant, and P. Pirouz, *Philos. Mag.* 80, 919 (2000).
- [47] X. J. Ning and P. Pirouz, *J. Mater. Res.* 11, 4 (1996).
- [48] F. Bernardini and L. Colombo, *Phys. Rev. B.* 72, 085215 (2005).
- [49] P. K. Sitch, R. Jones, S. Öberg, and M. I. Heggie, *Phys. Rev. B* 52, pp. 4951–4955 (1995).

- [50] A. T. Blumenau, C. J. Fall, R. Jones, M. I. Heggie, P. R. Briddon, T. Frauenheim, and S. Öberg, *J. Phys.: Condens. Matter* 14, 12741 (2002).
- [51] T. Miyanagi, H. Tsuchida, I. Kamata, T. Nakamura, K. Nakayama, R. Ishii, and Y. Sugawara, *Appl. Phys. Lett.* 89, 062104 (2006).
- [52] K.X. Liu, X. Zhang, R. E. Stahlbush, M. Skowronski, and J. D. Caldwell, *Mater. Sci. Forum* 600-603, pp. 345-348 (2009).
- [53] T. Katsuno, Y. Watanabe, H. Fujiwara, M. Konishi, T. Yamamoto, and T. Endo, *Jpn. J. Appl. Phys.* 50, 04DP04 (2011).
- [54] T. Kimoto, N. Miyamoto, and H. Matsunami, *IEEE Trans. Electron Devices* 46, 3, pp. 471-477 (1999).
- [55] T. Katsuno, Y. Watanabe, H. Fujiwara, M. Konishi, H. Naruoka, J. Morimoto, T. Morino, and T. Endo, *Appl. Phys. Lett.* 98, 222111 (2011).
- [56] M. Syväjärvi, R. Yakimova, and E. Janzén, *J. Cryst. Growth* 236, pp. 297-304 (2002).
- [57] H. Lendenmann, F. Dahlquist, N. Johansson, R. Söderholm, P. A. Nilsson, J. P. Bergman, and P. Skytt, *Mater. Sci. Forum* 353-356, pp. 727-730 (2001).
- [58] J. P. Bergman, H. Lendenmann, P. A. Nilsson, U. Lindefelt, and P. Skytt, *Mater. Sci. Forum* 353-356, pp. 299-302 (2001).
- [59] J. D. Weeks, J. C. Tully, and L. C. Kimerling, *Phys. Rev. B* 12, 3286 (1975).
- [60] H. Sumi, *Phys. Rev. B* 29, 4616 (1984).
- [61] A. Galeckas, J. Linnros, and P. Pirouz, *Phys. Rev. Lett.* 96, 025502 (2006).
- [62] A. Iijima, I. Kamata, H. Tsuchida, J. Suda, and T. Kimoto, *Phi. Mag.* 97, pp. 2736-2752 (2017).
- [63] T. Kimoto and H. Watanabe, *Appl. Phys. Express* 13, 120101 (2020).
- [64] S. Hayashi, T. Yamashita, J. Senzaki, M. Miyazato, M. Ryo, M. Miyajima, T. Kato, Y. Yonezawa, K. Kojima, and H. Okumura, *Jpn. J. Appl. Phys.* 57 04FR07 (2018).
- [65] T. Tawara, S. Matsunaga, T. Fujimoto, M. Ryo, M. Miyazato, T. Miyazawa, K. Takenaka, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, and H. Tsuchida, *J. Appl. Phys.* 123, 025707 (2018).
- [66] A. Iijima and T. Kimoto, *J. Appl. Phys.* 126, 105703 (2019).
- [67] M. A. Capano, S. Ryu, M. R. Melloch, J. A. Cooper Jr., and M. R. Buss, *J. of Electron. Mater.* 27, pp. 370-376 (1998).
- [68] T. Kimoto, O. Takemura, H. Matsunami, T. Nakata, and M. Inoue, *J. of Electron. Mater.* 27, pp. 358-364 (1998).
- [69] T. Kimoto, N. Miyamoto, A. Schöner, A. Saitoh, H. Matsunami, K. Asano, and Yoshitaka Sugawara, *J. Appl. Phys.* 91, 4242 (2002).
- [70] 大野 俊之, “エピタキシャル成長したパワーデバイス用 4H-SiC の結晶欠陥評価とその制御に関する研究”, 東京工業大学博士論文 (2006).
- [71] M. S. Janson, M. K. Linnarsson, A. Hallén, B. G. Svensson, N. Nordell, and H. Bleichner, *Appl. Phys. Lett.* 76, pp. 1434-1436 (2000).
- [72] H. Bracht, N. A. Stolwijk, M. Laube, and G. Pensl, *Appl. Phys. Lett.* 77, pp. 3188-3190 (2000).
- [73] Y. Negoro, T. Kimoto, and H. Matsunami, *J. Appl. Phys.* 98, 043709 (2005).
- [74] 津屋 英樹, “超 L S I プロセス制御工学”, 丸善出版株式会社, pp. 98-108 (1995).

- [75] T. Kimoto, A. Itoh, H. Matsunami, T. Nakata, and M. Watanabe, *J. Electron. Mater.* 24, pp. 235–240 (1995).
- [76] T. Kimoto, A. Itoh, H. Matsunami, T. Nakata, and M. Watanabe, *J. Electron. Mater.* 25, pp. 879–884 (1996).
- [77] T. Kimoto, K. Kawahara, H. Niwa, N. Kaji, and J. Suda, *in proceedings of the 2014 International Workshop on Junction Technology*, pp. 1-6 (2014).
- [78] M. V. Rao, P. Griffiths, O. W. Holland, G. Kelner, J. A. Freitas, Jr., D. S. Simons, P. H. Chi, and M. Ghezzi, *J. Appl. Phys.* 77, 2479 (1995).
- [79] T. Kimoto, N. Inoue, and H. Matsunami, *Phys. Stat. Sol. (a)* 162, pp. 263-276 (1997).
- [80] T. Ohno, and N. Kobayashi, *J. Appl. Phys.* 89, 933 (2001).
- [81] T. Ohno, N. Kobayashi, *J. Appl. Phys.* 91, 4136 (2002).
- [82] P. O. Å. Persson, L. Hultman, M. S. Janson, A. Hallén, and R. Yakimova, *J. Appl. Phys.* 93, 9395 (2003).
- [83] J. Wong-Leung, M. K. Linnarsson, B. G. Svensson, and D. J. H. Cockayne, *Phys. Rev. B* 71, 165210 (2005).
- [84] S. Ha, P. Mieszkowski, M. Skowronski, and L.B. Rowland, *J. Cryst. Growth* 244, pp. 257-266 (2002).
- [85] T. Ohno, H. Yamaguchi, S. Kuroda, K. Kojima, T. Suzuki, and K. Arai, *J. Cryst. Growth* 271, 1 (2004).
- [86] X. Zhang, S. Ha, Y. Hanlumnyang, C. H. Chou, V. Rodriguez, M. Skowronski, J. J. Sumakeris, M. J. Paisley, and M. J. O’Loughlin, *J. Appl. Phys.* 101, 053517 (2007).
- [87] N. Zhang, Y. Chen, Y. Zhang, M. Dudley, and R. E. Stahlbush, *Appl. Phys. Lett.* 94, 122108 (2009).
- [88] X. Zhang, M. Nagano, and H. Tsuchida, *Mater. Sci. Forum* 679-680, pp. 306-309 (2011).
- [89] J. J. Sumakeris, J. P. Bergman, M. K. Das, C. Hallin, B. A. Hull, E. Janzen, H. Lendenmann, M. J. O’Loughlin, M. J. Paisley, S. Ha, M. Skowronski, J. W. Palmour, and C. H. Carter Jr., *Mater. Sci. Forum* 527-529, pp. 141-146 (2006).
- [90] 昭和電工株式会社 ニュースリリース, “第2世代高品質パワー半導体用 SiC エピウェハーを開発” (2019年8月).
- [91] K. Konishi, S. Yamamoto, S. Nakata, Y. Nakamura, Y. Nakanishi, T. Tanaka, Y. Mitani, N. Tomita, Y. Toyoda, and S. Yamakawa, *J. Appl. Phys.* 114, 014504 (2013).
- [92] S. Hayashi, T. Yamashita, J. Senzaki, T. Kato, Y. Yonezawa, K. Kojima, and H. Okumura, *Appl. Phys. Express* 12, 051007 (2019).
- [93] T. Kimoto, H. Yoshioka, and T. Nakamura, *in proceedings of the 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*, S10.1 (2013).
- [94] C. T. Yen, C. C. Hung, H. T. Hung, L. S. Lee, C. Y. Lee, T. M. Yang, Y. F. Huang, C. Y. Cheng, and P. J. Chuang, *in proceedings of the 27th International Symposium on Power Semiconductor Devices & IC's*, pp. 265-268 (2015).
- [95] W. Sung and B. J. Baliga, *IEEE Electron Devices Lett.* 37, 1605 (2016).
- [96] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, Y. Yamashiro, Y. Yamamoto, T. Iwamatsu, S. Nakata, S. Tomohisa, and S. Yamakawa, *in proceedings of the 29th International Symposium on Power Semiconductor Devices & IC's*, pp. 41-44 (2017).
- [97] Y. Kobayashi, N. Ohse, T. Morimoto, M. Kato, T. Kojima, M. Miyazato, M. Takei, H. Kimura, and S. Harada, *in proceedings of the 2017 IEEE International Electron Devices Meeting*, 9.1.1 (2017).
- [98] H. Shimizu, N. Watanabe, T. Morikawa, A. Shima, and N. Iwamuro, *Jpn. J. Appl. Phys.* 59, 026502 (2020).
- [99] N. A. Mahadik, R. E. Stahlbush, E. A. Imhoff, M. J. Tadjer, G. E. Ruland, and C. A. Affouda, *Mater. Sci.*

*Forum* 858, pp. 233-236 (2016).

[100] Y. Sudoh, M. Kitabatake, and T. Kaneko, *Mater. Sci. Forum* 1004, pp. 401-407 (2020).

[101] N. Yabuki, S. Torimi, S. Nogami, M. Kitabatake, T. Kaneko, *Mater. Sci. Forum* 858, pp. 719-722 (2016).

[102] N. A. Mahadik, R. E. Stahlbush, M. G. Ancona, E. A. Imhoff, K. D. Hobart, R. L. Myers-Ward, C. R. Eddy Jr, D. K. Gaskill, and F.J. Kub, *Appl. Phys. Lett.* 100, 042102 (2012).

[103] T. Tawara, T. Miyazawa, M. Ryo, M. Miyazato, T. Fujimoto, K. Takenaka, S. Matsunaga, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, and H. Tsuchida, *J. Appl. Phys.* 120, 115101 (2016).

[104] T. Miyazawa, T. Tawara, R. Takanashi, and H. Tsuchida, *Appl. Phys. Express* 9, 111301 (2016).

[105] A. Yang, K. Murata, T. Miyazawa, T. Tawara, and H. Tsuchida, *J. Appl. Phys.* 126, 055103 (2019).

[106] W. J. Shatter, H.S. Kong, G.H. Negley, and J.W. Palmour, *Inst. Phys. Conf. Ser.* 137, pp. 155-158 (1994).



## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

### 2.1 緒言

第2章では、デバイス構造の面から結晶欠陥の影響を抑制する方法を検証した。具体的には、大容量 SiC SBD の製造歩留向上を目指し、トレンチ構造についてその効果を検証した。SiC エピ基板表面には凹凸を伴う形態欠陥が存在し、素子の中にそれが含まれるとショットキー接合界面での電界強度が増加し、逆方向リーク電流が増加する。特に、市場の大きい電気自動車や鉄道などの用途に適用される素子は大容量であり、大きなチップ面積が必要であるため、結晶欠陥が含まれる確率が高くなる。よって、大容量化を試みると素子の製造歩留が急激に低下してしまう。このため、大容量 SiC SBD の製造歩留を向上させるためには、デバイス構造を工夫してショットキー接合界面での電界強度を低減し、結晶欠陥の影響を抑制する必要がある。そこで、トレンチ構造について、デバイス内部の電界を設計・制御することで逆方向リーク電流の低減を試みた。

### 2.2 SiC SBD の物理モデル

半導体と金属を接触させると、半導体の電子親和力と金属の仕事関数の差により半導体と金属の界面にショットキー障壁が生じる。半導体の不純物濃度が比較的低い場合には、生じるショットキー障壁により接合界面（ショットキー接合界面）は整流性を持つ。この特性を利用したデバイスが SBD である。図 2-1 に n 型 SiC と金属のエネルギーバンド図を示す。

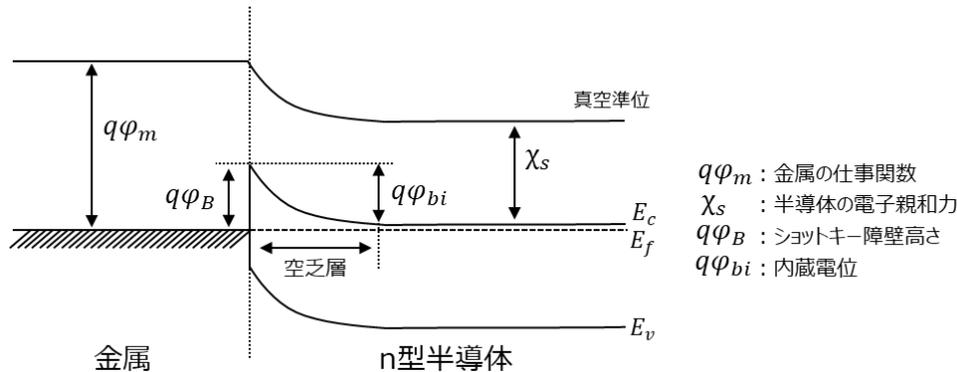


図 2-1 n 型 SiC と金属のエネルギーバンド図

SBD において、ショットキー接合界面での電流輸送の物理モデルは 3 つある。電子が持つ熱エネルギーによりショットキー障壁を超える熱電子放出 (TE: Thermionic Emission)、熱エネルギーがトンネル効果アシストする熱電界放出 (TFE: Thermionic Field Emission)、そしてショットキー接合界面に強い電界が加えられ、ポテンシャル障壁が薄くなることでトンネル電流が発生する電界放出 (FE: Field Emission) である。SiC の SBD は順方向電流は熱電子放出モデルで、逆方向リーク電流は熱電界放出モデルで決まり、それぞれ以下のように表せる [1-3]。

【順方向電流】

$$J = A^* T^2 \exp\left(-\frac{q\phi_B}{kT}\right) \left[\exp\left(\frac{qV}{n kT}\right) - 1\right] \quad \dots (2.1)$$

【逆方向リーク電流】

$$J = \frac{A^* T q \hbar F}{k} \sqrt{\frac{\pi}{2 m k T}} \exp\left[-\frac{1}{kT} \left(q\phi_B - \frac{(q \hbar F)^2}{24 m (kT)^2}\right)\right] \quad \dots (2.2)$$

(2.1)式において、 $A^*$ はリチャードソン定数、 $T$ は絶対温度、 $q$ は素電荷、 $q\phi_B$ はショットキー障壁高さ、 $k$ はボルツマン定数、 $V$ は接合間に印可される順電圧、 $n$ はショットキー接合界面の理想係数である。4H-SiC のリチャードソン定数は  $146 \text{ A/cm}^2\text{K}^2$  である[1]。ここで、 $n$ 値は電流-電圧特性の片対数表示の傾きから求められ、1に近いほど理想的な界面を表す。ショットキー障壁高さが不均一である場合、半導体表面に凹凸がある場合、界面のラフネスが大きい場合などでは、 $n$ 値が大きくなり、漏れ電流が大きくなる。(2.2)式において、 $h$ はプランク定数、 $F$ はショットキー接合界面での電界強度、 $m$ は電子の有効質量である。図 2-2 に SiC SBD における逆方向リーク電流のショットキー接合界面電界強度依存性を示す[1]。逆方向リーク電流はショットキー接合障壁、温度、界面の電界の強さに強く依存する[2-4]。ショットキー障壁高さは逆方向リーク電流特性が、デバイスを適用するアプリケーションの要求仕様を満たすように設計される。SiC SBD では n 型 SiC とのショットキー障壁高さが  $1.2 \text{ eV}$  程度の Ti が使用されることが多い。

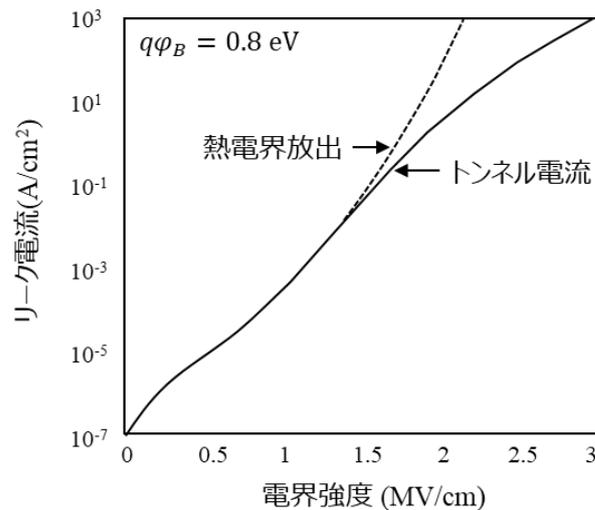


図 2-2 逆方向リーク電流のショットキー接合界面電界強度依存性 (文献[1])

### 2.3 SiC SBD の大容量化に関する課題

大容量 SiC SBD では、デバイスの機能部分であるアクティブ領域に pn 接合領域とショットキー接合領域が混在した、JBS(Junction Barrier Schottky)構造が一般的に採用されている[5-7]。従来 JBS 構造の断面模式図と電界強度分布を図 2-3 に示す。JBS 構造は SiC エピ層表面に p+領域が配置された構造になっており、アノード電極と接している p+領域以外のエピ層はショットキー接合を形成している。p+領域は紙面奥行き方向につながった領域であり、ストライプ状に配置されている。順方向動作時はショットキー接合部で電子電流が流れ、電子電流のみで動作するユニポーラデバイスである。逆方向動作時は、ストライプ状に配置された p+領域の pn 接合部分から空乏層が広がり、SiC エピ層とアノード電極間のショットキー接合界面の下の領域をピンチオフする。ショットキー接合界面は空乏層で覆われ、ショットキー接合界面が高電界に晒されるのを阻止するため、図 2-3 の右側に示すようにショットキー接合界面の電界が低減でき、逆方向リーク電流が抑制できる。電界強度の最大値は p+領域の下層付近に位置し、これが SiC の最大電界強度から十分低くなるように設計される。JBS 構造において、p+領域の幅、ショットキー接合領域の幅、そしてそれらのピッチは重要な設計パラメータである。ショットキー接合領域の幅が小さすぎる場合、逆方向動作時は空乏層が十分にショットキー接合界面を覆ってリーク電流を抑

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

制するが、順方向動作時は電流経路が狭くなるためオン電圧が増加する。一方、ショットキー接合領域の幅が大きすぎる場合、順方向動作時は電流経路が十分に確保されるが、逆方向動作時は空乏層の広がり不十分であるためリーク電流が増加する。このように、逆方向リーク電流とオン電圧はトレードオフの関係であり、JBS 構造の効果を発揮するためには、要求される仕様を満たす最適な設計が必要である。

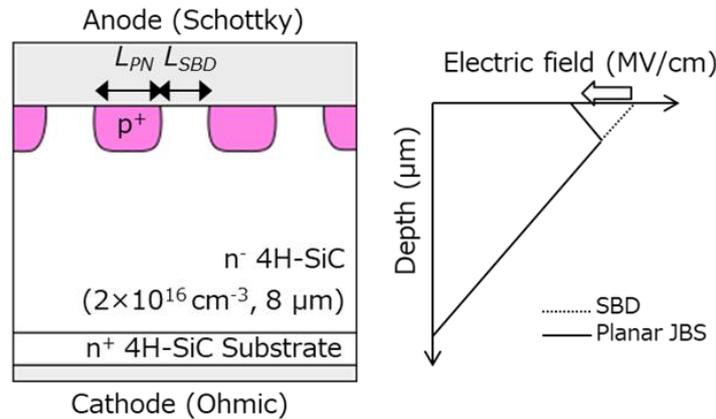


図 2-3 従来 JBS 構造の断面模式図と電界強度分布

図 2-4 に従来 JBS ダイオードの(a) 逆方向特性、(b) 耐圧度数分布を示す。試作したデバイスは従来 JBS 構造の SiC SBD で、エピ濃度と膜厚は  $2 \times 10^{16} \text{ cm}^{-3}$ 、 $8 \mu\text{m}$  であり、耐圧と電流容量は  $600 \text{ V}$ 、 $50 \text{ A}$  である。耐圧は逆方向動作時のリーク電流密度が  $1 \text{ mA/cm}^2$  となる電圧とした。耐圧不良素子の代表的な特性を図 2-5 に示す。図 2-5 中の破線は整流特性がなく純粋な抵抗となっている完全不良(ショート不良)の、実線は整流特性は見られるが逆方向リーク電流が大きく、 $110 \text{ V}$  で不良となるリーク不良の特性である。本試作では良品率が約 60%で、ショート不良とリーク不良がそれぞれ 18%、30%程度であり、リーク不良の割合が一番大きかった。別の試作では、従来 JBS ダイオードのリーク不良に着目し、その原因を分析したところ、リーク不良の約 60%が表面に凹凸を伴う形態欠陥に起因する不良であった。図 2-6 には、形態欠陥の例を示す。図 2-6 (a)(b)はそれぞれポリタイプインクルージョンとパーティクルであり、ともにエピ成膜中に発生するパーティクルを成因とする。図 2-7 (a)(b)はポリタイプインクルージョンとパーティクルを素子領域内に含む従来 JBS ダイオードに着目し、その耐圧をそれらの結晶欠陥を含まない場合と比較した結果である。ポリタイプインクルージョンとパーティクルを素子領域内に含む場合、逆方向リーク特性が大きくなり、耐圧が著しく低下してしまう。

このように、JBS 構造を用いてショットキー接合界面の電界強度を下げていながらも関わらず、形態欠陥を原因とするリーク不良が発生し、それが製品歩留を下げた。技術革新による SiC エピ基板の高品質化は着実に進むが、大容量 SiC SBD の製造歩留向上を加速するために、形態欠陥の影響を抑制する必要がある。そこで、本研究では、デバイス構造を工夫してショットキー接合界面での電界強度を低減することで、リーク不良の更なる低減を検証した。

2. 結晶欠陥の影響を抑制する SiC デバイス構造

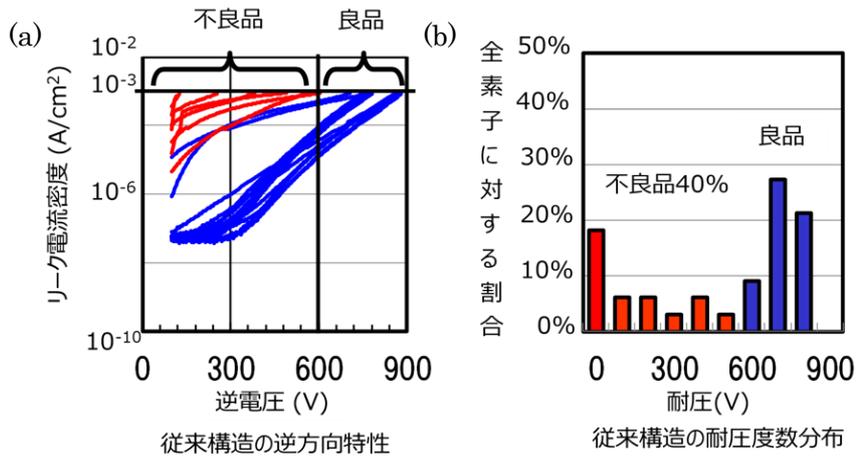


図 2-4 従来 JBS ダイオードの(a) 逆方向特性と(b) 耐圧度数分布

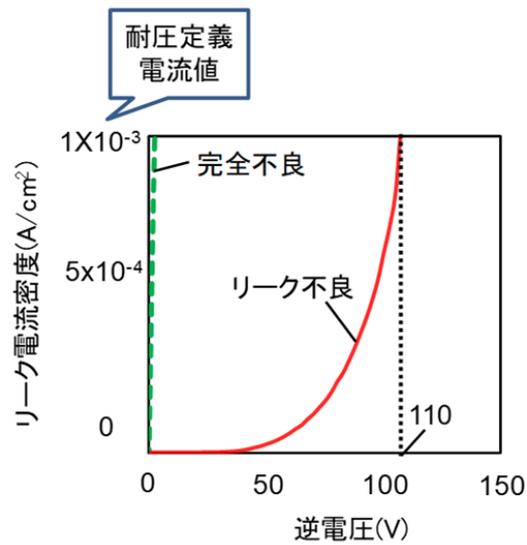


図 2-5 耐圧不良素子の代表的な逆方向特性

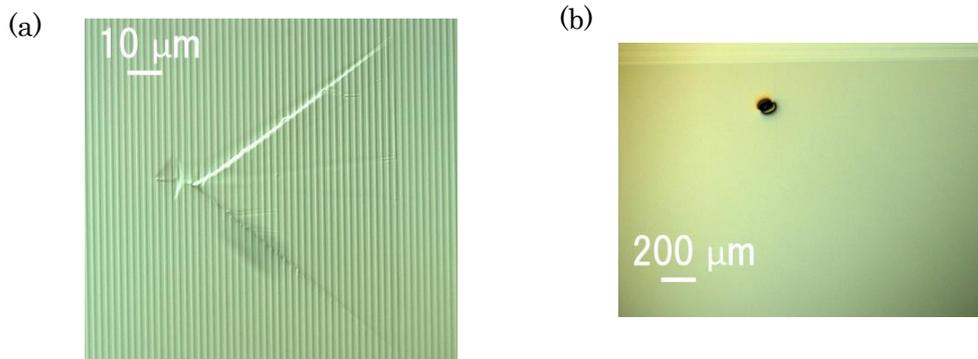


図 2-6 形態欠陥の例 (a) ポリタイプインクルージョン (b) パーティクル

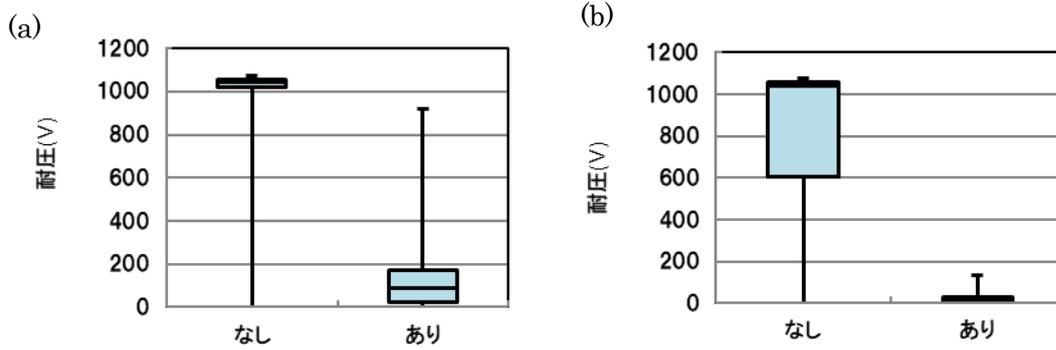


図 2-7 形態欠陥を素子領域内に含まない/含む，従来 JBS ダイオードの耐圧特性の比較。  
 (a) ポリタイプインクルージョンについての比較 (b) パーティクルについての比較

### 2.4 ショットキー接合界面における電界強度の低減方法

ショットキー接合界面の電界強度を低減する方法として，表 2-1 の 3 つの方法が考えられる。①ドリフト層を低濃度化する方法，②p+領域をショットキー接合界面からより深く形成する方法，③トレンチ JBS 構造を適用する方法である。例えば，ショットキー接合界面での電界強度を約 1/3 とする場合を想定して，コストとオン電圧の観点で比較した。

表 2-1 ショットキー接合界面の電界強度を低減する方法

	従来	方法①	方法②	方法③
		ドリフト層を低濃度化	p+領域を深く形成	トレンチJBS構造を適用
素子断面概略図 (逆電圧印加時)	<p>アノード電極 p+ 空乏層 n-ドリフト層 n+基板 カソード電極</p>			
コスト	基準	約40%増加 (epiコスト)	約40%増加 (プロセスコスト [8])	約2%増加 (プロセスコスト [8])
オン電圧	1.6V程度	40V $\geq$	1.9V程度	1.9V程度

方法①は，目標達成のために SiC エピ層の濃度が約  $1 \times 10^{14} \text{ cm}^{-3}$ ，膜厚は約 30  $\mu\text{m}$  が必要となり，厚膜化のためコストが約 40%増加する。また，オン電圧が 80 V を越えるため現実的ではない。方法②は，従来の p+深さよりも 1.0  $\mu\text{m}$  程度深くに p+領域を形成することで目標を達成できる。しかし，この程度まで深い領域に p+領域を形成しようとするとき，高エネルギーの特殊なイオン注入装置が必要であり，注入に必要な時間も長くなるため，約 30%コストが増加する[8]。また，順方向動作時に，流れる電流経路が従来構造よりも制限されるため，オン電圧が増加する。方法③は，トレンチを加工するコスト増加はあるが，割合として 2%程度と小さい[8]。また，方法②と同様にオン電圧は増加するが，デバイス設計パラメータの調整でオン電圧増加の抑制が期待できる。

そこで、低コストでショットキー接合界面の電界強度を効果的に低減できる方法③のトレンチ JBS 構造について検討し、その効果を検証した。図 2-8 にトレンチ JBS 構造の断面模式図と電界強度分布を示す。先行研究として矩形状のトレンチ JBS 構造を適用したダイオードについて報告がなされていたが、本研究では台形状のトレンチ JBS 構造を採用した[9-10]。台形状にすることで、トレンチ側面に p+領域が形成でき、空乏層が側面の p+領域から広がるので、図 2-8 の右側に示すように、より効果的にショットキー接合界面の電界強度を低減できる。

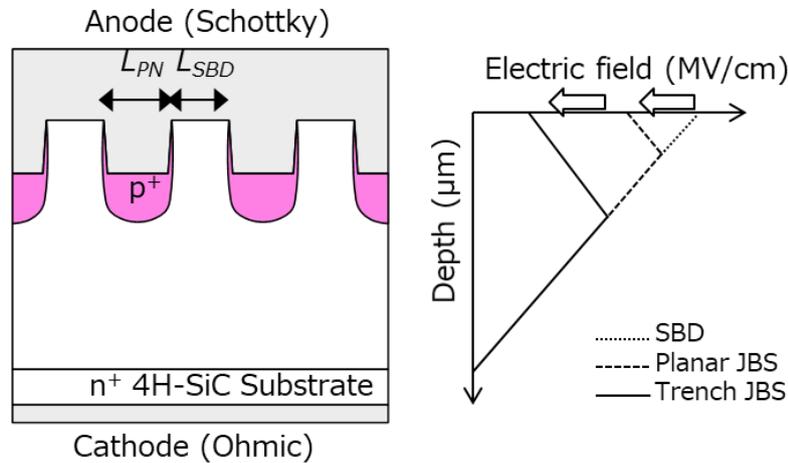


図 2-8 トレンチ JBS 構造の断面模式図と電界強度分布

## 2.5 実験方法

トレンチ JBS 構造の電界低減効果をシミュレーションで検証した。シミュレーションには Silvaco 社のプロセスシミュレータ ATHENA と、デバイスシミュレータ ATLAS を用いた。図 2-9 にシミュレーションに用いた構造の断面模式図を示す。SiC 基板の濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  程度であるが、電界強度の計算時には簡略化のために省略した。SiC エピ層の濃度と膜厚は  $2 \times 10^{16} \text{ cm}^{-3}$ 、 $8 \mu\text{m}$  とし、ショットキー障壁の高さは Ti を想定して  $1.2 \text{ eV}$  とした。表 2-2 と図 2-10 に p 型半導体領域の Al 注入条件と Al 深さプロファイルを示す。トレンチの長手方向は、SiC エピ基板の  $\langle 11\bar{2}0 \rangle$  方向に直交し、ユニットセルを  $10 \mu\text{m}$  とした。衝突イオン化係数は文献[11]の値を用い、計算の収束性を向上するために温度を  $700 \text{ K}$  と設定した[1]。従来 JBS 構造及びトレンチ JBS 構造において、ショットキー接合領域幅 ( $L_{SBD}$ )、PN 接合領域幅 ( $L_{PN}$ )、トレンチの深さ、およびトレンチ側壁のテーパ角度 ( $\theta$ ) のデバイス設計パラメータを用いて電界強度とオン電圧を計算した。

$600 \text{ V} / 50 \text{ A}$  級の従来 JBS ダイオードとトレンチ JBS ダイオードを試作した。4 度オフの Si 面 SiC 基板上に、濃度と膜厚が  $2 \times 10^{16} \text{ cm}^{-3}$ 、 $8 \mu\text{m}$  のエピ膜が成膜された SiC エピ基板を使用した。 $L_{SBD}$  と  $L_{PN}$  はそれぞれ  $1.1 \mu\text{m}$  と  $1.0 \mu\text{m}$  とした。トレンチの深さは  $1.0 \mu\text{m}$  とした。トレンチ JBS 構造の場合、従来 JBS 構造と比較してより深い位置に p+領域が形成される。ショットキー電極はショットキー障壁が  $1.2 \text{ eV}$  程度となる Ti を使用した。デバイスは、アクティブ領域と、アクティブ領域を取り囲むように形成されたターミネーション領域からなる。順方向動作時はアクティブ領域に電流が流れ、逆方向動作時はターミネーション領域から空乏層が広がり、電極終端部での電界集中を緩和することで耐圧を保持する。理想的な耐圧はエピ層の濃度と膜厚によって決定されるが[11]、ターミネーション領域を設けない場合は電極終端で電界集中が起こり、耐圧が低下してしまう[12]。ターミネーション領域は、アクティブ領

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

域を帯上に囲んで p+領域を配置する JTE(Junction Termination Extension)構造[13], リング状に複数本 p+を配置する FLR(Field Limiting Ring)構造[14]があり, 本研究では JTE 構造を適用した。試作したデバイスのチップサイズは 4 mm<sup>2</sup>で, アクティブ面積は 0.11 cm<sup>2</sup>とした。順方向動作時の電流密度 435 A/cm<sup>2</sup>を定格と定義すると, 定格容量 50 A である。p 型半導体領域の Al 注入条件と Al 深さプロファイルは表 2-2 と図 2-10 に示した通りである。

トレンチ JBS ダイオードの試作プロセスを図 2-11 に示す。トレンチはプラズマエッチング装置を用いたドライエッチング法により加工され, その後 p+領域がイオン注入によって形成される。p+領域を形成する前にトレンチ加工工程を入れることで, トレンチ加工に使用するマスクはそのまま p+領域形成時にも使用できる。このため, 従来 JBS 構造に追加するプロセスはトレンチ加工の 1 工程のみである。トレンチ加工は, トレンチ底面の幅が SiC エピ層表面のトレンチ幅よりも小さくなり, トレンチの側面がテーパ角度を持つように条件を選定した。テーパ角度のあるトレンチ形状のため, 一度のイオン注入でトレンチ側面にも p+領域が形成可能である。

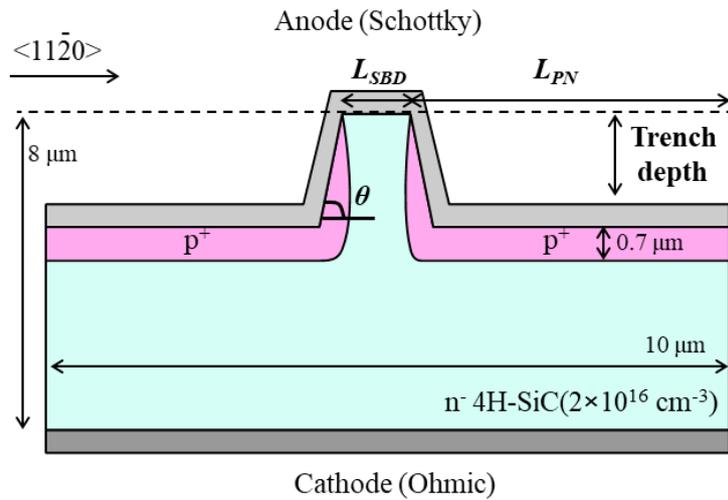


図 2-9 シミュレーションに用いた構造 (断面模式図)

表 2-2 p 型半導体領域の Al 注入条件

Energy (keV)	Dose (cm <sup>-2</sup> )
50	$4.0 \times 10^{13}$
100	$6.0 \times 10^{13}$
150	$8.0 \times 10^{13}$
250	$1.0 \times 10^{14}$

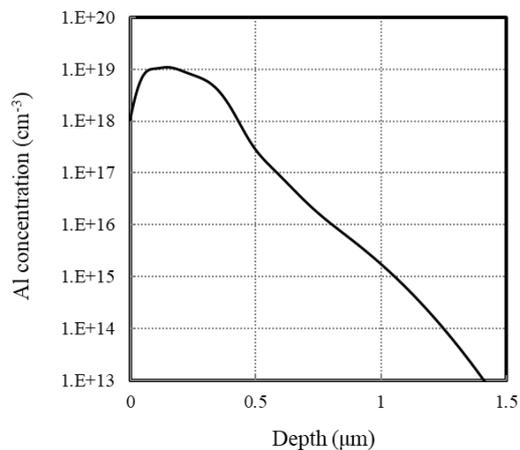


図 2-10 p 型半導体領域の Al 深さプロファイル

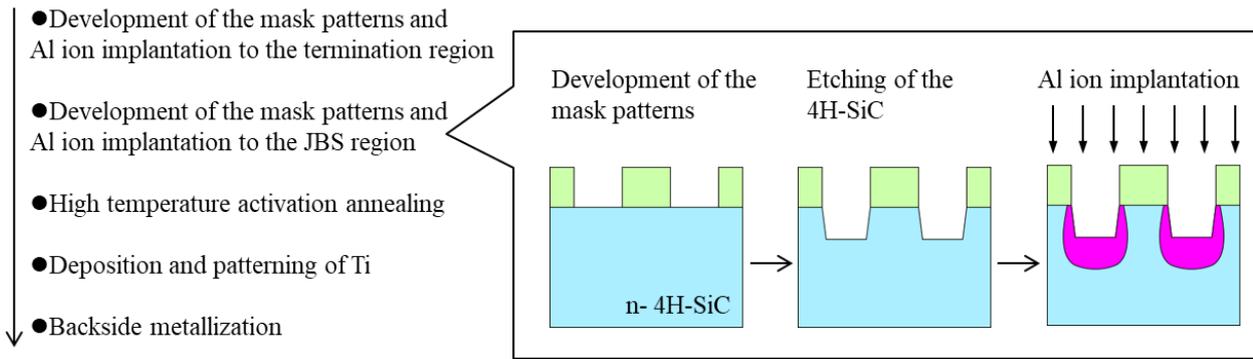


図 2-11 トレンチ JBS ダイオードの試作プロセス

## 2.6 トレンチ JBS 構造による電界低減効果

図 2-12 に従来 JBS 構造における、逆方向電圧とショットキー接合界面の電界強度 $E_S$ の関係を示す。この計算結果から、 $E_S$ は逆方向電圧に応じて高くなることがわかる。例えば、逆方向電圧 600 V での $E_S$ を、逆方向電圧 100 V での $E_S$ である 0.2 MV/cm 以下に低減することで、従来 JBS 構造において耐圧 100 V 程度のリーク不良品(図 2-5 の実線)を良品化できると考えられる。

トレンチ側面の p+領域の形状は $\theta$ によって異なるため空乏層の広がりも変化する。よって、 $E_S$ は $\theta$ に強く依存すると考えられる。そこで $E_S$ について、その低減効果が高い $\theta$ 条件を探索した。この際、 $L_{SBD}$ とトレンチ深さを 1.0  $\mu\text{m}$  とし、600V の逆電圧を印加した際の $E_S$ の $\theta$ 依存性を計算した。計算結果を図 2-13 に示す。 $\theta$ が 86°よりも小さい場合は、PN 接合領域のショットキー接合界面からの深さは $\theta$ とともに増加する。このため、 $E_S$ は $\theta$ とともに減少する。 $\theta$ が 86°よりも大きい場合、基板表面に対して垂直方向のイオン注入では、トレンチ側面の p+領域が形成され難くなる。このため、 $E_S$ は $\theta$ とともに著しく増加する。図 2-13 から、 $80^\circ \leq \theta < 90^\circ$ とすることで、 $E_S$ を従来 JBS 構造から約 1 桁低減可能である。 $\theta$ を 86°とした場合、従来 JBS 構造とトレンチ JBS 構造における $E_S$ はそれぞれ 0.61 MV/cm と 0.075 MV/cm であり、トレンチ JBS 構造による電界低減効果が試算できた。従来 JBS 構造とトレンチ JBS 構造の SiC 内部の電界計算結果を図 2-14 に示す。 $\theta$ を 86°とし、 $L_{SBD}$ とトレンチ深さを 1.0  $\mu\text{m}$  とし、逆方向に 700 V 印可した際の電界を計算した。ここでは、逆方向の電圧は 600 V ではなく 700 V と設定した。トレンチ JBS 構造では、従来 JBS 構造と比較して、ショットキー接合界面での電界強度が小さいことがわかる。これは、より深くに形成された p+領域に加えて、トレンチ側面の p+領域から広がる空乏層により、効果的にショットキー接合界面での電界強度を低減しているためである。

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

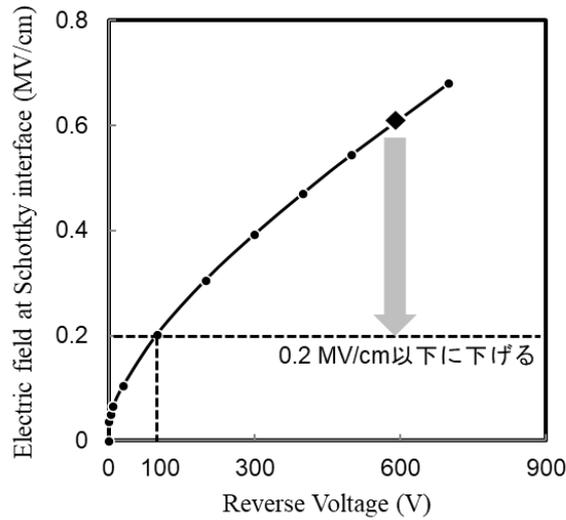


図 2-12 従来 JBS 構造における逆方向電圧とショットキー接合界面の電界強度 $E_S$ の関係

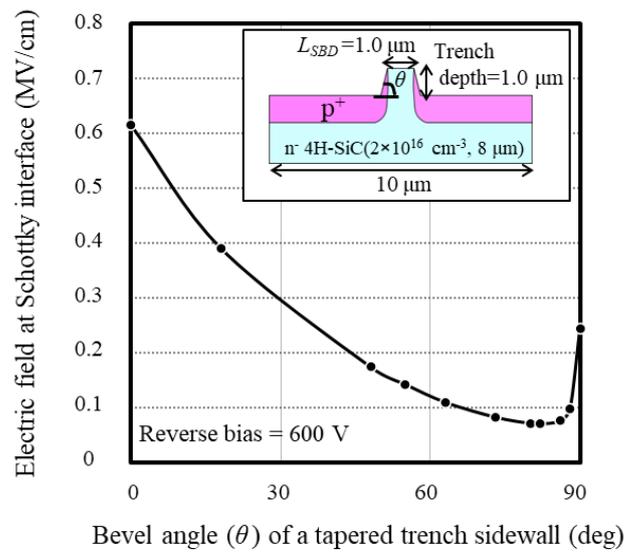


図 2-13 600V の逆電圧を印加した際の $E_S$ の $\theta$ 依存性

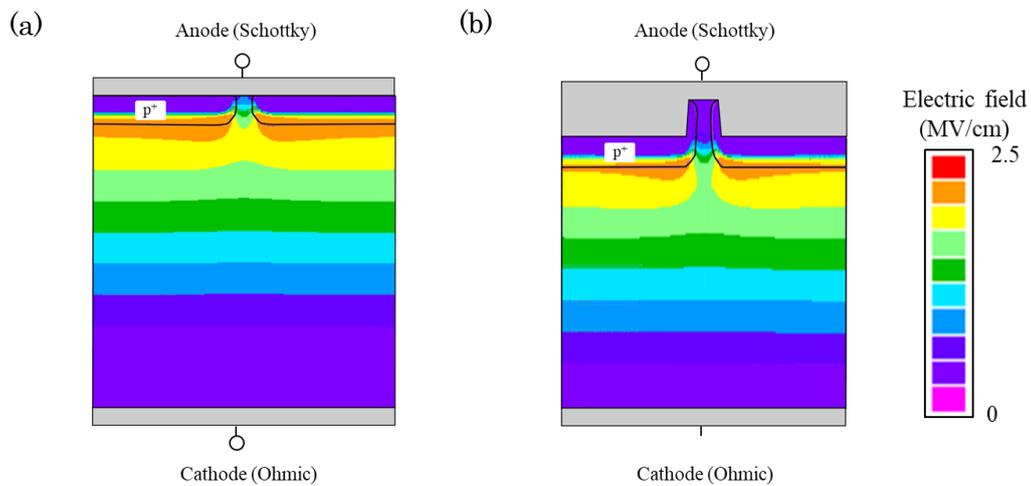


図 2-14 従来 JBS 構造とトレンチ JBS 構造の SiC 内部の電界計算結果。 $\theta$ を  $86^\circ$ とし、 $L_{SBD}$ とトレンチ深さを  $1.0 \mu\text{m}$ とし、逆方向に  $700 \text{ V}$ 印可した際の電界分布。

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

続いて、 $L_{SBD}$ ,  $L_{PN}$ , トレンチの深さのデバイス設計パラメータを用いて電界強度とオン電圧を計算した。オン電圧は順方向動作時の電流密度が  $400 \text{ A/cm}^2$  となるアノード電極とカソード電極間の電圧で定義した。図 2-15 に  $E_S$  とオン電圧のトレードオフを示す。 $\theta$  を  $86^\circ$  とし、 $L_{SBD}$  とトレンチ深さを図中に示す値に設定し、逆方向に  $600 \text{ V}$  印可した際の  $E_S$  を計算した。 $L_{SBD}$  を小さくすると、トレンチの側面に形成された  $p^+$  領域が互いに近くなるため、ショットキー接合界面は PN 接合から広がる空乏層により効果的に保護される。このため、 $L_{SBD}$  を小さくすると  $E_S$  は小さくなる。それと同時に、順方向動作時の電流経路は狭まるため、PN 接合部間の抵抗(チャンネル抵抗)が大きくなり、オン電圧が増加する。一方、 $L_{SBD}$  を大きくすると、PN 接合部の間隔が広がるため、ショットキー接合界面は PN 接合から広がる空乏層で十分に保護されなくなる。このため、 $L_{SBD}$  を大きくすると  $E_S$  は大きくなる。それと同時に、順方向動作時の電流経路は広がるため、チャンネル抵抗が小さくなりオン電圧が減少する。 $L_{SBD}$  が十分に大きい場合、チャンネル抵抗が飽和するためにオン電圧の減少も飽和する。このように、 $E_S$  とオン電圧はトレードオフの関係であり、目的のデバイス仕様に合わせて設計パラメータを適切に選定する必要がある。従来 JBS 構造とトレンチ JBS 構造において  $L_{SBD}$  が等しい場合、従来 JBS 構造に比べてトレンチ JBS 構造はより深い PN 接合位置と大きなチャンネル抵抗を持つため、 $E_S$  は低減できるがオン電圧は増加する。図 2-15 に示すように、トレンチ深さが  $2.0 \mu\text{m}$  と  $1.0 \mu\text{m}$  の場合の  $E_S$  は大差ない。これは、トレンチ側面に形成された PN 接合から広がる空乏層による  $E_S$  低減効果が飽和するためである。従って、トレンチ深さ  $1.0 \mu\text{m}$  で  $E_S$  の低減効果が十分あり、それ以上深くする必要はない。

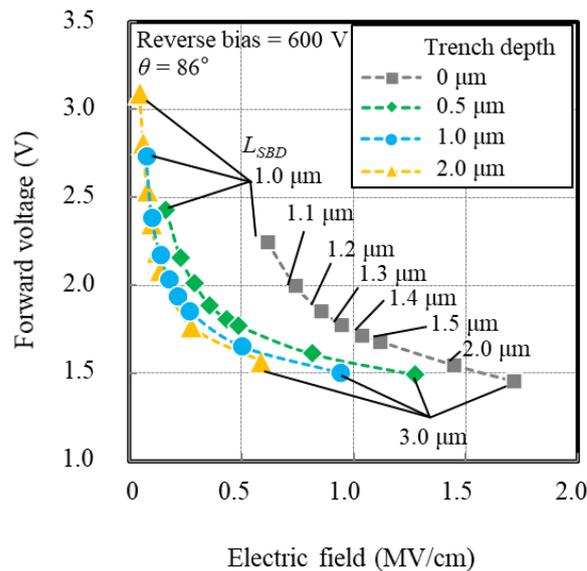


図 2-15  $E_S$  とオン電圧のトレードオフの関係。 $E_S$  は逆方向電圧を  $600 \text{ V}$  とし、オン電圧は電流密度が  $400 \text{ A/cm}^2$  となる電圧で計算した。

## 2.7 トレンチ JBS ダイオードの電気的特性と製造歩留向上効果

図 2-16 にドライエッチング後のトレンチ加工形状の断面 SEM 像を示す。表 2-3 に示す条件を選定することで、3 インチ面内のトレンチ形状の $\theta$ を  $85^\circ$ から  $87^\circ$ の間で保ち、安定して加工することができた。図 2-17 に試作した従来 JBS とトレンチ JBS ダイオードの室温での順方向微小電流-電圧特性を示す。従来 JBS とトレンチ JBS ダイオードにおいて、(2.1)式から求めたショットキー障壁高さ $\phi_B$ はそれぞれ 1.17 eV と 1.21 eV であった。また、理想係数 $n$ は、それぞれ 1.02 と 1.04 であった。トレンチ JBS ダイオードは従来 JBS ダイオードと同等の特性を示した。図 2-18 に試作した従来 JBS とトレンチ JBS ダイオードの室温での逆方向電流-電圧特性を同じウエハで試作した PN ダイオードの特性と合わせて示す。ここで、100 V から 200 V にかけて徐々に減少する電流は測定器のノイズによるものである。600 V での逆方向リーク電流は、従来 JBS とトレンチ JBS ダイオードでそれぞれ  $1.8 \times 10^{-6}$  A/cm<sup>2</sup> と  $2.5 \times 10^{-8}$  A/cm<sup>2</sup> であり、トレンチ JBS ダイオードは従来 JBS 構造に比べて逆方向リーク電流が約 2 桁小さい。また、従来 JBS ダイオードの逆方向リーク電流は PN ダイオードに比べて大きい。トレンチ JBS ダイオードでは逆方向リーク電流は 400 V 以下で PN ダイオードと同等である。従って、トレンチ JBS 構造により $E_S$ を低減することで、ショットキー接合界面の逆方向リーク電流が効果的に抑制されたと考える。先行研究 [9-10]とは、デバイス構造や SiC エピ仕様が異なるため直接比較することができないが、エピ仕様の差を考慮すると、同等程度に逆方向リーク電流が抑制されている。

図 2-19 に試作した従来 JBS とトレンチ JBS ダイオードの室温での順方向電流-電圧特性を示す。オン電圧は、従来 JBS とトレンチ JBS ダイオードでそれぞれ 1.5 V と 2.1 V であった。試作したトレンチ JBS ダイオードは $L_{SBD}$ と $L_{PN}$ が  $1.1 \mu\text{m}$  と  $1.0 \mu\text{m}$ 、トレンチの深さが  $1.0 \mu\text{m}$  であり、この設計パラメータではチャネル抵抗増加に伴いオン電圧が従来 JBS 構造と比べて 1.4 倍となった。表 2-4 にシミュレーションと実験で得られたオン電圧の比較を示す。シミュレーションでは、ユニットセルを  $10 \mu\text{m}$  としており、実際に試作したデバイスと寸法が異なる。しかし、シミュレーションにおいて、トレンチ JBS 構造は従来 JBS 構造と比べてオン電圧が 1.2 倍となり、これは実験で得られた 1.4 倍とおおよそ一致した。従って、デバイス設計パラメータを最適化することで、従来 JBS ダイオードに比べて逆方向リーク電流が小さく、かつオン電圧の増加を抑制したトレンチ JBS ダイオードを実現できる見通しを得た。

図 2-20 に試作した 600 V / 50 A の従来 JBS とトレンチ JBS ダイオードの耐圧度数分布を示す。従来 JBS ダイオードでは逆方向リーク電流が大きいため 600 V 以下の耐圧となった素子の割合は 42% であるが、トレンチ JBS ダイオードではそれは 9% となり、リーク不良の割合を約 1/5 にできた。同時に、デバイス試作の歩留を 60% から 90% へと向上できた。これから、トレンチ JBS 構造により $E_S$ を効果的に低減することで、リーク不良を改善し、製造歩留が向上できることを実験的に明らかにした。

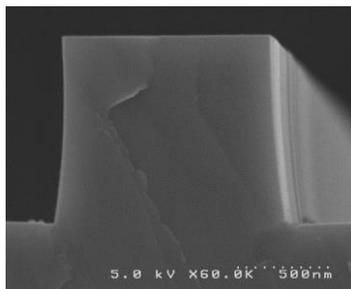


図 2-16 トレンチ加工後の断面 SEM 像

表 2-3 トレンチのドライエッチング条件

Gas	SF6:10 sccm He:40 sccm
Pressure	0.25 Pa
Source power	2000 W (1.59 W/cm <sup>2</sup> )
Bias	300 W (0.24 W/cm <sup>2</sup> )
Source/Bias RF Frequency	13.56 MHz
Temperature	40 °C
Time	180 sec

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

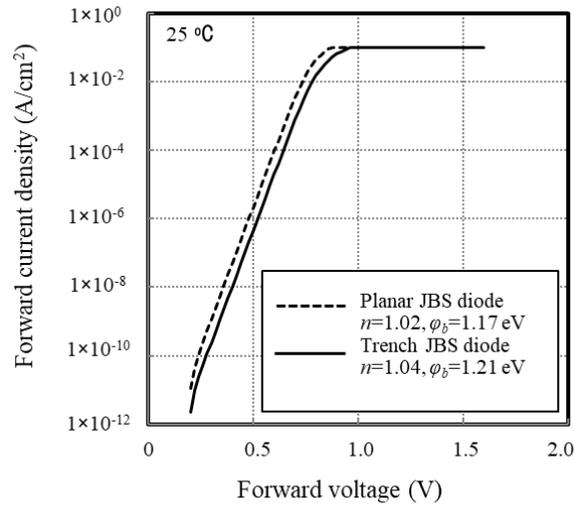


図 2-17 試作した従来 JBS とトレンチ JBS ダイオードの順方向微小電流-電圧特性

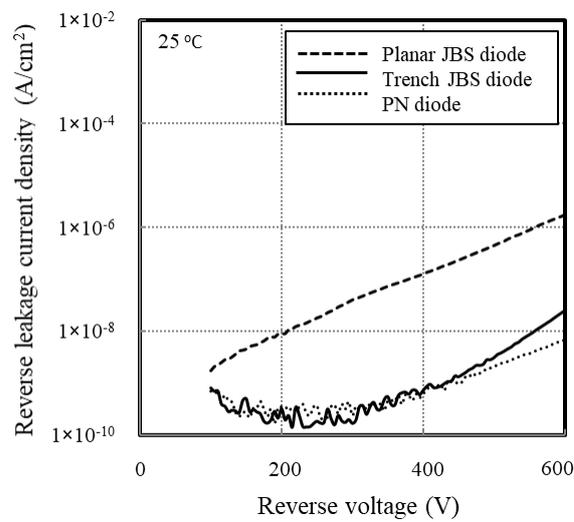


図 2-18 試作した従来 JBS とトレンチ JBS ダイオードの逆方向電流-電圧特性

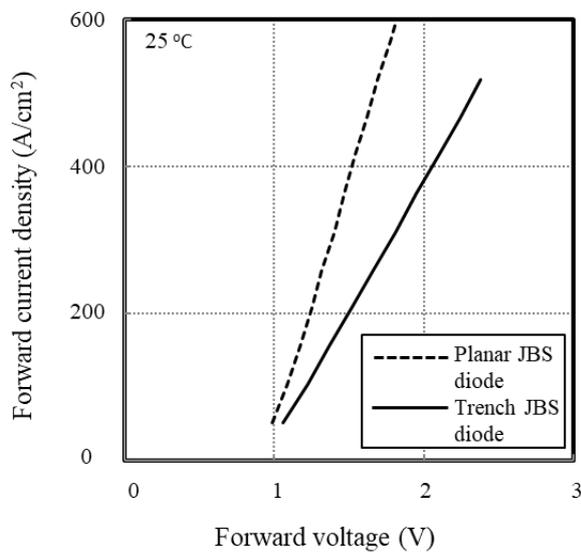


図 2-19 試作した従来 JBS とトレンチ JBS ダイオードの順方向電流-電圧特性

表 2-4 シミュレーションと実験結果のオン電圧の比較

Forward voltage drops (V)	Simulation results	Experimental results
Planar JBS diode	2.0	1.5
Trench JBS diode	2.4	2.1

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

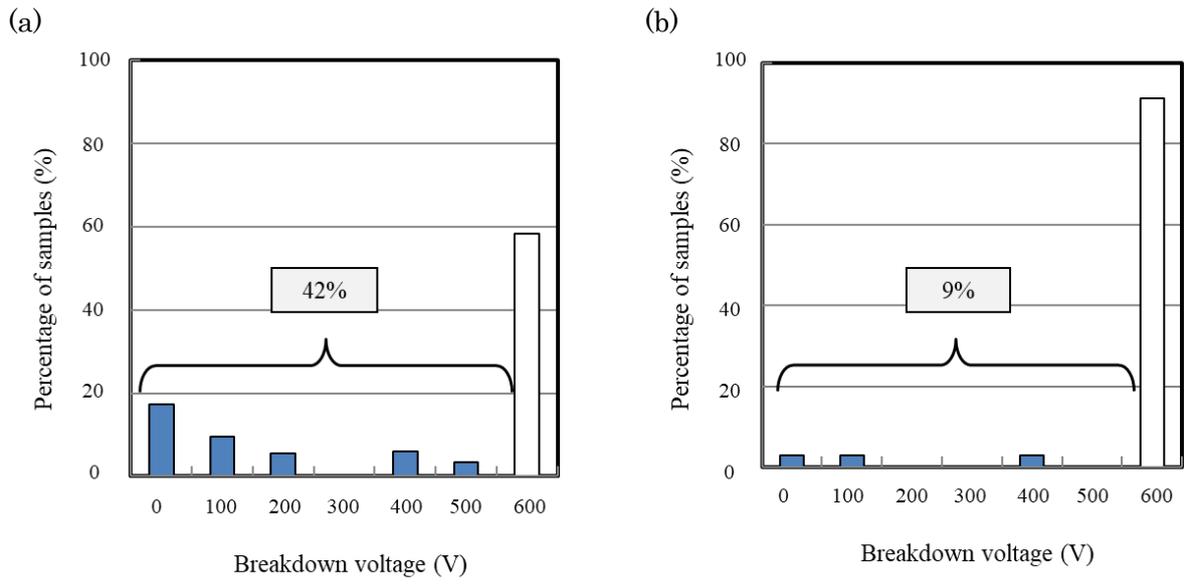


図 2-20 試作した 600 A/50 A の(a) 従来 JBS と(b)トレンチ JBS ダイオードの耐圧度数分布

## 2.8 まとめ

第 2 章では、大容量 SiC SBD の製造歩留向上を目指し、結晶欠陥の影響を抑制するトレンチ型 SiC SBD について検討し、その効果を検証した。

SiC エピ表面の形態欠陥が素子に含まれると、ショットキー接合界面での電界強度が増加し、逆方向リーク電流が増加する。特に、大容量の素子は結晶欠陥が含まれる確率が高くなり、大容量化を試みると素子の製造歩留は急激に低下してしまう。この課題に対して、デバイス構造の工夫によりショットキー接合界面での電界強度を低減し、形態欠陥の影響を抑制することを試みた。具体的には、トレンチ JBS ダイオードについて、ショットキー接合界面の電界強度とオン電圧のトレードオフの関係、逆方向リーク電流の低減効果、製造歩留の観点からその効果を検証した。

デバイス内部の電界の計算から、トレンチ側面のテーパ角度を  $80^\circ \leq \theta < 90^\circ$  とすることで、ショットキー接合界面の電界強度を従来 JBS 構造から約 1 桁低減可能であることを明らかにした。試作の際は、最適なドライエッチングプロセスの条件を選定することで、 $\theta$  を  $85^\circ$  から  $87^\circ$  の間に保ち、安定して加工した。600 V/50 A トレンチ JBS ダイオードを試作した結果、600 V での逆方向リーク電流のレベルを従来 JBS ダイオードの  $1.8 \times 10^{-6}$  A/cm<sup>2</sup> から  $2.5 \times 10^{-8}$  A/cm<sup>2</sup> へと約 2 桁低減できた。しかし、大きなチャネル抵抗のためにオン電圧が 2.1 V となり、従来 JBS ダイオードの 1.4 倍となった。これは、シミュレーションから得られた 1.2 倍とよく一致し、デバイス設計パラメータを最適化することで、従来 JBS ダイオードに比べて逆方向リーク電流が小さく、かつオン電圧の増加を抑制したトレンチ JBS ダイオードを実現できる見通しを得た。

試作したトレンチ JBS ダイオードで、逆方向リーク電流が大きいため 600 V 以下の耐圧となった素子の割合は 9% で、従来 JBS ダイオードの 40% に比べて約 1/5 にできた。これから、トレンチ JBS 構造によりショットキー接合界面での電界強度を効果的に低減することで、リーク不良を改善し、製造歩留が向上できることを実証した。

以上、トレンチ型 SiC SBD の効果を実証し、結晶欠陥の影響を抑制した SiC SBD を実現するためにはショットキー接合界面での電界強度の制御が重要であることを明らかにした。

参考文献

- [1] 松波 弘之, 大谷 昇, 木本 恒暢, 中村 孝, “半導体 SiC 技術と応用 第2版”, 日刊工業新聞社, pp. 311-312, p. 355 (2011).
- [2] H. Umezawa, T. Saito, N. Tokuda, M. Ogura, S. Ri, H. Yoshikawa, and S. Shikata, *Appl. Phys. Lett.* 90, 073506 (2007).
- [3] H. Umezawa and S. Shikata, *Jpn. J. Appl. Phys.* 53, 04EP04 (2014).
- [4] J. Crofton and S. Sriram, *IEEE Trans. Electron Devices* 43, 2305 (1996).
- [5] B. J. Baliga, *IEEE Electron Device Lett.* 5, 194 (1984).
- [6] F. Dahlquist, M. C. Zetterling, M. Östling, and K. Rottner, *Mater. Sci. Forum* 264–268, 1061 (1998).
- [7] L. Zhu and T. P. Chow, *IEEE Trans. Electron Devices* 55, 1857 (2008).
- [8] Sylvain Hallereau, *Reverse Costing analysis (SemiSouth SJEP170R550 1700V 550mOhm Vertical JFET)*, SYSTEM PLUS CONSULTING (2010).
- [9] M. Aketa, Y. Yokotsuji, M. Miura, and T. Nakamura, *Mater. Sci. Forum* 717–720, pp. 933-936 (2012).
- [10] Q. Zhang, J. Duc, V. Mieczkowski, B. Hull, S. Allen, and J. Palmour, *Mater. Sci. Forum* 740–742, pp. 781-784 (2013).
- [11] A. O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindefelt, *Appl. Phys. Lett.* 71, 90 (1997).
- [12] V.A.K. Temple, *in proceedings of the 1977 International Electron Devices Meeting*, pp. 423-426 (1977).
- [13] D. Alok and B. J. Baliga, *IEEE Trans. Electron Devices* 44, 6, pp. 1013-1017 (1997).
- [14] H. Onose, S. Oikawa, T. Yatsuo, and Y. Kobayashi, *in proceedings of the 12th International Symposium on Power Semiconductor Devices & IC's*, pp. 245-248 (2000).

## 2. 結晶欠陥の影響を抑制する SiC デバイス構造

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

#### 3.1 緒言

第3章では、デバイス製造過程において発生するプロセス起因結晶欠陥に着目し、それがデバイス信頼性へ与える影響について検討した。具体的には、SiC MOSFET の製造プロセス中に形成される BPD の形成機構を解明し、それを抑制する製造プロセスの開発を検討した。BPD はイオン注入や高温アニールなどの製造プロセス中に形成されるため、これを抑制する製造プロセスが必要である。開発したプロセスを適用して SiC MOSFET を試作し、その通電信頼性を評価・検証した。

#### 3.2 SiC MOSFET の製造プロセスに関する課題

鉄道用 3.3 kV SiC MOSFET の断面模式図を図 3-1 に示す。デバイスのアクティブ領域はプレーナー型の Double Implanted MOSFET(DMOS)構造とした。図 3-1 中の  $L_g$  はチャンネル長と呼ばれ、 $L_j$  は JFET 長と呼ばれる p-well 領域の開口部分である。順方向動作時は、ゲート電極に正の電圧が印加されることで  $L_g$  部分の PB 領域が反転し、チャンネルが形成され、キャリアである電子はソース電極からチャンネルと JFET 領域を通してドレイン電極へ流入する。このとき、電子の通り道であるチャンネルと JFET 領域が、チャンネル抵抗・JFET 抵抗となり、順方向特性に影響する。逆方向動作時は、p-well 領域から JFET 領域に空乏層が広がり、ゲート・ソース電極からの電子の流出を抑制する。MOSFET のデバイス設計では、この  $L_g$  と  $L_j$  がトランジスタ特性を決定する重要なパラメータとなる。デバイスのターミネーション領域は JTE(Junction Termination Extension)構造とした[1]。本構造は、逆方向動作時に電極終端部の電界集中を緩和して耐圧を保持する機能を持つ。MOSFET の構造内には p-well と n 型の SiC エピ層の接合から形成される PN ダイオードがあり、これを内蔵ダイオードと呼ぶ。MOSFET は素子内に PN ダイオードを含むので、1つの MOSFET でスイッチング素子と整流素子を兼ねることができる。MOSFET の内蔵ダイオード駆動時は、アノード電極となるソース電極に正の電圧が印可され、カソード電極となるドレイン電極との間に電流が流れる。

図 3-2 に従来の製造プロセスで試作した SiC MOSFET 内蔵ダイオードの通電試験結果を示す。試作したデバイスは図 3-1 に示す SiC MOSFET で、エピ濃度と膜厚は  $3 \times 10^{15} \text{ cm}^{-3}$ 、 $30 \mu\text{m}$  であり、耐圧と電流容量は 3.3 kV、1 A 程度である。SiC MOSFET 内蔵ダイオードの順方向に、接合温度  $150^\circ\text{C}$  で電流密度  $125 \text{ A/cm}^2$  を流し、オン電圧のシフト量を測定した。ここで、オン電圧は順方向動作時の電流密度が  $125 \text{ A/cm}^2$  となるアノード電極とカソード電極間の電圧である、通電試験前のオン電圧を基準とし、そこからのシフト量の時間変化を測定した。20 個の MOSFET を使用して通電試験を行い、すべての MOSFET で通電中にオン電圧が 1 V 程度増加するバイポーラ劣化が確認できた。これは、通電試験前のオン電圧を基準とした場合、約 10% 程度のシフト量である。通電試験後の MOSFET の電極をウェットエッチングにより除去し、PL イメージング法により結晶欠陥を評価した。図 3-3 にバイポーラ劣化した MOSFET の PL 像を示す。バイポーラ劣化の原因であるショックレー型積層欠陥 1SSF(Single Shockley Stacking Fault)が観察できる  $420 \text{ nm}$  のバンドパスフィルタを使用した。バイポーラ劣化した MOSFET には多くの 1SSF が確認された。1SSF は電子トラップとして動作し、高抵抗領域になる。従って、通電試験中に徐々に拡張する 1SSF により、オン電圧が時間と共に増加したと考えられる[2]。拡張した 1SSF は特徴的な  $120^\circ$  の鈍角を持つ三角形状であり、起点と思われる頂点部はアクティブ領域周辺を取り囲むように配置されている p+型のイオン注入領域に位置した。このため、p+型のイオン注入領域に形成された BPD が、通電中試験中に 1SSF に拡張し、バイポーラ劣化を起こしたと考える。

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

このように、従来の製造プロセスで試作した SiC MOSFET は内蔵ダイオードの通電試験においてオン電圧が徐々に増加するバイポーラ劣化を示し、p+領域形成のための Al イオン注入、活性化アニール工程で BPD が形成されたことが考えられる。SiC MOSFET の通電信頼性を高めるためには、バイポーラ劣化の原因となるプロセス起因 BPD の形成を抑制する製造プロセスが必要である。そこで、本研究では SiC MOSFET におけるプロセス起因 BPD の形成機構の解明と、それを抑制する製造プロセスの開発を目指した。加えて、開発したプロセスを適用して SiC MOSFET を試作し、その通電信頼性を評価した。

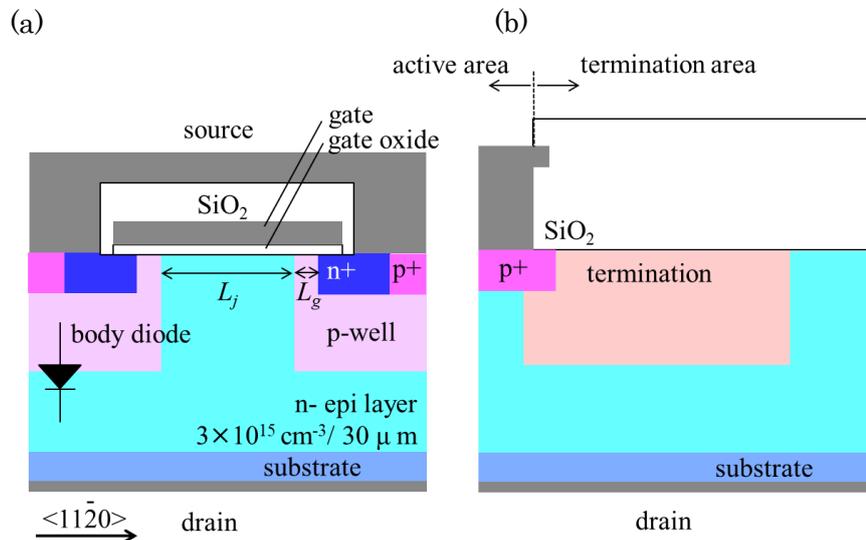


図 3-1 3.3 kV SiC MOSFET の断面模式図 (a)アクティブ領域 (b)ターミネーション領域

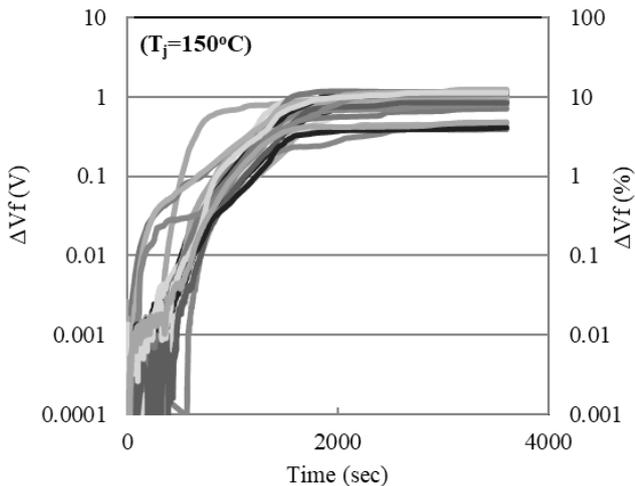


図 3-2 従来の製造プロセスで試作した SiC MOSFET 内蔵ダイオードの通電試験結果

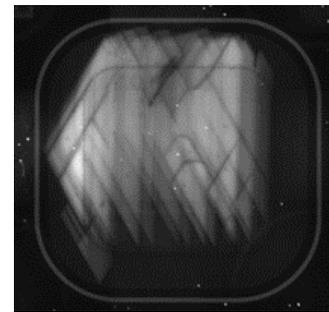


図 3-3 バイポーラ劣化を示した MOSFET の PL 像 (420 nm バンドパスフィルタ)

### 3.3 実験方法

プロセス起因 BPD の形成機構の解明と、それを抑制する製造プロセスの確立のため、p+領域の導電性、プロセス起因 BPD の形成程度、プロセス起因 BPD が SiC MOSFET の信頼性へ与える影響の3点から検討した。その詳細を以下に示す。

#### 3.3.1 Kelvin パターンと Van der Pauw パターン

Al のイオン注入により形成される p+領域は、p-well 領域やターミネーション領域とソース領域を電氣的に接続する機能があり、その導電性はコンタクト抵抗やシート抵抗として評価される。p+領域の導電性が低くなると、MOSFET 順方向動作時のチャンネル形成や、逆方向動作時の p-well 領域やターミネーション領域からの空乏層形成に支障をきたすため、SiC MOSFET の製造プロセス開発の中で、p+領域の導電性は重要な指標となる。p+領域のコンタクト抵抗とシート抵抗を評価するために、それぞれ Kelvin パターンと Van der Pauw パターンを試作した。

p+領域は濃度と膜厚が  $3 \times 10^{15} \text{ cm}^{-3}$ 、 $30 \mu\text{m}$  の SiC エピ層に Al を注入して形成し、そのプロファイルは BOX 形状とした。Al のイオン注入条件を表 3-1 と表 3-2 に示す。以降、Al 注入条件はドーズ量  $2 \times 10^{15} \text{ cm}^{-2}$  を基準としたドーズ比と注入温度で表記し、例えばドーズ量  $2 \times 10^{15} \text{ cm}^{-2}$  の室温注入は 1.0 dose/RT として表す。イオン注入後、Ar 雰囲気下で  $1700^\circ\text{C}$  1 分の活性化アニール処理をした。コンタクトメタルは Ni とし、 $1000^\circ\text{C}$  の熱処理によって Ni シリサイドを形成した。試作した Kelvin パターンと Van der Pauw パターンのコンタクト面積とイオン注入面積はそれぞれ  $5 \mu\text{m}^2$  と  $200 \mu\text{m}^2$  である。p+領域への Al イオン注入条件とコンタクト抵抗およびシート抵抗の関係を調べるために、試作した Kelvin パターンと Van der Pauw パターンを使用して、SIMS(Secondary-ion-mass spectrometry)分析と TEM 分析、および電気特性評価を行った。

表 3-1 p+領域形成のための Al 注入条件

Label	Dose ( $\text{cm}^{-2}$ )	Ion implantation temperature ( $^\circ\text{C}$ )	Test sample		
			TEG for measuring contact resistance	TEG for investigating for process-induced defects	MOSFET
0.5 dose/RT	$1.0 \times 10^{15}$	25	Yes	Yes	Yes
0.5 dose/ $250^\circ\text{C}$	↑	250	Yes		
0.5 dose/ $350^\circ\text{C}$	↑	350	Yes		
0.7 dose/RT	$1.4 \times 10^{15}$	25		Yes	
1.0 dose/RT	$2.0 \times 10^{15}$	25	Yes	Yes	Yes
1.0 dose/ $250^\circ\text{C}$	↑	250	Yes		
1.0 dose/ $350^\circ\text{C}$	↑	350	Yes	Yes	Yes
1.0 dose/ $500^\circ\text{C}$	↑	500	Yes		
1.2 dose/RT	$2.2 \times 10^{15}$	25	Yes	Yes	
1.2 dose/ $350^\circ\text{C}$	↑	350	Yes		

表 3-2 1.0 dose における Al 注入条件

Energy (keV)	Dose (cm <sup>-2</sup> )
30	1.0 × 10 <sup>14</sup>
70	3.0 × 10 <sup>14</sup>
120	6.0 × 10 <sup>14</sup>
180	1.0 × 10 <sup>15</sup>

### 3.3.2 TEG パターン

Al イオン注入、活性化アニール工程で形成されるプロセス起因 BPD について、その形成程度を簡易的に評価するために TEG(Test Element Group)を作成した。図 3-4 に試作プロセスを示す。4 度オフの Si 面 SiC 基板に、濃度と膜厚が  $3 \times 10^{15} \text{ cm}^{-3}$ 、 $30 \mu\text{m}$  のエピ膜が成膜された SiC エピ基板を使用した。SiC エピ層に Al をイオン注入し、Ar 雰囲気下で  $1700^\circ\text{C}$  1 分の活性化アニール処理することで p+領域を形成した。p+領域の Al 注入条件を表 3-1 に示す。

プロセス起因 BPD の形成機構を解明するために、試作した TEG を PL イメージング法、KOH エッチング法、ラマン分析法により分析した。PL イメージングの光源は水銀キセノンランプで、励起光源は  $350 \text{ nm}$  以下である。PL イメージングは室温で撮像され、BPD と 1SSF を明るいコントラストとして観察できる  $750 \text{ nm}$  のロングパスフィルタと  $420 \text{ nm}$  のバンドパスフィルタを用いた。KOH エッチング法は、エッチング後に結晶表面に現れるピットの形状を観察することで欠陥の種類を判別する手法である。ラマン分光法は結晶性や応力、ポリタイプを同定するための非破壊な検査方法であり、サンプルに入射光を照射し、入射光と格子振動のエネルギー分だけ振動数がずれた光を分析することによって、その物質の振動状態に関する情報を得る分析法である[3]。ラマン分光法は室温で実施され、 $457.9 \text{ nm}$  の Ar レーザーを励起源とし、スポットサイズを直径  $0.7 \mu\text{m}$  とし、FTO (Folded Transverse Optics) モードでイオン注入領域の境界に沿って発生する圧縮応力を測定した。ラマン線シフト  $\Delta\nu \text{ (cm}^{-1}\text{)}$  と応力  $\sigma \text{ (Mpa)}$  とは、

$$\sigma = \alpha \times \Delta\nu \quad \dots (3.1)$$

の関係式で近似でき、4H-SiC においては  $\alpha$  が  $510$  と報告されており、これを用いて応力値を算出した[4]。

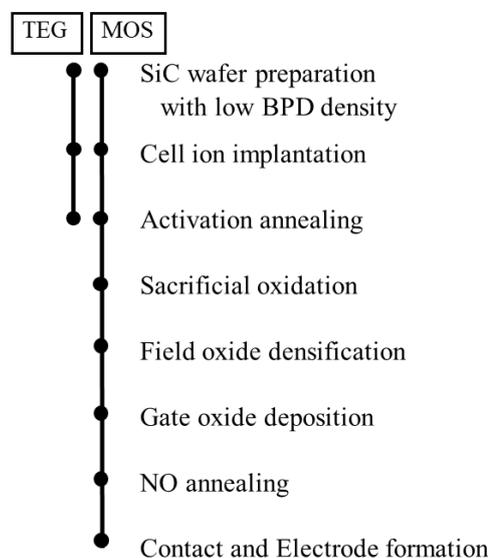


図 3-4 TEG パターンと SiC MOSFET の試作プロセス

### 3.3.3 SiC MOSFET

プロセス起因 BPD が SiC MOSFET の通電信頼性に与える影響を評価するため、3.3 kV の SiC MOSFET を試作した。試作した MOSFET の断面模式図は図 3-1 に示すものと同じである。使用したエピ基板は TEG と同じで、4 度オフの Si 面 SiC 基板の上に、濃度と膜厚が  $3 \times 10^{15} \text{ cm}^{-3}$ 、 $30 \mu\text{m}$  のエピ膜が成膜された SiC エピ基板を使用した。図 3-4 に試作プロセスを示す。プロセス起因 BPD の影響を見るために、エピ中の BPD が極めて少ない仕様のエピ基板を使用した。まず、MOSFET の p-well, p+, n+, ターミネーション領域を形成するためにイオン注入と活性化アニール処理を行う。p-well, p+, ターミネーション領域はアクセプターとして Al を注入した。p-well とターミネーション領域は Al 濃度が  $1 \times 10^{18} \text{ cm}^{-3}$  と  $1 \times 10^{17} \text{ cm}^{-3}$ 、深さを  $1 \mu\text{m}$  と  $0.8 \mu\text{m}$  とした。p+領域については、プロセス起因 BPD と SiC MOSFET の通電信頼性との関係を調べるために、Al 注入ドーズ量と注入温度の条件を分流した。p+領域の Al 注入条件を表 3-1 に示す。n+領域は N をドナーとして注入することで形成し、N 濃度が  $1 \times 10^{20} \text{ cm}^{-3}$ 、深さを  $400 \text{ nm}$  とした。イオン注入後、Ar 雰囲気下で  $1700^\circ\text{C}$  1 分の活性化アニール処理をした。続いて、損傷した SiC 表面を除去するため、 $1100^\circ\text{C}$  で SiC 表面を酸化し、形成された酸化膜を除去した。この工程を犠牲酸化工程と呼ぶ。その後、非コンタクト領域を保護するフィールド酸化膜を成膜し  $1000^\circ\text{C}$  で焼き締めて高品質化した。次に、膜厚  $50 \text{ nm}$  のゲート酸化膜を形成し、ゲート酸化膜と SiC 界面の界面準位密度を減らすために  $1300^\circ\text{C}$  の NO アニール処理を行った[3]。そして、Poly-Si ゲート電極、ソース電極、ドレイン電極を形成した。ソース電極とドレイン電極のコンタクトメタルは Ni シリサイドを用い、その上に Al を成膜した。試作したデバイスのチップサイズは  $2 \text{ mm}^2$  で、順方向動作時の電流密度  $125 \text{ A/cm}^2$  を定格と定義すると、定格容量  $1 \text{ A}$  である。

プロセス起因 BPD は、p+領域の形成工程で発生すると考えられていたが、その他の製造工程でプロセス起因 BPD が形成されないことを確認するため、主要工程で PL イメージング法により SiC の結晶欠陥を評価し、追跡調査した。SiC 単結晶の脆性延性遷移は約  $1000^\circ\text{C}$  でおこるため、プロセス起因 BPD は  $1000^\circ\text{C}$  以上の高温処理により形成されると考えられる[5]。そこで、 $1000^\circ\text{C}$  以上となる製造工程で PL 評価を実施した。図 3-4 に示す試作プロセスフローにおいて、活性化アニール後、犠牲酸化膜後、フィールド酸化膜焼き締め後、NO アニール後に PL 評価を実施した。また、初期状態として、デバイス試作前、イオン注入後も PL 評価を実施した。

形成されたプロセス起因 BPD がどのような過程を経て ISSF に拡張するかを、UV 光の連続照射により明らかにした。PL イメージング装置の励起光をプロセス起因 BPD に長時間照射し、PL 評価により SiC エピ層内で BPD が ISSF に拡張する過程を観察した。ここで、励起光の照射強度は約  $2 \text{ W/cm}^2$  である。

分流した Al イオン注入条件と SiC MOSFET の通電信頼性の相関を得るため、作成した SiC MOSFET の内蔵ダイオードに順方向電流を流す通電試験を行った。通電試験後は、SiC MOSFET の電極などの構造物をウェットエッチングで除去してから、PL イメージング法により結晶欠陥を評価した。合わせて、KOH エッチング法により SiC 表面の結晶欠陥を分析した。また、電流密度を変えて通電試験を実施し、得られた電気的特性から ISSF の拡張速度を抽出した。更に、多数チップの通電試験や、加速条件での長時間通電試験を行い、SiC MOSFET の通電信頼性を評価した。

### 3.4 コンタクト抵抗と Al 注入条件の関係

Al 注入および活性化アニール後の SiC エピ層の p+領域における SIMS 分析結果を図 3-5 に示す。0.5 dose/RT, 1.0 dose/RT, 1.0 dose/250°C, 1.0 dose/350°C の 4 つの条件で分析した。0.5 dose/RT と 1.0 dose/RT の場合、パイルアップ状のプロファイル(図中の○印)が確認された。これらは、0.5 dose/RT では SiC 表面から 120 nm 程度の深さ、1.0 dose/RT では 140 nm 程度の深さに確認できた。一方、1.0 dose/250°C, 1.0 dose/350°C の場合にはパイルアップ状のプロファイルは見られなかった。

Al 注入および活性化アニール後の SiC エピ層の p+領域表面の断面 TEM 像を図 3-6 に示す。0.5 dose/RT, 1.0 dose/RT, 1.0 dose/350°C の 3 つの条件で分析した。いずれの条件でも、文献[6-7]で報告されているイオン注入と活性化アニールによって形成される二次欠陥が観察された。加えて、0.5 dose/RT と 1.0 dose/RT の場合は、SiC 表面に 1 層または 2 層の層構造が確認できる。0.5 dose/RT の場合はこの層深さは 100~120 nm であり、1.0 dose/RT の場合は 100~120 nm と 130~140 nm であり、これらの深さは図 3-5 で濃度プロファイルにパイルアップが確認できた深さとほぼ同じである。拡大した断面 TEM 像から、1.0 dose/RT の場合は p+領域の表面に綺麗な積層構造が見られなかった。4H-SiC では、Al のイオン注入量が室温で  $1 \times 10^{15} \text{ cm}^{-2}$  を超える場合、格子間原子(Al, Si, C)や空孔(Si, C)などの格子ダメージが蓄積してアモルファス化し、活性化アニール後も完全に回復しないことが報告されている[8]。また、イオン注入後 700°C 以上の温度でアモルファスの再結晶化が始まり、活性化アニール中にアモルファス層から 3C-SiC が生成することが知られている[9-12]。従って、1.0 dose/RT の場合の表面層には、3C-SiC に再結晶化した領域が存在することが考えられる。0.5 dose/RT と 1.0 dose/RT の SIMS 分析結果と断面 TEM 像から、室温の Al 注入条件では SiC 表面に形成される層構造に対応したパイルアップ状の濃度プロファイルとなること、高ドーズ量条件では SiC 表面に結晶性が乱れた再結晶層が形成されることが分かった。

図 3-7 には、コンタクト抵抗・シート抵抗と Al 注入条件との関係を示す。コンタクト抵抗は Al 注入ドーズ量とともに減少し、温度とともに増加し、高ドーズ量・室温注入の場合に最小値を示した。コンタクト抵抗と Al 注入ドーズ量の関係については、ドーズ量の増加に伴いアクセプター濃度が高くなることで、コンタクト抵抗が減少したと考えられる。ここで、コンタクト抵抗と Al 注入温度の関係について考える。コンタクト抵抗は、半導体とコンタクトメタル間の障壁高さと、半導体表面における活性化されたアクセプター濃度によって決まる[13]。図 3-6 の断面 TEM 像で見られたように、1.0 dose/RT の場合、p+領域表面に再結晶層が形成されており、報告されている文献を考慮すると活性化アニール中に 3C-SiC が形成されていることが考えられる[9-12]。3C-SiC の価電子帯は 4H-SiC のそれよりもエネルギーが高いため、3C-SiC が SiC 表面に形成されるとコンタクトメタルと SiC 界面での障壁高さが小さくなる[14]。そのため、高ドーズ量の室温注入で p+領域表面に形成された 3C-SiC の存在により、コンタクト抵抗が減少したと考える。活性化されたアクセプター濃度という観点では、アクセプターの活性化率はシート抵抗にほぼ比例するため、シート抵抗からアクセプターの活性化率を予想した。シート抵抗はイオン注入温度とともに増加しているため、アクセプターの活性化率は室温注入の方が高温注入よりも高いことがわかる。従って、SiC とコンタクトメタル間の障壁高さが低く、SiC 表面のアクセプター濃度が高い室温注入の場合において、コンタクト抵抗が減少したと考える。最も低い p+領域のコンタクト抵抗は 1.2 dose/RT の場合で  $1.3 \times 10^{-3} \Omega \text{ cm}^2$  であり、報告されている値と同等であった[14]。SiC MOSFET の p 型オーミックコンタクトに求められるコンタクト抵抗は  $1 \times 10^{-3} \sim 1 \times 10^{-2} \Omega \text{ cm}^2$  程度であり、得られた結果はこれを満たしているため MOSFET の動作上は問題ないと考える。

3. プロセス起因結晶欠陥とデバイス信頼性への影響

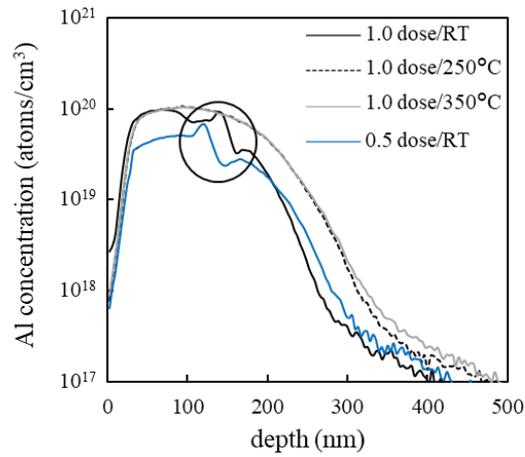


図 3-5 Al 注入および活性化アニール後の p+領域における SIMS 分析結果

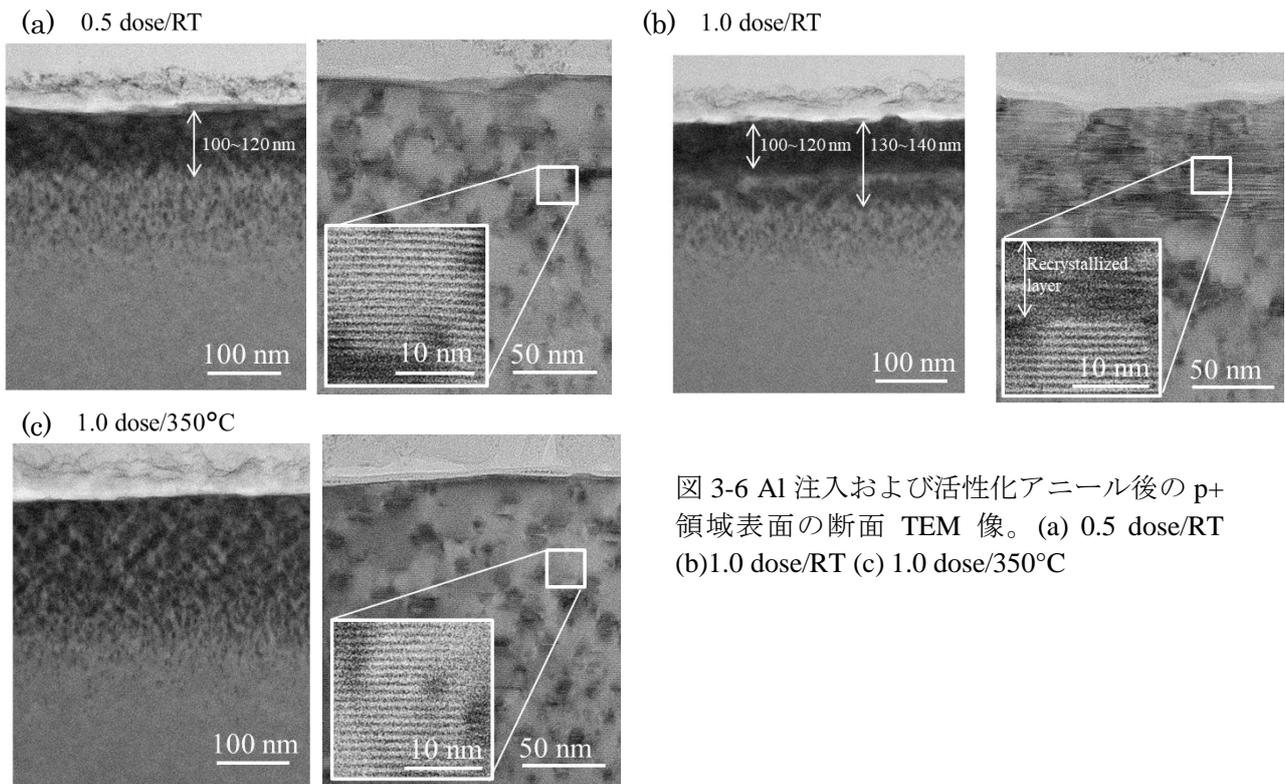


図 3-6 Al 注入および活性化アニール後の p+領域表面の断面 TEM 像。(a) 0.5 dose/RT (b)1.0 dose/RT (c) 1.0 dose/350°C

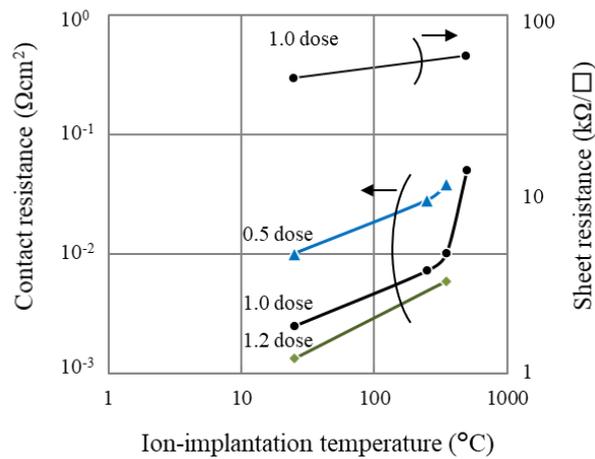


図 3-7 コンタクト抵抗・シート抵抗と Al 注入条件の関係

### 3.5 プロセス起因 BPD とその形成機構

Al イオン注入条件を分岐し、活性化アニール処理をした TEG について、PL イメージング法と KOH エッチング法を用いて分析した。図 3-8 に PL 像と KOH 像を示す。観察領域は図 3-1 (b) に示すターミネーション領域に形成され、アクティブ領域周辺を取り囲むように配置されている p+領域である。図 3-8 (a)や(b)の PL 像に示すように、0.7 dose/RT, 1.0 dose/RT, 1.2 dose/RT の場合には、明るいコントラストを示す BPD と 1SSF が p+領域の境界に沿って確認され、その程度はイオン量とともに増加した。一方、0.5 dose/RT と 1.0 dose/350°C の場合にはそれらは観察されなかった。同様に、図 3-8 (c)の KOH 分析結果に示すように、0.7 dose/RT, 1.0 dose/RT, 1.2 dose/RT では、BPD のピットが p+領域の境界に沿って多数形成されているが、0.5 dose/RT と 1.0 dose/350°C では観察されなかった。なお、TED や TSD はパイポーラ劣化には寄与しない無害な欠陥である。このように、高注入ドーズ量・室温の注入条件では、p+領域の境界に沿って BPD や SF が形成されるが、低注入ドーズ量または高温の注入条件では、プロセス起因 BPD の形成が抑制されることがわかった。

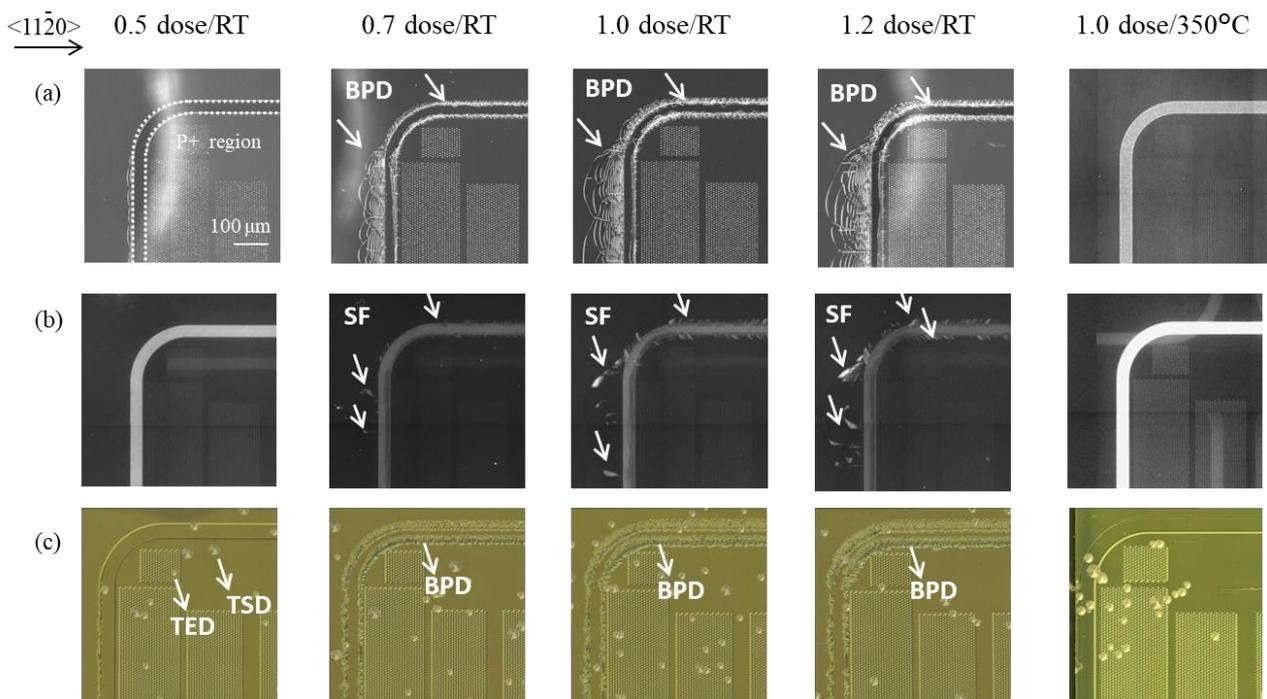


図 3-8 Al 注入，活性化アニール後の TEG 分析結果。(a) 385 nm ロングパスフィルタで得られた PL 像 (b) 420 nm バンドパスフィルタで得られた PL 像 (c) KOH エッチング後の光学顕微鏡像

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

続いて、1.0 dose/RT と 1.0 dose/350°C の場合について、ラマン分光分析を行った。p+領域の各位置におけるラマンシフトを図 3-9 (a)に示す。図中に挿入した PL 画像に示すように、p+領域と SiC エピ層の境界を跨ぐようにレーザーを走査させた。1.0 dose/RT の場合、p+領域と SiC エピ層の境界にラマンシフト量のピークが観察され、p+領域に生じている圧縮応力は約 15 Mpa と算出された[4]。1.0 dose/350°C の場合は応力は検出限界値以下であった。p+領域に生じた圧縮応力の平均値と注入ドーズ量との関係を図 3-9 (b)に示す。室温注入の場合、注入ドーズ量の増加に伴い圧縮応力が増加している。高温注入の場合は、室温注入の場合に比べて圧縮応力が小さく、検出限界値以下であった。

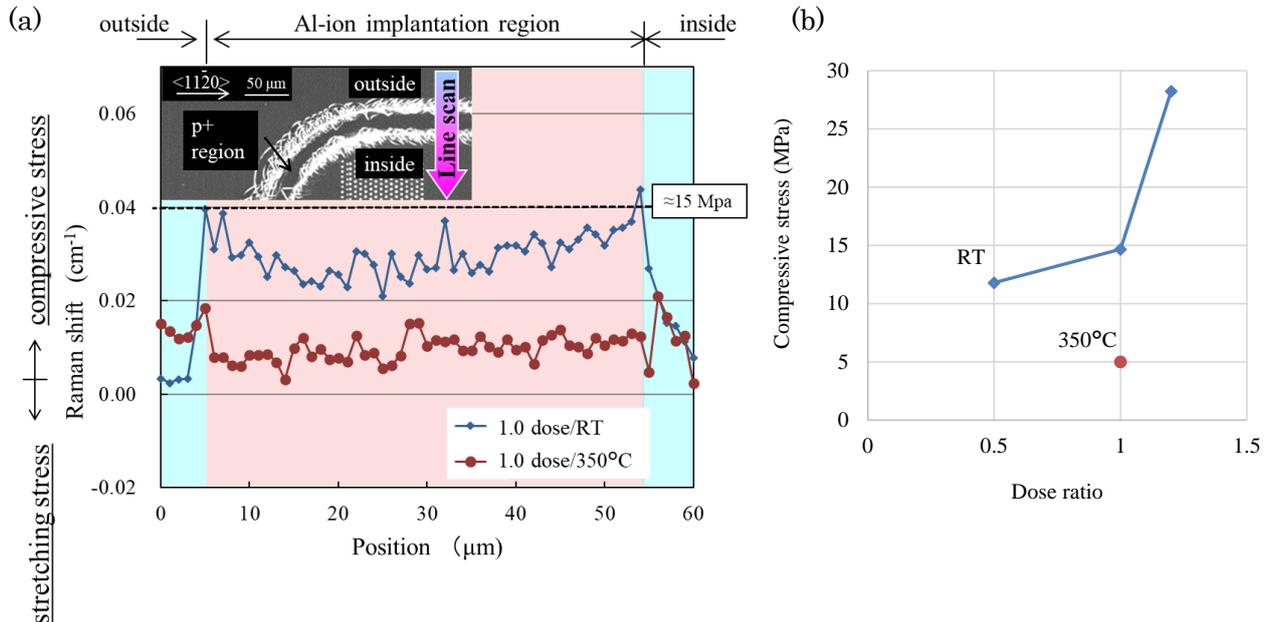


図 3-9 Al 注入領域のラマン分光分析結果。(a) 各位置におけるラマンシフト (b) p+領域に生じる圧縮応力の平均値と注入ドーズ量との関係

これらの分析から考えられるプロセス起因 BPD の形成機構を図 3-10 に示す。図 3-10 (a)は Al 注入と活性化アニール後の TEG の PL 像、図 3-10 (b)と(c)はそれぞれ A-A'と B-B'の断面を示す。Al の注入により、SiC 表面から Al 濃度が極大となる深さまでの領域では Si と C の空孔が、それよりも深い領域では Si と C の格子間原子が形成される[8]。活性化アニール中に、注入された Al が SiC 表面側に形成された Si 空孔に置換され、同時に Si, C の格子間原子が{0001}面上に平板状に凝集して Si-C 二重層を形成した二次欠陥が導入される。二次欠陥は注入ドーズ量に伴って増加する[7]。二次欠陥として、Si-C 二重層が{0001}面に平行に挿入されたフランク型の構造や、ショックレー型の構造、さらに{11 $\bar{2}$ 0}面に挿入された構造が確認されている[6-7, 15-16]。そして、二次欠陥の量に応じてイオン注入領域の結晶面(c 軸)が非注入領域から傾斜し、c 軸方向の格子定数が増加する[17]。Al を  $1 \times 10^{20} \text{ cm}^{-3}$  程度注入した場合、二次欠陥の形成による格子定数の変化は、Si サイトへの Al 置換によるそれに比べて一桁大きいので、格子定数の変化は主に二次欠陥の形成により発生する。a 軸方向への傾斜角と格子定数の変化についてはよくわかっていないが、{11 $\bar{2}$ 0}面に挿入された二次欠陥の存在や、イオン注入領域と SiC エピ層の界面で発生する応力が BPD 形成の駆動力になる可能性が提唱されていることから、何らかの変化が起きていると考えられる[16, 18-19]。

これらの先行研究を鑑みると、図 3-10 (b)と(c)に示すように、プロセス起因 BPD の成因は、二次欠陥

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

の形成により注入領域の境界に発生した圧縮応力であると考える。イオン注入時に発生した Si, C の格子間原子が、活性化アニール中に二次欠陥を形成する。二次欠陥は格子定数を増加させるため、注入領域が膨張し、注入領域の境界に圧縮応力が発生する。図 3-8 において、0.5 dose/RT ではプロセス起因 BPD が形成されず、高注入ドーズ量の 0.7 dose/RT, 1.0 dose/RT, 1.2 dose/RT では形成されたのは、二次欠陥の量の違いによるものであると考える。注入ドーズ量が大きいと、形成される二次欠陥の量が多いため、二次欠陥による格子定数の変化が大きい。従って、注入領域の境界に発生する応力が大きくなり、プロセス起因 BPD が形成されやすい。注入温度を上げた 1.0 dose/350°C の場合は、イオン注入後の格子間原子・空孔が減少するため、形成される二次欠陥の量が少ない[8, 20]。従って、注入領域の境界で発生する応力が十分小さく、プロセス起因 BPD の形成が抑制できたと考える。この形成機構によると、1.0 dose/350°C の場合でも、注入ドーズ量を増やすことで、二次欠陥による格子定数の変化が大きくなり、プロセス起因 BPD が形成される可能性がある。そのため、イオン注入条件を変更する際は事前にプロセス起因 BPD の形成有無を確認する必要がある。

また、文献[18-19]では、X線トポグラフィー法を用いて、イオン注入領域に挟まれた非注入領域の表面付近には引張応力が、イオン注入領域の表面付近には圧縮応力が作用することを報告している。図 3-9 に示したラマン分光の分析結果も、これらの先行研究と同様の結果を示しており、プロセス起因 BPD は注入領域の境界で発生した応力により、注入領域の境界に沿って形成されたと考える。ただし、図 3-9 で検出された応力は、活性化アニール後の状態のものであり、活性化アニール中にはこれよりも大きな応力が発生していた可能性がある。このため、検出された応力は BPD 形成のために必要十分なものではなく、それを明らかにするためには更なる検討が必要である。

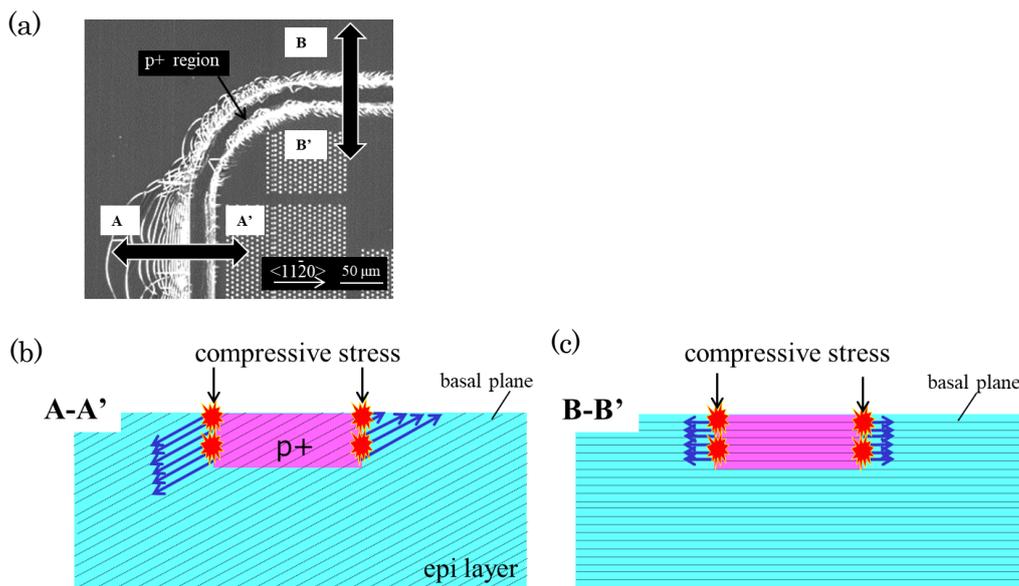


図 3-10 プロセス起因 BPD の形成機構 (a) Al 注入と活性化アニール後の PL 像 (385 nm ロングパスフィルタ) (b) A-A' の断面 (c) B-B' の断面

### 3.6 プロセス起因 BPD の形成工程

これまでの検討で、プロセス起因 BPD は p+領域の形成工程にて発生するとしてきたが、その他の製造工程でプロセス起因 BPD が形成されないことを確認するため、主要工程で PL イメージング法により SiC の結晶欠陥を評価し、追跡調査した。1.0 dose/RT の場合における、追跡評価結果を図 3-11 に示す。図 3-1 に示す MOSFET のターミネーション領域を観察しており、すべての工程で同じ場所を評価した。図中の(a)から(f)はそれぞれ、デバイス試作前、イオン注入後、活性化アニール後、犠牲酸化後、フィールド酸化膜焼き締め後、NO アニール後の状態である。これらの画像から、デバイス試作前とイオン注入後にはプロセス起因 BPD は確認されない。しかし、活性化アニール後には p+領域の境界に沿って BPD が確認できる。そして、犠牲酸化、フィールド酸化膜焼き締め、NO アニール処理後も形成された BPD は拡張せず、新たな欠陥の発生もないことが確認できた。これより、プロセス起因 BPD は活性化アニール後に p+領域境界に形成され、以降の製造工程では拡張しないこと、それ以外の領域では製造工程中にプロセス起因 BPD は形成されないことを明らかにした。

図 3-12 に各 Al 注入条件で試作した SiC MOSFET の、活性化アニール後の PL 像を示す。0.5 dose/RT および 1.0 dose/350°C の場合、プロセス起因 BPD は確認されなかった。このことから、低ドーズ量または高温注入条件では、デバイス製造時にプロセス起因 BPD が形成されないことがわかった。この結果は TEG での評価結果と相違なく、全製造プロセスを経た SiC MOSFET の場合でも低ドーズ量または高温注入条件ではプロセス起因 BPD の形成が抑制できた。

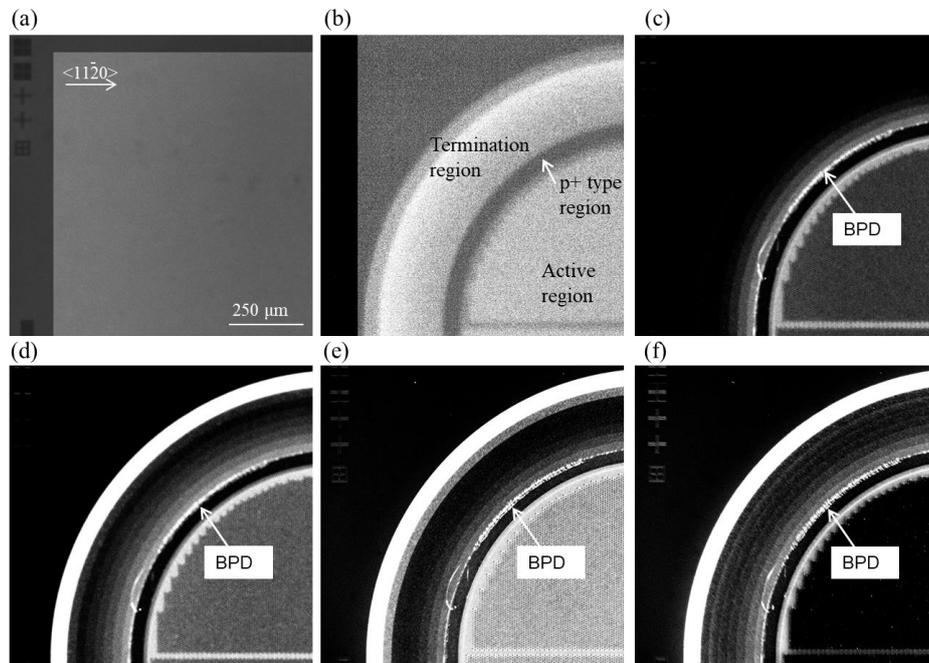


図 3-11 1.0 dose/RT で試作した SiC MOSFET の各製造工程での PL 像 (385 nm ロングパスフィルタ)。 (a) デバイス試作前、 (b) イオン注入後、 (c) 活性化アニール後、 (d) 犠牲酸化後、 (e) フィールド酸化膜焼き締め後、 (f) NO アニール後の状態を示す。

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

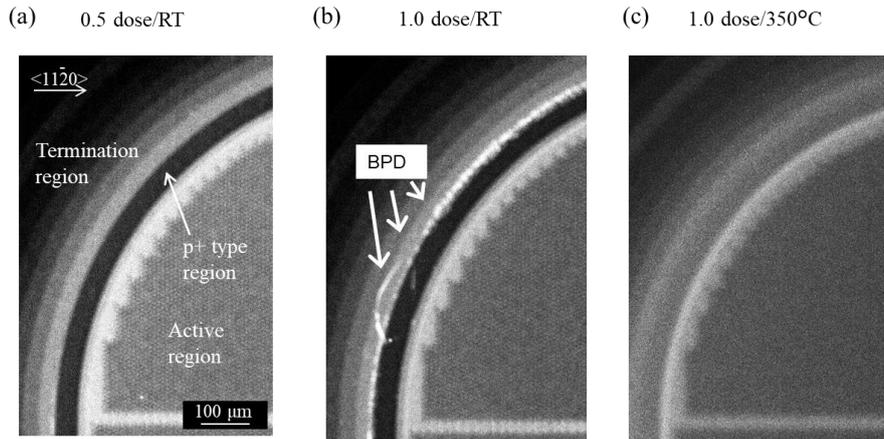


図 3-12 各 Al 注入条件で試作した SiC MOSFET の活性化アニール後の PL 像(385 nm ロングパスフィルタ)。 (a) 0.5 dose/RT (b)1.0 dose/RT (c) 1.0 dose/350°C

プロセス起因 BPD から 1SSF が拡張する様子を UV 光の連続照射により調べた。通電試験を行っていない SiC MOSFET の電極などの構造物をウェットエッチングで除去してから、110 時間の UV 光連続照射を行った。350 nm のロングパスフィルタで得られた、プロセス起因 BPD から 1SSF が拡張する様子を図 3-13 (a)に、110 時間の連続照射後に 420 nm のバンドパスフィルタで得られた(a)と同じ場所の PL 像を図 3-13 (b)に示す。また、図 3-13 (c)には SiC エピ層表面にあるプロセス起因 BPD から 1SSF が拡張する様子を模式図として示した。これらの結果から、プロセス起因 BPD から拡張した 1SSF は、最初は多角形で、最終的には 120°の鈍角を持つ三角形に近い形状となることがわかる。〈11 $\bar{2}$ 0〉方向に着目すると、1SSF は基底面に沿って SiC エピ層表面から下面に向かって拡張し、SiC エピ層と基板の界面に到達すると拡張が止まる。これは、SiC エピ層の下に位置する基板には、拡張の駆動力となるホールが十分に注入されないためである。SiC エピ層の厚さは 30  $\mu\text{m}$  であるため、1SSF の〈11 $\bar{2}$ 0〉方向の長さは 430  $\mu\text{m}$ 、〈1 $\bar{1}$ 00〉方向の長さは 1486  $\mu\text{m}$  となる。

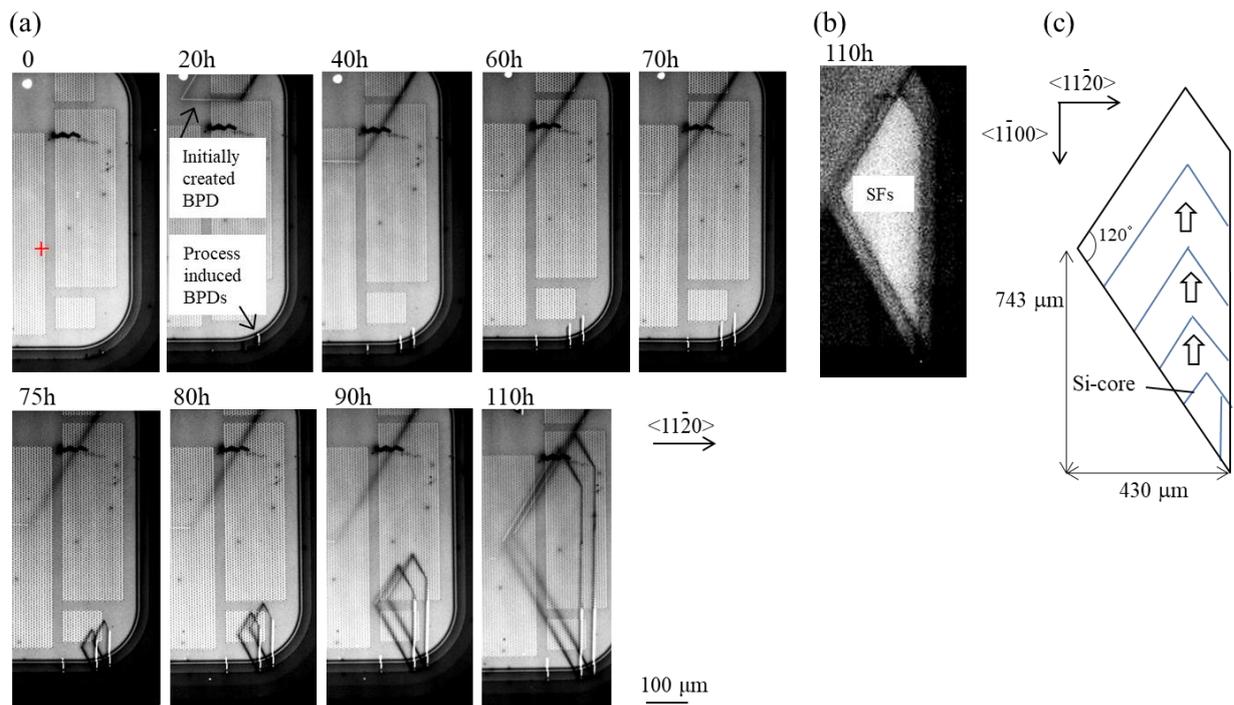


図 3-13 (a) プロセス起因 BPD から 1SSF が拡張する様子 (385 nm ロングパスフィルタ) (b) 連続照射後の PL 像 (420 nm バンドパスフィルタ) (c) プロセス起因 BPD から 1SSF が拡張する様子

### 3.7 SiC MOSFET の通電信頼性と AI 注入条件の関係

0.5 dose/RT, 0.5 dose/RT, 1.0 dose/350°Cの条件で試作した SiC MOSFET の内蔵ダイオードに対して、順方向の電流を流す通電試験を実施した。通電試験中の SiC MOSFET のオン電圧シフトの様子を図 3-14 (a)に、通電試験前後の順方向電流-電圧特性を(b)に示す。通電試験では、接合部の温度( $T_j$ )を 150°C, 順方向の電流密度を 125 A/cm<sup>2</sup>に設定し、ストレス時間を 1 時間とした。1.0 dose/RT の場合、図 3-14 (a)に示すオン電圧のシフト量が 14%となり、図 3-14 (b)に示す MOSFET の順方向電流-電圧特性が大きく劣化し、バイポーラ劣化した。一方、0.5 dose/RT と 1.0 dose/350°Cの場合は、オン電圧のシフトは見られず、バイポーラ劣化しなかった。通電試験後、これらの SiC MOSFET の電極などの構造物をウェットエッチングで除去し、PL イメージング法と KOH エッチング法を用いて分析した。PL 像と KOH エッチング後の光学顕微鏡像を図 3-15 の(a)と(b)にそれぞれ示す。バイポーラ劣化を示した 1.0 dose/RT の場合、MOSFET 内に多くの 1SSF が観察され、p+領域パターン境界に沿ってピットが見られた。PL 像で確認された 1SSF の形状は、120°の鈍角を持つ三角形と直角三角形の 2 つに分類される。120°の鈍角を持つ三角形 1SSF は、図 3-13 で示した AI 注入と活性化アニールの後形成されたプロセス起因 BPD から拡張したものと考えられる。直角三角形の 1SSF はデバイス試作前からエピ層に存在していた BPD を成因としており、プロセス起因 BPD とは異なる[21]。この BPD についての対策結果は次章で述べる。図 3-14 と図 3-15 から、SiC MOSFET にプロセス起因 BPD を含む場合は、通電試験によって BPD から 1SSF が拡張してバイポーラ劣化すること、低ドーズ量や高温の注入条件でプロセス起因 BPD の形成を抑制した場合は、通電試験でバイポーラ劣化しないことを明らかにした。

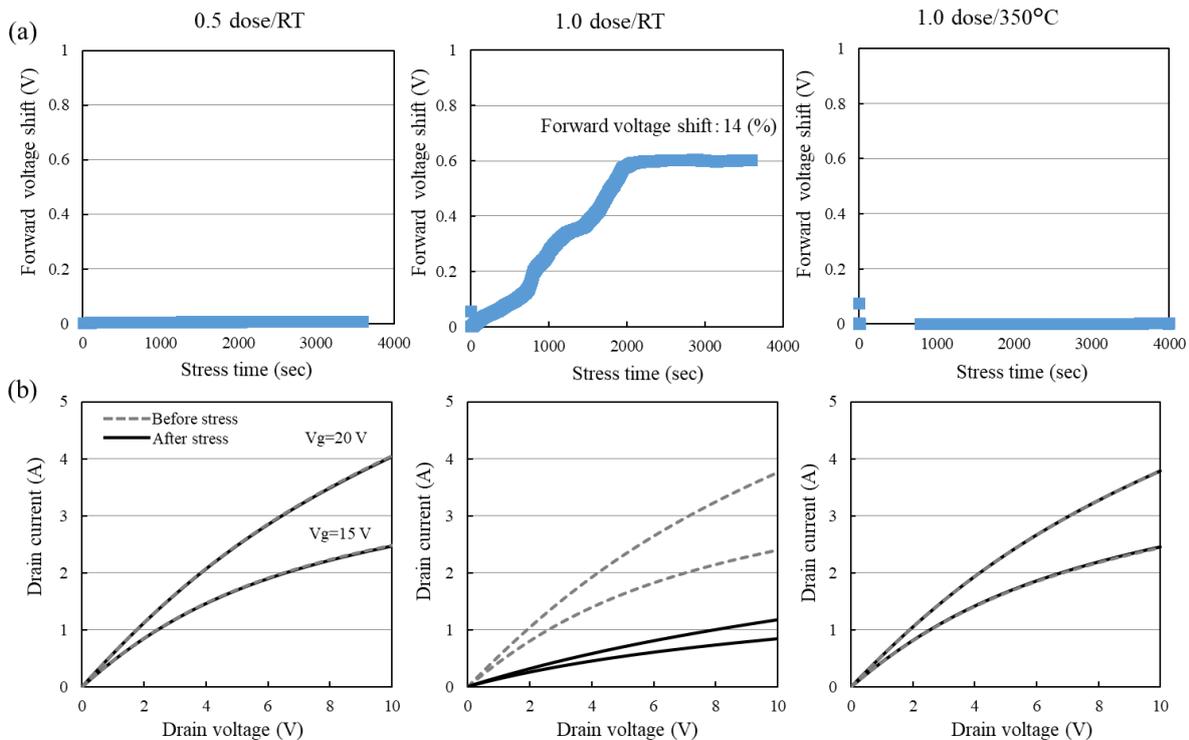


図 3-14 (a) 通電試験中の SiC MOSFET オン電圧シフトの様子 (b) 通電試験前後の SiC MOSFET 順方向電流-電圧特性

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

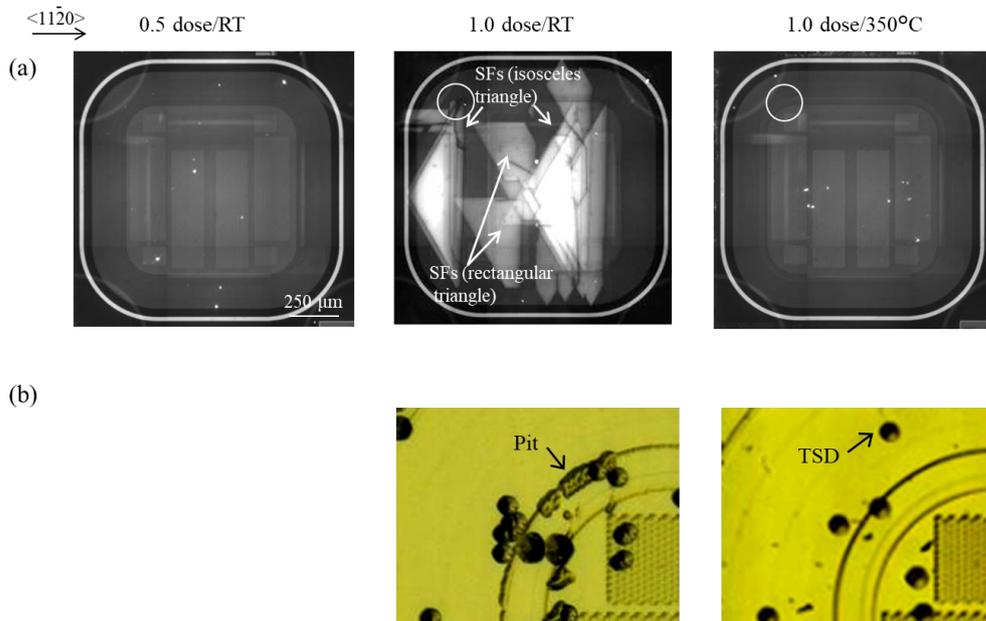


図 3-15 通電試験後の SiC MOSFET の分析結果。(a) PL 像 (b) KOH エッチング後の光学顕微鏡像

1.0 dose/350°Cの条件で試作した SiC MOSFET の内蔵ダイオードに対して、評価装置のステージ温度を変えて通電試験を行い、試験後に PL イメージング法によって結晶欠陥を評価した。まず、SiC MOSFET の内蔵ダイオードに対する通電試験において、試験開始からオン電圧のシフト量の時間変化が飽和するまでの時間、つまり 1SSF の拡張が飽和するまでの時間を求めた。そして、120°の鈍角を持つ三角形 1SSF における $\langle 1\bar{1}00 \rangle$ 方向の最大長さを求めた時間で割ることで、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度を算出した。図 3-13 から、プロセス起因 BPD から拡張した 120°の鈍角を持つ三角形 1SSF における $\langle 1\bar{1}00 \rangle$ 方向の最大長さは約 1500 $\mu\text{m}$  である。求めた 1SSF の拡張速度の温度依存性を図 3-16 に示す。通電試験は、順方向の電流密度を 125 A/cm<sup>2</sup>、ステージ温度( $T_s$ )を 50°C から 250°C の範囲で設定した。得られた 1SSF の拡張速度の自然対数は温度の逆数に対して直線的に変化する。 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度の活性化エネルギーは、順方向電流密度 125 A/cm<sup>2</sup> の場合 0.20 eV と算出された。これは、1SSF の拡張のために必要なエネルギーであり、1SSF の拡張速度が温度の影響を受けることがわかった。

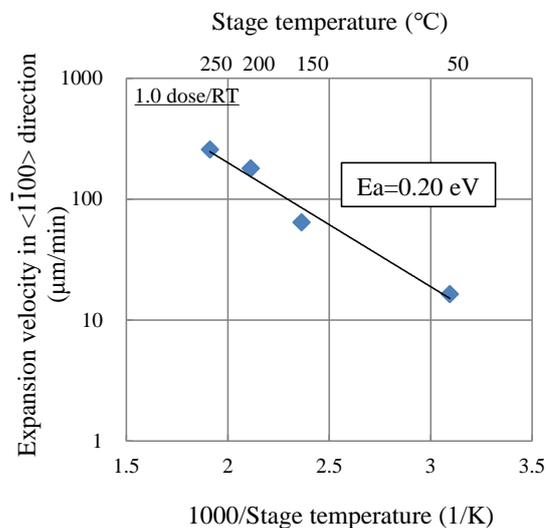


図 3-16 1.0 dose/RT で試作した SiC MOSFET における 1SSF の $\langle 1\bar{1}00 \rangle$ 方向拡張速度の温度依存性

### 3. プロセス起因結晶欠陥とデバイス信頼性への影響

0.5 dose/RT, 1.0 dose/RT, 1.0 dose/350°Cの条件で試作した SiC MOSFET の内蔵ダイオードに対して実施した通電試験結果の累積度数分布を図 3-17 に示す。通電試験は、接合部の温度( $T_j$ )を 150°C, 順方向の電流密度を 125 A/cm<sup>2</sup>に, ストレス時間を 1 時間と設定した。試験した SiC MOSFET の総数は, 0.5 dose/RT, 1.0 dose/RT, 1.0 dose/350°Cの条件でそれぞれ 29 個, 31 個, 161 個である。1.0 dose/RT の場合, すべての試験サンプルにおいて SiC MOSFET の内蔵ダイオードのオン電圧が増加し, バイポーラ劣化した。一方, 0.5 dose/RT, 1.0 dose/350°Cの場合, ほとんどの試験サンプルではバイポーラ劣化しないものの, 一部はオン電圧が数%シフトしていた。そこで, 0.5 dose/RT, 1.0 dose/350°Cの場合でバイポーラ劣化したサンプルを PL イメージング法により分析した。得られた PL 像を図 3-17 (b)と(c)に示す。PL イメージング分析は, 図 3-17 (a)の累積度数分布内に“(i)”および“(ii)”とラベルした SiC MOSFET を用いた。図 3-17 (b)(c)から, 0.5 dose/RT, 1.0 dose/350°Cの場合でバイポーラ劣化したサンプルからは, 直角三角形の 1SSF のみが確認され, プロセス起因 BPD から拡張する 120°の鈍角を持つ三角形形状の 1SSF は観察されなかった。この直角三角形の 1SSF はデバイス試作前から SiC エピ層に存在していた BPD から拡張したものであり, プロセス起因 BPD には該当しない[21]。この BPD についての対策結果は次章で述べる。図 3-17 の多数チップの通電試験から, プロセス起因 BPD の形成を抑制できる 0.5 dose/RT および 1.0 dose/350°Cの条件で試作した SiC MOSFET は内蔵ダイオードの通電試験において高い信頼性を示した。すなわち, 低ドーズ量または高温の Al 注入条件がプロセス起因 BPD の形成を抑制し, バイポーラ劣化をしない SiC MOSFET が実現できる。

1.0 dose/350°Cで試作した SiC MOSFET の内蔵ダイオードに対して, 大電流密度・高温の長時間通電試験を行った結果を図 3-18 に示す。通電試験は 2 つのステップで構成された。ステップ 1 では, 接合部の温度( $T_j$ )を 150°C, 順方向電流密度を 250 A/cm<sup>2</sup>に, ストレス時間を 250 時間とした。ステップ 2 では, 接合部の温度( $T_j$ )を 200°C, 順方向電流密度を 625 A/cm<sup>2</sup>に, ストレス時間を 170 時間とした。この長時間通電試験では, SiC MOSFET の内蔵ダイオードのオン電圧はシフトせず, バイポーラ劣化しなかった。よって, 1.0 dose/350°Cで試作した SiC MOSFET は大電流密度・高温の長時間通電試験下において高い通電信頼性を示すことを確認した。

3. プロセス起因結晶欠陥とデバイス信頼性への影響

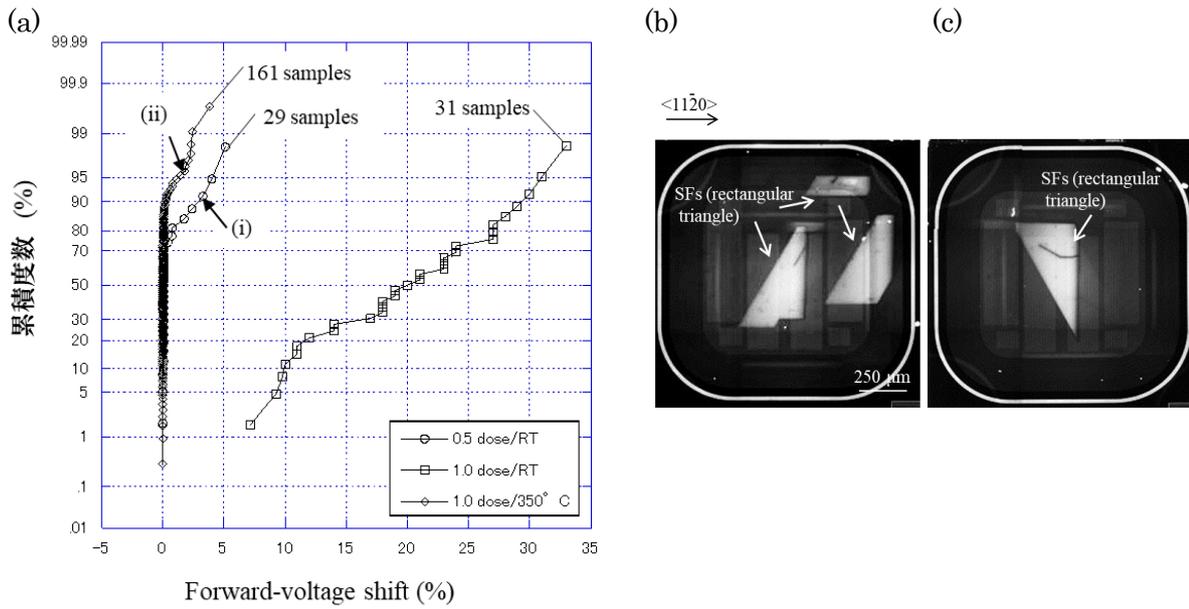


図 3-17 (a) 各 Al 注入条件で試作した SiC MOSFET の通電試験結果の累積度数分布 (b) 0.5 dose/RT と(c) 1.0 dose/350°Cの場合でバイポーラ劣化したサンプルの PL 像。それぞれ, (a)内に“(i)”および“(ii)”とラベルした SiC MOSFET の PL 像。

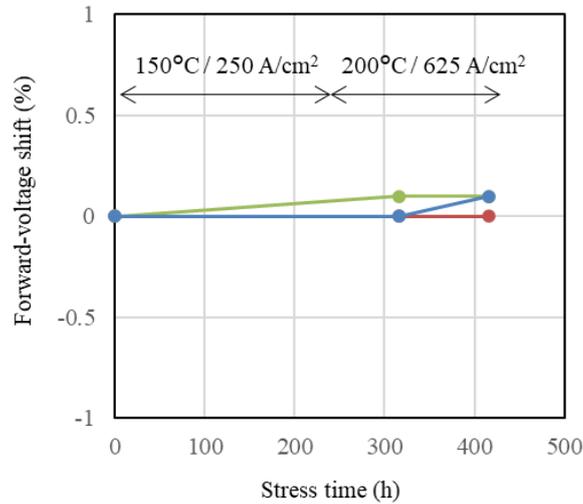


図 3-18 1.0 dose/350°Cで試作した SiC MOSFET の長時間通電試験結果 (大電流密度・高温条件)

### 3.8 まとめ

第3章では、SiC MOSFETの製造プロセス中に形成されるBPDの形成機構を解明し、それを抑制する製造プロセスの開発を検討した。加えて、開発したプロセスを適用してSiC MOSFETを試作し、その通電信頼性を評価・検証した。

従来の製造プロセスで試作したSiC MOSFETは、内蔵ダイオードの通電試験においてオン電圧が徐々に増加し、バイポーラ劣化した。分析により、p+領域形成のためのAlイオン注入、活性化アニール工程でBPDが形成されたことが考えられた。プロセス起因BPDの形成機構の解明と、それを抑制する製造プロセスの確立のため、p+領域の導電性、プロセス起因BPDの形成程度、プロセス起因BPDがSiC MOSFETの信頼性へ与える影響の3点から検討した。

低コンタクト抵抗を示した高ドーズ量・室温の注入条件では、プロセス起因のBPDがAlが注入されたp+領域境界に沿って形成される。一方、低ドーズ量または高温の注入条件では、プロセス起因BPDの形成が抑制される。プロセス起因BPDが形成された場合には、高温アニール工程後のp+領域境界に、注入ドーズ量とともに大きくなる応力が検出された。これから、高温アニール時に、二次欠陥の生成に伴いAl注入領域の境界に応力が発生し、その応力によりプロセス起因BPDが形成されたと考える。プロセス起因BPDは、活性化アニール後に形成され、その後の製造プロセスでは拡張しない。

高ドーズ量・室温の注入条件で試作したSiC MOSFET(プロセス起因BPDを含む)は、通電試験によりBPDから1SSFが拡張してバイポーラ劣化し、低ドーズ量または高温の注入条件で試作したSiC MOSFET(プロセス起因BPDを含まない)は、通電試験でバイポーラ劣化しない。順方向電流密度125 A/cm<sup>2</sup>の場合、 $\langle 1\bar{1}00 \rangle$ 方向における1SSF拡張の活性化エネルギーは0.20 eVであり、1SSFの拡張速度が温度によって変化することがわかった。

多数チップおよび長時間の通電試験の結果、低ドーズ量または高温の注入条件で試作したSiC MOSFET(プロセス起因BPDを含まない)はバイポーラ劣化せず、高い通電信頼性を示した。すなわち、低ドーズ量または高温のAl注入条件により、プロセス起因BPDの形成が抑制でき、バイポーラ劣化をしないSiC MOSFETが実現できることを明らかにした。

以上、製造プロセスで形成されるBPDを起源とするバイポーラ劣化現象を解析し、プロセス起因BPDの抑制には、イオン注入領域境界部における応力制御が必要であること、最適な条件で試作したSiC MOSFETで高い通電信頼性を示すことを明らかにした。

参考文献

- [1] D. Alok and B. J. Baliga, *IEEE Trans. Electron Devices* 44, 6, pp. 1013-1017 (1997).
- [2] T. Kimoto, *Jpn. J. Appl. Phys.* 54, 040103 (2015).
- [3] 松波 弘之, 大谷 昇, 木本 恒暢, 中村 孝, “半導体 SiC 技術と応用 第2版”, 日刊工業新聞社, p. 181, p. 267 (2011).
- [4] N. Sugiyama, M. Yamada, Y. Urakami, M. Kobayashi, T. Masuda, K. Nishikawa, F. Hirose, and S. Onda, *MRS Online Proceedings Library* 1693, pp. 107–112 (2014).
- [5] 前田 康二, 藤田 忍, 西岡 博之, 成田 武憲, “共有結合結晶の脆性延性遷移”, 日本金属学会会報 29, 12, pp. 999-1007 (1990).
- [6] T. Ohno, and N. Kobayashi, *J. Appl. Phys.* 89, 933 (2001).
- [7] T. Ohno, N. Kobayashi, *J. Appl. Phys.* 91, 4136 (2002).
- [8] M. V. Rao, P. Griffiths, O. W. Holland, G. Kelner, J. A. Freitas, Jr., D. S. Simons, P. H. Chi, and M. Ghezzo, *J. Appl. Phys.* 77, 2479 (1995).
- [9] T. Kimoto, K. Kawahara, H. Niwa, N. Kaji, and J. Suda, *in proceedings of the 2014 International Workshop on Junction Technology*, pp. 1-6 (2014).
- [10] V. Heera, D. Panknin, and W. Skorupa, *Appl. Surf. Sci.* 184, pp. 307–316 (2001).
- [11] M. Satoh, T. Jinushi, and T. Nakamura, *Mater. Sci. Forum* 615–617, pp. 485-488 (2009).
- [12] J. Pezoldt, A. A. Kalnin, D. R. Moskwin, and W. D. Savelyey, *Nucl. Instrum. Meth. B* 80–81, pp. 943–948 (1993).
- [13] J. D. Plummer, M. D. Deal, and P. B. Griffin, *Silicon VLSI Technology: Fundamentals, Practice, and Modeling*, Upper Saddle River, N.J. : Prentice Hall NJ, p. 690 (2000).
- [14] H. Shimizu, A. Shima, Y. Shimamoto, and N. Iwamuro, *Jpn. J. Appl. Phys.* 56, 04CR15 (2017).
- [15] P. O. Å. Persson, L. Hultman, M. S. Janson, A. Hallén, and R. Yakimova, *J. Appl. Phys.* 93, 9395 (2003).
- [16] J. Wong-Leung, M. K. Linnarsson, B. G. Svensson, and D. J. H. Cockayne, *Phys. Rev. B* 71, 165210 (2005).
- [17] S. Sasaki, J. Suda, and T. Kimoto, *J. Appl. Phys.* 111, 103715 (2012).
- [18] M. Nagano, H. Tsuchida, T. Suzuki, T. Hatakeyama, J. Senzaki, and K. Fukuda, *J. Appl. Phys.* 108, 013511 (2010).
- [19] H. Tsuchida, I. Kamata, M. Nagano, L. Storasta, and T. Miyanagi, *Mater. Sci. Forum* 556–557, pp. 271–274 (2007).
- [20] T. Kimoto, N. Inoue, and H. Matsunami, *Phys. Stat. Sol. (a)* 162, pp. 263-276 (1997).
- [21] A. Iijima, I. Kamata, H. Tsuchida, J. Suda, and T. Kimoto, *Phi. Mag.* 97, pp. 2736-2752 (2017).

## 4. 積層欠陥拡張のモデル化とデバイス高信頼化技術

### 4.1 緒言

第4章では、積層欠陥拡張のモデル化とデバイス高信頼化技術について検討した。具体的には、SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象を解析し、積層欠陥拡張による SiC MOSFET の劣化量を定量的にモデル化すると共に、SiC MOSFET の通電信頼性を向上させるため、バイポーラ劣化品を排除するスクリーニング技術を開発した。加えて、SiC エピ品質とスクリーニング試験結果の関係を調べ、バイポーラ劣化した SiC MOSFET についてその原因を分析した。

### 4.2 エピ層中に BPD を含む SiC MOSFET に関する課題

SiC 基板中の BPD 密度は、技術革新により年々減少してきたが、昇華法の基板を使用する限り原理的に 0 にすることは難しい[1-3]。エピ成膜条件の制御により、SiC 基板中の BPD の 90%以上がエピ層/基板界面でバイポーラ劣化に無害な TED に変換されるものの、10%程度がエピ層にそのまま伝播してしまう[4]。SiC MOSFET の素子内に BPD が含まれると、SiC MOSFET 内蔵ダイオード動作中にバイポーラ劣化が発生してしまう。

図 4-1 にエピ濃度・膜厚が  $3 \times 10^{15} \text{ cm}^{-3}$ 、 $30 \mu\text{m}$  の SiC エピ基板について、 $6.8 \text{ mm}^2$  領域の SiC エピ層に含まれる BPD の数の累積度数分布を示す。また、表 4-1 に BPD 数のまとめを示す。本評価には BPD が少ない基板(LBPD)と多い基板(ref Wafer)の2つのグレードの基板を用いた。BPD の検出は PL イメージング法を用いた。PL 評価では、SiC エピ層内の BPD のみが検出され、SiC 基板内のそれは検出できない。これは、SiC 基板の不純物濃度が  $1 \times 10^{18} \text{ cm}^{-3}$  以上と高濃度であり、励起されたキャリアがすぐに消失するためである。表 4-1 からウエハ面内の BPD 密度は、BPD が少ない基板は  $10 \text{ 個/cm}^2$  以下であり、BPD が多い基板に比べて約 1 桁小さい。全チップに対する BPD  $10 \text{ 個/cm}^2$  以下のチップの割合は、BPD が多い基板は 35~72%程度だが、BPD が少ない基板は 90%以上となる。このため、バイポーラ劣化を抑制して通電信頼性を上げるためには、BPD が少ない基板を使用することが好ましい。BPD はウエハ面内で局所的に密集している部分があるため、チップ内の最大 BPD 密度には、基板のグレード差が表れていない。SiC 基板やエピの製造技術の革新によりエピ層中の BPD 数は確実に減少しているが、製造ばらつき等を考慮すると図 4-1 や表 4-1 のような状態であり、素子内に BPD が存在するチップが無視できない程度の割合で存在している。そのため、信頼性の高い SiC MOSFET を市場に供給するためには、バイポーラ劣化する不良品を出荷前に除外する、スクリーニング技術の開発が必要である。そこで、本研究では SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象を解析し、ISSF 拡張による SiC MOSFET の劣化量を定量的にモデル化するとともに、スクリーニング技術の開発を検討した。加えて、SiC エピ品質とスクリーニング試験結果の関係を調べ、バイポーラ劣化した SiC MOSFET についてその原因を分析した。

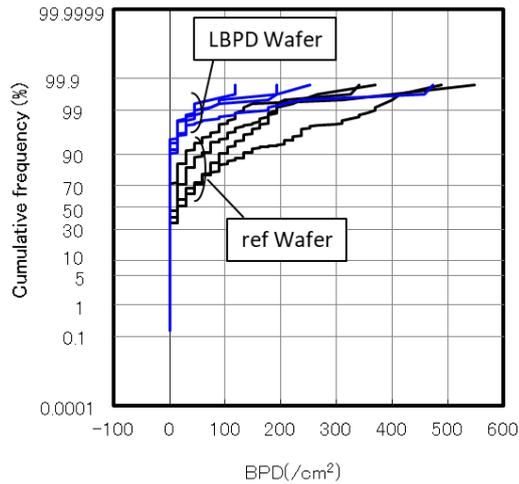


図 4-1 6.8 mm<sup>2</sup>領域の SiC エピ層に含まれる BPD の数

表 4-1 SiC エピ層に含まれる BPD の数

	Wafer	ウエハ内 BPD(個)	ウエハ内 BPD (個/cm <sup>2</sup> )	チップ内 最小BPD (個/cm <sup>2</sup> )	チップ内 最大BPD (個/cm <sup>2</sup> )	BPD<10個 cm <sup>2</sup> の割合(%)
1	BPD多	890	27	0	370	47
2	↑	482	15	0	547	72
3	↑	1513	46	0	340	35
4	↑	1877	57	0	488	41
5	BPD少	87	3	0	251	95
6	↑	120	4	0	192	90
7	↑	206	6	0	473	92
8	↑	66	2	0	118	94

### 4.3 実験方法

SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象を解析するため、3.3 kV の SiC MOSFET を試作した。図 4-2 は試作した MOSFET の断面模式図であり、第 3 章で試作したものと同一構造・製造プロセスである。4 度オフの Si 面 SiC 基板に、濃度と膜厚が  $3 \times 10^{15} \text{ cm}^{-3}$ 、 $30 \mu\text{m}$  のエピ膜が成膜された SiC エピ基板を使用した。試作したデバイスのチップサイズは  $6.8 \text{ mm}^2$  で、順方向動作時の電流密度  $115 \text{ A/cm}^2$  を定格と定義すると、定格容量  $31 \text{ A}$  である。なお、第 3 章で開発したプロセス起因 BPD の形成を抑制できる Al 注入条件を適用しているため、本研究ではデバイス製造前に SiC エピ層に存在する BPD に着目できる。

スクリーニング技術を開発するために、内蔵ダイオードにおけるバイポーラ劣化特性の定量的なモデル化を試みた。本研究では、バイポーラ劣化特性を簡易的な回路構成からモデル化し、モデルに必要なパラメータを電気特性評価と PL イメージング法により抽出した。図 4-3 は SiC MOSFET 内蔵ダイオードにおけるバイポーラ劣化前後の簡易的な回路図である。ここで、 $J$  は内蔵ダイオードの順方向に流れる電流密度、 $R_0$  は 1SSF のない領域におけるオン抵抗、 $R_{SF}$  は 1SSF の領域のオン抵抗、 $S$  はデバイス動作領域の面積、 $S_{SF}$  は 4 度オフの基底面に沿って伝播する 1SSF を SiC 表面に投影した面積であり、1SSF が複数個の場合はそれらを合算した総面積である。オームの法則より、バイポーラ劣化前の SiC MOSFET の内蔵ダイオードのオン電圧  $V_f$  は(4.1)式で与えられる。なお、オン電圧は順方向電流密度が  $115 \text{ A/cm}^2$  となるアノード電極とカソード電極間の電圧で定義した。

$$V_f = JR_0 \quad \dots (4.1)$$

バイポーラ劣化後の SiC MOSFET の内蔵ダイオードのオン電圧  $V_f'$  は、(4.2)式で与えられる。 $R'$  は 1SSF でない領域と 1SSF の領域の両方を含むオン抵抗である。

$$V_f' = JR' \quad \dots (4.2)$$

バイポーラ劣化した SiC MOSFET では、図 4-3 に示すように、1SSF でない領域と 1SSF の領域の抵抗値に応じて電流が流れる。 $R_0$ と $R_{SF}$ は並列に接続されているため、 $V_f'$ は(4.3)式、(4.4)式のように変形できる。なお、この計算では簡単のためにチップ内の 1SSF の分布には重複がないものとしている。

$$V_f' = JS \frac{1}{\frac{1}{\frac{R_0}{S-S_{SF}} + \frac{1}{R_{SF}}}} \quad \dots (4.3)$$

$$= JS \frac{R_0 R_{SF}}{R_0 R_{SF} + R_{SF}(S - S_{SF})} \quad \dots (4.4)$$

バイポーラ劣化前と後のオン電圧のシフト量 $\Delta V_f$ は式(4.1)と式(4.4)から導かれる式(4.5)と式(4.6)で与えられる。

$$\Delta V_f = V_f' - V_f \quad \dots (4.5 \text{ 式})$$

$$= JR_0 S_{SF} \frac{1 - \frac{R_0}{R_{SF}}}{S - S_{SF}(1 - \frac{R_0}{R_{SF}})} \quad \dots (4.6)$$

$R_0$ はバイポーラ劣化前の内蔵ダイオードの順方向電気特性から求められる。よって、 $R_{SF}$ と $S_{SF}$ の値を得ることで、 $\Delta V_f$ は導出できる。SiC MOSFET 内蔵ダイオードの $R_{SF}$ と $S_{SF}$ は電気的特性評価と PL イメージング法により求めた。PL 評価は、SiC MOSFET の電極などの構造物をウェットエッチングで除去してから、室温で実施した。BPD と 1SSF を明るいコントラストとして観察できる 750 nm のロングパスフィルタと 420 nm のバンドパスフィルタを用いた。

バイポーラ劣化中の $S_{SF}$ は一定ではなく、時間と共に変化する。内蔵ダイオード動作時は、ある拡張速度で BPD が 1SSF に拡張し、 $S_{SF}$ が徐々に増加することで、内蔵ダイオードのオン電圧が徐々に増加しバイポーラ劣化が起こる。バイポーラ劣化中の $S_{SF}$ を定量的に表現するために、SiC エピ層を伝播する BPD が 1SSF に拡張する過程を、UV 光の連続照射により明らかにした。UV 照射の条件は第 3 章に示すものと同様であり、励起光の照射強度は約 2 W/cm<sup>2</sup> である。得られた拡張過程を用いることで、 $S_{SF}$ は 1SSF の拡張速度、BPD の数、内蔵ダイオードの動作時間をパラメータとして表現できる。例えば、1SSF の拡張速度が速ければ $S_{SF}$ の増加速度も速くなる。BPD の数が多いと拡張する 1SSF の数も多くなるので、 $S_{SF}$ は大きくなる。また、内蔵ダイオードの動作開始直後では $S_{SF}$ は小さく、開始から時間がたつと $S_{SF}$ は大きくなる。以上のように、基本パラメータである $R_0$ 、 $R_{SF}$ と $S_{SF}$ を求めることで、 $\Delta V_f$ の時間変化を 1SSF の拡張速度、BPD の数、内蔵ダイオードの動作時間の関数としてモデル化できる。

1SSF の拡張速度は、SiC MOSFET の内蔵ダイオードのバイポーラ劣化特性を、作成した $\Delta V_f$ のモデルにフィッティングすることで抽出した。様々なストレス条件で通電試験を実施することで、1SSF 拡張速度のストレス条件依存性を得て、スクリーニング試験の具体的な電流密度・温度・通電時間の指針を導出した。

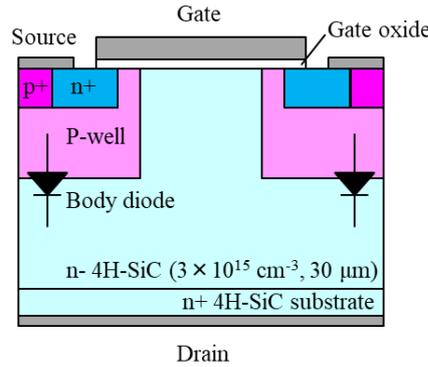


図 4-2 試作した MOSFET の断面模式図

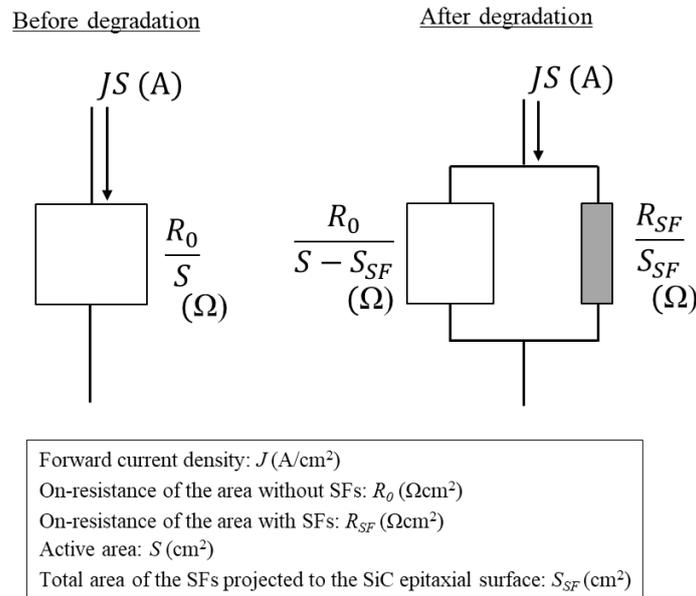


図 4-3 SiC MOSFET 内蔵ダイオードにおけるバイポーラ劣化前後の簡易的な回路図

続いて、SiC エピ層の品質がスクリーニング試験結果に与える影響を調べた。デバイス試作前にあらかじめ SiC エピ層内を PL イメージング法により評価し、SiC MOSFET の素子内に含まれる BPD の個数を調べ、MOSFET 試作後に実施したスクリーニング試験の結果と比較した。その後、バイポーラ劣化した SiC MOSFET について、結晶欠陥を PL イメージング法、KOH エッチング法、そして X 線トポグラフィ法を用いて分析し、バイポーラ劣化の原因を調査した。PL は 1SSF を明るいコントラストとして観察できる 420 nm のバンドパスフィルタを用いて室温で評価した。また、KOH エッチングにより、結晶表面に現れるピットの形状を観察することで欠陥の種類を判別した。X 線トポグラフィ観察は九州シンクロトロン光研究センター(SAGA-LS)の BL09 で行い、放射光の白色 X 線を Si (111) 2 結晶モノクロメータにより単色化した X 線を用いた。X 線はサンプル表面に低角度で入射し、約 90°の回折角を持つ条件を選定する低角入射の条件を採用した。低角度入射の条件では、X 線の波長と反射面を選択することで、サンプル表面からの X 線の侵入深さを調整することができる。サンプルで回折された X 線は X 線フィルムを用いて検出した。X 線トポグラフィ法は結晶格子の局所的な歪を像として可視化する。転位がある部分は局所的に結晶格子が歪み、回折 X 線の強度に反映されるため、X 線トポグラフィ像から転位の分布を評価できる。本研究では、30 μm のエピ膜と、その下の基板まで観察ができるよう、X 線のエネルギーと回折ベクトルを、それぞれ 11 keV と  $g = 11\bar{2}12$  と設定した。この条件では SiC 表面からおおよそ 50 μm の領域を観察できる[5]。

#### 4.4 積層欠陥部の抵抗の温度依存性

SiC MOSFET の内蔵ダイオードに、順方向電流密度( $J$ )を  $120 \text{ A/cm}^2$ 、接合部の温度( $T_j$ )を  $175^\circ\text{C}$  と設定し、3 時間の通電試験を行った。これは、SiC エピ層に伝播する BPD から 1SSF が拡張し、飽和するのに十分な通電条件である。その後、SiC MOSFET の電極などの構造物を除去し、PL 評価を実施した。得られた結果からエピ層中の BPD から拡張した 1SSF の個数と総面積( $S_{SF}$ )を評価した。ここで、エピ層を伝播する BPD が 1SSF へ拡張する場合、拡張が飽和すると  $60^\circ$ 、 $30^\circ$ 、 $90^\circ$  を各頂点の角度にもつ直角三角形になる[6]。1SSF は基底面に沿って拡張するため、本研究で用いている 4 度オフの  $30 \mu\text{m}$  のエピ膜の場合、この直角三角形を SiC 表面へ投射した面積は  $0.0016 \text{ cm}^2$  となる。

図 4-4 (a)に通電試験により発生した SiC MOSFET 内蔵ダイオードのオン電圧のシフト量と  $S_{SF}$  の関係を示す。オン電圧はゲート電圧  $V_g$  を  $0 \text{ V}$  にして測定し、 $T_j$  は  $25^\circ\text{C}$  とした。 $S_{SF}$  が大きくなるにつれて、内蔵ダイオードのシフト量が大きくなる。図 4-4 (b)および(c)には、(a)内に“(i)”のラベルで示すサンプルについて、通電試験の前後における MOSFET および内蔵ダイオードの順方向電気特性を示す。通電試験中に拡張した 1SSF により、MOSFET と内蔵ダイオードの順方向特性が劣化し、バイポーラ劣化していることがわかる。図 4-4 (a)内に“(i)”のラベルで示すサンプルは、通電試験前に  $J$  が  $115 \text{ A/cm}^2$  で、 $R_0$  が  $0.046 \Omega\text{cm}^2$  と測定された。また、 $S$  は  $0.27 \text{ cm}^2$  である。加えて、通電試験後の電気特性評価と PL 評価から、オン電圧のシフト量と  $S_{SF}$  はそれぞれ  $0.39 \text{ V}$  と  $0.0067 \text{ cm}^2$  であった。これらの値を(4.6)式に代入することで、 $R_{SF}$  を求めることができ、 $0.064 \Omega\text{cm}^2$  と見積もられた。本研究では、室温での  $R_{SF}$  は  $R_0$  の約 1.4 倍程度と得られたが、文献[7]ではシミュレーションから約 2 倍程度と報告されている。文献[7]では、1SSF の領域を 3C-SiC とし、その厚みを  $0.5 \text{ nm}$  とし、ドリフト層の濃度と膜厚を  $2 \times 10^{14} \text{ cm}^{-3}$ 、 $120 \mu\text{m}$  とし、1SSF を有する PN ダイオードの特性を求めている。本研究で得られた  $R_{SF}/R_0$  の文献値との差は、コンタクト部を含むデバイス設計や、キャリア寿命・移動度の違いによるものと考えられる。加えて、本研究では、1SSF が動作領域全体を遮ることは想定しておらず、内蔵ダイオードに流れる電流は 1SSF がない正常部の領域が支配的になるため、1SSF の順方向特性への影響は小さくなることも原因として考えられる。 $J$ 、 $R_0$ 、 $R_{SF}$ 、 $S$  を(4.6)式に代入し、オン電圧のシフト量と  $S_{SF}$  の関係を計算した結果を図 4-4 (a)内に重ねて示す。(4.6)式から計算されたオン電圧のシフト量は、実験結果とよく一致しており、図 4-3 に示した簡易的なモデルでオン電圧のシフト量を予測できることがわかった。

同様に、通電試験前後の電気特性評価と PL 評価を組み合わせることで  $R_{SF}$  の温度依存性を求めた結果を図 4-5 に示す。図 4-5 (a)(b)では、 $V_g$  をそれぞれ  $0 \text{ V}$  と  $-10 \text{ V}$  としている。MOSFET の構造上、 $V_g$  を  $0 \text{ V}$  とした場合、MOSFET のチャネルを通して電子電流がわずかに流れる。 $V_g$  を  $-10 \text{ V}$  とした場合はそれは完全に遮断されるため、 $R_0$  と  $R_{SF}$  は図 4-5 (b)の方が (a)よりも大きな値となる。また、内蔵ダイオードはバイポーラデバイスであり、温度とともにキャリアが増えるので  $R_0$  と  $R_{SF}$  は  $T_j$  とともに小さくなる。 $R_0$  と  $R_{SF}$  の差に着目すると、その差は  $T_j$  とともに小さくなり、 $R_0$  の値が  $R_{SF}$  の値に近づく。これは、 $T_j$  が高い場合はフェルミ順位がミッドギャップに近くなり、同じ電流密度では 1SSF の準位にトラップされる電子が減るためである[8-9]。

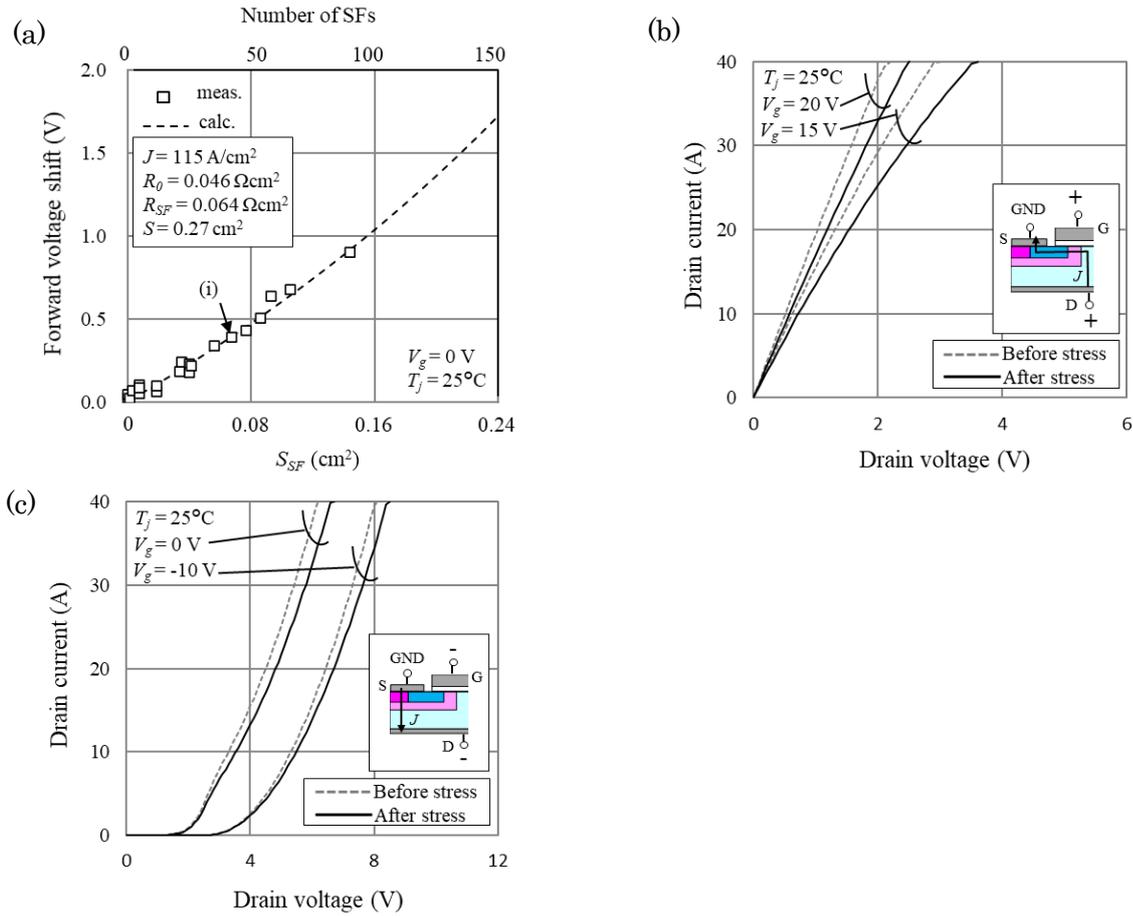


図 4-4 (a) SiC MOSFET 内蔵ダイオードのオン電圧のシフト量と $S_{SF}$ の関係。(b) (a)内に“(i)”のラベルで示すサンプルの通電試験前後の MOSFET の順方向電気特性 (c) (a)内に“(i)”のラベルで示すサンプルの通電試験前後の内蔵ダイオードの順方向電気特性

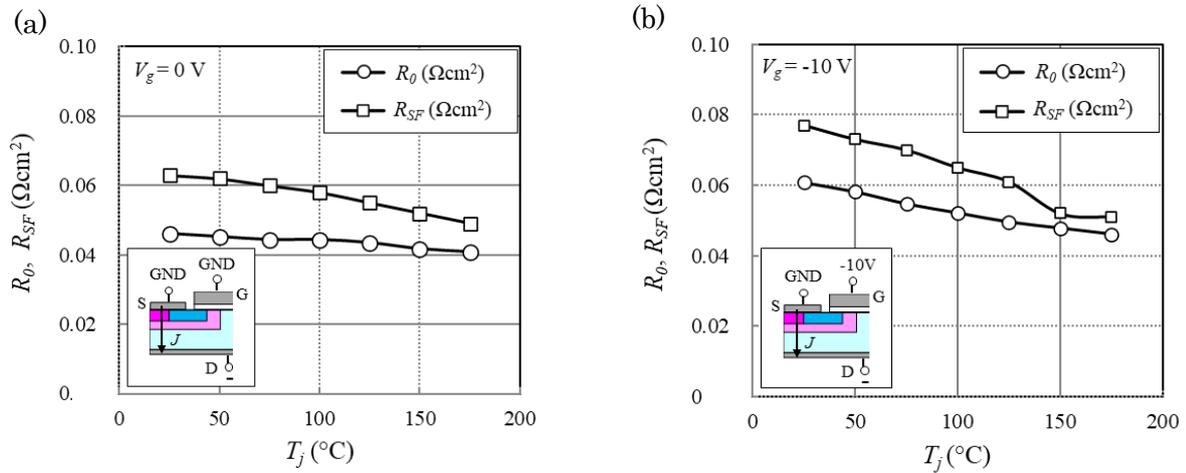


図 4-5  $R_0$ と $R_{SF}$ の温度依存性 (a)  $V_g$ を 0 V とした場合 (b)  $V_g$ を -10 V とした場合

#### 4.5 エピ層を伝播する BPD が積層欠陥に拡張する様子

SiC エピ層を伝播する BPD が 1SSF に拡張する際、 $S_{SF}$  は時間と共に大きくなり、やがて飽和する。バイポーラ劣化中の  $S_{SF}$  を定量的に表現するために、SiC エピ層を伝播する BPD が 1SSF に拡張する過程を、UV 光の連続照射により調べた。MOSFET 製造後、通電試験を実施していない SiC MOSFET チップの中で、チップ内にエピ層を伝播する BPD を含むものを選別し、UV 光を約 12 時間連続照射した。図 4-6(a) は 385 nm のロングパスフィルタで得られた BPD が 1SSF に拡張する過程を示す。図 4-6(b) は 420 nm のバンドパスフィルタで得られた図 4-6(a) と同じ領域の PL 像であり、UV 光の連続照射前後の状態を示す。照射前後で 1SSF が拡張していることが確認できる。

図 4-7 は UV 光の連続照射から得られた、エピ中を伝播する BPD から 1SSF が拡張する様子の模式図を示す。本研究は、4 度オフの  $30\ \mu\text{m}$  のエピ膜を使用しているため、直角三角形の 1SSF の  $\langle 11\bar{2}0 \rangle$  方向の辺の長さは  $430\ \mu\text{m}$ 、 $\langle 1\bar{1}00 \rangle$  方向の辺の長さは  $743\ \mu\text{m}$  となる。これらの結果から、SiC エピ層を伝播する BPD から拡張する 1SSF の形状は、拡張開始直後はひし形(図 4-7 の(i)で示す)で、途中から多角形と台形になり(図 4-7 の(ii)と(iii)で示す)、最終的には直角三角形になることがわかった。1SSF は基底面に沿って、エピ層下面から SiC 表面の向きに拡張し、SiC 表面に到達するとそれ以上の拡張はない[6]。1SSF 拡張の過程を  $\langle 11\bar{2}0 \rangle$  方向と  $\langle 1\bar{1}00 \rangle$  方向に投射することで、 $\langle 11\bar{2}0 \rangle$  方向と  $\langle 1\bar{1}00 \rangle$  方向における 1SSF の拡張速度を求めた結果、それらの拡張速度はほとんど等しく、その値は約  $35\ \mu\text{m}/\text{hour}$  であった。SiC エピ層を伝播する BPD は、図 4-7 で確認されたように直角三角形の 1SSF に拡張する。この BPD は、SiC エピ層の中で最も多いとされる BPD であり、そのバーガーズベクトルは  $b = (\pm 1/3)[11\bar{2}0]$  である[6]。本研究では、簡単のためにチップ内の 1SSF の分布には重複がないものを想定しているため、PL 評価により 1SSF の重複がない、或いは少ないサンプルを意図的に選んだ。

図 4-6 と図 4-7 で得られた BPD から 1SSF への拡張過程を用いて、 $S_{SF}$  を 1SSF の拡張速度、BPD の数、内蔵ダイオードの動作時間をパラメータとして計算した結果を図 4-8 に示す。この計算では、 $\langle 11\bar{2}0 \rangle$  方向と  $\langle 1\bar{1}00 \rangle$  方向における 1SSF の拡張速度は同じ値とし、例えば  $80\ \mu\text{m}/\text{min}$  としている。BPD の数が多いほど  $S_{SF}$  は大きくなる点、時間が経つほど  $S_{SF}$  は大きくなる点、最終的には拡張が飽和するため  $S_{SF}$  も飽和する点が表現できている。

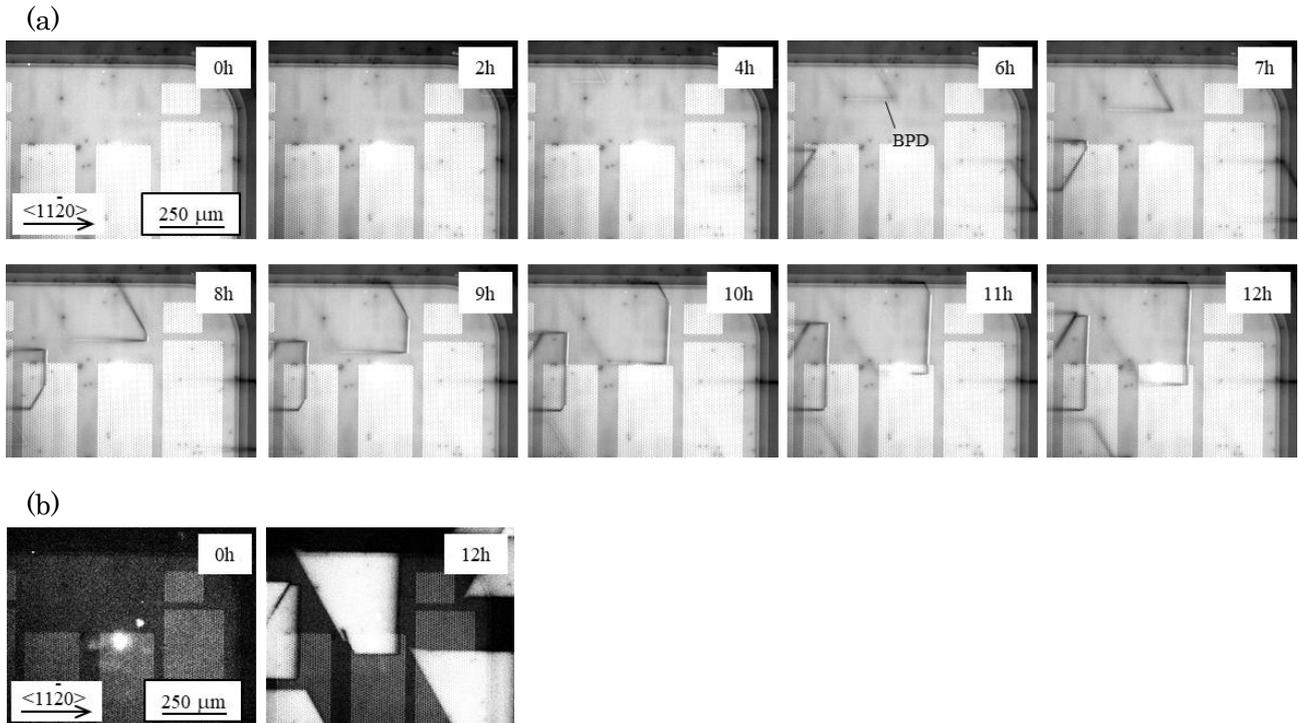


図 4-6 (a) SiC エピ層中を伝播する BPD が 1SSF に拡張する様子 (385 nm ロングパスフィルタ)  
 (b) UV 光の連続照射前後の PL 像 (420 nm バンドパスフィルタ)

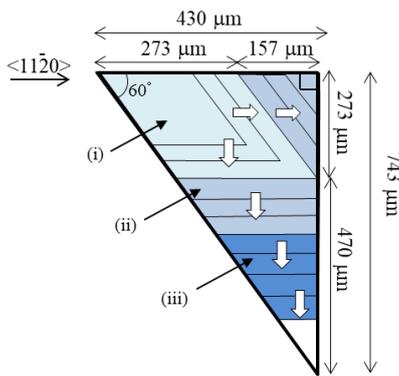


図 4-7 SiC エピ層中を伝播する BPD から 1SSF が拡張する様子を表す模式図

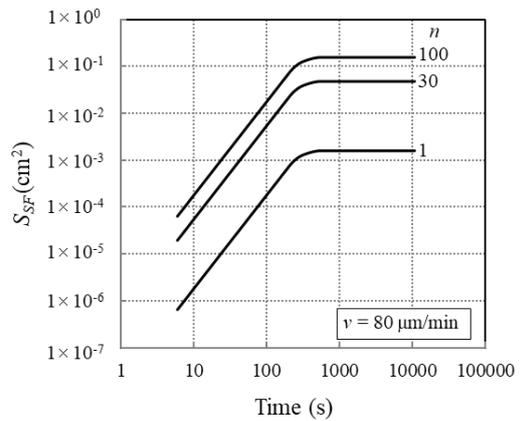


図 4-8  $S_{SF}$  の時間依存性。1SSF の拡張速度、BPD の数、内蔵ダイオードの動作時間をパラメータとして表示。

#### 4.6 バイポーラ劣化特性の計算値と実験値の比較

前節までで得られた基本パラメータの $R_0$ 、 $R_{SF}$ と $S_{SF}$ を(4.6)式に代入することで、バイポーラ劣化特性、すなわち $\Delta V_f$ の時間変化を計算し、その結果を図 4-9 に示す。ここで、 $T_j$ を  $175^\circ\text{C}$  とし、 $V_g$ を  $0\text{ V}$  とし、 $J$ を  $115\text{ A/cm}^2$  とし、 $R_0$ と $R_{SF}$ は図 4-5 で得られた  $0.041\ \Omega\text{cm}^2$  と  $0.049\ \Omega\text{cm}^2$  を用いた。 $S$ は  $0.27\text{ cm}^2$  である。図 4-9 (a)では $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度を  $80\ \mu\text{m/min}$  と固定し、BPD の数(1SSF の数)を 1, 30, 100 個として $\Delta V_f$ の時間変化を計算した。図 4-9 (b)では BPD の数(1SSF の数)を 30 個と固定し、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度を 30, 80, 130  $\mu\text{m/min}$  として $\Delta V_f$ の時間変化を計算した。BPD の数に応じて $S_{SF}$ が増加するため、図 4-9 (a)に示すように BPD の数に応じて $\Delta V_f$ が早い時間から大きくなり、飽和後の最終的な $\Delta V_f$ も大きくなる。また、1SSF が拡張飽和するまでの時間は、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度に応じて短くなる。そのため、図 4-9 (b)に示すように、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度が大きくなるほど、 $\Delta V_f$ の時間変化が飽和するまでの時間が短くなる。図 4-9 に示した、 $R_0$ 、 $R_{SF}$ と $S_{SF}$ を(4.6)式に代入することで得られたモデルを用いることで、 $\Delta V_f$ を BPD の数、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度、および時間の関数として求めることができる。

続いて、 $\Delta V_f$ の時間変化について、モデルを用いて計算した値と実験値とを比較した。通電試験は、 $T_j$ を  $150^\circ\text{C}$ 、 $V_g$ を  $0\text{ V}$ 、 $J$ を  $120\text{ A/cm}^2$  に設定して実施した。図 4-10 (a)に SiC MOSFET 内蔵ダイオードの $\Delta V_f$ の時間変化を示す。試験した SiC MOSFET は通電試験の電流ストレスによってバイポーラ劣化した。通電試験後、電極などの構造物をウェットエッチングで除去し、PL 評価した結果を図 4-10 (b)に示す。通電試験後の SiC MOSFET 内に直角三角形の 1SSF が多数拡張していることが確認できる。得られた PL 像から $S_{SF}$ を見積ると  $0.072\text{ cm}^2$  であった。なお、見積もった $S_{SF}$ は SiC エピ表面に投影された 1SSF の総面積であるため、図 4-10 (b)で確認される 1SSF が重なった領域は無視している。

$J$ を  $120\text{ A/cm}^2$ (通電試験条件と同じ値)、 $R_0$ と $R_{SF}$ を  $0.041\ \Omega\text{cm}^2$  と  $0.049\ \Omega\text{cm}^2$ (図 4-5 で得られた値)、 $S$ を  $0.27\text{ cm}^2$  として、図 4-9 で示したモデルに代入し $\Delta V_f$ の時間変化を計算した。そして、計算結果を測定した特性にフィッティングさせることで、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度と $S_{SF}$ を見積もった。フィッティング後の計算結果を図 4-10 (a)に重ねて示す。フィッティングの結果、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度は  $65\ \mu\text{m/min}$ 、 $S_{SF}$ は  $0.064\text{ cm}^2$  と見積もられた。 $S_{SF}$ の値は、図 4-10 (b)で示した PL 像から見積もられた値( $0.072\text{ cm}^2$ )とよく一致した。図 4-10 (a)に示すように、 $\Delta V_f$ の時間変化の計算値は実際の通電試験結果をよく再現した。このように、実際の通電試験で得られる $\Delta V_f$ の時間変化を、計算モデルにフィッティングさせることで、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度と $S_{SF}$ を見積もることができた。

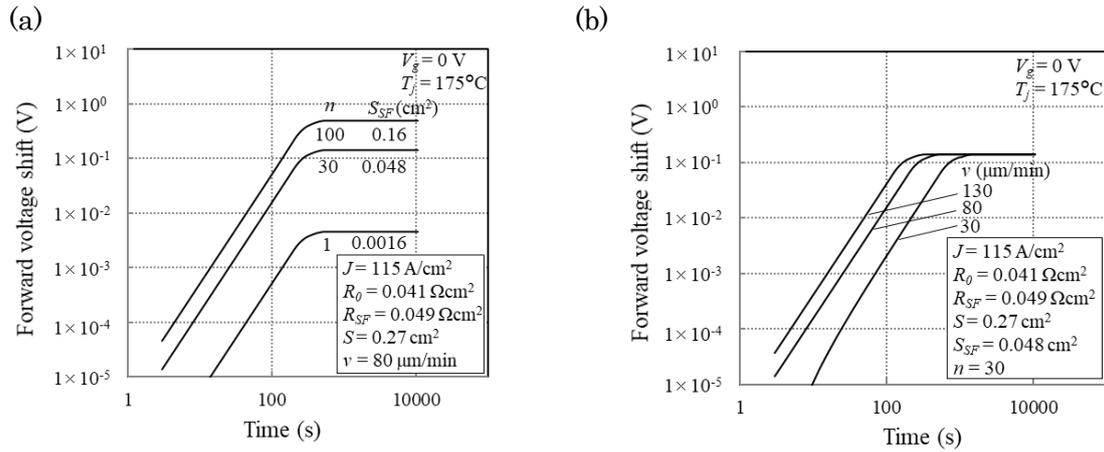


図 4-9  $\Delta V_f$ の時間変化を(a)  $S_{SF}$ , (b) 1SSF 拡張速度の関数として計算した結果

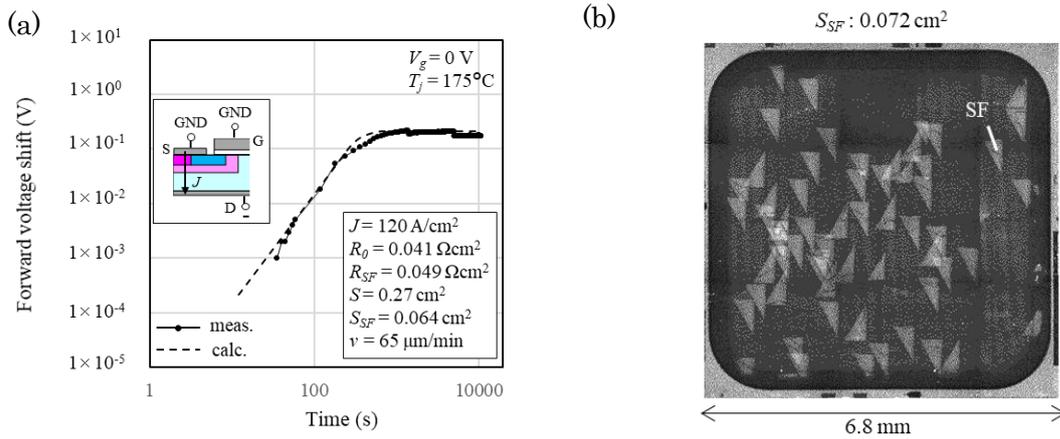


図 4-10 (a)  $\Delta V_f$ の時間変化の計算値と実験値の比較 (b) バイポーラ劣化した SiC MOSFET の PL 像 (420 nm バンドパスフィルタ)

#### 4.7 積層欠陥拡張速度の電流・温度依存性とスクリーニング試験条件

SiC MOSFET の内蔵ダイオードのバイポーラ劣化特性を、作成した $\Delta V_f$ のモデルにフィッティングすることで $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度が抽出できる。そこで、様々なストレス条件で通電試験を実施することで、1SSF 拡張速度のストレス条件依存性を得た。図 4-11 (a)(b)は、それぞれ $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度と $J$ および $T_j$ との関係である。ここで、図 4-11 (a) (b)において、それぞれ $T_j$ を $175^\circ\text{C}$ に、 $J$ を $120 \text{ A/cm}^2$ に固定している。図 4-11 (a)(b)ともに $V_g$ は $0 \text{ V}$ である。 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度は $J$ および $T_j$ とともに大きくなる。 $J$ に関しては、BPD が 1SSF へ拡張するための駆動力である正孔の密度が、 $J$ とともに高まるため、 $J$ に応じて拡張速度が増加したと考える。 $T_j$ に関しては、温度上昇に伴い転位が動くために必要なパイエルス応力(Peierls Stress)が小さくなること、正孔寿命や拡散長が長くなることが 1SSF の拡張速度の増加につながったと考える[10]。

次に、 $V_g$ を $0 \text{ V}$ と $-8 \text{ V}$ に分流し、 $T_j$ を $175^\circ\text{C}$ 、 $J$ を $120 \text{ A/cm}^2$ に設定して通電試験を行った。図 4-12 は SiC MOSFET の内蔵ダイオードの $\Delta V_f$ の時間変化を、 $V_g$ の条件で比較した結果である。作成した $\Delta V_f$ のモデルにフィッティングした結果、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度は、 $V_g$ が $0 \text{ V}$ と $-8 \text{ V}$ の場合でそれぞれ $65 \mu\text{m/min}$ と $100 \mu\text{m/min}$ と抽出され、 $V_g = -8 \text{ V}$ の方が約 1.5 倍大きかった。 $V_g = -8 \text{ V}$ とすると、MOSFET 構造のチャネルを通して流れる電子電流が完全に遮断されるため、全電流に対する正孔電流の割合が増える。BPD が 1SSF へ拡張するための駆動力は正孔であるため、 $V_g = 0 \text{ V}$ よりも正孔電流が増えた $V_g = -8 \text{ V}$ の方が、1SSF 拡張速度が大きかったと考える。通電スクリーニング試験を想定した場合、試験時間が短い方が好ましいので、 $V_g$ に負バイアスを印可して正孔電流の割合を高め、1SSF 拡張速度を大きくすることが望ましい。

図 4-13 に様々な $J$ における 1SSF の拡張速度のアレーニウスプロットを示す。 $J$ が $55 \text{ A/cm}^2$ と $120 \text{ A/cm}^2$ の場合、 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度の自然対数は温度の逆数に対して直線的に変化する。 $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度の活性化エネルギーは、 $J$ が $55 \text{ A/cm}^2$ と $120 \text{ A/cm}^2$ の場合それぞれ $0.24 \text{ eV}$ と $0.25 \text{ eV}$ である。これらは、1SSF の拡張のために必要なエネルギーであり、異なる電流密度においてほぼ等しい値となった。

4. 積層欠陥拡張のモデル化とデバイス高信頼化技術

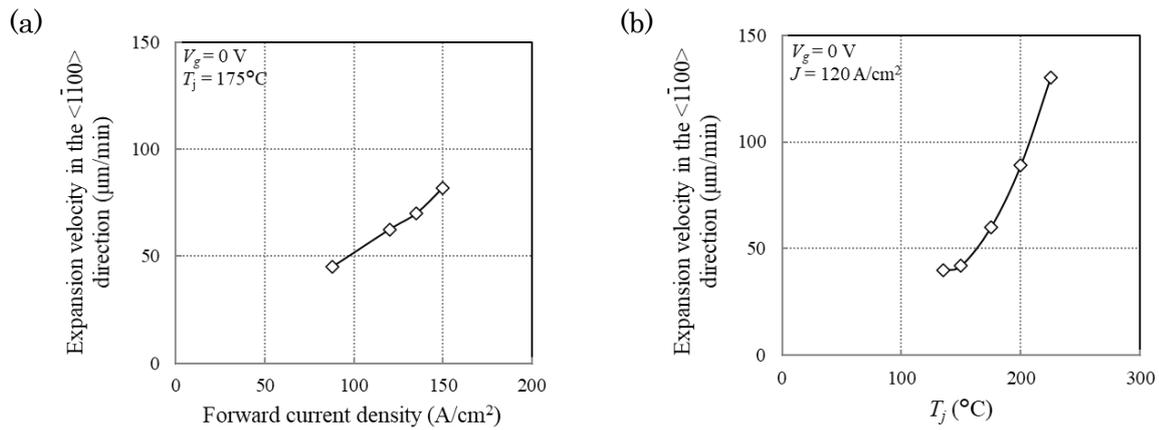


図 4-11  $\langle 1\bar{1}00 \rangle$ 方向における 1SSF の拡張速度と(a)  $J$ および(b)  $T_j$ との関係

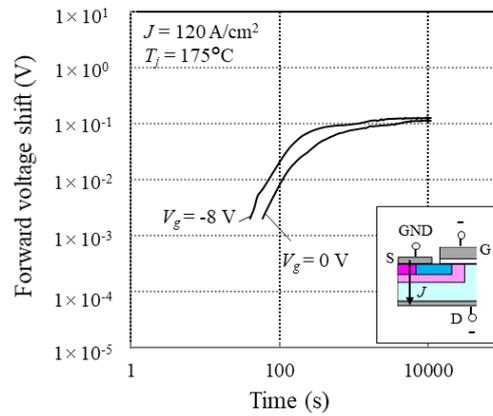


図 4-12 SiC MOSFET 内蔵ダイオードの $\Delta V_f$ の時間変化を $V_g$ の条件で比較した結果

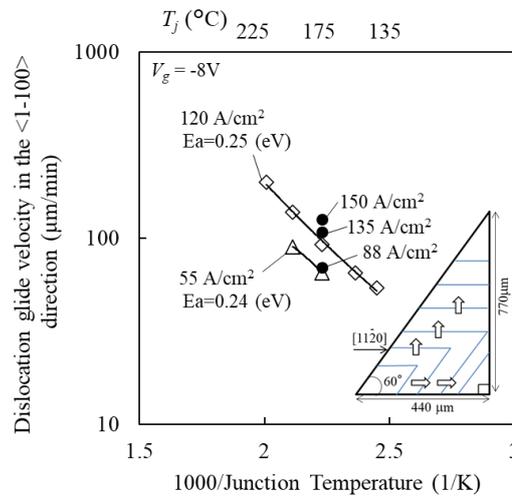


図 4-13 様々な  $J$  における 1SSF の拡張速度のアレーニウスプロット

1SSF 拡張速度のストレス条件依存性から、SiC MOSFET 内蔵ダイオードのに対するスクリーニング試験の具体的な条件を提示した。ここで、スクリーニング試験の長さはエピ中を伝播する BPD が直角三角形の 1SSF に完全に拡張し、内蔵ダイオードの  $\Delta V_f$  の時間変化が飽和するまでの時間と定義した。本研究のスクリーニング試験は、故障率の時間的推移を表すバスタブカーブにおいて、初期故障率を早期に低減させるバーンイン試験的な意味合いを持つ。図 4-11 で得られた関係を用いて、様々な  $J$  および  $T_j$  を想定し、 $\langle 1\bar{1}00 \rangle$  方向における 1SSF の拡張速度を導出した。図 4-7 に示すように、 $30\mu\text{m}$  のエピ膜の場合、直角三角形 1SSF の  $\langle 1\bar{1}00 \rangle$  方向の辺の長さは  $743\mu\text{m}$  であるため、この長さから求めた 1SSF の拡張速度を割ることでスクリーニング試験の長さを算出した。図 4-14 に、異なる  $T_j$  における、SiC MOSFET 内蔵ダイオードの通電スクリーニング試験の長さを  $J$  の関数として示す。ここでは、 $V_g = -8\text{V}$  とした。1SSF の拡張速度は  $J$  および  $T_j$  の増加とともに大きくなるため、図 4-14 に示すように、スクリーニング試験の長さは  $J$  および  $T_j$  の増加とともに短くなる。従って、スクリーニング試験の長さを短くするためには、 $J$  および  $T_j$  を高める必要がある。図 4-14 に示すスクリーニング試験の具体的な電流密度・温度・通電時間の指針を使用することで、製造ラインに合わせた条件を簡単に見積もることができる。

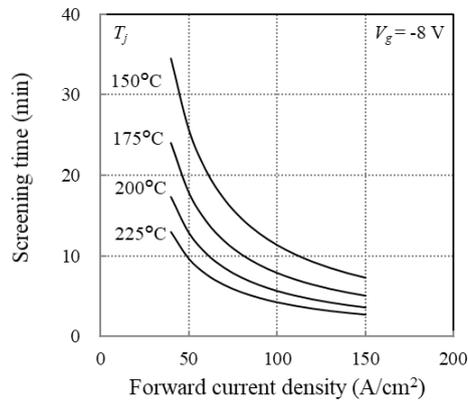


図 4-14 SiC MOSFET 内蔵ダイオードの通電スクリーニング時間と  $J$  との関係

#### 4.8 SiC エピ品質とスクリーニング試験結果の関係とバイポーラ劣化原因

SiC エピ層の品質とスクリーニング試験結果の関係を調べた。SiC MOSFET を試作する前に PL 評価を行い、素子内のエピ層に含まれる BPD の個数を調べ、MOSFET 試作後に実施した内蔵ダイオードに対する通電スクリーニング試験の結果と比較した。通電スクリーニング試験は、図 4-14 に示すスクリーニング試験条件を参考に、内蔵ダイオードの $\Delta V_f$ の時間変化が飽和するまでに必要な時間以上の長さで行った。その後、試験前後の SiC MOSFET のオン電圧のシフト量 $\Delta V_{on}$ を BPD 数と比較した。図 4-15 に SiC MOSFET の $\Delta V_{on}$ の累積度数分布を、チップ内に含まれる BPD の数別に表示する。今回は、オン電圧として、内蔵ダイオードの順方向動作時におけるアノード電極とカソード電極間の電圧 $V_f$ の代わりに、MOSFET の順方向動作時におけるドレイン電極とソース電極間の電圧 $V_{on}$ を用いた。オン電圧のシフト量 $\Delta V_{on}$ は、電圧値に加えて、スクリーニング試験前のオン電圧 $V_{on}$ を基準とした変動割合としても表示した。BPD の数は 0 個、1~5 個、6~10 個、11~個のクラス別に分けた。最大の $\Delta V_{on}$ はそれぞれ 0.09 V(12%)、0.29 V(38%)、0.47 V(60%)、1.2 V(152%)であった。BPD 数が多くなるにつれて $\Delta V_{on}$ は大きく、ばらつきも大きくなる。BPD の数は 0 個は $\Delta V_{on}$ が小さく、ばらつきも小さい。通電スクリーニング試験結果は、SiC エピ層の品質に大きく左右され、バイポーラ劣化による不良率を下げるためにはエピ層を伝搬する BPD 数を減らす必要がある。

図 4-15 に示すように、デバイス試作前の PL 評価で BPD が 0 個であった場合でも、スクリーニング試験後の $V_{on}$ が増加し、バイポーラ劣化したものがあった。BPD が 0 個である SiC MOSFET を約 400 個スクリーニング試験した結果、バイポーラ劣化したチップは 10 チップであった。スクリーニング試験後、電極などの構造物をウェットエッチングで除去して PL 評価した結果、バイポーラ劣化した SiC MOSFET には直角三角形と帯状の ISSF が確認された。そこで、それらのチップについて、X 線トポグラフィ法と KOH エッチング法を用いて結晶欠陥を分析した。

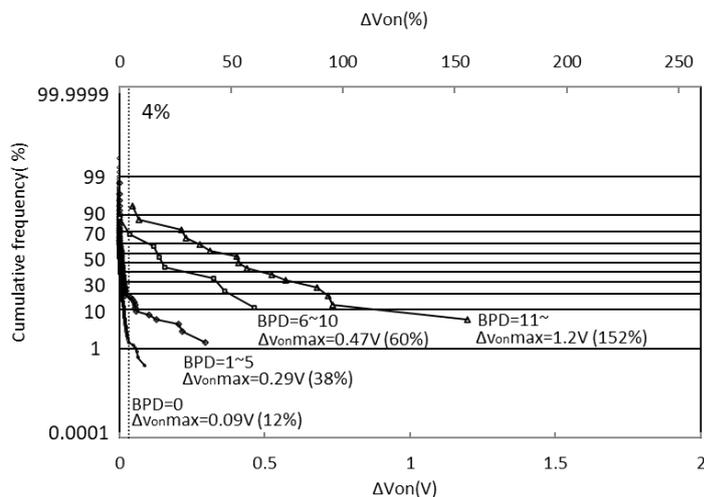


図 4-15 SiC MOSFET の $\Delta V_{on}$ の累積度数分布を素子内に含まれる BPD の数別に表示

スクリーニング試験後に直角三角形 1SSF が確認されたサンプル A と B, 帯状 1SSF が確認されたサンプル C と D の分析を行った。全て、デバイス試作前の PL 評価で BPD が 0 個であったにも関わらず、バイポーラ劣化を示したサンプルである。図 4-16 (a) (b)にサンプル A の, (c) (d)にサンプル B の分析結果を示す。図 4-16(a)(c)は回折ベクトル  $g = 11\bar{2}12$  で得られた X 線トポグラフィー像, (b)(d)は同じ場所の KOH エッチング後の PL 像である。図 4-16(a) (c)の X 線トポグラフィー像には貫通系の転位である TSD や TED とともに、拡張した直角三角形 1SSF が確認できる。大きな白い点は TSD, 小さな点は TED であるが、X 線フィルムで得られる TED のコントラストは非常に小さく、判別するには KOH エッチング法によるピット観察が確かである。図 4-16 (b) (d)の KOH エッチング後の PL 像では、転位部分にエッチピットが確認でき、そのピット形状から TSD と TED が区別できる。拡張した直角三角形 1SSF に着目すると、図 4-16 (a) (c)から  $60^\circ$  頂点につながる BPD が確認できる(図中に黒点線で示す)。PL 評価で観察可能な範囲は SiC エピ層表面から下面までのエピ層のみであるため、X 線トポグラフィー像で確認できた BPD は PL 評価では検出できない。よって、X 線トポグラフィー像で観察された  $60^\circ$  頂点につながる BPD は、基板の中に存在しているが、エピ層には伝播していないと考えられる。また、図 4-16 (b) (d)から、直角三角形 1SSF の  $60^\circ$  頂点付近に TED のピットが確認できる(図中に白丸で示す)。図 4-16 (b) ではちょうど  $60^\circ$  頂点あたりに、(d)では  $60^\circ$  頂点から少しずれた直角三角形 1SSF の底辺上に、TED のピットがある。これより、スクリーニング試験後に直角三角形 1SSF が確認されたサンプル A と B の起点は、基板中の BPD であり、エピ層中では TED として存在することが明らかとなった。

サンプル A と B で確認された直角三角形 1SSF について、分析結果に基づく模式図をそれぞれ図 4-17(a)と(b)に示す。断面図は上面図における点線部分の断面を示す。直角三角形 1SSF の起点となるのは基板中の BPD であり、エピ層中では BPD が TED に変換され、TED として伝播していると考えられる。サンプル B については、BPD-TED 変換点がサンプル A の場合に比べて SiC 表面から浅くに位置しているため、 $60^\circ$  頂点から少しずれた位置に TED のピットが形成されたと考える。図 4-17(a)と(b)に示すような場合は、SiC エピ層に BPD がない、或いは存在しても小さいので、デバイス試作前の PL 評価では BPD が検出されない。スクリーニング試験により、十分な正孔が BPD-TED 変換点まで注入され、1SSF へと拡張することで、バイポーラ劣化したと考える。BPD が TED に変換したとしても、変換点より深い領域への正孔注入により、1SSF が拡張した例は文献[11]で報告されており、同様の現象が起きていると考える。スクリーニング試験において、バイポーラ劣化による不良率を下げるためには、エピ層を伝播する BPD 数を減らす必要があるが、それに加えて、このような TED に変換した BPD からの 1SSF 拡張も考慮する必要がある。

図 4-18 (a) (b)にサンプル C の, (c) (d)にサンプル D の分析結果を示す。図 4-18 (a) (c)はスクリーニング試験後の PL 像, (b)(d)は回折ベクトル  $g = 11\bar{2}12$  で得られた X 線トポグラフィー像である。サンプル C は、図 4-18 (a)の PL 像から帯状の 1SSF が確認できる。図 4-18 (b)の X 線トポグラフィー像から、帯状 1SSF の起点と思われる場所には大きな貫通転位のコントラストがあり、基板中の BPD がそれにつながっていることがわかる。貫通転位とそれにつながる BPD は、図中にそれぞれ黒丸と黒点線で示す。この大きな貫通転位のコントラストはマイクロパイプや TSD の可能性があるが、現状のデータからは判別できない。サンプル D は、図 4-18 (c)の PL 像から、図中(i)(ii)で示す 2 つの帯状 1SSF が確認できる。図 4-18 (d)の X 線トポグラフィー像から、(i)の帯状 1SSF の起点と思われる場所(図中に黒丸で示す)には、貫通転位のコントラストがあるが、周辺に BPD は確認できなかった。(ii)の帯状 1SSF の起点と思われる場所(図中に黒丸で示す)には、転位のコントラストは確認されなかった。

以上、デバイス試作前の PL 評価で BPD が 0 個であったにもかかわらず、スクリーニング試験後に直角三角形 1SSF と帯状 1SSF が確認されたサンプルを分析した結果、直角三角形 1SSF の成因は基板中の BPD であり、エピ層中では TED として伝播すること、帯状 1SSF の起点は貫通転位である/ない場合があります、起点に基板中の BPD がつながっている/いない場合、多様な事例があることがわかった。これらの 1SSF の起源となる BPD は、デバイス試作前の PL 評価では検出することができず、スクリーニング試験によって除外できる。

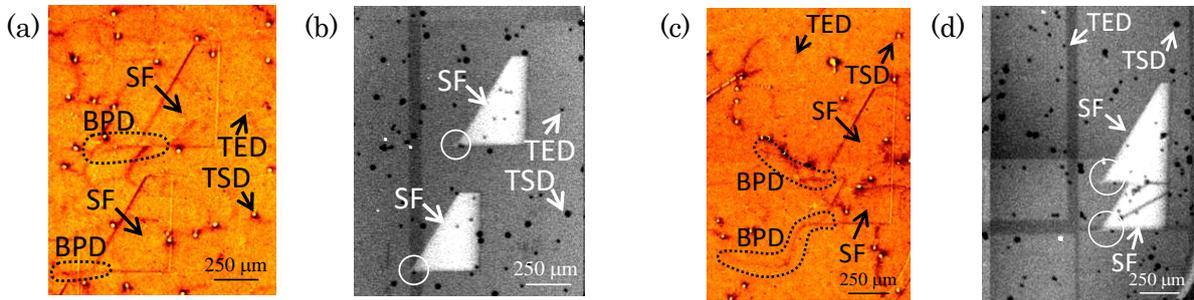


図 4-16 (a) (b) サンプル A の, (c) (d) サンプル B の分析結果。(a) (c) X 線トポグラフィー像 ( $g = 11\bar{2}12$ ) (b) (d) KOH エッチング後の PL 像 (420 nm バンドパスフィルタ)

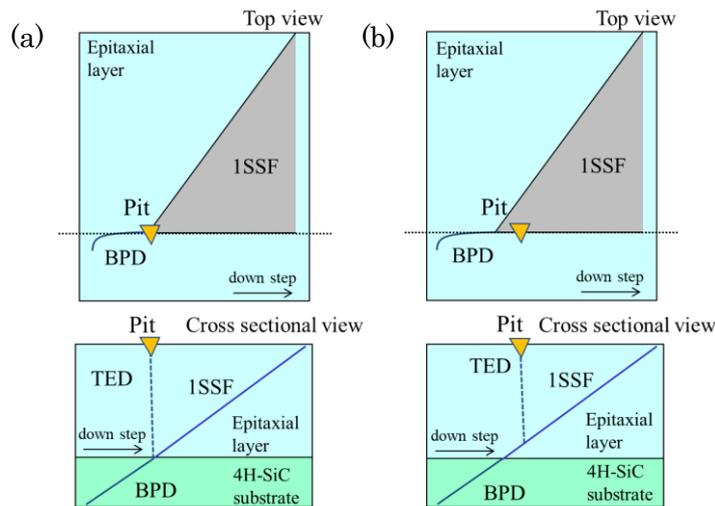


図 4-17 (a) サンプル A と (b) サンプル B の分析結果に基づく模式図

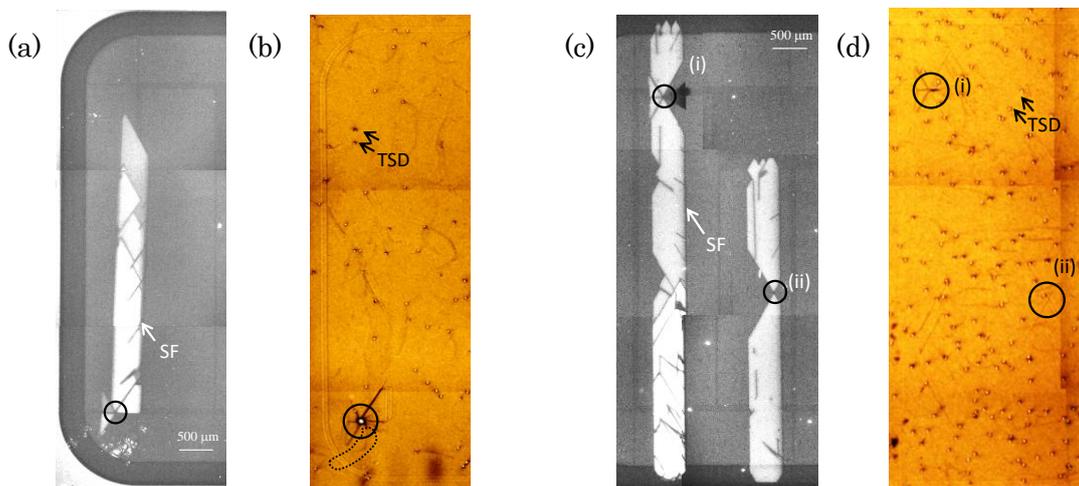


図 4-18 (a) (b) サンプル C の, (c) (d) サンプル D の分析結果。(a) (c) 通電試験後の PL 像 (420 nm バンドパスフィルタ) (b) (d) X 線トポグラフィー像 ( $g = 11\bar{2}12$ )

## 4.9 まとめ

第4章では、SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象を解析し、1SSF 拡張による SiC MOSFET の劣化量を定量的にモデル化すると共に、バイポーラ劣化品を取り除くスクリーニング技術の開発を検討した。加えて、SiC エピ品質とスクリーニング試験結果の関係を調べ、バイポーラ劣化した SiC MOSFET についてその原因を分析した。

BPD はデバイスが製造される前から SiC エピ層に存在しており、素子内に BPD が含まれると、SiC MOSFET 内蔵ダイオード動作中にバイポーラ劣化が起こる。信頼性の高い SiC MOSFET を市場に供給するためには、バイポーラ劣化する不良品を出荷前にあらかじめ排除する、スクリーニング技術の開発が必要であった。

バイポーラ劣化後の内蔵ダイオードは正常部と積層欠陥部の抵抗が並列に接続された状態であり、オン電圧の劣化量は正常部と積層欠陥部の抵抗値と、1SSF の面積をパラメータとしたモデルとして表すことができる。正常部と 1SSF 部の抵抗値は、バイポーラ劣化前後の電気特性評価と、劣化後の PL 評価を組み合わせることで導出した。1SSF の面積は、BPD が 1SSF に拡張する過程で時間とともに増加し、やがて飽和する。UV 光の連続照射により 1SSF の拡張過程を調べ、拡張開始直後はひし形で、途中から多角形と台形になり、最終的には直角三角形になることを明らかにし、1SSF 面積の時間変化を定量的に表現した。得られたパラメータを用いてバイポーラ劣化特性を計算し、実験値と比較した結果、計算値は実際のバイポーラ劣化特性をよく再現した。

様々なストレス条件で通電試験を実施し、作成したモデルにフィッティングすることで 1SSF の拡張速度のストレス条件依存性を得た。1SSF の拡張速度は順方向電流密度および接合温度とともに大きくなる。電流密度の増加に伴う SiC エピ層内の正孔密度の増加や、温度上昇に伴うパイエルズ応力の低下や正孔寿命の増加が、1SSF の拡張速度の増加につながったと考える。得られた 1SSF 拡張速度のストレス条件依存性から、SiC MOSFET 内蔵ダイオードに対するスクリーニング試験の具体的な条件を導出した。スクリーニング試験を短縮するためには、順方向電流密度および接合温度を増加させることが効果的である。スクリーニング試験の具体的な電流密度・温度・通電時間の指針を使用することで、製造ラインに合わせた条件を簡単に見積もることができる。

デバイス試作前の PL 評価でエピ層中に BPD が 0 個であった場合でも、スクリーニング試験で直角三角形や帯状の 1SSF が拡張し、バイポーラ劣化する SiC MOSFET が存在した。直角三角形 1SSF の場合、その原因は基板中の BPD であり、エピ層中で TED として伝播していたことが明らかになった。帯状 1SSF の場合は、起点が貫通転位である/ない場合があり、起点に基板中の BPD が接続されている/いない場合など、多様な事例があり、原因の特定には至らなかった。これらの 1SSF の起源となる BPD は、デバイス試作前の PL 評価では検出することができず、スクリーニング試験によって除外できる。

以上、SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象について検討し、積層欠陥拡張による SiC MOSFET の劣化量は正常部と積層欠陥部の抵抗値と、積層欠陥の拡張速度をパラメータとした物理モデルとして表せることを示した。また、モデルをもとに SiC MOSFET 内蔵ダイオードに対する通電スクリーニング試験の具体的な条件を導出した。

参考文献

- [1] B. Gao and K. Kakimoto, *J. Cryst. Growth* 392, pp. 92-97 (2014).
- [2] B. Gao and K. Kakimoto, *Cryst. Growth Des.* 14, pp. 1272-1278 (2014).
- [3] I. Manning, J. Zhang, B. Thomas, E. Sanchez, D. Hansen, D. Adams, G. Y. Chung, K. Moeggenborg, C. Parfeniuk, J. Quast, V. Torres, and C. Whiteley, *Mater. Sci. Forum* 858, pp. 11-14 (2016).
- [4] J. Senzaki, S. Hayashi, Y. Yonezawa, and H. Okumura, *in proceedings of the International Reliability Physics Symposium*, 3B.3 (2018).
- [5] K. Ishiji, S. Kawado, Y. Hirai, and S. Nagamachi, *Jpn. J. Appl. Phys.* 56, 106601 (2017).
- [6] A. Iijima, I. Kamata, H. Tsuchida, J. Suda, and T. Kimoto, *Phi. Mag.* 97, pp. 2736-2752 (2017).
- [7] 中山 浩二, “4H-SiC バイポーラデバイスにおける結晶欠陥と電気特性の関係に関する研究”, 大阪大学博士論文 (2013).
- [8] Y. Sugawara, Y. Miyanagi, K. Nakayama, K. Asano, S. Ogata, S. Okada, T. Izumi, and A. Tanaka, *in proceedings of the 19th International Symposium on Power Semiconductor Devices & ICs*, pp. 273-276 (2007).
- [9] J.D. Caldwell, R.E. Stahlbush, M.G. Ancona, O.J. Glembocki, and K.D. Hobar, *J. Appl. Phys.* 108, 044503 (2010).
- [10] D. Hull and D.J. Bacon, *Introduction to Dislocations, 5th ed.*, Butterworth-Heinemann, pp. 210-214 (2011).
- [11] K. Konishi, S. Yamamoto, S. Nakata, Y. Toyoda, and S. Yamakawa, *Mater. Sci. Forum* 778-780, pp. 342-345 (2014).

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

### 5.1 緒言

第5章では、SiC中の結晶欠陥がデバイス信頼性に与える影響を動的に観測することを目的に、動作中SiC MOSFETで生じる結晶欠陥の変化を可視化する技術を開発した。SiC MOSFETを適用するアプリケーションによっては、第3章や第4章で想定した以上の駆動電流密度が求められる。その場合、積層欠陥拡張の駆動力である正孔密度が高まるため、SiCエピ表面から深くに位置するBPDを原因としたバイポーラ劣化が起こる。特に、SiC基板はエピ層に比べて非常に多くのBPDが存在するため、基板中BPDから拡張する積層欠陥によるバイポーラ劣化の程度は大きくなる。多様なアプリケーションで通電信頼性を担保するためには、電流密度を変えて通電試験を実施し、観測・解析する必要がある。しかし、通常の試験環境では、動作中SiC MOSFET内部の結晶欠陥の挙動を観察することができず、どの積層欠陥がいつ拡張したかの情報を得ることができない。そこで、動作中デバイスにおける結晶欠陥の挙動を可視化するために、オペランドX線トポグラフィー法を開発した。加えて、本手法で得られた結果を解析することで、電流密度に応じた通電信頼性モデルを構築し、バイポーラ劣化を抑制するエピ設計指針を提示した。

### 5.2 大電流密度で発生するバイポーラ劣化に関する課題

図5-1(a)にSiC MOSFETのオン電圧シフト量と電流密度の関係を示す。3.3kV SiC MOSFETを用いて、内蔵ダイオードに対する順方向電流密度を段階的に増やして通電試験を行った。接合部の温度( $T_j$ )を175°Cに、電流密度を50 A/cm<sup>2</sup>、100 A/cm<sup>2</sup>、500 A/cm<sup>2</sup>に設定した。SiC MOSFETのオン電圧のシフト量は、50 A/cm<sup>2</sup>、100 A/cm<sup>2</sup>、500 A/cm<sup>2</sup>の通電試験後にそれぞれ、0%、1.7%、30%となり、500 A/cm<sup>2</sup>の通電試験後に大きく劣化した。各電流密度での通電試験後に、X線トポグラフィー法により結晶欠陥を評価した結果を図5-1(b)–(d)に示す。これらはX線のエネルギーを10 keV、回折ベクトルを $g = 0\bar{2}210$ として、X線フィルムを用いて得られたX線トポグラフィー像であり、それぞれの像の横には各電流密度で拡張した1SSFの模式図が示されている。50 A/cm<sup>2</sup>と100 A/cm<sup>2</sup>の通電試験後は、それぞれ三角形1SSFが1つ拡張しているのみである。しかし、500 A/cm<sup>2</sup>の通電試験後は、多くの三角形1SSFに加えて帯状1SSFが拡張している。この多くの1SSFの拡張が、図5-1(a)に示すオン電圧の大きな劣化につながる。図5-1(e)は、すべての通電試験後にSiC表面の電極等の構造物を除去し、撮像したPL像であり、図5-1(d)のX線トポグラフィー像と同様に、多くの1SSFが確認できる。なお、図5-1(d)と(e)の比較から、電極を通して撮像したX線トポグラフィー像でも拡張した積層欠陥が問題なく観察できることを確認した。このように、試作したSiC MOSFETは低電流密度(50 A/cm<sup>2</sup>と100 A/cm<sup>2</sup>)ではバイポーラ劣化量が小さく、大電流密度(500 A/cm<sup>2</sup>)では劣化量が大きく、得られた通電信頼性は電流密度によって大きく異なることがわかる。

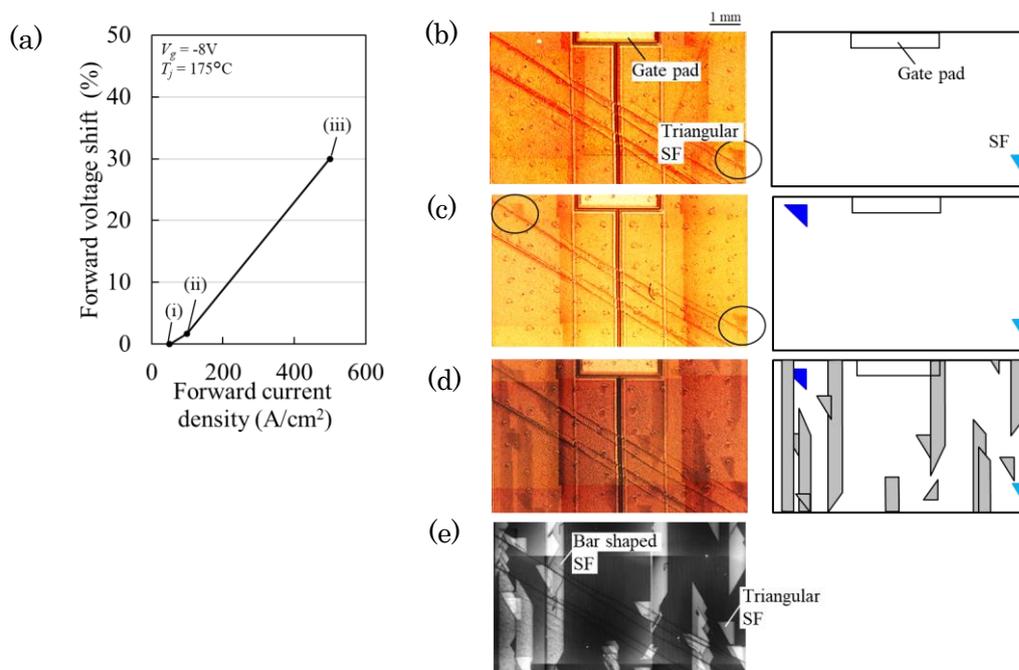


図 5-1 (a) SiC MOSFET のオン電圧シフト量と電流密度の関係。(b)(c)(d) (a)に(i),(ii),(iii)で示す通電試験後に得られた X 線トポグラフィ像 ( $g = 0\bar{2}210$ ) (e)すべての通電試験後に得られた PL 像 (420 nm バンドパスフィルタ)

電流密度に応じた通電信頼性モデルを構築するためには、電流密度を変えて通電試験を実施し、その通電信頼性を観測・解析する必要がある。動作中 SiC デバイスにおいて結晶欠陥の挙動を可視化する手法が必要になる。先行研究として、メッシュ或いはストライプ状に窓があいた特殊なメタル構造を持つ SiC PiN ダイオードと PL 或いは EL (Electro Luminescence) イメージング法を用いた手法が報告されている[1-3]。これらの手法では、窓部分から漏れ出てくる光を PL 或いは EL 評価装置で検出することにより、1SSF の拡張を観察している。1SSF 拡張の駆動力については、実験的・解析的な報告がされており、拡張速度が注入された過剰少数キャリア(本研究の場合は正孔)に強く依存することが明らかにされている[1, 4-5]。また、1SSF の拡張に必要な正孔密度のしきい値は  $(1.6-2.5) \times 10^{16} \text{ cm}^{-3}$  と報告されている[1]。更に、大電流密度で拡張した 1SSF を分析し、拡張起点は基板の中に位置する BPD-TED 変換点であること、拡張起点の BPD-TED 変換点はダイオードに流す電流密度に応じて深くなることが実験的に明らかにされている[6-7]。

これらの先行研究を考慮すると、図 5-1(a)で示した大電流密度でのオン電圧の大きな劣化は、BPD が多く存在する SiC 基板まで正孔が供給され、それらが 1SSF に拡張したと考えられる。このように、SiC MOSFET の駆動電流密度が大きくなると、1SSF 拡張の駆動力である正孔密度が高まり、より奥深くまで高密度の正孔が供給されるため、SiC エピ表面から深くに位置する BPD を原因とするバイポーラ劣化が懸念される。特に、SiC 基板はエピ層に比べて非常に多くの BPD が存在するため、基板中 BPD から拡張する 1SSF によるバイポーラ劣化の程度は大きくなる。

SiC MOSFET に対して、電流密度を変えて通電信頼性を評価する場合、PiN ダイオードで使用されている窓あき構造の適用は難しい。SiC MOSFET は、PiN ダイオードに比べてデバイス構造が複雑であり、素子内にメッシュ状にゲート電極やソース電極が形成されている。このため、窓あきメタル構造を適用しても、ゲート電極やソース電極が光を遮蔽するため、PL 或いは EL で 1SSF の拡張を観察することはできない。従って、SiC MOSFET の電流密度に応じたバイポーラ劣化現象に関して、有効な解析手法は

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

これまで開発されていなかった。図 5-1 の実験のように、通電試験と X 線トポグラフィー評価を繰り返す方法により、電流密度に応じたバイポーラ劣化現象を簡易的には評価可能であるが、通電試験前後のわずかな情報しか取得できない。また、起源となる BPD の構造の違いにより、1SSF の拡張が遅れる場合も報告されており、このような情報を得るためにはリアルタイムに可視化できる解析手法が効果的である[8]。動作中の SiC MOSFET における結晶欠陥の挙動を動的に可視化することで、電流密度が変化した際の過渡的な結晶欠陥の変化を知ることができ、実動作条件下での通電信頼性を検証できる。本目的のために、オペランド X 線トポグラフィー法を開発した。開発した手法を用いて、SiC MOSFET 内で 1SSF がいつ、どこで、どのように拡張するかを可視化し、電流密度を変えた場合の結晶欠陥の変化を詳細に解析した。また、拡張した 1SSF を分析することで、電流密度に応じた通電信頼性モデルを構築し、バイポーラ劣化を抑制するエピ設計指針を導出した。

### 5.3 実験方法

オペランド X 線トポグラフィー観察の事前準備として、内蔵ダイオードへの通電条件を選定した。まず、MOSFET 内部における正孔密度の電流密度依存性をシミュレーションから求め、各電流密度において 1SSF 拡張に必要な正孔がどの程度の深さまで存在するかを明らかにした。シミュレーションに必要なパラメータは SiC PiN ダイオードを試作し、その電気特性から抽出した。次に、観察対象となる SiC MOSFET を試作し、選定した条件でオペランド X 線トポグラフィー観察を実施した。得られた情報を詳細に解析することで、動作中 SiC MOSFET 内部の結晶欠陥の変化を明らかにし、1SSF 拡張速度の電流密度依存性を求めた。また、拡張した 1SSF の起点を分析することで、電流密度に応じた通電信頼性モデルを作成し、実験結果と比較することでモデルの検証をした。最後に、バイポーラ劣化を抑制する SiC エピ層の設計方法を示した。この一連の実験方法について、その詳細を順を追って以降に示す。

#### 5.3.1 試作した SiC PiN ダイオードと SiC MOSFET

SiC MOSFET 内蔵ダイオードへの通電条件を選定するにあたり、MOSFET 内部の正孔密度の電流密度依存性をシミュレーションにより求めた。この際、SiC エピ層における正孔寿命が必要である。低濃度の n 型 SiC では、炭素空孔である  $Z_{1/2}$  センターがライフタイムキラーとして知られており、 $Z_{1/2}$  センターの密度は活性化アニールなどの高温工程によって変わることが報告されている[9]。そこで、活性化アニール工程を含むすべての製造工程を経験した SiC PiN ダイオードを作成し、その電気的特性から SiC エピ層における正孔寿命を抽出した。また、オペランド X 線トポグラフィー観察において、観察対象となる SiC MOSFET も試作した。

図 5-2(a)-(c)はそれぞれ試作した SiC PiN ダイオードの断面模式図、SiC MOSFET の鳥観図と断面模式図である。4 度オフの Si 面 SiC 基板上に、表 5-1 に示す様々な仕様でエピ層が成膜されている。デバイスの機能領域であるドリフト層は SiC PiN ダイオードと SiC MOSFET でエピ仕様が異なる。表 5-1 の番号 1 で示すように、SiC PiN ダイオードのドリフト層の窒素濃度と膜厚は  $1 \times 10^{15} \text{ cm}^{-3}$ 、 $10 \mu\text{m}$  である。SiC 基板とドリフト層の界面に形成されるバッファ層の窒素濃度と膜厚は、 $1 \times 10^{18} \text{ cm}^{-3}$ 、 $3 \mu\text{m}$  である。表には記載していないが、ドリフト層の上面に形成された p+エピ層の Al 濃度と膜厚は、 $1 \times 10^{19} \text{ cm}^{-3}$  程度、 $2 \mu\text{m}$  である。PiN ダイオードの素子終端部は、ドライエッチング加工によりメサ構造が形成され、Al のイオン注入により JTE(Junction Termination Extension)領域と p+領域が形成されている。これらは、逆方向動作時に、電極終端部の電界集中を緩和して耐圧を保持する機能を持つ[10]。イオン注入後は、

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエビ設計

第3章と同じ製造プロセスを用い、活性化アニール工程、犠牲酸化工程を経てアノード電極とカソード電極を形成した。試作した SiC PiN ダイオードの定格容量は約 20 A である。

表 5-1 の番号 2 から 4 で示すように、SiC MOSFET のドリフト層の窒素濃度と膜厚は  $3 \times 10^{15} \text{ cm}^{-3}$ , 30  $\mu\text{m}$  である。バッファ層については 3 種類使用した。番号 2 のバッファ層の窒素濃度と膜厚は  $1 \times 10^{18} \text{ cm}^{-3}$ , 1  $\mu\text{m}$  であり、これはオペランド X 線トポグラフィ観察に用いた。番号 3 のバッファ層の窒素濃度と膜厚は  $1 \times 10^{18} \text{ cm}^{-3}$ , 3  $\mu\text{m}$  である。また、番号 4 のバッファ層は 2 層構造であり、その窒素濃度と膜厚は、上側が  $5 \times 10^{18} \text{ cm}^{-3}$ , 5  $\mu\text{m}$ , 下側が  $1 \times 10^{18} \text{ cm}^{-3}$ , 3  $\mu\text{m}$  である。番号 3 と 4 の SiC MOSFET はシミュレーションモデルの検証用や、高窒素濃度層挿入によるバイポーラ劣化の抑制効果を確認するために用いた。番号 2 から 4 で示す MOSFET の構造と製造プロセスは、第 3 章で述べたものと同じであり、窓あき電極のような特殊な構造は用いていない。試作した SiC MOSFET の定格容量は約 30 A である。

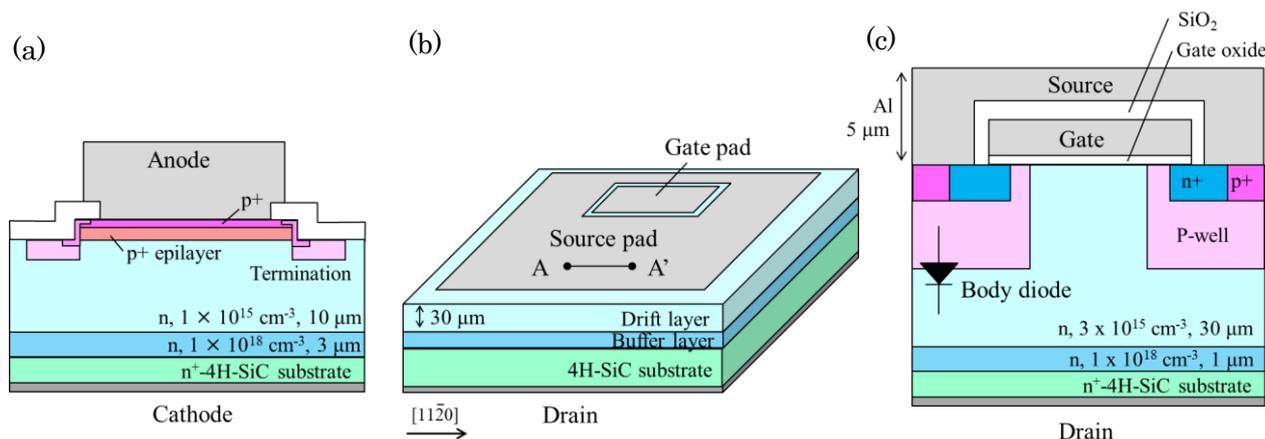


図 5-2 (a) SiC PiN ダイオードの断面模式図 (b)(c) SiC MOSFET の鳥瞰図と断面模式図

表 5-1 試作した SiC PiN ダイオードと SiC MOSFET のエビ仕様

No.	Device type	Buffer layer	Drift layer
1	SiC PiN diode	n-type, $1 \times 10^{18} \text{ cm}^{-3}$ , 3 $\mu\text{m}$	n-type, $1 \times 10^{15}$ , 10 $\mu\text{m}$
2	SiC MOSFET	n-type, $1 \times 10^{18} \text{ cm}^{-3}$ , 1 $\mu\text{m}$	n-type, $3 \times 10^{15}$ , 30 $\mu\text{m}$
3		n-type, $1 \times 10^{18} \text{ cm}^{-3}$ , 3 $\mu\text{m}$	
4		n-type, $5 \times 10^{18} \text{ cm}^{-3}$ , 5 $\mu\text{m}$ / n-type, $1 \times 10^{18} \text{ cm}^{-3}$ , 3 $\mu\text{m}$	

## 5.3.2 シミュレーション構造とそれに用いたエピ仕様

オペランド X 線トポグラフィ観察における通電条件は、シミュレーション結果をもとに選定した。エピ層中で TED に変換された BPD は、BPD-TED 変換点付近の正孔密度がしきい値を超えることで 1SSF に拡張する[6-7]。正孔密度は SiC MOSFET を流れる電流密度によって変化する。従って、例えば基板中の BPD からの 1SSF 拡張を観察したい場合、電流密度を調整して基板中の正孔密度をしきい値以上にすればよい。この調整のためには、MOSFET 内部における正孔密度の電流密度依存性が必要となる。SiC MOSFET 内部の正孔密度分布を得るためには、SiC ドリフト層における正孔寿命が必要である。そのため、試作した SiC PiN ダイオードの順方向特性から、窒素濃度が  $1 \times 10^{15} \text{ cm}^{-3}$  の場合の正孔寿命を見積もった。シミュレーションは市販のシミュレータである Synopsys 社の Sentaurus を使用した。図 5-3 にシミュレーションに使用した SiC PiN ダイオード構造を示す。シミュレーションで用いた構造は、コンタクト層、p-well 層、ドリフト層、バッファ層、および SiC 基板から構成されている。シミュレーションに使用した主なパラメータを表 5-2 に示す。各領域の不純物濃度や厚さは試作した SiC PiN ダイオードと同じに設定した。また、ドリフト層、バッファ層、および SiC 基板における室温での正孔寿命は文献[11]で報告されている値を用いた。SiC PiN ダイオードから抽出された正孔寿命を用いて、内蔵ダイオード動作時の SiC MOSFET 内部における正孔分布をシミュレーションにより求めた。シミュレーションの構造は図 5-3 と同じであり、ドリフト層、バッファ層の窒素濃度と膜厚は、表 5-1 に示す設計と同じとした。

オペランド X 線トポグラフィ観察では、表 5-1 の番号 2 の構造の SiC MOSFET を使用したため、この内蔵ダイオードに対して 3 段階の電流条件を選定した。まず、MOSFET 内部の正孔分布を内蔵ダイオードに流れる電流密度を関数としてシミュレーションし、エピ層内の特定位置(例えば、バッファ層/基板界面など)の正孔密度と電流密度の関係を求めた。これにより、各特定位置において、正孔密度が 1SSF 拡張のしきい値を超える電流密度を得る。シミュレーション結果をもとに、正孔密度がしきい値を超える深さが、ドリフト層、バッファ層、基板になるように 3 つの電流条件を選定した。実際のデバイスでは、正孔寿命は  $Z_{1/2}$  センターの分布や、イオン注入によって形成された欠陥に影響されることから、シミュレーションモデルの高精度化にはこれらの要素を組み込む必要がある。本研究では、各エピ層内部の正孔寿命は一定とし、アノードのコンタクトはオーミックであると仮定した簡単なモデルを採用した。

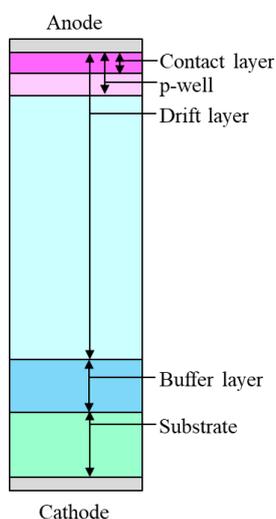


表 5-2 シミュレーションで使用した各種パラメータ

Layer	Thickness ( $\mu\text{m}$ )	Concentration ( $\text{cm}^{-3}$ )	Hole lifetime (ns)
Contact layer	1	p-type, $1 \times 10^{20}$	-
Current injection layer	2	p-type, $1 \times 10^{19}$	-
Drift layer	10	n-type, $1 \times 10^{15}$	1 ~ 500
Buffer layer	3	n-type, $1 \times 10^{18}$	40
Substrate	50	n-type, $5 \times 10^{18}$	20

図 5-3 シミュレーションで使用した SiC PiN ダイオード構造

### 5.3.3 オペランド X 線トポグラフィー法の実験系

図 5-4 にオペランド X 線トポグラフィー観察の実験系を示す。観察は SPring-8 の BL16B2 及び九州シンクロトン光研究センター(SAGA-LS)の BL07 にて、単色化された放射光を用い、反射配置で行った。SPring-8 と SAGA-LS の放射光減の輝度は 10 keV でそれぞれ  $1 \times 10^{16}$  と  $3 \times 10^{13}$  photons/s/mm<sup>2</sup>/mrad<sup>2</sup> in 0.1% bandwidth である。また、SPring-8 と SAGA-LS の光子密度は  $1 \times 10^9$  と  $1 \times 10^8$  photons/mm<sup>2</sup>/s である。実験系は、X 線カメラ、2θ アーム、ゴニオメーター、サンプルホルダーで構成されている。検出器には X 線フィルムの代わりに高解像度のファイバー結合型 X 線カメラ(Andor, Zyla 5.5 HF)を使用し、X 線トポグラフィー像の連続撮像を可能とした。X 線カメラの画素サイズは 6.5 μm であり、実際の X 線トポグラフィー撮像時の空間分解能は 20 μm 程度であった。オペランド X 線トポグラフィー観察の結果は、デジタルデータとして得られるので、画像処理技術を利用して X 線トポグラフィー像の動画から MOSFET 内部の結晶欠陥の変化を解析した。また、オペランド X 線トポグラフィー観察に先立って、回折条件を分流して SiC MOSFET の X 線トポグラフィー像を取得し、最適な回折条件を選択した。

観察対象である SiC MOSFET に大電流を流すため、SiC MOSFET を DBC(Direct Bonded Copper)基板上に半田により実装した。そして、MOSFET 表面に形成されたゲート、ソース電極パッド上に Al ワイヤを接合し、DBC 基板を電流用の電源と配線ケーブルで接続した。オペランド X 線トポグラフィー観察時には、この電源と配線ケーブルを通して SiC MOSFET 内蔵ダイオードに流す電流を自由に変更することができる。更に、DBC 基板はチラーに接続されたヒートシンク上に設置されており、動作中の MOSFET の接合温度を制御できる。

サンプルである SiC MOSFET に電流を流し始めると、電流に応じて MOSFET の接合部の温度が上昇する。この通電による発熱の影響のため、MOSFET のブラッグ回折条件を満たす X 線の入射角がドリフトし、回折した X 線強度が不安定になる。この不安定性を抑制するため、SiC MOSFET の動作中にブラッグ回折条件を満たす入射角を維持するように設計されたフィードバック機構を導入した[12]。図 5-5 に示すように、フィードバック機構は、圧電素子を用いたチルトステージ、ステージコントローラー、デジタルアナログインターフェイス(DAQ)に X 線カメラと制御 PC を加えた構成をとる。SiC MOSFET への通電開始、或いは通電条件の変更に伴う MOSFET の温度変動により、X 線入射角がドリフトすると、ブラッグ角からずれるため、得られる X 線トポグラフィー像内の強度分布が変化する。本フィードバック機構ではこの現象を利用し、取得したトポグラフィー像の強度分布が均一（本例では左右対称）となるような角度（本機構では圧全素子の補償電圧を指す）を制御 PC で計算し、DAQ を介してステージの角度、すなわち X 線入射角の補正を行った。

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

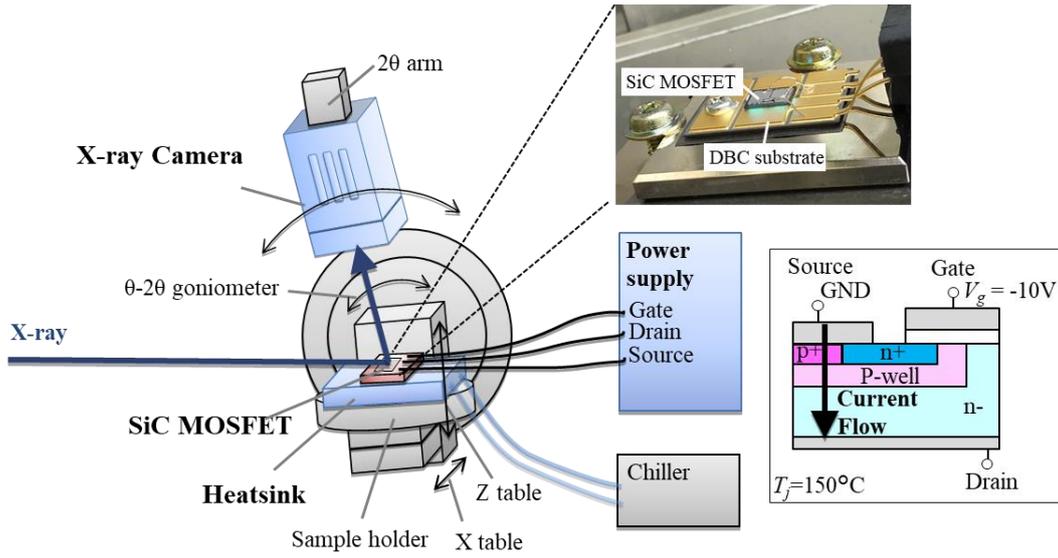


図 5-4 オペランド X 線トポグラフィー観察の実験系

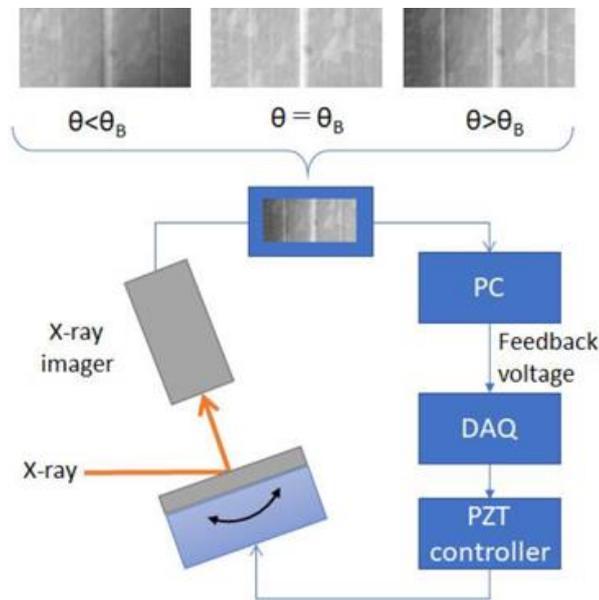


図 5-5 X 線入射角のズレを補正するフィードバック機構 (文献[12])

### 5.3.4 拡張した 1SSF の起点分析

オペランド X 線トポグラフィー法を用いることで、1SSF が拡張開始したタイミングが明らかになる。そこで、異なる電流密度で拡張した 1SSF を特定し、その起点を分析した。オペランド X 線トポグラフィー観察の後、SiC MOSFET 表面の電極構造を化学的に除去し、透過電子顕微鏡(TEM: Transmission Electron Microscopy)分析の準備としてドリフト層の表面を約 25  $\mu\text{m}$  程度研磨した。その後、KOH エッチング法にて SiC 表面にエッチピットを形成した。これらのピットは TEM 分析において、位置決め用のマークとして用いた。また、分析対象である 1SSF と周辺のエッチピットや転位との位置関係を把握するために、PL イメージング法と X 線トポグラフィー法を用いた。この際、エネルギーと回折ベクトルを、10 keV と  $g = 0\bar{2}210$  と設定した。この回折条件での SiC MOSFET への侵入深さおおよそ 50  $\mu\text{m}$  と見積もられ、ドリフト層、バッファ層、および基板内部を全て観察することが可能である[13]。これらの準備の後、TEM 分析により、異なる電流密度で拡張した 1SSF について、その起点となる BPD-TED 変換点を観察した。そして、二次イオン質量分析 (SIMS) 分析により求めた窒素プロファイルと組み合わせることで、BPD-TED 変換点が MOSFET 構造のどの深さに位置しているかを特定した。

### 5.3.5 通電信頼性モデルの検証

異なる電流密度で拡張した 1SSF の起点深さから、電流密度に応じた通電信頼性モデルを作成した。その後、実際の通電試験結果と比べることで、モデルの妥当性を検証した。本実験では、表 5-1 の番号 3 の構造の SiC MOSFET を使用し、内蔵ダイオードに流す電流密度を徐々に増やして SiC MOSFET のオン電圧のシフト量を評価した。そして、シミュレーションにより、バッファ層/基板界面付近の正孔密度の電流密度依存性を計算し、基板へのしきい値以上の正孔注入が開始される電流密度を求め、通電試験結果と比較した。

次に、作成したモデルを用いて、バイポーラ劣化を抑制できるエピ層を設計し、その効果を確認した。要求される最大の駆動電流で動作した場合でも、基板に注入される正孔密度がしきい値を超えないようにエピ層の仕様を設計した。本実験では表 5-1 の番号 3 と 4 の構造の SiC MOSFET を使用した。番号 4 の構造は、基板に注入される正孔密度がしきい値を超えないように、ドリフト層とバッファ層の間に高窒素濃度層が挿入されている。高窒素濃度層の窒素濃度と膜厚は  $5 \times 10^{18} \text{ cm}^{-3}$ 、5  $\mu\text{m}$  である。これらの番号 3 と 4 の MOSFET の内蔵ダイオードに対して、電流密度を徐々に増やして通電試験を実施し、SiC MOSFET のオン電圧のシフト量を評価することで、設計した高窒素濃度層の効果を検証した。

## 5.4 SiC MOSFET 内部の正孔分布

図 5-6 に試作した SiC PiN ダイオードの室温での順方向電気特性を示す。この PiN ダイオードは、表 5-1 の番号 1 で示すように、窒素濃度  $1 \times 10^{15} \text{ cm}^{-3}$  のドリフト層を持つ。実線は測定値を、破線は図 5-3 に示した構造を用いてシミュレーションした結果である。シミュレーションではドリフト層の正孔寿命を 1, 10, 100, 500 ns に設定した。これから、すべての製造プロセスを経た窒素濃度  $1 \times 10^{15} \text{ cm}^{-3}$  のドリフト層の正孔寿命は最大で 500 ns 程度と見積もられた。これと、文献[11]で報告されている正孔寿命の窒素濃度依存性から、窒素濃度  $3 \times 10^{15} \text{ cm}^{-3}$  の場合(SiC MOSFET のドリフト層仕様)のドリフト層を算出し、400 ns と決定した。

得られた正孔寿命を用いて、内蔵ダイオード動作時の SiC MOSFET 内部における正孔分布の電流密度依存性をシミュレーションにより求めた。この際、表 5-1 の番号 2 の SiC MOSFET 構造を想定した。図

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

5-7 (a)に、SiC MOSFET 内部の正孔密度の分布を電流密度 100 A/cm<sup>2</sup>, 200 A/cm<sup>2</sup>, 400 A/cm<sup>2</sup> の場合に分けて示す。設定した正孔寿命の違いにより、ドリフト層での正孔密度はほぼ横ばいであるが、バッファ層や基板内では大きく減少している。また、SiC MOSFET 内部の正孔密度は電流密度とともに増加する。図 5-7 (b)に、内蔵ダイオードのドリフト層下部、バッファ層中央部、バッファ層/基板界面直下(基板内部)の正孔密度を電流密度の関数として示す。本研究では、1SSF 拡張のために必要な正孔密度のしきい値を  $1 \times 10^{16}$  cm<sup>-3</sup> であると仮定する[1]。図 5-7 (b)内の緑実線で示すバッファ層/基板界面の正孔密度に注目すると、電流密度が、100 A/cm<sup>2</sup> と 200 A/cm<sup>2</sup> の場合は界面での正孔密度は  $1 \times 10^{16}$  cm<sup>-3</sup> より小さい。従って、SiC 基板内部に存在する BPD は 1SSF に拡張しないと予想される。しかし、電流密度が 400 A/cm<sup>2</sup> の場合では、バッファ層/基板界面の正孔密度が  $1 \times 10^{16}$  cm<sup>-3</sup> を超えるため、基板内部の BPD が 1SSF へ拡張することが予想される。このようにして、図 5-7 (b)のシミュレーション結果をもとに、正孔密度が  $1 \times 10^{16}$  cm<sup>-3</sup> を超える深さが、ドリフト層の中、バッファ層の中、基板の中、となるよう 3 つの電流密度を選択した。実際のオペランド X 線トポグラフィ観察では、SiC MOSFET 内蔵ダイオードに流す電流を段階的に大きくし、電流密度 70 A/cm<sup>2</sup>, 220 A/cm<sup>2</sup>, 400 A/cm<sup>2</sup> と設定した。

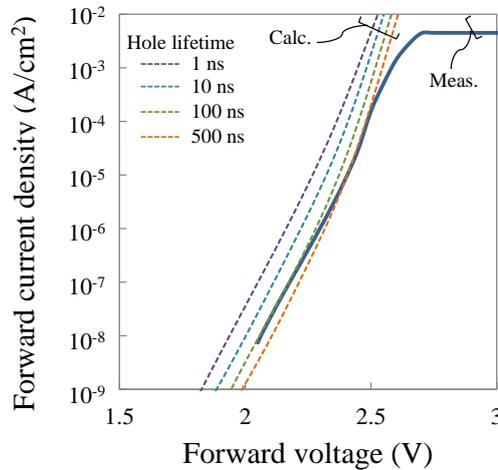


図 5-6 窒素濃度  $1 \times 10^{15}$  cm<sup>-3</sup> のドリフト層を持つ SiC PiN ダイオードの室温での順方向電気特性

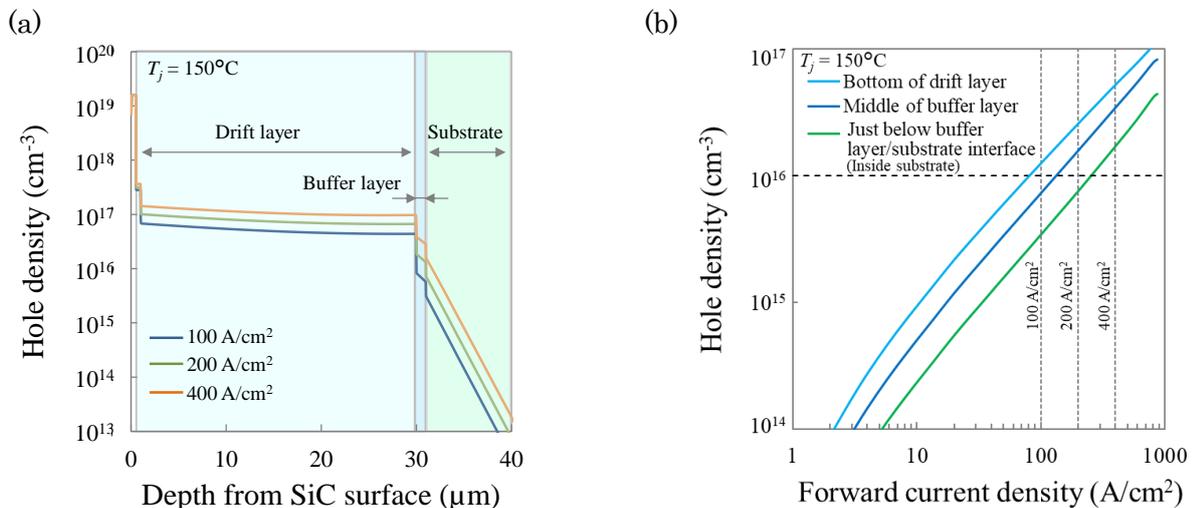


図 5-7 (a) 内蔵ダイオード動作時の SiC MOSFET 内部における正孔密度分布 (b) 内蔵ダイオード動作時の SiC MOSFET 内部における正孔密度と順方向電流密度の関係

## 5.5 オペラント X 線トポグラフィー法による動作中 SiC MOSFET の結晶欠陥可視化

オペラント X 線トポグラフィー観察の前に、SiC MOSFET 内に拡張した三角形 ISSF の X 線トポグラフィー像を様々な回折条件で比較し、最適な条件を選択した。比較結果を図 5-8 に示す。なお、SiC MOSFET の電極などの構造物を除去した状態で撮像した。図 5-8 (a)は ISSF の PL 像、(b)と(c)は X 線トポグラフィー像であり、エネルギーと回折ベクトルは、それぞれ 11 keV と  $g = \bar{1}\bar{1}212$ 、10 keV と  $g = 0\bar{2}210$  である。これらの X 線トポグラフィー像は X 線フィルムを用いて撮影された。各回折条件での SiC MOSFET への侵入深さは、それぞれ  $70\mu\text{m}$  と  $50\mu\text{m}$  と見積もられ、ドリフト層やバッファ層で拡張する ISSF を観察するのに十分な深さである[13]。  $g = 0\bar{2}210$  の回折条件では、三角形 ISSF の内部が良好なコントラストで観察できる。一方、  $g = \bar{1}\bar{1}212$  の回折条件では三角形 ISSF の内部が良好なコントラストで観察されず、ISSF の外周のみが線として確認された。これは、ISSF のすべり方向が  $(1\bar{1}00)$  であるため、  $g = \bar{1}\bar{1}212$  の回折条件ではバーガーズベクトル  $b$  と回折ベクトルが転位の消滅測  $b \cdot g = 0$  を満たし、  $g = 0\bar{2}210$  の回折条件では満たさないためである。従って、SiC MOSFET 中の ISSF を良好なコントラストで検出できる  $g = 0\bar{2}210$  の回折条件を、オペラント X 線トポグラフィー観察条件として選択した。なお、X 線カメラでは ISSF の領域は白いコントラストとして表示され、図 5-8 (c)の反転表示となる。

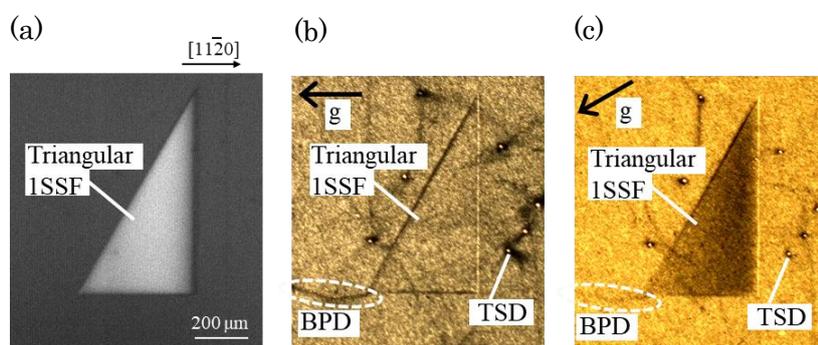


図 5-8 異なる回折条件での SiC MOSFET の X 線トポグラフィー像の比較。(a) PL 像 (420 nm バンドパスフィルタ) (b)  $g = \bar{1}\bar{1}212$  で得られた X 線トポグラフィー像 (c)  $g = 0\bar{2}210$  で得られた X 線トポグラフィー像

図 5-4 に示した実験セットアップと、シミュレーション結果に基づき選んだ通電条件にて、オペラント X 線トポグラフィー観察を行い、その結果を解析した。図 5-9 (a)は SiC MOSFET の内蔵ダイオードに電流を流した際のタイムチャートと通電条件であり、ゲート電圧  $V_g$  は -10 V、 $T_j$  は  $150^\circ\text{C}$  に設定した。通電は、電流密度を段階的に増やして 3 ステップで行われ、電流密度は  $70\text{ A/cm}^2$ 、 $220\text{ A/cm}^2$ 、 $400\text{ A/cm}^2$  と設定した。通電時間は、各電流密度でそれぞれ 2.5 時間、20 分、20 分とした。X 線のエネルギーと回折ベクトルを 10 keV、 $g = 0\bar{2}210$  として、SiC MOSFET の X 線トポグラフィー像を通電試験中に撮像した。この際、露光時間は 1 秒とした。本解析で使用したタイミングを図 5-9 (a)において、タイミング 1, 2, ... 6 として示した。タイミング 1, 2, ... 6 はそれぞれ、通電試験前、 $70\text{ A/cm}^2$  の通電試験の終了時、 $220\text{ A/cm}^2$  の通電試験の開始後 7 分経過時点、 $220\text{ A/cm}^2$  の通電試験の終了時、 $400\text{ A/cm}^2$  の通電試験の開始後 2 分経過時点、 $400\text{ A/cm}^2$  の通電試験の終了時を意味する。

X 線カメラを用いて得られた X 線トポグラフィー像はデジタルデータであるため、画像処理を行うことで、いつ、どこで、どの ISSF が拡張したかを詳細に解析した。各タイミングで得られた X 線トポグラフィー像を使用し、タイミング間の像を減算処理することで、特定のタイミング間に拡張した ISSF を抽出した。画像処理後の X 線トポグラフィー像を図 5-9 (c)-(g)に示す。図 5-9 (b)はタイミング

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエビ設計

1(通電試験前)の X 線トポグラフィー像である。図 5-9 (c)-(g)に示すトポグラフィー像から、それぞれ(c) タイミング 1 と 2, (d) タイミング 2 と 3, (e) タイミング 3 と 4, (f) タイミング 4 と 5, (g) タイミング 5 と 6 の間に拡張した 1SSF が識別できる。なお, SiC MOSFET の内蔵ダイオードに電流を流すと, MOSFET の発熱に伴って, ヒートシンク上に設置された DCB 基板や固定部材の温度が上昇し, これにより MOSFET の位置がドリフトする。程度は非常に小さいが, この位置ずれの影響で, 図 5-9 (c)-(g)で 1SSF のない領域(バックグラウンド)の信号が画像の減算後も残り, 完全に 0 になっていない。

図 5-9 (b)から, 通電試験前の SiC MOSFET 内には 1SSF がいないことが確認できる。しかし, 図 5-9 (c)に示すように, 70 A/cm<sup>2</sup>の通電試験の間にいくつかの三角形 1SSF が拡張した。図 5-9 (d)に示すように, 220 A/cm<sup>2</sup>の通電試験開始時には, 70 A/cm<sup>2</sup>の通電試験で拡張した 1SSF とは別に, 新たな三角形 1SSF が拡張した。図 5-9 (e)では, 220 A/cm<sup>2</sup>の通電試験で遅れて拡張した 1SSF が確認できる。同様に, 図 5-9 (f)に示すように, 400 A/cm<sup>2</sup>の通電試験開始時には, 70 A/cm<sup>2</sup> や 220 A/cm<sup>2</sup> の通電試験で拡張した 1SSF とは別に, 新たな三角形 1SSF と帯状 1SSF が拡張した。また, 図 5-9 (g)では, 400 A/cm<sup>2</sup>の通電試験で遅れて拡張した帯状 1SSF が確認できる。図 5-9 (e)と(g)で確認された 1SSF の拡張開始タイミングの遅れは, 220 A/cm<sup>2</sup>と 400 A/cm<sup>2</sup>の通電条件でそれぞれ 2~7 分, 0.5~5 分程度であった。図 5-9 から, 三角形或いは帯状 1SSF はそれぞれ異なる電流密度で拡張を開始すること, 拡張開始タイミングは同じ電流密度でも異なることが明らかになった。また, 帯状 1SSF は 70 A/cm<sup>2</sup>, 220 A/cm<sup>2</sup>では拡張せず, より大きな電流密度である 400 A/cm<sup>2</sup>の通電試験で拡張した。

通電試験後, SiC MOSFET の電極構造を除去し, PL 評価した結果を図 5-10 (a)に示す。これは, 図 5-9 (b)-(g)と同じ場所の PL 像である。図 5-10 (b)は, オペランド X 線トポグラフィー観察中に拡張した 1SSF の模式図である。ここで, 水色, 黄緑, 黄色, オレンジ, ピンクに色分けされた 1SSF は, それぞれタイミング 1 と 2(図 5-9 (c)), タイミング 2 と 3(図 5-9 (d)), タイミング 3 と 4(図 5-9 (e)), タイミング 4 と 5(図 5-9 (f)), タイミング 5 と 6(図 5-9 (g))で拡張した 1SSF を表している。動的な観察によって, どの 1SSF がいつ拡張したかを区別することができる。エネルギーと回折ベクトルを 11 keV と  $g = \bar{1}\bar{1}212$  として撮像した X 線トポグラフィー像を図 5-10 (c)に示す。拡張した三角形 1SSF の頂点が基板中の BPD につながっていることが確認でき, 三角形 1SSF の成因はこの基板中の BPD であると考えられる。

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピソード設計

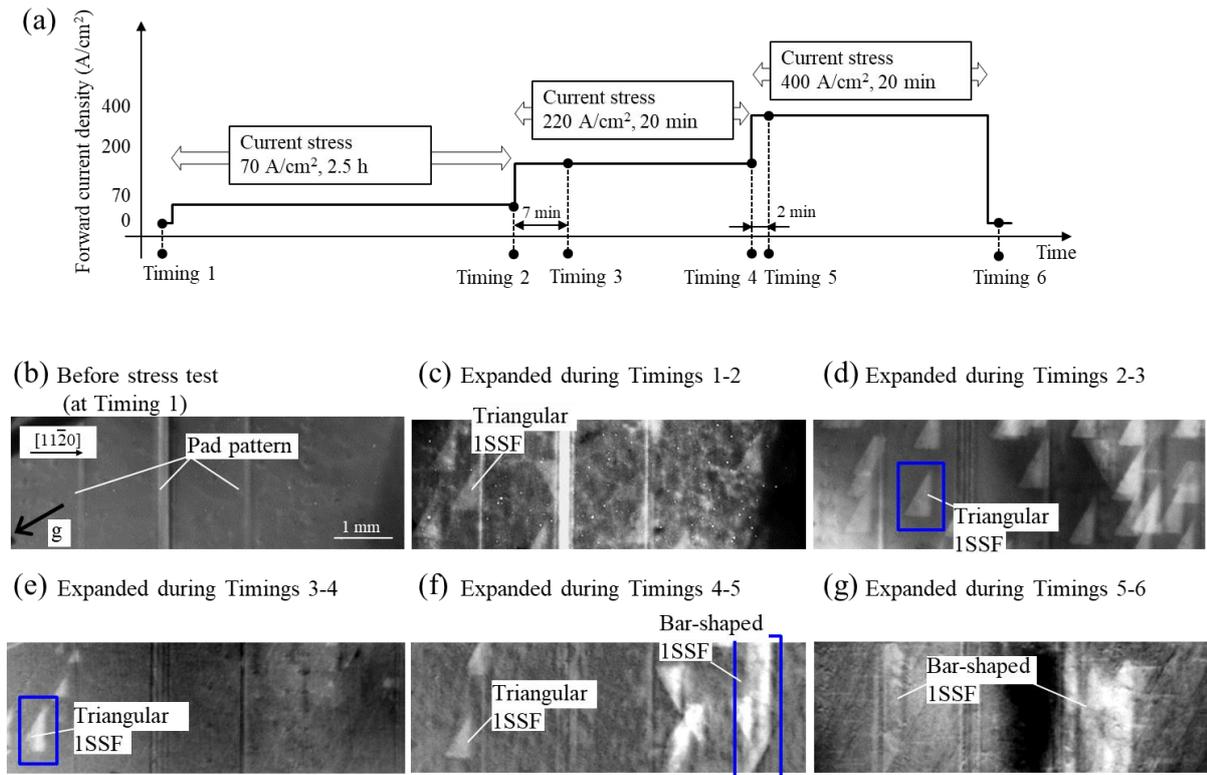


図 5-9 (a) SiC MOSFET の内蔵ダイオードに対する通電試験条件とタイムチャート (b)-(g)  $g = 0\bar{2}210$  の回折条件で得られた X 線トポグラフィー像 (b) 通電試験前の状態 (c)-(g) タイミング 1 と 2, タイミング 2 と 3, タイミング 3 と 4, タイミング 4 と 5, タイミング 5 と 6 の間に拡張した ISSF

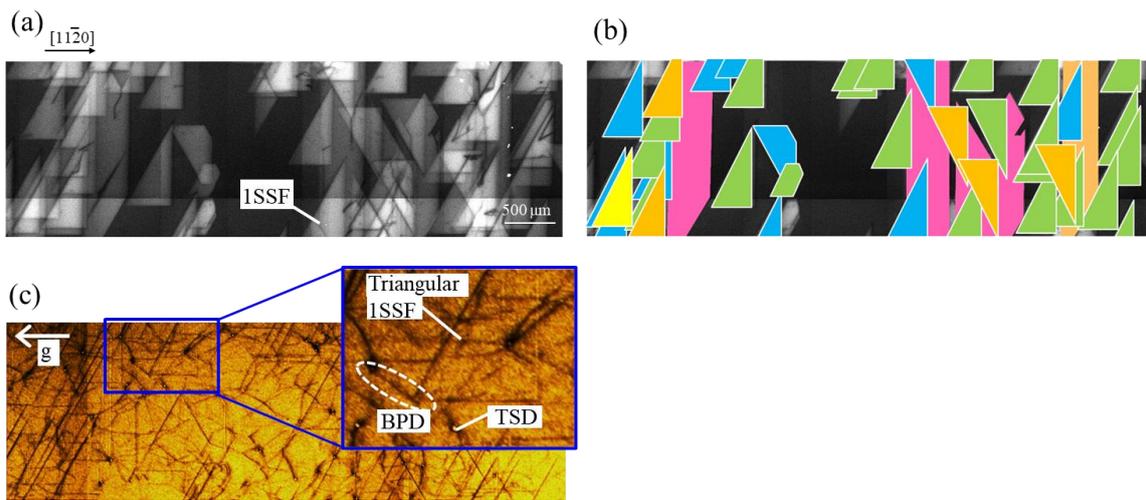


図 5-10 (a) 図 5-9 と同じ場所の PL 像 (420 nm バンドパスフィルタ) (b) 拡張したタイミングで ISSF を色分けして示した模式図。水色, 黄緑, 黄色, オレンジ, ピンクに色分けした ISSF はタイミング 1-2(図 5-9(c)), タイミング 2-3(図 5-9(d)), タイミング 3-4(図 5-9(e)), タイミング 4-5(図 5-9(f)), タイミング 5-6(図 5-9(g))の間に拡張した ISSF を示す。 (c)  $g = 1\bar{1}212$  の回折条件で得られた X 線トポグラフィー像

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエビ設計

X線トポグラフィー像を露光時間1秒で連続的に取得することで、SiC MOSFETにおける1SSFの拡張過程を明らかにした。図5-11は、MOSFETにおける三角形1SSFの拡張の様子を1分間隔で示した時間分解X線トポグラフィー像である。これらは、回折ベクトルを $g = 0\bar{2}210$ 、ゲート電圧 $V_g$ を-10 V、 $T_j$ を150°C、内蔵ダイオードへの電流密度を220 A/cm<sup>2</sup>に設定して撮像されたものである。図5-11には、(a) 通電開始時に三角形1SSFが拡張する標準的な場合、(b) 電流の流れる動作領域の端部(電極の端)に三角形1SSFがある場合、(c) 三角形1SSFが遅れて拡張開始した場合、の3つの例を示す。図5-11(a)と(c)で着目した1SSFは図5-9(d)と(e)で青枠で示されている。図5-11に示すように、拡張する1SSFの形状は、初期のひし形から、台形に変形し、最終的に三角形に変化する。図5-11(b)から、動作領域の端に位置する三角形1SSFは、図5-11(a)の標準的な場合と比較して拡張の動きが飽和するまでに時間を要することがわかる。これは、動作領域の端部では電流の流れが弱くなり、1SSF拡張の駆動力となる正孔密度が減少するため、拡張の動きが遅くなると考えられる。

図5-11(c)から、(a)や(b)と同じ電流密度であっても、三角形1SSFが遅れて拡張開始することがわかる。文献[7]では、BPDを構成する2つの部分転位の構造の違いによって部分転位のすべり悪くなるという報告が、また文献[8]では、2つの部分転位のうち移動度が小さいC-coreでも、十分な再結合エネルギーを受け取ることでSi-coreに後れて動き出すという報告がされている。これらの先行研究を考慮すると、同じ素子、同じ電流密度であっても、1SSFの起源であるBPDの構造の違いにより、1SSF拡張のタイミングが同期していなかったと推察するが、それを明らかにするためには、TEM分析やX線トポグラフィー分析によるバーガーズベクトル解析などの詳細な検討が必要である。図5-11(c)で示す、遅れて拡張する1SSFは、拡張の開始が通電試験の開始後約7分と遅かったものの、拡張開始から飽和までにかかる時間は図5-11(a)の標準的な場合と同程度であった。これは、転位の拡張速度が図5-11(a)の標準的な場合と(c)の遅れて拡張した場合とほぼ同じであることを意味する。オペランドX線トポグラフィー観察において、動的に得られた観察結果は非常に重要であり、拡張開始から飽和までの時間が長い場合や、遅れて拡張する場合を考慮に入れて、バイポーラ劣化を起こす不良品を除外するスクリーニング試験条件を決める必要がある。

図5-12は、MOSFETにおける帯状1SSFの拡張の様子を1分間隔で示した時間分解X線トポグラフィー像である。これらは、回折ベクトルを $g = 0\bar{2}210$ 、ゲート電圧 $V_g$ を-10 V、 $T_j$ を150°C、内蔵ダイオードへの電流密度を400 A/cm<sup>2</sup>に設定して撮像されたものである。図5-12で着目した1SSFは図5-9(f)の青枠で示されている。帯状1SSFは $\langle 1\bar{1}00 \rangle$ の方向に拡張していく様子がわかる。

得られた時間分解X線トポグラフィー像から三角形1SSFや帯状1SSFが動作中のSiC MOSFET内で拡張していく様子が良好なコントラストで可視化されており、転位の移動速度を解析するために十分な時間分解能があることがわかった。

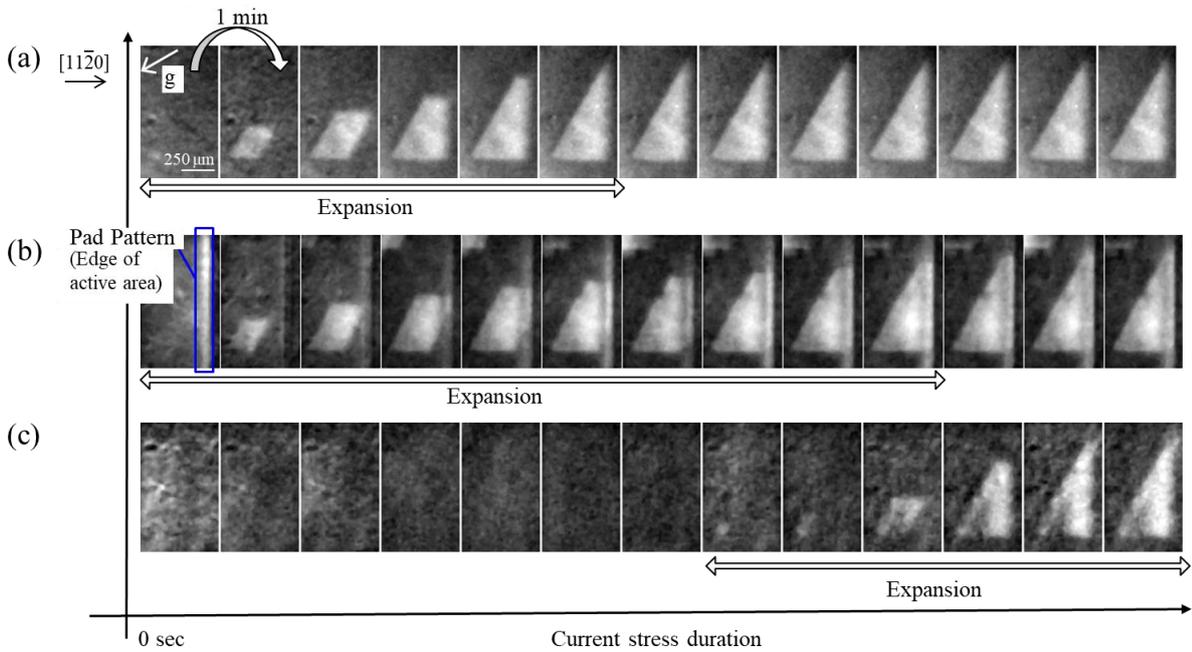


図 5-11 SiC MOSFET における三角形 ISSF の拡張の様子を 1 分間隔で示した時間分解 X 線トポグラフィイー像 ( $g = 0\bar{2}210$ ) (a) 通電開始直後に ISSF が拡張した標準ケース (図 5-9 (d)に青枠で示す ISSF) (b) 拡張した ISSF が MOSFET の動作領域の端に位置するケース (c) ISSF が遅れて拡張開始し始めたケース (図 5-9 (e)に青枠で示す ISSF)

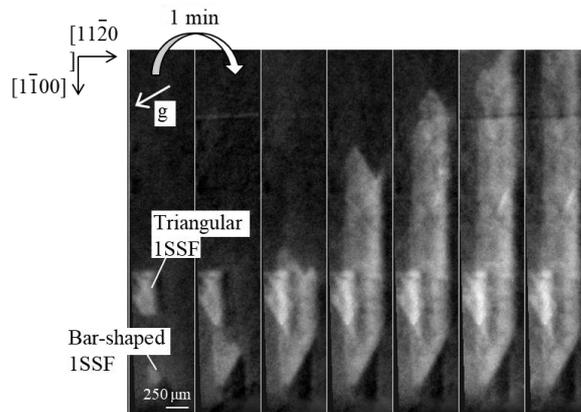


図 5-12 SiC MOSFET における帯状 ISSF の拡張の様子を 1 分間隔で示した時間分解 X 線トポグラフィイー像 ( $g = 0\bar{2}210$ , 図 5-9 (f)に青枠で示す ISSF)

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

続いて、SiC MOSFET 内で拡張する転位の移動速度を評価した。図 5-13 (a) (b)はそれぞれ SiC エピ層内で BPD が三角形 1SSF へ拡張する様子の模式図と、三角形 1SSF の X 線トポグラフィー像である。(a) は図 5-11 から得られた拡張の様子の模式図であり、三角形 1SSF の大きさは、MOSFET のドリフト層の厚さと、SiC 基板のオフ角から求めた。ドリフト層は  $30\mu\text{m}$ 、オフ角は  $4$  度であるため、三角形 1SSF の  $\langle 1\bar{1}00 \rangle$  方向の長さは  $770\mu\text{m}$ 、 $\langle 11\bar{2}0 \rangle$  方向の長さは  $440\mu\text{m}$  となる。図 5-13 (c)(d)は(b)で示した青線での回折 X 線強度のタイムチャートである。これは、X 線トポグラフィー像の青線部の画素情報を 1 秒ごとに切り出し、それを時系列に並べたものである。図 5-13 (c)に着目すると、青線は三角形 1SSF の右側に設定されている。拡張初期は 1SSF の形状がひし形であり、ひし形 1SSF の右上の頂点は青線に到達していない。通電を開始してからおおよそ 100 秒後に、青線に到達する。従って、図 5-13 (c)では 1SSF を表す白いコントラストが、青線の中心付近から確認できる。このタイムチャートにおいて、図 5-13 (c)(d)の青い破線で示した勾配から、拡張した 1SSF の転位移動速度を求めた。ただし、この移動速度は、 $\langle 1\bar{1}00 \rangle$  方向と  $\langle 11\bar{2}0 \rangle$  方向へ投影した値である。図 5-13 の場合、 $\langle 1\bar{1}00 \rangle$  方向と  $\langle 11\bar{2}0 \rangle$  方向の転位移動速度はそれぞれ  $140\mu\text{m}/\text{min}$  と  $125\mu\text{m}/\text{min}$  となった。以降では、 $\langle 1\bar{1}00 \rangle$  方向の転位移動速度に着目する。

図 5-9 の他に、4 つの SiC MOSFET を用いてオペランド X 線トポグラフィー観察を実施した。解析した SiC MOSFET は合計 5 個であり、これらの中に拡張した 1SSF の中で、88 個の三角形 1SSF と 6 個の帯状 1SSF に着目して転位移動速度を求めた。図 5-14 (a)(b)は、三角形 1SSF および帯状 1SSF の場合の  $\langle 1\bar{1}00 \rangle$  方向の転位移動速度を、SiC MOSFET 内蔵ダイオードに流す電流密度の関数として示したものである。オペランド X 線トポグラフィー観察中は、内蔵ダイオードに電流を流し、ゲート電圧  $V_g$  を  $-10\text{V}$ 、 $T_j$  を  $150^\circ\text{C}$  に設定して実施した。図 5-14 (a)から、多少のばらつきはあるものの、SiC MOSFET 内における  $\langle 1\bar{1}00 \rangle$  方向の転位の移動速度は、内蔵ダイオードに流れる電流密度に伴って大きくなる。これは、1SSF 拡張の駆動力となる SiC 中の正孔密度が電流密度に伴って大きくなるためである。三角形 1SSF の場合、第 4 章で報告した内蔵ダイオードのバイポーラ劣化特性を表すモデルから求めた拡張速度を重ねて示す。第 4 章では、1SSF の拡張の様子を動的に観察することができず、測定可能な情報は SiC MOSFET の電気的特性のみであったため、簡単な回路図を想定し、電気的特性から転位の移動速度を推定するモデルを作成した。簡単なモデルであるが、このモデルから求めた転位の移動速度は、オペランド X 線トポグラフィー観察で得られた実測値とよく一致している。図 5-14 (b)から、帯状 1SSF の転位移動速度は三角形 1SSF に比べて 3 倍以上大きく、文献[1]と同様の現象が確認された。図 5-11 (c)に示したように、遅れて拡張を開始した 1SSF の転位の移動速度は、標準的な場合とほとんど等しく、その発生頻度は少ないことが明らかになった。

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

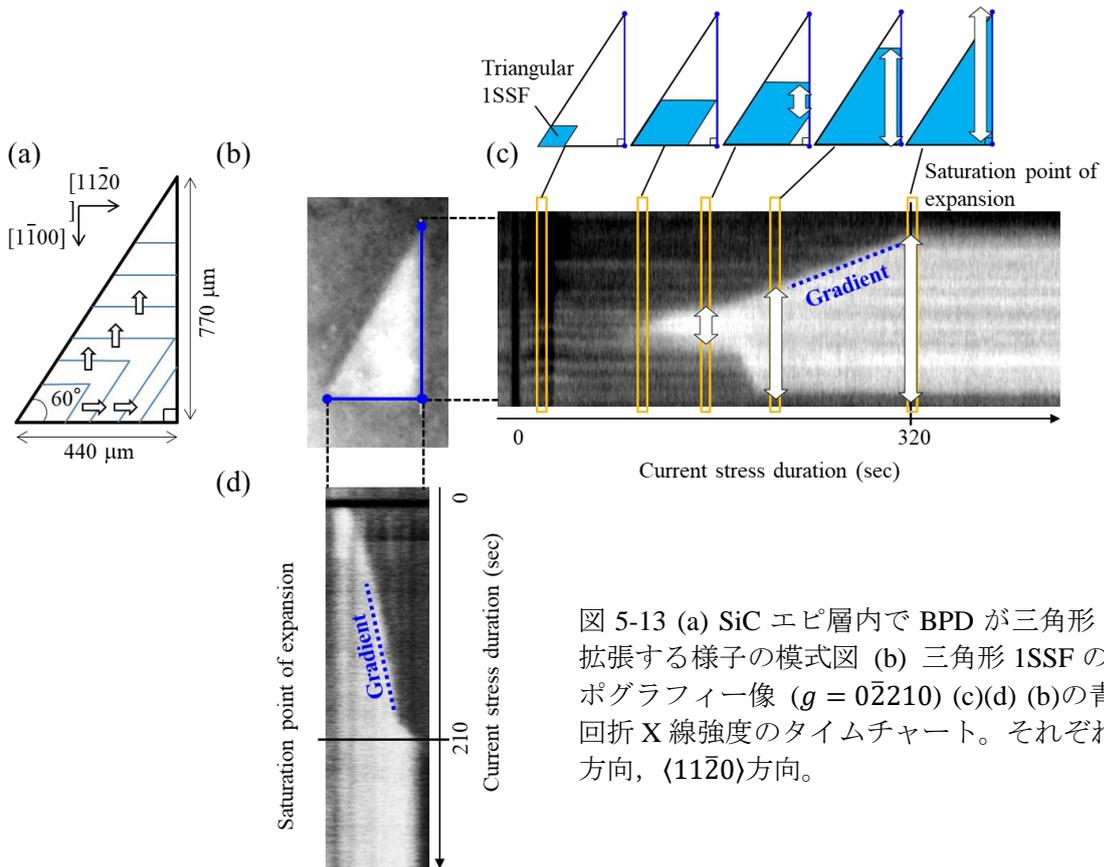


図 5-13 (a) SiC エピ層内で BPD が三角形 ISSF へ拡張する様子の模式図 (b) 三角形 ISSF の X 線トポグラフィー像 ( $g = 0\bar{2}210$ ) (c)(d) (b)の青線での回折 X 線強度のタイムチャート。それぞれ $\langle 11\bar{1}00 \rangle$ 方向,  $\langle 11\bar{1}20 \rangle$ 方向。

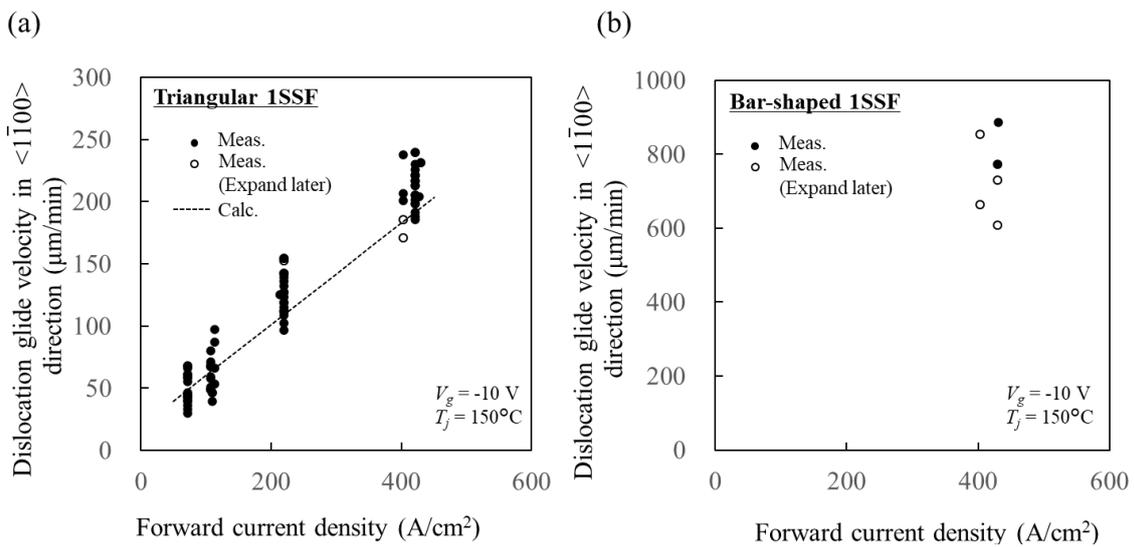


図 5-14 ISSF の $\langle 11\bar{1}00 \rangle$ 方向における拡張速度と順方向電流密度の関係。(a) 三角形 ISSF の場合。第 4 章で示したバイポーラ劣化特性を表すモデルから算出した拡張速度を併せて示す。(b) 帯状 ISSF の場合

## 5.6 拡張した積層欠陥の起点

オペランドX線トポグラフィー観察後、異なる電流密度で拡張した1SSFを分析対象として選別した。図5-15 (a)-(c)は、SiC MOSFET 内蔵ダイオードに  $70 \text{ A/cm}^2$  の通電をした際に拡張した三角形1SSFの、回折条件  $g = 02210$  でのX線トポグラフィー像、 $420 \text{ nm}$  のバンドパスフィルタで得られたPL像、 $385 \text{ nm}$  のロングパスフィルタで得られたPL像である。図5-15 (a)に示すように、三角形1SSFの頂点は基板中のBPDにつながっている。また、図5-15 (c)の下に示す三角形1SSFの  $60^\circ$  頂点付近の拡大SEM像から、頂点近傍にTEDのピットが確認された。図5-15 (d)は三角形1SSFと転位の3次元模式図である。デバイス試作前に、この付近のドリフト層内にBPDがないことを確認しているため、基板中のBPDがエピ成長中にTEDに変換されていたと考えられる。従って、内蔵ダイオードに対する  $70 \text{ A/cm}^2$  の通電試験中に、BPD-TED変換点直下の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  をこえ、BPD-TED変換点直下から三角形1SSFが拡張開始したと予想される[6-7]。よって、1SSFの拡張起点の深さを分析することで、実デバイスでの正孔密度分布を実験的に求めることができる。また、異なる電流密度で拡張した1SSFを分析対象とすることで、拡張起点深さの電流密度依存性が求められ、実デバイスでの正孔密度分布の電流密度依存性を明らかにできる。

そこで、図5-15に示す三角形1SSFの拡張起点の深さを分析した。図5-15 (c)に示すTEDのピットを位置決め用のマークとして、BPD-TED変換点位置を特定し、観察領域を決めた。TEM分析領域を図5-15 (c)(d)にオレンジ枠で示した。図5-16 (a)(b)は、 $70 \text{ A/cm}^2$  の通電試験中に拡張した三角形1SSFのBPD-TED変換点の平面暗視野および断面明視野STEM像である。図5-16 (a)の上部には転位線の模式図を示す。図5-16 (a)に示すように、平面像でピットにつながるTEDと1SSFの部分転位が接続している点(BPD-TED変換点)を確認できる。図5-16 (b)は(a)の白い矢印方向に断面観察した結果である。平面観察と断面観察を順番に実施することで、拡張した1SSFの起点であるBPD-TED変換点を見失うことなく観察できた。断面観察結果からBPD-TED変換点深さが得られた。深さについては、すべての分析事例を述べた後に示す。

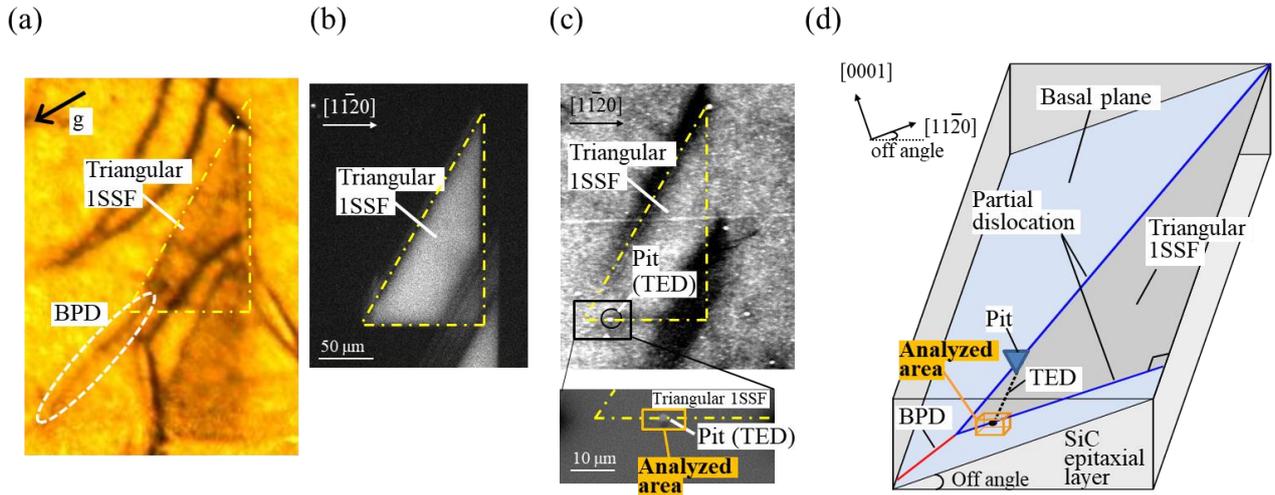


図 5-15  $70 \text{ A/cm}^2$  で拡張した三角形 ISSF についての詳細。(a)  $g = 0\bar{2}210$  で得られた X 線トポグラフィイ像 (b) 420nm バンドパスフィルタで得られた PL 像 (c) 385 nm ロングパスフィルタで得られた PL 像。ISSF 頂点の拡大 SEM 像を下部に示す。(d) 三角形 ISSF と転位の 3 次元模式図。TEM 分析領域は図(c) (d)でオレンジ枠で示す。

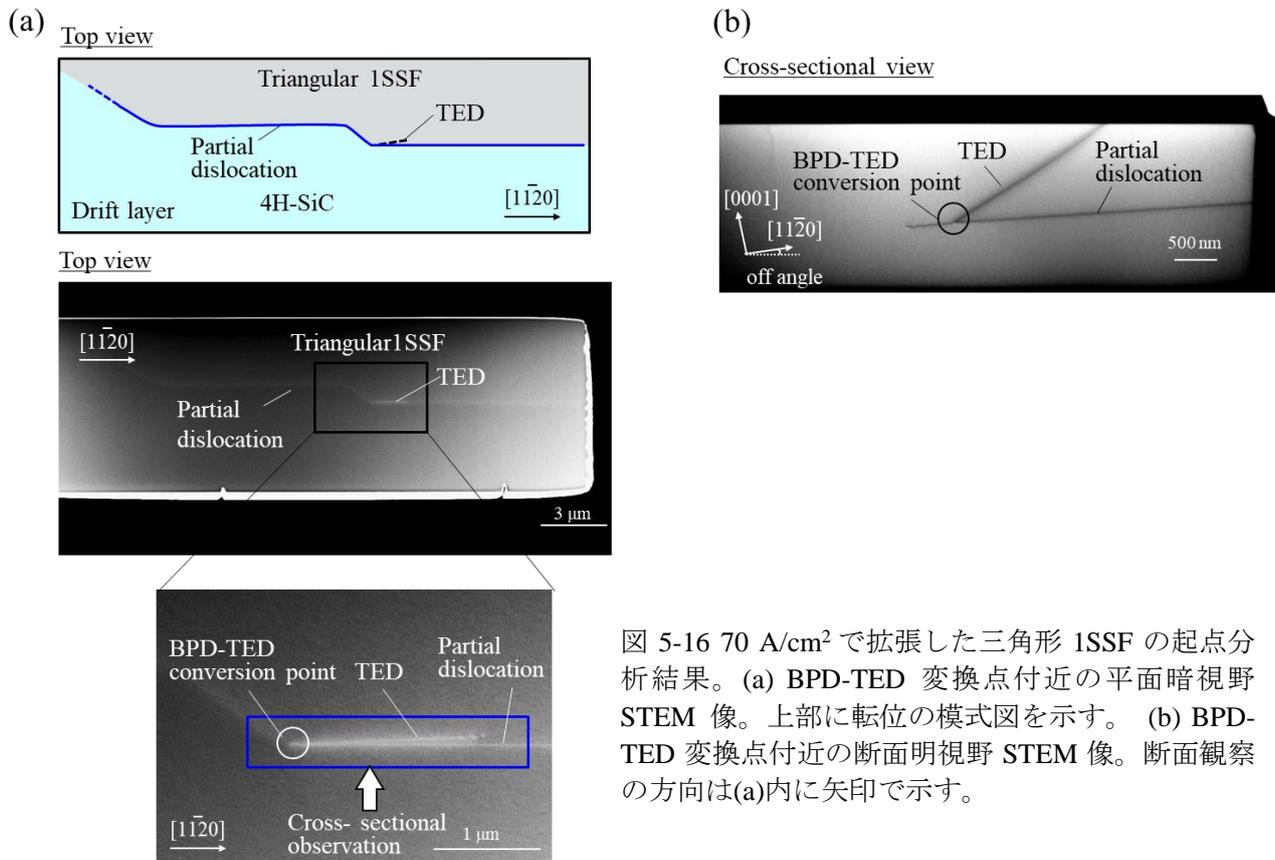


図 5-16  $70 \text{ A/cm}^2$  で拡張した三角形 ISSF の起点分析結果。(a) BPD-TED 変換点付近の平面暗視野 STEM 像。上部に転位の模式図を示す。(b) BPD-TED 変換点付近の断面明視野 STEM 像。断面観察の方向は(a)内に矢印で示す。

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

次に、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上の正孔密度となる領域深さを実験的に確認するため、SiC MOSFET 内蔵ダイオードに対する  $400 \text{ A/cm}^2$ の通電試験で拡張した三角形 ISSF の最深部を分析した。図 5-17 (a) (b)は回折条件  $g = 0\bar{2}210$ での X 線トポグラフィー像と、三角形 ISSF の顕微鏡像である。(b)の下には、三角形 ISSF の  $60^\circ$ 頂点付近の拡大 SEM 像を示す。図 5-15, 図 5-16 の分析事例と同様に、拡張した三角形 ISSF の頂点は基板中の BPD につながり(図 5-17 (a)), 頂点付近に TED のピットが確認できる(図 5-17 (b))。従って、三角形 ISSF と転位の 3 次元模式図は図 5-17 (c)のように考えられる。内蔵ダイオードに対する  $400 \text{ A/cm}^2$ の通電試験中に、BPD-TED 変換点直下の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$ を超え、BPD-TED 変換点直下から三角形 ISSF が拡張し始め、 $1 \times 10^{16} \text{ cm}^{-3}$ を超える領域の最も深い領域まで ISSF が拡張したと予想される。図 5-17 (c)に示すように、ISSF の最深部は BPD-TED 変換点よりも深い領域に位置すると考えられる。そこで、三角形 ISSF の最大深さを求めるため、ISSF の最深部を分析した。図 5-17 (b)に示す TED のピットを位置決め用のマークとして、三角形 ISSF の頂点位置を特定し、観察領域を決めた。TEM 分析領域を図 5-17 (c) (d)にオレンジ枠で示した。

図 5-18 (a) (b)は、 $400 \text{ A/cm}^2$ の通電試験中に拡張した三角形 ISSF の頂点位置の平面暗視野および断面明視野 STEM 像である。図 5-18 (a)の上部には転位線の模式図を示す。図 5-18 (a)に示すように、平面像では ISSF の頂点付近に 2 つの転位が確認できる。図 5-18 (b)は、(a)の白い矢印方向に断面観察した結果であり、ISSF の最深部が観察された。図 5-18 (b)の TEM 像を傾けることで、(c)に示すように 2 つ転位の間の領域が積層欠陥であることを確認した。これらの結果から、拡張した三角形 ISSF の最大深さが得られた。

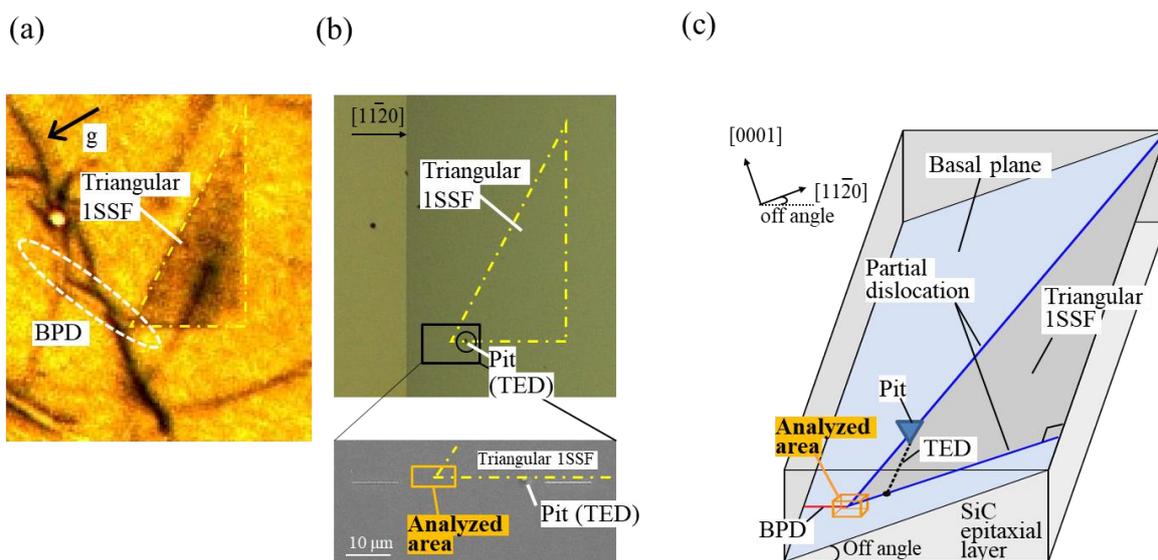


図 5-17  $400 \text{ A/cm}^2$ で拡張した三角形 ISSF についての詳細。(a)  $g = 0\bar{2}210$ で得られた X 線トポグラフィー像 (b) KOH エッチングによるピット形成後の光学顕微鏡像。ISSF 頂点の拡大 SEM 像を下部に示す。(c) 三角形 ISSF と転位の 3 次元模式図。TEM 分析領域は図(b) (c)でオレンジ枠で示す。

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエビ設計

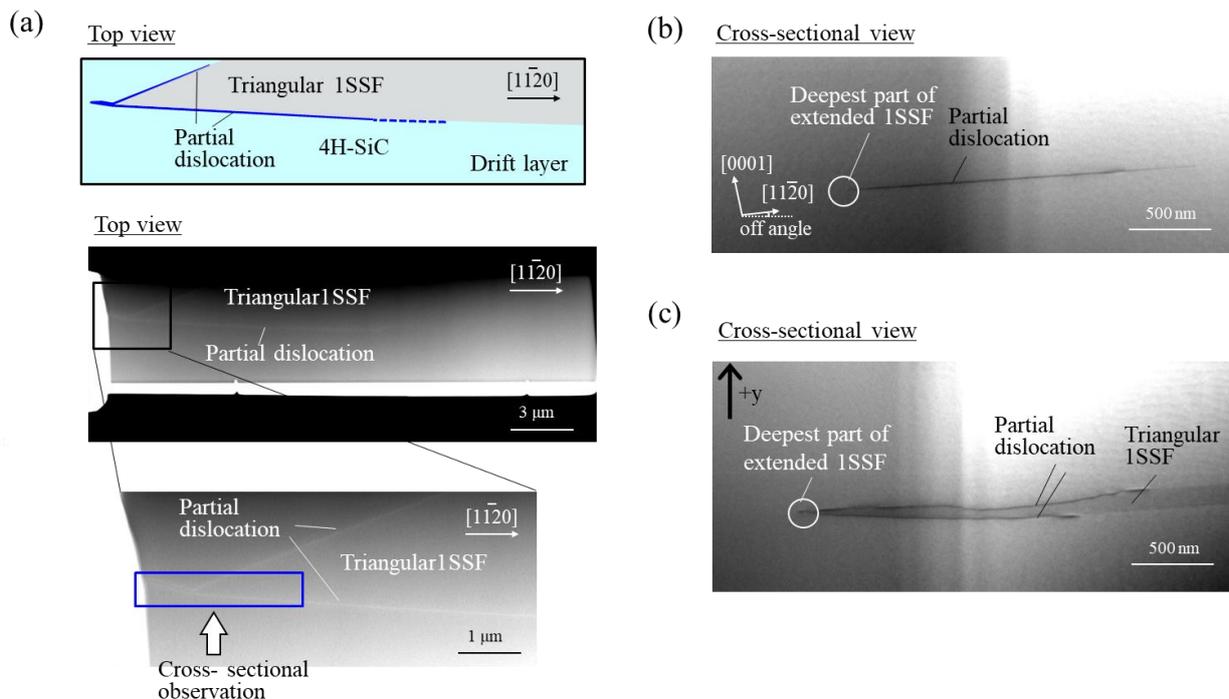


図 5-18 400 A/cm<sup>2</sup> で拡張した三角形 ISSF の起点付近の分析結果。(a) 頂点付近の平面暗視野 STEM 像。上部に転位の模式図を示す。(b) 頂点付近の断面明視野 STEM 像。断面観察の方向は(a)内に矢印で示す。(c) (b)を+y 方向に傾けた断面明視野 STEM 像

図 5-15 から図 5-18 で示した分析方法と同様に、70 A/cm<sup>2</sup>、220 A/cm<sup>2</sup>、400 A/cm<sup>2</sup> の通電試験中に拡張した 3 つの三角形 ISSF を用いて、BPD-TED 変換点の深さを分析した。BPD-TED 変換点の分析数の合計は、70 A/cm<sup>2</sup> で 2 個、220 A/cm<sup>2</sup> で 1 個、400 A/cm<sup>2</sup> で 1 個である。また、400 A/cm<sup>2</sup> の通電試験中に拡張した ISSF の最大深さも分析した。ISSF の最大深さの分析数の合計は 2 個である。TEM 分析に続いて、SIMS 分析を実施して SiC MOSFET 内の窒素濃度の深さ方向プロファイルを得た。図 5-19 に SIMS 分析で得られた SiC MOSFET のドリフト層、バッファ層、および基板における窒素濃度を示す。グラフ内のひし形と三角形のプロットは、それぞれ TEM 分析で得られた BPD-TED 変換点深さと、ISSF の最大深さを示す。TEM 分析と SIMS 分析を組み合わせることで、SiC MOSFET 内の BPD-TED 変換点と、ISSF の最大深さの位置情報を得ることができた。

TEM 分析と SIMS 分析で得られた結果をまとめて図 5-20 に示す。これは、実験的に明らかになった BPD-TED 変換点と、拡張した ISSF の最大深さを示した SiC MOSFET の断面模式図である。70 A/cm<sup>2</sup> の通電試験で拡張した ISSF の BPD-TED 変換点は、ドリフト層/バッファ層界面から上に 870 nm および 80 nm に位置する。220 A/cm<sup>2</sup> の通電試験で拡張した ISSF の BPD-TED 変換点は、ドリフト層/バッファ層界面から下に 320 nm に位置する。400 A/cm<sup>2</sup> の通電試験で拡張した ISSF の BPD-TED 変換点は、バッファ層/基板界面から上に 80 nm に位置する。このように、拡張した ISSF の BPD-TED 変換点は電流密度に伴って深くなり、70 A/cm<sup>2</sup> の通電試験でドリフト層の下部、220 A/cm<sup>2</sup> の通電試験でバッファ層の中央部、400 A/cm<sup>2</sup> の通電試験でバッファ層/基板界面付近に位置する。これは、SiC MOSFET 内蔵ダイオードに流れる電流密度が 70 A/cm<sup>2</sup>、220 A/cm<sup>2</sup>、400 A/cm<sup>2</sup> の順に大きくなり、正孔密度が 1×10<sup>16</sup> cm<sup>-3</sup> 以上となる領域がこの順で深くなるためである。例えば、70 A/cm<sup>2</sup> の通電試験の場合、ドリフト層/バッファ層界面から上に 870 nm および 80 nm に位置する BPD-TED 変換点付近の正孔密度は 1×10<sup>16</sup> cm<sup>-3</sup>

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピソード設計

を超えるため、変換点直下から 1SSF の拡張が起こる。しかし、図 5-20 に示す他の BPD-TED 変換点付近では、正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  以下であるため、1SSF は拡張しない。

ここで、オペランド X 線トポグラフィー観察の条件は、5.4 節で示すシミュレーション結果をもとに決定した。具体的には、SiC MOSFET 内部の正孔密度を計算し、正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超える深さが、ドリフト層の中、バッファ層の中、基板の中、となるよう 3 つの電流密度を選択した。図 5-20 に示した解析結果は、シミュレーションで予測した通りとなった。

400 A/cm<sup>2</sup> の通電試験で拡張した 1SSF の最大深さは、バッファ層/基板界面から下に約 470 nm であり、SiC 基板中に位置した。これは、図 5-20 に示すように、BPD-TED 変換点よりも深くに位置する。SiC MOSFET 内蔵ダイオードに流れる電流密度が 70 A/cm<sup>2</sup>、220 A/cm<sup>2</sup>、400 A/cm<sup>2</sup> と徐々に増加し、最終的に 400 A/cm<sup>2</sup> に達する。そのため、拡張した 1SSF は電流密度の増加とともに深い領域まで拡張し、最終的には 400 A/cm<sup>2</sup> で正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超える深さまで広がる。400 A/cm<sup>2</sup> の通電試験の場合、SiC 表面からバッファ層/基板界面から下に約 470 nm 付近までの領域で、正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  をこえらる。と考えられる。

図 5-21 に正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  に達する深さと SiC MOSFET 内蔵ダイオードに流れる電流密度との関係を示す。ここで、 $T_j$  は 150°C に設定し、図の右側にシミュレーション構造の模式図を示す。グラフ内の実線はシミュレーション結果を示す。ひし形と三角形のプロットは、それぞれ TEM 分析で得られた BPD-TED 変換点深さと、1SSF の最大深さを示す。シミュレーション結果から、電流密度の増加に伴い、正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超える深さが深くなるのがわかる。これにより、SiC MOSFET のより深い領域から 1SSF が拡張することが予想される。TEM 分析で得られた、400 A/cm<sup>2</sup> の通電試験における 1SSF の最大深さ(三角形のプロット)は、シミュレーション結果とよく一致した。従って、現行のシミュレーションモデルを用い、実際の通電試験結果と比べることで、モデルの妥当性を検証した。

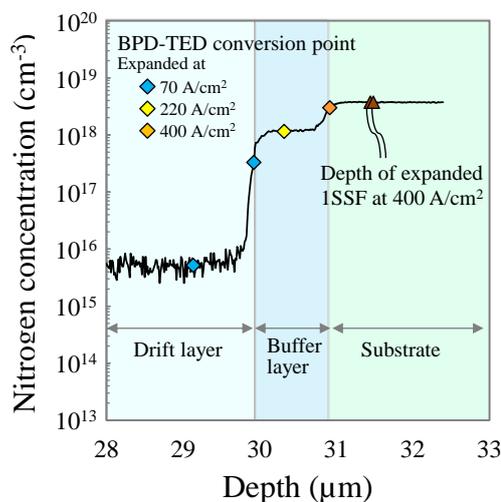


図 5-19 ドリフト層、バッファ層、基板における深さ方向の窒素濃度。ひし形と三角形のプロットは TEM 分析で得られた BPD-TED 変換点深さと拡張した 1SSF の最大深さをそれぞれ示す。

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

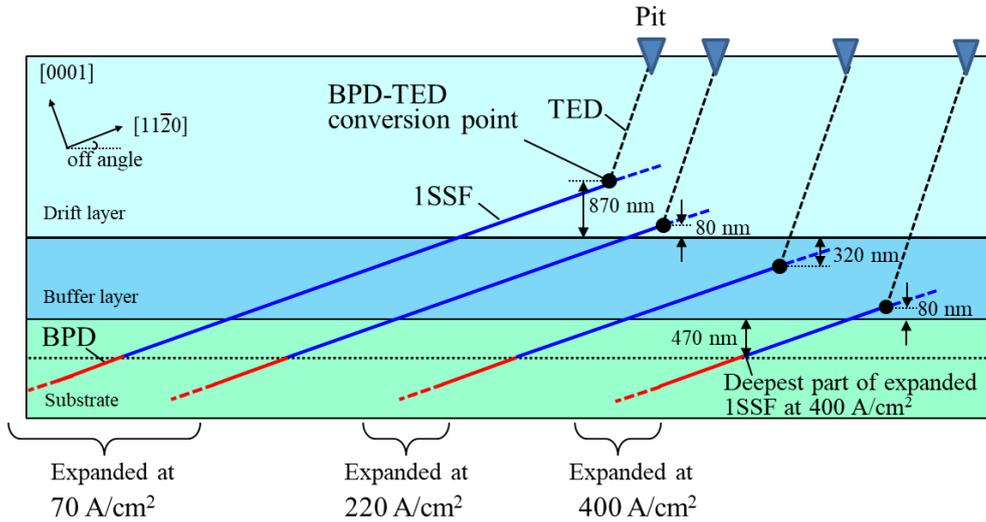


図 5-20 BPD-TED 変換点深さと ISSF の最大深さを示す SiC MOSFET 構造の断面模式図

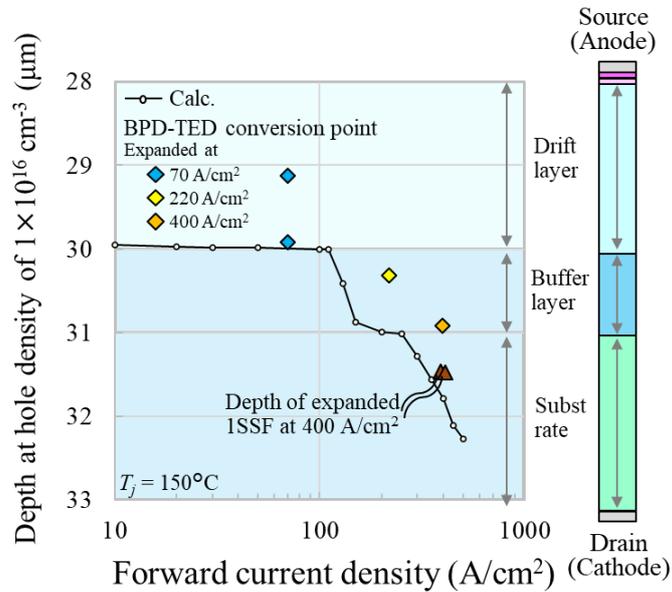


図 5-21 正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  に達する深さと内蔵ダイオード順方向電流密度との関係。シミュレーション構造の模式図をグラフ右側に示す。ひし形と三角形のプロットは TEM 分析と SIMS 分析で得られた結果を、実線はシミュレーション結果を示す。

## 5.7 モデルの検証とバイポーラ劣化を抑制するエピ層の設計

シミュレーションモデルを検証するために、表 5-1 の番号 3 の構造の SiC MOSFET を使用して内蔵ダイオードに対する通電試験を行った。図 5-22 (a) に SiC MOSFET オン電圧のシフト量を、内蔵ダイオードに流す電流密度の関数として示した。電流密度は、 $100 \text{ A/cm}^2$  から  $500 \text{ A/cm}^2$  まで徐々に大きくし、ゲート電圧  $V_g$  を  $-10 \text{ V}$ 、 $T_j$  を  $175^\circ\text{C}$  に設定して実施した。各電流密度において、オン電圧のシフト量が飽和するのに十分な通電時間とした。一般的に、帯状 1SSF はバッファ層/基板界面の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超えることで、SiC 基板内部から拡張することが知られている[6]。帯状 1SSF は、その形状のために三角形 1SSF よりも面積が大きく、試作した SiC MOSFET の場合、帯状 1SSF によるオン電圧のシフト量は 10% 以上となる。従って、図 5-22 (a) のオン電圧のシフト量が 10% 以上であれば、SiC 基板内部の BPD を原因とした帯状 1SSF の拡張によりバイポーラ劣化が起きたと判断した。各電流密度における通電試験の結果は図 5-22 (a) の中に表として示す。これから、SiC MOSFET 内蔵ダイオードに対する電流密度が  $400 \text{ A/cm}^2$  から  $500 \text{ A/cm}^2$  付近では、オン電圧のシフト量が 10% を超え、バイポーラ劣化している。

図 5-22 (b) は、SiC MOSFET のバッファ層/基板界面直下における正孔密度をシミュレーションから求め、電流密度の関数として示したものである。黒い実線は表 5-1 の番号 3 の構造の SiC MOSFET を示している。シミュレーション結果から、バッファ層/基板界面直下の正孔密度は、電流密度  $400 \text{ A/cm}^2$  で  $1 \times 10^{16} \text{ cm}^{-3}$  付近に達し、 $500 \text{ A/cm}^2$  では  $1 \times 10^{16} \text{ cm}^{-3}$  を超える。この結果は、通電試験の結果とよく一致する。シミュレーション結果と実験結果から、電流密度が  $400 \text{ A/cm}^2$  から  $500 \text{ A/cm}^2$  付近でバッファ層/基板界面直下の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超え、基板中の BPD から 1SSF が拡張することで、バイポーラ劣化が起こったと考える。シミュレーションモデルは図 5-3 に示す簡単なモデルであるが、そこから得られた結果は図 5-21 や図 5-22 で述べたように分析結果や実験結果をよく再現することが確認できた。そこで、このモデルを用いてバイポーラ劣化を抑制できるエピ層を設計し、その効果を検証した。同時に、SiC 基板の品質(BPD が多い、少ない)が SiC MOSFET のバイポーラ劣化に与える影響も検討した。

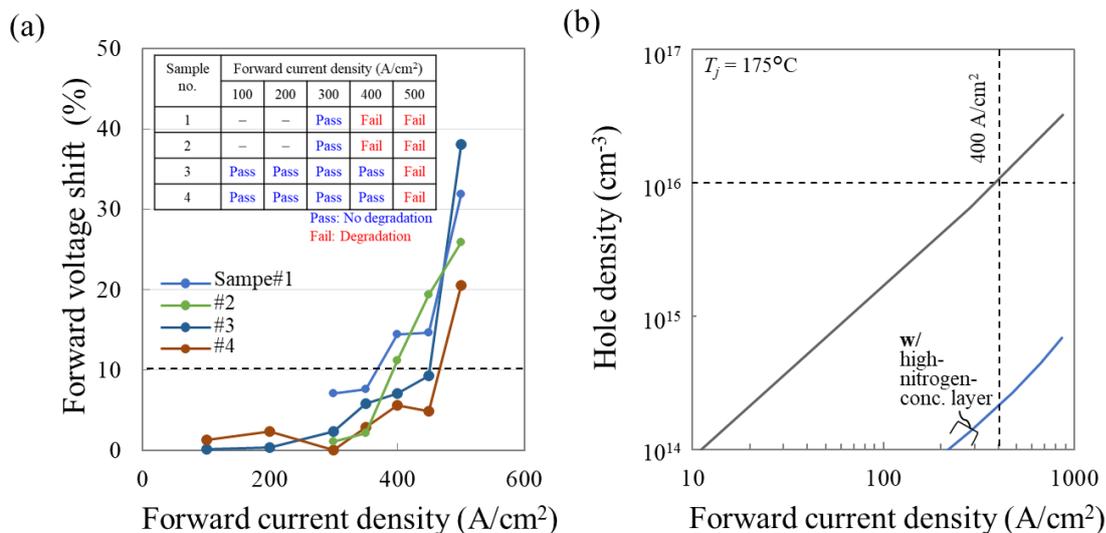


図 5-22 (a) SiC MOSFET のオン電圧シフト量と内蔵ダイオードに流す電流密度との関係 (b) バッファ層/基板界面直下における正孔密度と内蔵ダイオードに流す電流密度との関係。黒い実線は表 5-1 番号 3 の SiC MOSFET(バッファ層  $1 \times 10^{18} \text{ cm}^{-3}$ ,  $3 \mu\text{m}$ )の場合、青い実線は表 5-1 番号 4 の SiC MOSFET( $5 \times 10^{18} \text{ cm}^{-3}$ ,  $5 \mu\text{m}$  の高窒素濃度層有)の場合を示す。青丸、オレンジ十字、黒横棒は、(a) に示す通電試験の結果を示し、それぞれ劣化なし、劣化あり、未試験を表す。

ここでは、BPD 密度が  $2000 \text{ 個/cm}^2$  と  $<500 \text{ 個/cm}^2$  ( $500 \text{ 個/cm}^2$  以下)の SiC 基板に形成された、表 5-1

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

の番号3の構造のSiC MOSFETを用いた。加えて、BPD密度が $< 500$  個/cm<sup>2</sup>のSiC基板に形成された、表5-1の番号4の構造のSiC MOSFETを用いた。番号4の高窒素濃度層は、シミュレーション結果に基づいて、基板内部の正孔密度が $1 \times 10^{16}$  cm<sup>-3</sup>を超えないように設計されており、濃度と膜厚は $5 \times 10^{18}$  cm<sup>-3</sup>、5 μmである。高窒素濃度層を有するSiC MOSFETにおけるバッファ層/基板界面直下における正孔密度の電流密度依存性を、図5-22(b)に青の実線として示す。これから、SiC MOSFETの内蔵ダイオードに対して、1000 A/cm<sup>2</sup>という大きな電流を流してもバッファ層/基板界面の正孔密度は $1 \times 10^{16}$  cm<sup>-3</sup>を超えないことが確認できる。

図5-23に、使用した3種類のSiC MOSFETの通電試験によるオン電圧のシフト量を示す。内蔵ダイオードに対する電流密度を500 A/cm<sup>2</sup>に、ゲート電圧 $V_g$ を-10 Vに、 $T_j$ を175°Cに、通電時間を1時間として実施した。試験対象のSiC MOSFETに関する情報(高窒素濃度層の有無、基板のBPD密度)をグラフ下部に示した。BPD密度が2000 個/cm<sup>2</sup>で、高窒素濃度層がないSiC MOSFETはオン電圧が大きくシフトした。これに比べて、BPD密度が $< 500$  個/cm<sup>2</sup>で、高窒素濃度層がないSiC MOSFETは、オン電圧のシフト量が小さかった。従って、BPD密度の低い良質な基板を用いることでバイポーラ劣化の程度を小さくできる。しかし、現在市販されている基板の品質から、完全にバイポーラ劣化を抑制することは困難である。一方で、BPD密度が $< 500$  個/cm<sup>2</sup>で、高窒素濃度層を有するSiC MOSFETは、通電試験でオン電圧のシフトがほとんど起こらず、バイポーラ劣化しなかった。このように、バッファ層/基板界面の正孔密度が $1 \times 10^{16}$  cm<sup>-3</sup>を超えないように設計された高窒素濃度層は、大電流密度の通電試験においてもバイポーラ劣化せず、高い信頼性を示すことを確認した。

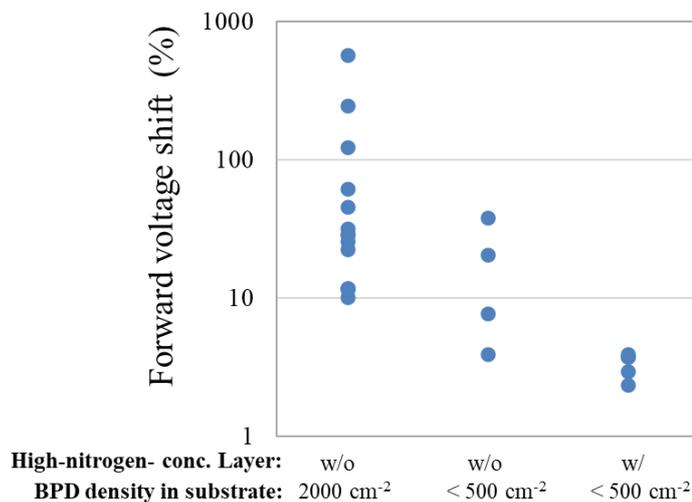


図5-23 高窒素濃度層がある/ない場合のSiC MOSFET オン電圧シフト量の比較

表5-1の番号3の構造のSiC MOSFETを例にとって、バイポーラ劣化を抑制するエピ仕様の設計について検討した。バッファ層の窒素濃度と膜厚を分流して、各仕様ごとに、SiC MOSFET内部の正孔分布の電流密度依存性を計算した。そして、バッファ層/基板界面の正孔密度が $1 \times 10^{16}$  cm<sup>-3</sup>を超える場合はバイポーラ劣化する、超えない場合はバイポーラ劣化しないと判断した。バッファ層/基板界面の正孔密度を $1 \times 10^{16}$  cm<sup>-3</sup>以下にでき、SiC基板中BPDからの1SSF拡張を防ぐことができるバッファ層の仕様を、電流密度ごとに図5-24に示す。例えば、SiC MOSFET内蔵ダイオードに対する電流密度を500 A/cm<sup>2</sup>とした場合、グラフ内の赤い実線の左側に示したバッファ層仕様では、バッファ層/基板界面の正孔密度が $1 \times 10^{16}$  cm<sup>-3</sup>を超え、SiC基板中BPDからの1SSF拡張によるバイポーラ劣化が起こる。一方、赤い実線の右側に示したバッファ層仕様では、バッファ層/基板界面の正孔密度が $1 \times 10^{16}$  cm<sup>-3</sup>を超えないため、

## 5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

SiC 基板中 BPD からの 1SSF 拡張によるバイポーラ劣化が起こらない。なお、図 5-24 の青い丸とオレンジの十字は、表 5-1 に示す SiC MOSFET の構造を示しており、各記号は内蔵ダイオードに対する電流密度  $500 \text{ A/cm}^2$  の通電試験結果を表し、それぞれバイポーラ劣化なし、バイポーラ劣化ありを示す。青い丸のプロットは、バイポーラ劣化しなかった仕様であり、グラフ内で赤い実線の右側に位置する。オレンジの十字のプロットは、バイポーラ劣化した 2 つの仕様であり、グラフ内で赤い実線の左側に位置する。このように、得られた通電試験結果はシミュレーション結果と相違ないが、シミュレーションモデルの精度を上げるためには、様々なエピ設計の基板を用いて SiC MOSFET を試作し、電流密度を分流した通電試験を行い、オン電圧のシフト量を評価する必要がある。

以上の検討から、SiC 基板の品質が SiC MOSFET の通電信頼性に影響すること、バッファ層/基板界面の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超えないようにエピ層を設計することで、バイポーラ劣化が抑制できることを確認した。バイポーラ劣化のない SiC MOSFET を開発するためには、良質な基板を使用し、適用アプリケーションごとに SiC MOSFET 内部の正孔分布を把握し、バッファ層/基板界面の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超えないように設計・制御することが必要である。

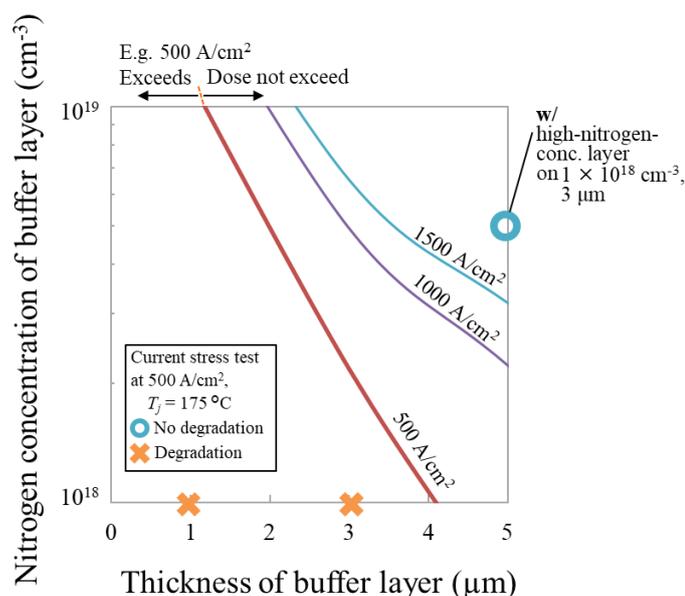


図 5-24 表 5-1 の番号 3 の SiC MOSFET(ドリフト層： $3 \times 10^{15} \text{ cm}^{-3}$ ， $30 \mu\text{m}$ ，バッファ層： $1 \times 10^{18} \text{ cm}^{-3}$ ， $3 \mu\text{m}$ )の場合、バッファ層/基板界面の正孔密度を  $1 \times 10^{16} \text{ cm}^{-3}$  以下にでき、SiC 基板からの 1SSF 拡張を防ぐことができるバッファ層の仕様。青丸とオレンジ十字は、試作した SiC 製 MOSFET の構造を示す。各記号は内蔵ダイオードに対して  $500 \text{ A/cm}^2$  の通電試験を行った結果を示し、それぞれバイポーラ劣化なし、劣化ありを示す。

## 5.8 まとめ

第5章では、動作中 SiC MOSFET における結晶欠陥の挙動を可視化するために、オペランド X 線トポグラフィー法を開発した。加えて、得られた結果を解析することで、電流密度に応じた通電信頼性モデルを構築し、バイポーラ劣化を抑制するエピ設計指針を導出した。

SiC MOSFET を適用するアプリケーションによっては、第3章や第4章で想定した以上の駆動電流密度が求められる。その場合、1SSF 拡張の駆動力である正孔密度が高まり、正孔が SiC エピ表面から奥深くまで供給されるため、深くに位置する BPD を原因としたバイポーラ劣化が起こる。特に SiC 基板は、エピ層に比べて非常に多くの BPD が存在するため、基板中 BPD から拡張する 1SSF によるバイポーラ劣化の程度が大きくなる。電流密度に応じた通電信頼性モデルを構築するためには、電流密度を変えてバイポーラ劣化現象を観測する必要があるが、動作中の SiC MOSFET における結晶欠陥の挙動を可視化する手法が必要になるが、これまで有効な解析手法が開発されていなかった。そこで、動作中デバイスにおける結晶欠陥の挙動を可視化するために、オペランド X 線トポグラフィー法を開発した。

内蔵ダイオードに対する電流密度を  $70 \text{ A/cm}^2$ 、 $220 \text{ A/cm}^2$ 、 $400 \text{ A/cm}^2$  と段階的に大きくして観察を行った結果、動作中 SiC MOSFET における 1SSF の拡張を直接観察することに世界で初めて成功した。X 線トポグラフィー像を解析することで、各電流密度で異なる 1SSF が拡張すること、同じ電流密度でも拡張開始のタイミングが異なることを明らかにした。また、時間分解 X 線トポグラフィー像から抽出した転位の移動速度は内蔵ダイオードに流れる電流密度に伴って大きくなった。

オペランド X 線トポグラフィー観察後、異なる電流密度で拡張した 1SSF を選別し、拡張起点である BPD-TED 変換点の深さを分析した。拡張した 1SSF の BPD-TED 変換点は電流密度に伴って深くなり、 $70 \text{ A/cm}^2$  の通電試験でドリフト層の下部、 $220 \text{ A/cm}^2$  の通電試験でバッファ層の中央部、 $400 \text{ A/cm}^2$  の通電試験でバッファ層/基板界面付近に位置した。また、 $400 \text{ A/cm}^2$  の通電試験で拡張した 1SSF の最大深さは、バッファ層/基板界面から下に約  $470 \text{ nm}$  であり、SiC 基板中に位置した。分析で得られた BPD-TED 変換点深さや、1SSF の最大深さは、シミュレーション結果とよく一致した。

シミュレーションモデルを用いて、バイポーラ劣化を抑制できるエピ層を設計し、その効果を検証した。エピ層の工夫がない SiC MOSFET の場合、BPD 密度の低い良質な基板を用いることでバイポーラ劣化の程度を小さくできるが、完全に劣化を抑制することはできない。しかし、バッファ層/基板界面の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超えないように設計された高窒素濃度層を有する SiC MOSFET は、大電流試験後もバイポーラ劣化せず、高い信頼性を示した。加えて、バイポーラ劣化を抑制するエピ仕様の設計について検討し、特定の SiC MOSFET 構造を例にとり、具体的なバッファ層仕様を電流密度ごとに導出した。

以上、動作中 SiC MOSFET における 1SSF の拡張を可視化するオペランド X 線トポグラフィー法を開発し、電流密度に応じた通電信頼性モデルを構築した。また、得られたモデルからバイポーラ劣化を抑制するエピ設計指針を示した。バイポーラ劣化のない SiC MOSFET を開発するためには、適用アプリケーションごとに SiC MOSFET 内部の正孔分布を把握し、バッファ層/基板界面の正孔密度が  $1 \times 10^{16} \text{ cm}^{-3}$  を超えないように制御することが必要である。

### 参考文献

- [1] T. Tawara, S. Matsunaga, T. Fujimoto, M. Ryo, M. Miyazato, T. Miyazawa, K. Takenaka, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, and H. Tsuchida, *J. Appl. Phys.* 123, 025707 (2018).
- [2] K. Konishi, S. Yamamoto, S. Nakata, Y. Nakamura, Y. Nakanishi, T. Tanaka, Y. Mitani, N. Tomita, Y. Toyoda, and S. Yamakawa, *J. Appl. Phys.* 114, 014504 (2013).
- [3] J. Nishio, A. Okada, C. Ota, and R. Iijima, *J. Appl. Phys.* 128, 085705 (2020).
- [4] A. Iijima and T. Kimoto, *J. Appl. Phys.* 126, 105703 (2019).
- [5] 鳥見 聡, “SiC パワー半導体バイポーラ劣化抑制方法の研究”, 九州工業大学博士論文 (2020).
- [6] S. Hayashi, T. Yamashita, J. Senzaki, M. Miyazato, M. Ryo, M. Miyajima, T. Kato, Y. Yonezawa, K. Kojima, and H. Okumura, *Jpn. J. Appl. Phys.* 57, 04FR07 (2018).
- [7] S. Hayashi, T. Yamashita, J. Senzaki, T. Kato, Y. Yonezawa, K. Kojima, and H. Okumura, *Appl. Phys. Express* 12, 051007 (2019).
- [8] Y. Ishikawa, M. Sudo, Y. Yao, Y. Sugawara, and M. Kato, *J. Appl. Phys.* 123, 225101 (2018).
- [9] E. Saito, J. Suda, and T. Kimoto, *Appl. Phys. Express* 9, 061303 (2016).
- [10] D. Alok and B. J. Baliga, *IEEE Trans. Electron Devices* 44, 6, pp. 1013-1017 (1997).
- [11] T. Kimoto, H. Niwa, T. Okuda, E. Saito, Y. Zhao, S. Asada, and J. Suda, *J. Phys. D: Appl. Phys.* 51, 363001 (2018).
- [12] A. Yoneyama, S. Takeya, T. T. Lwin, D. Takamatsu, R. Baba, K. Konishi, R. Fujita, K. Kobayashi, A. Shima, M. Kawamoto, H. Setoyama, K. Ishiji, and Y. Seno, *J. Synchrotron Rad.* 28, pp.1966-1977 (2021).
- [13] K. Ishiji, S. Kawado, Y. Hirai, and S. Nagamachi, *Jpn. J. Appl. Phys.* 56, 106601 (2017).

5. 動作中デバイスの結晶欠陥可視化とデバイス高信頼化に向けたエピ設計

## 6. 結論

### 6.1 本研究の結論

エネルギー、輸送・製造、家庭・オフィス産業など電力供給から消費の末端までを支えるパワーデバイスは、横断的技術として位置づけられ、カーボンニュートラルを実現するためのキーコンポーネントとして期待されている。パワーデバイス用の半導体材料は、現在 Si が広く用いられているが、更なる省エネルギー化に向けて、優れた物性値を持つ SiC や GaN 等が着目され、それぞれの特性を活かせる領域に社会実装すべく、実用化が開始されている。本研究で取り扱う SiC は、高い電圧での動作が可能という特長から、高耐圧・大電流が求められるモビリティや電力システムでの活躍が期待されている。しかし、SiC には多種多様な結晶欠陥が存在しており、それにより SiC パワーデバイスの電気的特性が劣化する。本研究は、SiC パワーデバイスの高信頼化を念頭に、重要な課題である結晶欠陥に着目し、結晶欠陥の制御方法と結晶欠陥が SiC パワーデバイスの信頼性に及ぼす影響をまとめたものである。

第 1 章は、本研究の社会的背景、SiC パワーデバイスの特長と課題、そして本研究の目的と意義を述べた。SiC の持つ物性値はパワーデバイス用途において大変魅力的であるが、材料である SiC エピ基板には欠陥が多いという最大の欠点がデバイスの高信頼化、普及の妨げとなっている。SiC エピ表面に凹凸を伴う形態欠陥が SBD や MOSFET の逆方向リーク電流を増やすことや、SiC の基底面内に伝播する BPD が電子・正孔再結合エネルギーにより ISSF へ拡張し、MOSFET の特性が劣化する(バイポーラ劣化)ことが課題である。これら課題の解決に向けた本研究の取り組みの概要と論文全体の構成について述べた。

第 2 章では、大容量 SiC SBD の製造歩留向上を目指し、結晶欠陥の影響を抑制するトレンチ型 SiC JBS ダイオードについてその効果を検証した。形態欠陥に起因して、大容量化を試みるとデバイスの製造歩留が急激に低下する。そこで、トレンチ JBS 構造を適用し、ショットキー接合界面での電界強度を低減することで、形態欠陥のデバイス特性への影響を抑制した。トレンチ側面のテーパ角度を  $80^\circ \leq \theta < 90^\circ$  とすることで、ショットキー接合界面の電界強度を従来 JBS 構造から約 1 桁低減できる。600 V / 50 A トレンチ JBS ダイオードを試作した結果、600 V での逆方向リーク電流を従来 JBS ダイオードの  $1.8 \times 10^{-6}$  A/cm<sup>2</sup> から  $2.5 \times 10^{-8}$  A/cm<sup>2</sup> へと約 2 桁低減でき、リーク不良を約 1/5 にできた。しかし、大きなチャネル抵抗のためにオン電圧が 1.4 倍となった。デバイス設計パラメータを最適化することで、逆方向リーク電流が小さく、かつオン電圧の増加を抑制したトレンチ JBS ダイオードを実現できる見通しを得た。

第 3 章では、SiC MOSFET の製造プロセス中に形成される BPD の形成機構を解明し、それを抑制する製造プロセスの開発を検討した。BPD はイオン注入や高温アニールなどの製造プロセス中に形成され、従来の製造プロセスで試作した SiC MOSFET は内蔵ダイオードの通電試験においてバイポーラ劣化を示した。プロセス起因 BPD の形成機構の解明と、それを抑制する製造プロセスの確立のため、p+領域の導電性、プロセス起因 BPD の形成程度、プロセス起因 BPD が SiC MOSFET の信頼性へ与える影響、の 3 点から検討した。低コンタクト抵抗を示した高ドーズ量・室温の注入条件では、Al が注入された p+領域境界に沿ってプロセス起因 BPD が形成される。一方、低ドーズ量または高温の注入条件では、プロセス起因 BPD の形成が抑制される。プロセス起因 BPD が形成された場合、高温アニール後の Al 注入領域境界に、注入ドーズ量と共に増加する応力が検出された。これから、高温アニール時に二次欠陥の生成に伴い Al 注入領域が膨張し、Al 注入領域の境界に応力が発生し、その応力によりプロセス起因

BPD が形成されたと考える。プロセス起因 BPD を含まない、低ドーズ量または高温の注入条件で試作した SiC MOSFET は、通電試験でバイポーラ劣化せず、高い通電信頼性を示した。

第 4 章では、SiC エピ層を伝播する BPD を起源とするバイポーラ劣化現象を解析し、1SSF 拡張による SiC MOSFET の劣化量を定量的にモデル化すると共に、バイポーラ劣化品を除外するスクリーニング技術を検討した。また、SiC エピ品質とスクリーニング試験結果の関係を調べ、バイポーラ劣化した SiC MOSFET についてその原因を検証した。BPD はデバイスが製造される前から SiC エピ層に存在しており、信頼性の高い SiC MOSFET を市場に供給するためには、バイポーラ劣化する不良品を出荷前に除外する、スクリーニング技術の開発が必要である。バイポーラ劣化による内蔵ダイオードのオン電圧劣化量は、正常部と 1SSF 部の抵抗値と、1SSF の面積とをパラメータとしたモデルとして表せる。それぞれのパラメータを、電気特性評価と PL 評価を組み合わせることで導出した。作成したモデルを用いて 1SSF の拡張速度を導出し、拡張速度は順方向電流密度および接合温度と共に大きくなることを明らかにした。得られた拡張速度の電流密度・接合温度依存性から、SiC MOSFET 内蔵ダイオードに対するスクリーニング試験の具体的な条件を導出した。スクリーニング試験の結果、オン電圧の劣化量は SiC エピ層を伝播する BPD 数と共に増加した。また、PL 検査で検出できない BPD がスクリーニング試験で 1SSF に拡張し、バイポーラ劣化する事例を明らかにし、スクリーニング試験の重要性を示した。

第 5 章では、動作中 SiC MOSFET における結晶欠陥の挙動を可視化するために、オペランド X 線トポグラフィ法を開発した。また、得られた結果から電流密度に応じた通電信頼性モデルを構築し、バイポーラ劣化を抑制する SiC エピ設計指針を導出した。電流密度に応じたバイポーラ劣化現象を観測するためには、動作中の SiC MOSFET 内の結晶欠陥の挙動を可視化する手法が必要になるが、これまで有効な手法が開発されていなかった。そこで、動作中デバイスにおける結晶欠陥の挙動を可視化するために、オペランド X 線トポグラフィ法を開発した。それにより、動作中 SiC MOSFET における 1SSF の拡張を直接観察することに世界で初めて成功し、各電流密度で異なる 1SSF が拡張すること、同じ電流密度でも拡張開始のタイミングが異なることを明らかにした。時間分解 X 線トポグラフィ像から、1SSF の拡張速度を抽出し、内蔵ダイオードに流れる電流密度に伴って大きくなることを明らかにした。異なる電流密度で拡張した 1SSF について、拡張起点である BPD-TED 変換点の SiC エピ表面からの深さを分析した結果、変換点は電流密度に伴って深くなり、拡張に必要な正孔密度が供給される深さの電流密度依存性を実験的に明らかにした。これらの研究結果を基に、バッファ層/基板界面の正孔密度を制御する高窒素濃度層を設計し、それを適用した SiC MOSFET は、大電流試験でバイポーラ劣化せず高い通電信頼性を示すことを実証した。続いて、バイポーラ劣化を抑制するエピ仕様の設計について検討し、電流密度に応じて具体的なバッファ層仕様を導出した。バイポーラ劣化を起こさない SiC MOSFET を開発するためには、適用アプリケーションごとに SiC MOSFET 内部の正孔分布を把握し、バッファ層/基板界面の正孔密度を制御することが必要であることを明らかにした。

## 6.2 残されている課題

本研究では、形態欠陥や BPD に着目し、それらが SiC SBD や SiC MOSFET の電気的特性に及ぼす影響を検討したが、達成できなかった課題も多く残されている。

残されている課題の第 1 は、トレンチ JBS ダイオードのデバイス設計パラメータの最適化とその実証である。本研究では、ショットキー接合界面における電界強度低減効果の検証を優先したため、オン電圧が増加した。最適な設計パラメータで試作したデバイスにより、オン電圧の増加なくリーク電流が低

減可能であることを実証する必要がある。

残されている課題の第2は、イオン注入領域の境界に沿って形成されるプロセス起因 BPD の形成機構である。本研究では、イオン注入領域の境界に発生した応力をプロセス起因 BPD の成因とし、それは二次欠陥の形成に伴うイオン注入領域の膨張により生じたと述べた。しかし、二次欠陥による格子定数の変化は明らかになっておらず、これを検証する必要がある。また、発生した応力のイオン注入条件依存性から、プロセス起因 BPD の形成を抑制できる注入条件を選定した。しかし、応力は注入領域の大きさや形状などのレイアウトによっても変化すると考えられるので、注入条件に加えてレイアウトも考慮したユニバーサルな製造プロセスの設計指針が必要である。

残されている課題の第3は、SiC MOSFET 内部の正孔密度の予測モデルの高精度化である。本研究では、SiC エピ層内部の正孔寿命を一定とし、内蔵ダイオードのアノードコンタクト部はオーミック性を示すと仮定した。しかし、実際の SiC MOSFET ではエピ層内部の正孔寿命は点欠陥の影響を受けること、イオン注入で形成したコンタクト部における正孔密度は理想値からずれることが考えられるので、これらの各要素を評価し、モデルに組み込む必要がある。

残されている課題の第4は、BPD-TED 変換点の分析手法の開発である。本研究で、BPD-TED 変換点の位置が、SiC MOSFET の通電信頼性に影響を与えることを明らかにした。BPD-TED 変換点が SiC エピ表面付近にある場合は、デバイス駆動中に正孔が供給されやすく、バイポーラ劣化が起きやすい。従って、BPD-TED 変換点の分布を把握することは、SiC MOSFET の通電信頼性を担保する上で重要となるため、BPD-TED 変換点を大面積で簡便に分析する手法を開発する必要がある。

### 6.3 将来の展望

将来の展望の第1は、やはり形態欠陥や BPD の低密度化である。形態欠陥に関しては、SiC バルク単結晶基板の前処理条件を含めたエピ成長条件の最適化により、良好な濃度・膜厚均一性を確保しつつ形態欠陥を抑制できる解を見出せるのではないかと考えている。BPD に関しては、SiC バルク単結晶基板に含まれる BPD がエピ層中にそのまま伝播、或いは TED として伝播するため、エピ成長技術で低密度化することは困難である。TED はバイポーラ劣化に無害であるが、BPD-TED 変換点の位置とデバイス駆動条件によってはバイポーラ劣化を引き起こす。エピ層中の BPD や BPD-TED 変換点を低密度化するためには、SiC バルク単結晶基板の高品質化が必要となる。昇華法の技術革新により、SiC バルク単結晶基板の BPD 密度は年々減少してきたが、これ以上の大幅な削減は原理的に困難であると考えられる。昇華法に代わる新たな成長方法として、BPD の低密度化が期待できる溶液法や高温ガス成長法の技術開発が進められている。これらの成長技術が進展し、工業的に SiC バルク単結晶基板が入手可能になれば、新たな成長方法で製造された SiC バルク単結晶基板に対する、最適な基板前処理技術やエピ成長技術の開発が必要であろう。同様に、新たな成長方法で得られたエピ基板を用いて SiC パワーデバイスを試作し、一連の電気特性試験・信頼性評価を行い、その特性を検証することが必要であろう。特に、溶液法においては触媒として金属が使用されるため、金属不純物がデバイスの電気特性や信頼性に与える影響について検討が必要と考える。

将来の展望の第2として、新たな SiC バルク単結晶成長技術が成熟するまでの間に、BPD の影響を抑制し、バイポーラ劣化のない SiC パワーデバイスをどのように開発するべきか、自身の考えを述べる。本研究で、SiC MOSFET の通電信頼性を決める要因は、BPD や BPD-TED 変換点の位置と、駆動中の MOSFET 内の正孔密度分布であることを明らかにした。つまり、通電信頼性は、材料側の特性と、デバ

イス・モジュール側の特性によって影響を受ける。従って、材料 - デバイス - モジュール分野を横断して通電信頼性を担保する必要がある。材料分野では、BPD-TED 変換点の位置を制御できるエピ成長技術や、多層エピ成膜技術が必要になる。前者は、SiC バルク単結晶中に含まれる BPD を全て TED に変換し、かつ BPD-TED 変換点を SiC エピ表面からより深い位置に制御することで、1SSF 拡張の駆動力である正孔を届きにくくする効果がある。この際、BPD-TED 変換点の分布を簡便に分析できる手法を開発する必要がある。後者は、高窒素濃度層を備えた多層エピ構造とすることで、SiC バルク単結晶基板内への正孔注入を抑制し、基板からの 1SSF 拡張を抑制する効果がある。デバイス分野では、BPD の形成がない製造技術や、BPD を含む素子を適切に除外するスクリーニング技術、そしてデバイス内の正孔密度を正確に予測するモデルが必要である。モジュール分野では、BPD や BPD-TED 変換点に合わせた駆動方法や実装方法の工夫が必要である。これらの材料、デバイス、モジュール分野は切り離さず、シームレスに連携することがバイポーラ劣化のない SiC MOSFET の開発に必要である。分野を横断した開発には、図 6-1 に示すように、SiC 材料からデバイス・モジュールまでのデータをデジタル統合し、サイバー空間上に独自のモデルをつくるのが効果的である。フィジカル空間で得られた実験データをサイバー空間上のモデルと比較検証するサイクルを繰り返すことでモデルが洗練され、デジタルツイン化が進む。これにより、サイバー空間上で材料の特性からモジュールの特性を見積る、或いは要求されるモジュールの特性から必要な材料特性を見積ることが簡便にできるため、開発サイクルが短縮され、高信頼な SiC パワーデバイスを早期に市場投入できる。

本研究で得られた研究結果は、結晶欠陥と共存しつつ、高信頼な SiC パワーデバイスをどのように開発するかという問いに対して、重要な指針になると考えている。特に、これまで観察手法が無かった、動作中 SiC MOSFET における結晶欠陥の挙動を可視化できたことは画期的な研究結果であり、開発した手法を用いることで SiC パワーデバイスの高信頼化に貢献できると考える。

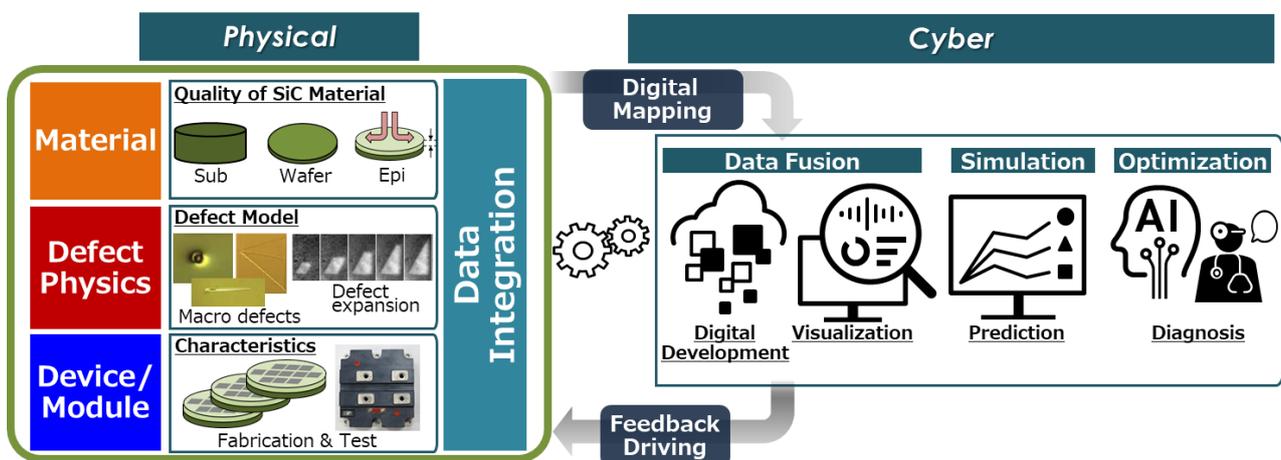


図 6-1 SiC パワーデバイス開発におけるデジタルツイン化

## 謝辞

本論文を執筆するにあたり、懇切なる御指導を賜りました名古屋大学 未来材料・システム研究所 宇治原 徹 教授に心より感謝いたします。また、名古屋大学 大学院工学研究科 宇佐美 徳隆 教授，名古屋大学 未来材料・システム研究所 天野 浩 教授，名古屋大学 大学院工学研究科 宮崎 誠一 教授，名古屋大学 シンクロトロン光研究センター 田淵 雅夫 教授には本論文を審査いただくに際して，細部にわたり御指導ならびに御助言を賜り，深く感謝いたします。

動作中 SiC MOSFET における結晶欠陥の挙動を可視化するにあたり，放射光施設での実験環境の立ち上げから改良，長時間にわたる実験について，全面的な御支援と多大なる御助言をいただきました九州シンクロトロン光研究センター 米山 明男 氏，石地 耕太郎 氏に深く感謝いたします。

本研究の一部は株式会社 日立製作所にて創出されたものです。研究の遂行と論文執筆の機会を与えてくださった研究開発グループ 電動化イノベーションセンタ 山岡 士朗 センタ長，島 明生 主管研究長，エネルギーエレクトロニクス研究部 豊田 善章 部長，沖野 泰之 ユニットリーダーに深く感謝します。また，デバイス研究者としての基礎を御指導下さった横山 夏樹 主任研究員，亀代 典史 研究員に厚く感謝いたします。

デバイスの試作・評価には，多くの方々の御協力をいただきました。デバイスの通電試験環境の構築に関して，多大なる御協力をいただいた藤田 隆誠 研究員に深く感謝いたします。バイポーラ劣化に関する議論で，様々な御助言をいただいた毛利 友紀 主任研究員，佐川 雅一 主任研究員に深く感謝いたします。通電試験や結晶欠陥の分析に際して，多くの時間を割いて協力いただいた小林 慶亮 研究員に深く感謝いたします。また，本研究を遂行するにあたり，自身の御経験を踏まえて懇切なる御指導をいただきました，元 株式会社 日立製作所 大野 俊之 主任研究員に感謝の意を表します。

本研究は，以上に挙げきれなかった多くの方々からの御協力，御指導により達成されたものであり，心より御礼申し上げます。

最後に，これまでの教育の機会を与えてくれた両親と，一番近くで支えてくれた夫の聡悟に心より感謝し，謝辞の結びとさせていただきます。

2022年2月 小西 くみこ



## 本学位論文に関する研究業績リスト

### 査読付学術論文（主著）

- [1] K. Konishi, N. Kameshiro, N. Yokoyama, A. Shima and Y. Shimamoto, “Effect of trench structure on reverse characteristics of 4H-SiC junction barrier Schottky diodes” *Japanese Journal of Applied Physics* Vol. **56**, 121301 (2017).
- [2] K. Konishi, R. Fujita, Y. Mori, and A. Shima, “Inducing defects in 3.3 kV SiC MOSFETs by annealing after ion implantation and evaluating their effect on bipolar degradation of the MOSFETs”, *Semiconductor Science and Technology* Vol. **33**, 125014 (2018).
- [3] K. Konishi, R. Fujita, and A. Shima, “Modeling and evaluation of stacking fault expansion velocity in body diode of 3.3 kV SiC MOSFET”, *Journal of Electronic Materials* Vol. **48**, 3, pp. 1704-1713 (2019).
- [4] K. Konishi, R. Fujita, K. Kobayashi, A. Yoneyama, K. Ishiji, H. Okino, A. Shima and T. Ujihara, “*In-operando* x-ray topography analysis of SiC metal–oxide–semiconductor field–effect transistors to visualize stacking fault expansion motions dynamically during operations”, *Journal of Applied Physics* Vol. **130**, 145703 (2021).
- [5] K. Konishi, R. Fujita, K. Kobayashi, A. Yoneyama, K. Ishiji, H. Okino, A. Shima and T. Ujihara, “Nucleation sites of expanded stacking faults detected by *in-operando* x-ray topography analysis to design epitaxial layers for bipolar-degradation-free SiC MOSFETs”, to be published by *AIP Advances* in March 2022.

### 国際会議発表（主著）

- [1] K. Konishi, N. Kameshiro, N. Yokoyama, A. Shima and Y. Shimamoto, “Influence of Trench Structure on Reverse Characteristics of 4H-SiC JBS Diodes” *European Conference on Silicon Carbide and Related Materials (ECSCRM) 2014*, September 21-25, Grenoble (France), MO-P-77 (2014).
- [2] K. Konishi, R. Fujita, A. Shima, and Y. Shimamoto, “Modeling of Stacking Faults Expansion Velocity of Body Diodes in 4H-SiC MOSFET”, *European Conference on Silicon Carbide and Related Materials (ECSCRM) 2016*, September 25-29, Halkidiki (Greece), MoP.36 (2016).
- [3] K. Konishi, R. Fujita, Y. Mori, and A. Shima, “Investigation of forward voltage degradation due to process induced defects in 4H-SiC MOSFET”, *International Conference on Silicon Carbide and Related Materials(ICSCRM) 2017*, September 17-22, Washington, D.C. (U.S.), TU.C1.1 (2017).
- [4] K. Konishi, R. Fujita, A. Yoneyama, and A. Shima, “Operando X-ray topography of 4H-SiC MOSFETs to investigate stacking fault expansion”, *European Conference on Silicon Carbide and Related Materials (ECSCRM) 2018*, September 2-6, Birmingham (UK), TU.P.ED5 (2018).
- [5] K. Konishi, R. Fujita, K. Kobayashi, A. Yoneyama, Y. Mori and A. Shima, “Operando X-ray topography analysis of 4H-SiC MOSFETs for investigating stacking fault expansion”, *International Conference on Silicon Carbide and Related Materials(ICSCRM) 2019*, September 29-October 4, Kyoto (Japan), Invited Tu-1B-01 (2019).

### 受賞

- [1] 応用物理学会 第10回女性研究者研究業績・人材育成賞（小舘香椎子賞）小西 くみこ；「SiC パワーデバイスの高信頼化に向けた SiC 結晶欠陥に関する研究」(2019).