

報告番号	甲 第 14508 号
------	-------------

## 主 論 文 の 要 旨

論文題目 縦型 GaN トレンチ MOSFET の作製プロセスの確立とスイッチング性能向上に向けた検討  
(Study on establishment of the fabrication process of a vertical GaN trench MOSFET and increase in its switching performance)

氏 名 石田 崇

## 論 文 内 容 の 要 旨

本論文は、縦型窒化ガリウム (GaN) トレンチ MOSFET の①大電力高速パワースwitchングデバイスとしてのポテンシャルを、デバイスシミュレーションを用いて定量的に考察し、②未だ作製プロセスが完全に確立していない GaN トレンチ MOSFET 作製上の問題とその原因を明確化しつつ、その解決を行い、③その知見を基に実際に作製したデバイスの特性評価を行いデバイスシミュレーション結果 (本研究が提示するコンセプト) の妥当性を示した研究成果をまとめたものである。特に、GaN と同じくワイドバンドギャップ (WBG) 半導体でありパワーデバイスの研究開発が先行している炭化ケイ素 (SiC) に対する差別化を図るため、GaN に期待される高いチャネル移動度 (SiC:  $50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  程度、GaN:  $200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  程度) に着目して、高いチャネル移動度がデバイスの高周波化にもたらすメリットを定量的に考察している。

第 1 章では、本研究の背景、WBG 半導体の研究開発動向、本研究の位置付けを述べている。電動車の普及、ビッグデータ解析や AI 活用等により、電子機器、装置への省エネルギー化や適用領域拡大の要求は年々高まっている。この要求に応える上で技術課題となっているのが、電子機器、装置の電力変換効率向上や小型化/軽量化であり、パワー半導体の性能向上 (低損失化/高周波化) が不可欠である。この課題を解決すると期待されているのが WBG 半導体であり、パワー半導体の性能を決める重要な物性である絶縁破壊電界強度の近

い SiC と GaN が近年特に注目されている。しかし、SiC と GaN は物性が似ていることから、想定されるパワーデバイスの適用先が類似しており、競合状態となっている。そこで、パワーデバイスの代表的な構造である MOSFET において、GaN は SiC よりも高いチャネル移動度が期待されることに着目し、ゲート密度、すなわちゲート容量の低減が可能であることから、高周波化の観点で SiC よりも有利であると考えた。この考えの下、本研究では、GaN MOSFET の大電力高速パワーデバイスとしてのポテンシャルを、デバイスシミュレーションとデバイス作製評価の両面から実証することを目指している。

第 2 章では、デバイスのオン抵抗およびチップコストの指標である  $R_{on}A$  ( $R_{on}$ : オン抵抗、 $A$ : デバイス面積) とスイッチング性能の指標である  $R_{on}Q_g$  ( $Q_g$ : ゲート入力電荷量) を組み合わせ、チップコストとスイッチング性能の両方を同時に評価する指標として考案した  $R_{on}AR_{on}Q_g$  を、様々なゲート構造、耐圧仕様、セルピッチ、チャネル移動度を想定し、デバイスシミュレーションで計算し、比較評価している。

まず、シンプルなトレンチゲート構造 (trench 構造) を用いて評価したところ、600 V 耐圧、チャネル移動度  $100, 200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  のとき、 $R_{on}AR_{on}Q_g$  を最小 (最適) にするセルピッチは、それぞれ  $8, 12 \mu\text{m}$  となった。これは、SiC で従来行われているチャネル抵抗低減の手法であるセルピッチ狭化が、チャネル移動度が高い場合には必ずしも最適ではないことを示している。更に、GaN デバイスで期待される  $200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  のときには、広範囲のセルピッチにおいて  $R_{on}AR_{on}Q_g$  を小さく保つことができ、セルピッチの設計自由度を高めることができることも分かった。一方で、 $50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  のときにはセルピッチを  $5 \mu\text{m}$  まで小さくしても  $R_{on}AR_{on}Q_g$  の値は下がり続け、最小値とならなかった。このことから、チャネル移動度  $100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  以上、特に  $200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  あれば、スイッチング性能とチップコストの両立に有利であることが明らかになった。また、チャネル移動度向上に伴う  $R_{on}AR_{on}Q_g$  減少の観点でメリットのあるチャネル移動度は、耐圧 3300 V の場合は  $150 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  以上、耐圧 600 V、1800 V の場合は  $200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  以上であることが分かった。

次に、WBG 半導体特有の課題である、デバイスオフ時にゲート絶縁膜にかかる電界を緩和する対策を施したトレンチゲート構造 (trench-AP 構造) と、近年低オン抵抗のデバイス作製結果が報告されているプレーナゲート構造 (planar 構造) についてもデバイスシミュレーション評価を行っている。その結果、600 V 耐圧においては、planar 構造が  $R_{on}A$  は高いが、3 構造のうち最小の  $R_{on}AR_{on}Q_g$  を得られた。一方、1800 V 耐圧においては、trench 構造にて最小の  $R_{on}AR_{on}Q_g$  が得られた。また、チャネル移動度が  $100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  以上であれば、trench-AP 構造と planar 構造においても trench 構造と同様に小さい  $R_{on}AR_{on}Q_g$  を実現でき、スイッチング性能とチップコストの両立に有利であることが分かった。ゲート絶縁膜にかかる電界を緩和できる trench-AP 構造と planar 構造を比較すると、チャネル移動度が高くなるにつれて、 $R_{on}AR_{on}Q_g$  の値は低くなり、両者は近づいていく。このことから、スイッチング性能とコストの両立のためには、デバイス構造自体よりもチャネル移動度向上が重要であることが明らかになった。

トレンチゲート型とプレーナゲート型では、MOS 構造の作製プロセスおよびチャネルの結晶方位が異なる。従って、達成可能なチャネル移動度もゲート構造ごとに異なると考えられる。現時点では、どのようなゲート構造、ゲート絶縁膜材料が最も高いチャネル移動度を実現できるか明らかになっていない。よって、各ゲート構造の高チャネル移動度実現のポテンシャルの見極めが重要であることが分かった。

第 3 章では、縦型 GaN トレンチ MOSFET 作製における課題とその対策について述べている。作製した縦型 GaN トレンチ MOSFET において、逆方向リークが発生した。これは、要素技術を組み合わせて縦型 GaN トレンチ MOSFET を作製するというプロセスインテグレーションにおいて、初めて顕在化した課題である。

断面走査型静電容量顕微鏡法(scanning capacitance microscopy: SCM)解析を行ったところ、トレンチ側壁近傍の BodyP の n 型化を確認した。Mg 濃度が  $2 \times 10^{18} \text{ cm}^{-3}$  以上の領域では n 型化は起こっていなかった。また、この n 型化は、N+ソースのない PND 構造の場合には発生しないことが断面 SCM 分析より明らかになり、このことから、スパッタエピ成長した N+ソースの存在が n 型化の 1 つの要因であることが分かった。

次に、逆方向リークの発生工程の絞り込みを行ったところ、N+ソース形成工程にて逆方向リークが発生し、その後のゲート絶縁膜アニールまでの各工程で逆方向リークが増大していくことが分かった。N+ソース形成工程での逆方向リーク発生は、トレンチ側壁近傍の BodyP の n 型化以外の要因であると考えられる。

トレンチ側壁近傍の BodyP の n 型化については、次のように発生メカニズムを推定した。スパッタエピ成長した結晶性の悪い N+GaN 中に含有される高濃度のドナー不純物またはアクセプタを補償する不純物がトレンチを形成するドライエッチング工程にて削られ、チャネル面に付着（逆方向リーク増大）→ ゲート絶縁膜成膜時のわずかな熱負荷によって、不純物がわずかに BodyP 内部へ拡散（逆方向リーク微増）→ ゲート絶縁膜アニール時の高温の熱負荷により不純物が大きく BodyP 内部へ拡散（逆方向リーク増大）。この推定メカニズムから、対策として、『ソース形成方法をスパッタから有機金属気相成長へ変更』と『BodyP の Mg 高濃度化 ( $5 \times 10^{17} \text{ cm}^{-3} \rightarrow 3 \times 10^{18} \text{ cm}^{-3}$ )』の 2 つを第 4 章のデバイス作製へ織り込むことに決定した。第 3 章では、縦型 GaN トレンチ MOSFET の作製プロセスとデバイス構造を設計する際に有用な知見が得られた。

第 4 章では、第 3 章で示した『ソース形成方法をスパッタから有機金属気相成長へ変更』と『BodyP の Mg 高濃度化 ( $5 \times 10^{17} \text{ cm}^{-3} \rightarrow 3 \times 10^{18} \text{ cm}^{-3}$ )』の 2 つの対策案を織り込み、セルピッチを  $12 \mu\text{m}$  から  $42 \mu\text{m}$  まで振った縦型 GaN トレンチ MOSFET を作製し、基本特性として、耐圧特性、伝達特性、出力特性を、スイッチング動作としてゲート入力電荷量を測定した結果を述べている。

耐圧特性については、対策後の MOSFET にて 3~7 桁逆方向リークが低減しており、対策の効果が確認できた。

伝達特性については、対策後の MOSFET の方がドレイン電流立ち上がり前のドレインリ

ークが低く、チャネル領域のリークが抑制されていることが分かった。

出力特性については、セルピッチが  $15\ \mu\text{m}$  以上の範囲では  $R_{\text{on}}A$  はセルピッチの 1 次関数となっており、第 2 章のデバイスシミュレーションと同様の傾向となった。また、セルピッチが  $15\ \mu\text{m}$  以下で  $R_{\text{on}}A$  は  $8.8\ \text{m}\Omega\text{cm}^2$  で一定となり、理想値より高い結果となった。これは、MOSFET のチャネル抵抗以外の寄生抵抗が大きいことが要因であり、TLM 測定やデバイスシミュレーションを用いた見積もりから、その主成分はソースコンタクト抵抗であることが分かった。これらの抵抗を低減するには、意図しない不純物の混入を抑えてスパッタ成長した N+GaN を、ソース領域および基板裏面のドレイン側に成膜するなどして、表裏面の N+GaN の実効ドナー濃度を高める対策が必要となることが分かった。

ゲート入力電荷量  $Q_g$  については、作製した GaN デバイスチップを TO-247 にパッケージングし、ダブルパルス試験を行い算出した。その結果、 $R_{\text{on}}AR_{\text{on}}Q_g$  はセルピッチ  $15\sim 22\ \mu\text{m}$  にて最小（最適）となることが分かった。作製した MOSFET においても、第 2 章のシミュレーションと同様に、コストを考慮したスイッチング性能  $R_{\text{on}}AR_{\text{on}}Q_g$  を最小（最適）にするセルピッチの存在を確認した。すなわち、第 2 章で提唱した、チャネル抵抗低減の手法であるセルピッチ狭化は、コストを考慮したスイッチング性能の観点からすると必ずしも最適ではないことをデバイス作製評価によって裏付けた。

第 5 章では本研究で得られた知見を整理するとともに将来の縦型 GaN パワーデバイスの開発の指針、重点を置くべき開発要素について述べている。本研究の成果は、縦型 GaN MOSFET の性能向上と最適構造設計の指針として有用であり、縦型 GaN MOSFET の特長を活かしたアプリケーション検討および適用領域拡大を加速し、将来の省エネルギー（低炭素）社会の実現に資するものである。