

論文審査の結果の要旨および担当者

報告番号	※ 甲 第 14508 号
------	---------------

氏 名 石田 崇

論文題目

縦型GaNトレンチMOSFETの作製プロセスの確立とスイッチング性能向上に向けた検討

(Study on establishment of the fabrication process of a vertical GaN trench MOSFET and increase in its switching performance)

論文審査担当者

主査	名古屋大学	工学研究科	教授	須田 淳
委員	名古屋大学	未来材料・システム研究所	教授	天野 浩
委員	名古屋大学	工学研究科	准教授	堀田 昌宏
委員	名古屋大学	未来材料・システム研究所	准教授	本田 善央
委員	名古屋大学	未来材料・システム研究所	特任教授	加地 徹
委員	名古屋大学	工学研究科	教授	中塚 理

論文審査の結果の要旨

石田崇君提出の論文「縦型GaNトレンチMOSFETの作製プロセスの確立とスイッチング性能向上に向けた検討」は、縦型GaNトレンチMOSFETの大電力高速パワースイッチングデバイスとしてのポテンシャルを、デバイスシミュレーションを用いて定量的に検討、考察し、未だ作製プロセスが完全に確立していないGaNトレンチMOSFET作製上の問題とその原因を明確化しつつ、その解決を行い、その知見を基に作製したデバイスの特性評価を行いデバイスシミュレーション結果（本研究が提示するコンセプト）の妥当性を示した研究成果をまとめたものである。各章の概要は以下の通りである。

第1章では、研究背景、WBG半導体の研究開発動向、本研究の位置付けを述べている。電動車の普及、ビッグデータ解析やAI活用等により、年々高まる電子機器の省エネルギー化や適用領域拡大の要求に応える上で、パワー半導体の低損失化／高周波化が不可欠である。パワー半導体材料として近年期待されているSiCとGaNは、物性が似ていることから、想定されるパワーデバイス適用先が類似し、競合状態となっている。そこで、パワーデバイスの代表的な構造であるMOSFETにおいて、高いチャネル移動度が期待されるGaNは、ゲート密度、すなわちゲート容量の低減が可能であることから、高周波化の観点でSiCよりも有利であると考えた。この考えの下、本研究では、GaN MOSFETの大電力高速パワーデバイスとしてのポテンシャルを、デバイスシミュレーションとデバイス作製評価の両面から実証している。

第2章では、チップコスト指標 $R_{on}A$ とスイッチング性能指標 $R_{on}Q_g$ を組み合わせ、チップコストとスイッチング性能の両方を同時に評価する指標として $R_{on}AR_{on}Q_g$ を考案し、様々なゲート構造（トレンチゲート型の電界緩和構造有無、プレーナゲート型）、耐圧仕様（600～3300 V）、セルピッチ（5～81 μm ）、チャネル移動度（50～200 cm^2/Vs ）を想定し、デバイスシミュレーションにて計算した。その結果、コストとスイッチング性能を両立する最適なセルピッチの存在と、高いチャネル移動度により広範囲のセルピッチにおいて $R_{on}AR_{on}Q_g$ を小さく保つことができ、セルピッチの設計自由度が向上することを定量的に明らかにした。

第3章では、縦型GaNトレンチMOSFET作製における課題とその対策について述べている。1 A級縦型GaNトレンチMOSFETを作製し、良好な伝達特性と出力特性は得られたものの、耐圧特性におけるオフリークの課題を見出した。SCM解析により、トレンチ側壁近傍p型GaNのn型化の要因を特定し、断面TEM分析等の更なる物理分析とTEGの電気特性評価から、スパッタエピ成長した結晶性の悪いn型GaNソース中に含有される高濃度のドナー不純物やアクセプタを補償する不純物がトレンチ形成ドライエッチング工程にて削られ、トレンチ側壁に付着し、その後のプロセス熱負荷によりp型GaN内部へ拡散する、というメカニズムを推定した。この推定メカニズムから、対策として、『n型GaNソース形成方法をスパッタから有機金属気相成長へ変更』と『BodyPのMg高濃度化』の2つを決定した。

第4章では、第3章で決定した2つの対策を織り込み、セルピッチを12 μm から42 μm まで振った1 A級縦型GaNトレンチMOSFETを作製し、チップ状態で耐圧特性、伝達特性、出力特性を、また、デバイスチップをTO-247にパッケージングし、ダブルパルス試験にてゲート入力電荷量を測定した結果を述べている。得られた電気特性から、第3章で示した対策がオフリーク低減に有効であることと、セルピッチ15～22 μm にて $R_{on}AR_{on}Q_g$ が最小（最適）となることを示した。すなわち、第2章のデバイスシミュレーションと本章のデバイス作製評価の両面で、コストとスイッチング性能を両立する最適なセルピッチの存在を明らかにした。

第5章では、本研究の結論を与えている。

以上のように本論文では、コストとスイッチング性能を両立する最適なセルピッチが存在することをデバイスシミュレーションとデバイス作製評価の両面で、定量的に明らかにしている。これは、デバイスの低損失化、すなわちチャネル抵抗低減に特化した、セルピッチを可能な限り小さくする従来の設計手法は必ずしも最適ではないことを示している。また、GaNに期待される高いチャネル移動度が、セルピッチの設計自由度向上に有利であることと、縦型GaNトレンチMOSFET作製のプロセスインテグレーションにおける課題と対策も明確化した。本研究で得られた成果は、縦型GaNパワーデバイスの性能向上と最適構造設計の指針として有用であるとともに、GaNの大電力高速パワースイッチングデバイスとしての適用範囲拡大のための基礎となるものであり、工学の発展に寄与するところが大きい。よって、本論文の提出者である石田崇君は博士（工学）の学位を受けるに十分な資格があると判断した。