

スイッチング周波数の高調波成分に着目した

非絶縁および絶縁ゲート

GaN HEMT 用駆動回路の研究

Study on Gate Drive Circuits for Non-Insulated and
Insulated Gate GaN HEMTs Focusing on Switching
Frequency Harmonic Components

服部 文哉

Fumiya Hattori

スイッチング周波数の高調波成分に着目した

非絶縁および絶縁ゲート

GaN HEMT 用駆動回路の研究

Study on Gate Drive Circuits for Non-Insulated and
Insulated Gate GaN HEMTs Focusing on Switching
Frequency Harmonic Components

2023 年 9 月

September 2023

服部 文哉

Fumiya Hattori

名古屋大学大学院工学研究科電気工学専攻

Department of Electrical Engineering,
Graduate School of Engineering,
Nagoya University

目次

第 1 章 序言	1
1.1 研究背景	1
1.2 研究目的	8
1.3 論文の全体構成	10
第 2 章 スイッチング素子とゲート駆動回路	12
2.1 スイッチング素子の構造.....	12
2.1.1 MOSFET の内部構造と寄生パラメータ.....	12
2.1.2 GaN HEMT の内部構造と寄生パラメータ.....	14
2.2 ゲート駆動回路の基礎	16
2.2.1 ゲート駆動回路の基本要素	16
2.2.2 バッファ部における出力段の構成.....	23
2.2.3 ゲート回路.....	28
2.2.4 ハードスイッチングとソフトスイッチング.....	33
2.3 非絶縁ゲート GaN HEMT の基本特性とゲート駆動回路.....	34
2.3.1 GaN GIT におけるゲート-ソース間のダイオード特性	34
2.3.2 オフ時におけるドレイン-ソース間電圧の特性	36
2.3.3 GaN HEMT の閾値電圧.....	37
2.3.4 一般的なゲート駆動タイプ	37
2.3.5 RC タイプ.....	38
2.3.6 アクティブ放電タイプ (AD タイプ)	40
2.3.7 ETH Zurich タイプ	41
2.4 絶縁ゲート GaN HEMT のゲート駆動回路	42
2.4.1 一般的なゲート駆動タイプ	42
2.4.2 部分共振形ゲート駆動回路	43
2.4.3 2石正弦波共振形ゲート駆動回路	50
2.4.4 1石半波共振形ゲート駆動回路	50
2.4.5 1石複合共振ゲート駆動回路	51
2.4.6 自励方式のゲート駆動回路	52
2.5 スイッチング周波数の高調波成分に着目したゲート駆動回路	52
2.5.1 バッファ部とゲート回路部の役割.....	54
2.5.2 スイッチング周波数の高調波成分に着目したゲート駆動回路の適用	56
2.6 本研究の位置づけ	57
2.7 まとめ.....	58

第 3 章 低損失駆動を実現する非絶縁ゲート GaN HEMT 用駆動回路	61
3.1 提案ゲート駆動回路	61
3.1.1 インパルス波形に含まれる高調波成分に着目したゲート駆動回路	61
3.1.2 提案するゲート駆動回路の回路構成と動作	63
3.1.3 高速ターンオン実現用ゲート抵抗 R_{g1} の決定方法	67
3.1.4 ドライブ損失の導出	69
3.1.5 ドライブ損失における計算式の妥当性検証	69
3.2 ゲート駆動回路の性能比較	75
3.2.1 各ゲート駆動回路におけるドライブ損失の比較	75
3.2.2 誤点弧耐性の比較	76
3.2.3 起動時の動作比較	81
3.2.4 降圧チョッパ回路への搭載と効率比較	82
3.3 まとめ	89
第 4 章 高周波駆動を実現する絶縁ゲート GaN HEMT 用駆動回路	92
4.1 高周波コンバータの駆動技術	92
4.2 複合共振ネットワーク	94
4.3 基本波成分と 3 次高調波成分に着目したゲート駆動回路	95
4.3.1 台形波を生成する 2 石複合共振形ゲート駆動回路	95
4.3.2 提案回路の設計方法	97
4.3.3 提案回路のシミュレーション	98
4.3.4 受動部品のばらつきによる影響	100
4.4 2 次高調波成分に着目したゲート駆動回路	101
4.4.1 ドライバ IC を含めたドライブ損失	101
4.4.2 ドライバ IC で生じる損失の測定	103
4.4.3 提案回路の構成	104
4.4.4 提案回路の設計方法	107
4.4.5 提案回路のシミュレーション	109
4.4.6 周波数係数 k_1 と k_3 の影響	114
4.4.7 受動部品のばらつきによる影響	115
4.5 ゲート駆動回路の性能比較	115
4.5.1 ドライバ損失と発熱の比較	115
4.5.2 E 級インバータでの効率比較と損失比較	122
4.6 まとめ	126
第 5 章 結言	128
参考文献	131

研究業績	138
謝辭	140

第1章 序言

1.1 研究背景

航空宇宙産業から家電民生機器に至るまで、ありとあらゆる分野にスイッチング電源が採用されており、電力機器の小型軽量化や高性能化だけでなく省電力化にも貢献している。ここで、スイッチング電源とは出力電力をスイッチのオン時間とオフ時間にて調整する電源装置の総称である⁽¹⁾。2000年代初頭では電子機器用DC-DCコンバータの狭義の意味として用いられていたが、昨今ではAC-DCコンバータ、AC-ACコンバータやインバータも含めてスイッチング電源と呼ばれている。図1.1にスイッチング電源におけるスイッチング周波数と出力電力の関係を示す。図1.1からスイッチング電源は出力電力の大電力化にともなって、スイッチング周波数は小さくなり、スイッチング周波数の高周波化にともなって、出力電力が小さくなるため、出力電力とスイッチング周波数は相反の関係にある。

一般的に、スイッチング電源のスイッチング素子にはSi MOSFETやIGBTといったSi素子を使用されており、その小型軽量化はスイッチング周波数の高周波化によって実現される。これはスイッチング電源の主要部品であるキャパシタ、インダクタやトランスといった受動素子へ蓄積する電界エネルギーと磁界エネルギーに、スイッチング周波数が大きく関係しているからである。通常、キャパシタ

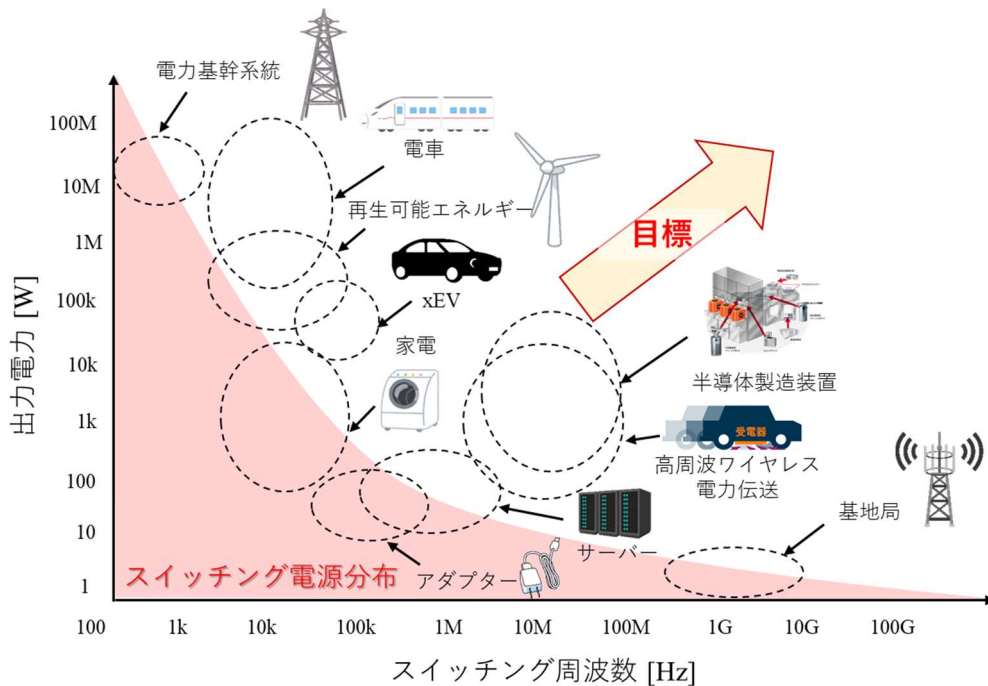


図 1.1 スイッチング電源における出力電力とスイッチング周波数の関係

第1章 序言

やインダクタは電圧や電流の安定化のためにスイッチング電源に搭載される。低スイッチング周波数では1周期におけるキャパシタの充放電電流量が大きく、その電圧脈動を吸収して一定の電圧を維持するためには、大容量キャパシタが必要となる。高スイッチング周波数では1周期におけるキャパシタの充放電電流量が小さくなるため、一定電圧の維持には低容量キャパシタで十分となる。これはインダクタでも同様で、低スイッチング周波数では1周期におけるインダクタに流れるインダクタ電流の脈動が大きいため、コア内部の最大磁束密度も大きくなり、大型コアを使用せざるを得なくなる。高スイッチング周波数では1周期におけるインダクタ電流の脈動が小さいため、コア内部の最大磁束密度も小さくなり、小型のコアが使用できる。しかしながら、スイッチング周波数の高周波化には限界がある。これはスイッチング素子自身の損失が増大し、特に数 kW 以上の電力容量かつ数 100kHz スwitching周波数ではスイッチング素子の発熱が顕著となって、冷却器の体積が大型化してしまうためである。実際、大容量かつ高周波を実現する超高電力密度のスイッチング電源は技術的ハードルが高く、日々研究開発が進められている。つまり、図 1.1 の通り、スイッチング電源の超高電力密度化実現には大容量かつ高周波だけでなく、スイッチング素子自身の低損失化も要求される。

この課題に対して、マルチレベル技術やインターリーブ技術といった回路技術による解決方法が提示されている⁽²⁾⁽³⁾。マルチレベル技術は例えば2レベルインバータの出力波形が入力電圧 E_{in} の $\pm E_{in}$ になるのに対し、3レベルインバータであれば $\pm E_{in}/2$ および $\pm E_{in}$ となり、インバータ出力波形がより正弦波に近づくため、出力 LC フィルタの小型化が達成できる。また、インバータ内のパワー半導体素子が負担する電圧も軽減され、低耐圧で高速なスイッチング素子も使用できる。さらに、1 スwitching素子あたりの電圧変動幅も抑制できるため、比較的ノイズも抑え易い。インターリーブ技術は回路内のキャパシタやインダクタが負担する電流や電圧の周波数を見た目上、スイッチング周波数の2倍や3倍で動作させることができ、さらに各素子の電流や電圧の負担も軽減されるため、それら脈動ピークや損失の低減が可能である。実際に昇圧コンバータや降圧コンバータなどに適用され、装置の小型化が達成されている⁽⁴⁾⁽⁵⁾。

一方、SiC (Silicon Carbide) や GaN (Gallium Nitride) といった WBG (Wide Band Gap) 半導体によってスイッチング電源の小型軽量化を実現する手法もある⁽⁶⁾⁽⁷⁾。この手法は低オン抵抗で高速スイッチング可能なスイッチング素子を利用し、高効率かつ小型軽量化が実現できるため、非常にシンプルである。表 1.1 に半導体材料の物性定数を示す⁽⁸⁾⁽⁹⁾。例えば、SiC は Si の約 10 倍の絶縁破壊電界を有しており、ドリフト領域の長さが 1/10 となる上、本領域の不純物濃度を 100 倍にでき

表 1.1 半導体材料の物性定数⁽⁸⁾⁽⁹⁾

項目	Si	4H-SiC	GaN (バルク)	GAN (2DEG)	β -Ga ₂ O ₃	ダイヤモンド
バンドギャップ (eV)	1.12	3.26	3.39	3.39	4.5-4.9	5.47
電子移動度 (cm ² /Vs)	1500	1000	900	2000	300	2200
正孔移動度 (cm ² /Vs)	500	120	900	900	-	1600
最大電界強度 (MV/Vs)	0.3	3	3.3	3.3	8	10
熱伝導率 (W/cm ² ·K)	1.5	4.9	2	2	0.23	20
電子飽和速度 (cm/s)×10 ⁷	1	2.2	2.7	2.7	1.8~2.7	2.7
比誘電率	11.8	9.7	9	9	10	5.7

る。そのため、Si 素子と SiC 素子を同耐圧で比較した場合、オン抵抗を 2 桁から 3 桁程度低減することが可能である。さらに、熱伝導率が Si と比べて約 3 倍であり、高温環境下においても安定した動作が期待できる。すでに電力変換器へ搭載されており、電力損失を約 70 %低減できるといった報告もある⁽¹⁰⁾。GaN 素子は横型の HEMT (High Electron Mobility Transistor) が主流であり、Si 素子と同耐圧で比較してオン抵抗を 2 桁から 3 桁程度低減できる。また電子飽和速度が Si の 2 倍以上であるため、高周波駆動に向いている。近年、結晶成長技術の進歩により従来では困難とされてきた Si 基板上へ GaN のエピタキシャル成長が可能となり、大口径の Si 基板上に厚いエピタキシャル膜を形成できるようになった。そのため、GaN 素子は低コスト化に向けた流れに進んでいる。一方で、酸化ガリウム (Ga₂O₃) やダイヤモンドなどの素子開発も進んでおり、次々世代を担う素子として将来を期待されている⁽⁸⁾。

ところで、前述した半導体材料の物理定数からスイッチング素子としての性能を比較するために、表 1.2 のような性能指数 (FOM : Figure of Merit) が提案されている。Baliga 氏によって提案された BFOM はスイッチング素子のオン抵抗に関連しており、実回路ではスイッチング素子における導通損失の日安として利用できる⁽¹¹⁾。さらに、BHFOM は高周波時におけるスイッチング素子の損失がオン抵抗 R_{on} と素子の入力容量 C_{iss} で決定されるとして、スイッチング素子の高周波性能を比較する際に利用される⁽¹²⁾。Kim 氏によって提案された NHFFOM もスイッチング素子の高周波性能を比較する際に利用されるが、本性能指数は入力容量 C_{iss} の損失だけでなく、出力容量 C_{oss} の損失を考慮した性能指数となっている⁽¹³⁾。Huang 氏によって提案された HMFOM はスイッチング損失がゲート-ソース間電荷量 Q_{gd} に大きく影響するとした性能指数を提案している⁽¹⁴⁾。スイッチング素子の高周波化には BFOM だけでなく、BHFOM, NHFFOM および HMFOM の比較が重要であり、それらの FOM は値が大きいほど良いとされる。ただし NHFFOM や HMFOM はスイッチング素子の出力容量損失やスイッチング損失に関連するため、ハードスイッチング方式の回路トポロジーに、BHFOM はスイッチング素子の駆動に必

表 1.2 スイッチング素子における性能指数

性能指数	関連要素
$\text{BFOM} = \epsilon\mu E_G^3 \quad (11)$ ϵ :比誘電率 μ :飽和速度 E_G :最大電界強度	導通損失
$\text{BHFOM} = \mu E_C^2 \sqrt{\frac{V_G}{2V_B^3}} \quad (12)$ μ :飽和速度 E_C :最大電界強度 V_G :ゲート駆動電圧 V_B :最大許容電圧	導通損失 ドライブ損失
$\text{NHFFOM} = \mu E_C^2 \sqrt{\frac{V_D}{4V_B^3}} \quad (13)$ μ :飽和速度 E_C :最大電界強度 V_D :ドレイン-ソース間電圧 V_B :最大許容電圧	導通損失 出力容量損失
$\text{HMFOM} = E_C \sqrt{\mu} \quad (14)$ μ :飽和速度 E_C :最大電界強度	導通損失 スイッチング損失

表 1.3 Si の性能指数で規格化した各材料における性能指数

項目	Si	4H-SiC	GaN (バルク)	GAN (2DEG)	β -Ga ₂ O ₃	ダイヤモンド
BFOM	1	548	609	1354	3214	26240
BHFOM	1	67	73	161	142	1630
NHFFOM	1	67	73	161	142	1630
HMFOM	1	8	9	13	12	40

要なドライブ損失に関連するため、ソフトスイッチング方式の回路トポロジーに適用するのが望ましく、それぞれに応じた性能指数の使い分けが必要である。表 1.3 に各半導体材料の性能指数を Si の性能指数を 1 として規格化したものを示す。BHFOM と NHFFOM はゲート駆動電圧とドレイン-ソース間電圧が同じと仮定しているため、Si の性能指数で規格化した場合に同値となる。次々世代として期待される酸化ガリウムはそれら性能指数がダイヤモンドに劣るものの、SiC や GaN と比較して BFOM が大きく、低スイッチング周波数での応用が期待できる。高周波という観点ではダイヤモンドに次いで GaN (2DEG) の性能指数が大きく、さらに GaN 素子は SiC 素子よりも BHFOM, NHFFOM, HMFOM で優れているため、高周波スイッチング向きの素子であると言える。図 1.2 の通り、実際に 600V から 650 耐圧品で市販されている GaN と SiC のスイッチング素子を、高速スイッチングの性能指数であるオン抵抗 R_{on} × ゲート電荷量 Q_g (以下、 $R_{on} \times Q_g$) で比較すると、GaN の $R_{on} \times Q_g$ が SiC の $R_{on} \times Q_g$ よりも小さい。この性能指数は小さいほど高速スイッチング性能が優れており、GaN 素子は高速スイッチングに向きであると示唆している。近年では、回路トポロジーの特性とスイッチング素子数を

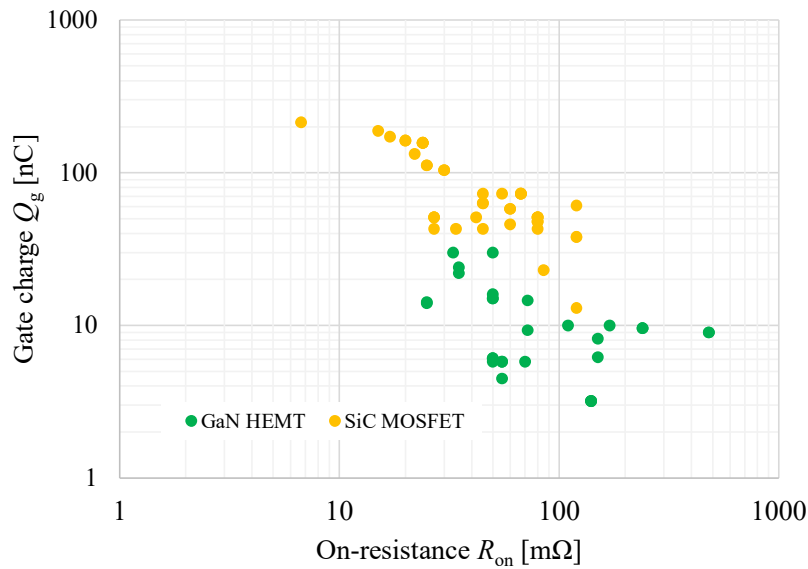


図 1.2 GaN HEMT と SiC MOSFET におけるオン抵抗 R_{on} × ゲート電荷量 Q_g の比較

考慮した性能指数 X-FOM も提案されており⁽¹⁵⁾、今後は回路トポロジーごとにスイッチング素子のパラメータを関連付けた性能指数の提案も盛んになると予測される。

大容量かつ高周波におけるスイッチング電源のアプリケーションとして、図 1.1 に示す通り、高周波ワイヤレス電力伝送装置や半導体製造装置が挙げられる⁽¹⁷⁾⁽¹⁸⁾。前者、高周波ワイヤレス電力伝送装置では磁界共鳴方式や電界共鳴方式といったトランスやキャパシタの電気特性を利用する伝送方式が提案されており、1 次側の高周波スイッチング電源によって供給された電力がカプラを介して 2 次側に供給される。この電源の電力は数 100W から 10kW 程度で、スイッチング周波数には 13.56MHz 帯や 27.12MHz 帯が適用される。磁界共鳴方式や電界共鳴方式はある一定の距離から伝送距離が長くなればなるほど、距離に比例してカプラ間伝送効率が低下するため、スイッチング電源には高効率なものが求められる。後者、半導体製造装置にも高周波スイッチング電源が搭載されている。例えば、CCP (Capacitively Coupled Plasma) エッチング装置のプラズマ生成用電源としては 27.12MHz から 100MHz の高周波スイッチング電源が利用されており、プラズマとウェハ間電圧の制御には 0.4MHz から 13.56MHz の周波数帯の高周波スイッチング電源が広く利用されている。これらの電力容量は数 100W ~ 数 10kW である。13.56MHz で使用されている高周波スイッチング電源は CCP エッチング装置において大きな使用電力割合を占めているが、その効率は 75% 程度であり、効率改善が要求される⁽¹⁸⁾。さらに近年、半導体製造装置にはプロセスの実現だけでなく、利便性向上のために小型軽量化も求められる。半導体製造装置には高効率かつ小

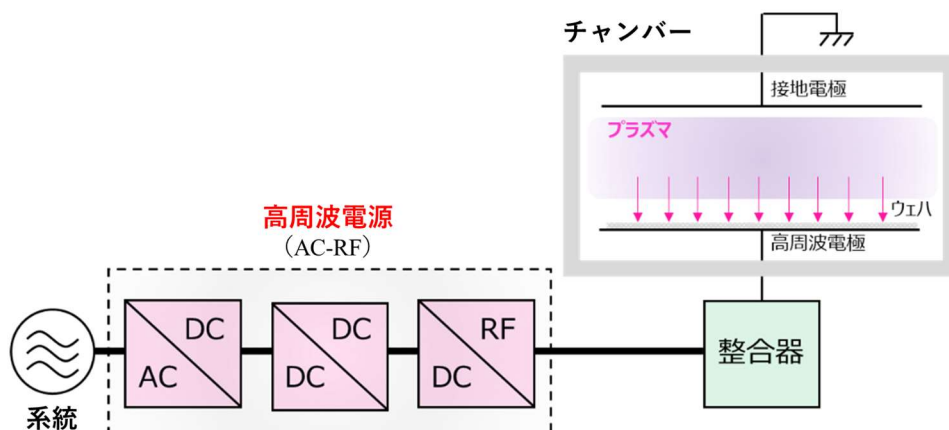


図 1.3 半導体エッチング装置における高周波スイッチング電源の構成

型軽量な高周波スイッチング電源が求められる⁽¹⁹⁾⁽²⁰⁾。本論文では半導体製造装置の CCP エッチング装置を一例として取り上げ、大容量かつ高周波が要求される高周波スイッチング電源について議論を進めていく。

CCP エッチング装置における高周波スイッチング電源の構成を図 1.3 に示す。高周波スイッチング電源では三相交流電圧が AC-DC コンバータを経て、一度直流に平滑され、DC-DC コンバータで昇圧あるいは降圧される。その後、DC-RF コンバータを介して、高周波電力が出力される

図 1.4 に高周波スイッチング電源における電力容量とスイッチング周波数の関係を示す。この図には WBG 半導体の応用領域も図示している。CCP エッチング装置にはエッチングによる高アスペクト比の実現や高密度プラズマによるエッチングレートの向上が要求されており、前者にはスイッチング電源の大電力化、後者にはスイッチング電源の高周波化が必須となる。図 1.4 に示す通り、1MHz 以下の領域では Si や SiC の素子が主流である。これは 1200V 以上の高耐圧素子が必要となるアプリケーションにて、横型構造の GaN-HEMT では耐圧が不足しており、現状では縦型構造の Si や SiC の素子が主戦場となっているためである。一方で、高電圧でのスイッチングはスイッチング損失が大きくなり、スイッチング電源の冷却器が大型化するため、スイッチング周波数は 1MHz 以下が主流となる。したがって、低耐圧領域では GaN の領域となり、0.4MHz から 27.12MHz の高周波スイッチング電源には GaN のスイッチング素子である GaN HEMT が有用である。現在では、縦型構造の GaN スwitchング素子の開発も進んでおり、数 MHz のスイッチング周波数における大容量電源での応用が期待されている⁽²¹⁾。

図 1.5 に市販されている 600V から 650V 耐圧品 GaN HEMT の出力電荷量とオン抵抗の関係を示す。GaN GIT (Gate Injection Technology) とはゲート電極直下に p-GaN 層を配置した非絶縁ゲートのスイッチング素子である。この GaN GIT は駆動時にゲート-ソース間にダイオード特性が現れるため、駆動周波数帯は数 MHz

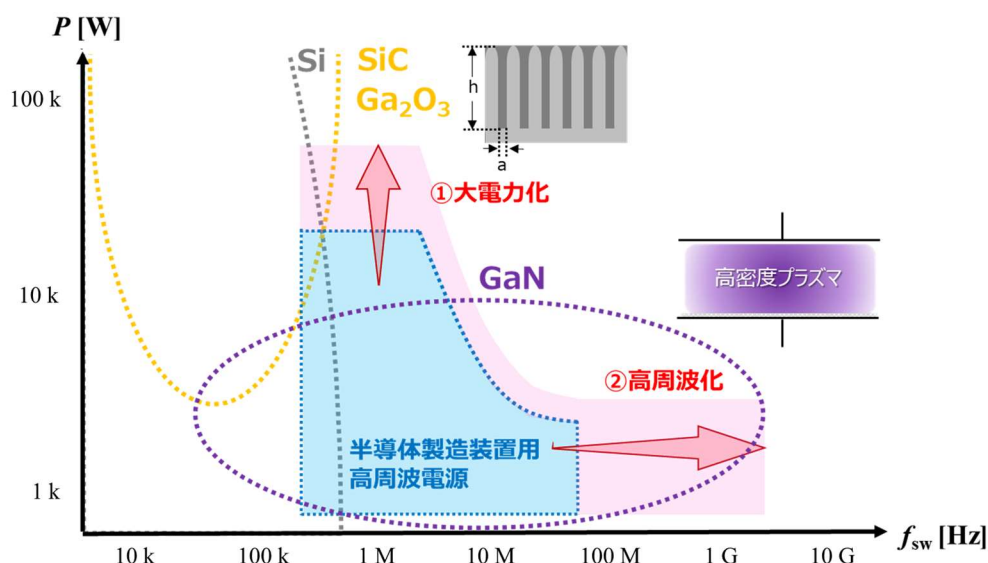


図 1.4 高周波スイッチング電源における電力容量とスイッチング周波数の関係

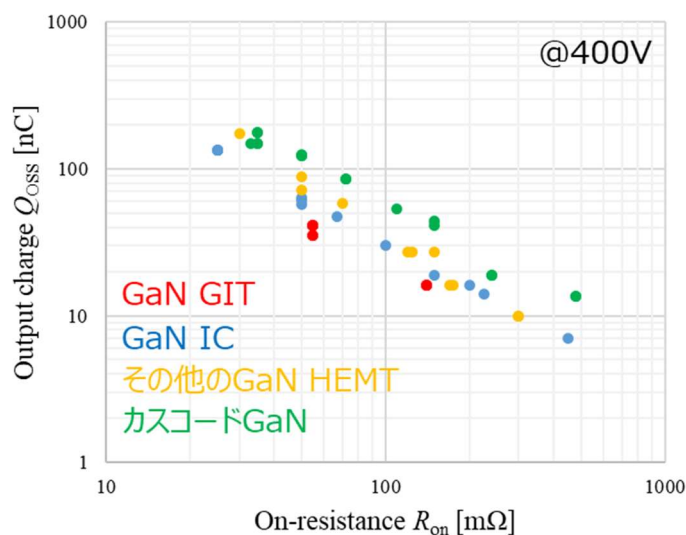


図 1.5 600V~650V 耐圧品における GaN HEMT の出力電荷容量とオン抵抗の関係

までと限られるものの、出力電荷量とオン抵抗が小さいため、昇降圧コンバータなどの低電圧かつ低周波で駆動するスイッチング電源に適している。このため、高周波スイッチング電源では入力電圧の昇圧や降圧を実現する DC-DC コンバータでの応用が期待できる。一方で、ノーマリオンタイプの GaN HEMT と低オン抵抗かつ低ゲート電荷量の低耐圧 Si MOSFET を組み合わせたカスコード GaN は絶縁ゲートのスイッチング素子であり、ゲート-ソース間最大定格電圧も大きく、ゲート周辺回路もユーザー側で任意に変更できる。このため、高周波スイッチング電源では直流の入力電圧から RF 周波数を入力する DC-RF コンバータでの応用が期待できる。したがって、本論文でこれら非絶縁ゲートおよび絶縁ゲートの GaN

HEMT に焦点を当てて議論を進めていく。

スイッチング素子のスイッチング特性はその物性定数だけでなくそれ自身を駆動するゲート駆動回路の影響を大きく受ける。図 1.6 に一般的なゲート駆動回路の構成を示す。ゲート駆動回路は CPU や FPGA といったコントローラから出力された制御信号がキャパシタ，トランスや光などで電氣的に絶縁され，バッファ部にて電圧を増幅し，主スイッチの SiC MOSFET や GaN HEMT など を駆動する。この制御信号を増幅するエネルギーには 1 次側と 2 次側が絶縁された AC/DC コンバータや DC/DC コンバータが使用される。SiC MOSFET や GaN HEMT のスイッチング周波数は Si MOSFET の数 10kHz から数 100kHz 以上に引き上げられる。主スイッチのオン/オフは入力容量 C_{iss} の電荷の充放電によって行われ，この充放電回数に比例した損失がゲート駆動回路で生じる。これはドライブ損失と呼ばれ，数 100kHz 以上の高周波駆動時にゲート駆動回路の受動素子やドライブ IC に顕著な発熱をもたらす。つまり，高周波領域では可能な限りドライブ損失の小さいゲート駆動回路が要求される。また，数 MHz 以上の領域ではプリント基板の寄生インダクタの影響が無視できなくなる。このため，積極的に寄生インダクタを取り入れたゲート駆動回路も必要となる。したがって，GaN HEMT の高周波駆動ではゲート駆動回路技術も大きな課題である。

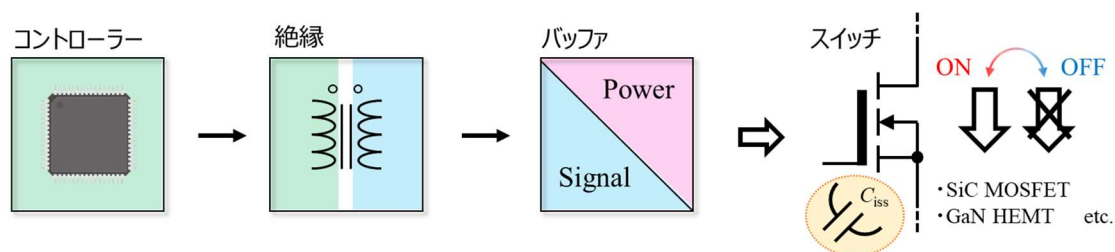


図 1.6 一般的なゲート駆動回路の構成

1.2 研究目的

本研究ではスイッチング電源の大電力化および高周波化を目的として，非絶縁および絶縁ゲート GaN HEMT 用駆動回路を提案し，それぞれの GaN HEMT における低損失駆動と高周波駆動を目指す。

非絶縁ゲート GaN HEMT である GaN GIT は Si MOSFET や SiC MOSFET と比較して①低閾値電圧で，②ゲート-ソース間にダイオード特性を有し，③オフ時のドレイン-ソース間負電圧がゲート-ソース間負電圧に依存する。詳細は第 2 章で述べるが，下記にそれら①から③の要点を述べる。

第1章 序言

①低閾値電圧

Si MOSFET や SiC MOSFET の閾値電圧が約 1.8~6.5V に対して、GaN GIT はの閾値電圧は 0.9V から 1.6 V と低く、ゲート-ソース間にノイズが回り込んだ場合に誤動作し易い。

②ゲート-ソース間のダイオード特性

GaN GIT はゲート-ソース間が非絶縁であり、等価的に入力容量とダイオードで表現される。GaN GIT は高速スイッチング実現のためにターンオン時に入力容量を急速充電し、オン期間中は GaN GIT の低オン抵抗を維持するためにダイオードへ所望の電流を流さなければならない。

③オフ時のソース-ドレイン間電圧がゲート-ソース間負電圧に依存

誘導性負荷では還流電流がスイッチのオフ時にソースからドレインに流れる。Si MOSFET の場合、この電流は内部ボディダイオードに流れ、その電流とオン電圧に比例した損失が生じる。GaN GIT ではオフ時に環流電流が流れた場合、内部ボディダイオードは存在しない一方で、ドレイン-ソース間負電圧はゲート-ソース間の電圧に連動して変化する。したがって、オフ時におけるゲート-ソース間電圧の管理が重要となる。

絶縁ゲート GaN HEMT であるカスコード GaN の高周波駆動には①ゲート駆動回路の損失、②駆動時のゲート-ソース間電圧波形、③回路の寄生インダクタに焦点を当てる。詳細は第2章で述べるが、下記にそれら①から③の要点を述べる。

①ゲート駆動回路の損失

ゲート駆動回路ではスイッチング毎に入力容量 C_{iss} の充放電に応じた損失が生じる。数 MHz 以上のスイッチ駆動ではこの損失によってゲート抵抗や IC の発熱が顕著になり、それらの放熱が無視できない。つまり、高周波では低損失でスイッチング素子を駆動可能なゲート駆動技術が要求される。

②駆動時のゲート-ソース間電圧波形、

スイッチ駆動時のゲート-ソース間電圧波形は主回路効率にも影響を及ぼす。高周波駆動でもターンオン時に低オン抵抗を瞬時に達成するため、ゲート-ソース間電圧波形には矩形波に近い電圧波形が望まれる。

第1章 序言

③回路の寄生インダクタ

数 MHz 以上の高周波では回路上の寄生インダクタの影響が無視できない。そのため、これら寄生パラメータを積極的に取り込んだゲート駆動回路が求められる。

以上より、高周波スイッチング電源での GaN HEMT 応用に向けて、これら 2 タイプの GaN HEMT に適したゲート駆動技術の研究を遂行する。

1.3 論文の全体構成

1.2 節にて、非絶縁ゲートである GaN GIT を効率的に活用するためにはデバイス特有の特性を考慮したゲート駆動回路が必要であること、絶縁ゲートであるカソード GaN の高速スイッチング特性を有効利用するには回路の寄生インダクタを積極的に回路動作に取り入れた低損失なゲート駆動回路が必要であることを述べた。そこで本研究では非絶縁ゲートおよび絶縁ゲート GaN HEMT のゲート駆動回路に焦点を当てて以下の 2 項目に関して主に取り扱う。

- i) 低損失駆動を実現する
非絶縁ゲート GaN HEMT 用駆動回路の提案と実機検証
- ii) 高周波駆動を実現する
絶縁ゲート GaN HEMT 用駆動回路の提案と実機検証

本論文の全体構成を図 1.7 に示す。

第 1 章では、研究背景と研究目的について述べ、本論文の構成を示す。

第 2 章では、SiC MOS FET と GaN HEMT の構造の違いを述べて、後章でコア技術となるゲート駆動回路の基礎について説明する。その後、非絶縁ゲートおよび絶縁ゲート GaN HEMT 用駆動回路の先行研究と課題を述べ、それらの課題を解決するために、スイッチング周波数の基本波成分と高調波成分に着目したゲート駆動回路提案に向けた基本概念を示す。

第 3 章では、スイッチング周波数の基本波成分と高調波成分が均一に含まれるインパルス波形に着目し、ゲートキャパシタを有しない GaN GIT 用ゲート駆動回路を提案する。また、(1)ドライブ損失、(2)逆導通損失、(3)スイッチング特性、(4)起動時のゲート-ソース間電圧波形、(5)誤点呼耐性の観点から既存方式と比較し、その有用性を確認する。

第 4 章では、スイッチング周波数の基本波成分と 2 次高調波成分、あるいは 3

第1章 序言

次高調波成分に着目し、複合共振現象を利用した絶縁ゲート GaN HEMT 用駆動回路を提案する。まず、スイッチング素子の入力容量とゲート回路部の共振器にて、複数の直列共振や並列共振を構成するための複合共振ネットワークについて説明する。スイッチング周波数の基本波成分と3次高調波を利用したゲート駆動回路はゲート-ソース間に台形波電圧を生成し、正弦波駆動のゲート駆動回路に対して、主回路損失を低減する。また、スイッチング周波数（制御信号の周波数）と2次高調波を利用したゲート駆動回路は制御信号の2倍周波数の正弦波電圧を主スイッチのゲート-ソース間に生成し、バッファ部の損失と発熱を大きく低減する。本章の最後ではこれらのゲート駆動回路をE級インバータに搭載し、実動作からそれぞれの有用性を述べる。

第5章では、本研究の成果と今後の展望について述べて総括とする。

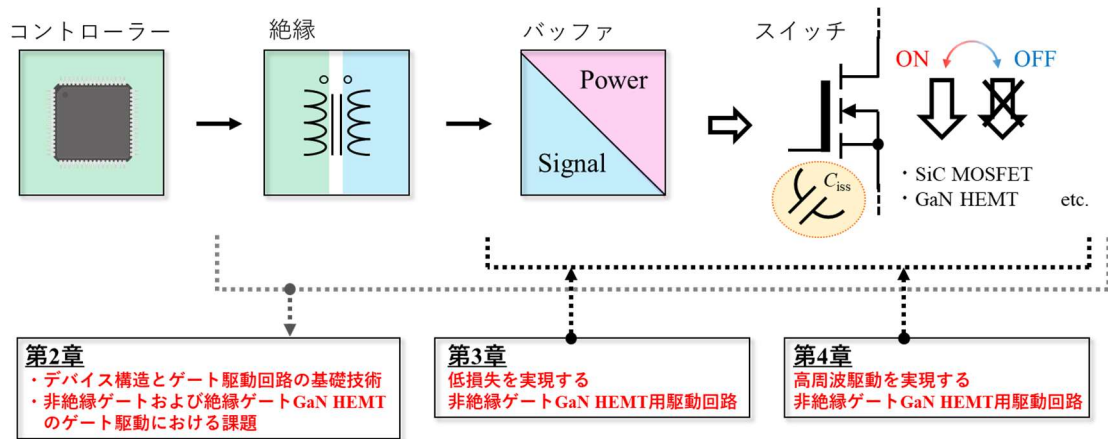


図 1.7 本論文の構成

第2章 スイッチング素子とゲート駆動回路

WBG半導体の登場でスイッチング速度の高速化や低オン抵抗が実現している。スイッチング速度の高速化はスイッチング周波数の高周波化に繋がり、電力機器内部の受動素子の小型化に結び付く。スイッチング周波数の高周波化にはWBG半導体の技術革新だけでなく、それ自身を駆動するゲート駆動回路も大きな根幹要素である。本章ではMOSFETやGaN HEMTの内部構造に触れ、スイッチング素子における駆動方法の基礎を述べた後、非絶縁ゲート GaN HEMT の低損失化に向けた課題と絶縁ゲート GaN HEMT の高周波化に向けた課題を述べる。また最後には、これらの課題を解決するスイッチング周波数の基本波成分と高調波成分に着目したゲート駆動回路提案に向けて、その基本概念を説明する。

2.1 スイッチング素子の構造

2.1.1 MOSFET の内部構造と寄生パラメータ

図 2.1 に MOSFET の内部構造を示す。MOSFET は p 型半導体、n 型半導体、酸化膜および各電極から形成される。ゲート-ソース間にゲート側を正電圧、ソース側を負電圧として電圧を印加することで、図 2.1 の赤鎖線部分に電荷が移動し、チャネルが形成され、スイッチとしてのオン/オフ動作が可能となる。また内部にはボディダイオードと呼ばれる意図的に形成された PN ダイオードがあるため、オフ時にはこのダイオードが導通してソース側からドレイン側に電流が流れる。ただし、このダイオードには導通後、急激に逆電圧が印加されると、ダイオード内部の各半導体を移動していた電子やホールが急峻に吐き出されるため、大きな電流がドレイン側からソース側に流れてしまう。これはリカバリ電流と呼ばれており、スイッチング電源の効率低下を招く。

図 2.2(a)に MOSFET に寄生する寄生容量を示す⁽²²⁾。寄生容量は MOSFET のオン/オフ動作の理解に非常に重要なパラメータとなる。まず、MOSFET のゲート部とソース部の容量であるゲート-ソース間容量 C_{gs} はゲート電極とソース電極の容量 C_{gs1} 、ゲート電極とソース領域容量 C_{gs2} とゲート電極とチャネル領域容量 C_{gs3} によって構成される。また、ゲート-ドレイン間容量 C_{gd} はゲート電極とその直下の容量 C_{gd} とゲート電極直下の空乏層領域に関連する容量 C_{gd2} によって構成される。 C_{ds} は内部ダイオードに関連する容量である。ここで、ゲート-ドレイン容量 C_{gd} とドレイン-ソース間容量 C_{ds} は電圧依存性があり非線形である。ゲート-ソース間容量 C_{gs} とゲート-ドレイン間容量 C_{gd} は MOSFET のスイッチング速度とドライブ損失に影響するため、なるべく小さいものが望まれる。ただし、パワー系で使用される MOSFET は縦型素子であるため、ゲート-ドレイン間容量 C_{gd} は大き

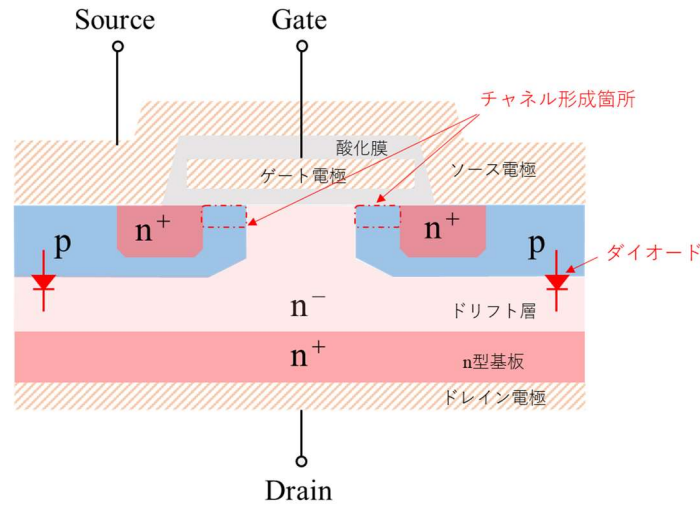
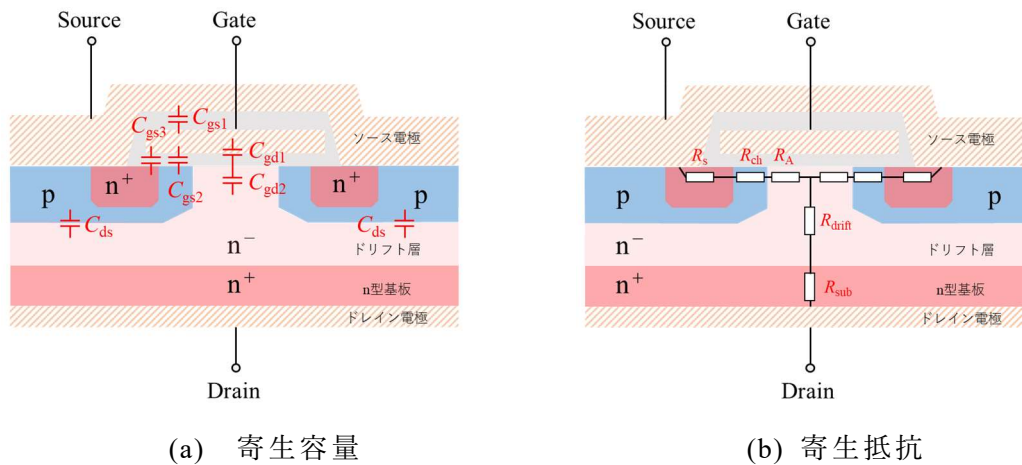


図 2.1 MOSFET の内部構造



(a) 寄生容量

(b) 寄生抵抗

図 2.2 MOSFET の寄生容量と寄生抵抗

くなる。

次に図 2.2(b)に MOSFET 内部の抵抗を示す⁽²²⁾⁽²³⁾。 R_s はソース抵抗, R_{ch} はチャンネル抵抗, R_A は蓄積層抵抗, R_{drift} はドリフト層の抵抗, R_{sub} は基板抵抗である。Si MOSFET で 500V 以上の素子ではドリフト層の抵抗 R_{drift} が支配的で, 数 100V ではチャンネル抵抗 R_{ch} とドリフト層の抵抗 R_{drift} が, それ以下の電圧ではチャンネル抵抗 R_{ch} や描写しないがワイヤーボンディングの抵抗あるいはリードフレーム, ドレイン電極やソース電極およびシリコンの接触抵抗が大きくなる⁽²²⁾⁽²⁴⁾。一方で, WBG 半導体の SiC を材料として使用した SiC MOSFET は高耐圧でもドリフト層の抵抗 R_{drift} を劇的に小さくできる。そのため, 高耐圧時でも低オン抵抗の素子となり, 導通損失が大幅に低減され, 高電圧大電力用途で冷却器の体積を削減できる。

2.1.2 GaN HEMT の内部構造と寄生パラメータ

GaN HEMT は GaN 結晶上に薄い AlGaN 層を成長させて、GaN と AlGaN の界面に生成される 2次元電子ガス (2DEG : dimensional electron gas) を使用したスイッチング素子である⁽²⁵⁾。2DEG とは電子が蓄積した層であり、高い電子移動度を有するため高速スイッチングに適している。GaN HEMT のスイッチオフ動作実現には 2DEG の一部を枯渇させて、非導通状態を達成する。従来では、図 2.3 の通り、AlGaN 層の上にゲート電極を設置して、ゲート-ソース間に負電圧を印加し、2次元電子ガスが枯渇させていた。しかし、この手法では GaN HEMT がノーマリオンデバイスとなるため、ゲート-ソース間に負電圧を印加しない限りオフ動作とならない。そこで、GaN HEMT のノーマリオフデバイスの実現に向けて図 2.4 などの手法が提案されている⁽¹⁶⁾⁽²⁵⁾。図 2.4(a)のゲートリセス MIS HEMT 構造ではゲート電極直下の AlGaN 層をプラズマエッチングによって薄くし、さらにゲート絶縁膜を挟むことによって 2DEG を枯渇させ、ノーマリオフ動作を実現している。この絶縁膜の選定は 2DEG のチャンネル移動度やデバイスの閾値に直接影響を及ぼすため、非常に重要となる。図 2.4(b)ではゲート直下の AlGaN 層にフッ素イオンを注入してノーマリオフデバイスを達成する⁽¹⁶⁾⁽²⁶⁾。AlGaN 層に注入されたフッ素イオンによって、ゲート直下の表面電位を変化し、GaN HEMT の V_{th} が負電圧から正電圧にシフトする。しかし、高温および高電界でのアニーリング後の閾値電圧の安定性やフッ素と電流コラプスの課題がある。図 2.4(c)の手法では p-GaN 層をゲート電極直下に配置にし、ゲート電極直下の 2DEG も枯渇させている⁽²⁷⁾。AlGaN 層と GaN 層の上部に p-GaN 層があるため、PIN ダイオードが形成されており、ある一定の電圧からゲート電流が大きくなる。また、図 2.4(d)のように、特性の良いノーマリオン GaN HEMT と低電圧 MOSFET を直列に組み合わせて、カスコード接続とする手法も取られる。この手法では Si MOSFET のゲート-ソース間でスイッチのオン/オフを制御し、その Si MOSFET の動作にてノーマリオ

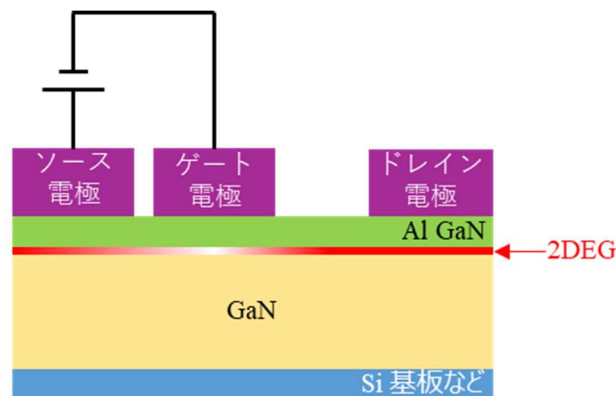


図 2.3 ノーマリオンデバイスとしての GaN HEMT

第2章 スイッチング素子とゲート駆動回路

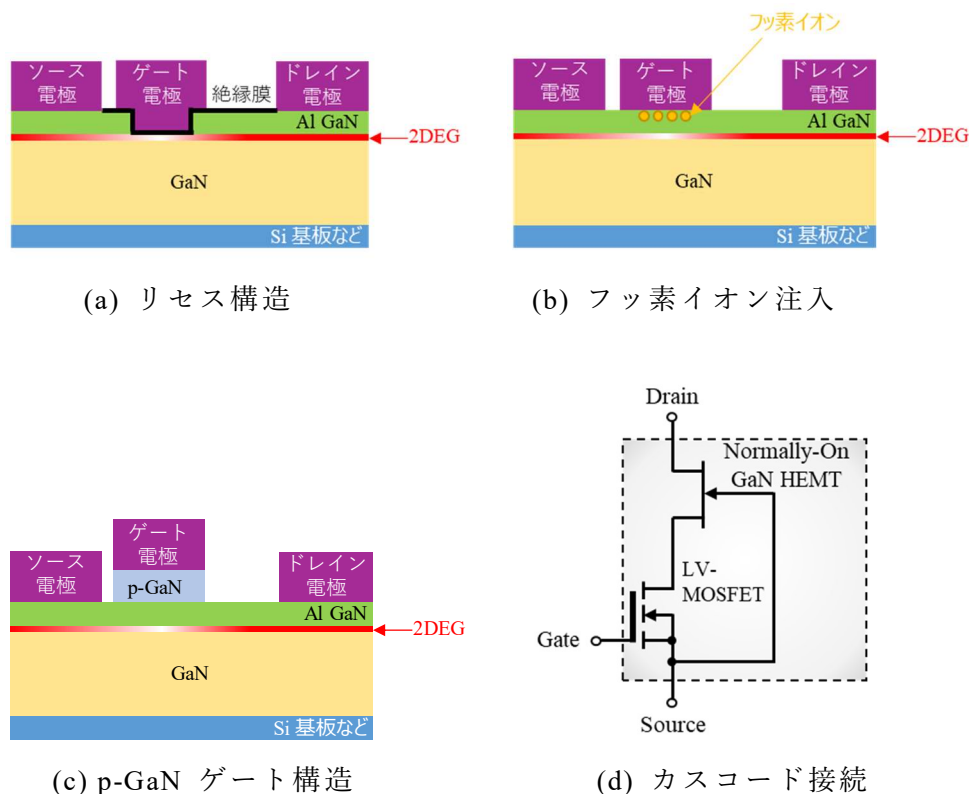


図 2.4 ノーマリオフ手法

ン GaN HEMT を駆動する。Si MOSFET のゲート-ソース間にその閾値電圧 V_{th} を越える正電圧を印加すると、Si MOSFET がオンして GaN HEMT のゲート-ソース間電圧は 0 となる。これにより、ノーマリオンの GaN HEMT もオンとなる。一方で、Si MOSFET のゲート-ソース間に負電圧が印加されると、Si MOSFET がオフとなり、そのドレイン-ソース間に電圧が生じる。Si MOSFET のドレイン-ソース間は GaN HEMT のゲート-ソース間であり、Si MOSFET のドレイン-ソース間に正電圧が生じると、GaN HEMT のゲート-ソース間には負電圧が生じることとなる。この動作により、ノーマリオン GaN HEMT がオフとなり、カスコード接続されたデバイスとしてのオフ動作が実現される。

図 2.5 に参考文献(28)を参考にして、GaN HEMT の寄生容量を示す。GaN HEMT のゲート-ソース間容量 C_{gs} はゲート電極とソース電極の容量 C_{gs1} とゲート電極と 2DEG 部の容量 C_{gs2} で構成される。また、ゲート-ドレイン間容量 C_{gd} はゲート電極とその直下の容量 C_{gd1} と C_{gd2} によって構成される。ドレイン-ソース間容量 C_{ds} はソース-ドレイン間で構成される容量となる。GaN HEMT は構造上、MOSFET と異なっており、ボディダイオードがないため、オフ時にソース側からドレイン側へ電流が流れた後に急峻な逆電圧が印加されたとしてもリカバリー電流は発生しない。また、横型構造であるため、各寄生容量が小さく高速スイッチング可能と

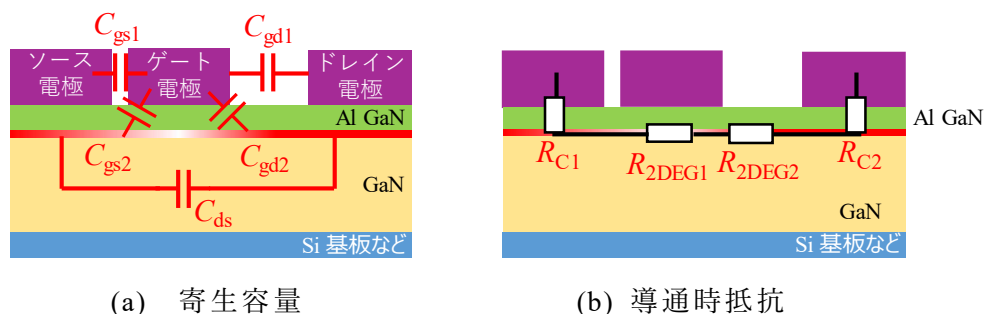


図 2.5 GaN HEMT の寄生容量と導通時抵抗

なる。GaN HEMT のオン抵抗は図 2.5(b)の通り，AlGaIn 層と電極のコンタクト抵抗 R_{C1} と R_{C2} および 2DEG 部の抵抗 R_{2DEG1} と R_{2DEG2} で決定される⁽²⁵⁾。ゲート直下の抵抗 R_{2DEG1} はゲート構造によって，その値が異なることに注意が必要である。

2.2 ゲート駆動回路の基礎

2.2.1 ゲート駆動回路の基本要素

図 2.6 にゲート駆動回路の基本構成を示す。CPU や FPGA などのコントローラーから出力された矩形波電圧の制御信号 v_{sig1} は絶縁部を介して制御側と電位の異なる信号 v_{sig2} となり，スイッチング素子前段のバッファ部（増幅段）に入力されて電圧が増幅される。その後，この増幅された電圧により，スイッチング素子の SiC MOSFET や GaN HEMT が駆動される。本論文ではバッファ部以降を主にゲート駆動回路として取り扱う。以下に，絶縁部およびゲート駆動回路における各部の役割とそれらの動作を考える上で必要となる基本要素を説明する。

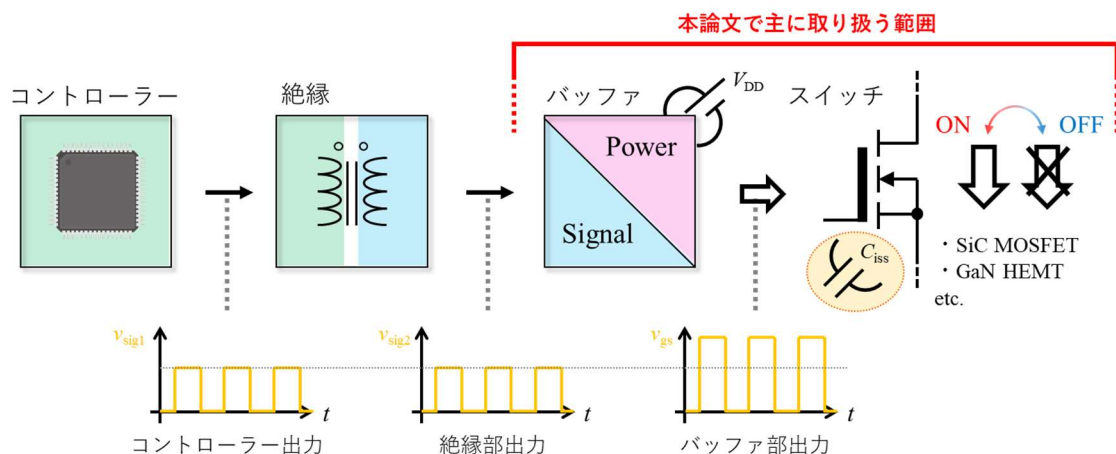


図 2.6 ゲート駆動回路の基本構成

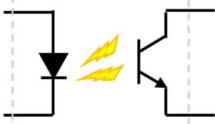

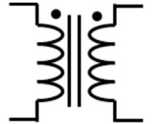

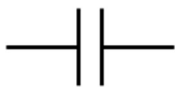

・絶縁部

スイッチング素子のソース電位が GND 電位にあれば，制御信号をそのまま増幅するだけでよいため，スイッチング素子の絶縁は不必要となる場合もある。た

第2章 スイッチング素子とゲート駆動回路

ただし、ノイズの影響を受けないゲート駆動回路を実現するために絶縁部を挿入する。例えば、装置故障による高電圧部からの感電保護や制御部と主回路部の不用意な電流ループを避けるためなどである。この絶縁には表 2.1 の光絶縁方式、磁気結合方式や容量結合方式が使用される⁽²⁹⁾。前者はフォトカプラと言われ、LEDを利用して電気信号を光に変換し、フォトトランジスタなどで出力側の電流を増幅する。また、光の強度によって出力側電力を調整できるため、アナログ信号の伝送も可能である。表 2.1 の図の通り、フォトカプラはその構造上、送信側と受信側の距離を簡単に設けられるため、絶縁性能が容易に向上できる。光絶縁方式における送受信間の絶縁部には一般的に空気、エポキシやシリコンゲルが利用される。ただし、IC パッケージでは1次-2次間の距離がある程度決定するため、磁気結合方式や容量結合方式と比較して絶縁性能は低い。また、応答速度もそれらより数倍程度は遅くなる。後者の磁気結合方式や容量結合方式はデジタルアイソレータと言われ、トランスやキャパシタを介した絶縁方式である。この2方式は同形状のICパッケージで比較した場合、フォトカプラ方式と比較して高絶縁性能であり、数倍程度の応答速度をもつ。デジタルアイソレータにおける信号伝送の1方式では1次側矩形波信号の立ち上りと立ち下りのエッジ部をパルス波形に変換し、トランス部やキャパシタ部を通過させる。このパルスを2次側で検出して、再度矩形波信号に戻す。この手法では連続的な電力変換を実施しないため、低消費電力となる。さらに、デジタルアイソレータは高いCMTI (Common Mode Transient Immunity) を持つため、高速スイッチング用途にも優れている。1次-2次間の絶縁は一般的に磁気結合方式でポリイミドが、容量結合方式では二酸化ケイ素が使用される。容量結合方式では絶縁性能をさらに高めるためにキャパシタを2直列する方法も採用されている⁽²⁹⁾。これらは高コストであるが、現在では多出力を持つものも登場しており、設計次第ではコスト的にも優位になる可能性がある。

表 2.1 絶縁方式の種類⁽²⁹⁾

絶縁方式	回路図	内部構造 (イメージ)
光絶縁方式		
磁界結合方式		
容量結合方式		

・バッファ部

バッファ部では絶縁された制御信号が多段の TTL や CMOS を介して電圧の増幅を実現し，その増幅された電圧がスイッチング素子に供給される。例えば，図 2.7 に示す通り，制御信号 3.3V~5V の矩形波電圧信号はバッファ部を介して，正電圧ピーク 12V~18V，負電圧ピーク -3V~-6V の矩形波電圧に変換される。ところで，この矩形波電圧はゲート駆動電源 V_{DP} から生成される。ゲート駆動電源電圧 V_{DP} は制御信号とは別経路で絶縁型 DC-DC コンバータからバッファ部に供給され，主としてトランスにて絶縁された絶縁型コンバータから供給される。

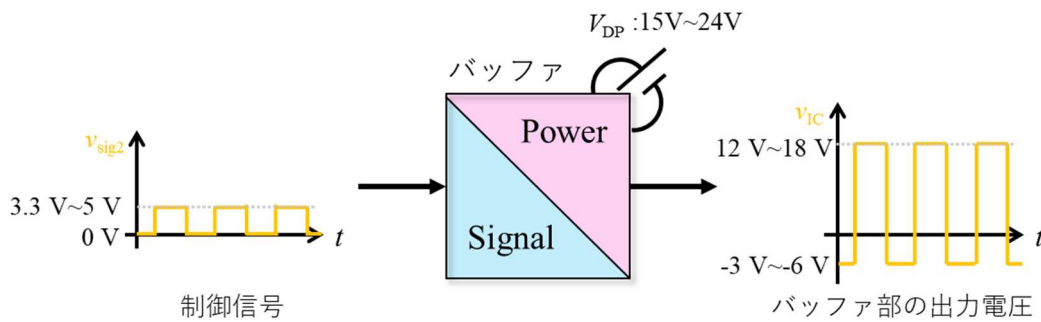


図 2.7 バッファ部の入出力

・ゲート駆動電源 V_{DP}

前記の図 2.7 に示すゲート駆動電源 V_{DP} もゲート駆動回路を担う大きな要素である。ゲート駆動電源 V_{DP} の負側電位 = バッファ部の負側電位をスイッチング素子のソース電位にあるいはその周辺電位と同電位にするため，絶縁型 DC-DC コンバータを介して図 2.8 のようなゲート駆動電源 V_{DP1} や V_{DP2} が生成される。図

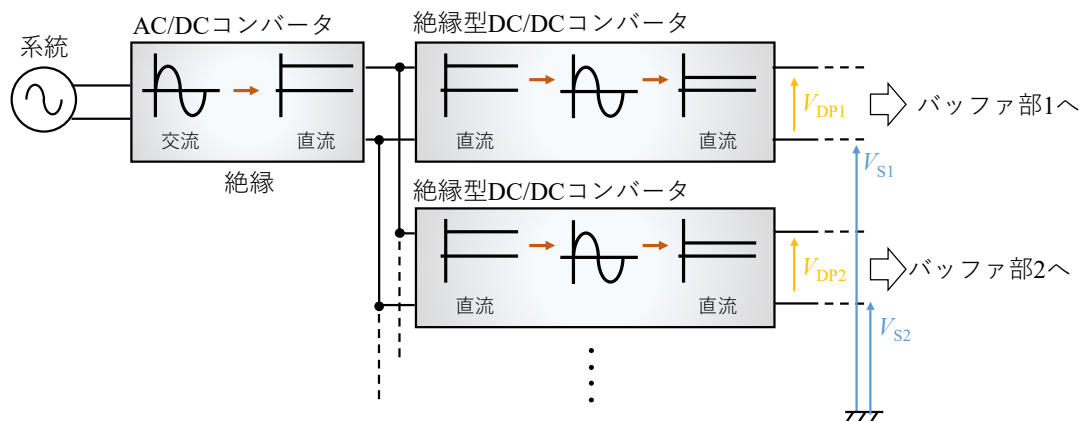


図 2.8 ゲート駆動電源 V_{DP1} と V_{DP2} へのエネルギー供給の流れ

2.8はゲート駆動電源 V_{DP} からバッファ部にエネルギーを供給するまでの電力変換の流れを示している。システムの交流電流が絶縁型 AC-DC コンバータにて直流になり、その後、絶縁型 DC-DC コンバータを介して、スイッチング素子を駆動する所望の電圧となる。複数のゲート駆動電源がスイッチング素子の駆動に必要な場合は絶縁型 AC-DC コンバータの後段で図 2.8 ように DC-DC コンバータを並列活用する。ところで、高電圧動作では DC-DC コンバータが 1 次-2 次間のトランス部寄生容量を通過す第 2 章_スイッチング素子とゲート駆動回路コモンモードノイズで誤動作するため、トランスには可能な限り寄生容量の小さいものが要求される。寄生容量の低減には限界があるため、一般的には図 2.9 のように直流ラインにコモンモードチョークを追加するなど対策を講じる。

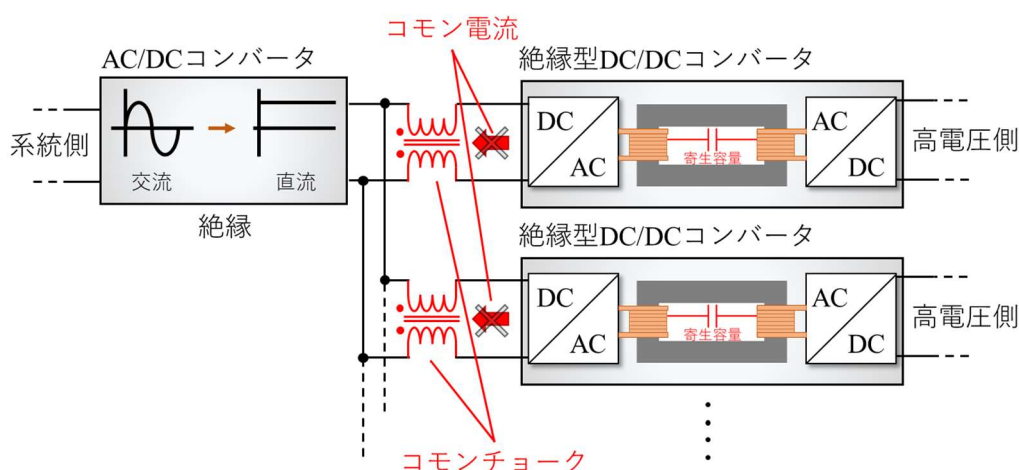
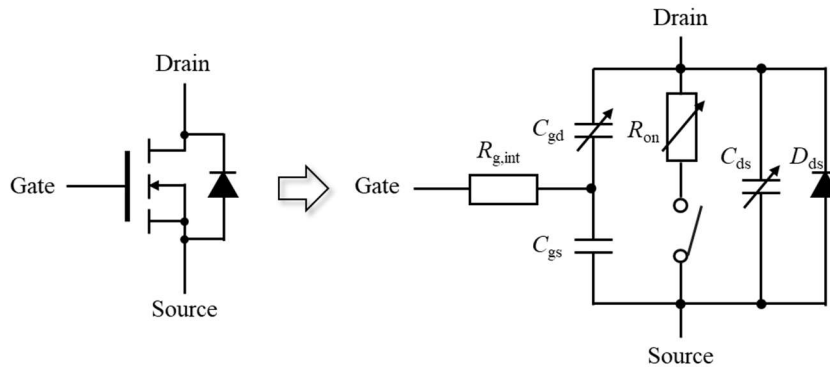


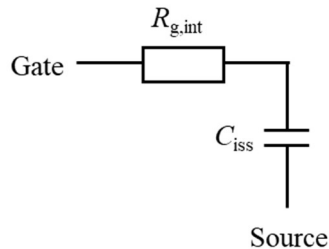
図 2.9 コモンチョーク挿入の一例

・スイッチング素子のゲート-ソース間等価回路

MOSFET などのスイッチング素子を取り扱う上で、その素子を等価回路にすると回路動作として理解し易く、便利である。図 2.10 に一例として MOSFET の回路図記号と等価回路を示す。回路記号の Drain 部はドレイン電極へ、Source 部はソース電極へ、Gate 部はゲート電極へつながっている。MOSFET は絶縁ゲート構造であり、内部ゲート抵抗 $R_{g,int}$ 、内部ダイオード D_{ds} 、ゲート-ドレイン間容量 C_{gd} 、ゲート-ソース間容量 C_{gs} 、ドレイン-ソース容量 C_{ds} およびオン抵抗 R_{on} にて構成される。ゲート-ドレイン間容量 C_{gd} やドレイン-ソース容量 C_{gd} は電圧依存性がある。ゲート駆動回路でスイッチング素子のオン/オフ動作を実現するにあたり、MOSFET のゲート-ソース間を等価回路で表現すると、図 2.10(b)の通り、内部ゲート抵抗 $R_{g,int}$ と入力容量 C_{iss} で表現される。入力容量 C_{iss} はゲート-ドレイン間容量 C_{gd} とゲート-ソース間容量 C_{gs} の和で表現され、図 2.10(b)の通り、ゲート-ドレイン間容量 C_{gd} が含まれるので電圧依存性がある。



(a) MOSFET の電氣的等価回路



$$\ast C_{iss} = C_{gs} + C_{gd}$$

(b) MOSFET のゲート-ソース間の電氣的等価回路

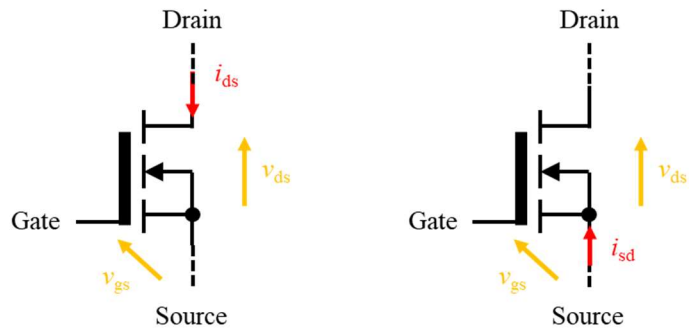
図 2.10 MOSFET の電氣的等価回路

・スイッチング素子のオン/オフ

スイッチング素子のオン/オフを理解するために、ここでも一例として、MOSFETを取り上げる。まず、MOSFETの電圧と電流の定義を示す。図2.11(a)にゲート-ソース間電圧 v_{gs} 、ドレイン-ソース間電圧 v_{ds} とドレイン-ソース間電流 i_{ds} の対応を記載する。ゲート-ソース間電圧 v_{gs} は MOSFET のゲートとソース間に印加される電圧で、ソース側電位を低い電圧と捉えている。同様に、ドレイン-ソース間電圧 v_{ds} もドレインとソース間に印加される電圧であり、ソース側電位を低い電圧と捉えている。また、ドレイン-ソース間電流は図2.11(a)の通り、ドレインからソース側に流れる電流が正である。例えば、ソース側からドレイン側に1Aの電流が流れた場合はドレイン-ソース間電流 i_{ds} の値に負記号が付き、 $i_{ds} = -1A$ となるか、図2.11(b)のようにソース-ドレイン間電流 i_{sd} と表現し、 $i_{sd} = 1A$ となる。

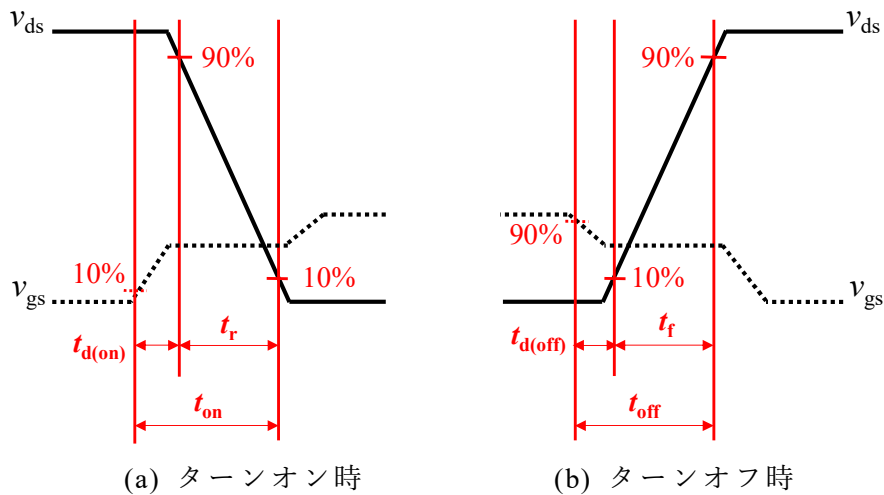
次にスイッチング動作遷移期間のターンオンとターンオンについて述べる。図2.12にスイッチング動作の遷移期間におけるゲート-ソース間電圧 v_{gs} とドレイン-ソース間電圧 v_{ds} の波形を示す。ゲート-ソース間電圧 v_{gs} がドレイン-ソース間電圧 v_{ds} の上昇中や下降中に一定電圧となっているが、これはミラー効果の影響であり、等価的にゲート-ドレイン間容量 C_{ds} が大きく見える現象である。

第2章 スイッチング素子とゲート駆動回路



(a) ドレイン-ソース間電流 (b) ソース-ドレイン間電流

図 2.11 スイッチの電圧と電流の定義



(a) ターンオン時

(b) ターンオフ時

図 2.12 スイッチング遷移期間中における時間の定義

以下に、図 2.12 の電圧波形と時間の定義を示す⁽²³⁾。

ライズ時間 t_r :

ドレイン-ソース間電圧 v_{ds} の電圧値が 90% から 10% まで降下した時間である。

ターンオン時間 t_{on} :

ゲート-ソース間電圧 v_{gs} の電圧値が 10% に上昇してから、ドレイン-ソース間電圧 v_{ds} の電圧値が 10% まで降下した時間である。

ターンオン遅延時間 $t_{d(on)}$:

ゲート-ソース間電圧 v_{gs} の電圧値が 10% に上昇して、ドレイン-ソース間電圧 v_{ds} の電圧値が 90% まで降下した時間である。

第2章 スイッチング素子とゲート駆動回路

フォール時間 t_f :

ドレイン-ソース間電圧 v_{ds} の電圧値が 10% から 90% まで上昇した時間である。

ターンオフ時間 t_{off} :

ゲート-ソース間電圧 v_{gs} の電圧値が 90% に下降してから、ドレイン-ソース間電圧 v_{ds} の電圧値が 90% まで上昇した時間である。

ターンオフ遅延時間 $t_{d(off)}$:

ゲート-ソース間電圧 v_{gs} の電圧値が 90% に下降して、ドレイン-ソース間電圧 v_{ds} の電圧値が 10% まで上昇した時間である。

最後に MOSFET のオン/オフ動作，つまりドレイン側とソース側を導通および非導通にさせる方法を回路の観点から述べる。図 2.13 に MOSFET のオン/オフにおける閾値電圧 V_{th} とゲート-ソース間電圧 v_{gs} を示す。一般的に MOSFET をオンさせるためにはゲート-ソース間に閾値電圧 V_{th} より高い電圧を印加する。閾値電圧 V_{th} とは MOSFET がオンし始める電圧であり，この電圧よりゲート-ソース間電圧が少し大きくなると MOSFET のオン抵抗が小さくなり，MOSFET が導通状態となる。実際の高耐圧 MOSFET のドレイン-ソース間オン抵抗は数 $10\text{m}\Omega$ から数 $100\text{m}\Omega$ 程度である。ゲート-ソース間電圧が閾値電圧 V_{th} を下回ると MOSFET がオフして，ドレイン-ソース間電流がほぼ流れない非導通状態となる。このオン/オフの動作を理想スイッチで表現すると図 2.13 の緑破線と青破線の通りとなる。

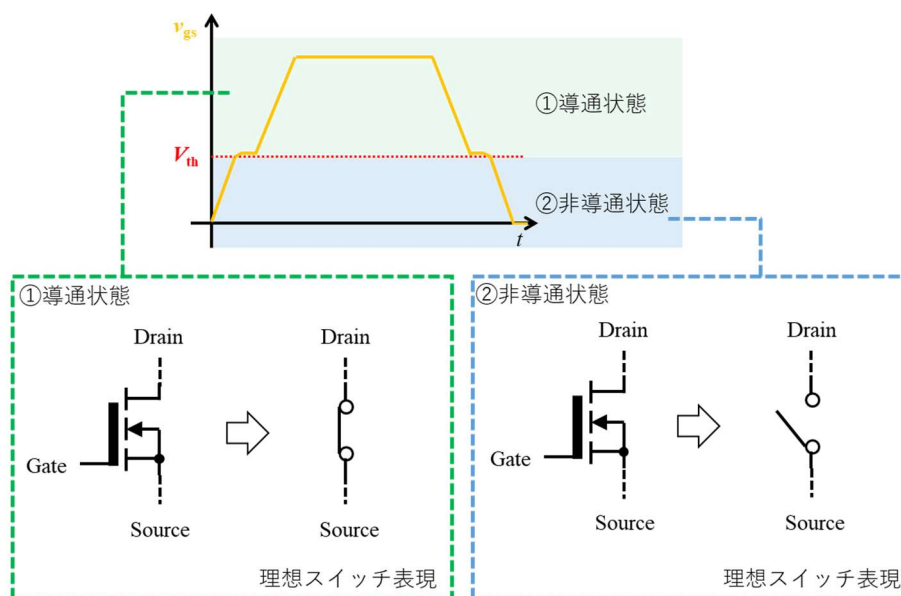


図 2.13 MOSFET のオン/オフと閾値電圧 V_{th}

2.2.2 バッファ部における出力段の構成

ここでは MOSFET を主スイッチ S_M の一例として、その駆動に必要な前段回路であるバッファ部に関して述べる。図 2.7 や図 2.14 の通り、バッファ部は制御信号 v_{sig2} あるいは v_{sig} を主スイッチ S_M が駆動可能となる電圧レベルに増幅しなければならない。本項では図 2.14 の通り、バッファ部出力の高電位側（主スイッチのゲート側）を a 出力、低電位側（MOSFET のソース側）を GND あるいは b 出力とする。このバッファ部には抵抗や低耐圧 MOS FET が使用され、矩形波電圧を主スイッチ S_M のゲート-ソース間に出力する。以下には、バッファ部として取りうる基本構成に関して述べる。

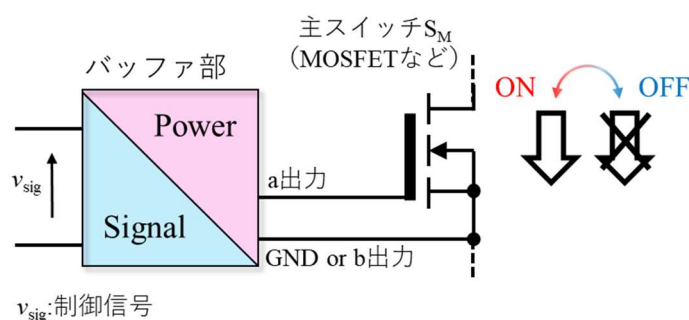


図 2.14 主 MOSFET 駆動のためのバッファ部の入出力

オープンドレイン構成

オープンドレイン構成によるバッファ部の構成を図 2.15 に示す。ここで図中 a 出力はバッファ部の出力である。図 2.15(a) の手法では n 型 MOSFET のスイッチ S_{n_od} が使用されており、ゲート駆動電圧 V_{DD} に抵抗 R_{up} が吊られている。制御信号としてハイレベル信号（主スイッチ S_M をオフさせる信号）がスイッチ S_{n_od} のゲート-ソース間に入力されると、スイッチ S_{n_od} がオンして、a 出力の電位が GND 電位に固定される。この場合、a 出力が直接 GND に接続されるため、a 出力に主スイッチ S_M のゲート部、GND に主スイッチ S_M のソース部を接続すると高速なターンオフを実現できる。これはスイッチ S_M の入力容量 C_{iss} が GND と接続され、その入力容量 C_{iss} の電荷が瞬時に GND を介して放電されるためである。一方で、制御信号としてローレベル信号（主スイッチ S_M をオンさせる信号）がスイッチ S_{n_od} のゲート-ソース間に入力されると、スイッチ S_{n_od} はオフし、a 出力が抵抗 R_{up} を介してゲート駆動電源 V_{DD} に接続される。ここで、ハイレベル信号の入力時と異なり、ゲート駆動電源 V_{DD} と出力側 a の間に抵抗 R_{up} が出力側に接続されるため、出力側にスイッチ S_M のゲート部が接続された場合は抵抗 R_{up} とスイッチ S_M の入力容量 C_{iss} の時定数によって、その入力容量 C_{iss} の充電される電荷の速度が決定する。抵抗 R_{up} はハイレベル信号がスイッチ S_{n_od} に入力された際、 V_{DD}

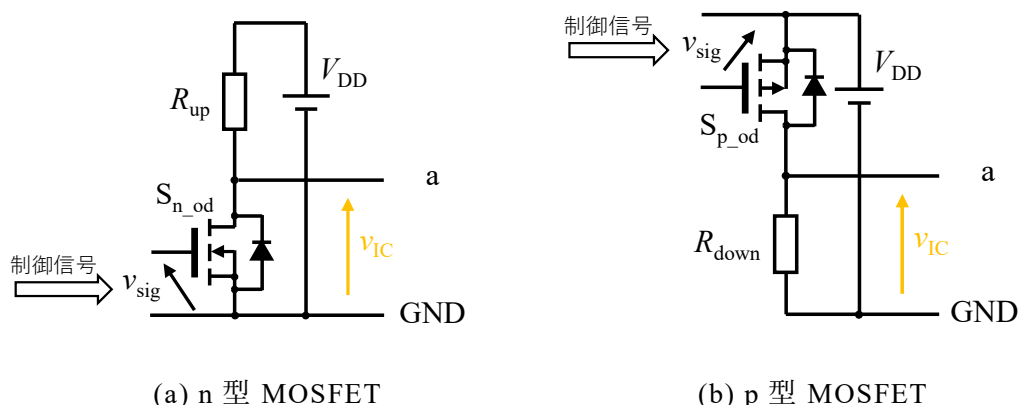


図 2.15 オープンドレイン構成

と GND 間で大きな電流を流さないため、数 $k\Omega$ 以上の抵抗値を使用する。そのため、RC の時定数は大きくなり、主スイッチ S_M のターンオン時間が遅くなる。

図 2.15(b)の手法では p 型 MOSFET のスイッチ S_{p_od} が使用されており、GND 側に抵抗 R_{down} が接続されている。制御信号としてローレベル信号（主スイッチ S_M をオンさせる信号）がスイッチ S_{p_od} のゲート-ソース間に入力されると、スイッチ S_{p_od} がオンして、a で示す出力側電位がゲート駆動電位 V_{DD} に固定される。この場合、a 出力にゲート駆動電位 V_{DD} が直接接続されるため、a 出力に主スイッチ S_M のゲート部、GND に主スイッチ S_M のソース部を接続すると高速なターンオンを実現できる。これは主スイッチ S_M の入力容量 C_{iss} がゲート駆動電位 V_{DD} と接続され、その入力容量 C_{iss} の電荷が瞬時に充電されるためである。一方で、制御信号としてハイレベル信号（主スイッチ S_M をオフさせる信号）がスイッチ S_{p_od} のゲート-ソース間に入力されると、スイッチ S_{p_od} はオフし、出力側 a が抵抗 R_{down} を介して GND に接続される。ここで、ローレベル信号の入力時と異なり、GND と出力側 a との間に抵抗 R_{down} が接続されるため、出力側に主スイッチ S_M のゲート部が接続された場合は抵抗 R_{down} と主スイッチ S_M の入力容量 C_{iss} の時定数によって、その入力容量 C_{iss} の放電される電荷の速度が決定する。抵抗 R_{down} はローレベル信号がスイッチ S_{p_od} に入力された際、ゲート駆動電位 V_{DD} と GND 間で大きな電流を流さないため、数 $k\Omega$ 以上の抵抗値を使用する。そのため、それらの RC の時定数は大きくなり、主スイッチ S_M のターンオフ時間が遅くなる。したがって、スイッチ S_{n_od} やスイッチ S_{p_od} のオープンドレイン構成を使用すると主スイッチ S_M のターンオンあるいはターンオフのどちらか一方が高速になり、またどちらか一方は低速となる。

オープンソース構成

オープンソース構成による電力増幅の構成を図 2.16 に示す。この構成は先のオープンドレイン構成と逆の構成となり、動作も同様であるため説明は省略する。ただし、n 型 MOSFET のスイッチ S_{n_os} の駆動には制御信号の GND 側電位を出力 a の電位にする、あるいは p 側 MOSFET のスイッチ S_{p_os} の駆動には制御信号の高電位側を出力 a の電位にする必要がある。また、オープンドレイン構成と同様で、スイッチ S_{n_os} やスイッチ S_{p_os} のオープンソース構成を主スイッチ S_M の駆動に使用するとターンオンあるいはターンオフのどちらか一方が高速になり、またどちらか一方が低速となる。

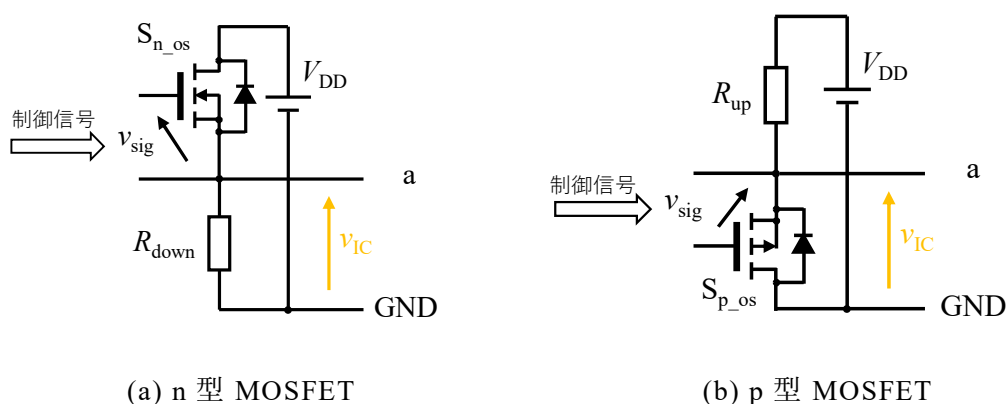


図 2.16 オープンソース構成

プッシュプル構成（トータムポール構成）

プッシュプル構成の回路を図 2.17 に示す。この回路はトータムポール構成とも呼ばれ、図 2.15 や図 2.16 の抵抗 R_{up} や R_{down} に代わって、おのおの n 型 MOSFET のスイッチ S_{n_pp} や p 型 MOSFET のスイッチ S_{p_pp} が接続されている。この回路の動作は次の通りである。まず、ローレベル信号（主スイッチ S_M をオンさせる信号）が入力されると、図 2.17 のスイッチ S_{p_pp} がオンし、スイッチ S_{n_pp} のスイッ

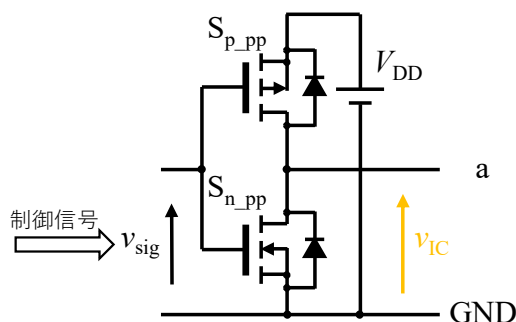


図 2.17 プッシュプル構成

第2章 スイッチング素子とゲート駆動回路

チがオフする。これにより出力側の a はゲート駆動電源 V_{DD} に接続される。スイッチ S_{p_pp} のオン抵抗は数 $m\Omega$ から数 $100m\Omega$ 程度なので、出力側の a に主スイッチ S_M のゲート部、GND 側に主スイッチ S_M のソース部が接続されたとき、その入力容量 C_{iss} とスイッチ S_{p_pp} におけるオン抵抗の時定数は非常に小さいため、主スイッチ S_M の高速ターンオンが実現できる。一方で、ハイレベル信号（主スイッチ S_M をオフさせる信号）が入力されると、スイッチ S_{p_pp} がオフ、スイッチ S_{n_pp} がオンするため、出力 a はスイッチ S_{n_pp} のオン抵抗を介して GND 側に接続される。このオン抵抗も数 $m\Omega$ から数 $100m\Omega$ である。そのため、主スイッチ S_M の入力容量 C_{iss} とスイッチ S_{n_pp} のオン抵抗における RC の時定数が小さく、出力 a にスイッチ S_M のゲート部、GND 側にスイッチ S_M のソース部が接続されたとき、主スイッチ S_M の高速ターンオフが実現できる。したがって、プッシュプル構成であれば、出力 a に主スイッチ S_M のゲート部、GND に主スイッチ S_M のソース部が接続されると高速ターンオンおよび高速ターンオフが実現できる。

ハーフブリッジインバータの構成

図 2.18 にハーフブリッジインバータのバッファ段の構成を示す。この構成ではプッシュプル構成の p 型 MOSFET のスイッチ S_{p_hb} 、n 型 MOSFET のスイッチ S_{n_hb} およびゲート駆動電源 V_{DD} にゲート駆動電源 V_{EE} が追加されており、主スイッチ S_M のゲート部を出力 a に、ソース部を出力 b に接続することで、ゲート-ソース間に負電圧を印加できる。この回路構成の動作は次の通りである。まず、主スイッチ S_M をオンさせるためのローレベル制御信号が入力されると、スイッチ S_{p_hb} がオンし、スイッチ S_{n_hb} がオフする。この際に、ゲート駆動電源 V_{DD} がスイッチ S_{p_hb} を介して、スイッチ S_M のゲート部に繋がるため、そのゲート-ソース間には電圧 V_{DD} が印加される。次に、主スイッチ S_M をオフさせるためのハイレベル制御信号が入力されると、スイッチ S_{p_hb} がオフし、スイッチ S_{n_hb} がオンする。この際に、ゲート駆動電源 V_{EE} がスイッチ S_{n_hb} を介して、主スイッチ S_M のゲート部に繋がるため、そのゲート-ソース間には電圧 $-V_{EE}$ が印加される。これにより、

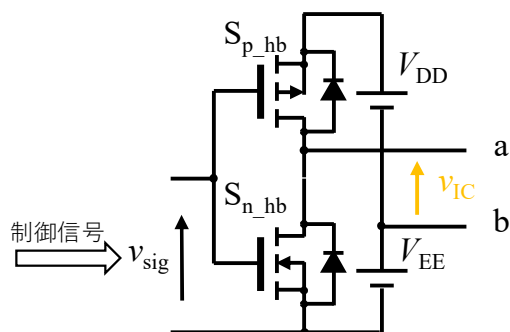


図 2.18 ハーフブリッジインバータ構成

第2章 スイッチング素子とゲート駆動回路

オン状態では主スイッチ S_M のゲート-ソース間に電圧 V_{DD} が、オフ状態ではスイッチ S_M のゲート-ソース間に電圧 $-V_{DD}$ が印加される。主スイッチ S_M のゲート-ソース間に印加できる正電圧と負電圧の値をそれぞれ異なった電圧値にできるのも特徴である。

フルブリッジインバータの構成

図 2.19 にフルブリッジインバータのバッファ段の構成を示す。この構成は並列のプッシュプル構成であり、2つの p 型 MOSFET である S_{p1} と S_{p2} 、2つの n 型 MOSFET である S_{n1} と S_{n2} およびゲート駆動電源 V_{DD} で構成されている。主スイッチ S_M のゲート部を出力 a にソース部を出力 b に接続することで、そのゲート-ソース間に $\pm V_{DD}$ の電圧を印加できる。回路動作は次の通りである。主スイッチ S_M をオンさせるための制御信号 v_{sig1} にローレベル信号、制御信号 v_{sig2} にハイレベル信号が入力されると、スイッチ S_{p1} とスイッチ S_{n2} がオンし、スイッチ S_{p2} とスイッチ S_{n1} がオフする。この際に、ゲート駆動電源 V_{DD} がスイッチ S_{p1} とスイッチ S_{n2} を介して、主スイッチ S_M のゲート部に繋がるため、そのゲート-ソース間に電圧 V_{DD} が印加される。次に、主スイッチ S_M をオフさせるための制御信号 v_{sig1} にハイレベル信号、制御信号 v_{sig2} にローレベル信号が入力されると、スイッチ S_{p1} とスイッチ S_{n2} がオフし、スイッチ S_{p2} とスイッチ S_{n1} がオンする。この際に、ゲート駆動電源 V_{DD} の正側がスイッチ S_{p1} とスイッチ S_{n2} を介して、主スイッチ S_M のソース部に繋がるため、そのゲート-ソース間に電圧 $-V_{DD}$ が印加される。これにより、オン状態では主スイッチ S_M のゲート-ソース間に電圧 V_{DD} が、オフ状態では主スイッチ S_M のゲート-ソース間に電圧 $-V_{DD}$ が印加される。

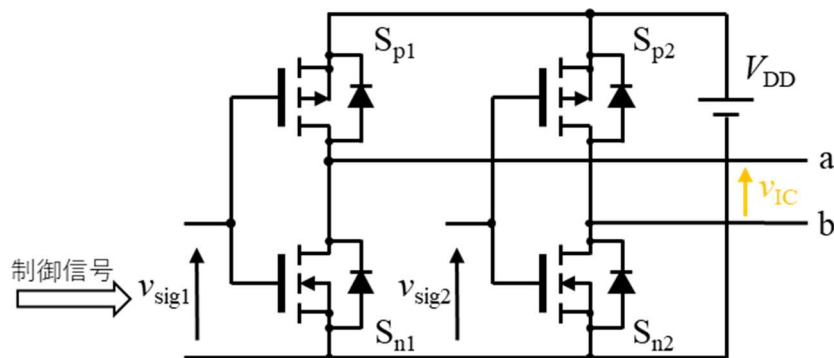


図 2.19 フルブリッジインバータ構成

デッドタイム

プッシュプル構成，ハーフブリッジインバータ構成やフルブリッジインバータ構成のようにゲート駆動電源と直列に p 型 MOSFET と n 型 MOSFET が接続される場合，適切にそれらのスイッチがオン/オフしないとゲート駆動電源が短絡する可能性がある。そのため，図 2.20 の通り，p 型 MOSFET のスイッチ S_{p1} と n 型 MOSFET のスイッチ S_{n1} がどちらもオフしている期間が必要となる。この時間をデッドタイムと呼ぶ。

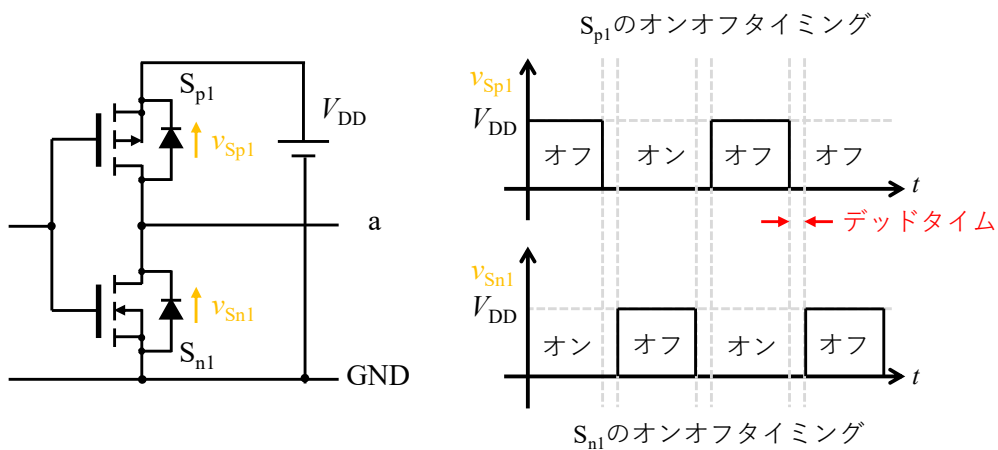


図 2.20 デッドタイムの定義

2.2.3 ゲート回路

図 2.21 にバッファ段以降のゲート駆動回路の詳細な構成を示す。制御信号はバッファ段を介してゲート駆動電源 V_{DP} によって電圧が増幅され，増幅された電

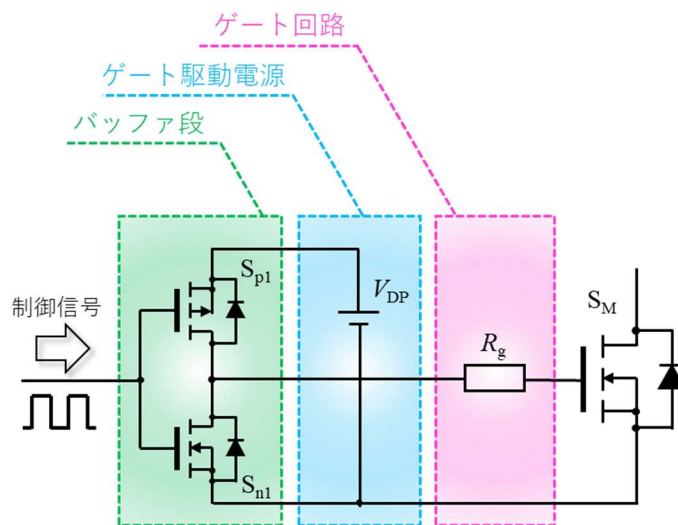


図 2.21 バッファ段以降の詳細ゲート駆動回路の構成

第2章 スイッチング素子とゲート駆動回路

圧はゲート回路を通過して、主スイッチ S_M のゲート-ソース間に印加される。ここでは、新しく“ゲート回路”を定義する。ゲート回路の役割は非常に重要である。ゲート回路のゲート抵抗 R_g を小さくすれば、主スイッチ S_M のスイッチング速度は速くなり、その損失は低減する。一方で、主スイッチ S_M のドレイン-ソース間電圧の電圧振動が大きくなり、高周波ノイズが発生する。そのため、これらスイッチング損失とノイズの兼ね合いによって、最終的なゲート抵抗値は決定される。以下に、ゲート回路にゲート抵抗 R_g が適用された場合に関して説明する。

ゲート抵抗 R_g による主スイッチ S_M のゲート-ソース間電圧への影響

図 2.22 に $R_g=R_{g,int}=0\Omega$ における理想のゲート-ソース間電圧と、 $R_{g,int}$ が小さくてゲート抵抗 R_g が小さいときあるいは大きいときのゲート-ソース間電圧の波形を示す。バッファ部の出力は矩形波電圧となるため、MOSFET を 1 例として、ゲート回路と主スイッチ S_M のゲート-ソース間を電気的等価回路にて表現すると、図 2.22 (a) の回路となり、実際の寄生インダクタを考慮した等価回路は図 2.22 (b) の回路となる。 $R_g=R_{g,int}=0\Omega$ ではバッファ部出力の矩形波電圧源が MOSFET のゲート-ソース間に直接接続されたと同義であるため、図 2.22 (a) 下部に示す通り、MOSFET のゲート-ソース間電圧 v_{gs} は理想的な矩形波電圧となる。一方で、図 2.22 (b) は寄生インダクタが存在するため、ゲート抵抗 R_g が小さいときはゲート-ソース間電圧の立ち上りや立ち下りにリンギング（高周波の電圧振動）が生じる。ゲート抵抗 R_g が大きいときはゲート-ソース間電圧の立ち上りや立ち下りにリンギングは生じないが、ゲート-ソース間電圧 v_{gs} の立ち上りと立ち下りが遅くなる。また、ゲート回路のインピーダンスも大きくなるため、ゲート部にゲート-ドレイ

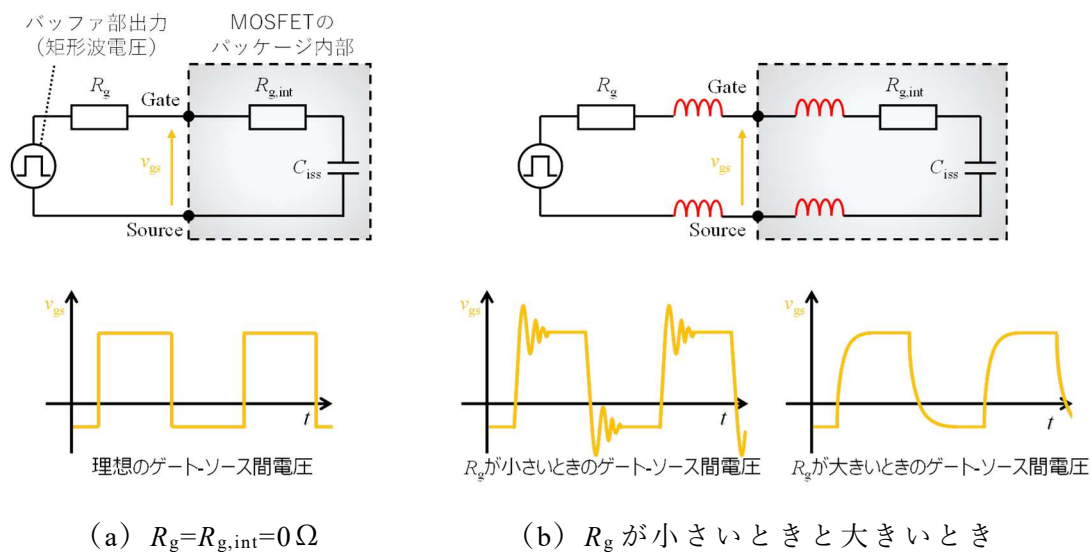


図 2.22 R_g のゲート-ソース間電圧に対する影響

ン間容量を介してノイズ電流が回り込む際に、ゲート-ソース間電圧が上昇し易いため、ターンオフ時に誤点呼が生じ易くなる。

ゲート抵抗 R_g による主スイッチ S_M のドレイン-ソース間電圧への影響

図 2. 23 にゲート抵抗 R_g の抵抗値の大小における主スイッチ S_M のドレイン-ソース間電圧 v_{ds} を示す。この波形はターンオフ時の波形である。ゲート抵抗 R_g が小さい場合、ドレイン-ソース間電圧におけるリングングのピーク電圧は大きくなり、この大きさに応じた高周波ノイズが生じる。立ち上り速度が速ければ早いほど、電圧立ち上がりに含まれる高調波成分も大きくなり、実際では装置外部で別機器と接続される配線を介して放射ノイズとなって、装置外部に放射される。ただし、スイッチング損失は小さいため、スイッチング素子の冷却器は小型化できる。一方で、ゲート抵抗 R_g が大きい場合、立ち上り速度が遅ければ遅いほど高調波成分も小さくなり、装置外部に放射されるノイズも低減できる。したがって、実際には冷却器の小型化とノイズの抑制の観点から、最適なゲート抵抗 R_g の抵抗値が選定される。

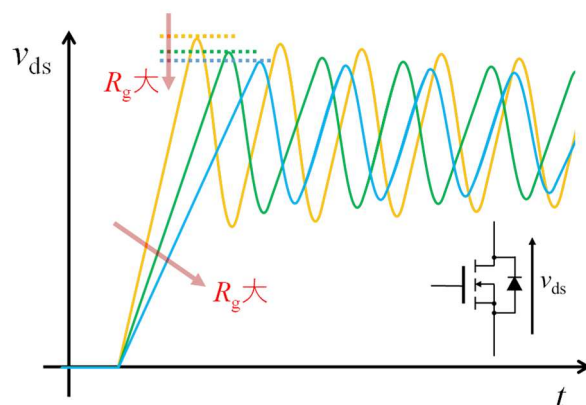


図 2. 23 バッファ段以降の詳細ゲート駆動回路の構成

主スイッチ S_M のゲート-ソース間に接続される保護用素子

図 2. 24 に示す通り、主スイッチ S_M の駆動にはそのゲート-ソース間に保護用ツェナーダイオードと保護用放電抵抗が挿入される。保護用ツェナーダイオードは主スイッチ S_M のゲート-ソース間電圧が絶対定格を超過しないように挿入される。保護用放電抵抗はノイズによる意図しない電荷がゲート-ソース間に蓄積することを避けるために挿入され、一般的に数 $k\Omega$ から数 $10k\Omega$ のものが使用される。

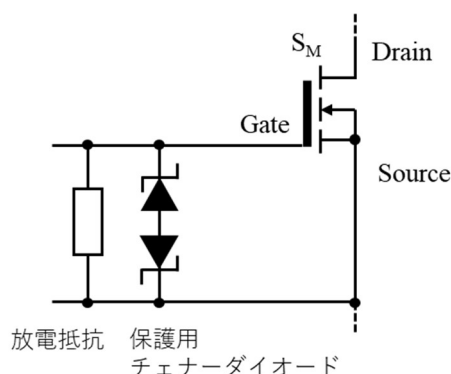


図 2.24 主スイッチ S_M の保護回路

ドライブ損失

主スイッチ S_M の SiC MOSFET や GaN HEMT を高速に駆動させるため、一般的にプッシュプル構成、ハーフブリッジインバータ構成やフルブリッジインバータ構成のものが使用される。ここではプッシュプル構成の損失を考える。また、その矩形波電圧の出力は $0V$ から V_{DD} とする。プッシュプル構成の p 型 MOSFET や n 型 MOSFET で損失が生じないとすると、主スイッチ S_M の入力容量 C_{iss} の充放電で使用されるエネルギーはすべて図 2.21 のゲート抵抗 R_g で消費される。その損失 P_D はドライブ損失と呼ばれ、スイッチング周波数を f_{sw} 、主スイッチ駆動に必要なゲート電荷量を Q_g 、ゲート駆動電源電圧を V_{DD} とすると下式で求められる

$$P_D = f_{sw} Q_g V_{DD} \quad (2.1)$$

この数式からドライブ損失はスイッチング周波数に比例することが確認できる。

ゲート駆動回路の変形

ゲート抵抗で生じる損失の低減やスイッチング速度を調整するため、次のようなゲート駆動回路の変形が考えられる。図 2.25 ではオープンドレイン構成を応用して、プッシュプル構成に類似した構成にし、2 つのゲート抵抗を用いることができる。これにより、デッドタイム不足が生じた際の短絡電流を低減でき、ドライブ損失もターンオン時とターンオフ時で分散できる。また、ターンオン速度やターンオフ速度が各ゲート抵抗 R_{g_on} と R_{g_off} でそれぞれ変更できる。プッシュプル構成に関しても図 2.26 の通り、ダイオードの追加により、ターンオン速度やターンオフ速度の可変が可能となる。

オン抵抗

前述した通り、MOSFET はゲート-ソース間電圧がスイッチの閾値電圧を超過すると、ドレイン-ソース間が導通状態となってオン抵抗が小さくなる。ただし、実

第2章 スイッチング素子とゲート駆動回路

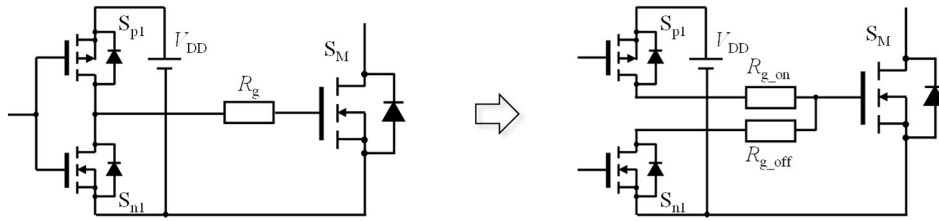


図 2.25 オープンドレイン構成の応用

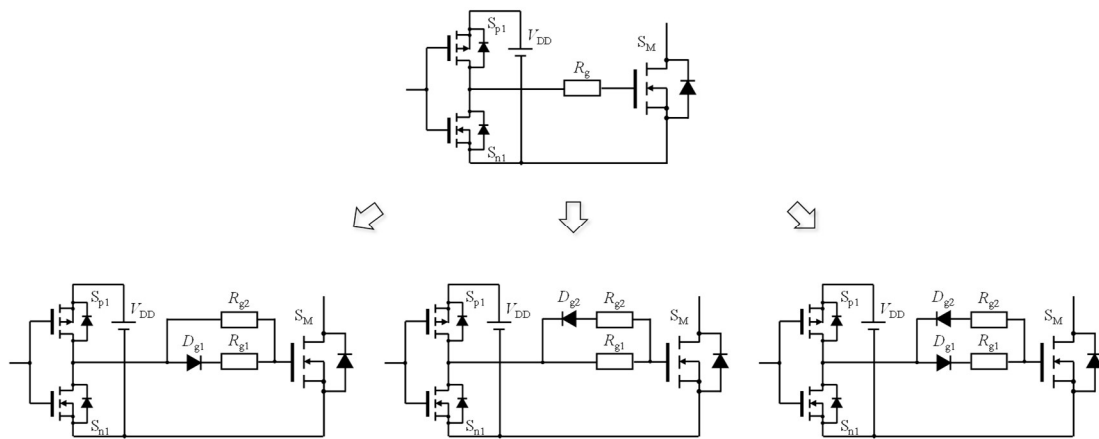


図 2.26 プッシュプル構成の応用

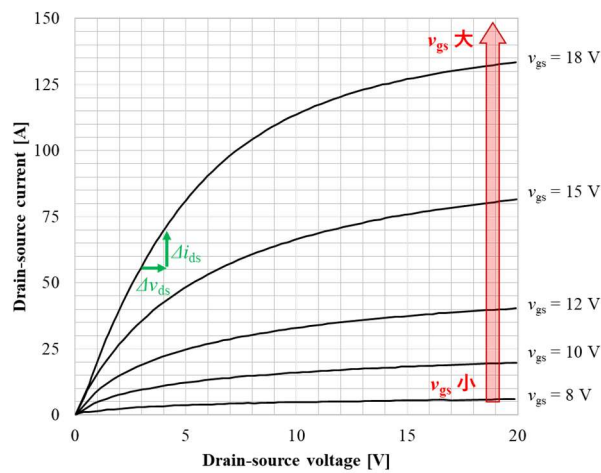


図 2.27 SiC MOSFET の出力特性

際には閾値電圧を越えてすぐにオン抵抗が小さくなるわけではなく、ゲート-ソース間電圧の大きさに依存して、オン抵抗の大きさが変化する。例えば、図 2.27 に示す SiC MOSFET とドレイン-ソース間電圧とドレイン-ソース間電流のグラフを確認すると、オン抵抗が微小区間のドレイン-ソース間電圧の上昇値 Δv_{ds} とドレ

イン-ソース間電流の上昇値 Δi_{ds} の商と定義すれば、ゲート-ソース間電圧 v_{gs} が小さいときは低いドレイン-ソース間電圧時にオン抵抗が大きくなっている。一方で、ゲート-ソース間電圧 v_{gs} が大きいときは低いドレイン-ソース間電圧時にオン抵抗が小さくなっている。したがって、オン抵抗を小さくするためにはゲート-ソース間電圧 v_{gs} を大きくする必要がある。

2.2.4 ハードスイッチングとソフトスイッチング

ハードスイッチングとソフトスイッチングはスイッチの損失に直接関係する。スイッチング損失はターンオンやターンオフの遷移期間で発生する損失で、ドレイン-ソース電圧とドレイン-ソース電流の積で発生する損失である。端的に述べると、スイッチング損失が大きいスイッチングがハードスイッチングで、スイッチング損失の小さいスイッチングがソフトスイッチングである。ソフトスイッチングは数 100kHz 以上の高周波コンバータで広範に使用されており、コンバータ全体の変換効率を改善する。高周波領域になると主回路側だけでなく、ゲート駆動回路にもドライブ損失の低減や受動素子の発熱抑制のためにソフトスイッチング技術が適用されている。ここではハードスイッチングとソフトスイッチングの定義を説明する。

図 2.28 にハードスイッチングとソフトスイッチングの定義を示す。この図は縦軸に電流（例：MOSFET のドレイン-ソース間電流 i_{ds} ）、横軸に電圧（例：ドレイン-ソース間電圧 v_{ds} ）を描写している。ソフトスイッチングは図 2.28 の青色で示す領域であり、”スイッチング過程における半導体バルブデバイス^(a)の電圧-電

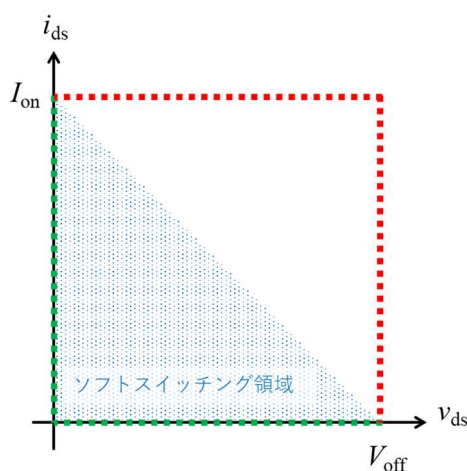


図 2.28 ハードスイッチングとソフトスイッチングの定義

(a) 整流ダイオード・サイリスタ・GTO・パワートランジスタなどの総称。逆導通サイリスタのように二つの半導体バルブデバイスが逆並列接続されたものと同等のものを区別して呼ぶときは、複合〔半導体〕〔バルブ〕デバイスと呼ぶ⁽³⁰⁾。

流平面上の軌跡が最大電圧点 V_{off} 、最大電流点 I_{on} および原点を結ぶ三角形の領域内で動くスイッチング動作”と定義される⁽³⁰⁾。スイッチング過程とはターンオンとターンオフ時のことある。また、この定義を言い換えると、理想スイッチと純粋な抵抗負荷でのスイッチング軌跡を境目にハードスイッチングとソフトスイッチングは分断されている。誘導負荷ではサージ電流やサージ電圧が発生しなければ赤破線の軌跡を辿り、これがハードスイッチングと呼ばれる。理想的なソフトスイッチングではドレイン-ソース間電圧が 0 あるいはドレイン-ソース間電流が 0 に到達してからドレイン-ソース間電流やドレイン-ソース間電圧が立ち上がるため、緑破線の軌跡を辿ることとなる。ところで、サージ電圧やサージ電流が発生する場合は厳密に言うと電気学会の定義を外れることになる⁽³¹⁾。

2.3 非絶縁ゲート GaN HEMT の基本特性とゲート駆動回路

本論文で取り扱う非絶縁ゲート GaN HEMT、つまり GaN GIT はゲート-ソース間の電氣的等価回路が内部ゲート抵抗、ダイオードと入力容量で構成される。絶縁ゲートのスイッチング素子と比較して、単に入力容量に電荷を蓄積するだけでなく、低オン抵抗を実現するためにオン期間中はゲート部に電流を供給し続けなければならない。ここでは GaN GIT の特性を述べ、一般的なゲート駆動回路を適用した場合の課題と先行研究で提案されているゲート駆動回路の課題を明らかにする。

2.3.1 GaN GIT におけるゲート-ソース間のダイオード特性

GaN GIT はゲート部に p 型の AlGaN 層を導入し、pn 接合の空乏層を生成することで、2次元電子ガスを枯渇させている⁽²⁵⁾⁽²⁷⁾。そのため、ゲート-ソース間が非絶縁構造となり、ゲート-ソース間にダイオード特性を有する。図 2.29 に SiC MOSFET と GaN GIT におけるゲート-ソース間の等価回路の違いを示す。SiC MOSFET はゲート-ソース間の等価回路が内部ゲート抵抗 $R_{g,int}$ と入力容量 C_{iss} で表される。SiC MOSFET をオン状態とするには入力容量 C_{iss} に電荷を充電し、SiC MOSFET の閾値電圧以上の電圧を入力容量の両端に発生させる。一方で、GaN GIT は内部ゲート抵抗 $R_{g,int}$ と入力容量 C_{iss} に加えて、内部ダイオード D_{GaN} で表される。GaN GIT をオン状態とするには SiC MOSFET と同様に入力容量 C_{iss} に電荷を充電して入力容量の両端電圧を GaN GIT の閾値電圧以上とすればよいが、さらにオン状態で低オン抵抗を実現するために、所望のゲート電流 i_G をダイオード D_{GaN} に流す必要がある⁽³²⁾。一例として、図 2.30 に SiC MOSFET (Infineon 社製 IMZA65R048M1H) と GaN GIT (Infineon 社製 IGOT60R070D1) の出力特性の違いを示す。両図から、SiC MOSFET はゲート-ソース間電圧が大きければ、線形領域

第2章 スイッチング素子とゲート駆動回路

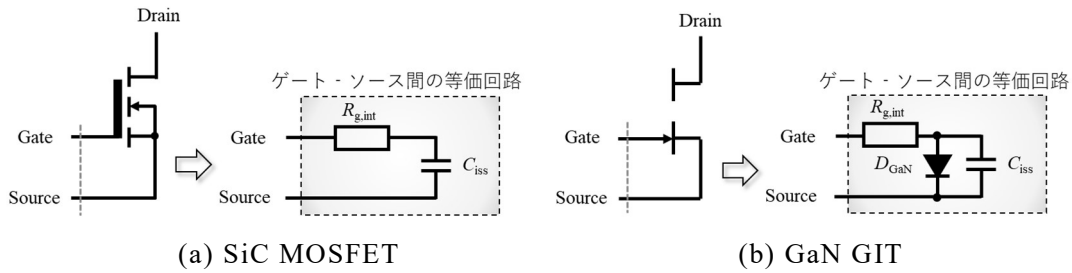


図 2.29 各デバイスにおけるゲート-ソース間の等価回路

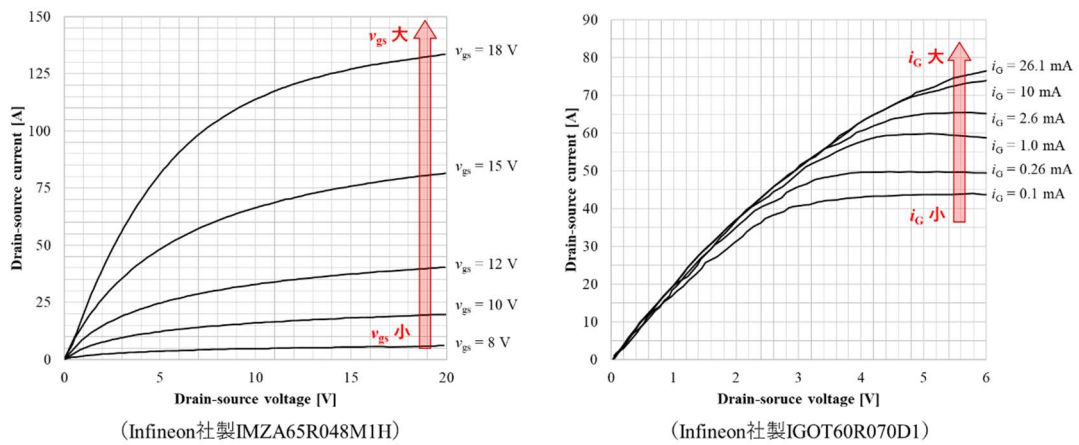


図 2.30 各デバイスにおける出力特性

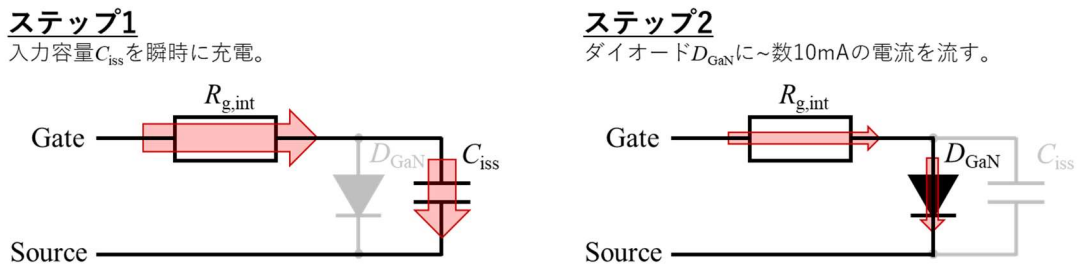


図 2.31 GaN GIT の高速ターンオンとオン抵抗低減に必要なステップ

にてドレイン-ソース間電圧をドレイン-ソース間電流で割った商で表されるオン抵抗の低減が確認できる。一方で、GaN GIT はゲート電流 i_G が大きいほど、ドレイン-ソース間電圧をドレイン-ソース間電流で割った商で表現されるオン抵抗が小さくなっている。つまり、GaN GIT のオン抵抗低減にはオン状態にて所望のゲート電流 i_G が要求され、このゲート電流 i_G の注入が SiC MOSFET の駆動手法と大きく異なる点となる。GaN GIT を高速でターンオンさせて、オン時に低オン抵抗を維持するには図 2.31 の 2 つのステップが必要となる。まず、ステップ 1 で

は瞬間的に大きな電流を GaN GIT のゲートに流し込んで入力容量 C_{iss} を高速で充電し、GaN GIT のダイオード D_{GaN} のオン電圧までその両端電圧する到達させる。ステップ 2 ではオン抵抗の低減のために所望のゲート電流 i_G をゲートに流し込む。結果として、このゲート電流 i_G は内部ダイオード D_{GaN} に流れる。この 2 つのステップが GaN GIT のターンオン時には必須となり、ゲート駆動回路で実現すべき機能となる。

2.3.2 オフ時におけるドレイン-ソース間電圧の特性

GaN GIT は構造上、ドレイン-ソース間に内部ボディダイオードを持たないが、ゲート-ドレイン間にドレイン側を負電圧として電位差を持たせると、ドレイン部が代替のソース部となり、GaN GIT がオン状態となる。これにより、GaN GIT のゲート-ソース間に負電圧を入力していても、ソース側からドレイン側に電流が流れる。この状態ではゲート-ソース間負電圧に依存してドレイン-ソース間負電圧が決定し、ソース側からドレイン側に電流が流れる際の損失（以下、逆導通損失と呼ぶ）が大きくなる。これは図 2.32 に示す GaN GIT の逆導通特性により生じる。主回路がハーフブリッジやフルブリッジインバータなどでスイッチのオフ時に還流電流が循環するモードがあると、GaN GIT のゲート-ソース間負電圧が大きい場合、GaN GIT では逆導通損失が増大する。ゲート-ソース間電圧を 0V にすれば逆導通損失の増大は免れるが、GaN GIT の高速スイッチングによるアーム間短絡を防ぐためにはそのゲート-ソース間に負電圧は必須となる。したがって、GaN GIT の駆動には逆導通損失を低減するため、ゲート-ソース間負電圧の取り扱いが重要となる。

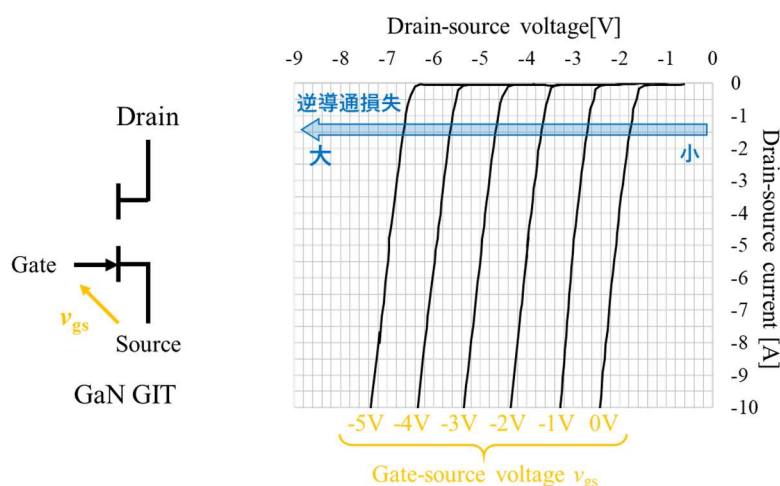


図 2.32 GaN GIT の逆導通特性

2.3.3 GaN HEMT の閾値電圧

表 2. 2 に 600~650V 耐圧の Si MOSFET, SiC MOSFET および GaN GIT を含む GaN HEMT の閾値電圧を示す。この表の閾値電圧は市販されているデバイスから選定し, ドレイン-ソース電流が 18A から 50A 品の素子を抜粋している。表 2. 2 の通り, Si MOSFET や SiC MOSFET は GaN GIT と比較して, 明らかに数 V 以上閾値電圧が高い。閾値電圧の最大値が高い GaN HEMT もあるが, これはカスコード GaN で Si MOSFET の閾値電圧となる。カスコード GaN を除いた場合, GaN HEMT は軒並み低閾値電圧を示している。これはオフ時の GaN HEMT がゲート-ソースにノイズが回り込んで, ゲート-ソース間電圧が上昇した際に誤点呼が生じやすいことを意味している⁽³³⁾⁽³⁴⁾。このゲート-ソース間電圧の上昇はゲート-ソース間インピーダンスで決定される。したがって, GaN HEMT はオフ時のゲート-ソース間インピーダンスに配慮した設計が必要である。

表 2. 2 スイッチング素子と閾値電圧

スイッチング素子	閾値電圧[V]	
	最小値	最大値
Si MOSFET	3.0	6.5
SiC MOSFET	1.8	5.7
GaN GIT	0.9	1.6
Cascode GaN	1.6	4.8
他の GaN HEMT	1.0	2.6

2.3.4 一般的なゲート駆動タイプ⁽³⁵⁾

図 2. 33 に一般的な MOSFET に使用されるゲート駆動回路を示す。このゲート駆動回路はゲート駆動電源として V_{DD} と V_{EE} を有しており, ターンオン時にスイッチ S_1 がオン, スイッチ S_2 がオフすることで, ゲート電源電圧 V_{DD} がスイッチ

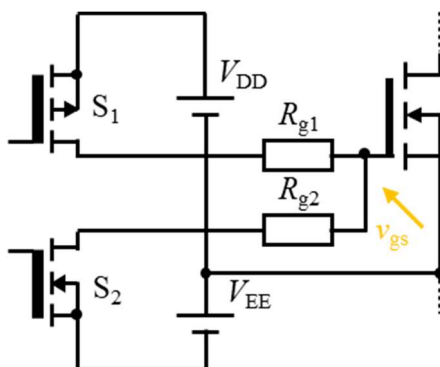


図 2. 33 MOS FET に適用される一般的なゲート駆動回路

第2章 スイッチング素子とゲート駆動回路

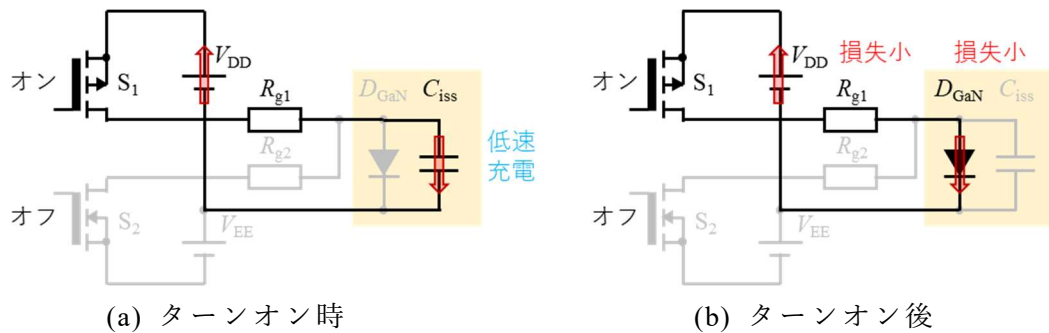


図 2.34 大きなゲート抵抗値の場合

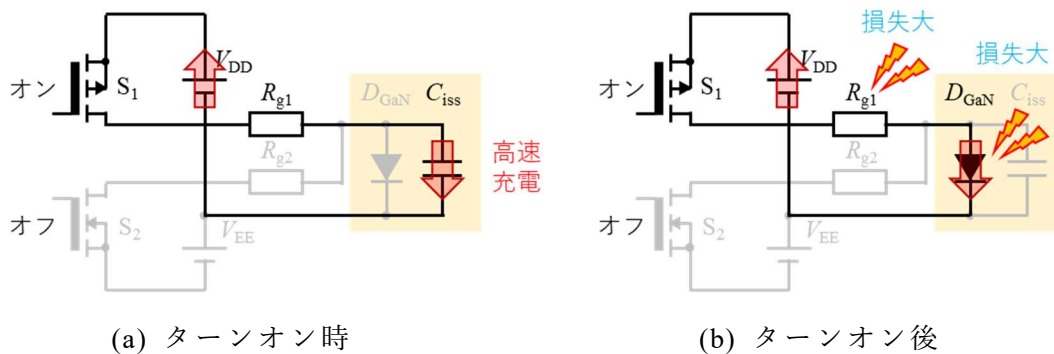


図 2.35 小さなゲート抵抗値の場合

ング素子のゲート-ソース間に印加される。ターンオフ時にはスイッチ S_2 がオン、スイッチ S_1 がオフすることで、電圧 V_{EE} がスイッチング素子のソース-ゲート間に印加される。スイッチ S_1 のドレイン側にターンオン用ゲート抵抗 R_{g1} が接続され、スイッチ S_2 のドレイン側にターンオフ用ゲート抵抗 R_{g2} が接続されている。このゲート駆動回路を GaN GIT に適用する場合、ターンオン用ゲート抵抗は大きい値か小さい値かの二者択一となる。大きなゲート抵抗値の場合、ターンオン時に GaN GIT の入力容量 C_{iss} へ電荷が低速で充電されるため、スイッチング速度が低速となるが、ダイオード D_{GaN} に流れる電流が小さくなるためドライブ損失が低減できる (図 2.34)。一方で小さなゲート抵抗値の場合、スイッチング速度は高速となるが、ダイオード D_{GaN} に流れる電流も大きくなるためドライブ損失が増大する (図 2.35)。したがって、高速スイッチングかつ低ドライブ損失が満足できないため、GaN GIT 用ゲート駆動回路として適切ではない。

2.3.5 RC タイプ⁽³⁶⁾⁽³⁷⁾⁽³⁸⁾

RC タイプは図 2.36 の通り、一般的なタイプにゲートキャパシタ C_g と電流制限抵抗 R_{ss} が追加されている。ゲート駆動電源 V_{DD} のみでゲート-ソース間に負電圧を印加できるため、ゲート駆動電源 V_{EE} が削減できる。ゲートキャパシタ C_g は GaN GIT の高速ターンオンとターンオフ実現のため、また、電流制限抵抗 R_{ss} は

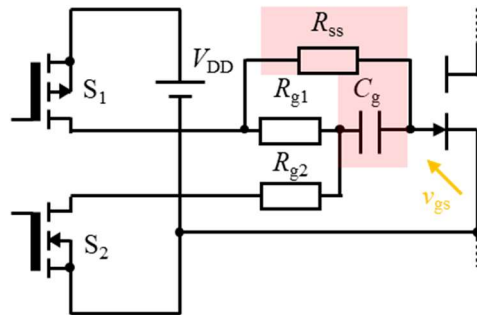


図 2.36 RC タイプ

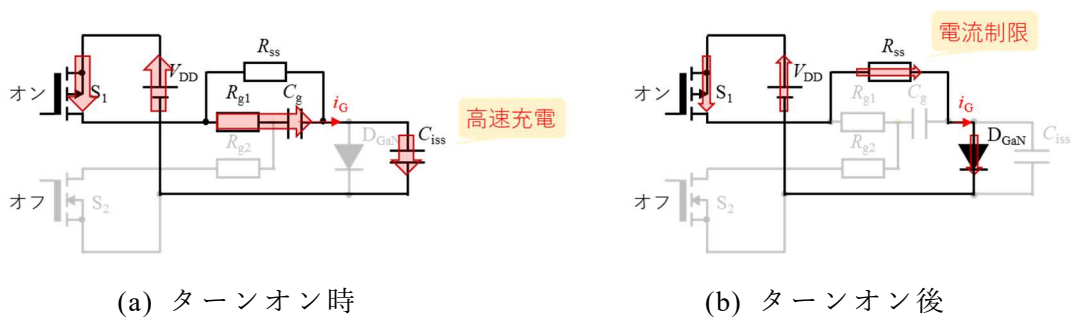


図 2.37 RC タイプのターンオン動作

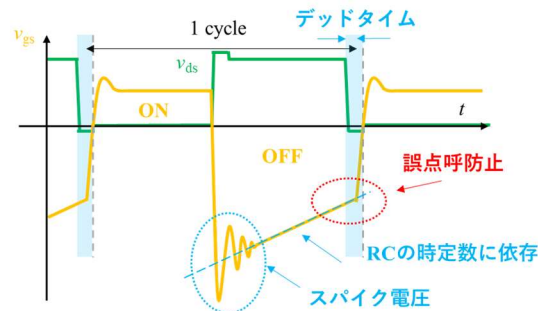


図 2.38 RC タイプのゲート-ソース間波形

ダイオード D_{GaN} に流れ込む電流を制限するために追加されている。RC タイプはスイッチ S_1 がオンした直後にゲートキャパシタ C_g を介して GaN GIT の入力容量 C_{iss} に電荷が高速に充電される (図 2.37 (a))。入力容量 C_{iss} の両端電圧がダイオード D_{GaN} のオン電圧まで充電されるとダイオード D_{GaN} がオンする。その後、ゲートキャパシタ C_g の両端電圧はゲート駆動電源の電圧 V_{DD} とダイオード D_{GaN} のオン電圧の差分電圧になる。一方で、GaN GIT のオン期間中ではその差分電圧が電流制限抵抗 R_{ss} に印加され、GaN GIT のゲート部へ低オン抵抗維持のための電流が流れ込む (図 2.37 (b))。ターンオフ時には図 2.38 に示す通り、ゲートキャパシタ C_g の両端電圧が GaN GIT のゲート-ソース間の負電圧として印加されるた

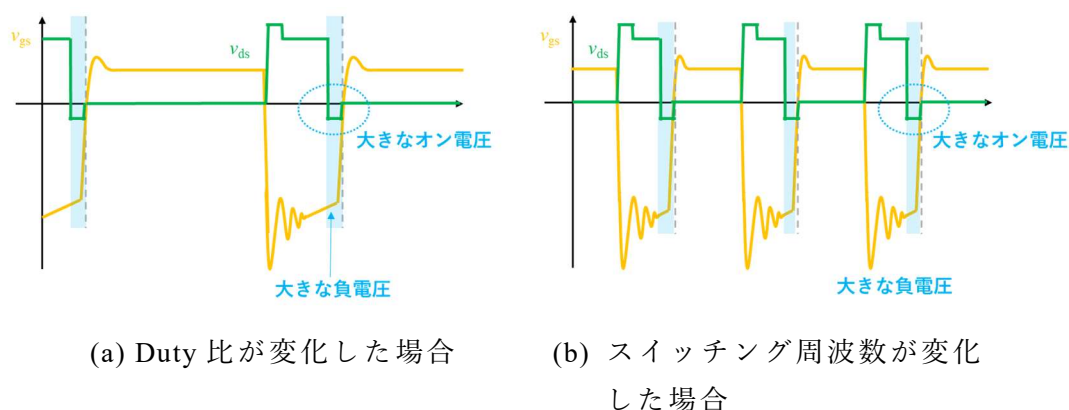


図 2.39 RC タイプにおけるゲート-ソース間電圧波形の変化

め、GaN GIT のゲート-ソース間には大きな負電圧が印加される。この図において、 v_{gs} は GaN GIT のゲート-ソース間電圧、 v_{ds} は GaN GIT のドレイン-ソース間電圧である。この負電圧は GaN GIT の逆導通損失の増大を招くばかりでなく、ターンオフ直後の負電圧とその動作によって生じたスパイク電圧によって、GaN GIT のゲート負電圧の最大絶対定格電圧を超過することも起こりうる。さらに、ゲートキャパシタ C_g の放電はゲート駆動回路内 RC の時定数に依存するため、ターンオン時のゲート-ソース間負電圧が変化し、Duty やスイッチング周波数が可変するアプリケーションではターンオン速度を変えてしまう。オフ時間が長い場合はゲート-ソース間電圧が 0 となるので、PDM (Pulse Density Modulation) のアプリケーションには不向きとなる。これは PDM ではオフ期間からオン期間になる瞬間にハードスイッチング状態から開始するため、ゲート-ソース間に負電圧がない場合は、主スイッチが誤点呼してしまい、破損する恐れがあるからである。また、Duty 比やスイッチング周波数が変化する場合は図 2.39 のように顕著にオフ時のゲート-ソース間負電圧が大きくなるため、これらを考慮した設計が必要である。

2.3.6 アクティブ放電タイプ⁽³⁹⁾⁽⁴⁰⁾ (AD タイプ)

図 2.40 のアクティブ放電タイプ (以下、AD タイプ) は RC タイプに補助抵抗 R_{a1} 、補助キャパシタ C_{a1} 、補助ダイオード D_{a1} 、補助スイッチ S_{a1} が追加されたものであり、RC タイプのゲート-ソース間負電圧によって増大する逆導通損失を低減する目的で考案された。このタイプはターンオン時にゲートキャパシタ C_g を介して、高速で GaN GIT の入力容量 C_{iss} を充電する。オン期間中には RC タイプと同様に電流制限抵抗 R_{ss} を介してダイオード D_{GaN} に電流を供給する。また、ターンオフ時にはスイッチ S_1 がオフしてスイッチ S_2 がオンした後に、補助スイッチ S_{a1} がオンすることでダイオード D_{a1} が導通し、ゲートキャパシタ C_g と入力容量

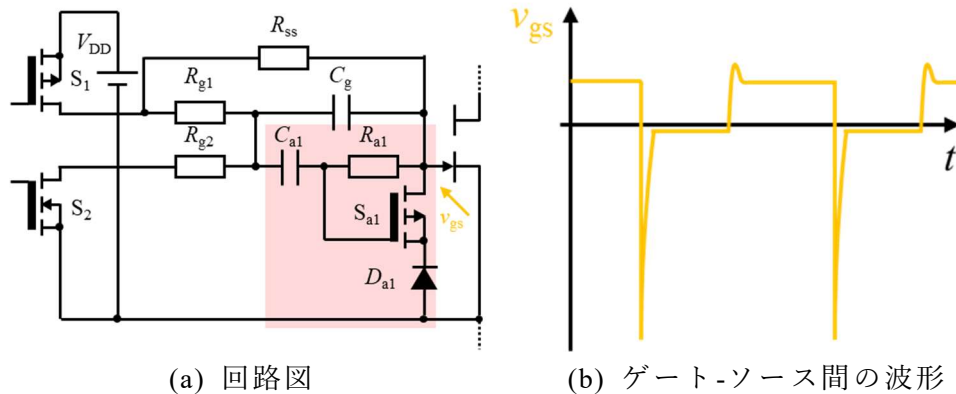


図 2.40 アクティブ放電タイプ

C_{iss} の電荷を引き抜くため、ゲート-ソース間電圧が即座に $0V$ 付近に到達する。そのため、GaN GIT のゲート波形は図 2.40 (b)の通りになる。しかしながら、スイッチング毎にゲートキャパシタの全電荷が放電するため、ドライブ損失が大きくなる。また、オフ時にはゲート-ソース間電圧が常に $0V$ 付近であるため、ノイズによる誤点呼が発生し易く、ハードスイッチング方式の回路での応用は困難となる。そのため、参考文献 (39) ではソフトスイッチング方式の回路に適用され、その有用性が示されている。

2.3.7 ETH Zurich タイプ⁽⁴¹⁾

図 2.41 に示す ETH Zurich のタイプは RC タイプにおけるオフ時の大きな負電圧と RC 時定数への依存を大きく改善した回路となっている。このタイプは一般的なゲートタイプに見られるゲート駆動電源 V_{EE} とは別に、容量の小さなゲート駆動電源をキャパシタ C_s で担い、オフ時に一定の負電圧をゲート-ソース間に印加可能な回路となっている。また、このキャパシタ C_s は同時に RC タイプや AD タイプのゲートキャパシタ C_g の役割も担っている。ターンオン時はキャパシタ

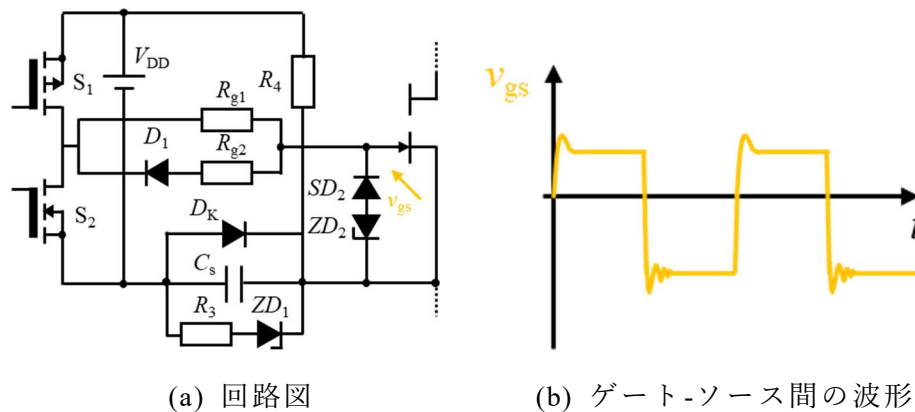


図 2.41 ETH Zurich のタイプ

第2章 スイッチング素子とゲート駆動回路

C_s を介して GaN GIT の入力容量 C_{iss} へ高速に電荷が充電され、ターンオン後はダイオード D_{GaN} にツェナーダイオード ZD_1 と R_3 を介して、電流量の制限された電流がゲート部に供給される。ダイオード D_1 はターンオフとターンオフのスイッチング速度を変更するために挿入されており、ダイオード D_k はゲート部の起動前に GaN GIT のノイズによる誤動作を防止するために挿入されている。この回路では ZD_1 と ZD_2 のツェナー電圧の選定が重要であり、ゲート駆動電圧 V_{DD} が大きい場合にツェナーダイオード ZD_1 と ZD_2 のツェナー降伏電圧を小さな値に設定してしまうと、キャパシタ C_s の充放電量が大きくなってしまい、ドライブ損失が増大する。また、起動時からゲート-ソース間負電圧が安定するまでの定常状態に到達するまで時間を要する。一方で、これらのツェナー降伏電圧を大きな値に設定すると、見かけ上、過渡期がないようにゲート-ソース間電圧が振る舞うが、オフ時のゲート-ソース間負電圧が大きくなるので逆導通損失が増大する。そのため、ゲート駆動電圧や回路方式に応じて、ツェナーダイオード ZD_1 と ZD_2 のツェナー降伏電圧の値を変える必要がある。ETH Zurich タイプではスイッチング周波数が増変してもスイッチング毎に安定したゲート負電圧を供給するために、ツェナーダイオード ZD_1 のツェナー降伏電圧とツェナーダイオード ZD_2 のツェナー降伏電圧が同値に選定されている。また、その時の波形を図 2.41(b) に示しておく。

2.4 絶縁ゲート GaN HEMT のゲート駆動回路

絶縁ゲート GaN HEMT はゲート-ソース間の簡易的な電氣的等価回路が MOSFET 同様に内部ゲート抵抗と入力容量で表現される。しかし、スイッチング周波数の増加に伴って、入力容量の充放電回数も増加し、ドライブ損失も増える。ここでは、一般的な絶縁ゲートスイッチング素子のゲート駆動回路とスイッチング周波数の高周波化を目的とした先行研究におけるゲート駆動回路の問題点を明らかにする。

2.4.1 一般的なゲート駆動タイプ

一般的なゲート駆動回路を図 2.42 に示す。この駆動回路は図 2.33 に示す駆動回路と同様であるが、1つのゲート抵抗 R_g のみで構成される⁽⁴²⁾⁻⁽⁴⁶⁾。ゲート抵抗 R_g は絶縁ゲートのスイッチング素子(主スイッチ S_M)において、ターンオンとターンオフのスイッチング速度調整に利用され、ゲート-ソース間電圧は矩形波に近くなる。最速で主スイッチ S_M を駆動させる場合は $R_g=0$ と設定すべきであるが、主スイッチ S_M のドライブ損失がすべて内部ゲート抵抗で消費されるため、高周波では主スイッチ S_M 内部での発熱が大きくなる。したがって、高周波駆動時でもゲート抵抗 R_g は設置し、発熱を内部ゲート抵抗と外部ゲート抵抗 R_g で分散すべ

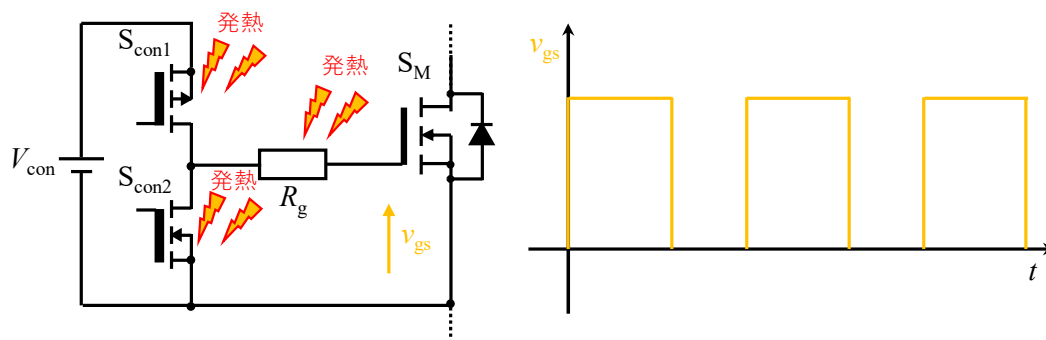


図 2.42 プッシュプル構成の一般的なゲート駆動回路

きであるが、入力容量 C_{iss} との時定数や回路パターンの寄生インダクタにより、主スイッチ S_M の立上り速度が遅くなる。また、バッファ部最終段スイッチ S_{con1} や S_{con2} はハードスイッチングとなるため、高周波ではこの損失によるバッファ部、例えばドライバ IC の発熱が許容できなくなる。ゲート抵抗で構成される一般的なゲート駆動回路は内外部のゲート抵抗やドライバ IC での発熱、バッファ部を含むドライバ損失の観点から課題解決が求められる。

2.4.2 部分共振形ゲート駆動回路

ここで部分共振形ゲート駆動回路とはゲート-ソース間電圧の立上りと立下りにインダクタとキャパシタの共振を部分的に利用したゲート駆動回路と定義する。図 2.43 に 1 石かつターンオンで部分共振を実現する共振形ゲート駆動回路を示す⁽⁴⁷⁾。このゲート駆動回路はダイオード D_{q1} 、インダクタ L_{q1} 、1 つのスイッチ S_{q1} で構成されており、インダクタ L_{q1} と入力容量 C_{iss} の共振を利用して、インダクタ L_{q1} の電流を緩やかに立ち上げ、スイッチ S_{q1} のターンオン時にソフトスイッチング動作を実現する。スイッチ S_{q1} がオフすると、インダクタ L_{q1} に流れていた電流が入力容量 C_{iss} に流れるため、この電流値に依存したゲート-ソース間電圧波形の立ち上りとなる。非常にシンプルであるが、1 石であるために主スイッチ S_M のオフはスイッチ S_{q1} をオンし続ける必要がある。ゲート駆動電源 V_{q1} が立ち上がっている状態であれば、そのオン時間が長い場合に、スイッチ S_{q1} に大電流が流れるため、ゲート電源起動時の取り扱いには配慮が必要である。また、主スイッチ S_M のターンオフにはその入力容量 C_{iss} に蓄積されていた電荷がスイッチ S_{q1} を介して放電し、スイッチ S_{q1} がハードスイッチングとなるため、スイッチ S_{q1} で損失が発生する。ターンオフに同様のソフトスイッチング技術を適用した 2 石の部分共振形ゲート駆動回路は参考文献⁽⁴⁸⁾で示されている。図 2.44 で提案されているゲート駆動回路ではプッシュプル構成のスイッチ S_{q2} , S_{q3} と直列にダイオード D_{q2} , D_{q3} が挿入され、スイッチ S_M の入力容量と直列にインダクタ L_{q2} が挿入されている⁽⁴⁹⁾。主スイッチのターンオフやターンオフの速度を変化させたい場合はインダ

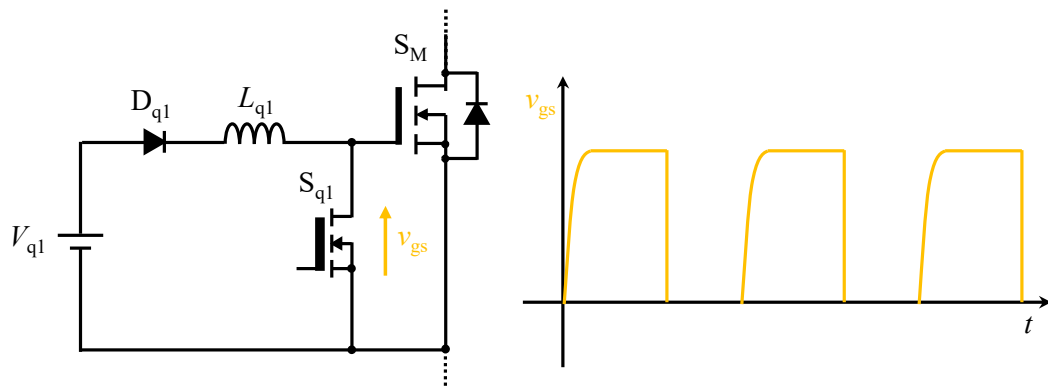


図 2.43 1石の部分共振形ゲート駆動回路

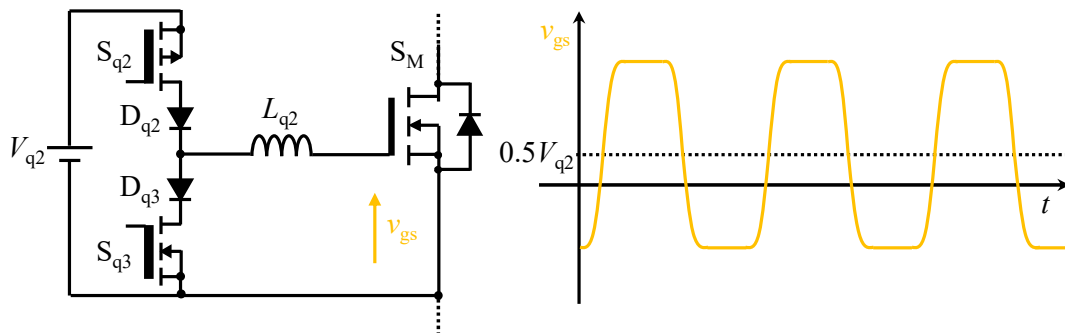


図 2.44 プッシュプル構成のスイッチと直列にダイオードを挿入した部分共振形ゲート駆動回路

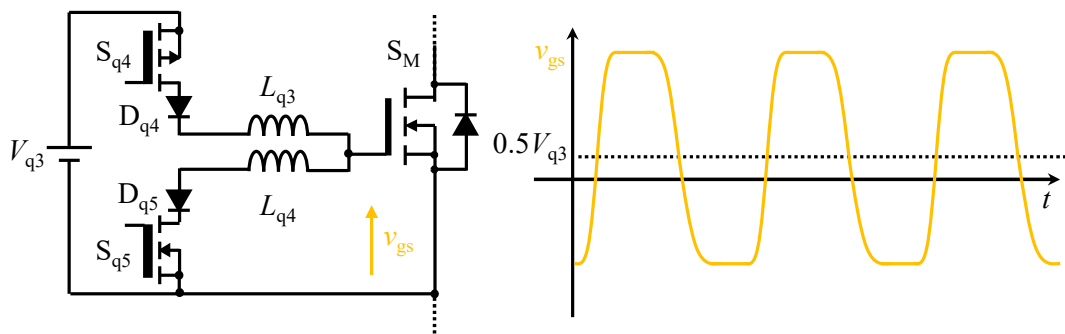


図 2.45 図 2.44 にてターンオン速度とターンオフ速度の調整を可能とした部分共振回路

クタを図 2.45 の通り 2 つに分割し、ゲート-ソース間電圧の立上りと立下りでインダクタ L_{q3} あるいは L_{q4} と入力容量 C_{iss} の共振周波数を変化させる⁽⁵⁰⁾。しかし、スイッチ S_{q2} から S_{q5} のターンオン時はハードスイッチングとなり、ダイオード D_{q2} から D_{q5} のオン電圧でも損失が生じる。また、主スイッチ S_M のゲート-ソース間電圧 v_{gs} のピーク電圧がインダクタに敏感であるため、実使用時はゲート駆動電源電圧とインダクタの調整が必要である。図 2.46 では図 2.44 の回路からダイ

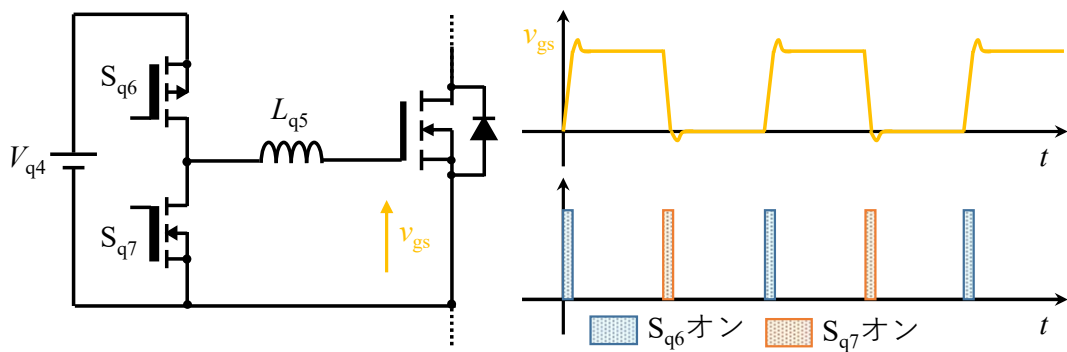


図 2.46 低パルス Duty を利用した部分共振形ゲート駆動回路

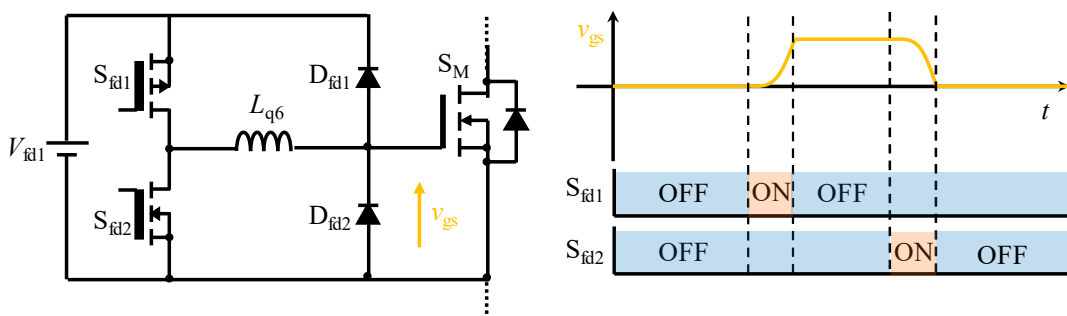


図 2.47 ダイオードクランプ型部分共振形ゲート駆動回路

オードを取り外し，制御信号の Duty を絞って低 Duty とすることで，インダクタ L_{q5} の電流を調整し，ゲート駆動回路の低損失化を実現している⁽⁵¹⁾。ただし，オンとオフ時にスイッチ S_{q6} ， S_{q7} がオン状態を維持していないため，入力容量に蓄積された電荷が徐々に放電し，ゲート-ソース間電圧が低下する。また，高周波になればなるほど制御信号の Duty が小さくなるため，制御信号の調整が難しくなる。スイッチ S_{q6} ， S_{q7} も出力容量を放電するモードがないため，ターンオン時にハードスイッチングとなる。

図 2.47 は主スイッチ S_M のゲート部とゲート電源電圧 V_{fd1} の正側および主スイッチ S_M のゲート部とゲート電源電圧の負側にダイオード D_{fd1} ， D_{fd2} を接続した部分共振形ゲート駆動回路を示す⁽⁵²⁾。この回路ではゲート-ソース電圧がダイオード D_{fd1} ， D_{fd2} によってクランプされ，クランプ時のエネルギーはゲート電源に回生される。しかし，実際はダイオード D_{fd1} ， D_{fd2} の導通損失が生じる上，ゲート-ソース間電圧クランプ後はスイッチ S_{fd1} や S_{fd2} がオフするため，入力容量 C_{iss} に蓄積された電荷が徐々に放電してしまう。また，スイッチ S_{fd1} や S_{fd2} のターンオン時はハードスイッチングとなる。ハードスイッチングによるドライブ損失を改善するために，ダイオードを MOSFET に置き換えた手法も図 2.48 で提案されて

第2章 スイッチング素子とゲート駆動回路

いる。図 2.48 の回路ではゲート駆動回路内スイッチ S_{fq1} から S_{fq4} の制御信号を巧みに調整し、各スイッチでソフトスイッチングが実現されるため、ドライブ損

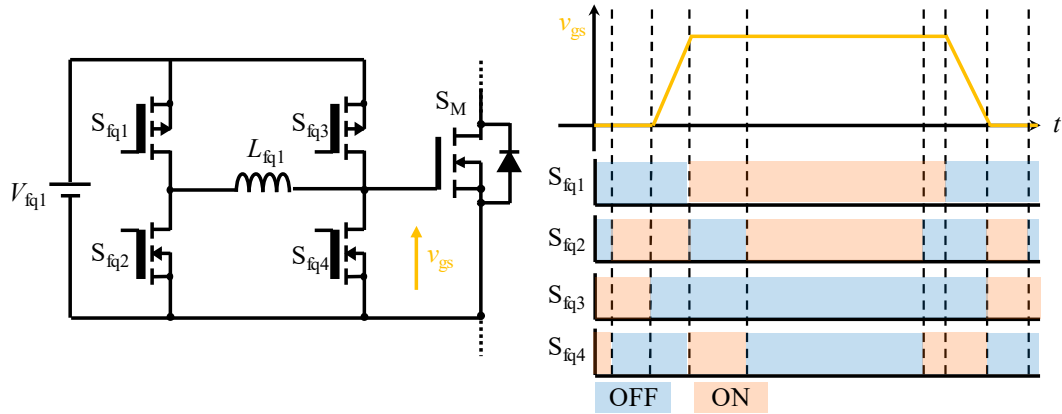


図 2.48 低損失駆動を実現するフルブリッジ部分共振形ゲート駆動回路

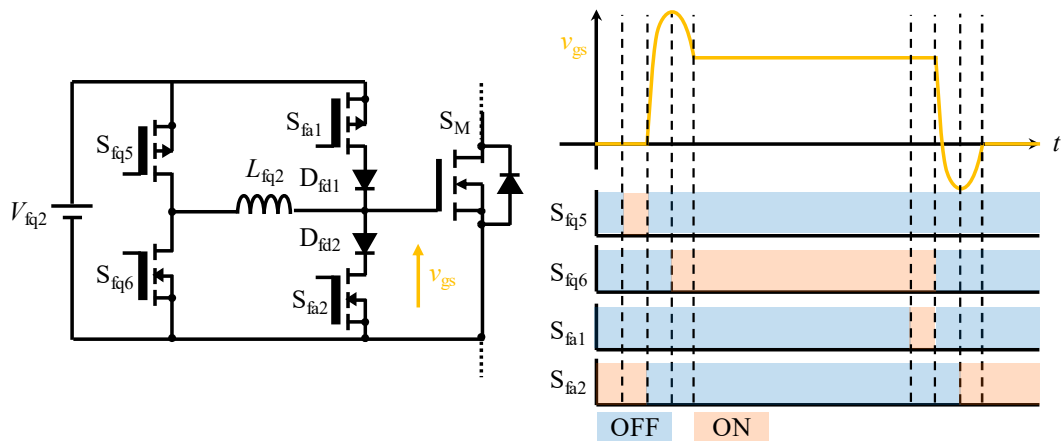


図 2.49 主スイッチのスイッチング損失を低減する部分共振形ゲート駆動回路

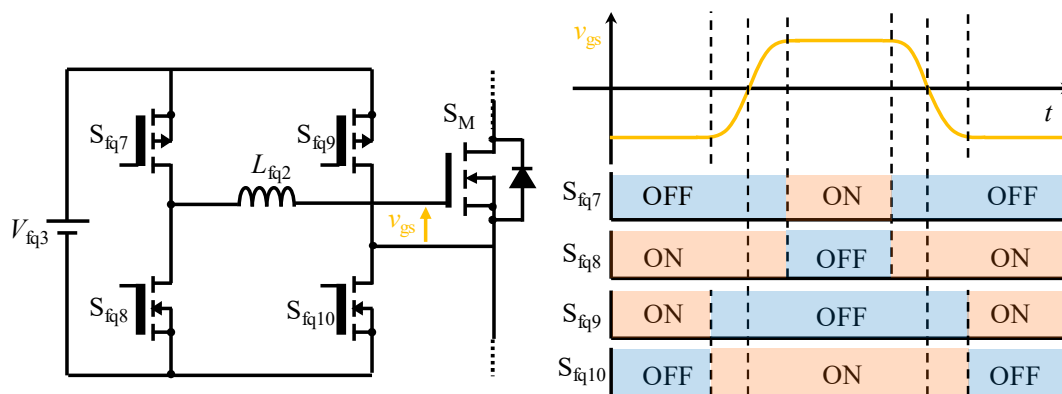


図 2.50 低ドライブ損失を実現する直列共振型部分共振ゲート駆動回路

第2章 スイッチング素子とゲート駆動回路

失が低減される⁽⁵²⁾。しかし、スイッチング素子と制御信号が多くなる。派生型としてゲート部の寄生インダクタと内部ゲート抵抗を考慮した図 2. 49 のゲート駆動回路が提案されており、主スイッチ S_M のスイッチング損失低減が実現されているが、スイッチング素子数が多くなる⁽⁵³⁾。図 2. 50 では直列共振を利用し、ドライブ損失が低減する手法が提案されている⁽⁵⁴⁾。オン時やオフ時にはスイッチ S_{fq7} と S_{fq8} がそれぞれオン状態を維持するため、ゲート-ソース間電圧がゲート駆動電源電圧に固定される。そのため、不用意な入力容量 C_{iss} の放電がなく、安定した電圧が主スイッチ S_M のゲート-ソース間で維持される。また、必要なエネルギーだけゲート駆動電源から供給されるため、高効率動作も実現する。図 2. 50 と同様の考えを用いて、誤点呼耐性を有する並列共振形ゲート駆動回路やバイポーラトランジスタなどを追加して同様の効果を得るゲート駆動回路も図 2. 51 や図 2. 52 の通り提案されている⁽⁵⁵⁾⁽⁵⁶⁾。ただし、部品点数や制御信号は多くなる。図 2. 53 ではインパルス電流を主スイッチ S_M の C_{iss} に流し込み、高速スイッチ

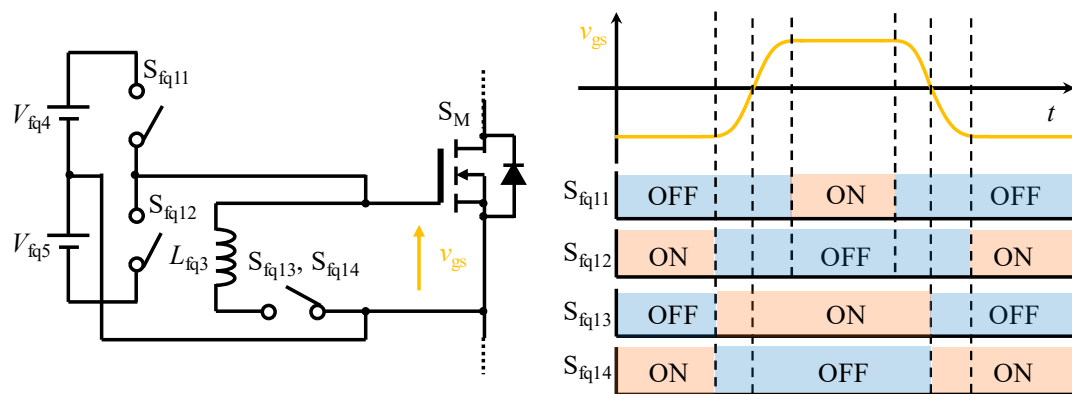


図 2. 51 低ドライブ損失を実現する並列共振形ゲート駆動回路

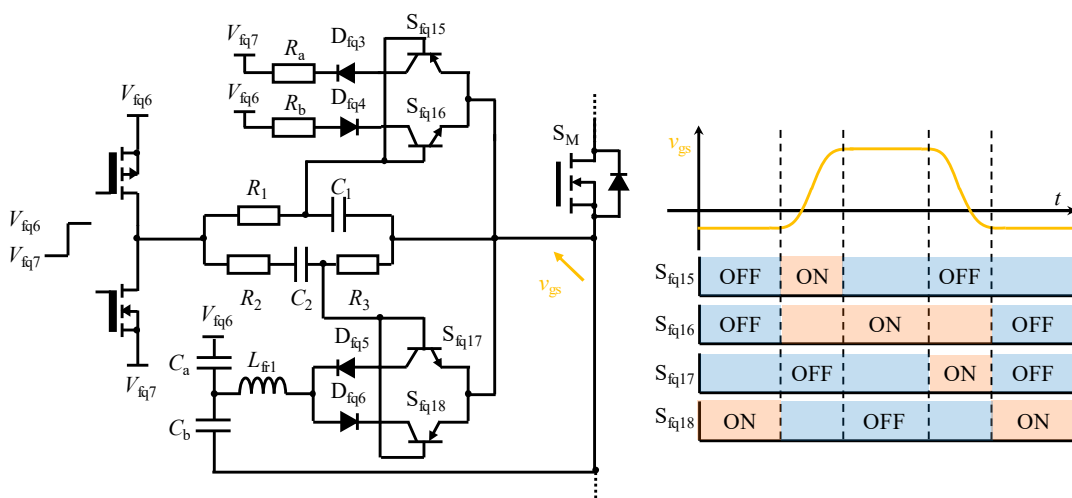


図 2. 52 バイポーラトランジスタを利用した共振形ゲート駆動回路

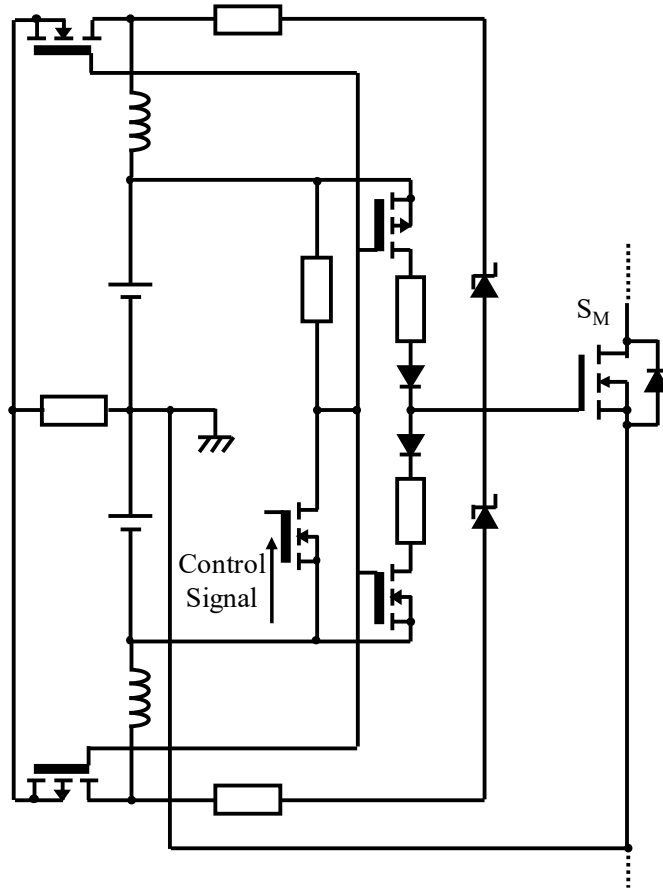


図 2.53 電流を利用した高速スイッチングゲート駆動回路

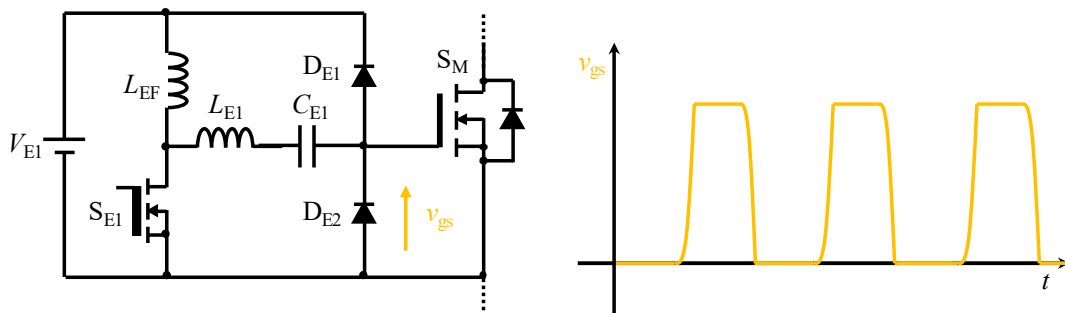


図 2.54 E 級インバータの原理を応用した部分共振ゲート駆動回路

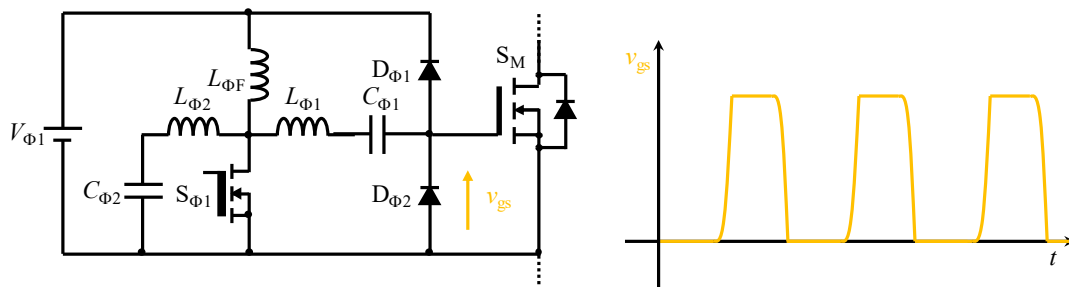


図 2.55 Φ_2 級インバータの原理を応用した部分共振ゲート駆動回路

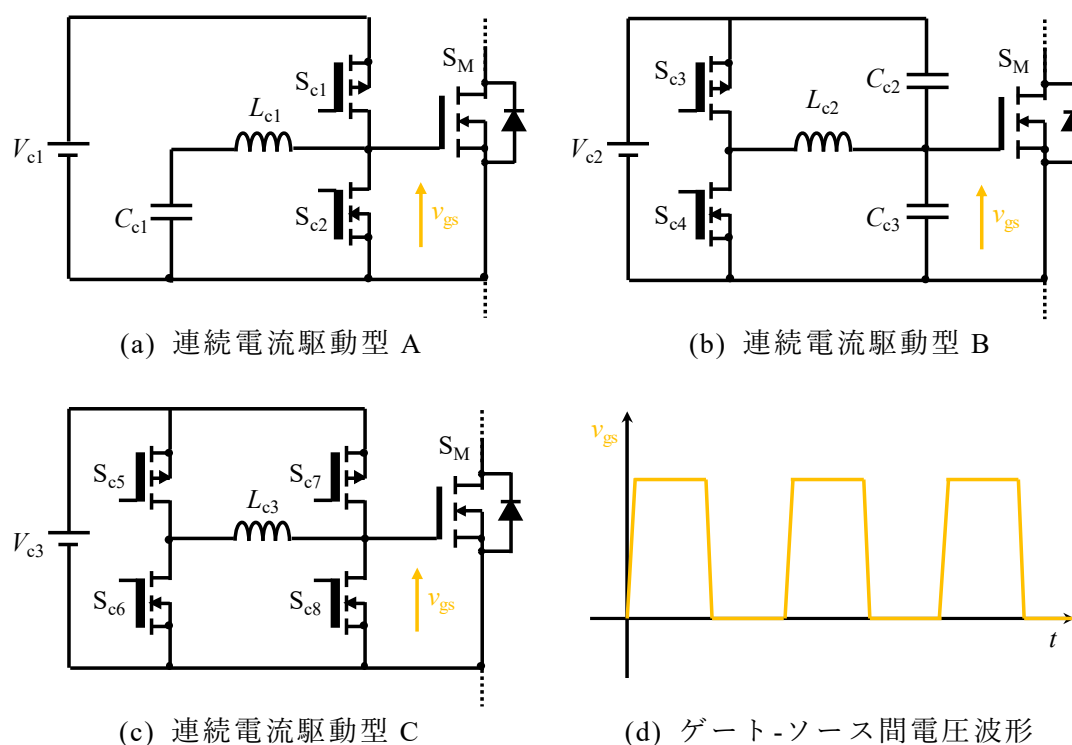


図 2.56 電流源駆動型部分共振形ゲート回路

ングを実現する手法が提案されており、4MHz の駆動が実現されているが、素子数が増大する⁽⁵⁶⁾。図 2.54 と図 2.55 では E 級インバータや \square_2 級インバータの動作を利用した 1 石のゲート駆動回路が提案されており、その動作検証が 6.78MHz、7MHz と 13.56MHz のスイッチング周波数で確認されている⁽⁵⁸⁾⁽⁵⁹⁾。本ゲート駆動回路もゲート-ソース間電圧をダイオードにより、ゲート駆動電源電圧でクランプすることで高速動作が実現されている。ただし、1 石の駆動方法であるため、起動時における主スイッチ S_M のオンやオフには配慮が必要となる。図 2.56 ではゲート回路内のインダクタに連続的に三角波電流を流し、ゲート-ソース間電圧を高速に立ち上げる手法が提案されている⁽⁶⁰⁾⁻⁽⁶²⁾。ただし、図 2.56(a) でゲート正電圧のみであれば電源電圧までゲート-ソース間電圧が上昇するが、一方で負電圧を印加させようとした場合には Duty に依存してゲート-ソース間電圧のピーク電圧が変化してしまう。また、図 2.56(a) と (b) では Duty 比 0.5 おいて入力電圧の $\pm V_{c1}/2$ あるいは $V_{c2}/2$ がゲートソースにかかるため、オフ時のゲート-ソース間負電圧はオン時のゲート-ソース間正電圧ピークの負値となる。図 2.56(c) も同様であるが、フルブリッジ方式の電流源駆動はゲート-ソース間電圧に $\pm V_{c3}$ の印加が可能である。ただし、フルブリッジ回路であれば素子数や制御信号が増える。

以上から、部分共振形ゲート回路はゲート-ソース間電圧の立上りと立下りに着目し、インダクタとキャパシタの共振現象を利用して、主スイッチ S_M の高速スイ

ツチングと高効率動作を実現している。ただし、10MHz 付近のスイッチング周波数では1石の場合が多く、2石以上の駆動周波数は数 MHz までが多い。また、2石部分共振形ゲート駆動回路ではゲート駆動回路内スイッチがハードスイッチングとなっている。フルブリッジ方式の部分共振はその動作を実現するためにスイッチング素子数や制御信号が多くなるので、高周波駆動で扱いづらくなる。

2.4.3 2石正弦波共振形ゲート駆動回路

図 2.57 に正弦波共振形ゲート駆動回路を示す⁽⁶³⁾⁻⁽⁶⁶⁾。このゲート駆動回路は入力容量 C_{iss} に対して直列にインダクタ L_{s1} が挿入されており、これらの固有振動数を利用して正弦波電圧をゲート-ソース間電圧に発生させる。インダクタ L_{s1} は回路パターンの寄生インダクタと一体化あるいは代替可能であり、シンプルな制御信号と2石のプッシュプル構成であるため、高周波時でも主スイッチ S_M の駆動が可能である。またこのゲート駆動回路は、トランスを用いてハーフブリッジの高周波駆動に使用されることが多い。しかしながら、ゲート-ソース間電圧の波形が正弦波電圧となるため、ゲート-ソース間電圧の立上りが遅く、矩形波電圧と比較して、主スイッチ S_M のオン抵抗低減までに時間を要する。

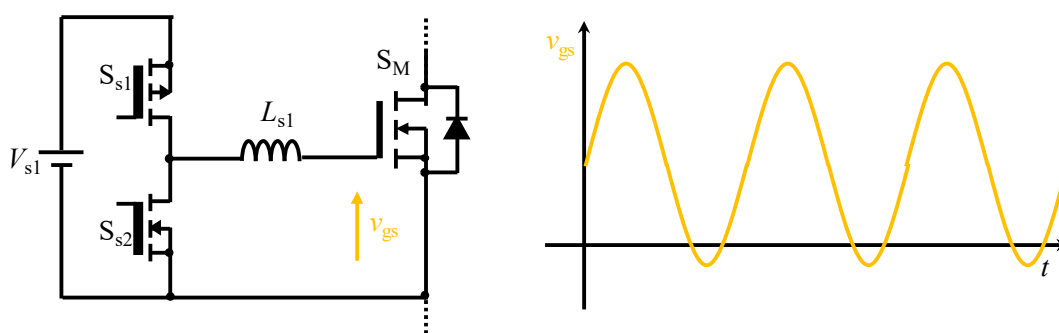


図 2.57 2石正弦波共振形ゲート駆動回路

2.4.4 1石半波共振形ゲート駆動回路

図 2.58 に1石半波ゲート駆動回路を示す⁽⁶⁷⁾⁽⁶⁸⁾。この回路は正弦波の半波を主スイッチ S_M のゲート-ソース間に出力する。スイッチ S_{sh1} はソフトスイッチングするため、低損失駆動が可能となる。また、ゲート駆動回路内部のスイッチが1つであるため、主スイッチ S_M の駆動用制御信号が1つでよくシンプルである。しかし、正弦波の半波であるため、ゲート-ソース間電圧の立上りが遅く、矩形波電圧と比較して主スイッチ S_M のオン抵抗低減までに時間を要する。また、主スイッチ S_M のソース電位がゲート駆動電源電圧の負側に接続されているため、オフ時のゲート-ソース間電圧に負電圧が印加できない。これにより、オフ時に主回路部から主スイッチのゲート部にノイズが回り込んだ場合、ゲート-ソース間電圧が

持ち上がると誤動作しやすい。さらに、ゲート駆動回路のスイッチ S_{sh1} が動作しておらず、ゲート駆動電源電圧が主スイッチの閾値電圧以上であると、自動的にゲート-ソース間電圧にその電圧 V_{sh1} が印加されるため、主スイッチ S_M がオンした状態となる。したがって、意図しない主スイッチ S_M のオン状態となる可能性がある。一方で、主スイッチ S_M をオフさせるためにスイッチをオンさせた状態にすると、ゲート駆動電源電圧がインダクタ L_{th3} に印加され続けるため、インダクタの寄生抵抗とスイッチ S_{sh1} のオン抵抗およびゲート電源電圧 V_{th1} にて決定される電流がスイッチ S_{sh1} に流れてしまい、大きな損失が生じてしまう。そのため、当該ゲート駆動回路の使用では起動時の主スイッチの状態をオフするための配慮が必要である。

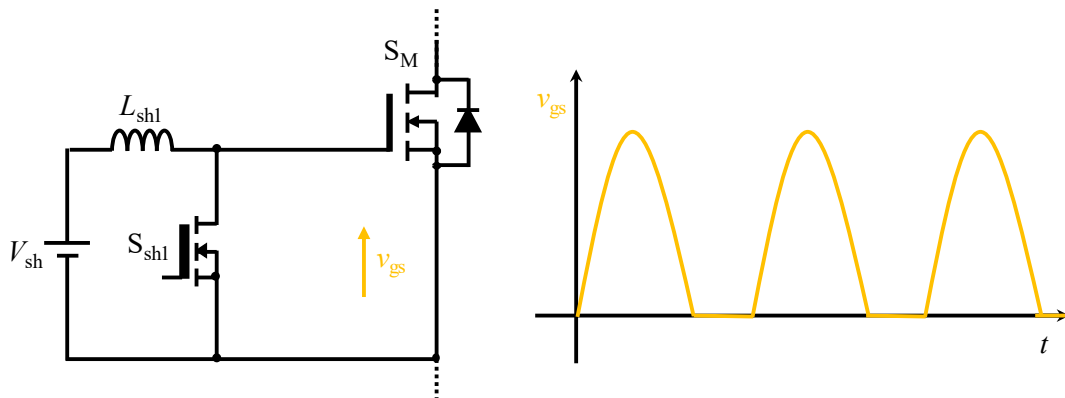


図 2.58 1石半波共振形ゲート駆動回路

2.4.5 1石複合共振形ゲート駆動回路

図 2.59 に示す 1石複合共振形ゲート駆動回路はゲート-ソース間電圧波形にスイッチング周波数の基本波成分だけでなく、3次高調波成分も利用して、その立ち上がり速度を改善した回路となっている⁽⁶⁹⁾⁻⁽⁷¹⁾。この回路はスイッチング周波数の

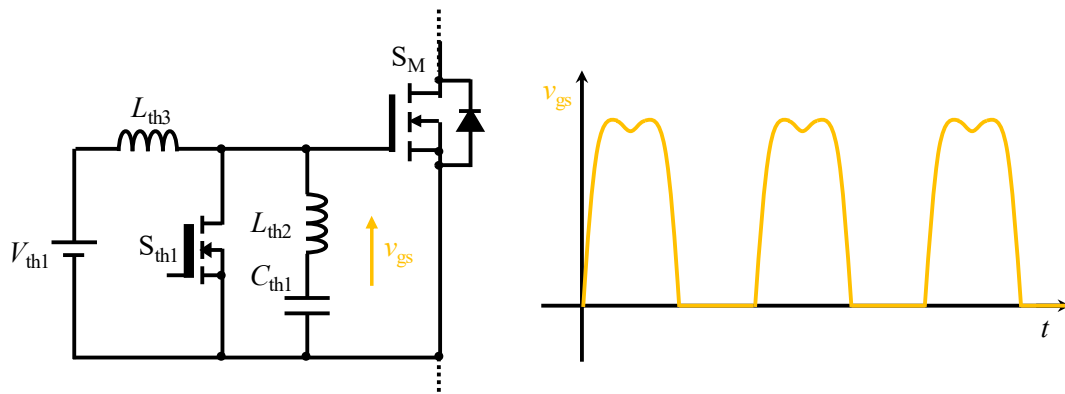


図 2.59 1石複合共振形ゲート駆動回路

基本波成分と3次高調波成分のゲインと位相を調整して、ゲート-ソース間電圧に台形波を生成する。また、ゲート駆動回路内部のスイッチ S_{th1} はターンオンとターンオフ時にゼロ電圧スイッチングのためソフトスイッチング動作となり、ドライブ損失が低減される。ただし、先のゲート駆動回路と同様で、ゲート駆動内部にスイッチが1つであるため、主スイッチのオン/オフ状態には考慮が必要である。また、ソース電位もゲート駆動電源電圧の V_{th1} 負側に固定されるため、ゲート-ソース間に負電圧が印加できず、オフ時に主回路側から主スイッチのゲート部にノイズが回り込んだ際は、誤動作し易くなる。

2.4.6 自励方式のゲート駆動回路

図2.60に自励方式ゲート駆動回路を示す⁽⁷²⁾。この回路は主回路のE級インバータと自励方式のゲート駆動回路が一体化されているため、主スイッチ S_M 駆動用スイッチは存在しない。30MHz以上の高周波ではドライブ損失より、高周波スイッチングを実現する自励方式のゲート駆動回路が多く散見される⁽⁷³⁾⁻⁽⁷⁶⁾。ただし、自励方式の電源では使用環境や経年劣化等で出力電圧の周波数も変化してしまうので、一定の周波数を出力したい場合は適さない。ところで、低周波でも自励発振型ゲート駆動回路が見受けられる。これらはACアダプター、LEDドライバ、誘導加熱などに応用され、高周波化よりは低コスト化の観点から研究開発されている⁽⁷⁷⁾⁻⁽⁷⁹⁾。

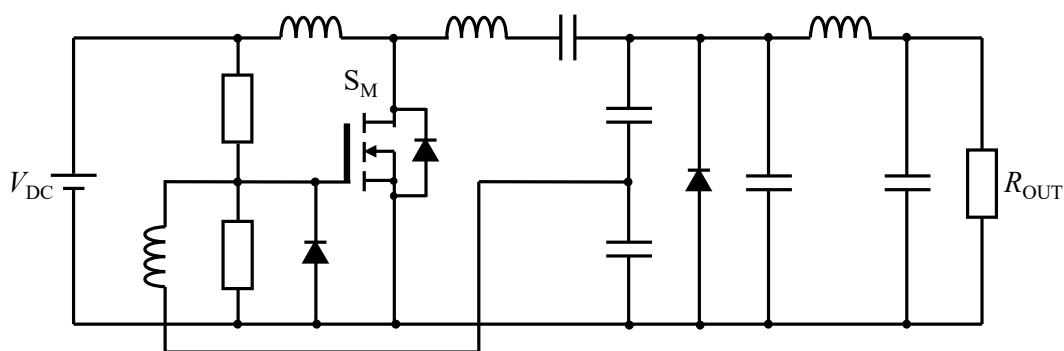


図 2.60 自励方式のゲート駆動回路を含む回路⁽⁷²⁾

2.5 スイッチング周波数の高調波成分に着目したゲート駆動回路

現在、提案されている非絶縁ゲートおよび絶縁ゲート GaN HEMT 用駆動回路は以下の課題がある。

絶縁ゲート GaN HEMT の低損失駆動に向けた課題

- ゲートキャパシタにて高速スイッチングが実現されているが、キャパシタの充放電にともなってドライブ損失が増加する。また、ターンオン後も非絶縁ゲート

第2章 スイッチング素子とゲート駆動回路

GaN HEMT の低オン抵抗を維持するために、オン期間中には一定の電流をゲート部に流し続けなければならない。

- ・ゲートキャパシタを有するゲート駆動回路ではターンオン時にその両端に電荷が蓄積されるため、ターンオフ時には非絶縁ゲート GaN HEMT のゲート-ソース間に大きな負電圧が発生する。非絶縁ゲート GaN HEMT はボディダイオードを持たないが、ゲート-ソース間の負電圧に依存したオン電圧が生じるため、オフ時における電流還流時に逆導通損失が増加する。

- ・ゲートキャパシタの充放電により、オフ時のゲート-ソース間電圧が決定されるため、ゲート駆動回路内部の RC 時定数に依存する。そのため、オフ時の負電圧がスイッチング周波数や Duty によって変化し、PFM, PDM や PWM ではゲート-ソース間負電圧が変化してしまう。

- ・PDM のアプリケーションでオフ期間が長い場合、従来のゲート駆動回路ではゲート-ソース間負電圧が 0 になってしまい、オン期間 1 発目のスイッチングがハードスイッチングの場合は誤動作し易くなる。

絶縁ゲート GaN HEMT の高周波駆動に向けた課題

- ・ゲート抵抗のみで構成されるゲート駆動回路ではスイッチング毎に主スイッチの入力容量（厳密にはゲート電荷量）に比例したドライブ損失が内外部のゲート抵抗にて発生し、ゲート抵抗が発熱するため、冷却器が必要となる。

- ・1 石で構成されるゲート駆動回路はシンプルであるが、ゲート電源電圧の起動時に主スイッチが意図せずオン状態とならないため、あるいはゲート駆動回路内部で損失増加を招かないために起動シーケンスを考慮する必要がある。また、ソース電位がゲート駆動電源の負側となるため、0V 以下の電圧をゲート-ソース間に印加できない場合もある。

- ・2 石の部分共振形ゲート駆動回路は 1 石の次にシンプルであるが、各スイッチがハードスイッチング動作になる。したがって、2 石によってさらなる高周波を実現するにはソフトスイッチング動作が求められる。

- ・4 石、あるいはそれ以上のスイッチング素子を有する部分共振形ゲート駆動回路は高速な立上りを実現する一方、スイッチング素子が多く、それにともなって制御信号も多くなるため、ゲート駆動回路が煩雑化し、高周波駆動には向かない。

・主スイッチの低オン抵抗を瞬時に実現するため、高周波駆動でもゲート-ソース間電圧には可能な限り矩形波電圧に近い波形が求められる。しかしながら、回路パターンの寄生インダクタやスイッチング素子の配線インダクタにより矩形波電圧の生成は困難となる。

・自励発振型ゲート駆動回路は制御信号などが不要であるため、シンプルとなるが、周辺環境や経年劣化により発振周波数が変化するため、出力周波数が変動する。

2.5.1. バッファ部とゲート回路部の役割

本論文では前記課題を解決するために、バッファ部とゲート回路部を別々の機能を有する要素として考え、それぞれに適したゲート駆動回路を提案する。まず、図 2. 61 のようにバッファ部は任意 Duty の矩形波電圧を出力する要素であり、様々な大きさの基本波成分と高調波成分を有する要素となる。ゲート回路はその矩形波成分に含まれる基本波成分および高調波成分を増幅、減衰や通過させる一種のフィルタ要素と考えることができる。一般的に Duty 比 D に依存した矩形波電圧のフーリエ級数展開は以下の通り導出され、それをゲート駆動電源の電源電圧 $V_{DP}=1V$ で図表現すると図 2. 62 の通りとなる。

$$DV_{DP} + \sum_{n=1,2,3\dots}^{\infty} \frac{2V_{DP}}{n\pi} \sin(n\pi D) \cos\left(\frac{2n\pi t}{T}\right) \quad (2. 2)$$

ここで、 n は高調波の次数、 T は周期、 t は時間である。この図での縦軸は Duty 比における基本波成分および各高調波成分の正弦波電圧ピークの絶対値を取得しており、矩形波電圧のピークトゥピークは $1V$ を仮定している。Duty 比が小さな矩形波電圧ではインパルス電圧に近づくため、基本波成分と各高調波成分の大きさがそれぞれ同じに近づく。また Duty 比にともなって各周波数成分の大きさが異なることも確認できる。Duty 比自身はゲート駆動回路の直流成分を決定する。したがって、制御信号の Duty 比を選択するとバッファ部から出力される矩形波電圧に任意の高調波成分を含む電圧を出力することが可能となる。さらに、ゲート回路にて、任意の高調波成分のみを取り出せば、期待される形の電圧を主スイッチのゲート-ソース間に生成できる。任意のゲート-ソース間電圧波形生成には次のステップを踏んで回路を考案する。

ステップ 1

コンバータの動作条件で必要とされるスイッチング素子のゲート-ソース間電圧をスイッチの特性を考慮して考える。

ステップ 2

ゲート-ソース間電圧の波形が決定したら、そのゲート-ソース間電圧波形が Duty 比に依存した矩形波あるいは Duty 比に含まれる基本波成分および高調波成分で実現できるか考える。

ステップ 3

各矩形波、基本波あるいは高調波波を増幅，減衰，通過させるためのゲート回路を考える。

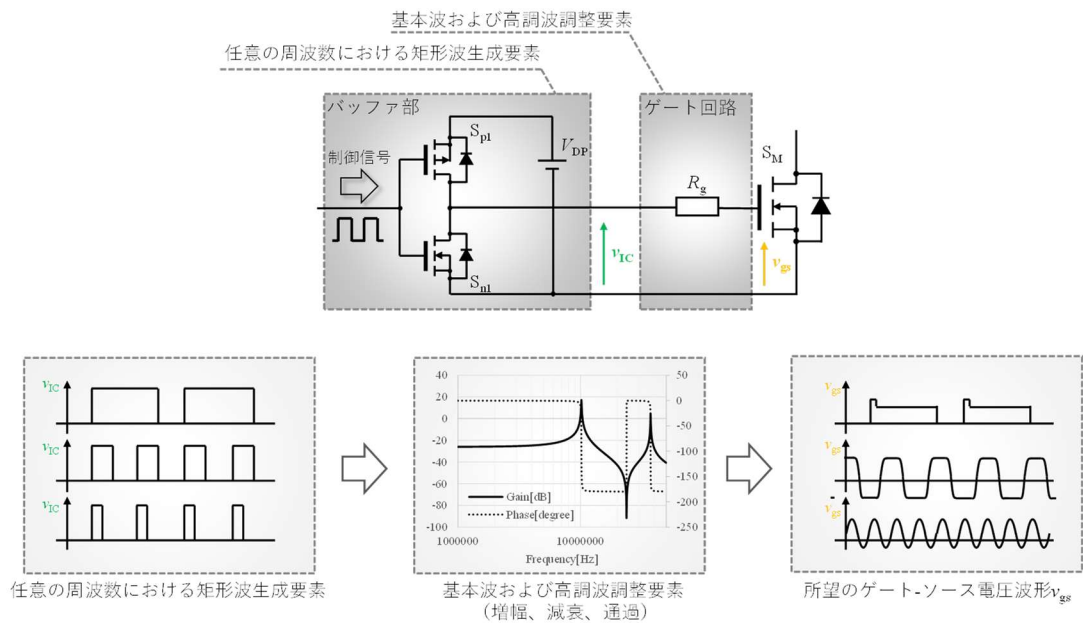


図 2.61 基本波成分と高調波成分を利用した波形の変形

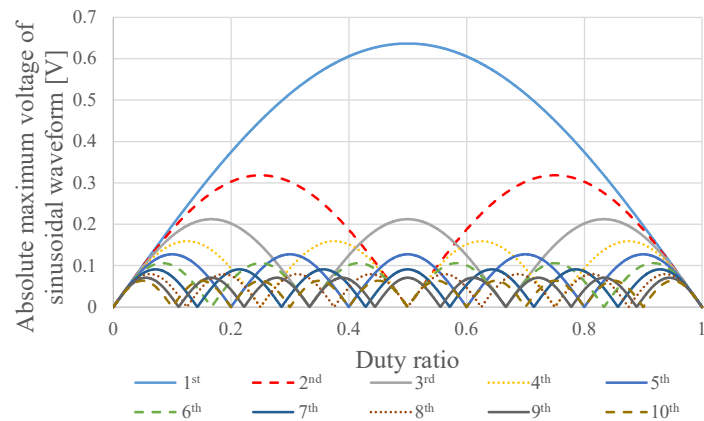


図 2.62 Duty 比および矩形波電圧に含まれる基本波成分と高調波成分

第2章 スイッチング素子とゲート駆動回路

以上のステップを踏んで、非絶縁ゲートおよび絶縁ゲート GaN HEMT のそれぞれの目的に応じたゲート駆動回路を提案する。

2.5.2 スイッチング周波数の高調波成分に着目したゲート駆動回路の適用

(a) インパルス波形の高調波成分に着目した非絶縁ゲート GaN HEMT 用駆動回路

第3章でインパルス波形に含まれる基本波成分と高調波成分に着目して、非絶縁ゲート GaN HEMT の低損失駆動を目的としたゲート駆動回路を提案する。この回路はスイッチング周波数の基本波成分と高調波成分が均一に含まれる低 Duty 比の矩形波電圧と Duty に依存した矩形波電圧の組み合わせにて実現する。これにより、ターンオン時に高速スイッチングが実現され、非絶縁ゲート GaN HEMT のスイッチング特性が改善される。従来回路ではターンオン時にゲート部に流し込むインパルス電流を CR 回路にて近似的に生成していたが、提案回路では p 型 MOSFET のオープンドレイン構成によってシンプルに実現する。ゲートキャパシタが不必要となるため、オフ時においてゲート-ソース間には一定の負電圧が印加され、逆導通損失も低減される。さらに、オフ時のゲート-ソース間負電圧が PDM や PFM に依存しないゲート駆動回路となる。また、非絶縁ゲート GaN HEMT は閾値電圧が低いため、誤点弧耐性のよいゲート駆動回路が望まれる。提案ゲート駆動回路は容量の大きなゲート駆動電源に直接接続されるため、低次の高調波成分を抑制でき、結果としてハードスイッチング時におけるオフ時の持ち上がり電圧を抑制できる。

(b) 基本波成分と3次高調波成分に着目した絶縁ゲート GaN HEMT 用駆動回路

第4章の前半ではドライバ IC 出力がプッシュプル構成であることを利用して、絶縁ゲート GaN HEMT 用 2 石複合共振形ゲート駆動回路を実現する。ここでは複合共振ネットワークと入力容量にて複数の共振周波数を有する共振器を実現し、バッファ部出力に含まれる矩形波電圧の基本波成分と3次高調波成分を意図的に取り出す。これにより、ゲート-ソース間に台形波電圧を出力し、スイッチング素子のターンオンとターンオフが加速され、主回路損失が低減される。また共振現象により、オフ時のゲート-ソース間には正のゲート電源電圧から負電圧の印加が可能である。複数のスイッチング素子を有する部分共振ゲート駆動回路と比較して、スイッチング素子や制御信号も少なく、高周波用ゲート駆動回路として取り扱い易い。

(c) 2次高調波成分に着目した絶縁ゲート GaN HEMT 用駆動回路

第4章の後半では高周波駆動時におけるバッファ部のドライバ IC の損失と発熱を抑制するゲート駆動回路を提案する。これはバッファ部出力に含まれる2次

高調波成分のみをスイッチング素子のゲート-ソース間で取り出し、制御信号に含まれる周波数成分の2倍の周波数をゲート-ソース間電圧として出力する(周波数通倍)。ここでも複合共振ネットワークを利用する。複合共振ネットワークと入力容量で構成される共振器の基本波成分に対するインピーダンスを可能な限り大きくし、単一の高調波成分のみを主スイッチのゲート-ソース間に抽出する。これにより、バッファ部に使用されるドライバ IC の損失と発熱を大きく低減する。

2.6 本研究の位置づけ

本研究では非絶縁ゲート GaN HEMT の低損失駆動および絶縁ゲート GaN HEMT の高周波駆動を目的とする。両目的の達成に向けて、スイッチング周波数に含まれる基本波成分と高調波成分に着目し、それぞれの目的に適したゲート駆動回路を提案する。バッファ部出力の矩形波電圧は Duty 比に応じて、その波形に含まれる基本波成分と高調波成分が大きく異なる。またゲート回路部は一種のフィルタと考えて、バッファ部出力の矩形波電圧に含まれる基本波成分や高調波成分を増幅、減衰および通過させる回路とみなせる。非絶縁ゲート GaN HEMT 用駆動回路はゲートキャパシタを有するものが一般的であるが、本論文では高調波成分が多く含まれるインパルス電圧とインパルス電流に着目して、p 型 MOSFET とその寄生容量による高速スイッチング手法を実現し、ゲートキャパシタを有しない新しい駆動方法を考案する、これにより、ゲート駆動回路のドライブ損失低減と GaN HEMT の逆導通損失低減を図る。

絶縁ゲート GaN HEMT 用駆動回路では各 Duty の矩形波電圧に含まれる基本波成分と高調波成分に着目し、取り扱い易い2石のプッシュプル構成にて新しい駆動手法を提案する。1つ目の手法ではバッファ部出力の矩形波電圧から、ゲート回路によって基本波成分と3次高調波成分を取り出し、ゲート-ソース電圧を台形波にしてスイッチング周波数の高周波化と主スイッチの導通損失低減を図る。また2つ目の手法ではドライバ IC の損失と発熱に焦点を当て、任意の Duty にて基本波成分を減衰し、2次高調波あるいは3次高調波を積極的に活用することで、ドライバ損失を大幅に低減する手法を提案する。

以上より、バッファ部出力の矩形波電圧に含まれる高調波を利用して、主スイッチのゲート-ソース間で意図した電圧波形を生成させることで、非絶縁ゲート GaN HEMT を用いた電力変換器の損失低減だけでなく、絶縁ゲート GaN HEMT を用いた電力変換器の高周波駆動の方法を明示する。本論文で提案するゲート駆動回路の位置づけは図 2.63 と図 2.64 の通りとなる。提案する非絶縁ゲート GaN HEMT 用駆動回路は主回路損失とドライブ損失を同時に低減できる。また、提案する絶縁ゲート GaN HEMT 用駆動回路は2石のプッシュプル構成であるため、主スイッチのオフはプッシュプル構成のローサイド側をオンしておけばよく、1石のよう

第2章 スイッチング素子とゲート駆動回路

にゲート駆動電源電圧が立ち上がっている場合でも大電流が流れず、損失が発生することもない。また、ドライバ IC の損失も低減するため、従来の 2 石正弦波駆動回路に取って代わると考えられる。

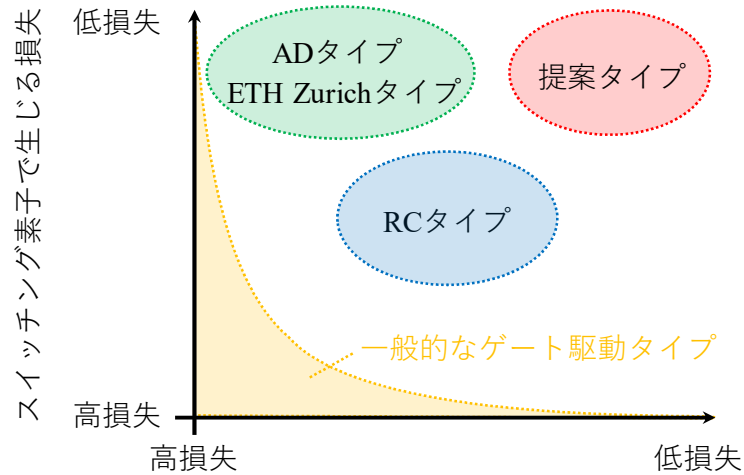


図 2. 63 提案する非絶縁ゲート GaN HEMT 用駆動回路の位置づけ

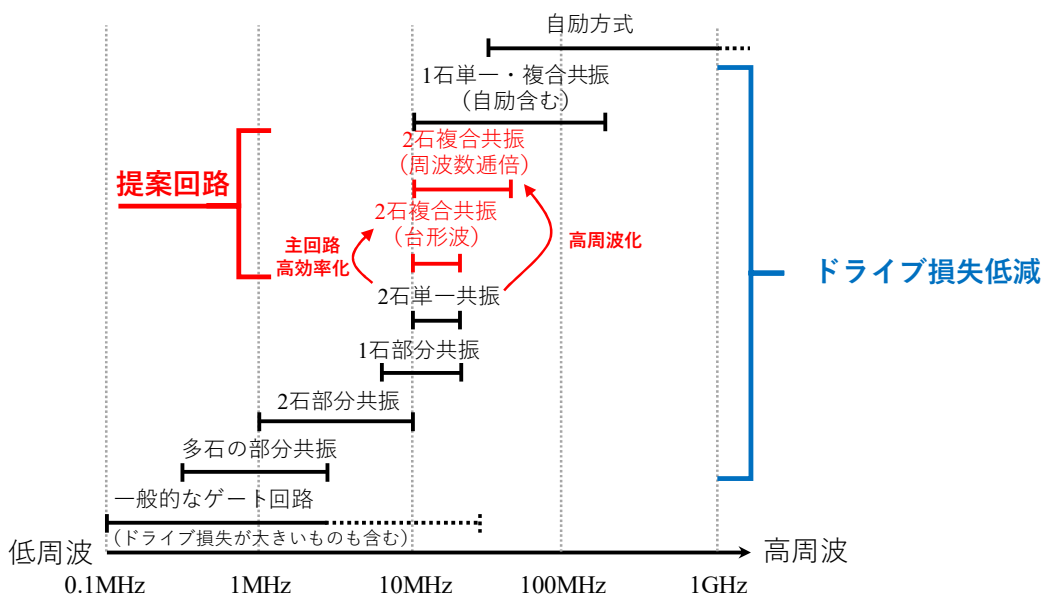


図 2. 64 提案する絶縁ゲート GaN HEMT 用駆動回路の位置づけ
(先行研究は参考文献ベース)

2.7 まとめ

本章では最初に MOSFET と GaN HEMT の内部構造を述べた。縦型素子の MOSFET は高耐圧を実現できる一方で、ゲート-ドレイン間容量 C_{gd} が大きくな

るため、高速スイッチング性能が横型素子の GaN HEMT よりも劣る。GaN HEMT は移動度の大きい 2DEG を有するため、さらなる高速スイッチングが可能である。

次にゲート駆動回路とその周辺技術について述べた。バッファ部前段の絶縁部は光絶縁方式のフォトカプラや磁気結合方式や容量結合方式のアイソレータが使用されており、装置故障による高電圧部からの感電保護や制御部と主回路部の不用意な電流ループを避けるため設けられる。バッファ部は制御信号の小さな電圧を、スイッチング素子が駆動可能な電圧まで増幅するために必要となる。この増幅用電圧には制御信号とは別経路でエネルギー供給され、絶縁型コンバータが使用される。

スイッチング素子の駆動を考えるため、一例として、MOSFET のゲート-ソース回路の等価回路を示した。MOSFET におけるゲート-ソース間の等価回路は内部抵抗 R_{int} と入力容量 C_{iss} で表現され、そのオン/オフには MOSFET の入力容量を閾値電圧まで充電する。さらに、ここでは後章の理解を深めるため、ターンオン時間やターンオフ時間、さらには低損失なスイッチングを実現するソフトスイッチングの定義も示した。

3 つ目にはバッファ段出力の構成を述べた。バッファ段出力の構成にはプッシュプル構成、ハーフブリッジインバータ構成、フルブリッジインバータ構成が主に使用されており、これらの構成によって、主スイッチのゲート部は p 型 MOSFET や n 型 MOSFET を介して直接ゲート駆動電源に接続されるため、スイッチング素子の高速ターンオンやターンオフを実現する。

4 つ目にはバッファ部以降の詳細回路を示した、図 2.21 に示す通り、スイッチング素子の駆動にはバッファ段、ゲート駆動電源、ゲート回路の構成を考慮する必要がある。ゲート回路は簡単にはゲート抵抗で構成されており、スイッチング素子のスイッチング速度を調整する。

続いて、非絶縁ゲートおよび絶縁ゲート GaN HEMT のゲート駆動回路について述べた。まず、非絶縁ゲート GaN HEMT の GaN GIT は駆動時におけるゲート-ソース間の電氣的等価回路が内部ゲート抵抗、ダイオードと入力容量で構成されるため、ゲート回路に一般的なゲート抵抗のみが設置された回路を適用すると、その性能を生かしきれない。そのため、ゲートキャパシタを有するゲート駆動回路は提案されているが、ドライブ損失の増加、逆導通損失の増加、オフ時のゲート負電圧が回路内 RC 時定数に依存、さらには誤点弧し易いといった課題がある。

絶縁ゲート GaN HEMT はゲート-ソース間の電氣的等価回路が内部ゲート抵抗と入力容量で構成されるため、ダイオードによる損失がなく、高周波波駆動に向いている。ところで、高周波駆動では入力容量の充放電回数がスイッチング周波数に比例するため、ゲート駆動回路の損失が大きくなる。これら課題の解決に向けて、様々な共振形ゲート駆動回路が提案されている。1 石のゲート駆動回路で

第2章 スイッチング素子とゲート駆動回路

構成される共振形ゲート駆動回路は構成がシンプルになる一方で、ゲート駆動電源電圧の立上りに配慮が必要となる。2石のゲート駆動回路ではゲート回路内スイッチがハードスイッチングとなる回路もあり、さらなる改善が求められる。また、ゲート-ソース間電圧が正弦波になる2石のゲート駆動回路は、主回路損失が増大するなど高周波用途に適したものはまだ提案されていない。4石、あるいはそれ以上のスイッチング素子を有するゲート駆動回路では回路内スイッチング素子や制御信号が多く、高周波では不向きとなる。インパルス電流にて主スイッチのスイッチングを高速化する手法も提案されているが、部品点数が多く煩雑化する。

最後にはそれら課題を解決するために、バッファ段出力に含まれる基本波成分と高調波成分に着目したゲート駆動回路の提案方法を述べた。3章と4章ではバッファ部の出力矩形波に含まれる基本波成分と高調波成分に着目した非絶縁ゲートおよび絶縁ゲート GaN HEMT 用駆動回路を提案する。

第3章 低損失駆動を実現する非絶縁ゲート GaN HEMT 用駆動回路

非絶縁ゲート GaN HEMT の GaN GIT は第1章で示した通り，出力容量とオン抵抗が他の GaN HEMT と比較して小さい。GaN GIT はそのゲート-ソース間ダイオード特性を考慮しても，数 MHz までのスイッチング周波数領域に適應できる。本章では GaN GIT の電気的特性を議論し，低損失駆動を実現する GaN GIT 用ゲート駆動回路を提案する。

3.1 提案ゲート駆動回路

3.1.1 インパルス波形に含まれる高調波成分に着目したゲート駆動回路

図 3.1 に低損失駆動実現に向けた非絶縁ゲート GaN GIT のゲート-ソース間電圧波形とそのゲート電流波形を示す。非絶縁ゲート GaN GIT の駆動では入力容量 C_{iss} を瞬時に充電し，その後のオン期間では低オン抵抗を実現するため，所望の電流をゲート部に流し込まなければならない。図 3.1 によればゲート-ソース間電圧波形はインパルス電圧と Duty に依存した矩形波電圧の足し合わせで構成されていると考えることができる。インパルス電圧はターンオン時にインパルス電流をゲート部に注入し，その後，矩形波電圧によって GaN GIT のゲート部に矩形波

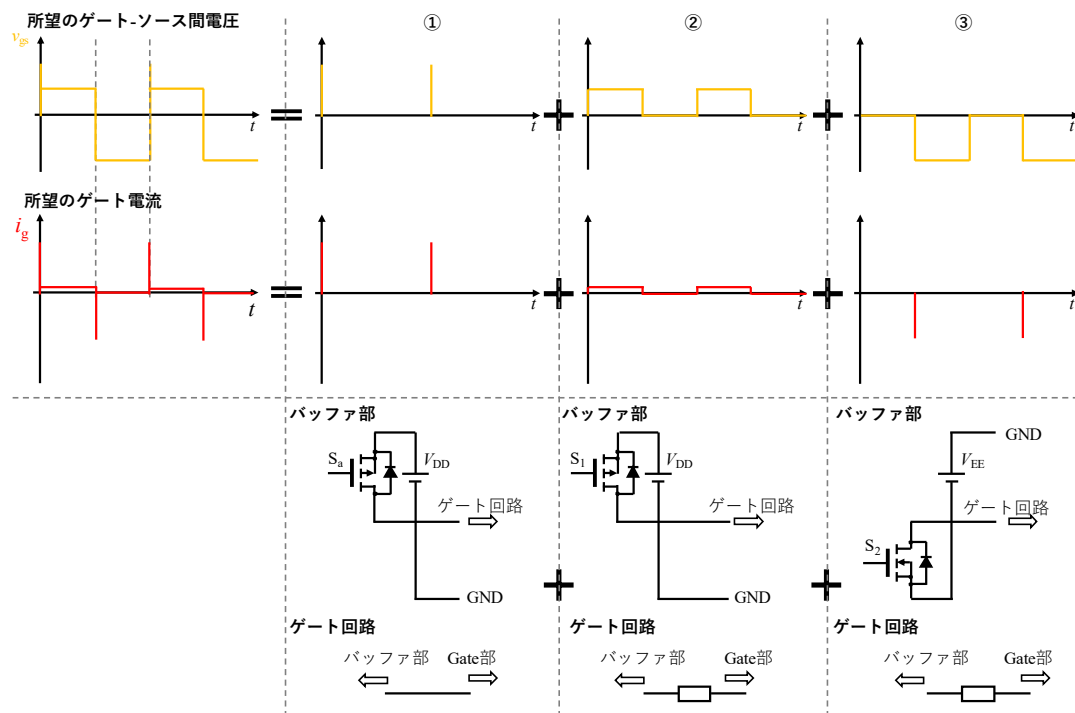


図 3.1 GaN GIT に必要なゲート-ソース間電圧 v_{gs} とゲート電流 i_g

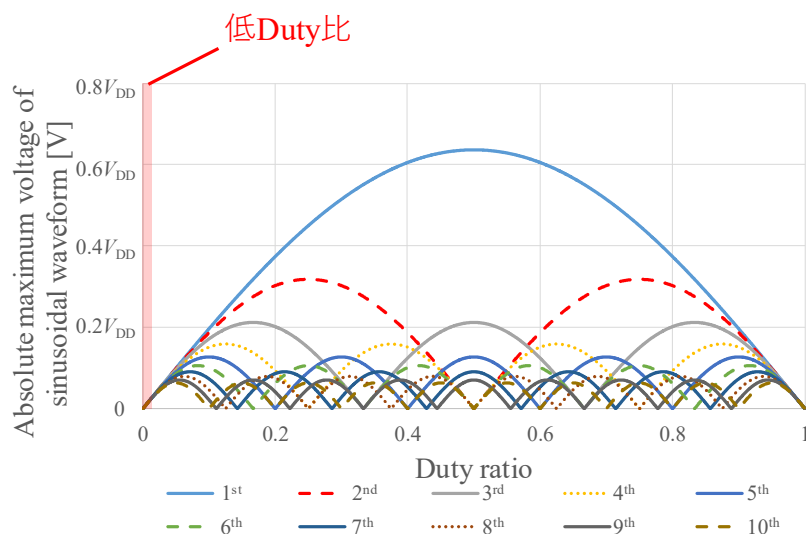


図 3.2 インパルス電圧と低 Duty 比

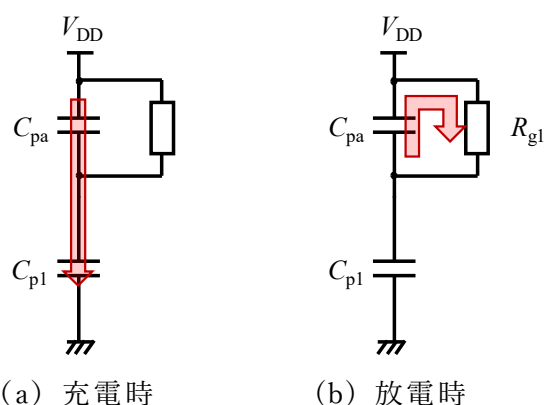


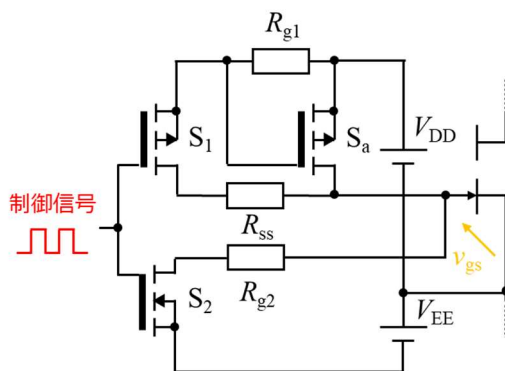
図 3.3 p 型 MOSFET のゲート-ソース間容量 C_{pa} の充放電

電流を注入している。従来回路ではインパルス電圧やインパルス電流を RC 回路で担い、矩形波電圧をプッシュプル構成やオープンドレイン構成によって実現している。一方で、インパルス電圧に着目すると、この電圧はスイッチング周波数の基本波成分とすべての高調波成分の大きさが等しい状態で得られる。図 3.1①と式 (2.2) の $V_{DP}=V_{DD}$ とすると、図 3.2 に示す Duty と正弦波の大きさ（絶対値）が得られ、低 Duty 矩形波電圧であればスイッチング周波数の基本波成分と高調波成分は限りなく同じになるため、インパルス電圧に近い矩形波電圧が実現する。これは図 3.1①の通り、p 型 MOSFET のオープンドレイン構成でスイッチのオン時間を限りなく短くし、ゲート回路は主スイッチのゲート部と短絡させることで達成できる。この p 型 MOSFET で限りなく小さいオン状態を実現するために、低 Duty 比の制御信号にて直接 p 型 MOSFET を制御すれば良いが、制御信号が増えるため、シンプルにゲート回路で実現することを考える。p 型 MOSFET を低 Duty 比で駆動させるためにはこの p 型 MOSFET のゲート-ソース間容量 C_{pa} に低 Duty

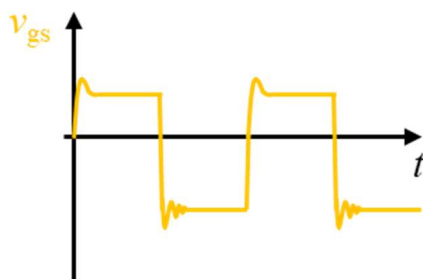
比で得られるインパルス電圧を印加した後、瞬時にその電荷を放電させる回路を設ければよい。このとき、両回路は図 3.3 のような R_{g1} と C_{p1} の組み合わせで構成される。充電時はキャパシタ部に電流が流れるため、瞬時に p 型 MOSFET のゲート-ソース間容量 C_{pa} の電圧が上昇し、キャパシタ C_{pa} と C_{p1} の充電が完了すると、ゲート-ソース間容量 C_{pa} と抵抗 R_1 にて瞬時に放電する。オン時における図 3.1②の矩形波部は p 型 MOSFET+抵抗で、図 3.1③のオフ時は n 型 MOSFET+抵抗で構成できる。したがって、図 3.1 と図 3.3 を組み合わせると、次節の図 3.4 (a) で示すゲートキャパシタを用いない非絶縁ゲート GaN GIT 用駆動回路が実現する。

3.1.2 提案するゲート駆動回路の構成と動作

提案するゲート駆動回路の構成を図 3.4 (a) に示す。提案タイプはゲート駆動電源 V_{DD} と V_{EE} からエネルギーが供給され、スイッチ S_1 のドレイン側にある電流制限抵抗 R_{ss} 、ソース側にある高速ターンオン実現用ゲート抵抗 R_{g1} と補助スイッチ S_a 、スイッチ S_2 のドレイン側にあるターンオフ用ゲート抵抗 R_{g2} によって構成されている。抵抗 R_{g1} は補助スイッチ S_a をオンさせるために挿入されている。図 3.4 (b) に示す通り、ゲート-ソース間波形は ETH Zurich タイプとほぼ同じとなる。



(a) 提案回路



(a) 回路図

(b) ゲート-ソース間の波形

図 3.4 提案するゲート駆動回路

表 3.1.1, 表 3.1.2 および 表 3.2.1 に提案回路動作モードを示す。ただし, ここでは簡単のために寄生インダクタや内部ゲート抵抗は考慮しないものとする。

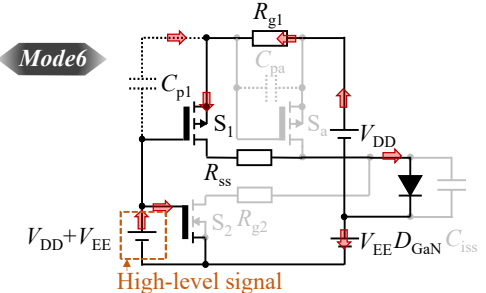
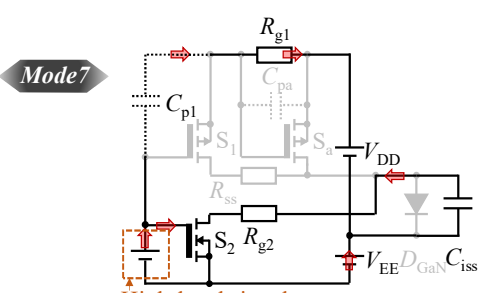
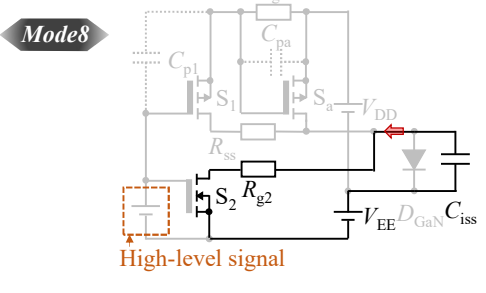
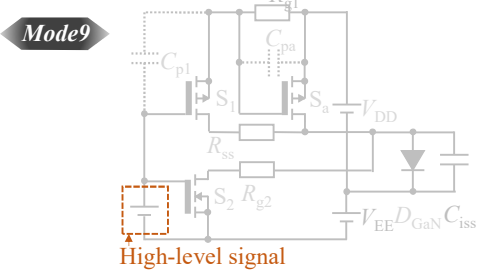
表 3.1.1 ローレベル信号 (オン信号) における動作モード

<p>Mode1</p>	<p>Mode1:</p> <p>GaN GIT をオンさせるために, ローレベル信号がスイッチ S_1 と S_a をターンオンおよびスイッチ S_2 をターンオフさせるために入力される。この際, ゲート駆動電源 V_{DD} と V_{EE} からゲート抵抗 R_{g1}, スイッチ S_1 と S_a のゲートキャパシタ C_{p1} と C_{pa} に向けて電流が流れ, それらのキャパシタに電荷が充電される。</p>
<p>Mode2</p>	<p>Mode2:</p> <p>ゲート・ソース間容量 C_{p1} と C_{pa} の両端電圧がスイッチ S_1 と S_a の閾値電圧を超え, スイッチ S_1 と S_a がオンする。ゲート・ソース間容量 C_{pa} の両端電圧 V_{pa} は, ゲート・ソース間容量 C_{p1} と C_{pa} が瞬時に充電されると仮定すると, 次の式で表される。</p> $V_{pa} = \frac{C_{p1}}{C_{pa} + C_{p1}} (V_{DD} + V_{EE}) \quad (3.1)$ <p>このとき, GaN GIT のゲート部はスイッチ S_a を介して直接駆動電源 V_{DD} に接続されているため, GaN GIT の入力容量 C_{iss} は瞬時に充電されて GaN GIT がオンとなる。一方, ゲート・ソース間容量 C_{pa} はゲート抵抗 R_{g1} があるために放電を開始し, スイッチ S_a のゲート・ソース間容量 C_{p1} は充電を継続する。</p>

表 3.1.2 ローレベル信号（オン信号）における動作モード（続き）

<p>Mode3</p> <p>Low-level signal</p>	<p>Mode3:</p> <p>GaN GIT のゲート-ソース間電圧がダイオード D_{GAN} のオン電圧に到達すると、ダイオード D_{GAN} が導通する。スイッチ S_a のキャパシタ C_{pa} はゲート抵抗 R_{g1} を介して放電を継続し、スイッチ S_1 のキャパシタ C_{p1} は充電を続ける。</p>
<p>Mode4</p> <p>Low-level signal</p>	<p>Mode4:</p> <p>キャパシタ C_{pa} の放電によりスイッチ S_a のゲート・ソース間電圧がその閾値電圧に達するため、スイッチ S_a はオフする。スイッチ S_1 のオン状態が維持され、ゲート駆動電源 V_{DD} からの電流がスイッチ S_1 および電流制限抵抗 R_{ss} を介して GaN GIT のゲート部に流れ込む。したがって、GaN GIT は低オン抵抗状態を維持する。</p>
<p>Mode5</p> <p>Low-level signal</p>	<p>Mode5:</p> <p>キャパシタ C_{p1} および C_{pa} の充電および放電がそれぞれ完了する。引き続き、ゲート駆動電源 V_{DD} からの電流がスイッチ S_1 および電流制限抵抗 R_{ss} を介して GaN GIT のゲート部に流れ込む。したがって、GaN GIT は低オン抵抗状態を維持する。</p>

表 3.2.1 ハイレベル信号（オフ信号）における動作モード

<p>Mode6</p>  <p>※ハイレベル信号の電圧は GaN GIT 駆動用電源 V_{DD} と V_{EE} から供給される。</p>	<p>Mode6:</p> <p>GaN GIT をオフするために、ハイレベル信号 ($V_{DD} + V_{EE}$) が入力される。スイッチ S_2 のゲート-ソース間容量は充電を開始し、スイッチ S_1 のキャパシタ C_{p1} は放電を開始する。ゲート駆動電源 V_{DD} からの電流はスイッチ S_1, 電流制限抵抗 R_{ss} を介して GaN GIT のゲートに流れ続けるため、GAN GIT はオン状態を維持している。</p>
<p>Mode7</p> 	<p>Mode7:</p> <p>キャパシタ C_{p1} の両端電圧がスイッチ S_1 の閾値電圧に達するため、スイッチ S_1 はオフする。また、スイッチ S_2 のゲート・ソース間電圧がスイッチ S_2 の閾値電圧に達するため、スイッチ S_2 はオンする。その後、GaN GIT の入力容量 C_{iss} はゲート抵抗 R_{g2} とスイッチ S_2 を介して放電を開始する。</p>
<p>Mode8</p> 	<p>Mode8:</p> <p>スイッチ S_2 の入力容量が充電を終了し、スイッチ S_1 のキャパシタ C_{p1} は放電を終了する。GaN GIT はしきい値電圧に到達しオフ状態となる。</p>
<p>Mode9</p> 	<p>Mode9:</p> <p>GaN GIT の入力容量 C_{iss} の放電が完了する。動作モードは、表 3.1.1 の <i>Mode1</i> に戻る。</p>

3.1.3 高速ターンオン実現用ゲート抵抗 R_{g1} の決定方法

ゲート抵抗 R_{g1} の役割は補助スイッチ S_a を適切な時間でターンオンおよびターンオフすることである。提案ゲート駆動回路にローレベル信号（オン信号）が入力されたとき、補助スイッチ S_a のゲート-ソース間電圧は表 3.1.1 の *Mode2* の式 (3.1) の通りとなる。ここで、スイッチ S_1 と補助スイッチ S_a のゲート-ソース間容量は補助スイッチ S_a を確実にターンオンさせるためにほぼ同値、あるいは補助スイッチ S_a の入力容量がスイッチ S_1 の入力容量よりも下回るように選定しなければならない。表 3.1.1 の *Mode2* において、ゲート抵抗 R_{g1} とキャパシタ C_{pa} の両端には同じ電圧が印加されるため、次の数式が成り立つ。

$$i_{C_{pa}} R_{g1} = \frac{1}{C_{pa}} \int i_{C_{pa}} dt \quad (3.2)$$

ここで $i_{C_{pa}}$ はスイッチ S_a のキャパシタ C_{pa} に流れ込む電流である。電流制限抵抗 R_{ss} に流れる電流が十分に小さいと仮定すると、キャパシタの電流 $i_{C_{pa}}$ と電荷 $Q_{C_{pa}}$ の関係から以下の式が導出される。

$$i_{C_{pa}} = \frac{dQ_{C_{pa}}}{dt} \quad (3.3)$$

式(3.1)、(3.2)、(3.3)に基づいて、電荷 $Q_{C_{pa}}$ の関係は次の通りとなる。

$$Q_{C_{pa}} = \frac{C_{pa} C_{pl}}{C_{pa} + C_{pl}} (V_{DD} + V_{EE}) \exp\left[-\frac{1}{R_{g1} C_{pa}} t\right] \quad (3.4)$$

以上から、スイッチ S_a のキャパシタの C_{pa} の両端電圧 V_{pa} は式(3.4)の両端をキャパシタンス C_{pa} で割ると次式で得られる。

$$V_{pa} = \frac{C_{pl}}{C_{pa} + C_{pl}} (V_{DD} + V_{EE}) \exp\left[-\frac{1}{R_{g1} C_{pa}} t\right] \quad (3.5)$$

この式から補助スイッチ S_a がオフするまでの時間 t_{Sa_off} 以下の通り、導き出される。

$$t_{Sa_off} = -R_{g1} C_{pa} \ln\left[\frac{C_{pa} + C_{pl}}{C_1} \cdot \frac{V_{Cth}}{V_{DD} + V_{EE}}\right] \quad (3.6)$$

ここで V_{Cth} は補助スイッチ S_a の閾値電圧である。したがって、ゲート抵抗 R_{g1} は次の式で決定される。

$$R_{g1} = -\frac{t_{Sa_off}}{C_{pa} \ln\left[\frac{C_{pa} + C_{pl}}{C_1} \cdot \frac{V_{Cth}}{V_{DD} + V_{EE}}\right]} \quad (3.7)$$

次に GaN GIT が完全にオン状態となるまでに、スイッチ S_a がターンオンしてからオフするまでに必要な時間 t_{Sa_off} を導出する。これは GaN GIT の内部ダイオード D_{GaN} がオンするまでに必要な時間である。この時間の計算にはゲート駆動回

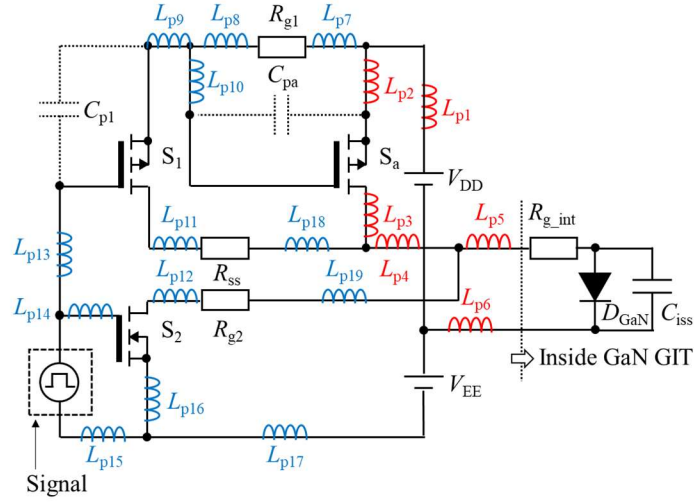


図 3.5 寄生インダクタを考慮した提案タイプの等価回路

路内部の寄生インダクタの影響を考慮しなければならない。図 3.5 に寄生インダクタを考慮した提案タイプの等価回路を示す。この等価回路にはスイッチ S_1 と補助スイッチ S_a のゲート-ソース間容量と GaN GIT の等価回路も含まれる。高速ターンオン動作に影響する寄生インダクタは図 3.5 の赤色で示す L_{p1} から L_{p6} のインダクタである。表 3.1.1 の *Mode2* における回路方程式は

$$\begin{aligned}
 V_{DD} + V_{EE} &= L_p \frac{di_{C_{iss}}}{dt} + i_{C_{iss}} (R_{S_{a_on}} + R_{g_int}) + \frac{1}{C_{C_{iss}}} \int i_{C_{iss}} dt \\
 &= L_p \frac{d^2 Q_{C_{iss}}}{dt^2} + (R_{S_{a_on}} + R_{g_int}) \frac{dQ_{C_{iss}}}{dt} + \frac{Q_{C_{iss}}}{C_{C_{iss}}}
 \end{aligned} \quad (3.8)$$

となり L_p は L_{p1} から L_{p6} の和、 $i_{C_{iss}}$ は GaN GIT のゲート部に流れ込む電流、 $R_{S_{a_on}}$ は補助スイッチ S_a のオン抵抗、 $Q_{C_{iss}}$ は GaN GIT のゲート電荷である。この数式より、GaN GIT のゲート-ソース間電圧に関して、以下の式が導かれる。

$$v_{gs} = V_{DD} - (V_{EE} + V_{DD}) e^{-\alpha t} \frac{1}{\sqrt{1-\beta}} \sin(\alpha t + \theta_1) \quad (3.9)$$

$$\beta = \frac{C_{iss} (R_{S_{a_on}} + R_{g_int})^2}{4L_p} \quad (3.10)$$

$$\theta_1 = \tan^{-1} \frac{\omega}{\alpha} \quad (3.11)$$

$$\alpha = \frac{(R_{S_{a_on}} + R_{g_int})}{2L_p} \quad (3.12)$$

$$\omega = \sqrt{\frac{1}{L_p C_{iss}} - \left(\frac{R_{S_{a_on}} + R_{g_int}}{2L_p} \right)^2} \quad (3.13)$$

したがって、GaN GIT のゲート-ソース間電圧 v_{gs} が内部ダイオード D_{GaN} のオン電圧 V_{DGaN} に到達した場合には、以下の式が与えられる。

$$V_{\text{DGaN}} = V_{\text{DD}} - (V_{\text{EE}} + V_{\text{DD}}) e^{-\alpha t_{\text{sa_off}}} \frac{1}{\sqrt{1-\beta}} \sin(\omega t_{\text{sa_off}} + \theta_1) \quad (3.14)$$

式(3.7)と式(3.14)から、内部ダイオード D_{GaN} のオン電圧に到達するためのゲート抵抗 R_{g1} は $t_{\text{sa_off}}$ を数値的に解くことによって求められる。

3.1.4 ドライブ損失の導出

前項では GaN GIT をターンオンするために必要なゲート抵抗値を導出した。この項では提案タイプのドライブ損失を計算する。まず、内部ダイオード D_{GaN} がオンするまでの損失 P_1 は表 3.1.1 の *Mode2* と *Mode3* から次のように導出される。

$$P_1 = f_{\text{sw}} \int_0^{t_{\text{sa_off}}} V_{\text{DD}} i_{\text{Ciss}} dt = f_{\text{sw}} V_{\text{DD}} (V_{\text{EE}} + V_{\text{DGaN}}) C_{\text{iss}} \quad (3.15)$$

表 3.1.2 の *Mode3* 以降でゲート抵抗 R_{g1} と電流制限抵抗 R_{ss} で生じる損失 P_2 および内部ダイオード D_{GaN} で生じる損失 P_3 は式(3.16)と式(3.17)の通りとなり、提案タイプのドライブ損失は最終的に式(3.18)の通りに導出される。ここで D はデューティ比である。

$$P_2 = \frac{(V_{\text{DD}} - V_{\text{DGaN}})^2}{(R_{g1} + R_{\text{ss}})} D \quad (3.16)$$

$$P_3 = \frac{V_{\text{DGaN}} (V_{\text{DD}} - V_{\text{DGaN}})}{(R_{g1} + R_{\text{ss}})} D \quad (3.17)$$

$$P_1 + P_2 + P_3 = f_{\text{sw}} V_{\text{DD}} (V_{\text{EE}} + V_{\text{DGaN}}) C_{\text{iss}} + \frac{V_{\text{DD}} (V_{\text{DD}} - V_{\text{DGaN}})}{(R_{g1} + R_{\text{ss}})} D \quad (3.18)$$

この数式から、提案タイプはゲートキャパシタを有しないため、ドライブ損失の式(3.18)にゲートキャパシタンスの項がなく、低損失駆動が可能であると推測される。

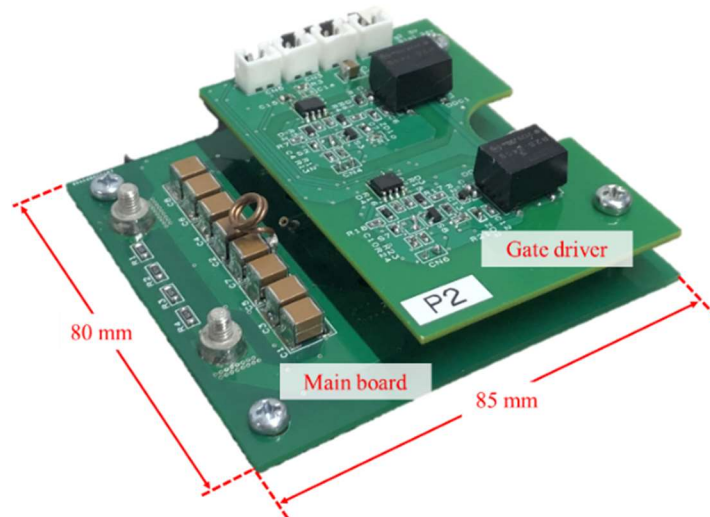
3.1.5 ドライブ損失における計算式の妥当性検証

提案タイプのドライブ損失における計算式の妥当性を検証するため、図 3.6 のような GaN GIT が搭載されたプロトタイプを試作した。このプロトタイプは主回路部がハーフブリッジ回路であり、2つの GaN GIT と $8\mu\text{F}$ のハイパスキャパシタで構成されている。主回路部の上部にはゲート駆動回路が搭載される。GaN GIT には Infineon 社製の GaN GIT : IGOT60R070D1 を使用し、ゲート駆動回路で使用される n 型 MOSFET と p 型 MOSFET にはそれぞれ台湾セミコンダクター社製の TSM210N02CX と TSM650P02CX を用いた。

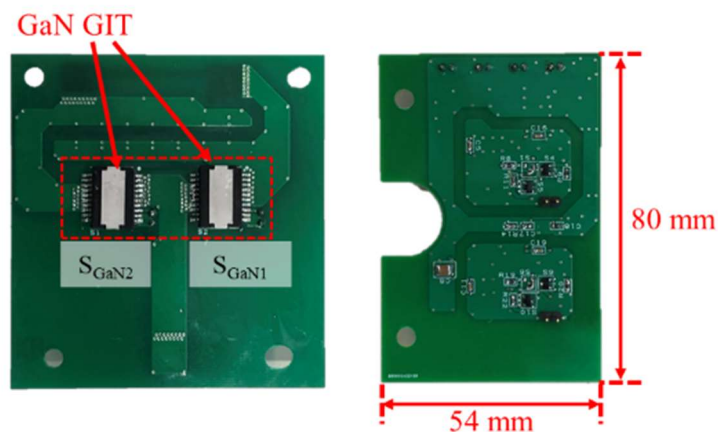
第3章 低損失駆動を実現する非絶縁ゲート GaN HEMT 用駆動回路

まず、ゲート抵抗 R_{g1} を決める式(3.7)と式(3.14)の妥当性を評価するため、ゲート抵抗 R_{g1} の値を変化させて、GaN GIT のドレイン-ソース間電圧の立上り時間と立下り時間を調査する。また、それらの時間は RC タイプと ETH Zurich タイプと比較する。ここで、AD タイプはオフ時のゲート-ソース間電圧が 0 V となり、ハードスイッチングでは誤点呼が生じるため比較対象から除外する。

図 3.7 にテスト回路と実験風景を、表 3.3 にテスト回路で用いた定数を示す。GaN GIT を高速ターンオンさせるために必要なゲート抵抗 R_{g1} の計算値は、 30.8Ω であったため、表 3.3 に示す通り、実験では 30.1Ω から 3 種類の値を用意した。



(a) 主回路部とゲート駆動回路部



(b) 主回路部とゲート駆動回路部の裏面

図 3.6 試作したプロトタイプ

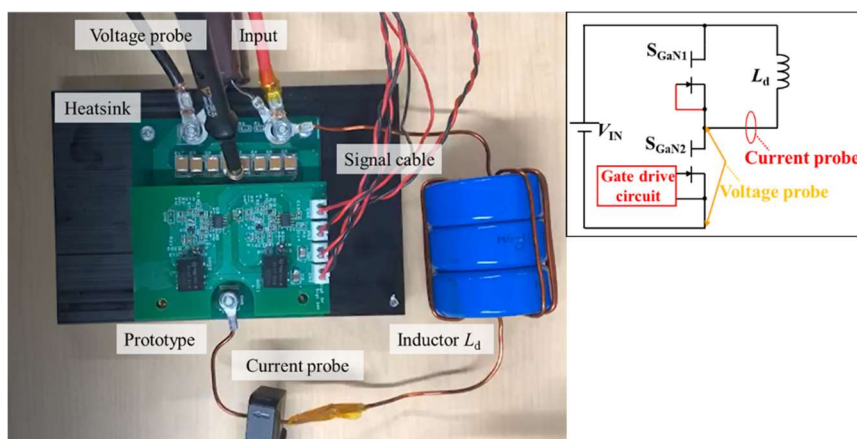


図 3.7 スイッチング速度測定用試験回路

表 3.3 立上り時間と立下り時間を測定するための回路定数

Parameter	Value
Driving voltage for RC type and ETH Zurich type (V_{DD})	12 V
Driving voltage for proposed type(V_{DD})	8.7 V
Driving voltage for proposed type(V_{EE})	3.3 V
Resistor for RC type (R_{g1})	51.1 Ω
Resistor for ETH Zurich type (R_{g1})	5 Ω
Resistor for proposed circuit (R_{g1})	30.1 Ω
	39.2 Ω
	75 Ω
Parasitic inductor (L_p)	38 nH
Current limiting resistor for RC type (R_{ss})	710 Ω
Current limiting resistor for ETH Zurich type (R_{ss})	162 Ω
Current limiting resistor for proposed type (R_{ss})	392 Ω
Turn-off resistor for RC type, ETH Zurich type and Proposed type (R_{g2})	5 Ω
Capacitor (C_g)	10 nF
Capacitor (C_s)	10 nF
Zener voltage of ZD_1 and ZD_2	3.3 V
Input voltage (V_{IN})	100 V
Drain-source current for turn-on and turn-off	5 V
Inductor (L_d)	117.6 μ H

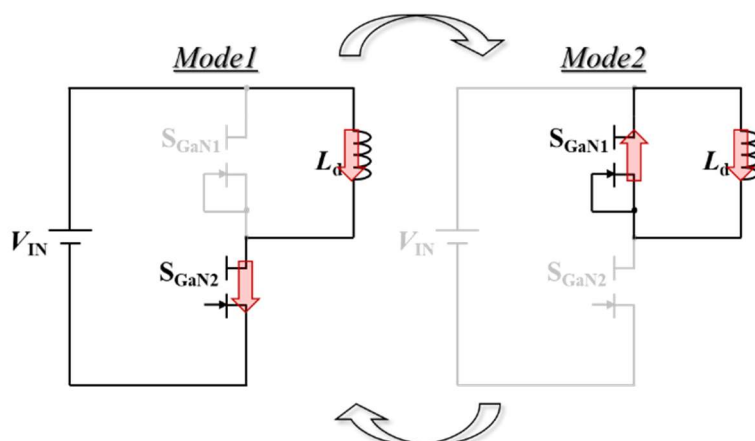
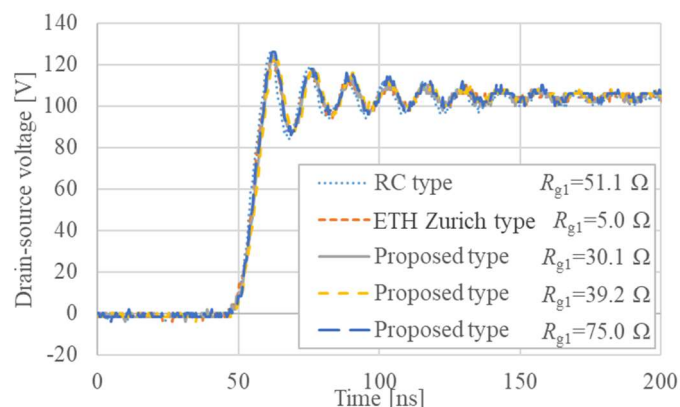


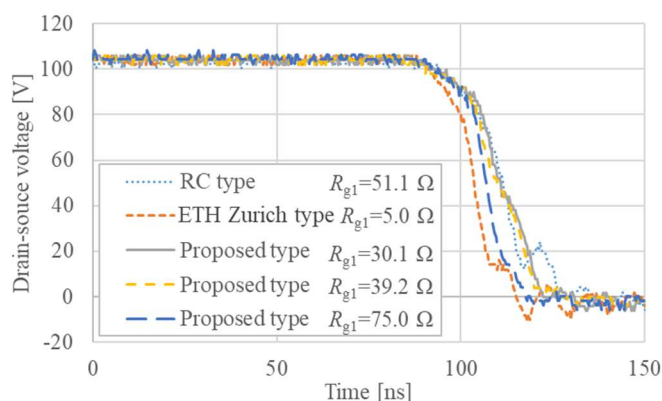
図 3.8 スイッチング速度測定回路の動作モード

このテスト回路はバースト回路と呼ばれ、図 3.8 のように *Mode1* と *Mode2* を繰り返し替えし、スイッチング特性の波形取得に必要な電圧と電流を実現する。今回、スイッチ S_{GaN1} のゲート-ソース間は短絡し、スイッチ S_{GaN1} は常にオフ状態とする。*Mode1* ではスイッチ S_{GaN2} がオンしているため、インダクタ L_d の電流が入力電圧 V_{IN} に比例して上昇していく。スイッチ S_{GaN2} にオフ信号が入力された際、このスイッチの両端電圧を測定することで、ドレイン-ソース間電圧の立上り時間を測定できる。また、スイッチ S_{GaN2} がオフして、そのドレイン-ソース間電圧が V_{IN} に到達すると *Mode2* に遷移し、インダクタ L_d に流れる電流はスイッチ S_{GaN1} を介して還流する。その後、スイッチ S_{GaN2} に再度オン信号が入力されるとスイッチ S_{GaN2} はターンオンする。この際にスイッチ S_{GaN2} の両端電圧を測定し、ドレイン-ソース間電圧の立下り時間を測定する。本実験ではターンオンとターンオフの電圧と電流はそれぞれ 100V と 5A に設定した。

各ゲート駆動タイプにおけるドレイン-ソース間電圧の立上り波形と立下り波形を図 3.9 に、ドレイン-ソース間電圧の立上り時間と立下り時間を表 3.4 に示す。ドレイン-ソース間電圧の立上り時間は、各ゲート駆動タイプともほぼ同じ時間でゲート駆動における回路構造の影響は各ゲート駆動タイプ間において小さい。一方で、ドレイン-ソース間電圧の立下り時間は ETH Zurich タイプが最も短く、これはターンオン時に直接 V_{DD} がゲートキャパシタ C_g を介して GaN GIT のゲート-ソース間に印加されるためと考えられる。RC タイプは ETH Zurich タイプと同様にターンオン時に直接 V_{DD} がゲートキャパシタ C_g を介して GaN GIT のゲート-ソース間に印加されるが、ゲート-ソース間負電圧が大きいため、ETH Zurich タイプのタイプより立下り時間が長くなっている。一方で、提案タイプは抵抗 R_{g1} の値が大きいくほど、立下り時間が短くなる。これは補助スイッチ S_a のターンオンが早くなると同時に GaN GIT のゲート部への電荷注入量が多くなるためである。と



(a) 立上り波形



(b) 立下り波形

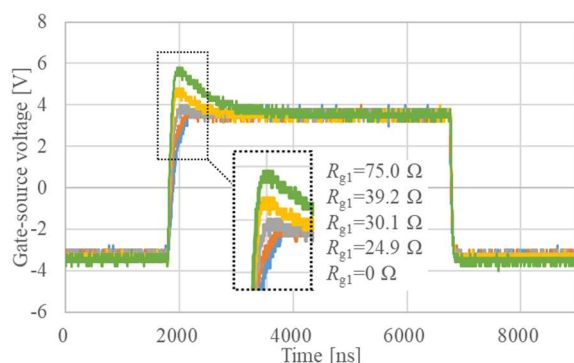
図 3.9 各ゲート駆動タイプのドレイン-ソース間電圧波形

表 3.4 各ゲート駆動タイプにおける立上り時間と立下り時間の比較

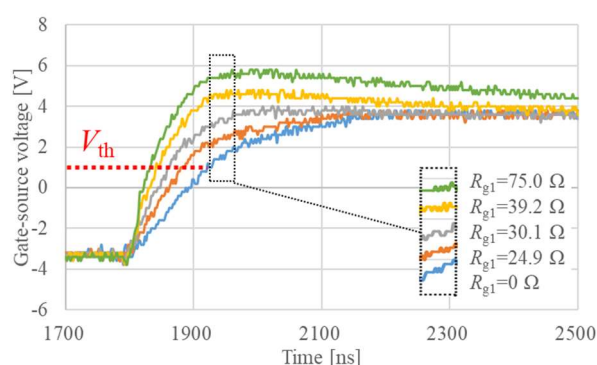
比較箇所	RCタイプ [ns]	ETH Zurichタイプ [ns]	提案タイプ		
			$R_{g1} = 30.1\Omega$	$R_{g1} = 39.2\Omega$	$R_{g1} = 75.0\Omega$
ドレイン-ソース間電圧の立上り時間	12.0	11.2	12.0	11.6	11.6
ドレイン-ソース間電圧の立下り時間	35.6	24.0	34.8	37.2	28.8

ここで、 $R_{g1} = 75 \Omega$ でも ETH Zurich タイプよりも立下り時間が遅い。これはゲート駆動内の p 型 MOSFET を V_{DD} の半値で駆動しているため、それらのゲート-ソース間電圧の上昇が遅くなり、制御信号が入力されてから補助スイッチ S_a がオンする時間が遅くなるためである。したがって、ゲート駆動電源を同値として比較した場合、ETH Zurich タイプ→提案タイプ→RC タイプの順に高速スイッチングできる。ただし、RC タイプはゲート-ソース間負電圧がターンオン時に大きいとしている。

次に、ゲート抵抗 R_{g1} の影響を図 3.10 と図 3.11 に示す。両図の電圧波形ではゲート抵抗 R_{g1} を 0Ω から 4 段階刻みで 75Ω まで変化させており、その際のゲー



(a) ゲート-ソース間電圧のオン時間全体



(b) ゲート-ソース電圧立ち上がり電圧の拡大波形

図 3.10 提案タイプのゲート-ソース間波形

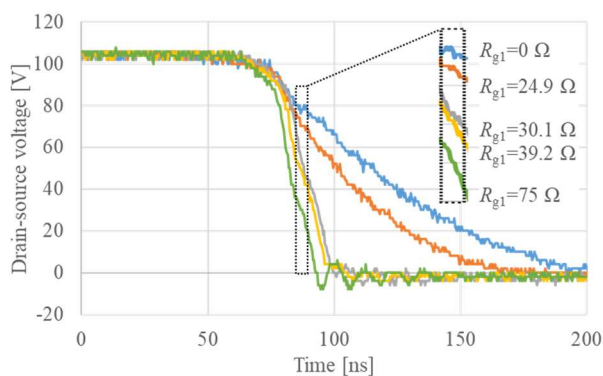


図 3.11 提案タイプのドレイン-ソース間電圧の立下り波形

ト-ソース間電圧とドレイン-ソース間電圧を測定し、比較している。測定回路は図 3.7 と同じであり、ターンオン時の電流は 5A としている。図 3.10 の波形から明らかなように、ゲート-ソース間電圧の立上りはゲート抵抗 R_{g1} に大きく依存しており、図 3.11 の $R_{g1}=24.9\ \Omega$ と $R_{g1}=30.1\ \Omega$ の間でドレイン-ソース間電圧波形に顕著に表れている。したがって、提案回路はゲート抵抗 R_{g1} でターンオン速度が調整でき、またゲート抵抗 R_{g1} はドレイン-ソース間電圧の傾きに大きな影響を与える。次に、ドライブ損失における計算値の妥当性を示すため、計算値と実験値

の比較を行った。ドライブ損失の測定ではドレイン-ソース間電圧は印加せず測定を実施した。その結果を図 3.12 に示す。ゲート抵抗 R_{g1} は 30.1Ω を使用する。ここで、式(3.18)で導出したドライブ損失は GaN GIT におけるゲート部のダイオードと入力容量みで発生する損失であり、図 3.12 はこの損失の妥当性を確認している。図 3.12 のグラフから実験値と計算値の損失差異は小さく、最大誤差は 6.2% であり、式(3.18)は妥当である。

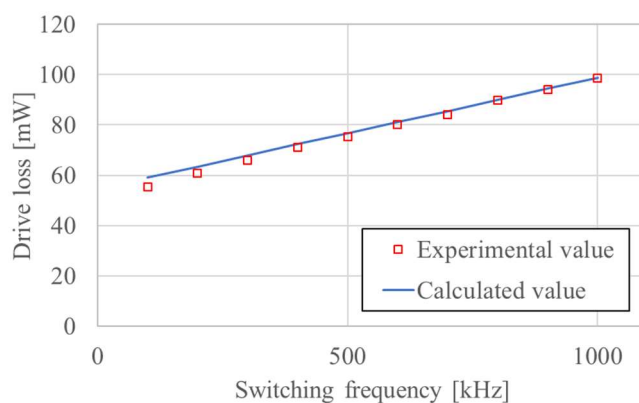


図 3.12 GaN GIT によって生じる損失の計算値と実測値の比較

3.2 ゲート駆動回路の性能比較

3.2.1 各ゲート駆動回路におけるドライブ損失の比較

ゲート駆動時におけるドライブ損失の比較を図 3.13 に示す。試験回路定数は表 3.3 および表 3.5 の通りである。また、ドライブ損失測定の際はドレイン-ソース間電圧の電圧は $0V$ で、デューティ比は 0.5 である。提案タイプのゲート抵抗 R_{g1} には 30.1Ω を選択した。ところで、RC タイプの受動素子のパラメータは、スイッチング速度が 3.2.4 項の比較実験にて他のタイプと同じになるように選択されている。本ドライブ損失の測定には、GaN GIT、アイソレータ、p 型 MOSFET や n 型 MOSFET で生じる損失など、ゲート駆動回路を駆動するために生じるすべての損失を含む。図 3.13 から確認できる通り、提案タイプは全ゲート駆動タイプの中で最も損失が小さい。これは、ゲート駆動回路にゲートキャパシタがない影響である。また、RC タイプは 2 番目にドライブ損失が小さい。高周波領域では、RC タイプのゲートキャパシタは完全には充放電しないため、そのドライブ損失は ETH Zurich タイプよりも小さくなる。一方、AD タイプと ETH Zurich タイプのタイプは、損失が RC タイプと提案タイプと比較して約 2 倍大きくなっている。AD タイプはスイッチング毎にゲートキャパシタ C_g が完全放電するため、ドライブ損失が大きくなる。ETH Zurich タイプでは、キャパシタ C_s がスイッチング毎に

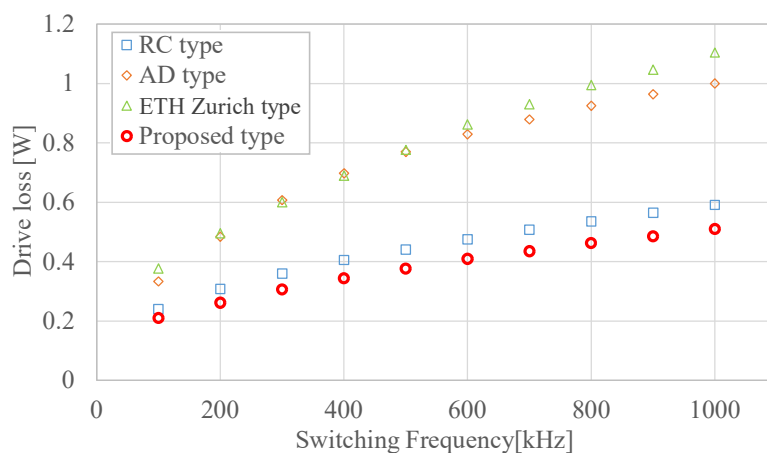


図 3.13 各タイプにおけるドライブ損失

表 3.5 AD タイプの回路定数

Parameter	Value
Driving voltage for AD type (V_{DD})	12 V
Resistor for AD type (R_{g1})	51.1 Ω
Resistor for AD type (R_{a1})	1 k Ω
Turn-off resistor for AD type (R_{g2})	5 Ω
Current limiting resistor for AD type (R_{ss})	710 Ω
Capacitor (C_g)	10 nF
Capacitor (C_{a1})	10 nF

ツェナーダイオード Z_{D1} のツェナー降伏電圧に近づくために放電し、ツェナーダイオードでも損失が生じるため、ドライブ損失が大きくなる。スイッチング周波数が 300 kHz を超えると、提案タイプでは ETH Zurich タイプよりドライブ損失を約 50% 低減可能となる。以上から、提案タイプは実験におけるスイッチング周波数領域でドライブ損失を低減できる。

3.2.2 誤点呼耐性の比較

GaN GIT はスイッチング速度が速く、閾値電圧が低いため、オフ時に誤点呼が発生しやすい。GaN GIT の立ち上がり立ち下りの時間は数 10ns であるため、スイッチング周波数が低い場合でも約 100 MHz までの周波数帯域を誤点呼の対象領域として考慮しなければならない。まず、誤点呼耐性を調査するための各タイプにおけるシミュレーション回路図を図 3.14 に、そのゲート・ソース間電圧の

ゲインと位相をそれぞれ図 3. 15 に示す。このシミュレーションではアナログ・デバイセズ社の回路シミュレータ LTspice を使用し、各タイプの GaN GIT のゲート・ソース間電圧ゲインおよび位相を確認している。データシートから帰還容量 $C_{rss}=180\text{pF}$ 、ゲート-ソース間容量 $C_{gs}=245\text{pF}$ 、提案回路のキャパシタ C_B は $1\mu\text{F}$ を使用した。その他の回路定数は表 3. 3 と表 3. 5 と同値である。図 3. 15 (a) からわかるように低周波領域において、10MHz 以下の領域では RC タイプと ETH Zurich タイプともにゲートキャパシタ C_g に依存する。AD タイプは 10kHz まではゲートキャパシタ C_g と補助キャパシタ C_{a1} が大きく影響するが、それ以降は RC タイプや ETH Zurich タイプと同様にゲートキャパシタ C_g に影響される。提案タイプのゲート-ソース間電圧ゲインの大きさは 10 kHz 以下ではキャパシタ C_B に依存し、それ以降は抵抗 R_{g2} 、入力容量 C_{iss} に依存している。提案タイプのゲート-ソース間電圧ゲインは他のタイプと比較して、低周波領域では非常に小さい。つまり、キャパシタ C_B が大きいほど、低周波でのゲート-ソース間電圧ゲインは小さくなる。10MHz 以上では、各タイプのゲート-ソース間インピーダンスは同じとなり、これはゲート抵抗 R_{g2} および GaN GIT の入力容量 C_{iss} の影響である。

次に、GaN GIT のドレイン-ソース間電圧に含まれる高調波成分を考える。まず、立ち上がり時間と立ち下がり時間は図 3. 9 から数 10ns オーダーである。したがって、ゲート-ソース間電圧の持ち上がりにそれらを考慮する必要がある。デューティ比 D を考慮したスイッチング周波数 f_{sw} における矩形波電圧のフーリエ級数展開は、次式で表される。

$$DV_{ds} + \sum_{n=1,2,3\dots}^{\infty} \frac{2V_{ds}}{n\pi} \sin(n\pi D) \cos(2n\pi f_{sw} t) \quad (3. 19)$$

ここで、 n は高調波の次数、 V_{ds} は GaN GIT のドレイン-ソース間電圧、 t は時間である。(3. 19) から次数にともなって、各高調波成分の大きさは $1/n$ となる。また、図 3. 15 より、提案タイプでは 10 kHz から 6 MHz までなだらかに位相が変化し、他タイプと比較してゲート-ソース間電圧のゲインが小さい。そのため、提案タイプを数 100kHz 以上で駆動させた場合、ゲート-ソース間電圧の持ち上がり ΔV は他タイプよりも小さくなると考えられる。一方で、RC タイプ、AD タイプや ETH Zurich タイプは提案タイプと比較して、10kHz から 6 MHz までのゲート-ソース間ゲインが大きく、高周波側で位相が大きく変化している。そのため、ドレイン-ソース電圧が上昇すると、ゲート・ソース間電圧の持ち上がり電圧 ΔV が提案タイプよりも大きくなると推測される。

最後に、プロトタイプにて各タイプのゲート-ソース間電圧の持ち上がり ΔV がどの程度になるかをテストする。図 3. 16 を用いてドレイン-ソース間電圧を 20V から 100V まで 20V ずつ上昇させ、GaN GIT のドレイン-ソース間電流を 100V で 5A になるように試験を行う。回路定数は表 3. 3 と表 3. 5 であり、提案回路のキ

第3章 低損失駆動を実現する非絶縁ゲート GaN HEMT 用駆動回路

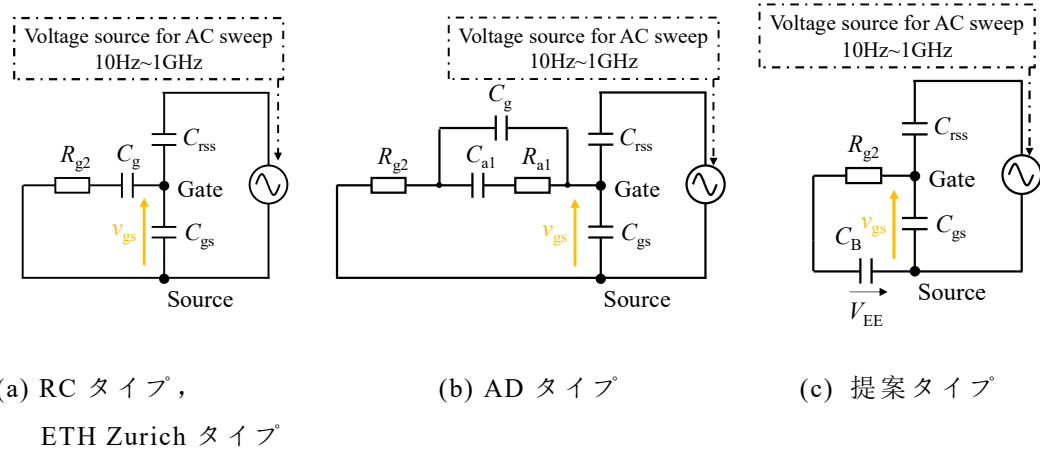
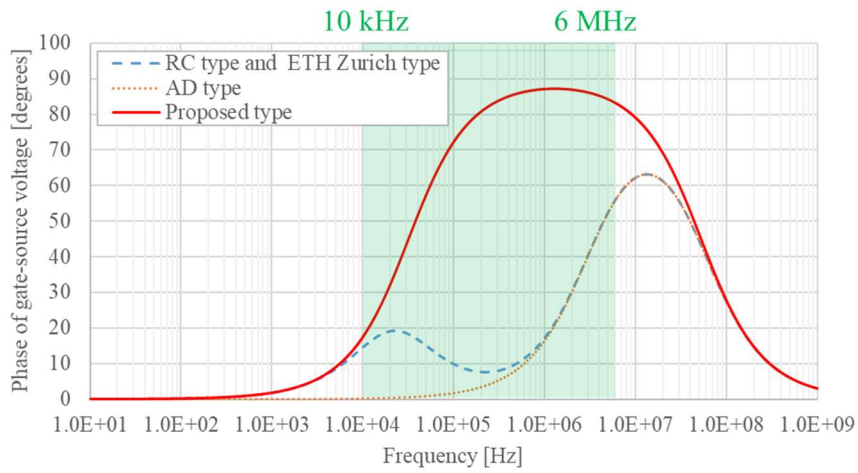
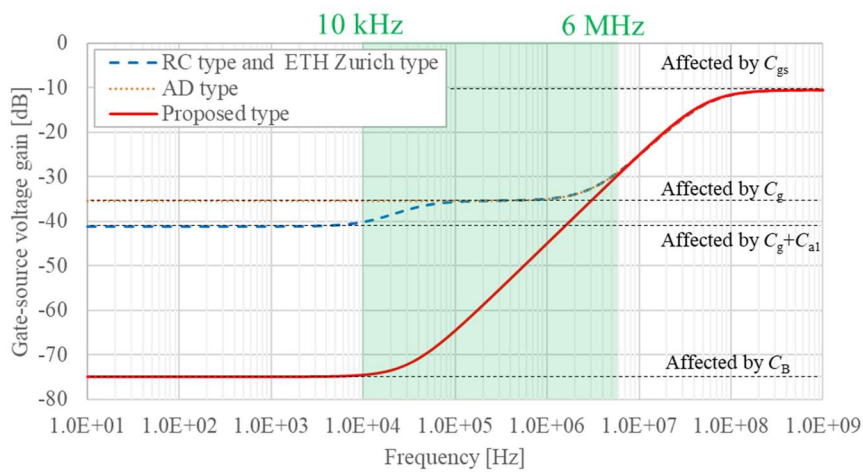


図 3.14 シミュレーション回路図



(a) ゲート-ソース間電圧位相



(b) ゲート-ソース間電圧ゲイン

図 3.15 シミュレーション結果

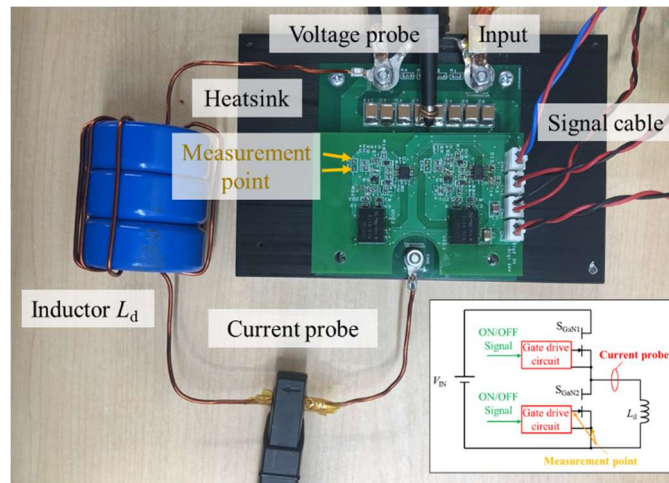


図 3.16 ゲート-ソース間の電圧持ち上がり ΔV 測定回路

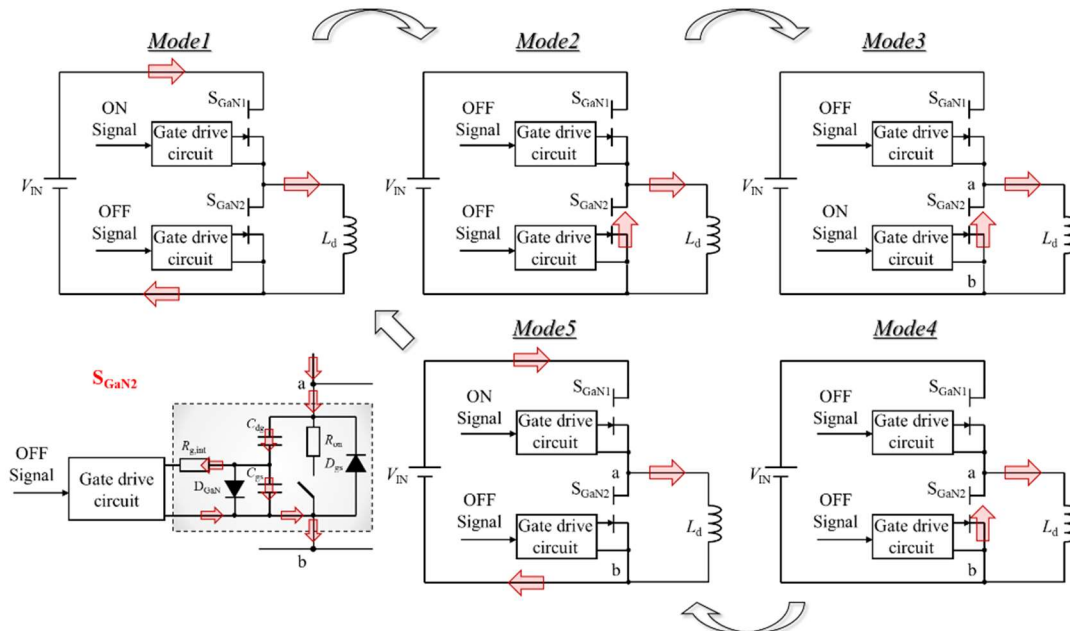


図 3.17 電圧持ち上がり ΔV の測定回路における動作モード

容量 C_B は $1\mu\text{F}$ である。この実験ではスイッチ $S_{\text{GaN}2}$ のゲート・ソース間電圧の持ち上がり ΔV を測定している。

本実験の動作モードは以下の通りである。図 3.17 において、まず *Mode1* でスイッチ $S_{\text{GaN}1}$ をオンにすることでインダクタ L_d の電流が上昇する。このとき、スイッチ $S_{\text{GaN}2}$ はオフである。次に、*Mode2* でスイッチ $S_{\text{GaN}1}$ がオフとなり、インダ

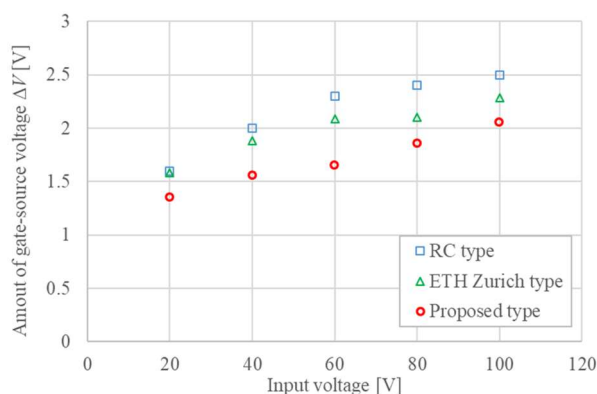


図 3.18 各タイプにおける電圧持ち上がり ΔV

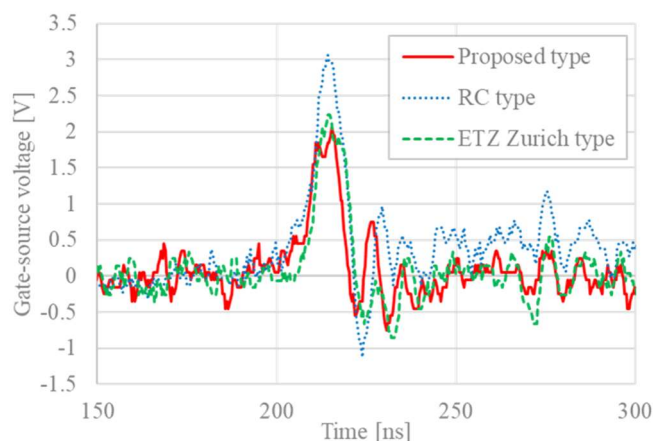


図 3.19 ゲート-ソース間電圧波形の持ち上がり ΔV 比較

クタ L_d の電流がスイッチ $S_{\text{Ga}N2}$ に還流する。その後、*Mode3* でスイッチ $S_{\text{Ga}N2}$ がオンになる。このとき、インダクタ L_d の電流はスイッチ $S_{\text{Ga}N2}$ を循環し続ける。*Mode4* ではスイッチ $S_{\text{Ga}N2}$ がオフするが、インダクタ電流の循環はスイッチ $S_{\text{Ga}N2}$ で変わらない。最後に *Mode5* ではスイッチ $S_{\text{Ga}N1}$ が再びオンするが、この瞬間にスイッチ $S_{\text{Ga}N2}$ のゲート-ソース間電圧の持ち上がり ΔV を測定する。なお、スイッチ $S_{\text{Ga}N2}$ のドレイン-ソース間立上り電圧は測定時でそれぞれ 10ns である。

電圧持ち上がり ΔV を測定した実験結果を図 3.18 に示す。なお、AD タイプは誤点呼が発生するため、今回の調査から除外している。図 3.18 の結果から、提案タイプのゲート-ソース間電圧持ち上がり ΔV は他タイプと比較して小さくなっている。図 3.19 に 100V におけるゲート-ソース間電圧の持ち上がり ΔV の波形比較を示す。ここで、RC タイプの持ち上がり電圧は、持ち上がり後の定常状態の平均電圧からいくら持ち上がったかを確認している。図 3.19 に示す通り、ゲート-ソース間電圧の持ち上がりで ΔV は提案タイプが最も低く、その次に ETH Zurich

タイプが続く。したがって、提案タイプは高い誤点呼耐性を有すると言える。

3.2.3 起動時の動作比較

PFM や PDM での誤動作を防ぐためには起動前後や周波数可変時でもゲート・ソース間に安定した負電圧が供給されていなければならない。そこで各タイプの起動前後の波形を比較し、それぞれの特徴を確認する。各タイプの起動時におけるゲート-ソース間電圧を図 3.20 に示す。各タイプの回路定数は表 3.3 と表 3.5 である。ただし、提案タイプのゲート抵抗 R_{g1} は 39.2Ω である。図 3.20(a), (b) に示すように、RC タイプと AD タイプでは起動前のゲート-ソース電圧は $0V$ である。これはゲート駆動電源が正電源のみであり、ゲートキャパシタ C_g と入力容量 C_{iss} に負電圧が印加されないためである。また、オフ時間が長いとゲートキャパシタ C_g と入力容量 C_{iss} の電荷が放電してしまうため、PFM や PDM といった動作には不向きである。一方、図 3.20 (c), (d) に示すように、ETH Zurich タイプや提案タイプは起動前でもゲート-ソース間に負電圧が確認できるため、PFM や PDM に適用することができる。ただし、ETH Zurich タイプは RC 定数の関係で定常状態になるまでに一定の時間がかかる。これはツェナーダイオードの降伏電圧とゲート駆動電源電圧の影響である。また、ETH Zurich タイプはツェナーダイオード ZD_2 +ダイオード SD_2 のオン電圧があるため、提案タイプと比較して負電圧が

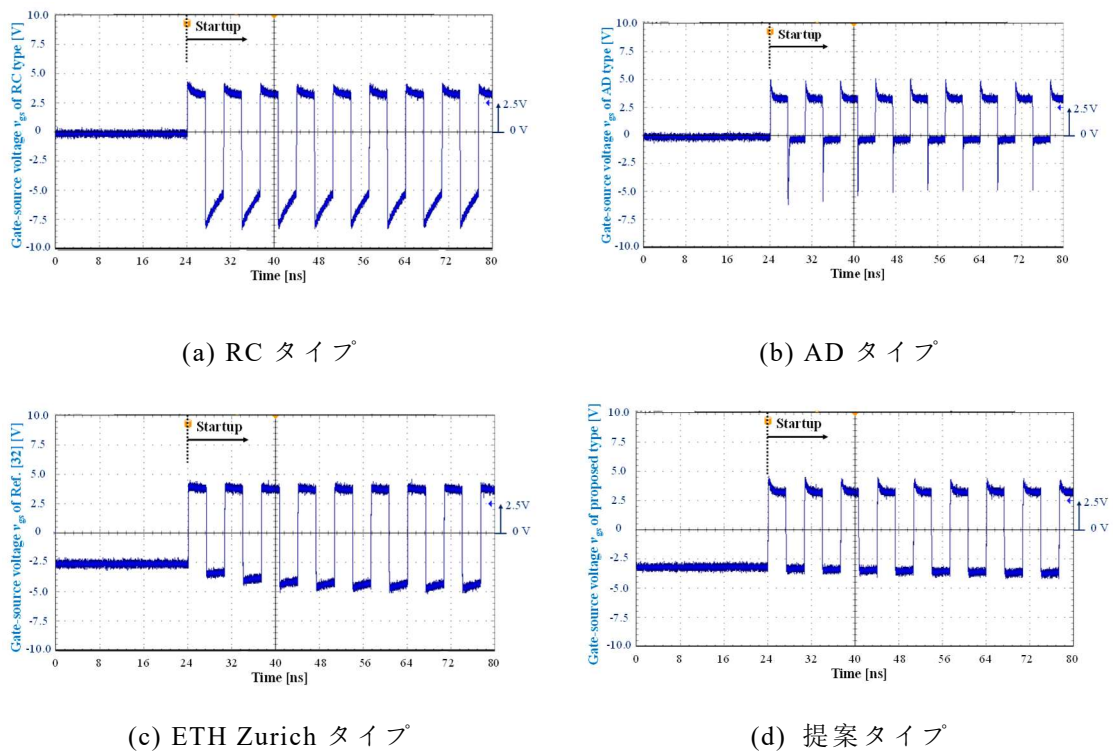


図 3.20 各タイプの起動時におけるゲート-ソース間電圧波形

大きくなる。このダイオードのオン電圧を吸収するツェナーダイオードの降伏電圧の選定も可能であるが、特殊な値であると部品としての入手性が悪くなる。

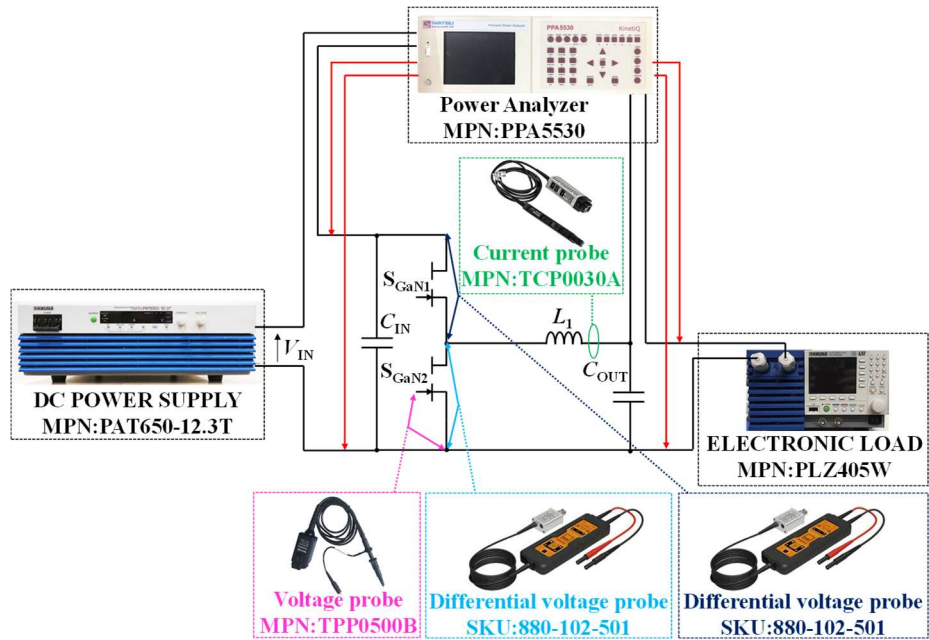
3.2.4 降圧チョッパ回路への搭載と効率比較

降圧チョッパ回路に RC タイプ、ETH Zurich タイプおよび提案タイプを搭載し、それぞれの電力変換効率を比較した。なお、ここでも AD タイプは誤点呼耐性が低いため、比較対象から除外する。図 3. 21 に実験の構成図、表 3. 6 に降圧コンバータの回路定数を示す。全タイプのスイッチング速度を同じにするため、RC タイプと ETH Zurich タイプのゲート抵抗は表 3. 6 の通りに設定し、提案タイプの R_{g1} は 39.2Ω に設定した。スイッチ S_{GaN2} のドレイン-ソース間電圧はパッシブプローブで、スイッチ S_{GaN1} のドレイン・ソース間電圧とスイッチ S_{GaN1} と S_{GaN2} のゲート・ソース間電圧は図 3. 21 に示す通り、岩通電機株式会社の差動プローブで測定した。効率測定には岩通電気株式会社のパワーアナライザ PPA5530 を使用し、降圧コンバータの負荷には菊水電子株式会社製電子負荷 PLZ405W を準備した。

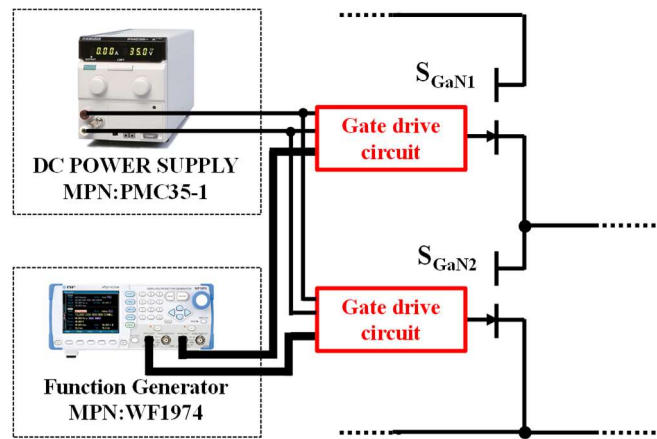
各タイプのターンオンとターンオフのドレイン-ソース間電圧波形を図 3. 22 に示す。これらの波形はローサイドスイッチ S_{GaN2} のドレイン-ソース間電圧である。図 3. 22 (a) のドレイン-ソース間電圧波形から確認できる通り、各タイプの立ち下がり時間はほぼ同じであるが、リングングの大きさが異なるため、RC タイプや ETH Zurich タイプは提案タイプよりもわずかに高速である。これは、ハイサイドスイッチ S_{GaN1} のスイッチング速度に依存しており、提案タイプではハイサイドスイッチ S_{GaN1} のスイッチング損失が RC タイプや ETH Zurich タイプよりも若干大きくなることを意味する。一方で、図 3. 22 (b) ターンオフにおけるドレイン-ソース間電圧波形はほぼ電流依存であり、波形に大きな違いは見受けられない。

次に、図 3. 23 に出力 250W 時における降圧コンバータのスイッチ波形を示す。これは提案タイプ搭載時の各部電圧電流波形であり、スイッチ S_{GaN1} とスイッチ S_{GaN2} のデッドタイムは 200ns である。図 3. 23(a)における紫色の波形は S_{GaN1} のゲート-ソース間電圧、紺色の波形は S_{GaN1} のドレイン-ソース間電圧、緑色の波形は図 3. 21 (a) のコイル L_1 に流れる出力電流である。図 3. 23(b)における紫色の波形は S_{GaN2} のゲート-ソース間電圧、水色の波形は S_{GaN2} のドレイン-ソース間電圧、緑色の波形は図 3. 21 (a) のインダクタ L_1 に流れる出力電流を表している。ハイサイドスイッチ S_{GaN1} のターンオフでハードスイッチングが確認される。この影響はスイッチ S_{GaN2} のサージ電圧としてドレイン-ソース間電圧とゲート-ソース間電圧に現れている。提案タイプではゲート-ソース間に負電圧を印加しているため、図 3. 23(b)に見られるように、誤点呼は発生していない。デッドタイム期間中、スイッチ S_{GaN1} および S_{GaN2} のドレイン-ソース間電圧にはわずかな上昇または下降

第3章 低損失駆動を実現する非絶縁ゲート GaN HEMT 用駆動回路



(a) 主回路部

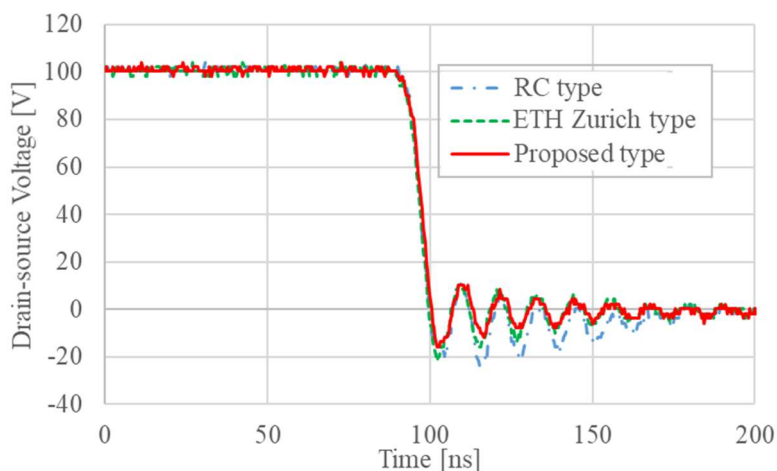


(b) ゲート駆動回路部

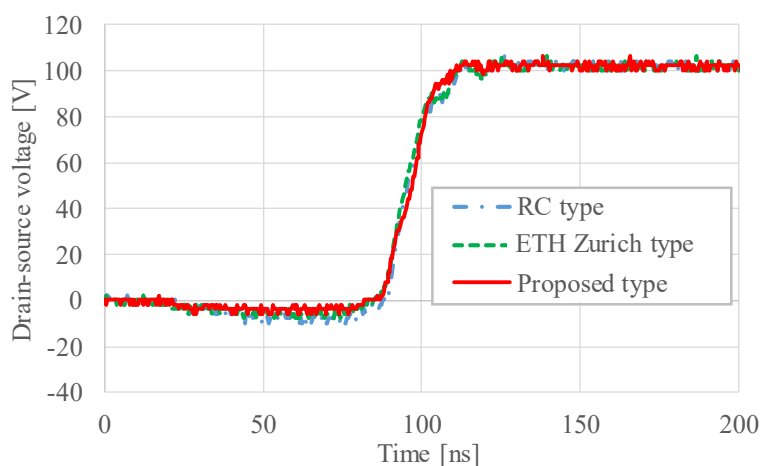
図 3.21 実験の構成図

表 3.6 降圧チョッパ回路での比較における回路定数

Parameter	Value	
Driving voltage for RC type and ETH Zurich type (V_{DD})	12	V
Driving voltage for proposed type(V_{DD})	8.7	V
Driving voltage for proposed type(V_{EE})	3.3	V
Resistor for RC type (R_{g1})	51.1	Ω
Resistor for ETH Zurich type (R_{g1})	75	Ω
Resistor for proposed circuit (R_{g1})	39.2	Ω
Current limiting resistor for RC type (R_{ss})	710	Ω
Current limiting resistor for ETH Zurich type (R_{ss})	162	Ω
Current limiting resistor for proposed type (R_{ss})	392	Ω
Turn-off resistor for RC type, ETH Zurich type and Proposed type (R_{g2})	5	Ω
Capacitor (C_g)	10	nF
Capacitor (C_s)	10	nF
Zener voltage of ZD ₁ and ZD ₂	3.3	V
Input voltage (V_{IN})	100	V
Input Capacitor (C_{IN})	448	μ F
Output Capacitor (C_{OUT})	660.2	μ F
Inductor (L_d)	117.6	μ H
Switching frequency	150	kHz
Duty ratio (D)	0.5	
Dead time	200	ns
	100	ns
Maximum output power	250	W



(a) ターンオンにおけるドレイン-ソース間電圧波形

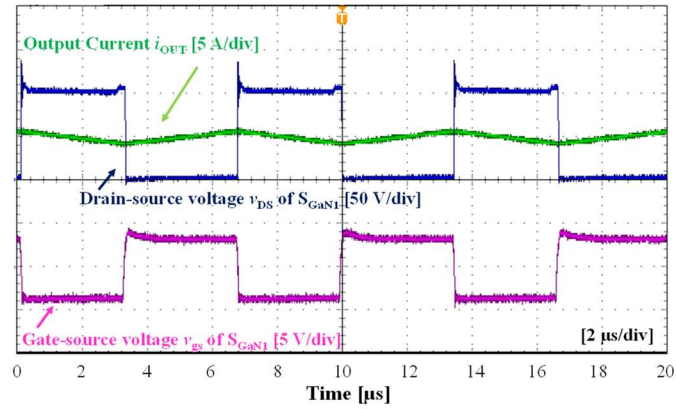


(b) ターンオフにおけるドレイン-ソース間電圧波形

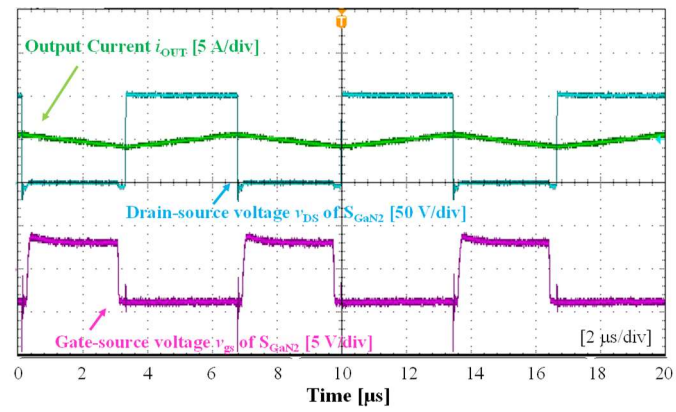
図 3.22 スイッチ S_{GaN2} のドレイン-ソース間電圧波形

がある。これは、スイッチ S_{GaN2} のオフ期間中にソースからドレインに流れる逆導通電流によって生じたドレイン-ソース間負電圧が原因である。

RC タイプ、ETH Zurich タイプ、提案タイプによる降圧コンバータの電力変換効率を図 3.24 に示す。デッドタイムの影響を確認するため、デッドタイムは 200ns と 100ns でその効率を取得する。図 3.24 の実験結果より、提案タイプはデッドタイム 200ns と 100ns にて RC タイプや ETH Zurich タイプのタイプよりも効率が向上している。特に提案タイプは 250W 時に RC タイプと比較して逆導通損失が約 9.2%低減できることがわかった。RC タイプではターンオフ時にゲート-ソース間



(a) スイッチ $S_{\text{GaN}1}$ の波形



(b) スイッチ $S_{\text{GaN}2}$ の波形

図 3.23 各スイッチの電圧と電流波形

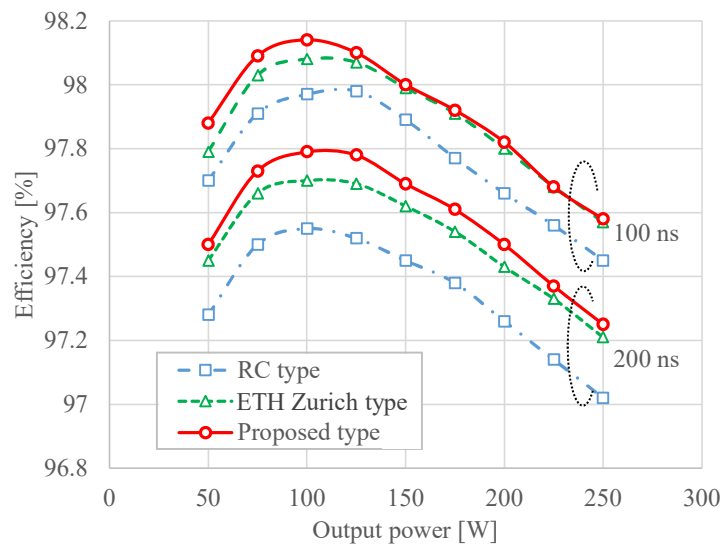


図 3.24 各タイプの効率比較

で高い負電圧が発生し、スイッチ S_{GaN2} の逆導通損失がすべてのデッドタイム条件で最も大きくなる。そのため、3つのタイプの中で最も効率が低くなっている。ETH Zurich タイプはツェナーダイオード ZD_2 とダイオード SD_2 によりターンオフ時の負電圧が提案型よりも大きくなり、デッドタイム 200ns と 100ns で効率が提案型よりも低くなっている。これもスイッチ S_{GaN2} の逆導通損失が原因である。

以上から、提案タイプではデッドタイムとスイッチング速度が同じであれば、効率の優位性が得られると言える。次に各タイプのゲート駆動回路のドライブ損失と主回路損失の割合を図 3.25 に示す。50W 時と 250W 時において、各タイプともに主回路損失の割合が大きく、ゲート駆動回路のドライブ損失は 40.43% 以下となっている。また、主回路電力が大きい場合、ドライブ損失の割合は 250W で 11.04% 以下となるため、その割合は小さい。ただし、アプリケーションによっては時間経過とともに低電力時から高電力時で遷移するシステムも有るため、両損失の低減は求められる。

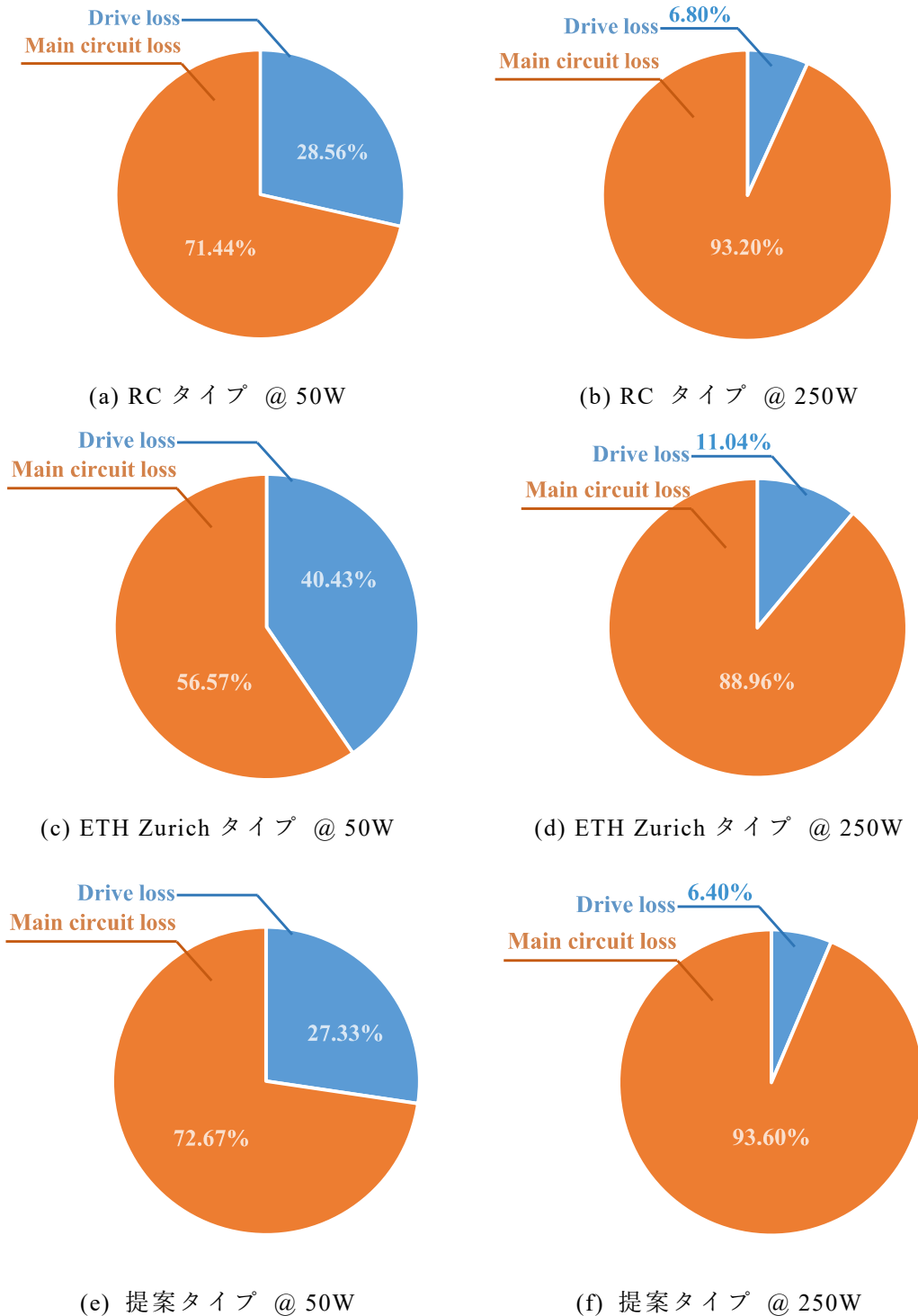


図 3.25 50W と 250W 時のドライブ損失と主回路損失の割合

3.3 まとめ

インパルス波形に含まれる基本波成分と高調波成分に着目し、ゲートキャパシタ有しない GaN GIT 用ゲート駆動回路を提案した。また、その有効性は実験的に証明された。

まず本章では、RC回路で実現していた GaN GIT のゲート部におけるインパルス電圧とインパルス電流を p 型 MOSFET と抵抗にて実現し、ゲートキャパシタなしでも同様の動作が可能であるゲート駆動回路を提案した。その後、提案タイプの回路動作を説明し、GaN GIT をオンさせるためのゲート抵抗 R_{g1} の計算方法を明らかにした。また、試作したプロトタイプにて実際にその計算値の値とそれ以上の値のゲート抵抗 R_{g1} を搭載し、GaN GIT が高速で駆動できることを確認した。

2 つ目に提案タイプのドライブ損失を数式で算出した。このドライブ損失は、GaN GIT のゲート部におけるダイオードと入力容量で生じる損失である。計算値と実測値の差は、100kHz で 6.2% 以内であり、計算値は妥当であると考えられる。さらに、ゲート駆動回路のすべての素子を含めて各タイプのドライブ損失を比較したところ、提案タイプが最もドライブ損失を低減でき、300kHz 以上のスイッチング周波数では ETH Zurich タイプよりも約 50% の損失低減が実現できた。

3 つ目には各ゲート駆動回路の誤点呼耐性を比較した。シミュレーションにおいて、提案タイプはオフ時に GaN GIT のゲート部へ大きなキャパシタが接続されるため、他タイプと比較して、6MHz まではゲート-ソース間電圧ゲインを低く抑えることができる。また、ドレイン-ソース間電圧を 20V から 100V まで変化させたときにゲート-ソース間電圧の持ち上がり ΔV を比較する実験も行った。その結果、提案タイプの持ち上がり電圧 ΔV は RC タイプや ETH Zurich タイプよりも小さくなり、誤点呼耐性を有していることがわかった。

4 つ目に起動時のゲート-ソース間電圧波形を比較した。RC タイプや AD タイプは起動前のゲート-ソース間電圧が 0 であるため、PFM や PDM には不向きである。一方、提案タイプは起動前後で GaN GIT のゲート-ソース間に安定したオフ電圧が供給されたため、PFM や PDM に適用できる。

最後に、提案タイプを降圧コンバータに搭載し、デッドタイム 200ns と 100ns で動作を確認した。さらに、提案タイプを搭載した降圧コンバータの電力変換効率を、RC タイプや ETH Zurich タイプと比較し逆導通損失への影響を確認した。提案型は RC タイプに比べ、250W の逆導通損失を約 9.2% 低減することができた。また、提案タイプと ETH Zurich タイプの電力変換効率を比較すると、デッドタイム 200ns と 100ns どちらでも提案タイプの効率は ETH Zurich タイプの効率を上回った。したがって、提案タイプは逆導通損失の低減にも効果を発揮する。

以上より、提案タイプは GaN GIT のゲート駆動回路として適していると判断で

第3章 低損失駆動を実現する非絶縁ゲート GaN HEMT 用駆動回路

きる。表 3.7 に総括として GaN GIT のゲート駆動回路を分類し、その特徴を示しておく。

表 3.7 GaN GIT 用ゲート駆動回路の分類

回路トポロジーの例	駆動電圧波形	Ref.	メリット	デメリット
<p>一般的なタイプ</p>		[35]	-	-ドライブロスが大きいあるいはスイッチング速度が遅い(トレドオフ)
<p>RCタイプ</p>		[36], [37], [38]	-ゲートキャパシタ C_g により高速スイッチング -単一のゲート駆動電源からゲート-ソース間に正負電圧を生成 -高い負電圧印加時は誤点呼耐性が高い -ハードスイッチング方式に適用可能 -回路構成がシンプル	-スイッチング損失, ドライブ損失, 逆導通損失がRC素子の設計依存 -起動シーケンス必要 -ターンオフ時の負電圧が大きく, 定格電圧を超過の可能性 -PFMやPDMには適さない
<p>アクティブ放電タイプ</p>		[39], [40]	-ゲートキャパシタ C_g により高速スイッチング -スイッチング速度がDutyや周波数に依存しない -逆導通損失が小さい	-ドライブロスが大きい -誤点呼し易い -回路構成が複雑 -ターンオフ時の負電圧が大きく -PDMには適さない -ハードスイッチング方式には適さない
<p>ETH Zurichタイプ</p>		[41]	-ゲートキャパシタ C_g により高速スイッチング -誤点呼耐性が高い -単一のゲート駆動電源からゲート-ソース間に正負電圧を生成 -ハードスイッチング方式に適用可能 -PFMやPDMにも適用可能	-逆導通損失がわずかに大きい -ドライブロスが大きい -単一負電源生成用のキャパシタが必要(この場合 C_g) -起動時に定常状態と同値の負電圧を用いる場合は起動シーケンス必要
<p>提案回路</p>		提案回路	-ゲートキャパシタ C_g なしで高速スイッチング -誤点呼耐性が高い -起動シーケンス不要 -低ドライブ損失 -低逆導通損失 -ハードスイッチング方式に適用可能 -PFMやPDMにも適用可能 -回路構成がシンプル	-単一負電源生成用のキャパシタが必要(この場合 V_{EE})

第4章 高周波駆動を実現する絶縁ゲート GaN HEMT 用駆動回路

MHz 帯の大容量電力変換器ではその回路トポロジーがハードスイッチング方式であれば、主スイッチのスイッチング損失は大きく、冷却器が大型化する。そのため、ソフトスイッチング方式の回路トポロジーが多く利用されており、スイッチング損失が低減されている。一方で、主スイッチ駆動時のドライブ損失が大きくなり、高周波駆動の主要課題の1つに挙げられる。本章ではスイッチング周波数が高く、ドライブ損失が大きい場合に必要とされるゲート駆動技術を述べ、高周波駆動の実現に向けたゲート駆動手法を提案する。

4.1 高周波コンバータの駆動技術

電力変換器の高周波動作はスイッチング素子のスイッチング損失やゲート駆動回路のドライブ損失を増大させる。高周波動作時におけるスイッチング損失を低減するために、回路設計者は LLC コンバータ^(b)、E 級インバータ^(c)、 Φ_2 級インバータ^(d)といった共振トポロジーを主回路として選択する傾向にある⁽⁷⁹⁾⁻⁽⁸⁴⁾。これらの共振コンバータはスイッチング時にゼロ電圧スイッチング (ZVS) やゼロ電流スイッチング (ZCS) といったソフトスイッチング動作を実現するため、ターンオン時やターンオフ時に発生するスイッチング損失を大幅に低減できる。これは高周波のゲート駆動回路でも同じである。ゲート駆動回路の最も基本的なトポロジーはハードスイッチング方式のゲート駆動回路⁽⁴²⁾⁻⁽⁴⁵⁾となり、この回路はプッシュプル出力にゲート抵抗 R_g を直列に接続したものである。この方式は立上り時間と立下り時間が早く、Duty 比が可変できるため、数 MHz 以下の周波数領域で頻繁に使用されている。しかし、このゲート駆動回路は数 MHz 以上の周波数領域において、スイッチング素子の入力容量 C_{iss} の充放電によって生じるドライブ IC やゲート抵抗 R_g の損失が無視できなくなり、発熱が許容できなくなる。そのため、電力変換器の動作周波数が高くなると、ゲート駆動回路でも共振トポロジーが採用される。

MHz 以上のスイッチング周波数で動作する電力変換器ではソフトスイッチング技術が非常に有効であり、ゲート駆動回路の損失低減に一役買っている。その

(b) ソフトスイッチング方式のコンバータ。トランスの漏れインダクタ、励磁インダクタと直列共振用キャパシタを利用するため、LLC コンバータと呼ばれる。

(c) スwitching 周波数の基本波成分を利用したインバータ。主回路スイッチのスイッチング時に印加される電圧とその傾きが 0V となるインバータ。

(d) E 級インバータの課題である主スイッチのピーク電圧の抑制に、3 次高調波成分を使用した高周波インバータ。

ため、共振トポロジーを利用した共振ゲート駆動回路の研究が多く行われている。参考文献(46)-(62)ではターンオンやターンオフ時に部分共振技術を適用してドライブ損失の低減を可能としている。2石部分共振形ゲート駆動回路は高効率動作を実現するが、回路内スイッチがハードスイッチングとなる。また、4石以上の部分共振形ゲート駆動回路では MOSFET やダイオードといったスイッチング素子を追加で搭載し、それに伴って、制御信号が追加されるため、ゲート駆動回路が煩雑化している。参考文献(63)-(66)の正弦波共振形ゲート駆動回路はゲート-ソース間に直流が重畳された正弦波電圧を印加して、主スイッチ S_M を駆動する。また、ゲート駆動回路が誘導性であれば、ゲート駆動回路で使用されるスイッチがソフトスイッチングとなり、スイッチング素子の低損失ドライブを実現する。この共振トポロジーは回路構成がシンプルである一方で、正弦波電圧の立ち上がりは矩形波電圧や台形波電圧よりも遅いため、主スイッチ S_M の導通損失が幾分か大きくなる。E級インバータや Φ_2 級インバータの技術を応用して、ゲート駆動回路を1石でソフトスイッチングを実現する手法もある(67)-(71)。1石の場合、制御信号のエネルギーを増幅するゲート駆動電源の起動と停止タイミングを考慮する必要がある。例えば、起動時には主スイッチ S_M の予期せぬオン状態を防止するために、ゲート駆動内部のスイッチを先に動作させた後、ゲート駆動電源の起動が必要になる。停止時には主スイッチに印加されるドレイン-ソース間電圧が0Vになった後、ゲート駆動電源を停止させてゲート駆動回路内部のスイッチを停止させる必要がある。また、それら参考文献の一部の1石共振ゲート駆動回路はオフ時に負電圧を印加できないといったデメリットもある。

ところで、これまでの論文ではドライバ IC の最終段スイッチのソフトスイッチングを実現し、ドライブ損失を低減する手法が検討されている(47)-(66)。しかし、ドライバ IC 内部におけるバッファ段の損失も発熱の要因になりうる。図 4.1 にバッファ段の損失が大きいドライバ IC の損失と発熱を示す。ドライバ IC 自身の損失を測定するため、負荷は無負荷（何も接続しない）とした。無負荷でありながら、27.12MHz では約 8W 程度の損失があり、発熱も 100°C 近い。したがって、

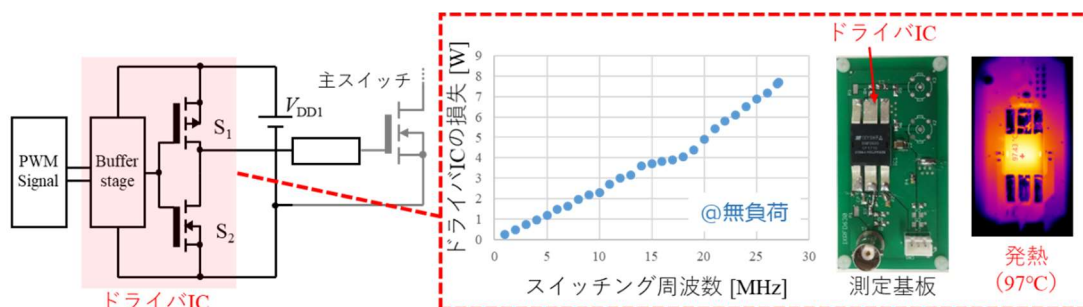


図 4.1 ドライバ IC での損失と発熱

ドライバ IC のバッファ段の損失低減も課題となる。

4.2 複合共振ネットワーク

本章ではバッファ部出力に含まれる矩形波電圧の基本波成分と高調波成分に着目し、ゲート回路部に複合共振ネットワークを設置して、主スイッチのゲート駆動に必要な基本波成分や高調波成分をゲート-ソース間に取り出す。複合共振ネットワークはインダクタとキャパシタにより構成され、入力容量 C_{iss} と共振器を形成し、複数の直列共振動作や並列共振動作を実現する。

一般的な単一の共振ネットワークとして図 4.2 のような入力容量 C_{iss} と直列にインダクタ L_{sr1} を挿入した直列共振器や並列にインダクタ L_{pr1} を挿入した並列共振器がある。直列共振器ではある周波数で最もインピーダンスが小さくなり、並列共振器ではある周波数で最もインピーダンスが大きくなる。複合共振ネットワークでは入力容量と受動素子により共振器を構成して、複数の直列共振周波数や並列共振周波数を利用し、ゲート-ソース間電圧に所望の周波数成分を取り出す手法となる。図 4.3 に 3 つの共振周波数を有する複合共振ネットワークと入力容量 C_{iss} の組み合わせの一例を示す。この複合共振ネットワークは主スイッチの入力容量 C_{iss} と直列に接続され、2 つの直列共振周波数と 1 つの並列共振周波数を有する。また、並列共振器の直列数を増やしていくと、複合共振ネットワーク内の直列共振周波数と並列共振周波数の数も増加し、活用できる高調波成分の数も増える。本論文では基礎検討として、図 4.3 に示す複合共振ネットワークによって基本波成分、2 次高調波成分および 3 次高調波成分を利用して、主スイッチの導通損失とドライブ損失を低減する手法を提示する。

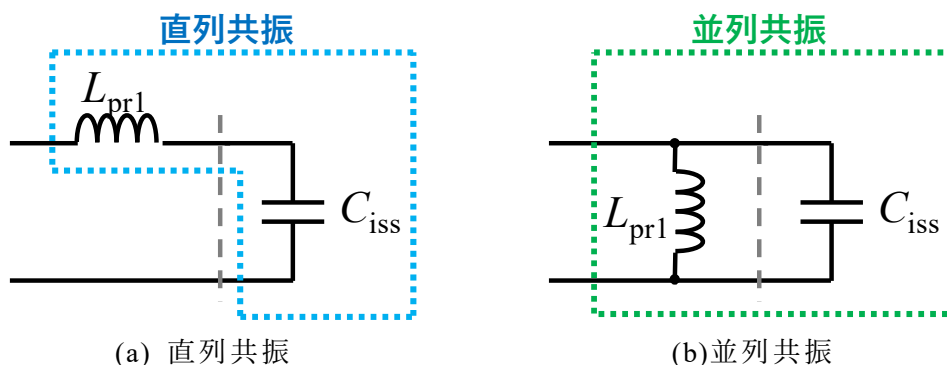
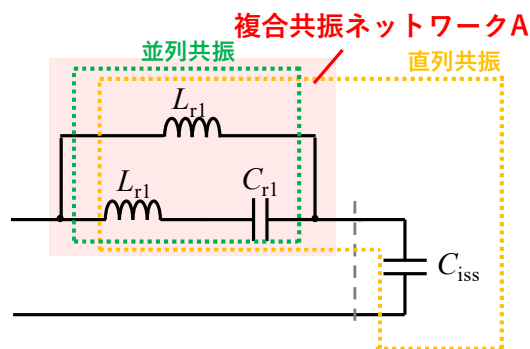
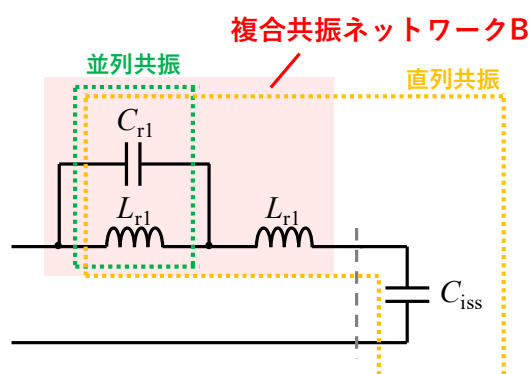


図 4.2 単一共振器



(a) 複合共振ネットワーク A と入力容量 C_{iss}



(b) 複合共振ネットワーク B と入力容量 C_{iss}

図 4.3 複合共振ネットワークと入力容量

4.3 基本波成分と 3 次高調波成分に着目したゲート駆動回路

4.3.1 台形波を生成する 2 石複合共振形ゲート駆動回路

主スイッチの良好なスイッチング特性を実現するためにはゲート-ソース間電圧に矩形波電圧が望ましい。しかし、回路パターンの寄生インダクタにより、理想的な矩形波電圧の実現は困難である。また、ゲート駆動回路にて主スイッチの安定したオフ状態を鑑みるとプッシュプル構成など、ゲート駆動電源がある場合でも問題なくオフできる 2 石以上のゲート駆動回路が求められる。そこで、ここではバッファ部に 2 石のプッシュプル構成を利用し、バッファ部出力に含まれる基本波成分と 3 次高調波成分を利用して、ゲート-ソース間電圧を高速に立ち上げる手法を検討する。提案するゲート駆動回路を図 4.4 に、提案回路で使用する Duty 比を図 4.5 示す。この回路はインダクタ L_{r1} 、 L_{r2} およびキャパシタ C_{r1} で複合共振ネットワークを形成する。キャパシタ C_{iss} は主スイッチ Q_m の入力容量である。ドライバ IC は PWM 信号の電力をバッファ段で増幅し、主スイッチ Q_m を

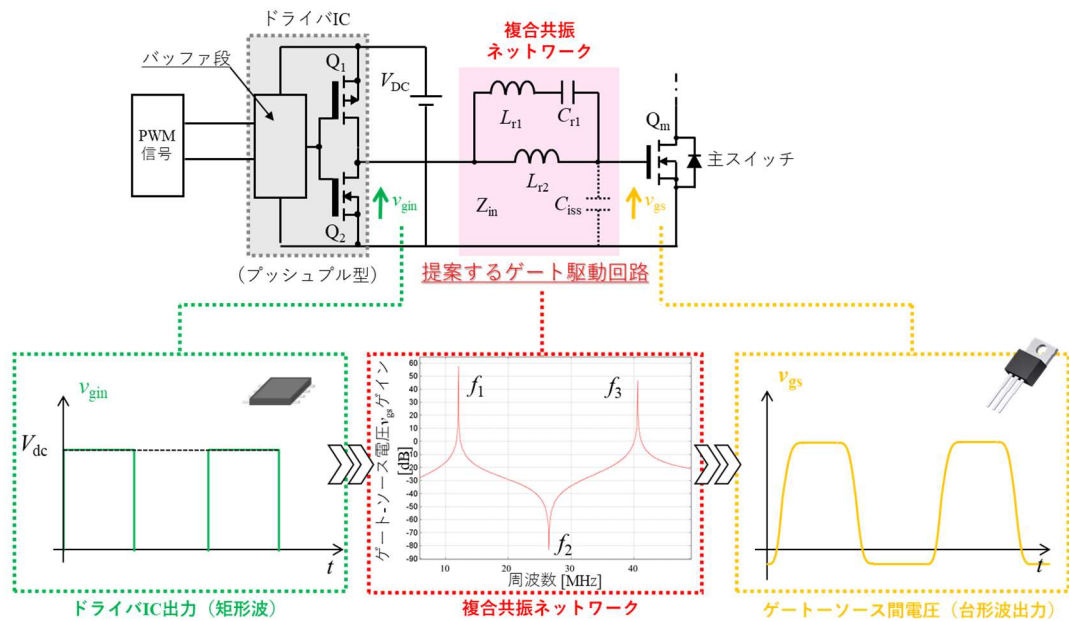


図 4.4 提案する 2 石複合共振形ゲート駆動回路の原理

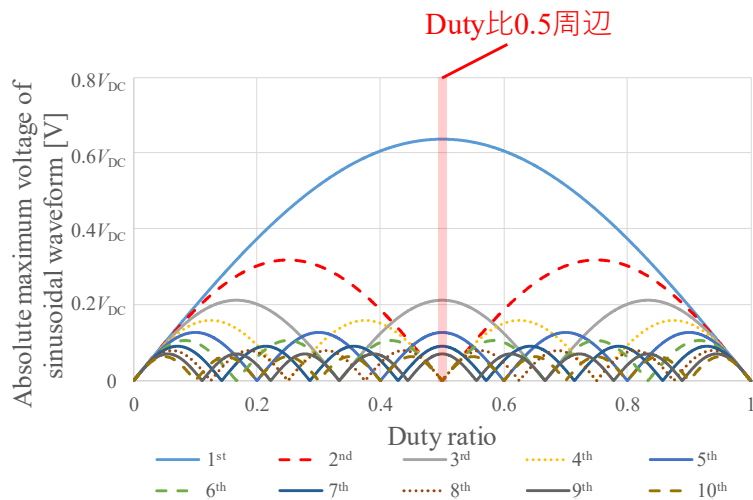


図 4.5 2 石複合共振形ゲート駆動回路で使用する Duty 比

駆動するための IC である。また、スイッチ Q_1 と Q_2 によりドライバ IC 出力はプッシュプル出力となるため、1 石の共振形ゲート駆動回路の問題は解消できる。このゲート駆動手法では図 4.5 の通り、Duty 比 0.5 周辺を利用して、ドライバ IC から矩形波電圧を出力し、ゲート回路の複合共振ネットワークにて、基本波成分と 3 次高調波成分を主スイッチ Q_m のゲート-ソース間電圧として取り出す。これにより、主スイッチ Q_m のゲート-ソース間電圧波形は台形波となる。また、複合共振ネットワークと入力容量 C_{iss} の共振器を誘導性に設計することで、ドライバ

IC 内部のスイッチ Q_1 と Q_2 のソフトスイッチング動作が期待される。

4.3.2 提案回路の設計方法

ここでは提案回路の設計について説明する。まず、図 4.6 に示すインピーダンス Z_{in} を計算する。インピーダンス Z_{in} は次式で与えられる。

$$Z_{in} = \frac{-\omega^4 L_{r1} L_{r2} C_{r1} C_{iss} + \omega^2 (L_{r1} C_{r1} + L_{r2} C_{r1} + L_{r2} C_{iss}) - 1}{\omega C_{iss} (1 - \omega^2 C_{r1} L_{r1} - \omega^2 C_{r1} L_{r2})}$$

$$= \frac{-\omega^4 (1/\omega_{11}^2 \omega_{22}^2) + \omega^2 ((1/\omega_{12}^2) + (1/\omega_{22}^2)) - 1}{\omega C_{iss} (1 - \omega (1/\omega_{12}^2))} \quad (4.1)$$

ここで

$$\omega_{11} = \frac{1}{\sqrt{L_{r1} C_{r1}}}, \quad \omega_{12} = \frac{1}{\sqrt{(L_{r2} + L_{r1}) C_{r1}}}, \quad \text{and} \quad \omega_{22} = \frac{1}{\sqrt{L_{r2} C_{iss}}} \quad (4.2)$$

である。4 次方程式の 2 つの正の根を解くと、次の方程式が導き出される。

$$\omega_{1,3} = \sqrt{\alpha \left(1 \mp \sqrt{1 - \frac{\beta}{\alpha}} \right)} \quad (4.3)$$

ここで、

$$\alpha = \frac{\omega_{11}^2 \omega_{22}^2}{2} \left(\frac{1}{\omega_{12}^2} + \frac{1}{\omega_{22}^2} \right), \quad \beta = \frac{2\omega_{12}^2 \omega_{22}^2}{(\omega_{12}^2 + \omega_{22}^2)} \quad (4.4)$$

ω_s を $2\pi f_s$ (f_s : スwitching 周波数) として、 $\omega_1 = k_1 \omega_s$, $\omega_3 = k_2 \omega_s$ を導入する。ゲイン係数として k_1 , k_2 を導入することで、基本波と 3 高調波の共振点を左右にずらす条件を設定する。これにより、以下の式に得る。

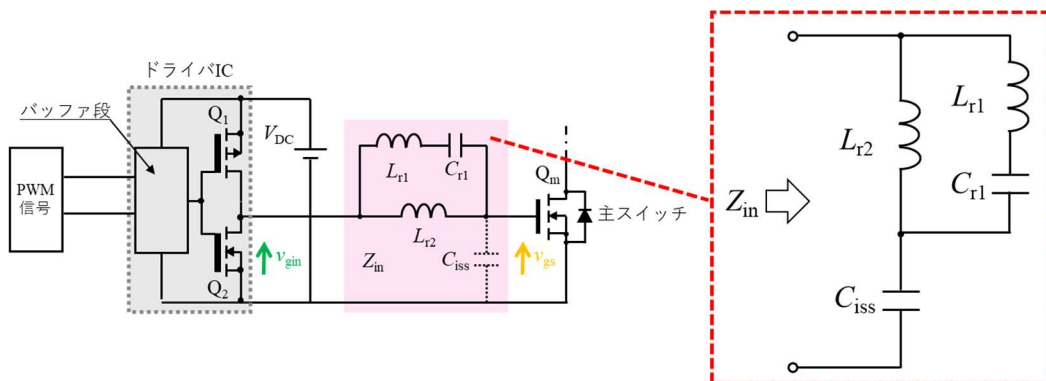


図 4.6 提案ゲート回路でのインピーダンス

$$\alpha = \frac{\omega_s^2}{2}(k_1^2 + k_2^2), \quad \beta = 2\omega_s^2 \frac{k_1^2 k_2^2}{k_1^2 + k_2^2}, \quad \omega_{12} = \frac{k_1 + k_2}{2} \omega_s \quad (4.5)$$

これらの式から、下記のパラメータが導出され、共振用インダクタやキャパシタの値が決定する。

$$\omega_{22}^2 = \frac{k_1^2 k_2^2 \omega_{12}^2 \omega_s^2}{(k_1^2 + k_2^2) \omega_{12}^2 - k_1^2 k_2^2 \omega_s^2} \quad (4.6)$$

$$L_{r2} = \frac{(k_1^2 + k_2^2)(k_1 + k_2)^2 - 4k_1^2 k_2^2}{(k_1 + k_2)^2 k_1^2 k_2^2 \omega_s^2 C_{iss}} \quad (4.7)$$

$$\omega_{11}^2 = \frac{(k_1^2 + k_2^2) \omega_{12}^2 \omega_s^2}{\omega_{12}^2 + \omega_{22}^2} \quad (4.8)$$

$$C_{r1} = \frac{1}{L_{r2}} \left(\frac{1}{\omega_{12}^2} - \frac{1}{\omega_{11}^2} \right) \quad (4.9)$$

$$L_{r1} = \frac{1}{C_{r1} \omega_{12}^2} - L_{r2} \quad (4.10)$$

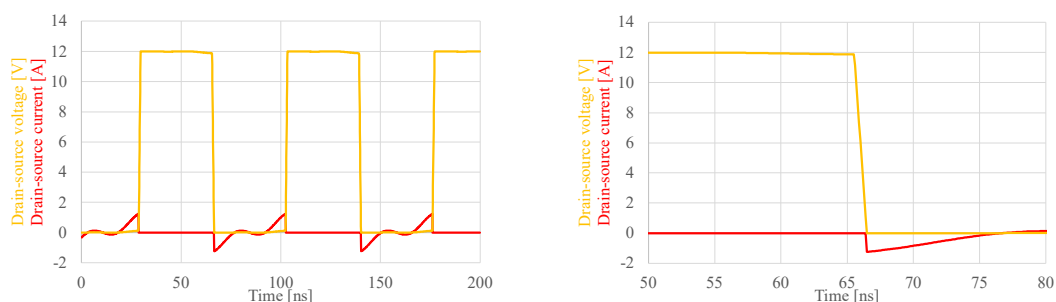
4.3.3 提案回路のシミュレーション

前述した導出式からプッシュプル部のスイッチがソフトスイッチング動作を実現し、ゲート-ソース間に台形波電圧が生成されるかをシミュレーションにて確認する。回路シミュレータには PowerSim 社の PSIM を使い、理想的なシミュレーションとする。提案回路は E 級インバータへの搭載する予定であるため、Duty 比は 0.5 とする。スイッチ Q₁ と Q₂ の出力容量は C_{p1} = 50 pF、C_{p2} = 50 pF に決定した。また、E 級インバータは ZVS (Zero Voltage Switching) コンバータであるため、ターンオフやターンオン時に発生するスイッチング素子のゲート-ドレイン間容量のミラー効果は実質的に無視できる。このため、入力容量 C_{iss} = C_{gd} + C_{gs} の値はシミュレーションにおいて固定値とする。

シミュレーションにおける回路定数を表 4.1 に、その結果を図 4.7 と図 4.8 に示す。スイッチング周波数 f_s は 13.56 MHz とし、このスイッチング周波数に基づいて各回路定数を導出している。ゲイン係数 k₁ と k₂ はドライバ IC から観測される負荷を誘導性にするため、シミュレーションから最終的に表の値を選択した。この係数の設計指針はスイッチ Q₁ と Q₂ でソフトスイッチングを実現するため、基本波と 3 次高調波の位相は可能な限り同じとして誘導性負荷になるように選定

表 4.1 2石複合共振ゲート駆動回路のシミュレーション定数

Parameter	Value	
Driving voltage(V_{DD})	12	V
PWM signal frequency(f_{PWM})	13.56	MHz
Resonant capacitor (C_{r1})	119	pF
Resonant inductor(L_{r1})	291	nH
Resonant inductor (L_{r2})	172	nH
Input capacitor(C_{iss})	1060	pF
Frequency coefficient(k_1)	0.75	
Frequency coefficient(k_3)	2.75	
Duty ratio(D)	0.5	



(a) スイッチ Q_1 の波形 (b) スイッチ Q_1 のターンオン拡大波形

図 4.7 シミュレーション結果

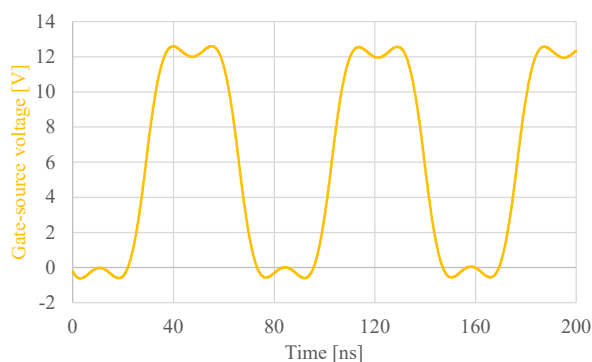


図 4.8 主スイッチのゲート-ソース間電圧

し、またスイッチング素子のゲート-ソース間電圧を台形波に近づけるため、基本波の大きさ 1 に対して、3 次高調波の大きさは $1/5 \sim 1/8$ 程度に設定する。図 4.7(a) は、スイッチ Q_1 のドレイン-ソース間電圧波形と電流波形である。図 4.7(b) は、ターンオン時のスイッチ Q_1 のドレイン-ソース間電圧波形と電流波形のターンオン時における拡大波形である。スイッチ Q_1 はターンオン時に電流波形が誘導

性の波形となり、負側から正側に上昇しているため、スイッチ Q_1 の出力容量の電荷を引き抜いてからターンオンし、ZVS動作している。電圧波形と電流波形は省略するが、これは同様にスイッチ Q_2 でも確認できる。このため、ドライバ IC 内の最終段スイッチ Q_1 と Q_2 にてスイッチング損失の低減が期待できる。次に、図 4.8 の主スイッチ S_M におけるゲート-ソース間電圧波形から台形波電圧が確認できる。また、正負のピーク電圧に到達後、約 10ns 後にゲート-ソース間電圧で窪みが確認できるが、これは 3 次高調波の影響である。また、2 石の複合共振ゲート駆動回路は 1 石の複合共振形ゲート駆動回路⁽⁷⁰⁾と異なり、オフ時に 0V 以下の電圧出力が可能となり、閾値電圧の低いスイッチング素子でもオフ時に誤点弧しにくいゲート駆動方式となる。

以上より、2 石複合共振形ゲート駆動回路はスイッチ Q_1 と Q_2 がソフトスイッチングするため、ドライブ損失が低減でき、スイッチ S_M のゲート-ソース間に台形波電圧を生成できるため、主回路効率の向上が期待される。このゲート駆動回路の実装置における効果は後述する周波数通倍ゲート駆動回路と同時に確認する。

4.3.4 受動部品のばらつきによる影響

受動部品には許容誤差がある。共振形ゲート駆動回路は受動部品の値のわずかな変化に非常に敏感である。したがって、ここでは提案されたゲート駆動回路に対する受動部品のばらつきの影響を調査する。今回の調査では受動部品の値が最大 $\pm 20\%$ 変動することを想定し、スイッチ S_M のゲート-ソース電圧波形の変化をシミュレーションにより評価する。図 4.9 は共振インダクタ L_{r1} 、共振キャパシタ C_{r1} および共振インダクタ L_{r2} が設計から $\pm 20\%$ 、 $\pm 10\%$ 変動した場合を示している。図 4.9 (a) において、共振キャパシタ L_{r1} の -10% 以上の変動が生じた場合、提案のゲート駆動回路のゲート-ソース間電圧が脈動し、台形波から大きく形が崩れている。また、図 4.9 (b)の通り、共振キャパシタ C_{r1} の値も設計値から -10% 以上ずれると同様の結果となっている。これは共振インダクタ L_{r1} と共振キャパシタ C_{r1} の変化が 3 次高調波成分のゲインと位相に敏感であることを示している。一方で、図 4.9 (c)の通り、共振インダクタ L_{r2} の値が設計値から $\pm 20\%$ ずれた場合では台形波のピーク電圧に変化が現れる。これは共振インダクタ L_{r2} が基本波成分に敏感

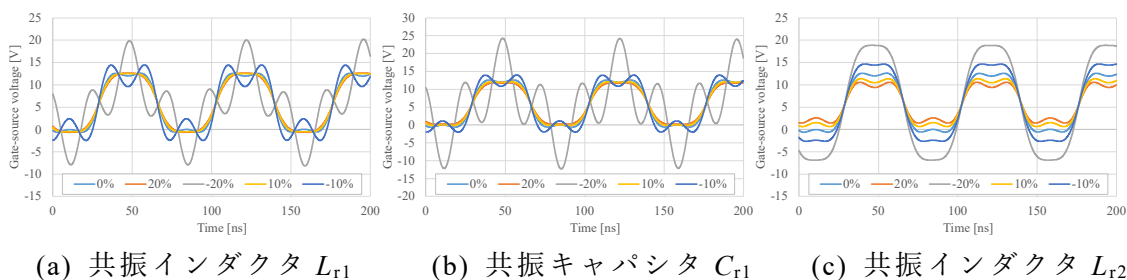


図 4.9 部品ばらつきによるゲート-ソース間電圧の波形変化

であることを示しており、その変化分によるゲート-ソース間電圧の変化はスイッチング素子のゲート-ソース間電圧の絶対定格より小さければ、許容できる範囲である。したがって、実回路では共振インダクタ L_{r1} のばらつきよりも共振インダクタ L_{r1} と共振キャパシタ C_{r1} のばらつきを低く抑える必要がある。

4.4 2次高調波成分に着目したゲート駆動回路

高電圧電流定格のスイッチング素子を使用する場合、入力容量 C_{iss} が大きくなる。また、コンバータの大電力化に向けてスイッチング素子を並列駆動する場合も同様である。そのため、ドライバ IC の最終段には大きな電流値を確保できる p 型 MOSFET と n 型 MOSFET が必要となる。大きな電流を流す場合、ドライバ IC の最終段の p 型 MOSFET と n 型 MOSFET は出力容量と入力容量ともに大きくなる。その結果、ドライバ IC 内部の p 型 MOSFET や n 型 MOSFET の容量にて生じる充放電の損失が大きくなってしまふ。今までに提案されているゲート駆動回路の多くはドライバ IC の最終段スイッチの出力容量で発生する損失に着目しており、ドライバ IC 内部の最終段の p 型 MOSFET や n 型 MOSFET の駆動に必要な電力損失の低減には着目していない。ここではドライバ IC 内部のバッファ段の損失に着目し、この損失を低減するために高調波を利用したゲート駆動回路を提案する。

4.4.1 ドライバ IC を含めたドライブ損失

主スイッチ S_M を駆動するハードスイッチング方式のゲート駆動回路を図 4.10 に示す。図 4.10 に示す通り、コントローラで PWM 信号が出力された後、ドライバ IC 内部のバッファ段を通過してドライバ IC の最終段にあるスイッチ S_1 と S_2 が駆動することにより、主スイッチ S_M のオン/オフが実現される。ゲート抵抗 R_g は入力容量 C_{iss} の主スイッチ S_M に流入するピーク電流の初期値を決定し、スイッチ S_M のスイッチング速度を調整するために使用される。ドライバ IC 内部で損失がないと仮定すると、ゲート抵抗 R_g で発生する損失 P_{D1} は次式で求められる。

$$P_{D1} = f_{sw} Q_g V_{DD} \quad (4.11)$$

ここで、 V_{DD} はゲート駆動電圧、 f_{sw} はスイッチング周波数、 Q_g はスイッチ S_M のゲート電荷量である。この式から、スイッチング周波数 f_{sw} とゲート電荷 Q_g の増加に比例してゲート駆動損失が増加する。ところで、実際はドライバ IC 内部でも損失は発生する。

図 4.11 にドライバ IC 内部の最終段スイッチ S_1 と S_2 のドレイン-ソース間容量 C_{S1} と C_{S2} が考慮されたゲート駆動回路を示す。ドライバ IC 内部の損失は主にス

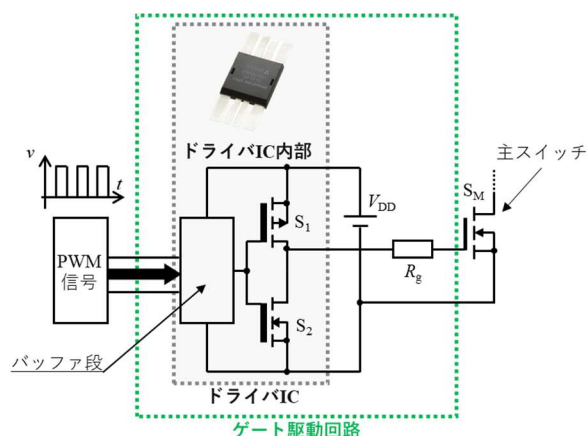


図 4.10 ハードスイッチング方式のゲート駆動回路とドライバ IC

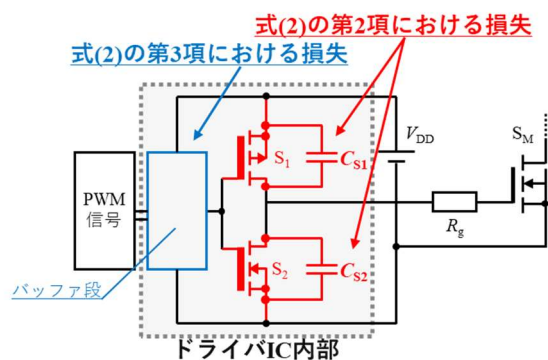


図 4.11 ドライバ IC で生じる損失

スイッチ S_1 と S_2 およびスイッチ S_1 と S_2 を駆動させるために電力を増幅するバッファ段で発生する。このドライブ損失を P_{D2} とすると主スイッチ S_M の駆動で生じる損失は以下のように表現される。

$$P_{D2} = f_{sw} Q_g V_{DD} + P_{S12} + P_{BS} \quad (4.12)$$

ここで、 $P_{S12} + P_{BS}$ は $f_{sw} Q_g V_{DD}$ で含まれる損失以外の損失で、ドライバ IC 内部で発生する損失である。式(4.12)において、第1項は主スイッチ S_M の入力容量の充放電による損失、2項はスイッチ S_1 と S_2 で発生する損失、3項はドライバ IC 内部のバッファ段で発生する損失である。バッファ段は CMOS 技術を使用しており、バッファ段内 MOSFET の出力容量や入力容量の充放電による損失が主であるため、スイッチング周波数に比例すると想定される。したがって、主スイッチ S_M を駆動するための総損失の低減には、主スイッチ S_M に起因する第1項の損失だけでなく、式(4.12)の右辺にあたる2項と3項の損失も考慮しなければならない。関連文献では、第1項と第2項の損失を低減する方法がいくつか提案されている(46)-(62)。ここで提案する周波数逡倍ゲート駆動回路では、式(4.12)の損失のう

ち3項の駆動損失の低減に焦点を当てて議論する。

4.4.2 ドライバ IC で生じる損失の測定

スイッチ S_1 と S_2 を駆動するために、PWM 信号はドライバ IC 内のバッファ段を通過する。ここでは、それらで生じるドライバ IC の損失 P_{S12} と P_{BS} を実験的に検証する。まず、ドライバ IC 自身で生じる損失を調査するため、表 4.2 に示すように5種類のドライバ IC を選定した。次に、ドライバ IC 自身の損失を比較するための等価回路を図 4.12 に示す。IXYS 社 (リトルヒューズ) 製のドライバ IC:IXRFD615X2 は、IC 腹部の金属露出が最も大きく、出力ピーク電流も大きい。さらに、電流掃き出し時の出力抵抗は 0.5Ω で電流吸い込み時の出力抵抗は 0.35Ω であるため、主スイッチ S_M のゲート部に大電流を流すことができ、大容量のスイッチやスイッチの並列駆動に適している。図 4.12 (a) に示すように、本実験ではドライバ IC に PWM 信号を入力して、出力が無負荷状態にてドライバ IC 自身の損失を測定する。この損失は入力電圧と入力電流の積にて求める。その後、図 4.12 (b) に示すようにドライバ IC の出力に $1nF$ のキャパシタを接続してキャパシタの有無による損失を測定し、その違いを比較する。

表 4.2 選定したドライバ IC

Driver IC	Maker	Peak current	High output resistance	Low output resistance	Rise time	Fall time
IXDN609SI (Exposed Metal Back)	IXYS (Littlefuse)	9 A	0.6Ω	0.4Ω	7 ns @ 1.5 nF	5 ns @ 1.5 nF
NCP81074	ON Semiconductor	10 A	0.4Ω	0.4Ω	4 ns @ 1.8 nF	4 ns @ 1.8 nF
LTC4440	ANALOG DEVICES	2.4 A @pull up	-	1.5Ω	10 ns @ 1 nF	7 ns @ 1 nF
LM5114	TEXAS INSTRUMENTS	7.6 A	2Ω	2.3Ω	12 ns @ 1 nF	3 ns @ 1 nF
IXRFD615X2 (Exposed Metal Back)	IXYS (Littlefuse)	14 A	0.5Ω	0.35Ω	6 ns @ 2 nF	5.5 ns @ 2 nF

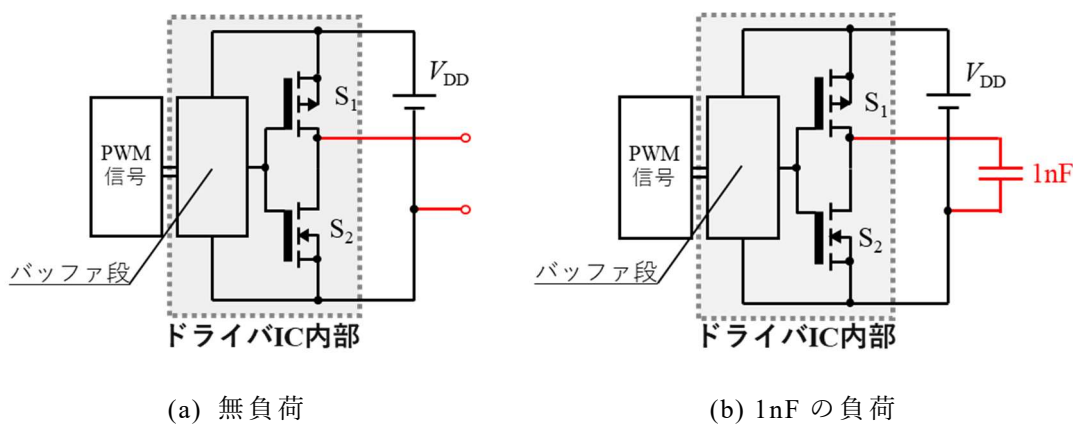
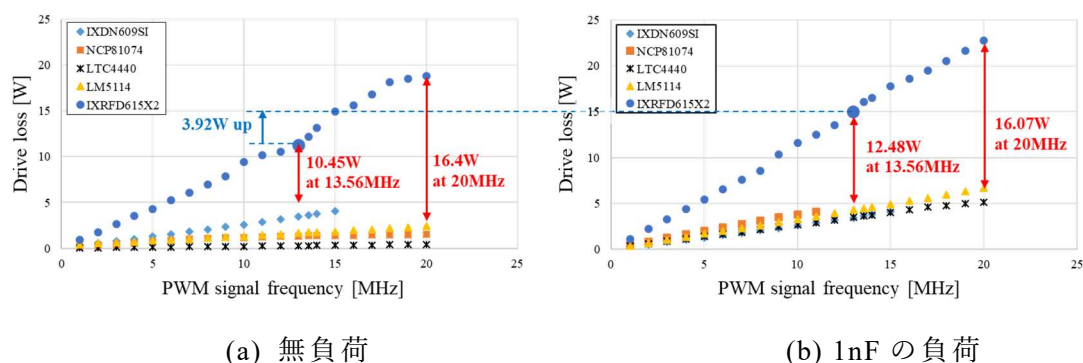


図 4.12 ドライバ IC の損失測定回路

キャパシタの有無における損失の比較結果を図 4.13 に示す。図 4.13 (a)は無負荷状態でドライバ IC を駆動した場合の損失で、図 4.13 (b)はドライバ IC の出力に 1nF のキャパシタを接続した場合の損失である。ゲート駆動電源 V_{DD} は 15V とし、両損失とも強制空冷で測定している。例えば、図 4.13 (a), (b)のスイッチング周波数 13.56MHz の点において、IXRFD615X2 の駆動損失は他のドライバ IC の約 4~6 倍となっている。これは、IXRFD615X2 内部のバッファ段やドライバ IC の出力最終段 MOSFET に大きな駆動電力が必要となるからだと考えられる。図 4.13 (b)に示すように 1nF のキャパシタをドライバ IC の出力に接続した場合、各ドライバ IC の総電力損失は 13.56MHz にておのおの約 3~4W 増加する。このキャパシタの影響が大きいのは IXDN609SI, NCP81074, LTC4440 や LM5114 といった小型パッケージ品のドライバ IC である。小型パッケージ品の場合 13.56MHz では無負荷時に比べて損失が 2 倍以上になる。また、IXRFD615X2 のキャパシタ負荷ありの損失は無負荷時の損失と比較して、13.56MHz で最大 3.92W 増加するが、全体の割合としては 20%程度である。従って、IXRFD615X2 のような大容量ドライバ IC を駆動する場合ではドライバ IC 内部の損失低減も非常に重要となる。



(a) 無負荷

(b) 1nF の負荷

図 4.13 キャパシタの有無における損失比較

4.4.3 提案回路の構成

提案する周波数通倍ゲート駆動回路を図 4.14 に示す。この提案するゲート駆動回路はキャパシタ C_{r1} 、2つのインダクタ L_{r1} , L_{r2} にて複合共振ネットワークが構成されている。基本概念は 2 石複合共振形ゲート駆動回路同様であるが、2 石複合共振形ゲート駆動回路が図 4.14 の f_1 と f_3 を基本波成分と 3 次高調波成分に設定するのに対して、周波数通倍ゲート駆動回路は f_2 と f_3 を基本波成分と高次高調波成分 (2 次高調波あるいは 3 次高調波成分) に設定する。これにより、ゲート回路の複合共振ネットワーク通過後、ドライバ IC 出力における矩形波電圧の基本波成分が減衰され、 f_3 で決定される高調波成分の正弦波電圧のみが主スイッチ S_M のゲート-ソース間に残る。提案するゲートドライブ回路の概念を図 4.15 に

第4章 高周波駆動を実現する絶縁ゲート GaN HEMT 用駆動回路

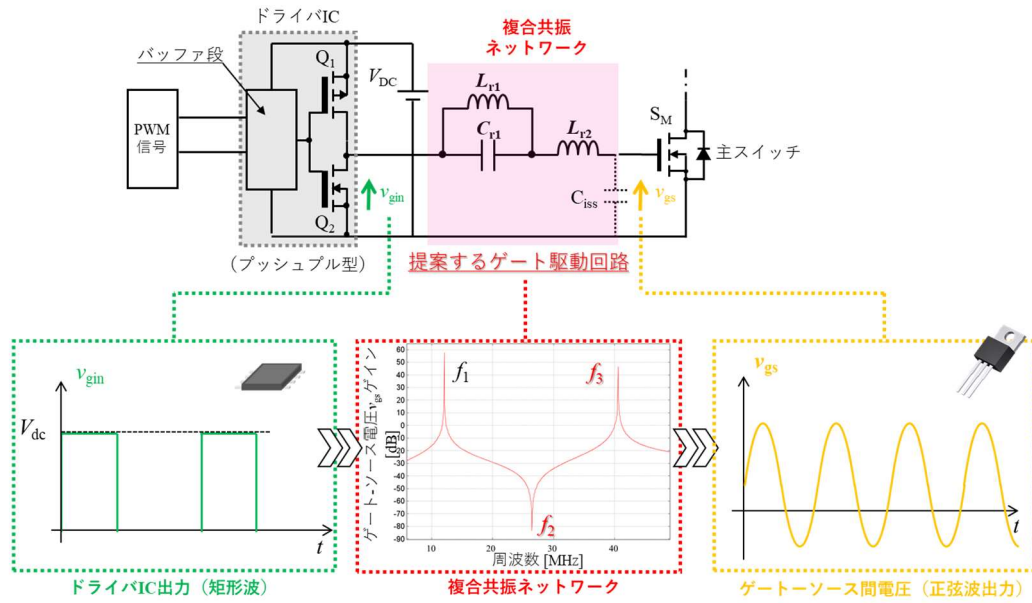


図 4.14 周波数通倍ゲート回路の原理

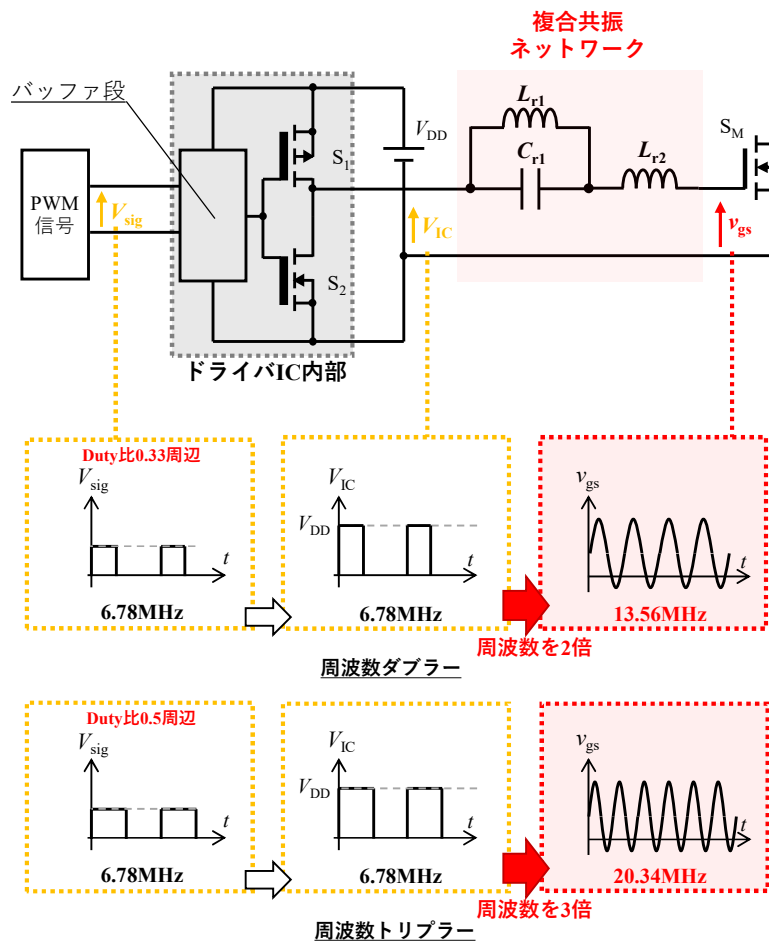


図 4.15 周波数通倍ゲート駆動回路の概念

示す。提案するゲート駆動回路は、PWM 信号周波数の 2 倍または 3 倍の周波数の正弦波電圧で主スイッチ S_M を駆動できる。図 4.15 に見られるように、PWM 信号の 6.78MHz がドライバ IC に入力され、ゲート駆動電源の電圧 V_{DD} をピークとする 6.78MHz の矩形波電圧がドライバ IC から出力される。例えば図 4.15 の通り、PWM 信号の周波数が 6.78MHz の場合、ドライバ IC 出力電圧 V_{IC} は複合共振ネットワークを通過すると、スイッチ S_M のゲート-ソース間波形は 13.56MHz または 20.34MHz の正弦波電圧に逡倍される。複合共振ネットワークにて PWM 信号の周波数を逡倍すれば、ゲート-ソース間正弦波電圧の周波数はその 2 倍または 3 倍になるため、ドライバ IC 内部のスイッチング回数は低減し、ドライバ IC で生じる損失が低減可能となる。

図 4.16 に提案するドライバ IC の出力電圧 V_{IC} と Duty 比 0.01~1 に関する高調波成分の大きさ（絶対値）を示す。ここで、ドライバ IC の出力電圧 V_{IC} に含まれる矩形波成分の最大値は $0.5V_{DD}$ V、最小値は $-0.5V_{DD}$ V であり、この図には直流成分が含まれていない。PWM 信号周波数の 2 倍あるは 3 倍の周波数で主スイッチ S_M を駆動するためにはドライバ IC 出力電圧 V_{IC} に含まれる基本波成分の減衰と高調波成分の抽出が非常に重要である。図 4.16 から確認できる通り、Duty 比 0.5 では 2 次高調波成分がなく、矩形波全体では基本波成分が最も大きい。したがって、PWM 信号の 2 倍周波数で主スイッチ S_M を駆動するためには Duty 比 0.5 は使用できない。そのため、2 次高調波成分が多く含まれる Duty 比 0.5 以下の矩形波電圧をドライバ IC 出力電圧 V_{IC} に使用しなければならない。また、3 倍周波数で主スイッチ S_M を駆動する場合は Duty 比 0.5 を使用する。これは 3 次高調波成分が多く、2 次高調波成分は全く含まれていないため、原理通り、基本波だけを減衰すればよいためである。つまり、周波数逡倍ゲート駆動回路では PWM 信号の

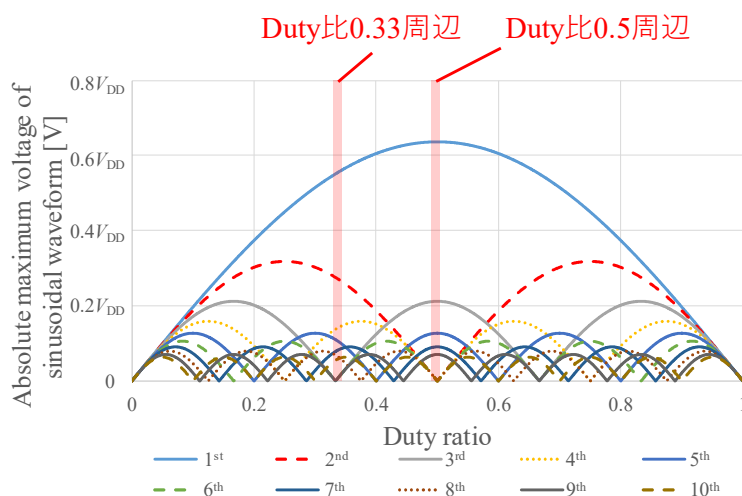


図 4.16 周波数逡倍ゲート駆動回路で使用する Duty 比

基本波成分は可能な限り抑制し、所望の高調波を含む Duty 比を選択する必要がある。適切な Duty 比を選択することで、主スイッチ S_M を PWM 信号の周波数よりも高い周波数で駆動でき、ドライバ IC の損失を低減できる。

4.4.4 提案回路の設計方法

周波数通倍手法のゲート駆動回路設計において、主スイッチ S_M のゲート-ソース間容量は入力容量 C_{iss} と同じ値であると仮定する。図 4.17 において、共振ネットワークの入力インピーダンス Z_{GD} は、次式で与えられる。

$$Z_{GD} = \frac{-\omega^4 L_{r2} L_{r1} C_{r1} C_{iss} + \omega^2 (L_{r1} + L_{r2}) C_{iss} + \omega^2 C_{r1} L_{r1} - 1}{j\omega C_{iss} (\omega^2 L_{r1} C_{r1} - 1)}$$

$$= \frac{-\omega^4 (1/\omega_{r1}^2 \omega_{r2}^2) + \omega^2 ((1/\omega_{r1}^2) + (1/\omega_{r2}^2)) - 1}{j\omega C_{iss} (\omega^2 (1/\omega_{r1}^2) - 1)} \quad (4.13)$$

$$\omega_{r1} = \frac{1}{\sqrt{L_{r1} C_{r1}}}, \omega_{r2} = \frac{1}{\sqrt{L_{r2} C_{iss}}}, \omega_{l2} = \frac{1}{\sqrt{(L_{r1} + L_{r2}) C_{iss}}} \quad (4.14)$$

式(4.13)の分母が 0 になると、インピーダンス Z_{GD} は無限大となる。これは、インダクタ L_{r1} とキャパシタ C_{r1} が共振（つまり、並列共振）し、入力キャパシタ C_{iss} に流れる電流が小さくなることを意味する。式(4.13)の分子が 0 になると、インピーダンス $Z_{GD} = 0\Omega$ となる。これはキャパシタ C_{r1} と入力容量 C_{iss} がインダクタ L_{r1} 、インダクタ L_{r2} と共振し（つまり、直列共振）、入力容量 C_{iss} に流れる電流が大きくなることを意味している。例えば、PWM 信号の周波数でインピーダンス Z_{GD} を無限大にすることで、基本波のゲート-ソース間電圧ゲインを抑制できる。さらに、PWM 信号周波数の 2 倍（周波数を 2 倍にする場合）あるいは 3 倍（周波数を 3 倍にする場合）といった所望の周波数でインピーダンス $Z_{GD} = 0\Omega$ とすることで、高調波におけるゲート-ソース間電圧ゲインを大きくできる。インピーダンス $Z_{GD} = 0\Omega$ とするためには、式(4.13)の分子より、以下の式が得られる。

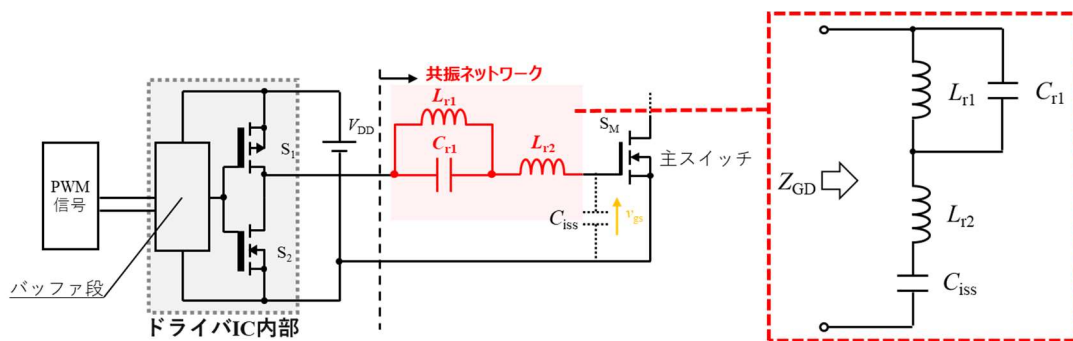


図 4.17 共振ネットワークの入力インピーダンス Z_{GD}

$$\begin{aligned}
 -\omega^4(1/\omega_{11}^2\omega_{22}^2) + \omega^2\left((1/\omega_{11}^2) + (1/\omega_{12}^2)\right) - 1 &= 0 \\
 \omega^4(1/\omega_{11}^2\omega_{22}^2) - \omega^2\left((1/\omega_{11}^2) + (1/\omega_{12}^2)\right) + 1 &= 0
 \end{aligned} \tag{4.15}$$

2次方程式の公式より

$$\begin{aligned}
 \omega^2 &= \frac{\omega_{11}^2\omega_{22}^2}{2} \left(\frac{1}{\omega_{11}^2} + \frac{1}{\omega_{12}^2} \right) \left[1 \pm \sqrt{1 - \left(\frac{2\omega_{11}^2\omega_{12}^2}{(\omega_{11}^2 + \omega_{12}^2)} \right) \left(\frac{1}{\frac{\omega_{11}^2\omega_{22}^2}{2} \left(\frac{1}{\omega_{11}^2} + \frac{1}{\omega_{12}^2} \right)} \right)} \right] \\
 &= \alpha \left(1 \pm \sqrt{1 - \frac{\beta}{\alpha}} \right) \\
 \omega &= \pm \sqrt{\alpha \left(1 \pm \sqrt{1 - \frac{\beta}{\alpha}} \right)}
 \end{aligned} \tag{4.16}$$

$$\alpha = \frac{\omega_{11}^2\omega_{22}^2}{2} \left(\frac{1}{\omega_{11}^2} + \frac{1}{\omega_{12}^2} \right), \quad \beta = \frac{2\omega_{11}^2\omega_{12}^2}{\omega_{11}^2 + \omega_{12}^2} \tag{4.17}$$

式(4.16)の周波数は正であるべきなので、直列共振時の各周波数 ω_{S1} , ω_{S3} は次のように与えられる。

$$\omega_{S1} = \sqrt{\alpha \left(1 - \sqrt{1 - \frac{\beta}{\alpha}} \right)}, \quad \omega_{S3} = \sqrt{\alpha \left(1 + \sqrt{1 - \frac{\beta}{\alpha}} \right)} \tag{4.18}$$

PWM信号の周波数における角周波数を ω_s と定義すると、 ω_{11} は ω_s に等しくなる。ここで、周波数係数 k_1 と k_3 を導入する。周波数係数 k_1 と k_3 を適切に選択すると、提案するゲート駆動回路の共振点をスイッチング周波数からシフトでき、プッシュプル出力から観測する負荷は誘導性となって、スイッチ S_1 と S_2 のターンオンやターンオフ時に発生する損失が低減される。共振周波数に対する係数 k_1 と k_3 の効果については後述する。ここで $\omega_{11} = \omega_s$, $\omega_{S1} = k_1\omega_s$, $\omega_{S3} = k_3\omega_s$ とすることにより、 $\omega_s = 2\pi f_s$ (f_s はスイッチング周波数) とすると、 α と β は

$$\alpha = \frac{(k_1^2 + k_3^2)}{2} \omega_s^2, \quad \beta = 2\omega_s^2 \frac{k_1^2 k_3^2}{k_1^2 + k_3^2} \tag{4.19}$$

となり、各パラメータは以下のように導出される。

$$\omega_{12} = \sqrt{\frac{\omega_s^2 k_1^2 k_3^2}{(k_1^2 + k_3^2) - k_1^2 k_3^2}} \tag{4.20}$$

$$\omega_{22} = \sqrt{(k_1^2 + k_3^2) \left(\frac{\omega_{11}^2 \omega_{12}^2}{\omega_{11}^2 + \omega_{12}^2} \right)} \tag{4.21}$$

$$L_{r1} = \frac{1}{\omega_{12}^2 C_{iss}} - L_{r2} \quad (4.22)$$

$$C_{r1} = \frac{1}{4\omega_s^2 L_{r1}} \quad (4.23)$$

4.4.5 提案回路のシミュレーション

設計方法の妥当性をシミュレーションにて検証する。回路シミュレータは Powersim 社の PSIM を使用し、PWM信号の周波数を2倍するゲート駆動回路（以下、周波数ダブラー回路）とPWM信号の周波数を3倍するゲート駆動回路（以下、周波数トリプラー回路）の動作を評価する。また、周波数係数 k_1 と k_3 の影響も調査する。

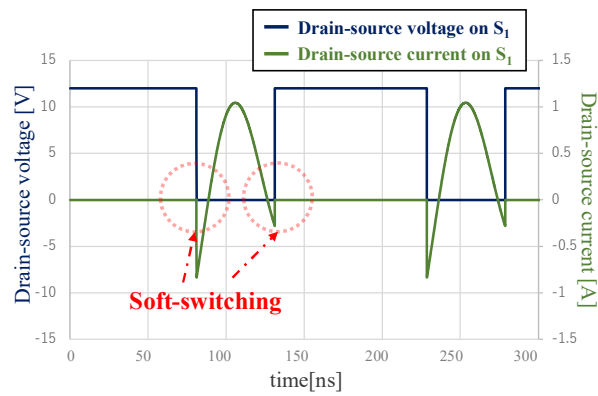
・周波数ダブラー回路

周波数を2倍するゲート駆動回路の概念は、PWM信号の2次高調波成分を利用して、ゲート-ソース間電圧の周波数をPWM信号の周波数の2倍にすることである。周波数ダブラー回路の設計値を表4.3に示す。提案するゲート駆動回路には Tranphorm 社製の GaN HEMT TPH3212PS を選択した。シミュレーションで使用する入力容量と内部ゲート抵抗の測定には Agilent 社製インピーダンスアナライザ 4294A を使用し、13.56MHzにて値を取得した。また、ゲート-ソース間電圧ゲインには0.33のDuty比を選択し、DCバイアスはスイッチの閾値電圧付近に設定する。今回の確認では、TPH3212PSの閾値電圧は平均値が2.1Vであり、主スイッチ S_M のターンオン動作を保証するために、0.3程度のDuty比にした。図4.16に示すように、2次高調波成分が大きく、基本波以外の高調波成分が小さくな

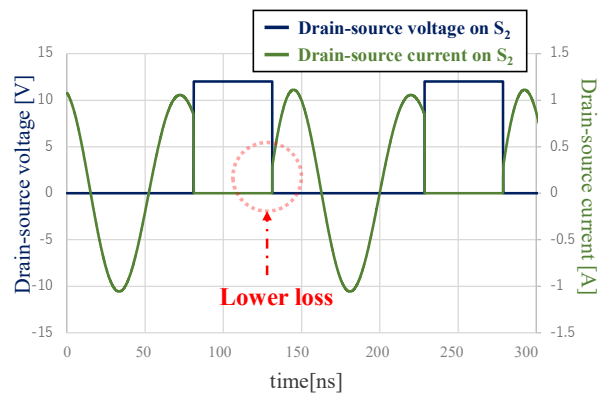
表 4.3 周波数ダブラー回路のシミュレーション定数

Parameter	Value	
Driving voltage(V_{DD})	12	V
PWM signal frequency(f_{PWM})	6.78	MHz
Resonant capacitor (C_{r1})	1.89	nF
Resonant inductor(L_{r1})	291	nH
Resonant inductor (L_{r2})	199	nH
Input capacitor(C_{iss})	1.42	nF
Internal gate resistor(R_{ing})	3.0	Ω
Frequency coefficient(k_1)	0.706	
Frequency coefficient(k_3)	1.98	
Duty ratio(D)	0.33	

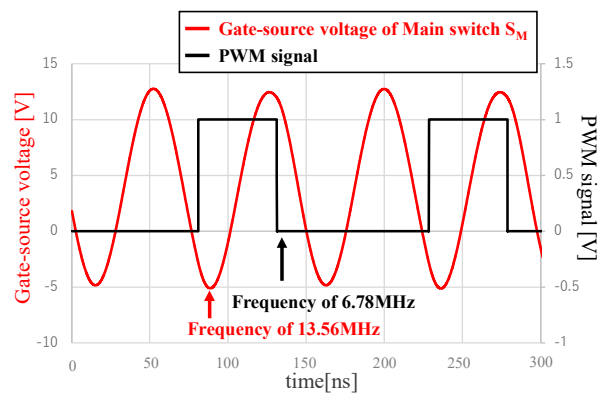
第4章 高周波駆動を実現する絶縁ゲート GaN HEMT 用駆動回路



(a)



(b)



(c)

図 4.18 周波数 doubler 回路のシミュレーション結果

るため、最終的な設計では Duty 比 0.33 を選択している。基本波成分はインダクタ L_{r1} とキャパシタ C_{r1} の共振器で抑制されるため、主スイッチ S_M のゲート-ソース間には PWM 信号の 2 倍周波数の正弦波電圧が得られる。

シミュレーション結果を図 4.18 に示す。図 4.18 (a), (b) はそれぞれスイッ

チ S_1 と S_2 のドレイン-ソース間電圧波形およびドレイン-ソース間電流波形である。図 4.18 (a), (b) からスイッチ S_1 と S_2 でソフトスイッチングが実現しており、スイッチング損失が低減できる。また図 4.18 (c) に、周波数の違いを確認するために主スイッチ S_M のゲート-ソース電圧と PWM 信号を示す。これらの波形から、提案するゲート駆動回路によりゲート-ソース間電圧 v_{gs} の周波数は PWM 信号の周波数の 2 倍になり、13.56MHz の正弦波振動が得られている。このシミュレーションから提案するゲート駆動回路はドライバ IC 内部の損失を大幅に低減することが期待される。

次に、シミュレーションにより得られたスイッチ S_M のゲート-ソース間電圧ゲインを図 4.19 に示す。図 4.19 に示すように、 ω_{11} , k_1 および k_3 を適切に選択することで、PWM 周波数の基本波成分 6.78MHz に対するインピーダンスが大きくなり、ゲート-ソース間電圧ゲインは周波数 6.78MHz で最も小さくなるため、基本波成分が抑制されている。また、2 次高調波成分のゲート-ソース間電圧ゲインを大きくするために、インピーダンスの小さいポイントを 13.56MHz 付近に設定している。したがって、提案するゲート駆動回路では低周波側の直列共振周波数を使用せず、並列共振周波数と高周波側の直列共振周波数を使用していることが確認できる。

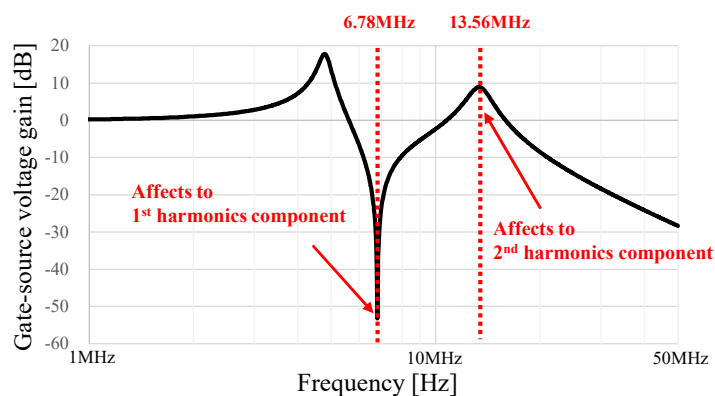


図 4.19 周波数ダブラー回路のゲート-ソース間電圧ゲインと周波数の関係

・周波数トリプラー回路

周波数トリプラーにおける設計値を表 4.4 に示す。スイッチング素子 TPH3212PS は先の周波数ダブラーのシミュレーションと同様に、本シミュレーションでも使用する。このシミュレーションでは 3 次高調波成分を抽出するために 0.5 の Duty 比を選択する。図 4.16 に示す通り、Duty 比 0.5 付近では奇数高調波成分が大きく、偶数高調波成分が小さくなっている。提案手法ではこの Duty 比 0.5 を使用し、3 次高調波成分以外の高調波成分は抑制し、提案されたゲート駆動

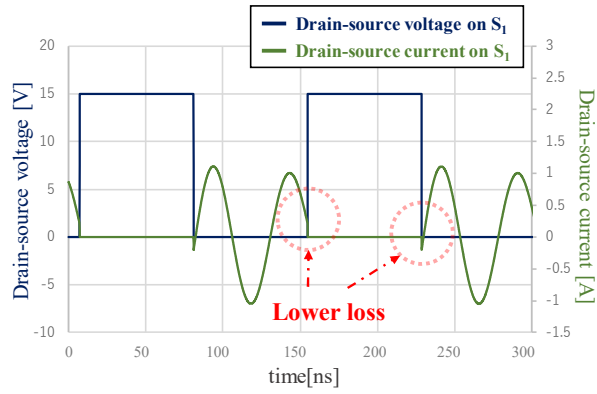
表 4.4 周波数トリプラー回路のシミュレーション定数

Parameter	Value	
Driving voltage(V_{DD})	-3 to 12	V
PWM signal frequency(f_{PWM})	6.78	MHz
Resonant capacitor (C_{r1})	30.5	pF
Resonant inductor(L_{r1})	1.81	nH
Resonant inductor (L_{r2})	271	nH
Input capacitor(C_{iss})	1.42	nF
Internal gate resistor(R_{ing})	3.0	Ω
Frequency coefficient(k_1)	0.706	
Frequency coefficient(k_3)	1.98	
Duty cycle(D)	0.5	

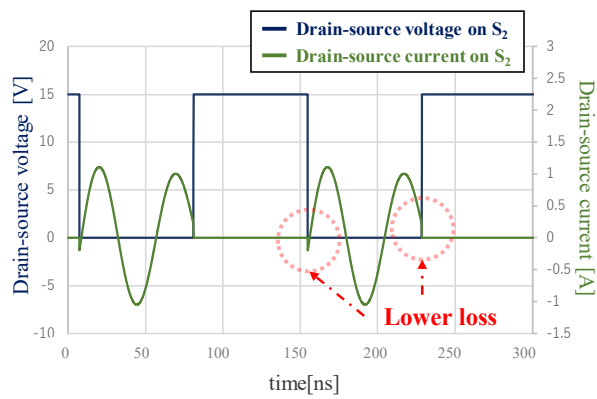
回路を介して, PWM 信号の 3 倍周波数の正弦波電圧波形をスイッチ S_M のゲート-ソース間に生成する。

図 4. 20(a)および(b)にそれぞれスイッチ S_1 と S_2 のドレイン-ソース電圧およびドレイン-ソース電流波形のシミュレーション結果を示す。図 4. 20(a)および(b)から, ターンオンおよびターンオフ時にソフトスイッチングが実現され, スイッチ S_1 と S_2 は低損失になる。各波形の周波数の違いを確認するため, 主スイッチ S_M のゲート-ソース間電圧と PWM 信号を図 4. 20 (c)に示す。これらの波形から, 提案するゲート駆動回路によって PWM 信号の周波数がゲート-ソース間電圧 v_{gs} で 3 倍になり, 20.34 MHz のゲート駆動周波数が得られている。

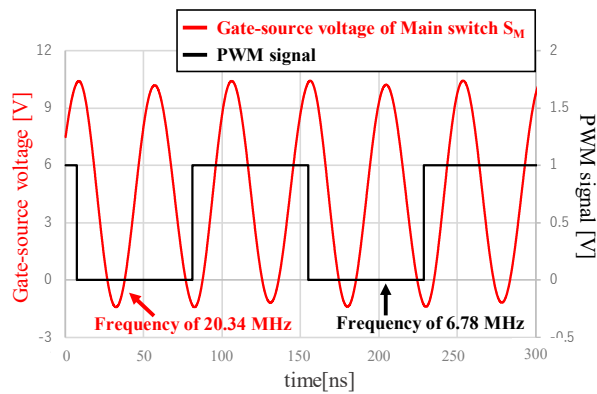
シミュレーションで得られたスイッチ S_M のゲート-ソース間電圧ゲインを図 4. 21 に示す。図 4. 21 に示すように, ω_{11} , k_1 および k_3 を適切に選択することで, PWM 信号周波数 6.78 MHz へのインピーダンスが大きくなり, 6.78 MHz でスイッチ S_M のゲート-ソース間電圧ゲインが最も低くなるため, 基本波成分が抑制される。また, 3 次高調波成分のゲート-ソース間電圧ゲインを大きくするため, インピーダンスが低くなる点を 20.34 MHz 付近に設定している。したがって, 提案されたゲート駆動回路では低周波側の直列共振周波数は使用せず, 並列共振周波数と高周波側の直列共振周波数が使用して, PWM 信号の 3 倍周波数がゲート-ソース間に出力されていることを確認できた。



(a)



(b)



(c)

図 4.20 周波数トリプラー回路のシミュレーション結果

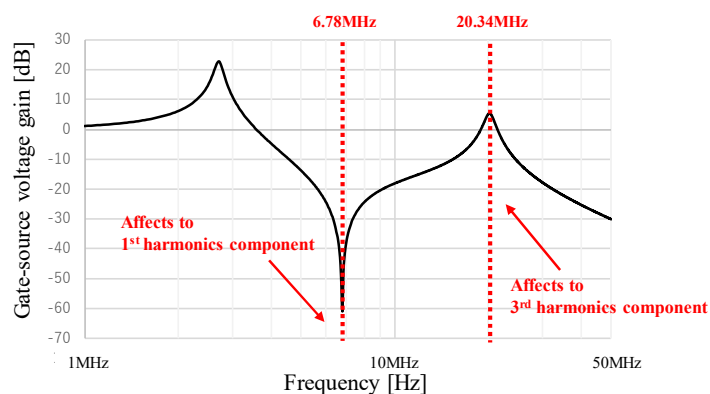


図 4.21 周波数トリプラー回路のゲート-ソース間電圧ゲインと周波数の関係

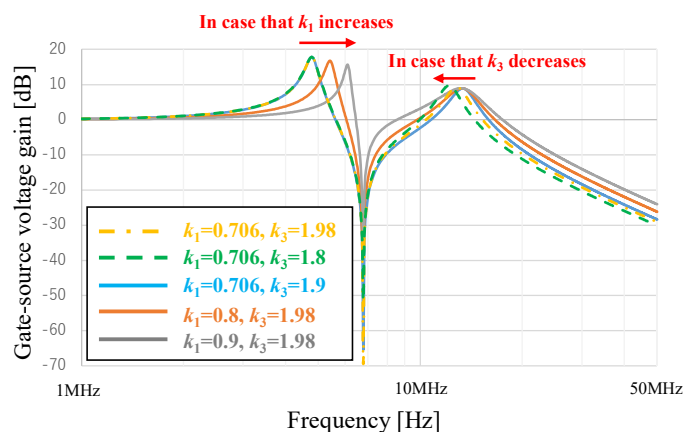


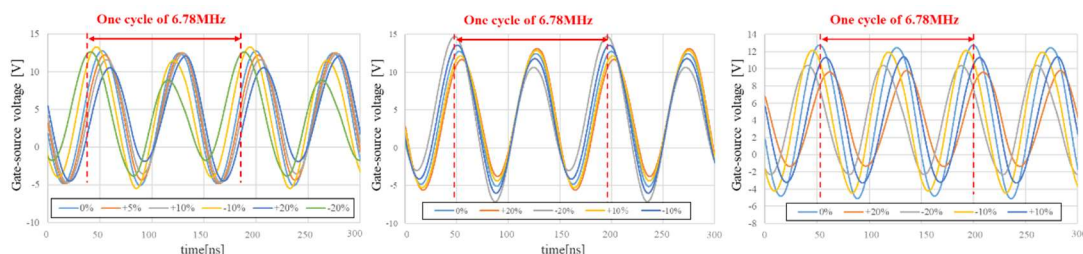
図 4.22 周波数係数 k_1 と k_3 の影響

4.4.6 周波数係数 k_1 および k_3 の影響

ここでは周波数ダブラーにおける周波数係数 k_1 と k_3 の影響を調査する。周波数係数 k_1 と k_3 の値を変化させたときのゲート-ソース間電圧ゲインの変化を図 4.22 に示す。図 4.22 に示通り、周波数係数 k_1 が大きくなると、低周波側の直列共振周波数が右側にシフトし、PWM 信号周波数 6.78 MHz に対するゲート-ソース間電圧ゲインが徐々に大きくなる。すなわち、基本波成分を十分に抑制するためには周波数係数 k_1 を低くする必要がある。また、周波数係数 k_3 が小さくなると、最大共振周波数が左側にシフトし、PWM 信号周波数 6.78 MHz に対するゲート-ソース間電圧ゲインが徐々に増加する。このシミュレーション例では $k_1=0.706$ および $k_3=1.98$ で周波数 6.78 MHz におけるゲート-ソース間電圧ゲインが最も抑えられる。したがって、周波数係数、6.78 MHz のゲート-ソース間電圧ゲインを抑えるために周波数係数 k_1 と k_3 は慎重に選択する必要がある。

4.4.7 受動部品のばらつきによる影響

周波数通倍ゲート駆動回路は共振現象を利用しているため、受動部品の値のわずかな変化に非常に敏感である。したがって、ここでは提案されたゲート駆動回路に対する受動部品のばらつきの影響を調査する。今回の調査では受動部品の値が最大±20%変動することを想定し、スイッチ S_M のゲート-ソース電圧波形の変化をシミュレーションにより評価する。図 4.23 は共振キャパシタ C_{r1} 、共振インダクタ L_{r1} および共振インダクタ L_{r2} が±20%変動した場合を示している。図 4.23 (a) において、共振キャパシタ C_{r1} のパラメータ変動が生じた場合、提案のゲート駆動回路では 6.78 MHz のゲート-ソース間電圧ゲインを十分に抑制できていない。共振キャパシタ C_{r1} の値が設計値から-20% ずれると、ゲート-ソース間電圧が大きく減衰している。共振インダクタ L_{r1} と共振インダクタ L_{r2} の値が設計値から±20%ずれた場合も同様の現象が起こる。図 4.23 (b) および (c) で示す通り、周波数 6.78 MHz のゲート-ソース間電圧ゲインが抑制できないため、ゲート-ソース間電圧波形は減衰し、目的とする正弦波波形ではなくなる。これらのシミュレーションからすべての受動部品の値変動により、ゲート-ソース間電圧で基本波成分を抑制できないことが確認された。共振キャパシタ C_{r1} のばらつきの影響は共振インダクタ L_{r1} および L_{r2} のばらつきの影響よりも大きいため、共振キャパシタ C_{r1} のばらつきはより重要な要素となる。したがって、共振ゲート駆動回路の実使用時には受動部品の調整が必須となる。



(a) 共振キャパシタ C_{r1} (b) 共振インダクタ L_{r1} (c) 共振インダクタ L_{r2}

図 4.23 受動素子のばらつきの影響

4.5 ゲート駆動回路の性能比較

4.5.1 ドライブ損失と発熱の比較

前述の設計方法に基づいて、4つの異なるゲート駆動回路間のドライブ損失を調査する。図 4.24 に示すハードスイッチング方式、正弦波共振方式、2石複合共振方式および周波数通倍方式のゲート駆動回路で比較し、それらの回路定数は表 4.5 に示す。このテストでは IXDN609SI, LM5114, NCP81074 および IXRFD615X2

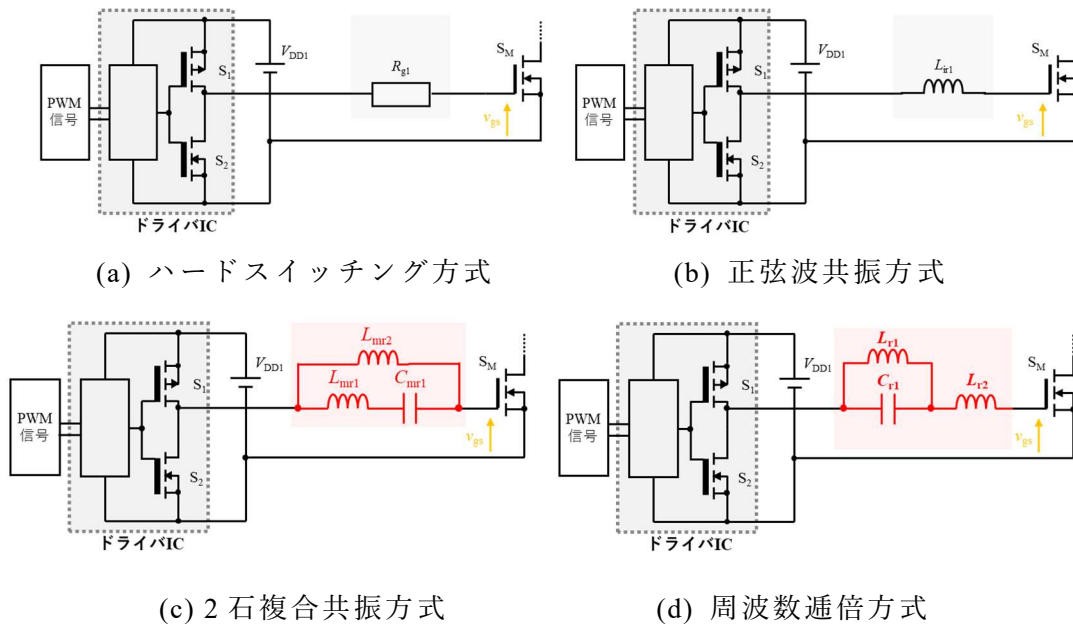


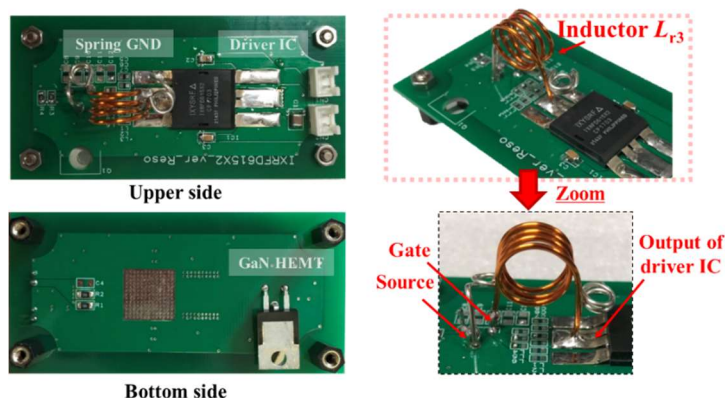
図 4.24 比較するゲート駆動回路

表 4.5 各ゲート駆動回路の回路定数

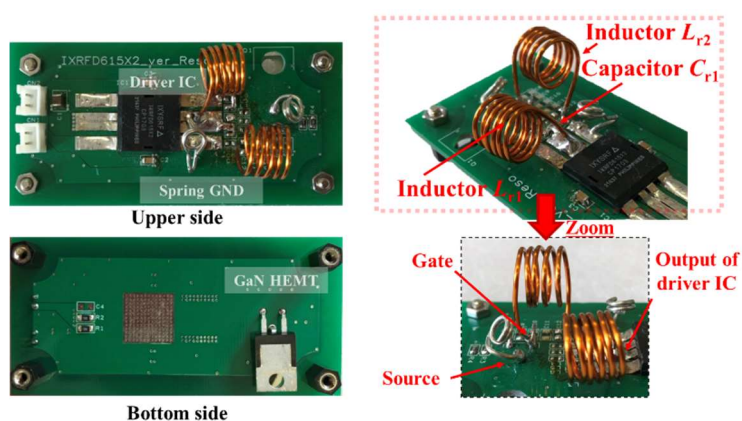
Parameter	Value	
Driving voltage(V_{DD1})	12	V
PWM signal frequency(f_{PWM1})	6.78	MHz
PWM signal frequency(f_{PWM1})	13.56	MHz
Resonant capacitor(C_{r1})	1.9	nF
Resonant capacitor(C_{mr1})	200	pF
Resonant inductor(L_{r1})	288.6	nH
Resonant inductor(L_{r2})	201.7	nH
Resonant inductor(L_{ir1})	156.7	nH
Resonant inductor(L_{mr1})	89	nH
Resonant inductor(L_{mr2})	137.17	nH
Gate resistor(R_{g1})	0.33	Ω

のドライバ IC を使用する。PWM 信号の周波数はハードスイッチング方式、正弦波共振方式、2石複合共振方式にて 13.56 MHz、周波数通倍方式で 6.78 MHz、を使用する。主スイッチ S_M には、Tranphorm 社製の TPH3212PS を使用する。

例として、IXRFD615X2 を使用した正弦波共振方式および周波数通倍方式のプロトタイプを図 4.25 に示す。共振ゲート駆動回路には市販のセラミックキャパシタを使用する。ドライブ損失の測定時、プローブ用のスプリング GND は FET



(a) 正弦波共振方式



(b) 周波数通倍方式

図 4.25 製作したプロトタイプ

のソースピンの近傍に配置され、短いグラウンドループにより明確な波形取得を目指す。試作機のゲート-ソース間電圧 v_{gs} とドライバ IC IXRFD615X2 の出力電圧 v_{DO} を図 4.26 に示す。各ゲート駆動回路の駆動電圧は 12 V で、ピークトゥピーク電圧は約 15 V である。ハードスイッチング方式、正弦波共振方式、2石複合共振方式には Duty 比 0.5 を使用する。また、周波数通倍回路では Duty 比 0.33 を使用する。図 4.26 ではハードスイッチング方式、正弦波共振方式、2石複合共振方式のゲート-ソース間電圧 v_{gs} の周波数は、ドライバ IC の出力電圧 v_{DO} と同じ周波数であり、これに対して周波数通倍方式のゲート-ソース間電圧 v_{gs} の周波数はドライバ IC の出力電圧周波数の 2 倍となっている。結果として、PWM 信号の 2 倍周波数が周波数通倍方式では達成されている。

ハードスイッチング方式、正弦波共振方式、2石台形波複合共振方式および周波数通倍方式のドライブ損失の比較を図 4.27 に示し、それらの測定機器と測定方法を図 4.28 に示す。入力電圧と入力電流の測定にはそれぞれ Tektronix 製のパッシブプローブ TPP0500B と電流プローブ TCP0030A を使用する。ドライブ損

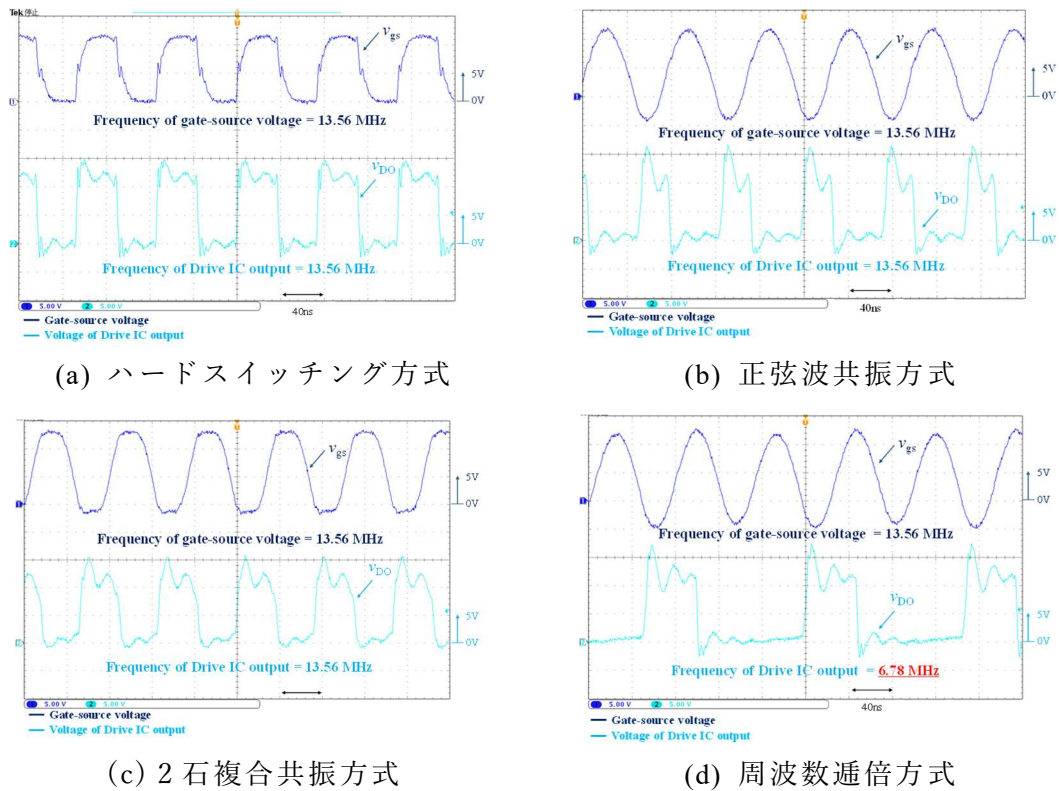


図 4.26 各ゲート駆動回路におけるドライバ IC の出力電圧波形と主スイッチのゲート-ソース間電圧波形

第 4 章 高周波駆動を実現する絶縁ゲート GaN HEMT 用駆動回路

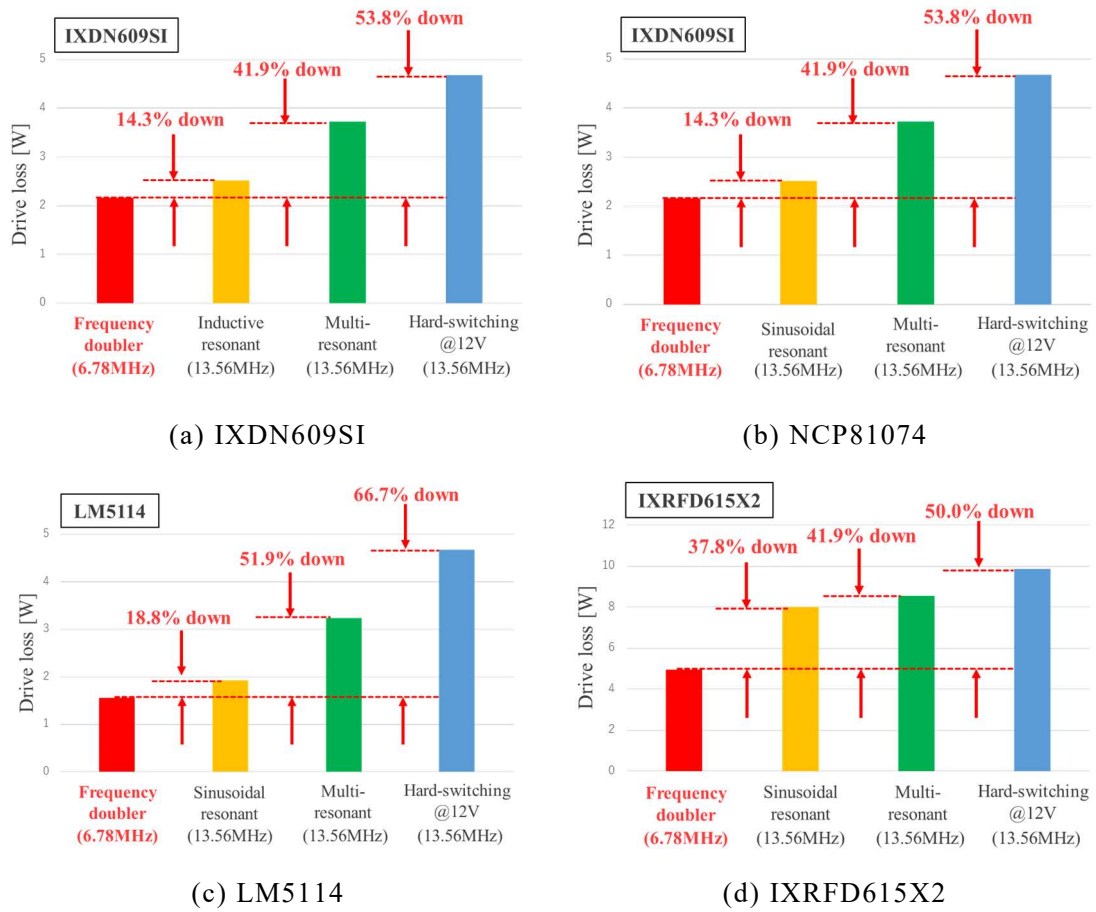


図 4.27 各ドライバ IC とゲート駆動回路損失

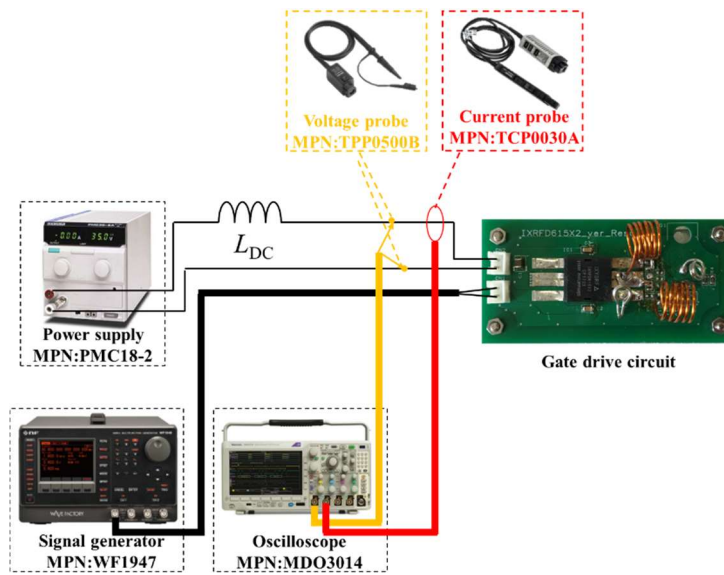


図 4.28 ドライバ損失測定回路

失はゲート駆動回路の入力電圧と入力電流を測定することによって計算する。 L_{DC} のインダクタンス値は定電流を保証するのに十分な大きさである。図 4.27 において、周波数逡倍手法は他のドライバ IC よりもドライブ損失が小さく、ハードスイッチング方式に対して 50%以上、2石複合共振方式に対して 41.9%以上、正弦波共振方式に対して 14.3%以上の損失低減を実現している。特に IXRFD615X2 はバッファ段の損失が大きいため、正弦波共振方式でも 37.8%の損失改善が可能となる。2石複合共振方式は正弦波共振方式と比較してドライブ損失は大きくなるが、ハードスイッチング方式と比較して、8.1%以上の損失低減が可能となる。

図 4.29 に IXDN609SI と IXRFD615X2 に周波数逡倍回路におけるゲート駆動回路の損失の内訳を示す。この内訳では共振キャパシタの損失は小さいため考慮しない。まず、IXDN609SI では内部ゲート抵抗の損失が大きく、インダクタとドライバ IC の損失が小さい。一方で IXRFD615X2 は、ドライバ IC の損失と内部ゲート抵抗の損失が大きく、インダクタの損失の割合が小さくなっている。したがって、ドライバ IC の内部損失が大きい場合は周波数逡倍方式による損失低減は有効である。

IXRFD615X2 を使用した各ゲート駆動回路の温度画像を図 4.30 に示す。ハードスイッチング方式ではドライバ IC の発熱が 97.43°C と最も大きくなる。誘導性共振方式や 2石複合共振は PWM 信号の周波数が 13.56MHz であるため、ハードスイッチング方式ほどではないが 70°C~80°C までドライバ IC の温度上昇が確認できる。一方で、周波数逡倍回路ではドライバ IC 内部の損失が大幅に削減されるため、ドライバ IC の温度上昇も低減されている。

各ドライバ IC とゲート駆動回路の温度比較を図 4.31 に示す。この比較から周波数逡倍回路はすべてのドライバ IC で発熱を低減でき、IXDN609SI, NCP81074, LM5114 のにおいてもその発熱は他のゲート駆動回路に比べて 10°C 以上低減される。これはドライバ IC が小さく熱が拡散しにくいいため、周波数逡倍手法の効果が顕著に表れたのだと考えられる。以上から、2石複合共振回路はハードスイッチング方式よりもドライブ損失が低減でき、周波数逡倍回路は他の 3 方式よりもドライブ損失を低減できる上、発熱も大きく抑制できる。

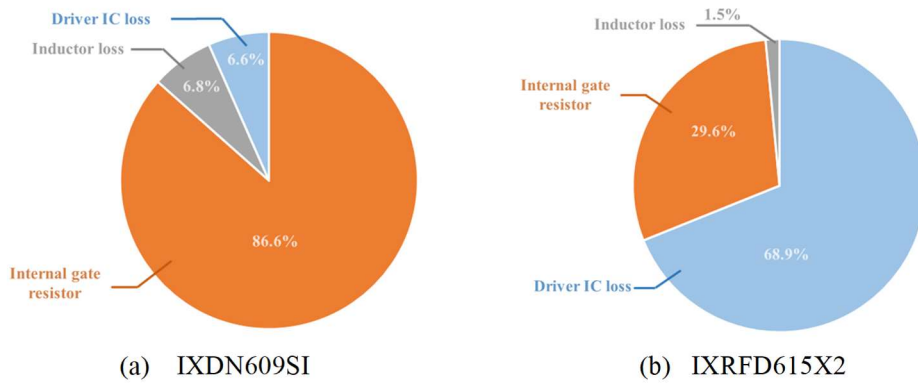


図 4.29 各ドライバ IC とゲート駆動回路の温度比較

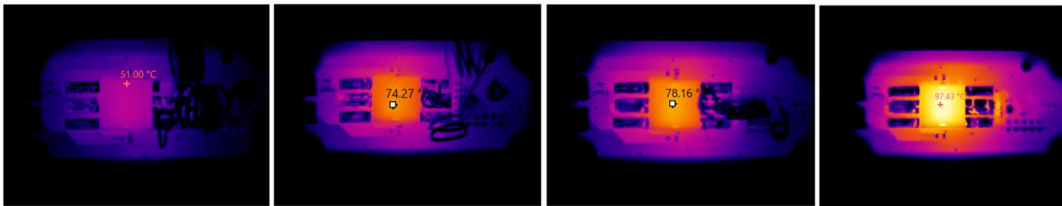


図 4.30 IXRFD615X2 を使用した各ゲート駆動回路の温度画像
(右からハードスイッチング方式、2石複合共振方式、正弦波共振方式、周波数逡倍方式)

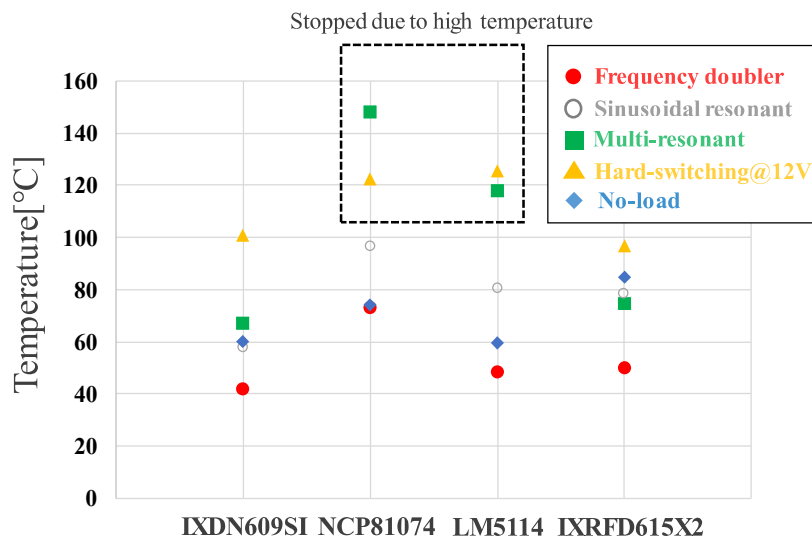


図 4.31 各ドライバ IC とゲート駆動回路の温度比較

4.5.2 E 級インバータでの効率比較と損失比較

本論文で提案する共振形ゲート駆動回路を E 級インバータに搭載し、その動作を評価する。E 級インバータのプロトタイプとその回路図を図 4.32 と図 4.33 に、実験回路定数を表 4.6 に示す。この実験ではドライバ IC:IXRFD615X2 と GaN HEMT:TPH3212PS を使用する。本比較では正弦波共振方式と 2 石複合共振方式の E 級インバータの効率比較を実施し、ゲート-ソース間電圧の正弦波駆動と台形波駆動の違いを比較する。その後、2 石複合共振方式と周波数通倍方式の効率比較を行う。

2 石正弦波複合共振方式におけるスイッチ S_M のゲート-ソース間電圧 v_{gs} とドレイン-ソース間電圧 v_{ds} および E 級インバータの出力電圧 v_{OUT} を図 4.34 に示す。出力電力は 50W である。図 4.34 の波形からスイッチングによるノイズが多少重畳しているものの、主スイッチのゲート-ソース間電圧 v_{gs} に台形波電圧が確認できる。したがって、2 石複合共振方式で E 級インバータを駆動できる。

図 4.36 に正弦波共振方式と 2 石複合共振方式の E 級インバータにおける効率比較を示す。ここではドライブ損失は含めない。正弦波電圧駆動から台形波電圧駆動への変更だけで、1.38%の効率改善が確認できる。したがって、ゲート-ソース間電圧波形は主回路効率に大きな影響を与える。

次に E 級インバータに周波数通倍方式を搭載した波形を図 4.36 に示す。この図からゲート-ソース間電圧 v_{gs} に正弦波電圧が確認できる。また、先ほどの結果よりゲート-ソース間電圧が正弦波の場合、2 石複合共振方式と比較して効率が 1.38%低減するが、ゲート駆動損失が大きい本実験の場合、ドライバ損失を含めると 2.24W 程度の損失低減が可能となる。したがって、軽負荷時などは 2 石複合共振方式や周波数通倍方式を組み合わせるなどすれば、軽負荷から重負荷まで広範囲で効率改善が達成できると考えられる。

以上から、2 石複合共振方式と周波数通倍方式は高周波インバータの駆動ができ、2 石共振共振方式では主回路を高効率で駆動でき、周波数通倍方式はドライバ損失と発熱の低減が可能となる。

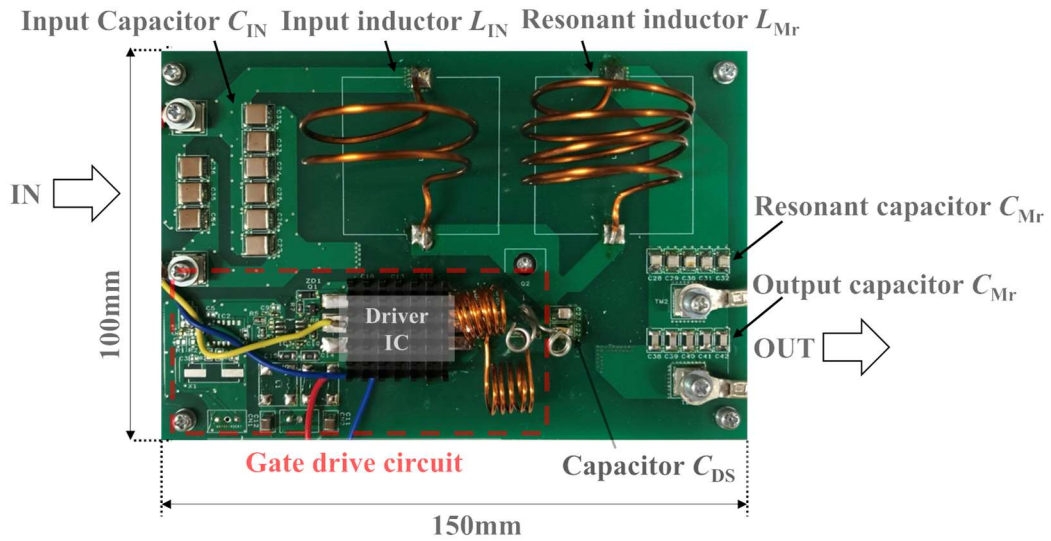


図 4.32 試作した E 級インバータ

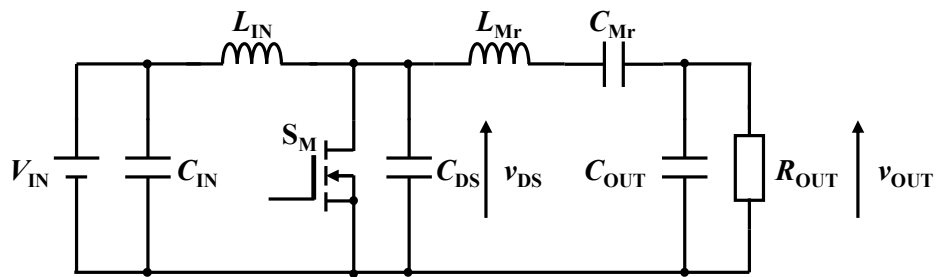


図 4.33 E 級インバータの回路図

表 4.6 E 級インバータの回路定数

Parameter	Value	
Input voltage(V_{IN})	50	V
Resonant inductor(L_{Mr})	472.5	nH
Input capacitor(L_{IN})	199.2	nH
Input inductor(C_{IN})	8.67	nF
Capacitor(C_{DS})	96.1	pF
Resonant capacitor(C_{Mr})	5.077	nF
Output capacitor(C_{OUT})	455.2	pF
Load(R_{OUT})	50	W

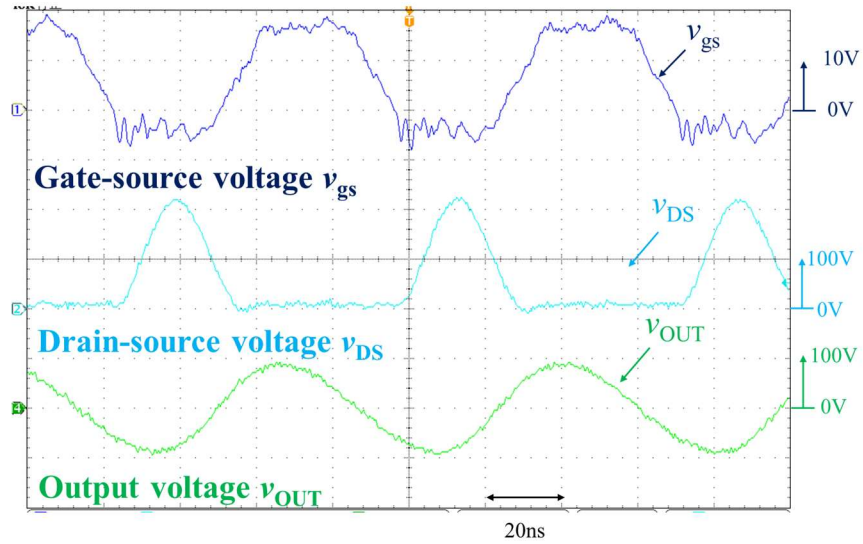


図 4.34 2石複合共振方式

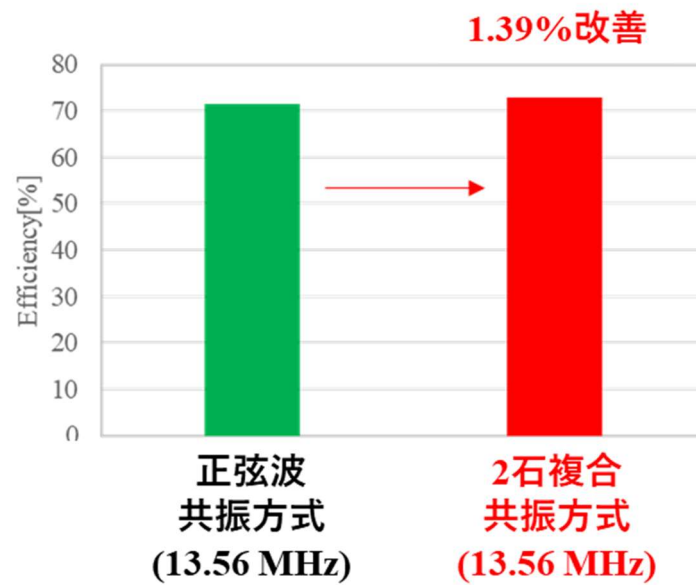


図 4.35 正弦波共振方式と 2石複合共振方式の効率比較

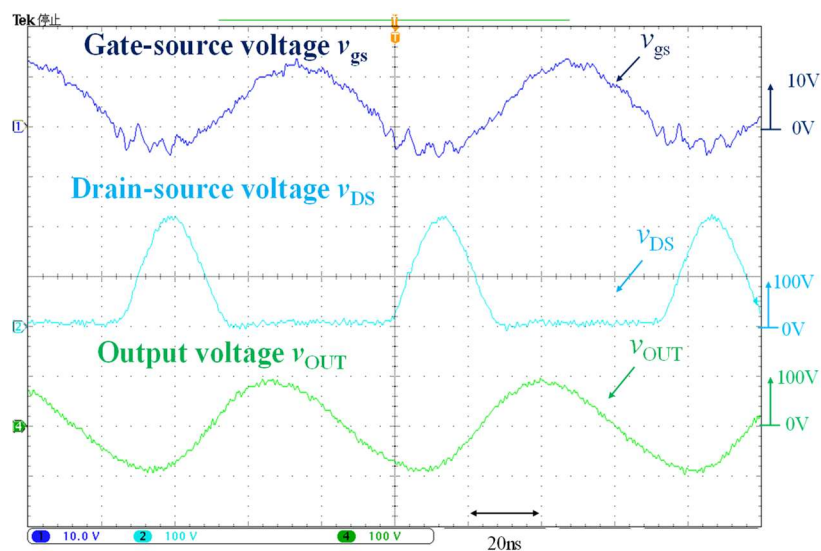


図 4.36 周波数通倍方式

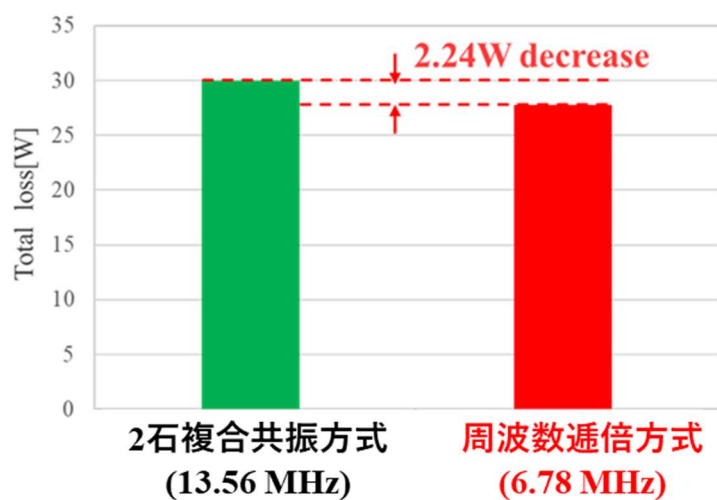


図 4.37 2石複合共振方式と周波数通倍方式の効率比較

4.6 まとめ

本章ではスイッチング周波数の基本波成分，2次高調波および3次高調波に着目して2石複合共振形ゲート駆動回路と周波数逡倍ゲート駆動回路を提案した。まず，スイッチング周波数の基本波成分と3次高調波成分を利用した2石複合共振形ゲート駆動回路を提案し，その設計手法を述べた。また，設計手法の妥当性はシミュレーションにて確認した。シミュレーションでは提案ゲート駆動回路のスイッチがソフトスイッチング動作することを確認し，また主スイッチ S_M のゲート-ソース間にて台形波電圧も生成された。

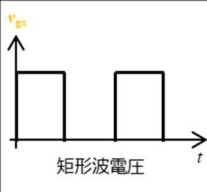
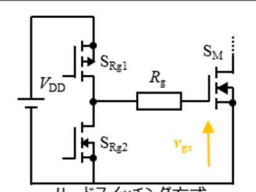
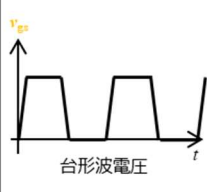
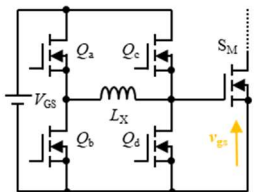

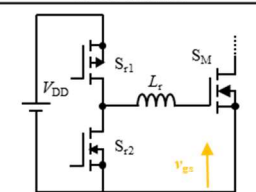
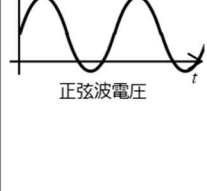
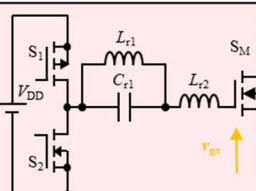
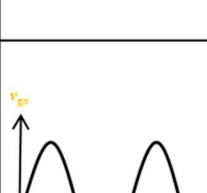
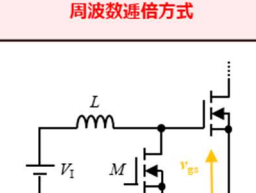
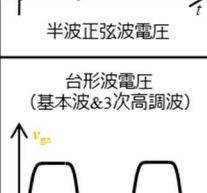
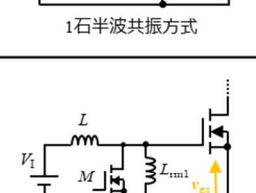
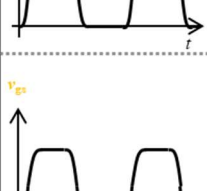
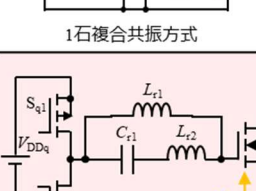
次に，スイッチング周波数（制御信号周波数）の2次高調波成分を利用した周波数逡倍ゲート駆動回路を提案した。ここでは周波数逡倍ゲート駆動回路の重要性を示すために，ドライバ IC 内部の損失を実験的に調査した。大容量用ドライバ IC はその内部損失が大きいため，ゲート駆動回路の損失低減には高周波駆動において内部損失の低減が必要である。続いて，周波数逡倍ゲート駆動回路の概念と設計手法を説明した。その後，シミュレーションにて周波数ダブラー回路と周波数トリプラー回路の動作確認を行い，PWM 信号周波数の2倍および3倍の周波数にゲート-ソース間電圧波形がなっていることが確認できた。また，提案ゲート駆動回路内部のスイッチが低スイッチング損失であることも示した。

2つ目に，2石複合共振形ゲート駆動回路，周波数逡倍ゲート駆動回路，ハードスイッチング方式のゲート駆動回路と正弦波共振方式のゲート駆動回路をドライブ損失の観点から比較した。2石複合共振形ゲート駆動回路はハードスイッチング方式のゲート駆動回路と比較してドライブ損失が小さくなる。周波数逡倍ゲート駆動回路は4方式の中で最もドライバ損失と発熱を低減できる。したがって，ゲート駆動回路のドライバ損失や発熱が問題となる場合，周波数逡倍ゲート駆動回路は効果的である。

最後に，2石複合共振形ゲート駆動回路と周波数逡倍ゲート駆動回路をE級インバータに実装し，2石複合共振ゲート駆動回路と周波数逡倍ゲート駆動回路の動作確認を行った。2石複合共振形ゲート駆動回路は正弦波共振形ゲート駆動回路と比較して，効率を1.38%改善できる。また，周波数逡倍ゲート駆動回路は軽負荷時にドライバ損失を低減できるため，軽負荷時の効率改善が可能となる。

以上より，両提案ゲート回路の有用性を証明できた。これらの結果を表4.7にまとめておく。

表 4.7 各共振ゲート駆動回路の分類

駆動波形	回路トポロジーの例	Ref.	メリット	デメリット
 <p>矩形波電圧</p>	 <p>ハードスイッチング方式</p>	[42] [46]	<ul style="list-style-type: none"> -部品点数が少ない -シンプル -使いやすい -高速応答 -高速スイッチング -可変Duty -起動シーケンス不要 -プッシュプル構成 	-高周波でドライブ損失大
 <p>台形波電圧</p>	 <p>部分共振方式</p>	[47] [62]	<ul style="list-style-type: none"> -高周波でドライブ損失小 -ゲート-ソース電圧がクランプ -起動シーケンス不要 -ソフトスイッチング -高速応答 -可変Duty 	<ul style="list-style-type: none"> -追加のMOSFETやダイオードが必要 -多数の制御信号
 <p>正弦波電圧</p>	 <p>2石正弦波共振方式</p>	[63] [66]	<ul style="list-style-type: none"> -部品点数が少ない -高周波でドライブ損失小 -起動シーケンス不要 -ソフトスイッチング -シンプル -単一のゲート駆動電源でゲート-ソース間に正負電圧を生成 	<ul style="list-style-type: none"> -正弦波駆動のため主スイッチ S_M の損失大 -部品の値ばらつきに弱い -共振回路のため応答が遅い -固定Duty
 <p>正弦波電圧</p>	 <p>周波数遅倍方式</p>	<p>共振回路</p>	<ul style="list-style-type: none"> -高周波でドライブ損失小 -起動シーケンス不要 -ソフトスイッチング -プッシュプル構成 -単一のゲート駆動電源でゲート-ソース間に正負電圧を生成 -PWM信号周波数を2倍にすることでドライバーIC内部のバッファ段での損失を低減 	<ul style="list-style-type: none"> -正弦波駆動のため主スイッチ S_M の損失大 -部品の値ばらつきに弱い -共振回路のため応答が遅い -固定Duty
 <p>半波正弦波電圧</p>	 <p>1石半波共振方式</p>		[67] [68]	<ul style="list-style-type: none"> -部品点数が少ない -ソフトスイッチング -シンプル -1石
 <p>台形波電圧 (基本波&3次高調波)</p>	 <p>1石複合共振方式</p>	[69] [71]	<ul style="list-style-type: none"> -部品点数が少ない -ゲート-ソース電圧がクランプ -高周波でドライブ損失小 -ソフトスイッチング -シンプル -1石 -正弦波駆動より高速スイッチング 	<ul style="list-style-type: none"> -部品の値ばらつきに弱い -共振回路のため応答が遅い -起動シーケンス必要 -固定Duty
 <p>正弦波電圧</p>	 <p>2石複合共振方式</p>	<p>共振回路</p>	<ul style="list-style-type: none"> -高周波でドライブ損失小 -ゲート-ソース電圧がクランプ -起動シーケンス不要 -ソフトスイッチング -プッシュプル構成 -単一のゲート駆動電源でゲート-ソース間に正負電圧を生成 -正弦波駆動より高速スイッチング 	<ul style="list-style-type: none"> -部品の値ばらつきに弱い -共振回路のため応答が遅い -固定Duty

第5章 結言

本論文では、スイッチング電源の低損失化や高周波化に重要な非絶縁ゲート GaN HEMT (GaN GIT) と絶縁ゲート GaN HEMT のゲート駆動技術について議論した。本研究における要点と成果を各章ごとにまとめて総括とする。

第1章ではスイッチング電源がありとあらゆる電力機器に搭載されており、高電力密度化の要求があることを述べた。この目標達成には高周波化による受動素子の小型軽量化だけでなく、WBG半導体である GaN HEMT の活用も必須である。本論文では半導体電力装置のエッチング装置を一例として取り上げ、スイッチング電源の大電力化および高周波化に向けた諸問題を述べた。特に高周波スイッチングではゲート駆動回路技術も根幹要素になると説明した。

第2章では縦型素子の MOSFET と横型素子の GaN HEMT の違い述べた。GaN HEMT は横型素子かつ 2DEG を利用しているため、Si MOSFET や SiC MOSFET と比較して高速スイッチング可能である。次に、一般的な絶縁ゲートスイッチング素子のゲート駆動技術およびその周辺技術について説明した。その後、非絶縁ゲートおよび絶縁ゲート GaN HEMT のゲート駆動回路に言及し、一般的なゲート駆動回路と、現在まで提案されているゲート駆動回路の課題を述べた。最後には、これら課題を解決するためにスイッチング周波数の基本波成分と高調波成分に着目する意図を述べ、本論文で提案する非絶縁ゲート GaN HEMT 用駆動回路 (GaN GIT) と絶縁ゲート GaN HEMT 用駆動回路の位置づけを述べた。

第3章では低損失駆動を実現する非絶縁ゲート GaN HEMT の GaN GIT に適したゲート駆動回路を提案し、その有用性を述べた。

3.1 節ではインパルス波形に含まれる基本波成分と高調波成分に着目し、低損失駆動を実現する GaN GIT に適したゲート駆動回路を提案した。ゲートキャパシタを有するゲート駆動回路ではこのゲートキャパシタにて、GaN GIT のゲート-ソース間にインパルス電圧と電流を印加していたが、動作モードで示した通り、提案回路ではシンプルにバッファ部を p 型 MOSFET, ゲート回路を 0Ω にて構成し、ゲートキャパシタと同様の効果を発揮させることができる。提案回路では高速ターンオンを実現するために、ゲート抵抗 R_{g1} の決定方法が重要であり、3.1 節ではこの決定方法も述べ、実際にドレイン-ソース間電圧を比較して、その有効性を示した。また、ドライブ損失も計算し、計算式内にゲートキャパシタの値が含まれていないため、低損失ドライブが可能であると示唆された。

第5章 結言

3.2 節では提案ゲート駆動回路とゲートキャパシタ有するゲート駆動回路を各視点から比較し、その有用性を証明した。提案ゲート駆動回路はドライブ損失をゲートキャパシタ型ゲート駆動回路と比較して最大 50% 削減できる。また、ゲートキャパシタがないため、RC の時定数の影響がなく、長期間のオフ期間が続いても安定したオフ電圧を維持できる。さらに、ハードスイッチング時における誤点呼耐性の調査では提案ゲート駆動回路は低周波側のインピーダンスが小さく、位相の回り方が緩やかであるため、ゲート-ソース間電圧の持ち上がりが抑制可能であることを実験より確認した。最後に降圧コンバータに搭載して、その逆導通損失を比較した。条件を揃えるため、ターンオン時間とターンオフ時間をほぼ同じにし、入出力の効率から逆導通損失の影響を確認した結果、提案回路は最も良好な結果を示し、従来回路と比較して最大 9.2% の逆導通損失低減が可能であった。

以上から、本論文で提案するゲート駆動回路は非絶縁ゲート GaN HEMT に対して有効であると結論づける。

第4章では高周波駆動を実現する絶縁ゲート GaN HEMT 用駆動回路を提案し、その有用性を述べた。

4.1 節では高周波コンバータに必要な駆動技術に言及し、それらの技術がゲート駆動回路にも適用されている旨を述べた。また、高周波ではドライバ IC の損失と発熱の考慮が必要であると実験より明らかにした。

4.2 節では複合共振ネットワークについて述べ、それらと入力容量によって構成される共振器にて絶縁ゲート GaN HEMT 用駆動回路を提案すると述べた。

4.3 節ではスイッチング周波数の基本波成分と 3 次高調波成分に着目したゲート駆動回路を提案した。まず、提案するゲート駆動回路の原理を述べ、基本波成分と 3 次高調波成分にて、主スイッチのゲート-ソース間に台形波電圧を生成する旨を説明した。その後、提案ゲート駆動回路の各パラメータ導出方法を計算し、その妥当性はシミュレーションで確認した。また、提案ゲート回路の受動素子の値がばらついた場合のシミュレーションも実施し、実使用では部品ばらつきに低く抑えなければならないことを明らかにした。

4.4 節ではスイッチング周波数（厳密には制御信号の周波数）に着目したゲート駆動を提案した。まず、提案するゲート駆動回路の原理を述べ、基本波成分を減衰し、2 次高調波成分あるいは 3 次高調波成分を利用して、ゲート-ソース間に制御信号の逡倍周波数の正弦波電圧を生成する旨を述べた。その後、周波数逡倍ゲート駆動回路の各パラメータの導出方法を明らかにした。シミュレーションにて、その導出方法の妥当性を、周波数ダブラー回路と周波数トリプラー回路によって確認し、主スイッチのゲート-ソース間に制御信号周波数が逡倍された正弦波電圧が出力されていることを確認した。また、駆動回路内の受動素子の値ばらつき

第5章 結言

シミュレーションも行い、キャパシタのばらつきが提案回路に大きく影響を与える旨を述べた。

4.5 節では 2 石複合共振形ゲート駆動回路と周波数逡倍ゲート駆動回路を従来の共振形ゲート駆動回路と比較して、まずドライブ損失や発熱の観点から議論した。その結果、周波数逡倍ゲート駆動回路は最もドライブ損失が低減でき、ドライバ IC で発熱が問題となった際にも有効的な手法であると確認できた。また、2 石複合共振形ゲート駆動回路と周波数逡倍ゲート駆動回路を実際の E 級インバータに搭載し、その動作を確認した。また、ここで 2 石複合共振ゲート駆動回路と正弦波共振形ゲート駆動回路の主回路電力変換効率を比較した結果、2 石複合共振ゲート駆動回路が正弦波共振形ゲート駆動回路と比較して、1.38%の効率改善が可能となった

以上から、2 石複合共振形ゲート駆動回路は主回路効率の改善に、周波数逡倍ゲート駆動回路はドライブ損失やドライバ IC 発熱が問題となる場合に有効である。

今後、3 章と 4 章の結果から次の展開や応用が期待される。

第 3 章ではゲート-ソース間にダイオード特性を有する GaN GIT の高効率動作をゲートキャパシタレスで実現し、ドライブ損失を 50%低減した。このため、提案ゲート駆動回路は集積化し易くなり、今後は GaN GIT と提案ゲート駆動回路が一体化した IC も研究テーマになり得る。

第 4 章で提案したゲート駆動回路ではゲート-ソース間波形に台形波を生成できるゲート駆動回路と周波数を逡倍するゲート駆動回路を提案している。今後このゲート駆動回路をハイブリッド駆動させることで、周波数逡倍手法でゲート駆動損失も低減し、スイッチング台形波駆動で主回路損失も低減できるゲート駆動回路に応用できる。これにより、さらなる高周波ゲート駆動回路の技術発展が期待される。

将来、本研究で得られた技術や見識を活かし、上記で説明した事項について研究を進めることで、高周波スイッチング電源の信頼性向上や性能向上ができる。また、本研究を促進していくことで、高周波スイッチング電源が高効率で駆動できるため、持続可能な社会に大きく貢献すると考えられる。最後に、我が国における高周波スイッチング電源の発展に対し、本研究の成果が一助となることを期待する。

参考文献

- (1) スイッチング電源技術用語辞典編集委員会, “スイッチング電源技術用語辞典,” 日刊工業新聞社 (2003)
- (2) 山本 真義, 佐藤 伸二, 中岡 睦雄, “マルチレベルインバータ用低損失電圧クランプスナバ回路の実験的評価,” 電気学会産業応用部門誌, Vol. 123, No.9, pp. 995-1003 (2003)
- (3) 野下裕市, 伊東淳一, “12 スイッチで構成する 5 レベル PWM 整流器の高周波電源下での動作検証,” 電気学会産業応用部門誌, Vol. 132, No. 1, pp. 35-41 (2012)
- (4) 川島 崇宏, 山本 真義, “昇圧比調整を用いたトランスリンク形マルチフェーズ方式昇圧チョッパ回路の小型化,” 電気学会産業応用部門誌, Vol. 133, No. 4, pp. 428-435 (2013)
- (5) Jun Imaoka, Masayoshi Yamamoto, Takahiro Kawashima, “High-Power-Density Three-phase Interleaved Boost Converter with a Novel Coupled Inductor,” IEEJ Journal of Industry Applications, Vol. 4, Issue 1, pp. 20-30(2015)
- (6) 北村 達也, 山田 正樹, 原田 茂樹, 小山 正人, “SiC を用いた高パワー密度インターリーブ型 DC/DC コンバータの開発”, 電気学会産業応用部門誌, Vol. 134, No. 11, pp. 956-961 (2014)
- (7) Huang, X., Lee, F.C., Li, Q., Du, W., “High Frequency High Efficiency GaN-Based Interleaved CRM Bi-directional Buck-Boost Converter with Inverse Coupled Inductor,” IEEE Transaction on Power Electronics, Vol. 31, Issue 6, pp. 4343-4354 (2015)
- (8) 岩室 憲幸ほか, “次世代パワー半導体の開発・評価と実用化,” エヌ・ティ・エス (2022)
- (9) Xiaofeng Ding, Yang Zhou, Jiawei Cheng, “A review of gallium nitride power device and its applications in motor drive,” CES Transactions on Electrical Machines and Systems, Vol. 3, Issue 1, pp. 54-64(2019)
- (10) 山川 聡, “SiC パワーデバイスの応用”, 応用物理, Vol. 85, No. 11, pp. 941-946 (2016)
- (11) B. Jayant Baliga, “Semiconductors for high-voltage, vertical channel field-effect transistors,” Journal of Applied Physics, Vol. 53, Issue 3, pp.1759-1764(1982)
- (12) B. Jayant Baliga, “Power Semiconductor Device Figure of Merit for High-Frequency Applications,” in IEEE Electron Device Letters, Vol. 10, No. 10, pp. 455-457(1989)
- (13) Il-Jung Kim, S. Matsumoto, T. Sakai and T. Yachi, “New power device figure of merit for high-frequency applications,” Proceedings of International Symposium on

参考文献

- Power Semiconductor Devices and IC's(ISPSD), pp. 309-314(1995)
- (14) A. Q. Huang, "New unipolar switching power device figures of merit, " in IEEE Electron Device Letters, vol. 25, no. 5, pp. 298-301(2004)
- (15) J. Azurza Anderson, G. Zulauf, J. W. Kolar and G. Deboy, "New Figure-of-Merit Combining Semiconductor and Multi-Level Converter Properties, " in IEEE Open Journal of Power Electronics, vol. 1, pp. 322-338(2020)
- (16) Matteo Meneghini, Carlo De Santi, Idriss Abid, Matteo Buffolo, Marcello Cioni, Riyaz Abdul Khadar, Luca Nela, Nicolò Zagni, Alessandro Chini, Farid Medjdoub, Gaudenzio Meneghesso, Giovanni Verzellesi, Enrico Zanoni, Elison Matioli, "GaN-based power devices: Physics, reliability, and perspectives, " Journal of Applied Physics, Vol. 130, Issue 18 (2021)
- (17) Fumiya Hattori, Jun Imaoka, Masayoshi Yamamoto and Mitsuru Masuda, "Fundamental Experiment of 3-phase Electric Resonant Coupling Wireless Power Transfer, " International Conference on Renewable Energy Research and Applications (ICRERA), pp. 1417-1422 (2018)
- (18) 株式会社ダイヘン, "NEWS RELEASE," [Online]. Available:
https://www.daihen.co.jp/newinfo_2013/pdf/1202AVANCER_13MHz%20pulse.pdf
- (19) 東京エレクトロン株式会社, "2022 年サステナビリティレポート, " [Online]. Available:
https://www.tel.co.jp/sustainability/report/hq95qj00000005xy-att/sr2022_all.pdf
- (20) Taiwan Semiconductor Manufacturing Company, Ltd., "TSMC 2021 Sustainability Report, " [Online]. Available:
https://esg.tsmc.com/download/file/2021_sustainabilityReport/english/e-all.pdf
- (21) 岡 徹ほか, "縦型 GaN パワーデバイス実現に向けた技術開発, " 豊田合成技報, Vol. 57, pp. 34-39(2015)
- (22) Vrej Barkhordarian, "Power MOSFET Basics, " Infineon Technologies AG, [Online]. Available:
<https://www.infineon.com/dgdl/mosfet.pdf?fileId=5546d462533600a4015357444e913f4f>
- (23) 山崎 浩, "よくわかるパワーMOSFET/IGBT 入門, " 日刊工業新聞社 (2009)
- (24) Won-suk Choi and Dong-wook Kim, "New PowerTrench® MOSFET with Shielded Gate Technology Increases System Efficiency and Power Density in Synchronous Rectification Applications," ON Semiconductor Corp., [Online]. Available:
<https://www.onsemi.jp/pub/collateral/an-6099jp.pdf>
- (25) Alex Lidow, Johan Strydom, Michael de Rooij, David Reusch, "GaN Transistors for Efficient Power Conversion SECOND EDITION, " John Wiley & Sons Ltd. (2015)

- (26) Saleem Hamady, F. Morancho, B. Beydoun, P. Austin, M. Gavelle, “Normally-Off AlGaIn/GaN HEMT using fluorine implantation below the channel,” Proceedings of the Symposium de Génie Electrique (SGE), hal-01955720 (2014).
- (27) 引田正洋, 柳原学, 上本康裕, 上田哲三, 田中毅, 上田大輔, “GaIn パワーデバイス,” Panasonic Technical Journal, Vol.55, No.2, pp.21-25 (2009)
- (28) Robert H. Caverly, Nikolai V. Drozdovski and Michael J. Quinn, “Gallium Nitride-based Microwave and RF Control Devices,” Microwave Journal, pp.112-124 (2001)
- (29) Tom Bonifield, “Enabling high voltage signal isolation quality and reliability,” Texas Instruments Inc., [Online]. Available: https://www.ti.com/lit/wp/sszy028/sszy028.pdf?HQS=app-null-null-pwrbrand_isolation_2q22-whip-whip-ww&ts=1684663802390
- (30) 一般社団法人電気学会, “電気専門用語集 (WEB 版),” [Online]. Available: https://jec-ieee.org/jec_ev/New_Yougo_Teigi.php?yougo_no=3.01&yougo_shuu_no=9
- (31) 平地克也, “ソフトスイッチングの種類と定義”, 平地研究室技術メモ, [Online]. Available: <http://hirachi.cocolog-nifty.com/kh/files/20150925-1.pdf>
- (32) Eric Persson, “CoolGaIn™ application note,” Neubiberg, Germany, Infineon Technologies, Application Note, 2021. [Online]. Available: https://www.infineon.com/dgdl/Infineon-ApplicationNote_CoolGaIn_600V_emode_HEMTs-AN-v01_00-EN.pdf
- (33) Y. Hatakenaka, K. Umetani, M. Ishihara and E. Hiraki, “Optimization of Common Source Inductance and Gate-Drain Capacitance for Reducing Gate Voltage Fluctuation after Turn-off Transition,” IEEE Energy Conversion Congress and Exposition (ECCE), pp. 3155-3162(2022)
- (34) K. Umetani, K. Yagyu and E. Hiraki, “A design guideline of parasitic inductance for preventing oscillatory false triggering of fast switching GaIn-FET,” IEEE Trans. Electr. Electron. Eng., vol. 11, no. S2, pp. S84-S90(2016)
- (35) Y. Ohnuma, S. Miyawaki, F. Hattori and M. Yamamoto, “Experimental Evaluation of Inverter System Consisting of 4-parallel GaIn Devices Unit,” International Power Electronics Conference (IPEC), pp. 2738-2742(2018)
- (36) R. Zhang, J. P. Kozak, M. Xiao, J. Liu and Y. Zhang, “Surge-Energy and Overvoltage Ruggedness of P-Gate GaIn HEMTs,” in IEEE Transactions on Power Electronics, vol. 35, no. 12, pp. 13409-13419(2020)
- (37) N. Nosaka, W. Okada, T. Uematsu and T. Zaitso, “Novel GaIn GIT Gate Driving Technique Using Two-Step Turn-Off Fashion,” IEEE Energy Conversion Congress and Exposition (ECCE), pp. 3131-3138(2020)

参考文献

- (38) Diogo Varajao, Bernhard Zojer, "Gate drive solutions for CoolGaN™ GIT HEMTs," Neubiberg, Germany, Infineon Technologies, White Paper, 2021. [Online]. Available:
https://www.infineon.com/dgdl/Infineon-Gallium_nitride_Gate_drive_solutions_for_CoolGaN_600V_HEMTs-Whitepaper-v01_00-EN.pdf?fileId=5546d462766cbe86017684b68afc5360&da=t
- (39) H. Umegami, F. Hattori, Y. Nozaki, M. Yamamoto and O. Machida, "A Novel High-Efficiency Gate Drive Circuit for Normally Off-Type GaN FET," in IEEE Transactions on Industry Applications, vol. 50, no. 1, pp. 593-599(2014)
- (40) Fumiya Hattori and Masayoshi Yamamoto, "Proposal and analysis of gate drive circuit suitable for GaN-FET," Conference on IEEE Industrial Electronics Society, pp. 685-690(2012)
- (41) D. Bortis, O. Knecht, D. Neumayr and J. W. Kolar, "Comprehensive evaluation of GaN GIT in low- and high-frequency bridge leg applications," International Power Electronics and Motion Control Conference (IPEMC), pp. 21-30(2016)
- (42) B. Sun, Z. Zhang and M. A. E. Andersen, "A Comparison Review of the Resonant Gate Driver in the Silicon MOSFET and the GaN Transistor Application," in IEEE Transactions on Industry Applications, vol. 55, no. 6, pp. 7776-7786(2019)
- (43) P. Anthony, N. McNeill and D. Holliday, "A First Approach to a Design Method for Resonant Gate Driver Architectures," in IEEE Transactions on Power Electronics, vol. 27, no. 8, pp. 3855-3868(2012)
- (44) S. H. Weinberg, "A novel lossless resonant MOSFET driver," IEEE Power Electronics Specialists Conference, vol.2, pp. 1003-1010(1992)
- (45) P. Dwane, D. O' Sullivan and M. G. Egan, "An assessment of resonant gate drive techniques for use in modern low power dc-dc converters," IEEE Applied Power Electronics Conference and Exposition, pp. 1572-1580 Vol. 3(2005)
- (46) B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin and a. E. Santi, "An Efficient High-Frequency Drive Circuit for GaN Power HFETs," in IEEE Transactions on Industry Applications, vol. 45, no. 2, pp. 843-853(2009)
- (47) W. A. Tabisz, P. Gradzki and F. C. Lee, "Zero-voltage-switched quasi-resonant buck and flyback converters-Experimental results at 10 MHz," IEEE Power Electronics Specialists Conference, pp. 404-413(1987)
- (48) H. Jedi, A. Ayachit and M. K. Kazimierzuk, "Resonant gate-drive circuit with reduced switching loss," IEEE Texas Power and Energy Conference (TPEC), pp. 1-6(2018)
- (49) I. D. de Vries, "A resonant power MOSFET/IGBT gate driver," IEEE Applied Power

- Electronics Conference and Exposition, pp. 179-185(2002)
- (50) N. M. Ellis, E. Sousa and R. Amirtharajah, "A Resonant Gate Driver with Variable Gain and a Capacitively Decoupled High-Side GaN-FET," IEEE Energy Conversion Congress and Exposition (ECCE), pp. 3793-3797(2020)
- (51) Y. Long, W. Zhang, B. Blalock, L. Tolbert and F. Wang, "A 10-MHz resonant gate driver design for LLC resonant DC-DC converters using GaN devices," IEEE Applied Power Electronics Conference and Exposition, pp. 2093-2097(2014)
- (52) A. Grekov, H. A. Mohammadpour, E. Santi and A. Mantooth, "Design considerations for half- and full-bridge resonant gate drive topologies," IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG), pp. 1-5(2013)
- (53) X. Zhou, Z. Liang and A. Huang, "A new resonant gate driver for switching loss reduction of high side switch in buck converter," IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1477-1481(2010)
- (54) 石垣 将紀, 藤田 英明, "低損失・高周波動作が可能な MOSFE 用共振形ゲートドライブ回路," 電気学会論文誌 D, Vol. 127, No. 10, pp. 1090-1096 (2007)
- (55) H. Fujita, "A Resonant Gate-Drive Circuit With Optically Isolated Control Signal and Power Supply for Fast-Switching and High-Voltage Power Semiconductor Devices," in IEEE Transactions on Power Electronics, vol. 28, no. 11, pp. 5423-5430(2013)
- (56) J. V. P. S. Chennu, R. Maheshwari and H. Li, "New Resonant Gate Driver Circuit for High-Frequency Application of Silicon Carbide MOSFETs," in IEEE Transactions on Industrial Electronics, vol. 64, no. 10, pp. 8277-8287(2017)
- (57) 野口 季彦, 矢島 哲志, 小松 宏禎, "次世代超高速スイッチング素子ゲート駆動回路の開発," 電気学会論文誌 D, Vol. 129, No. 1, pp. 46-52 (2009)
- (58) H. Yogi, X. Wei, H. Sekiya and T. Hikihara, "Design of 6.78 MHz SiC MOSFET Class-E Inverter with a Class- Φ High-Speed Driver," IEEE Energy Conversion Congress and Exposition (ECCE), pp. 375-379(2019)
- (59) Y. Sun, R. Sugano, X. Wei, T. Hikihara and H. Sekiya, "High-speed driver for SiC MOSFET based on class-E inverter," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1-4(2017)
- (60) T. Lopez, G. Sauerlaender, T. Duerbaum and T. Tolle, "A detailed analysis of a resonant gate driver for PWM applications," IEEE Applied Power Electronics Conference and Exposition(APEC), pp. 873-878(2003).
- (61) D. Maksimovic, "A MOS gate drive with resonant transitions," IEEE Power Electronics Specialists Conference, pp. 527-532(1991)

参考文献

- (62) Z. Zhang, J. Fu, Y. -F. Liu and P. C. Sen, "Adaptive Current Source Drivers for Efficiency Optimization of High-Frequency Synchronous Buck Converters, " in IEEE Transactions on Power Electronics, vol. 27, no. 5, pp. 2462-2470(2012)
- (63) B. Grzesik, Z. Kaczmarczyk and M. Kasprzak, "1 MHz sinusoidal gate driver for Class DE inverter operating with variable load and frequency, " Power Electronics Specialists Conference, pp. 817-822(2000)
- (64) S.-A. El-Hamamsy, "Design of high-efficiency RF Class-D power amplifier, " in IEEE Transactions on Power Electronics, vol. 9, no. 3, pp. 297-308(1994)
- (65) M. P. Theodoridis and S. V. Mollov, "Improved gate driver for a 13.56 MHz resonant inverter, " International Conference on Power Electronics, Machines and Drives (PEMD) pp. 143-148(2004)
- (66) M. P. Theodoridis and S. V. Mollov, "Robust MOSFET Driver for RF, Class-D Inverters, " in IEEE Transactions on Industrial Electronics, vol. 55, no. 2, pp. 731-740(2008)
- (67) H. Jedi, M. K. Kazimierczuk and A. Reatti, "A Current-Source Sinusoidal Gate Driver for High-Frequency Applications, " IEEE International Symposium on Circuits and Systems (ISCAS), 2018, pp. 1-5(2018)
- (68) J. Hu, A. D. Sagneri, J. M. Rivas, Y. Han, S. M. Davis and D. J. Perreault, "High-Frequency Resonant SEPIC Converter With Wide Input and Output Voltage Ranges, " in IEEE Transactions on Power Electronics, vol. 27, no. 1, pp. 189-200(2012)
- (69) J. M. Rivas, D. Jackson, O. Leitermann, A. D. Sagneri, Y. Han and D. J. Perreault, "Design considerations for very high frequency dc-dc converters, " IEEE Power Electronics Specialists Conference, pp. 1-11(2006)
- (70) H. Jedi, T. Salvatierra, A. Ayachit and M. K. Kazimierczuk, "High-Frequency Single-Switch ZVS Gate Driver Based on a Class Φ_2 Resonant Inverter, " in IEEE Transactions on Industrial Electronics, vol. 67, no. 6, pp. 4527-4535(2020)
- (71) R. C. N. Pilawa-Podgurski, A. D. Sagneri, J. M. Rivas, D. I. Anderson and D. J. Perreault, "Very-High-Frequency Resonant Boost Converters, " in IEEE Transactions on Power Electronics, vol. 24, no. 6, pp. 1654-1665(2009)
- (72) T. M. Andersen, S. K. Christensen, A. Knott and M. A. E. Andersen, "A VHF class E DC-DC converter with self-oscillating gate driver, " IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 885-891(2011)
- (73) M. P. Madsen, J. A. Pedersen, A. Knott and M. A. E. Andersen, "Self-oscillating resonant gate drive for resonant inverters and rectifiers composed solely of passive components, " IEEE Applied Power Electronics Conference and Exposition(APEC), pp. 2029-2035(2014)

参考文献

- (74) J. R. Warren, K. A. Rosowski and D. J. Perreault, "Transistor Selection and Design of a VHF DC-DC Power Converter," in *IEEE Transactions on Power Electronics*, vol. 23, no. 1, pp. 27-37(2018)
- (75) A. Knott et al., "Evolution of Very High Frequency Power Supplies," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, no. 3, pp. 386-394(2014)
- (76) S. -E. Adami, V. Marian, N. Degrenne, C. Vollaïre, B. Allard and F. Costa, "Self-powered ultra-low power DC-DC converter for RF energy harvesting," *IEEE Faible Tension Faible Consommation*, pp. 1-4(2012)
- (77) R. -L. Lin and S. -H. Hsu, "Design and Implementation of Self-Oscillating Flyback Converter with Efficiency Enhancement Mechanisms," in *IEEE Transactions on Industrial Electronics*, vol. 62, no. 11, pp. 6955-6964(2015)
- (78) A. Namadmalan and J. S. Moghani, "Tunable Self-Oscillating Switching Technique for Current Source Induction Heating Systems," in *IEEE Transactions on Industrial Electronics*, vol. 61, no. 5, pp. 2556-2563(2014)
- (79) D. O. Bamgboje, W. Harmon, M. Tahan and T. Hu, "Low Cost High Performance LED Driver Based on a Self-Oscillating Boost Converter," in *IEEE Transactions on Power Electronics*, vol. 34, no. 10, pp. 10021-10034(2019)
- (80) Y. Yanagisawa, Y. Miura, H. Handa, et al., "Characteristics of Isolated DC-DC Converter with Class Φ_2 Inverter Under Various Load Conditions," in *IEEE Transactions on Power Electronics*, vol. 34, no. 11, pp. 10887-10897(2019)
- (81) J. M. Rivas, O. Leitermann, Y. Han and D. J. Perreault, "A Very High Frequency DC-DC Converter Based on a Class Φ_2 Resonant Inverter," in *IEEE Transactions on Power Electronics*, vol. 26, no. 10, pp. 2980-2992(2011)
- (82) F. Musavi, M. Craciun, D. S. Gautam, et al., "An LLC Resonant DC-DC Converter for Wide Output Voltage Range Battery Charging Applications," in *IEEE Transactions on Power Electronics*, vol. 28, no. 12, pp. 5437-5445(2013)
- (83) Yilei Gu, Zhengyu Lu and Zhaoming Qian, "Three level LLC series resonant DC/DC converter," *IEEE Applied Power Electronics Conference and Exposition(APEC)*, pp. 1647-1652(2014)
- (84) H. Sekiya, T. Ezawa and Y. Tanji, "Design Procedure for Class E Switching Circuits Allowing Implicit Circuit Equations," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 11, pp. 3688-3696(2018)
- (85) R. C. N. Pilawa-Podgurski, A. D. Sagneri, J. M. Rivas, D. I. Anderson and D. J. Perreault, "Very-High-Frequency Resonant Boost Converters," in *IEEE Transactions on Power Electronics*, vol. 24, no. 6, pp. 1654-1665(2019)

研究業績

本論文は以下の内容をまとめたものである。

学術論文（査読あり）

- (1) **Fumiya Hattori**, Hirokatsu Umegami, Masayoshi Yamamoto, “A Multi-Resonant Gate Drive Circuit of Isolating-Gate GaN HEMTs for Tens of MHz,” Journal of IET Circuits, Devices & Systems, Vol.11, No.3, pp. 261-266(2017)
- (2) **Fumiya Hattori**, Yasuhisa Ushida, Kengo Sumiya, Yuta Yanagisawa, Jun Imaoka, Mostafa Noah, Masayoshi Yamamoto, “Frequency Doubler Gate Drive Circuit Suitable for High-Frequency Applications,” IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 10, No. 1 pp. 617-631(2021)
- (3) **Fumiya Hattori**, Yuta Yanagisawa, Jun Imaoka, Masayoshi Yamamoto, “Gate Drive Circuit Suitable for a GaN Gate Injection Transistor,” in IEEE Access, Vol.11, pp43169-43182(2023)

国際会議（査読あり）

- (1) **Fumiya Hattori** and Masayoshi Yamamoto, “Proposal and analysis of gate drive circuit suitable for GaN-FET,” Conference on IEEE Industrial Electronics Society, pp. 685-690(2012)
- (2) **Fumiya Hattori**, Jun Imaoka, Masayoshi Yamamoto and Mitsuru Masuda, “Fundamental Experiment of 3-phase Electric Resonant Coupling Wireless Power Transfer, ” International Conference on Renewable Energy Research and Applications (ICRERA), pp. 1417-1422 (2018)

国内発表（査読なし）

- (1) 服部文哉, 今岡淳, 山本真義, “GaN-HEMT 用複合共振ゲート駆動回路”, 電気・電子・情報関係学会東海支部連合大会 (2019)

謝辞

本研究は、名古屋大学未来材料・システム研究所 附属未来エレクトロニクス集積研究センター 教授 山本 真義 博士のご指導のもとに遂行されたものであり、本研究に取り組む機会とともに、終始あたたかいご指導を戴きました。ここに深謝の意を表します。名古屋大学未来材料・システム研究所 附属未来エレクトロニクス集積研究センター 未来デバイス部 教授 天野 浩 博士，長岡技術科学大学 大学院工学研究科技術科学イノベーション専攻 教授 伊東 淳一 博士には，副査としてご助言を戴くとともに本論文の細部にわたりご指導を戴きました。ここに感謝の意を表します。名古屋大学未来材料・システム研究所 附属未来エレクトロニクス集積研究センター 准教授 今岡 淳 博士には，本研究を遂行するにあたり多くのご指導とご助言を戴きました。また，ここに感謝の意を表します。

株式会社ダイヘン プラズマシステム事業部研究開発部長 福本 佳樹 氏，並びに同研究開発部 課長 池成 達也 氏には本研究の遂行にご理解とご支援を戴きました。ここに感謝の意を表します。また，同研究開発部 河野 真吾 氏には，本研究を遂行するあたり，日常の議論を通じて多くのご示唆とともに，研究開発に取り組む姿勢を教えてくださいました。ここに感謝の意を表します。株式会社オートリテール 代表取締役社長 柳澤 佑太 氏には本研究を遂行するにあたり，多くのご支援をいただきました。ここに感謝の意を表します。株式会社ダイヘンの関係各位には，本研究を遂行するにあたりご助言とご支援を戴きました。ここに感謝の意を表します。名古屋大学パワーエレクトロニクス研究室の方々には，多くのご支援やご助言を戴きました。ここに感謝の意を表します。

最後に，卒業までの長い間，温かく見守り支えて頂いた父 教昭，母 文子，妹 愛および親族の方々に感謝申し上げます。また出産育児という状況の中，研究活動に理解を示し支えてくれた妻と健やかに成長している息子と娘に感謝致します。皆様のご健康と益々のご多幸をお祈り致しまして謝辞とさせていただきます。