

原子層堆積 Al_2O_3 をゲート絶縁膜とする AlGaIn/GaN MOSFET の作製と評価

宮崎 英志[†]、 合田 祐司[†]、 岸本 茂^{†‡}、 水谷 孝[†]

[†]名古屋大学工学研究科 〒464-8603 愛知県名古屋市千種区不老町

[‡]名古屋大学 VBL 〒464-8603 愛知県名古屋市千種区不老町

E-mail: [†] miyazaki.eiji@f.mbox.nagoya-u.ac.jp

あらまし $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET の FET 特性改善のため、 Al_2O_3 成膜前の前処理として $(\text{NH}_4)_2\text{S}$ (硫化アンモニウム) 処理を検討した。まず初めに、 $\text{Al}_2\text{O}_3/n\text{-GaIn}$ MOS ダイオードを用いて、 $(\text{NH}_4)_2\text{S}$ 処理の効果を検討した所、 Al_2O_3 成膜前に $(\text{NH}_4)_2\text{S}$ 処理を行うことで $C\text{-}V$ カーブの傾きが $(\text{NH}_4)_2\text{S}$ 処理なしに比べて急峻になり、界面準位密度も低減した。次に本 $(\text{NH}_4)_2\text{S}$ 処理を $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET に適用したところ、 $I_D, g_m\text{-}V_{GS}$ 特性におけるヒステリシスが減少し、また大きなゲート電圧における I_D の上詰まりも改善した。これらの結果は硫化アンモニウム処理により、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の界面準位密度が低減したことを示唆している。またさらなる界面品質の向上を目指して、 $C\text{-}V$ 測定後アニールを行ったところ、 $C\text{-}V$ カーブの立ち上がりが正側にシフトし、界面準位密度も低減した。

キーワード $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET, 硫化アンモニウム, 界面準位密度

Fabrication of AlGaIn/GaN MOSFETs with Al_2O_3 gate oxide deposited by atomic layer deposition

Eiji Miyazaki[†] Takeshi Gouda[†] Shigeru Kishimoto^{†‡} and Takashi Mizutani[†]

[†] Department of Quantum Engineering, Nagoya University Furo-cho, Chikusa-ku, Nagoya, 464-8603 Japan

[‡] VBL, Nagoya University Furo-cho, Chikusa-ku, Nagoya, 464-8603 Japan

E-mail: [†] miyazaki.eiji@f.mbox.nagoya-u.ac.jp

Abstract We have introduced $(\text{NH}_4)_2\text{S}$ surface treatments before the deposition of the Al_2O_3 gate oxide to improve the electrical properties of $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFETs. Firstly, the effect of $(\text{NH}_4)_2\text{S}$ surface treatment was studied using $\text{Al}_2\text{O}_3/\text{GaIn}$ MOS diodes. The slope in the $C\text{-}V$ curve of the MOS diodes with $(\text{NH}_4)_2\text{S}$ surface treatments was steeper than that of the devices without $(\text{NH}_4)_2\text{S}$. In addition, $\text{Al}_2\text{O}_3/\text{GaIn}$ interface trap density was decreased by $(\text{NH}_4)_2\text{S}$ surface treatments. The hysteresis of the $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET with $(\text{NH}_4)_2\text{S}$ surface treatments in $I_D\text{-}V_{GS}$ and $g_m\text{-}V_{GS}$ characteristics was smaller than that of the device without $(\text{NH}_4)_2\text{S}$ surface treatments. In addition, the current saturation in $I_D\text{-}V_{GS}$ characteristics at a large gate voltage is relaxed. These results indicate that $\text{Al}_2\text{O}_3/\text{AlGaIn}$ interface trap density is decreased by $(\text{NH}_4)_2\text{S}$ surface treatments. The annealing of the MOS diodes was shown to be effective in improving the interface quality of the MOS diodes.

Keyword $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET, $(\text{NH}_4)_2\text{S}$, interface trap density

1. はじめに

GaN は絶縁破壊電界が高く、電子飽和速度も大きいため、高周波・高出力デバイスとして期待されている。その中でも GaN MOSFET は、ゲート絶縁膜を有しているため、ゲートに大きな電圧を印加することが出来、十分大きなドレイン電流を得ることが出来る。GaN MOSFET のゲート絶縁膜としては、近年 Al_2O_3 や HfO_2 をはじめとする High-k ゲート絶縁膜が開発・研究されているが [1,2]、その中でも Al_2O_3 は GaN との伝導帯不連続 (ΔE_C) が 2.2 eV と大きく [3]、ゲートリーク

電流低減の効果が期待出来る。

我々はすでに原子層堆積 (ALD) Al_2O_3 をゲート絶縁膜とする AlGaIn/GaN MOSFET を作製し、 HfO_2 と比べてゲートリーク電流を小さくできること、界面特性も比較的良好であることを示した [4]。しかし、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$ 界面の界面準位が原因と思われる g_m の低下や時計周りのヒステリシスが確認された。そこで、 $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET のさらなる特性改善のため、 Al_2O_3 成膜前の硫化アンモニウム $(\text{NH}_4)_2\text{S}$ 処理を検討した。

2. MOS ダイオードの作製

まず初めに、MOS ダイオードを用いて、 $(\text{NH}_4)_2\text{S}$ 処理の効果を検討した。作製に用いたエピはサファイア基板に MOCVD (Metal Organic Chemical Vapor Deposition) によって成長された n-GaN 結晶である。n-GaN 層には Si が $1.03 \times 10^{17} \text{ cm}^{-3}$ の濃度でドーピングされている。

Al_2O_3 は ALD(原子層堆積法)を用いて成膜した。成膜温度は 300°C である。Al の原料として TMA(Trimethyl Aluminum)を、O の原料として H_2O を用いた。TMA を 15 ms、 H_2O を 30 ms 間 ALD チャンバー内に交互に供給した。なお、余剰ガスを排気するための pumping time は 10 s とした。この時の成膜レートは 0.96 \AA/cycle であった。成膜サイクルは 420cycle とし、膜厚は 40nm である。

また、サンプルは Al_2O_3 成膜前に $(\text{NH}_4)_2\text{S}$ 処理をしたものとしてないものの 2 種類を準備した。 $(\text{NH}_4)_2\text{S}$ は濃度が 20% のものを用い、処理時間は文献[5]を参考に 20 min とした。

3. $C-V_G$ 特性

図 1 に作製した MOS ダイオードの $C-V_G$ 特性を示す。容量測定のための交流電圧の振幅、測定周波数はそれぞれ 0.1 V と 1 MHz である。また、ゲート電圧の掃引は負側から正側に向かって行い、その速度は 100 mV/30 sec 程度である。

図 1(a)からも分かるように、 $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスの $C-V$ カーブの傾きは、 $(\text{NH}_4)_2\text{S}$ 処理を施していないものと比べて急峻になっており、容量の最大値も増加している。 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面に界面準位が存在する場合、界面トラップに電子を充電させるため、ゲート電圧を余分に印加しなければならず、 $C-V$ カーブの傾きは理想曲線に比べてなだらかになる。従って、この結果は $(\text{NH}_4)_2\text{S}$ 処理により、この $C-V$ 測定の掃引速度に定常する $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の界面準位密度が低減したことを示唆している。

図 1(a)で得られた $C-V$ カーブと理想曲線から Terman 法を用いて算出した界面準位密度を図 1(b)に示す。なお計算に当たっては、別途作製したショットキーダイオードの $C-V$ カーブから算出したドーピング濃度 $1.03 \times 10^{17} \text{ cm}^{-3}$ を用いた。図からも分かるように $(\text{NH}_4)_2\text{S}$ 処理を施すことで界面準位密度が低減できている。

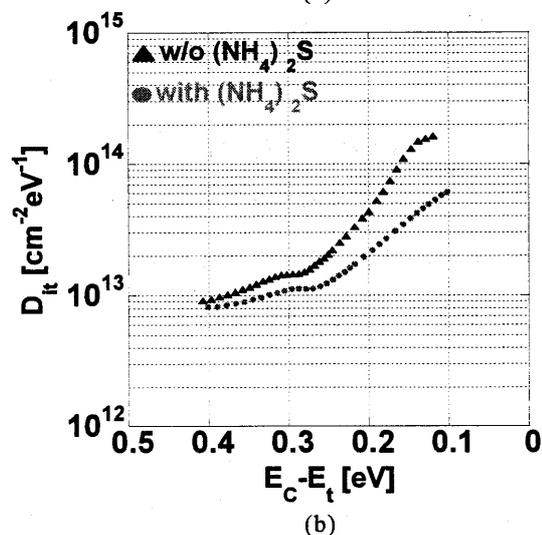
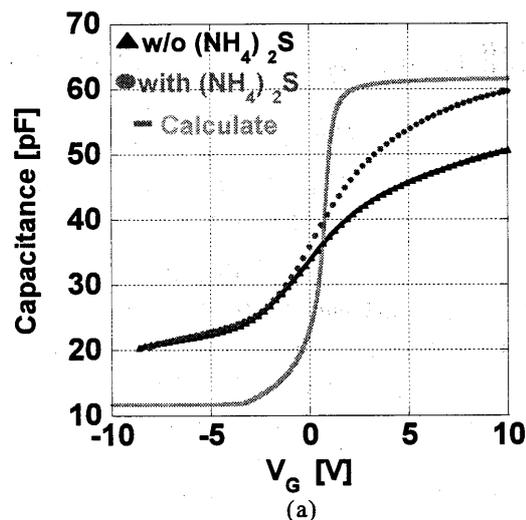


図 1. (a)作製したデバイスの $C-V_G$ 特性と
(b) $C-V_G$ 特性から算出した界面準位密度

4. $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET の作製

MOS ダイオードの結果から、 $(\text{NH}_4)_2\text{S}$ 処理による界面準位密度の低減の効果を確認出来たので、 $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MOSFET にも $(\text{NH}_4)_2\text{S}$ 処理を適用した。作製した MOSFET の断面構造を図 2 に示す。使用したエピは $i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{N}$ (12 nm)/ $i\text{-GaN}$ の HEMT(High Electron Mobility Transistor)用のエピである。 n^+ 領域を作るためのオーミックアニールは、絶縁膜の結晶化を防ぐため、 Al_2O_3 成膜前に行い、 N_2 雰囲気中 825°C で 30 s 間行った。なお、 Al_2O_3 の成膜温度と膜厚は MOS ダイオードの時と同様にそれぞれ、 300°C と 40 nm である。 Al_2O_3 の成膜前の前処理は $(\text{NH}_4)_2\text{S}$ 処理をしたものとしてないものの 2 種類を準備し、 $(\text{NH}_4)_2\text{S}$ の濃度と処理時間はそれぞれ 20% と 20 min である。

なおゲート電極は、絶縁膜を介してソース・ドレイン電極とオーバーラップした構造になっている。このような構造にすることで、チャネル全体にわたって、

ゲート電極によるチャネル伝導度変調が効くようになり、その結果オン抵抗を低減させることができる。

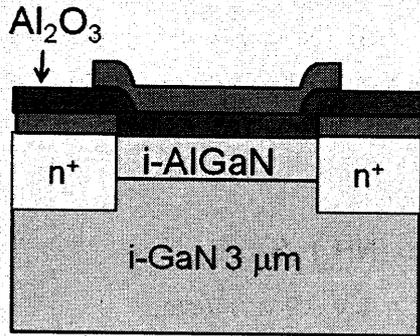
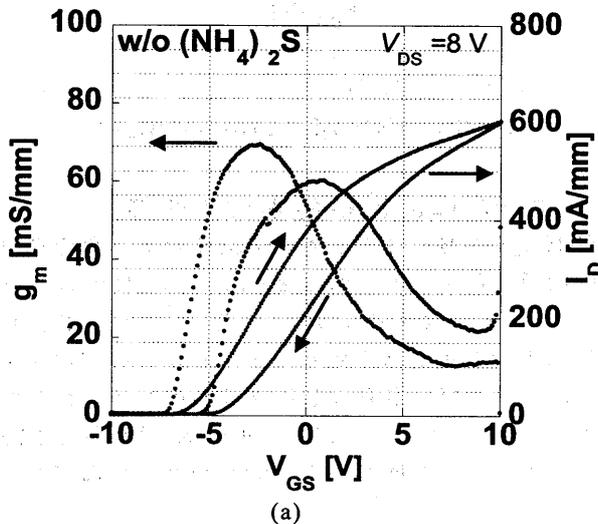


図 2. 作製した MOSFET の断面構造

5. FET 特性

図 3(a), (b)は作製したデバイスの I_D - V_{GS} 、 g_m - V_{GS} 特性である。なおチャネル長とチャネル幅はそれぞれ、5 μm と 100 μm である。ゲート電圧は -10 V \rightarrow 10 V \rightarrow -10 V の順に印加した。測定モードは medium でゲート電圧のスweep時間は往復で 30 s 程度である。

作製したデバイスの I_D から求めた閾値は、 $(\text{NH}_4)_2\text{S}$ 処理の有無に関わらず約 -5.8 V とノーマリオンのデバイスであった。これは、 Al_2O_3 膜中もしくは $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面に存在する正の固定電荷が原因であると思われる。また、 $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスの方が $(\text{NH}_4)_2\text{S}$ 処理を施していないデバイスに比べて、大きなゲート電圧における I_D の上詰まりが改善されており、 $I_{D\text{max}}$ も 602 mA/mm から 655 mA/mm まで増加した。さらに I_D - V_{GS} 、 g_m - V_{GS} 特性におけるヒステリシス幅も $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスの方が $(\text{NH}_4)_2\text{S}$ 処理を施していないデバイスに比べて小さくなっている。これらの結果は、 $(\text{NH}_4)_2\text{S}$ 処理により $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の界面準位密度が低減したことを示唆しており、さきほどの MOS ダイオードの結果と対応している。



(a)

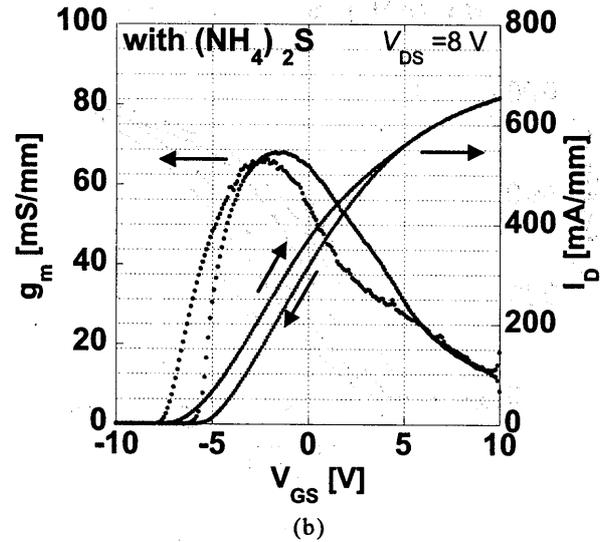


図 3. I_D - V_{GS} 、 g_m - V_{GS} 特性
(a) without $(\text{NH}_4)_2\text{S}$, (b) with $(\text{NH}_4)_2\text{S}$

図 4(a), (b)は、各々 $(\text{NH}_4)_2\text{S}$ 処理をしない場合および処理した場合の、 I_D - V_{GS} 特性の測定回数依存性である。1 回目の I_D - V_{GS} 特性でのヒステリシス幅は、 $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスでは $(\text{NH}_4)_2\text{S}$ 処理を施していないデバイスに比べて小さくなっており、また 2 回目のヒステリシス幅もほぼ 0 V にまで減少している。一方閾値のシフト量は、 $(\text{NH}_4)_2\text{S}$ 処理を施していないデバイスが 1.2 V、 $(\text{NH}_4)_2\text{S}$ 処理を施したデバイスが 1.1 V と大きな差は見られなかった。これらの結果は、異なる放出時定数を持つ界面準位が複数存在することを反映したものであると思われる [6]。

図 4(c)にトラップ深さと放出時定数の関係を示す。なお、放出時定数を計算する際の補獲断面積として $1 \times 10^{-15} \text{ cm}^2$ と仮定した。時定数から判断すると、 $\sim 0.7 \text{ eV}$ より深い準位が閾値シフトに、 $\sim 0.7 \text{ eV}$ の界面準位がヒステリシスに寄与していると思われる。 $(\text{NH}_4)_2\text{S}$ 処理によりこのヒステリシスに関与するトラップが低減されたと思われる。なお $\sim 0.5 \text{ eV}$ 以下の浅い準位の有無は、本ヒステリシス測定からは評価できない。もっと早い時間応答を調べる必要がある。

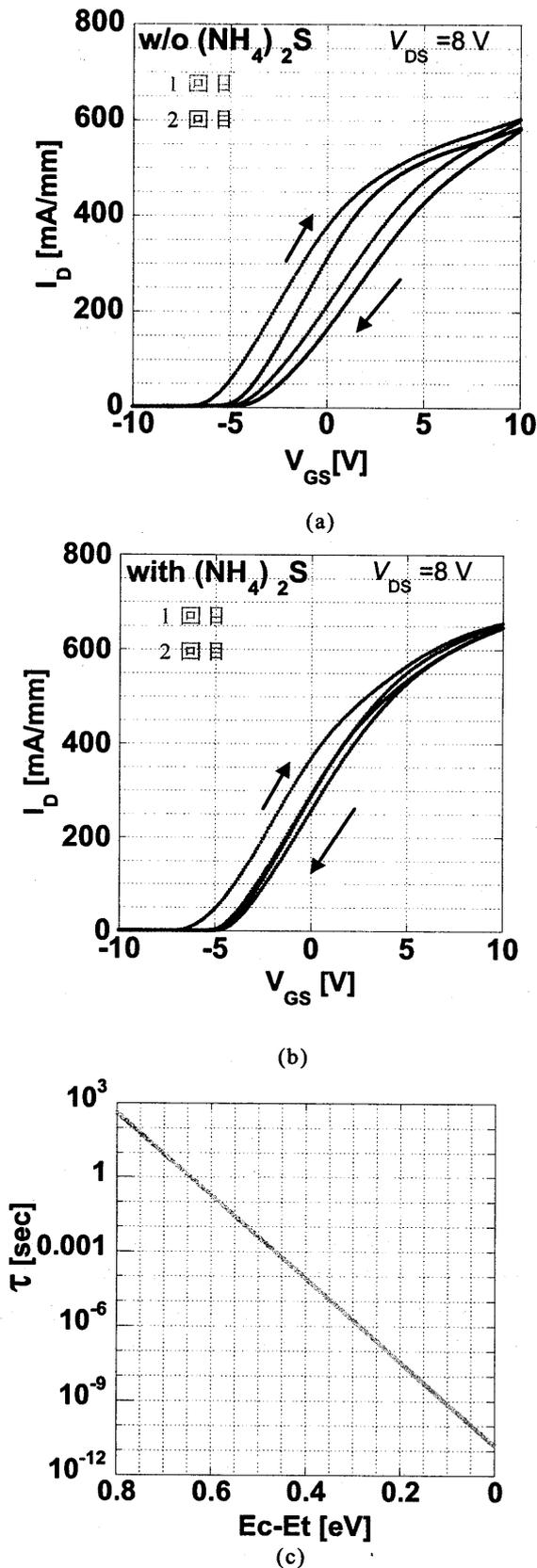


図4. I_D - V_{GS} 特性の測定回数依存性
 (a)without $(NH_4)_2S$, (b)with $(NH_4)_2S$ と(c)トラップ深さに対する放出時定数

図5は作製したデバイスの I_D - V_{DS} 特性である。作製したデバイスは $(NH_4)_2S$ 処理の有無に関わらず、明確なピンチオフを示した。また、先ほどの I_D - V_{GS} 特性と同様に、 $(NH_4)_2S$ 処理を施したデバイスの方が $(NH_4)_2S$ 処理を施していないデバイスに比べて、大きなゲート電圧における I_D の上詰まりが改善されている。

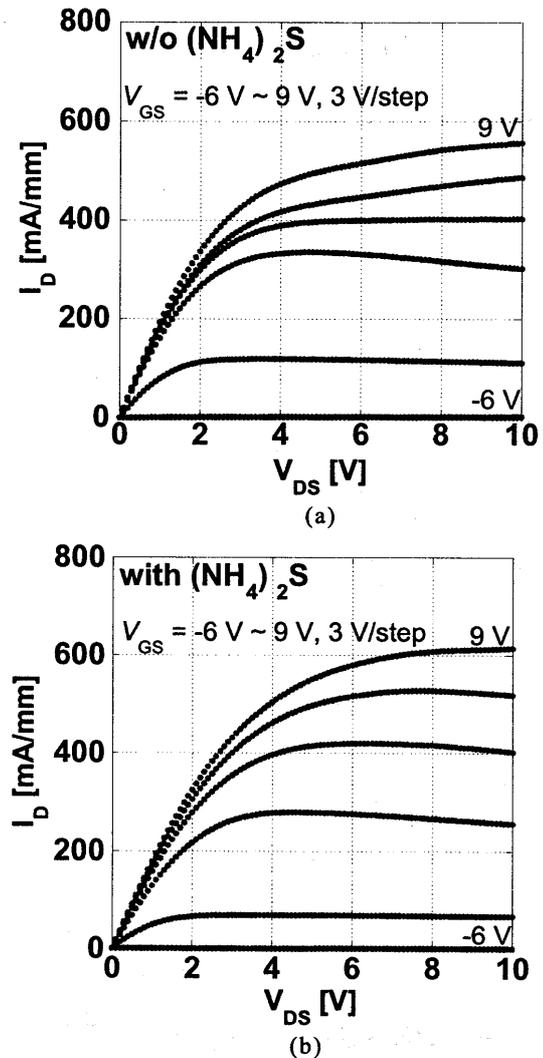


図5. I_D - V_{DS} 特性
 (a)without $(NH_4)_2S$, (b)with $(NH_4)_2S$

6. アニールによる C - V_G 特性の改善

$(NH_4)_2S$ 処理により、 Al_2O_3/GaN 界面の界面準位密度は低減したが、その値は $8 \times 10^{12} \sim 6 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ であり、まだ改善の余地がある。また、作製した MOSFET の閾値も -5.8 V とノーマリオンデバイスであった。そこで、さらなる特性改善のため、 C - V 測定後、アニールを行った。アニールは N_2 雰囲気中で 20 min 行い、アニール温度は 400, 500°C の 2 つの温度で行った。

図 6(a),(b)に各々(NH₄)₂S 処理あり、なしの場合について、アニールによる C-V_G 特性の変化を示す。

測定周波数は 1 MHz であり、ゲート電圧の掃引は負側から正側に向かって行い、その速度は 100 mV/2 sec 程度である。アニールを施すことで C-V カーブの立ち上がりが (NH₄)₂S 処理を施していないものが 2.7 V、(NH₄)₂S 処理を施したものが 3.2 V、アニール前に比べ正側にシフトした。これは、Al₂O₃ 中または Al₂O₃/GaN 界面の正の電荷がアニールにより低減したためだと思われる。また、C-V カーブの傾きも (NH₄)₂S 処理の有無に関わらず、アニールすることでアニール前と比べて急峻になっており、アニールにより Al₂O₃/GaN 界面の界面準位密度も低減することが出来たと思われる。この効果は 500°C の高温アニールの方が顕著である。

さらに、同じアニール温度で (NH₄)₂S 処理ありと (NH₄)₂S 処理なしのデバイスと比較すると、(NH₄)₂S 処理を施したデバイスの方が C-V カーブの立ち上がりが (NH₄)₂S 処理なしに比べ 0.8 V 正側にシフトしており、容量の最大値も大きくなっている。アニール後も (NH₄)₂S 処理ありの方が Al₂O₃/GaN 界面の品質がよいことを示している。そこで、図 6(b)の (NH₄)₂S 処理を施した MOS ダイオードについてターマン法を用いて求めた界面準位密度を図 6(c)に示す。なお、ゲート電圧の掃引速度は 100 mV/30 sec とした。界面準位密度は最小値付近の E_c-E_t = 0.4 eV で比べると、アニールなしの場合の 8 × 10¹² cm⁻²eV⁻¹ から 500°C アニールでは 4 × 10¹² cm⁻²eV⁻¹ と低減している。

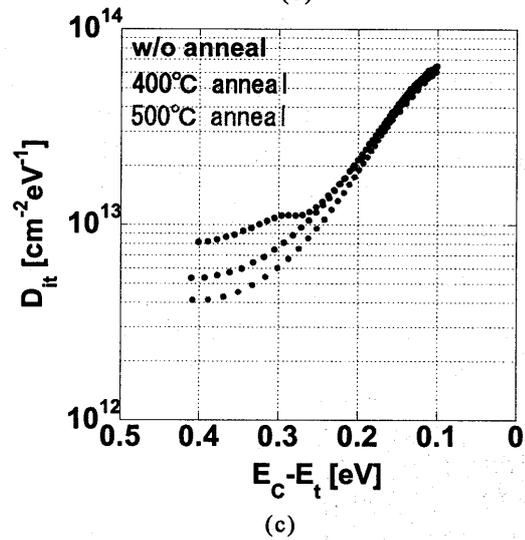
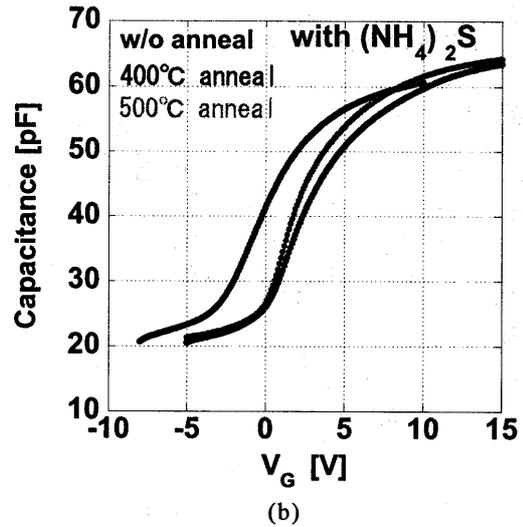
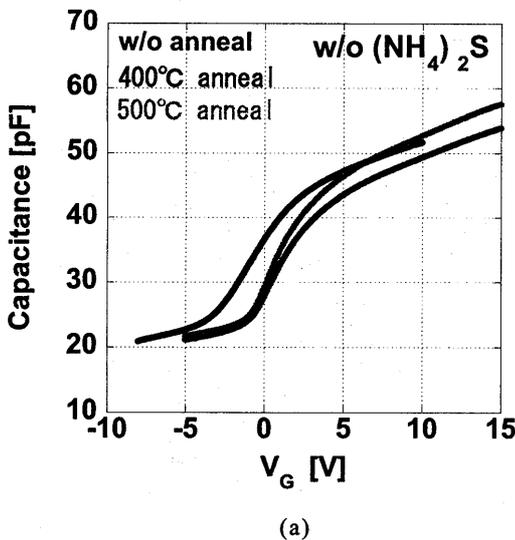


図 6. アニールによる C-V_G 特性の変化
(a)without (NH₄)₂S, (b)with (NH₄)₂S
と(c)界面準位密度の変化

図 7 にアニールによるゲートリーク電流の変化を示す。ゲート電圧は V_G = 0 → 5 V、V_G = 0 → -5 V の順番で印加した。図 7 に示したように、どのアニール温度でもリーク電流は十分小さく、アニールによるゲートリーク電流の増加は見られなかった。また、図 8 には n-GaN 上に 300°C で成膜し、500、800°C の 2 条件でそれぞれ 20 min アニールした Al₂O₃ 表面の AFM 観察結果を示す。800°C アニールでは、Al₂O₃ の微結晶化によると思われる直径 100 nm 程度の円形状の粒が無数に確認されたが、500°C アニールでは Al₂O₃ 表面に大きな変化は見られなかった。500°C アニールでは Al₂O₃ はアモルファス状態を保ち、ゲートリーク電流抑制に繋がっているものと思われる。

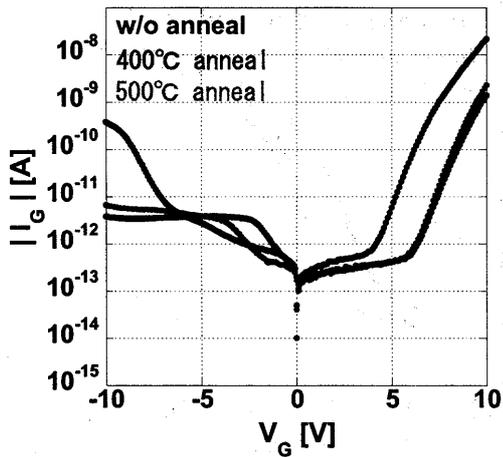


図 7. アニールによるゲートリーク電流の変化

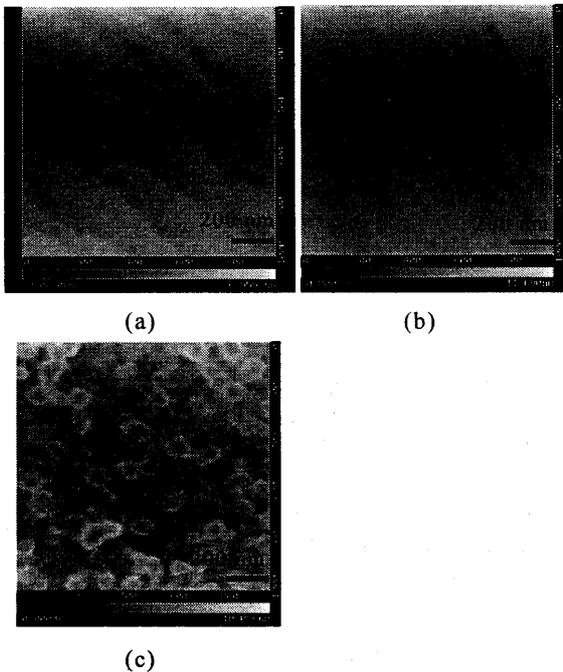


図 8. アニールによる Al₂O₃ 表面の変化
(a)As Deposition (b)500°Cアニール (c)800°Cアニール

7. まとめ

Al₂O₃/AlGaIn/GaN MOSFET の特性を改善すべく、Al₂O₃ 成膜前の (NH₄)₂S 処理の効果調べた。(NH₄)₂S 処理を施すことにより、C-Vカーブの傾きは (NH₄)₂S 処理なしに比べて急峻になり、界面準位密度も低減することが出来た。また、Al₂O₃/AlGaIn/GaN MOSFET に (NH₄)₂S 処理を適用することにより、I_D-V_{GS} 特性におけるヒステリシスが低減し、I_{D max} も増加した。しかし、作製した MOSFET の閾値は -5.8 V とノーマリオンのデバイスであり、Al₂O₃/GaN 界面の界面準位密度も $8 \times 10^{12} \sim 6 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。そこで、さらなる特性の改善を期待して C-V 測定後アニールを行

った。アニールを施すことにより、C-Vカーブの立ち上がりが約 2.7 V 正側にシフトし、界面準位密度も 500°C のアニールで最小値付近の E_C-E_t = 0.4 eV で $4 \times 10^{12} \text{ cm}^{-2}$ まで低下した。

謝 辞

本研究の一部は科研費基盤研究(B)の補助を受けて実施された。

文 献

- [1] T. Hashizume, S. Anantathanasarn, N. Negoro, E. Sano, H. Hasegawa, K. Kumakura and T. Makimoto, Appl. Phys. Lett, vol.43, pp. 777-779, 2004
- [2] A. Kawano, S. Kishimoto, Y. Ohno, K. Maezawa, T. Mizutani, H. Ueno, T. Ueda and T. Tanaka, phys. Stat. sol. (c), vol. 4, pp. 2700-2703, 2007
- [3] J. Robertson and B. Falabretti, J. Appl. Phys, vol. 100, pp. 014111, 2006
- [4] 宮崎英志, 合田祐司, 岸本茂, 水谷孝, 第 70 回応用物理学会学術講演会, 2009
- [5] Y. J. Lin, H. Y. Lee, F. T. Hwang and C. T. Lee, Journal of Electronic Materials, vol. 30, No. 5, 2001
- [6] Y. Hayashi, S. Kishimoto and T. Mizutani, Solid-State Electronics, vol. 54, pp. 1451-1456, 2010