

# CNFET における high- $k$ ゲート絶縁膜界面近傍の電荷分布とその影響

鈴木 耕佑<sup>†</sup> 大野 雄高<sup>†</sup> 岸本 茂<sup>†,‡</sup> 水谷 孝<sup>†</sup>

<sup>†</sup>名古屋大学工学研究科量子工学専攻 〒464-8603 名古屋市千種区不老町

<sup>‡</sup>名古屋大学 VBL 〒464-8603 名古屋市千種区不老町

E-mail: yohno@nuee.nagoya-u.ac.jp

**あらまし** カーボンナノチューブ電界効果型トランジスタ(CNFET)のゲート絶縁膜界面に生ずる界面電荷について、ケルビンプローブフォース顕微鏡を用いて調べ、Au 電極や SiO<sub>2</sub> 基板との界面付近に高濃度の正電荷が偏在していることを見出している。デバイスシミュレーションにより、これらの界面電荷が CNFET の特性に及ぼす影響について調べ、主に Au 電極とゲート絶縁膜との界面に存在する電荷が CNFET の伝導型極性を変化させることを明らかにしている。

**キーワード** カーボンナノチューブ, ALD, high- $k$ , ゲート絶縁膜, 界面

## Charge distribution near interface of high- $k$ gate insulator in CNFETs

Kosuke SUZUKI<sup>†</sup> Yutaka OHNO<sup>†</sup> Shigeru KISHIMOTO<sup>†,‡</sup> and Takashi MIZUTANI<sup>†</sup>

<sup>†</sup> Department of Quantum Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, 464-8603 Japan

<sup>‡</sup> Venture Business Laboratory, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, 464-8603 Japan

E-mail: yohno@nuee.nagoya-u.ac.jp

**Abstract** We have investigated the interface charges generated at the interfaces of the gate insulator in carbon nanotube field-effect transistors (CNFETs) by Kelvin probe force microscopy. It has been found that positive charges are concentrated near the interfaces of the gate insulator with Au electrodes and with a SiO<sub>2</sub> substrate. We have also studied the effect of the positive interface charges on the property of CNFETs, using the device simulation. It has been revealed that the charges at the interface of the gate insulator with the Au electrodes is responsible for the change in the polarity of conduction carriers of CNFETs.

**Keyword** carbon nanotube, ALD, high- $k$ , gate insulator, interface

### 1. はじめに

カーボンナノチューブ(CNT)は電子と正孔の移動度がともに高く[1]、International Technology Roadmap for Semiconductors (ITRS)において、“More Moore”の極限的な CMOS デバイスに用いることが検討されている[2]。CMOS 応用において、伝導キャリアの制御 ( $p/n$  制御) が必須である。これまでに、化学ドーピング[3, 4]や電極の仕事関数[5, 6]による制御、両極性素子のしきい値シフト[7]などの方法が提案されているものの、特に  $n$  型デバイスについては、安定性や性能に課題がある。近年、Sc や Y といった低仕事関数金属を電極に用いて、高性能な  $n$  型カーボンナノチューブ電界効果型トランジスタ(CNFET)が作製できるとの報告[8]もあるが、材料的な Si プロセス適合性や再現性に課題がある。

CNFET は基本的にはショットキーバリア型トランジスタ[9]であり、伝導型はコンタクト電極付近のバン

ドプロファイルにより決まる。我々は、これまでにコンタクト電極付近に固定電荷を設置することにより電極近傍のバンドプロファイルを変化させ、CNFET の伝導型を制御できる可能性を見出している[10, 11]。例えば、原子層堆積法(ALD)により堆積した high- $k$  ゲート絶縁膜やその界面に導入される固定電荷を利用して、CNFET の  $p/n$  制御や CMOS インバータを実現している[12]。この方法は、比較的大気安定性に優れ、Si プロセス適合性ももつ。

一方で、ゲート絶縁膜界面の電荷の起源や分布、CNFET の素子特性に与える影響については未だ十分に理解できていない。本研究では、ケルビンプローブフォース顕微鏡(KFM)を用いて、ゲート絶縁膜界面近傍の電荷分布の解析を試みた。また、デバイスシミュレータを用いて、ゲート絶縁膜界面近傍の電荷分布が CNFET の素子特性に及ぼす影響を調べた。

## 2. KFM によるゲート絶縁膜界面近傍の電荷分布解析

### 2.1. 実験方法

CNFET において、ゲート絶縁膜はソース・ドレイン電極や SiO<sub>2</sub>/Si 基板、CNT と界面を形成する。このうち、CNT との界面は他の界面に比べ、面積が非常に小さく、その界面電荷は素子中のポテンシャルに対して支配的でない。本研究では、電極や SiO<sub>2</sub>/Si 基板とゲート絶縁膜の界面に着目している。

これらの界面を調べる試料として、図 1 に示すように、(a) Au 電極上および(b) SiO<sub>2</sub>/Si 上に HfO<sub>2</sub> を堆積した構造を準備した。なお、Si 基板は低抵抗 p<sup>+</sup>-Si (<0.02 Ω·cm)、熱酸化 SiO<sub>2</sub> の膜厚は 10 nm である。ゲート絶縁膜である HfO<sub>2</sub> は ALD を用いて 250°C にて堆積した。HfO<sub>2</sub> の厚さは 0.09 nm から 20 nm まで変化させた。CF<sub>4</sub> を用いた反応性イオンエッチング(RIE)により HfO<sub>2</sub> を部分的に除去し、表面が Au (または Si) となる領域と HfO<sub>2</sub> となる領域を形成した。最後に、真空中にて 300°C でポストアニール処理を行った。KFM は Au コーティングした探針を用いて真空中で行った。

### 2.2. 実験結果

図 2 は Au 上に HfO<sub>2</sub> を 6 nm 堆積した試料の表面電位プロファイルである。HfO<sub>2</sub> 表面の電位は Au 表面の電位より約 1 V 高く測定された。ここで、HfO<sub>2</sub> 膜のもつ内蔵電位( $V_{\text{HfO}_2}$ )は HfO<sub>2</sub> 表面の電位と Au 表面の電位との差で与えられる。この内蔵電位は HfO<sub>2</sub> 中もしくは Au と HfO<sub>2</sub> の界面に正の電荷が存在することを示している。なお、RIE でエッチングされた Au 表面とされなかった Au 表面の表面電位差は±0.1 V 以下であり、プロセスに起因する Au 電極の電位の変化はほとんど無視できることを確認している。また、SiO<sub>2</sub> 上に HfO<sub>2</sub> を堆積した試料についても同様に正の  $V_{\text{HfO}_2}$  が測定され、SiO<sub>2</sub> と HfO<sub>2</sub> の界面にも正電荷が存在している。

HfO<sub>2</sub> 膜の厚さ方向の電荷分布を調べるため、 $V_{\text{HfO}_2}$  の HfO<sub>2</sub> 膜厚( $t_{\text{HfO}_2}$ )依存性を調べた。図 3 は Au 電極上と SiO<sub>2</sub> 上に堆積した HfO<sub>2</sub> における  $V_{\text{HfO}_2}$  の  $t_{\text{HfO}_2}$  依存性である。Au 電極上に堆積した HfO<sub>2</sub> の場合、 $V_{\text{HfO}_2}$  は  $t_{\text{HfO}_2}$  とともに増加し、 $t_{\text{HfO}_2} \sim 10$  nm において  $V_{\text{HfO}_2} \sim$

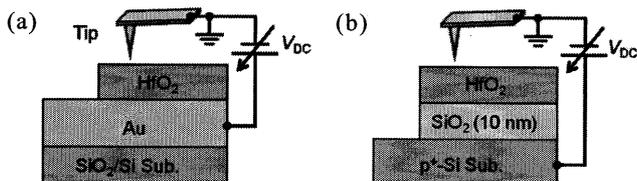


図 1. 試料の断面構造と KFM の模式図。(a) Au 電極上に HfO<sub>2</sub> を堆積した試料、(b) SiO<sub>2</sub> 基板上に HfO<sub>2</sub> を堆積した試料。

1 V で飽和した。これは、Au との界面から 10 nm 程度の領域にかけて正電荷が偏在していることを示している。SiO<sub>2</sub> 上に堆積した HfO<sub>2</sub> の場合も、Au 電極上の場合と同様の傾向が見られたが、1 モノレイヤの HfO<sub>2</sub> を堆積した場合においても、~0.4 V の内蔵電位が現れた。これは、HfO<sub>2</sub> と SiO<sub>2</sub> の界面にダイポールが存在することを示唆している。

$V_{\text{HfO}_2}$  の  $t_{\text{HfO}_2}$  依存性から HfO<sub>2</sub> 中の電荷分布を定量的に求める。Au 電極上の HfO<sub>2</sub> の場合、HfO<sub>2</sub> 中の電荷分布  $N(t_{\text{HfO}_2})$  は次の式で与えられる。

$$N(t_{\text{HfO}_2}) = \frac{\epsilon_{\text{HfO}_2} \Delta V_{\text{HfO}_2}}{q t_{\text{HfO}_2} \Delta t_{\text{HfO}_2}}, \quad (1)$$

また、SiO<sub>2</sub> 上の HfO<sub>2</sub> 中の  $N(t_{\text{HfO}_2})$  は次の式で与えられる。

$$N(t_{\text{HfO}_2}) = \frac{\Delta V_{\text{HfO}_2}}{q \left( \frac{t_{\text{HfO}_2}}{\epsilon_{\text{HfO}_2}} + \frac{t_{\text{SiO}_2}}{\epsilon_{\text{SiO}_2}} \right) \Delta t_{\text{HfO}_2}}, \quad (2)$$

ここで、 $\epsilon_{\text{HfO}_2}$  は HfO<sub>2</sub> の誘電率、 $\epsilon_{\text{SiO}_2}$  は SiO<sub>2</sub> の誘電率、 $t_{\text{SiO}_2}$  は SiO<sub>2</sub> の膜厚、 $q$  は素電荷である。図 4 は式(1)および式(2)を用いて求めた  $N(t_{\text{HfO}_2})$  である。HfO<sub>2</sub> の場合、Au 電極や SiO<sub>2</sub> との界面付近に正の電荷が偏在し、その面電荷密度は、Au 電極上の HfO<sub>2</sub> の場合は  $4.5 \times 10^{13} \text{ cm}^{-2}$ 、SiO<sub>2</sub> 基板上の HfO<sub>2</sub> の場合は 1.8

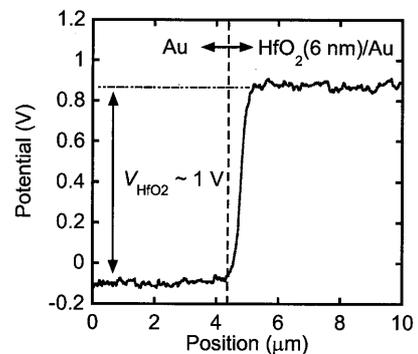


図 2. Au 電極上に堆積した HfO<sub>2</sub> (厚さ 6 nm) の表面電位プロファイル。

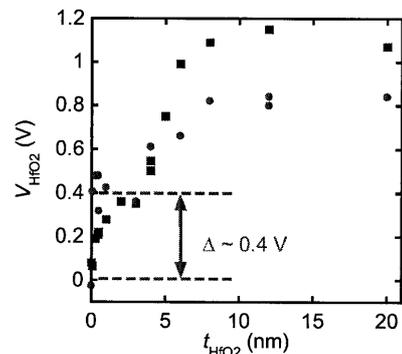


図 3. Au 上 (■) および SiO<sub>2</sub> 上 (●) における  $V_{\text{HfO}_2}$  の  $t_{\text{HfO}_2}$  依存性。

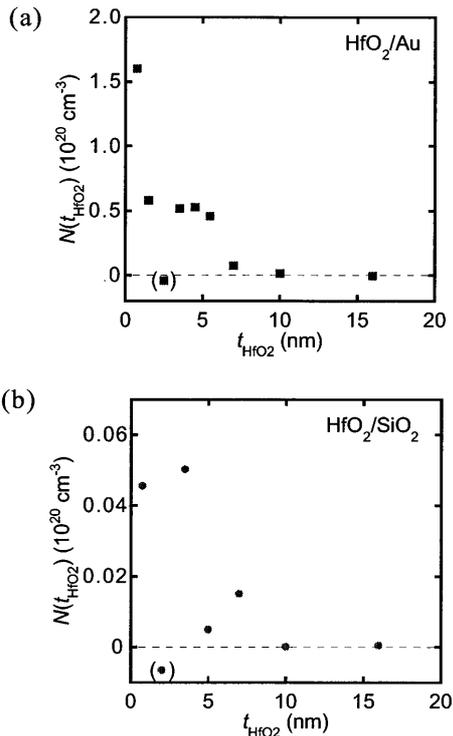


図 4. (a)Au 電極上および(b)SiO<sub>2</sub> 上の電荷分布.

$\times 10^{12} \text{ cm}^{-2}$ であった。

HfO<sub>2</sub> 膜中に存在する正電荷は酸素空孔に起因すると考えられている[13]。酸素空孔の生成機構としては Si と HfO<sub>2</sub> の界面に対しては、Shiraishi らにより提案されている[14]。HfO<sub>2</sub> 中の酸素が Si へと拡散することで HfO<sub>2</sub> 中に酸素空孔が生じ、その酸素空孔が 2 価の正電荷を帯びるといふモデルである。今回の場合、HfO<sub>2</sub> と Si の間に薄い熱酸化 SiO<sub>2</sub> 層を挿入しているため、HfO<sub>2</sub> から Si への酸素の拡散はある程度抑制されると考えられるが、今後、定量的な検証が必要である。

HfO<sub>2</sub> をはじめとする high-*k* 絶縁膜と SiO<sub>2</sub> の界面に生ずるダイポールについては、これまでにも実験的な報告例がある[15]。これは、high-*k* 絶縁膜と SiO<sub>2</sub> の単位面積当たりの酸素原子数の違いにより、界面において酸素原子が偏ることによってダイポールが生じると考察されている。HfO<sub>2</sub> と SiO<sub>2</sub> の場合、0.3 V のダイポールが生じると報告[16]されており、本研究の測定結果に近い。

金属と HfO<sub>2</sub> の界面についても正の電荷が存在するとの指摘がなされている[17]。帯電した酸素空孔が HfO<sub>2</sub> 中に生成されると鏡像力により金属との界面に引き寄せられるというものであるが、今回の構造については、その酸素空孔の生成機構については明確でない。今回の測定結果では、Au 電極/HfO<sub>2</sub> 界面の界面電荷密度は、SiO<sub>2</sub>/HfO<sub>2</sub> 界面のそれに比べて 1 桁以上大きく、次の節で述べるように、CNFET の特性に強く影響

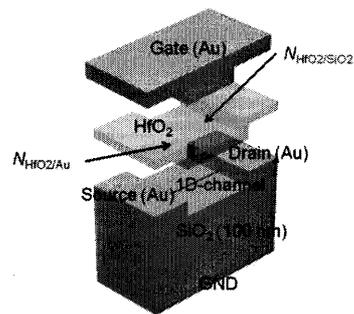


図 5. デバイスシミュレーションで用いたトップゲート型 CNFET のモデル.

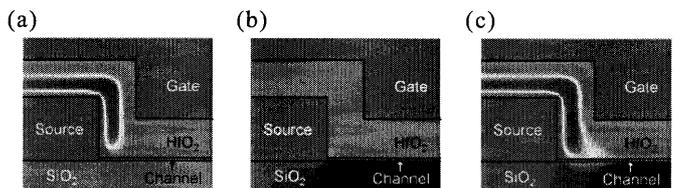


図 6. ソース電極付近のポテンシャル. (a) 電極と絶縁膜との界面付近に電荷を導入した場合、(b) SiO<sub>2</sub> 基板と絶縁膜との界面付近に電荷を導入した場合、(c) その両方の界面付近に電荷を導入した場合.

する。

### 3. ゲート絶縁膜界面の電荷が CNFET の特性に与える影響：シミュレーション

KFM から見出した絶縁膜界面近傍の電荷が CNFET の特性に及ぼす影響について、デバイスシミュレーションを用いて調べた。図 5 は用いたトップゲート型 CNFET のモデルである。文献[12]のデバイス構造に倣い、チャンネル長は 100 nm、ゲート絶縁膜の膜厚は 12 nm とした。チャンネルはバンドギャップが 0.6 eV の半導体ロッド（直径 1.5 nm の半導体 CNT に相当）である。HfO<sub>2</sub> ゲート絶縁膜とソース・ドレイン電極および SiO<sub>2</sub> 基板との界面付近に、実験で得られた電荷分布（図 4）と同様に固定電荷を導入した。

図 6 はソース電極付近のポテンシャル分布であるが、(a)は電極と絶縁膜との界面に電荷を導入した場合、(b)は SiO<sub>2</sub> 基板と絶縁膜との界面にダイポールと電荷を導入した場合、(c)はその両方を導入した場合である。これらの界面電荷により、主にソース電極付近とチャンネル付近のポテンシャルが高くなっている。

図 7 はソース電極とチャンネルのエネルギーバンドである。電極と絶縁膜との界面に電荷を導入した場合、ソース付近でナノチューブのバンドは強く曲げられ、電子に対するショットキ障壁は薄い。一方、SiO<sub>2</sub> 基板と絶縁膜の界面に電荷を導入した場合、バンドは緩やかに低下するのみであり、ショットキ障壁に大きな変

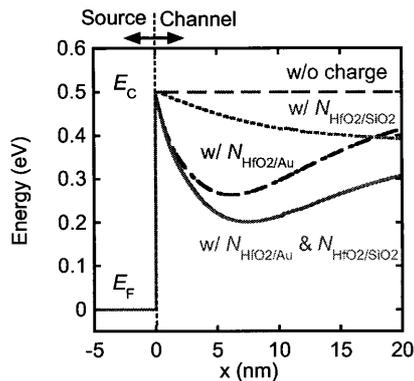


図 7. ソース電極付近のエネルギーバンド.

化はない。したがって、チャネルへの電子注入に関わるショットキ障壁は、主に電極と絶縁膜の界面に導入される電荷によって変調される。なお、 $\text{SiO}_2$  基板と絶縁膜の界面の電荷により、チャネルのポテンシャルが  $\sim 0.1$  eV 低下しており、FET のしきい値を変化させている。

図 8 にゲート電圧を  $-0.6$  V から  $0.6$  V まで変化させたときのチャネルのエネルギーバンドを示す。図 8(a), (b) はそれぞれ界面電荷が存在しない場合と存在する場合である。電極の仕事関数が CNT のそれより大きく、通常、ショットキ障壁は電子より正孔に対して低い。したがって、界面電荷がない場合、 $p$  型伝導を示す。一方、界面電荷が存在する場合、正のゲート電圧を印加するにつれ、コンタクト電極付近のエネルギーバンドは強く曲がり、電子に対するショットキ障壁が薄くなる。反対に、負のゲート電圧を印加した場合、界面電荷の作るポテンシャルにより、正孔の注入は抑制される。このため、界面電荷が存在する場合、 $n$  型伝導を示す。

#### 4. まとめ

CNFET のゲート絶縁膜の界面に生ずる界面電荷について、KFM を用いて調べ、Au 電極や  $\text{SiO}_2$  基板との界面付近に高濃度の正電荷が存在することを見出した。界面電荷密度は Au 電極上の  $\text{HfO}_2$  の場合は  $4.5 \times 10^{13} \text{ cm}^{-2}$ 、 $\text{SiO}_2$  上の  $\text{HfO}_2$  の場合は  $1.8 \times 10^{12} \text{ cm}^{-2}$  であった。

デバイスシミュレーションを用いて、これらの界面電荷が CNFET の特性に及ぼす影響について調べ、主に電極との界面付近に存在する電荷が CNFET の伝導型極性を  $n$  型に変化させる可能性を明らかにした。

#### 謝辞

本研究の一部は、文科省科研費特定領域研究、NEDO 産業技術研究助成事業、JST/ALCA、NICT 国際共同研

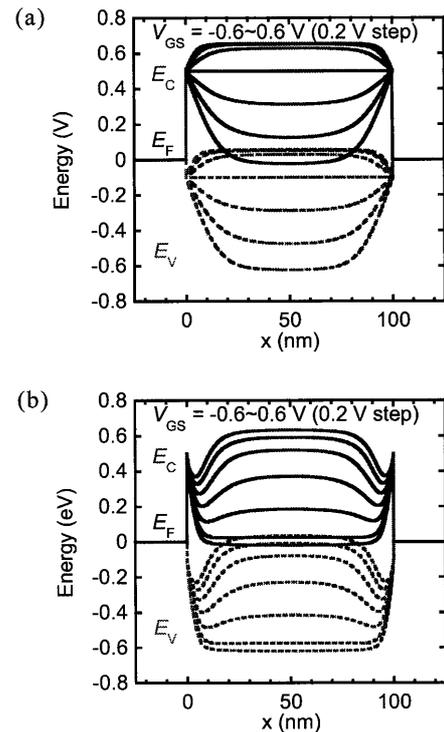


図 8. チャネルのエネルギーバンドのゲート電圧依存性. (a) 界面電荷が存在しない場合, (b) 界面電荷が存在する場合.

究の助成を受けて行われた。

#### 文 献

- [1] V. Perebeinos, J. Tersoff, and P. Avouris, "Electron-phonon interaction and transport in semiconducting carbon nanotubes," *Phys. Rev. Lett.*, vol. 94, p. 086802, 2005.
- [2] *International Technology Roadmap for Semiconductors 2009*.
- [3] M. Bockrath, J. Hone, A. Zettl, P. L. McEuen, A. G. Rinzler, and R. E. Smalley, "Chemical doping of individual semiconducting carbon-nanotube ropes," *Phys. Rev. B*, vol. 61, pp. 10606-10608, 2000.
- [4] T. Takenobu, T. Kanbara, N. Akima, T. Takahashi, M. Shiraishi, K. Tsukagoshi, H. Kataura, Y. Aoyagi, and Y. Iwasa, "Control of carrier density by a solution method in carbon-nanotube devices," *Adv Mater*, vol. 17, p. 2430, 2005.
- [5] Y. Noshio, Y. Ohno, S. Kishimoto, and T. Mizutani, "n-Type carbon nanotube field-effect transistors fabricated by using Ca contact electrodes," *Appl. Phys. Lett.*, vol. 86, p. 073105, 2005.
- [6] Y. Noshio, Y. Ohno, S. Kishimoto, and T. Mizutani,

- "Relation between conduction property and work function of contact metal in carbon nanotube field-effect transistors," *Nanotechnol.*, vol. 17, pp. 3412-3415, 2006.
- [7] Z. H. Chen, J. Appenzeller, Y. M. Lin, J. Sippel-Oakley, A. G. Rinzler, J. Y. Tang, S. J. Wind, P. M. Solomon, and P. Avouris, "An integrated logic circuit assembled on a single carbon nanotube," *Science*, vol. 311, pp. 1735-1735, 2006.
- [8] Z. Y. Zhang, S. Wang, Z. X. Wang, L. Ding, T. Pei, Z. D. Hu, X. L. Liang, Q. Chen, Y. Li, and L. M. Peng, "Almost Perfectly Symmetric SWCNT-Based CMOS Devices and Scaling," *Acs Nano*, vol. 3, pp. 3781-3787, 2009.
- [9] S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appenzeller, and P. Avouris, "Carbon nanotubes as Schottky barrier transistors," *Phys. Rev. Lett.*, vol. 89, p. 106801, 2002.
- [10] Y. Noshu, Y. Ohno, S. Kishimoto, and T. Mizutani, "The effects of chemical doping with F(4)TCNQ in carbon nanotube field-effect transistors studied by the transmission-line-model technique," *Nanotechnol.*, vol. 18, pp. 415202-1-4, 2007.
- [11] N. Moriyama, Y. Ohno, T. Kitamura, S. Kishimoto, and T. Mizutani, "Change in carrier type in high-k gate carbon nanotube field-effect transistors by interface fixed charges," *Nanotechnol.*, vol. 21, p. 165201, 2010.
- [12] N. Moriyama, Y. Ohno, K. Suzuki, S. Kishimoto, and T. Mizutani, "High-Performance Top-Gate Carbon Nanotube Field-Effect Transistors and Complementary Metal-Oxide-Semiconductor Inverters Realized by Controlling Interface Charges," *Appl Phys Express*, vol. 3, p. 105102, 2010.
- [13] K. Xiong and J. Robertson, "Point defects in HfO<sub>2</sub> high K gate oxide," *Microelectron Eng*, vol. 80, pp. 408-411, 2005.
- [14] K. Shiraiishi, K. Yamada, K. Torii, Y. Akasaka, K. Nakajima, M. Konno, T. Chikyow, H. Kitajima, and T. Arikado, "Oxygen vacancy induced substantial threshold voltage shifts in the Hf-based high-K MISFET with p+poly-Si gates - A theoretical approach," *Jpn. J. Appl. Phys.*, vol. 43, pp. L1413-L1415, 2004.
- [15] K. Kita and A. Toriumi, "Origin of electric dipoles formed at high-k/SiO<sub>2</sub> interface," *Appl. Phys. Lett.*, vol. 94, p. 132902, 2009.
- [16] J. Widiez, K. Kita, K. Tomida, T. Nishimura, and A. Toriumi, "Internal photoemission over HfO<sub>2</sub> and Hf((1-x)Si(x)O<sub>2</sub>) high-k insulating barriers: Band offset and interfacial dipole characterization," *Jpn. J. Appl. Phys.*, vol. 47, pp. 2410-2414, 2008.
- [17] J. Robertson, O. Sharia, and A. A. Demkov, "Fermi level pinning by defects in HfO<sub>2</sub>-metal gate stacks," *Appl. Phys. Lett.*, vol. 91, p. 132912, 2007.