

## 4 並列 4 段の単一磁束量子再構成可能データパスの検討

Investigation of a 4x4 reconfigurable data-path  
in the single-flux-quantum circuit

早川雄飛<sup>\*1</sup> 田中雅光<sup>\*1</sup> 赤池宏之<sup>\*1,2</sup> 藤巻朗<sup>\*1,2</sup>  
Yuhi Hayakawa Masamitsu Tanaka Hiroyuki Akaike Akira Fujimaki

<sup>\*1</sup>名古屋大学 Nagoya University  
<sup>\*2</sup>戦略的創造研究推進事業 CREST- JST

## 1. はじめに

我々は 10 TFLOPS の処理能力を持つスーパーコンピュータのアクセラレータとして、低消費電力かつ高速処理が可能な単一磁束量子 (SFQ) 回路を用いた再構成可能なデータパス (RDP: reconfigurable data-path) の研究を行っている[1]。RDP は、メモリアクセス回数を低減すべく、多数の演算器とそれらを動的に接続するネットワーク (ORN: operand routing networks) からなり、プログラム内に現れる繰り返し計算に合わせて任意にその構成や機能を変えることができる。従って、一般的にシステム性能を制限するメモリバンド幅の制約を低減できると考えられている。

我々は今までに、ISTEC アドバンスドプロセス 2[2]を用いて SFQ-RDP のプロトタイプを設計し、45 GHz での高速動作を実証した[3]。この SFQ-RDP は整数演算のみを可能とする算術論理演算器 (ALU) を 4 つ用いており、2 並列 2 段の構成となっているが、動作試験の結果、1 段目の ALU に比べ 2 段目の ALU の方がバイアスマージン及び動作周波数が低いことが分かった。これは、後段になるにつれてタイミングジッタが蓄積され、配線遅延がばらついてしまうことによると考えられた。

本稿では、このタイミングジッタの蓄積による配線遅延のばらつきを小さくするために、クロック供給の送り先を選択可能にし、さらなる大規模化への一歩として 4 並列 4 段の RDP の設計を行った。

## 2. 供給先選択可能なクロックの概要

タイミング調整用シフトレジスタはバッファリングとフロー制御を行う回路である。SFQ-RDP の設計の際には、ALU 各段の間にこのタイミング調整用シフトレジスタを配置する。タイミング調整用シフトレジスタを配置するのみの従来のクロックでは、1 周期以上のクロックのずれが生じた場合、補正できない。そこで、クロックの送り先を指定可能にすることにより、各段に独立したクロックを供給し、前段で蓄積したタイミングジッタの影響を低減した。

## 3. SR を搭載した 4 並列 4 段 RDP の設計

設計した 4 並列 4 段の SFQ-RDP の概略図を図 1 に示す。SFQ-RDP のコンポーネントは主に、ALU、ORN、配線用のシフトレジスタ (TU: Transfer Unit)、タイミング調整用シフトレジスタ、入出力シフトレジスタ、ラダー型高速クロックパルス発生回路、ALU 制御回路と分けられる。設計動作周波数は 40 GHz である。TU はネットワークの自由度を増すために設置されており、ALU と同じパイプライン段数を持っている。タイミング調整用シフトレジスタは ALU の出力部分に配置されており、9 bit 分の D フリップフロップで構成される。ALU と ORN の間にはデータパスが 6 つ

存在するため、6 つのタイミング調整用シフトレジスタを各データパスに設置した。タイミング調整用シフトレジスタに格納されたデータの読み出しにはラダー型高速クロック発生回路によるクロック信号を使用している。試作した SFQ-RDP の面積は 17.426 mm<sup>2</sup>、ジョセフソン接合数は 28528 接合となり、SFQ 回路としては面積、接合数ともに最大規模となっている。また、バイアス電流の合計は 3.34 A である。チップ写真を図 2 に示す。動作評価等は今後行う予定である。

## 謝辞

本研究に協力してくださった岡田将和氏と、カタエバイナ氏に感謝いたします。

本研究に用いた回路は ISTEC の ADP2 プロセスを用いて作製した。また、回路の作製には、産業技術総合研究所が一部寄与している。

## 参考文献:

- [1] N. Takagi et al, IEICE Tarans. Electron., Vol. E91-C, No. 3, pp. 350-355, 2008.
- [2] S. Nagasawa, et al, "New Nb multi-layer Fabrication Process for Large-Scale SFQ Circuits," Physica C, vol. 469, pp. 1578-1584, Oct. 2009.
- [3] 岡田将和「10 kA/cm<sup>2</sup> Nb プロセスを用いた SFQ-RDP の 45 GHz 動作」電子情報通信学会 2011年 3月

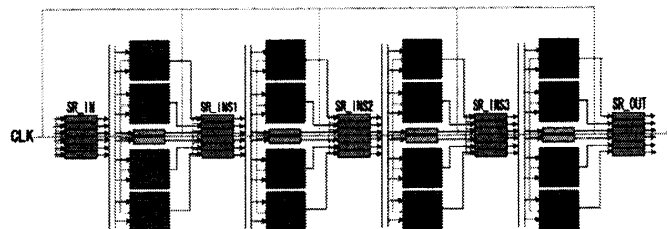


図 1: SR を搭載した 4 並列 4 段の RDP の概略図

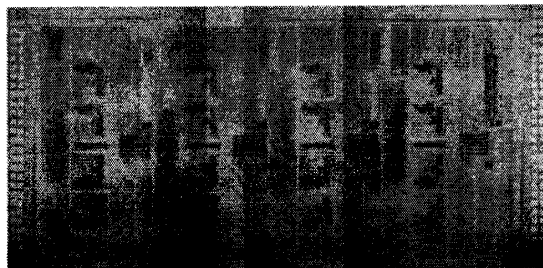


図 2: 今回試作したチップ写真