

C-8-10

メモリ向け低消費電力高密度単一磁束量子シフトレジスタの提案

Proposal of Low-Power, High-Density Single Flux Quantum Shift-Registers for Memories

田中雅光
Masamitsu Tanaka藤巻朗
Akira Fujimaki名古屋大学
Nagoya University

1. まえがき

従来より簡素な回路構造を持つ、単一磁束量子 (SFQ) 回路によるシフトレジスタを提案する。クロック信号線とデータ信号線を統合することで、使用するジョセフソン接合とバイアス電流を最小限とし、低消費電力化と高密度化が可能である。メモリへの応用が期待される。

2. 提案回路

図1に提案するシフトレジスタの構造を示す。縦に2つ積み重ねたジョセフソン接合を2組使用し、4接合で1ビットを実現する。クロッキングはカウンタフローである。上段はクロック信号となるSFQが右から左へと通過する。下段はデータ信号となるSFQが左から伝搬され、 L_1 , L_2 の場所で順次保持されることにより、シフトレジスタとして機能する。

図2にアナログ回路シミュレーションによる動作例を示す。時刻100 psから200 ps間隔で与えられたクロック信号は、 J_{24} , J_{22} , J_{14} , J_{12} が順にスイッチすることで伝搬されている。1つめのクロック信号の後に入力したデータ信号は、 J_{11} がスイッチして L_1 を含むループに蓄えられ、次のクロック入力により J_{13} , J_{21} がスイッチして右側のループに移る。

3. 特徴

ISTEC標準プロセス向けに設計したレイアウトを図3に示す。今回は既存の設計に整合させるため、サイズを40 μm 角とし、接合の臨界電流値は約0.2 mAとした。バイアス電流量は1ビットあたり0.26 mAである。

従来回路で極限まで接合を減らした場合 [1] と比較すると、1ビットあたりの接合数は同じとなるが、提案回路では接地している接合が少ないため、(1) 規則的で高密度なレイアウトが得られること、(2) バイアス電流が共有されることで消費電力が小さくなることが利点と考えられる。回路サイズや臨界電流値はまだ十分に最適化されていないため、今後詳細な検討を進め、定量的に性能を評価する予定である。

なお、本構造はクロックの伝搬時間がデータ系列の影響を受けやすいことが懸念されるが、メモリ应用に関しては概ね問題ないと考えている。

謝辞

本研究は、科研費 (24760276 及び 22226009)、JST ALCA の助成を受けたものである。

参考文献

[1] 永沢ほか, 電子情報通信学会 2008年ソサイエティ大会, C-8-13.

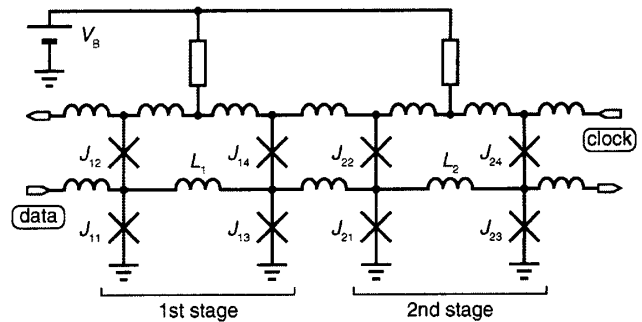


図1 シフトレジスタの等価回路 (長さ2ビット)

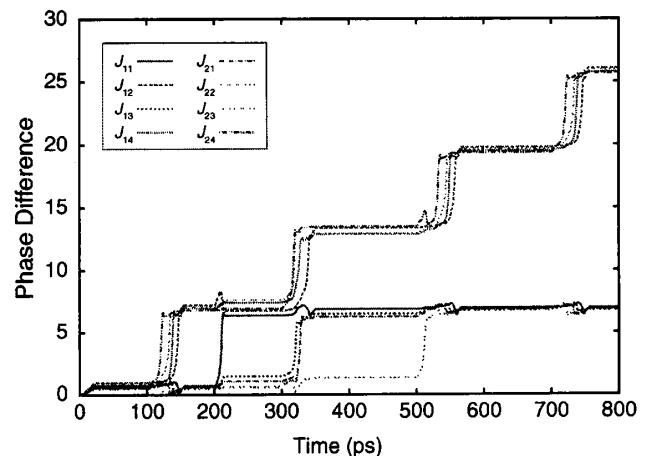


図2 2ビットシフトレジスタの動作例

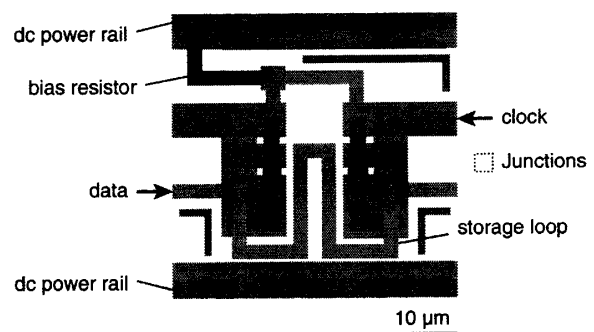


図3 レイアウト (1ビット分)