

CT-1-3

超伝導デジタル回路の研究開発動向

Research and Development of Superconductor Digital Circuits

藤巻 朗
Akira Fujimaki

名古屋大学大学院工学研究科
Graduate School of Engineering, Nagoya University

1. はじめに

超伝導のデジタル応用は、1962年のジョセフソン効果の発見の数年後には始まった。したがって、すでに50年弱の歴史を刻んでいることになる。デジタル回路の優位性は、すべてを数学的モデルの上で議論できると言う柔軟性にあり、これを発揮するには論理ゲートの集積化、すなわち集積回路化が求められる。ジョセフソン集積回路の魅力は何と言ってもその高速性であった。1970年代の半導体集積回路の動作周波数は1MHz台であり、1GHz以上で動作するジョセフソン集積回路は、圧倒的な速さを有していた。

しかしながら、1980年代からSi-CMOS集積回路は急速な成長を遂げ、その動作周波数は2000年には1GHzを超えている。ここで重要なのは、集積回路の主役と成り得たSi-CMOSの特徴である。原料となるSi資源の豊富さ、加工のし易さ、価格の低さ、結晶性の良さに加え、スケールリング則という性能向上へ向けた明確なガイドラインの存在が、企業にとっては重要なファクターであった。ただもともと大きな特徴は、低消費電力性である。CMOSは原理的に、スイッチング時のみしか電力を消費せず、集積化に伴う発熱密度を低く抑えることができた。ジョセフソン集積回路も、Si CMOS集積回路に対しての優位性を確保するために、より高速動作が可能な高速単一磁束量子(Rapid Single Flux Quantum, RSFQ)回路[1-3]へと回路方式が変更されている。

半導体CMOS集積回路は現在も成長は続けているものの、発熱密度に加え配線遅延によっても高性能化が妨げられるようになってきた。特にトランジスタのスイッチングの頻度が高い応用分野、すなわちハイエンド計算機やハイエンドルータと言った情報ネットワークの基幹機器では、低消費電力を謳うCMOS集積回路であっても、高性能化が難しくなっている。これを受け、集積回路の評価指標が、動作周波数から電力効率、あるいはエネルギー効率へと移行しつつある。ここ数年、超伝導集積回路にもこの流れが訪れ、従来のRSFQ回路よりも、一層低消費電力/低消費エネルギーの回路方式が提案され、活発に研究が進められている。

本稿では、RSFQ回路の開発の現状を報告するとともに、新しい回路方式の動向について紹介する。

2. 高速単一磁束量子回路 (RSFQ 回路)

RSFQ回路では、超伝導ループ内で量子化される磁束、すなわち磁束量子(Single Flux Quantum, SFQ)の有無を2値信号の"1", "0"に対応させている。クロック信号となる磁束量子やデータ信号を担う磁束量子に伴い超伝導ループ

には周回電流が流れる。ループの中には、ジョセフソン接合が配置されている。このジョセフソン接合は、臨界電流 I_c をしきい値として機能するスイッチング素子として振舞うことを利用すると、ループのインダクタンスや I_c 、あるいは外部から供給するバイアス電流を制御すると論理ゲートを構成できる。

ジョセフソン接合のスイッチング時間は数psであり、単体ではもはや必ずしも高速とは言えない。しかしながら、RSFQ回路は依然として集積回路としての魅力を兼ね備えている。それが、配線におけるゼロ抵抗現象の積極的利用である。超伝導導波路を集積回路内に構成することによって、理想受動線路による信号伝送が可能となる。そこではSFQに対応するパルスが電磁波として伝搬し、数mm以上の長距離であっても、ジッタフリーで信号が伝送される。この配線技術は、容量(配線容量やゲート容量)と配線の抵抗を含む負荷抵抗の積(CR積)で決まる半導体集積回路と、配線遅延の観点から決定的な差異を生み出す。すでに、長さ50mmまでの信号伝送技術や、別の層で形成された導波路への信号伝送技術が確立されている。また、1つの論理ゲートから複数の論理ゲートへの信号分配技術も確立されている[4,5]。

超伝導工学研究所で開発されたアドバンスドプロセス2(ADP2)によるRSFQ集積回路では、x方向、y方向に独立した配線専用層が設けられた[6]。合わせてCAD技術も進歩し、現在は、論理ゲート間を自由に配線することが可能となってきている。

最近の半導体大規模集積回路では、長い配線における信号遅延時間に加え、長い配線を駆動するための消費エネルギーが問題となっている。そこで超伝導受動線路を消費電力の観点から考えてみる。文献によると、半導体で10GHzの信号を想定し、それを10mmにわたって伝送させた場合のバンド幅当たりの電力は、10mW/(Gbit/s)程度である[7,8]。これに対しRSFQ回路では、現状でも0.1 μ W/(Gbit/s)である。すなわち、5桁の優位性を持っていることになる。このように超伝導受動線路は、ADP2を用い

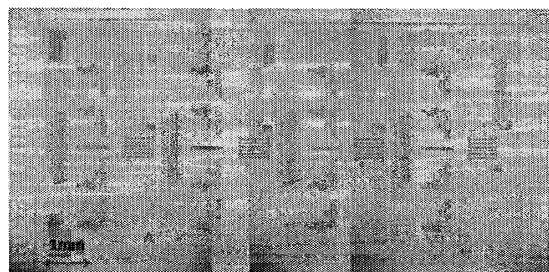


図1 RSFQ集積回路による再構成可能なデータパスを持つ信号処理回路

ることで、高速性、レイアウトの柔軟性、低消費電力性を兼ね備えた理想的な配線とみなすことができる。

図1は、ADP2によって作成された世界最大のRSFQ集積回路となる再構成可能なデータパス(Reconfigurable Data Path, RDP) [9]を持つ信号処理回路である。4つのALUと2つのシフトレジスタからなる演算器アレーをスイッチネットワークを介して4段直列に並べたものである。前の演算結果をメモリに戻すことなく次の演算に使うことが可能で、メモリボトルネックの解消を狙ったアクセラレータとなる。総ジョセフソン接合数は28500個、設計での動作周波数は40GHzとした。これまでに、低速での動作を確認している。消費電力は、8.4mWと極めて小さい。

このRDP信号処理回路では、RSFQ回路の特徴が生かされている。まず、ALU、スイッチネットワークともにビットシリアル演算を採用した。これにより、並列処理に比べ大幅に配線の面積の負担が軽減された。また、ジッタの少ない受動線路を用いることで、40GHzという高周波度の動作も可能となった。さらに、1つのALUの面積が大幅に低減化され、1チップに搭載可能なALUの数を増やすことが可能となった。RDP信号処理回路では、32並列のFPUアレーを32段程度接続することで、主に科学技術計算に高機能性が発揮される。RSFQ回路は次世代となる0.5μmプロセスを用いることで、上記の具現化が可能となると考えられる。

3. 低消費電力/低消費エネルギー-SFQ回路

図2は、CMOSやRSFQ集積回路における消費エネルギーとクロック周期の関係を年代とともにプロットしたものである。ただし、ここでの消費エネルギーは、集積回路に投入される電力を素子数(トランジスタ数、もしくは接合数)で単純に割ったものである。図から分かるように、RSFQ回路はCMOSに比べ1桁以上高速、1桁以上低消費エネルギーであり、現在は消費エネルギーとクロック周期の積(ED積)においては、4-5桁の優位性をCMOS集積回路に対して持っている。また、この図には陽には表れないが、前述のように配線の優位性も持っており、その意味で高速集積回路の回路方式としては、RSFQ回路は依然として魅力がある。

しかしながら、半導体の進歩を考えると、4-5桁は十分優位な数字とは言えない。加えて、RSFQ回路だけでシステムが構築できる応用はごく僅かで、多くの応用では半導体回路との間でデータの受け渡しが必要となる。その場合には、SFQ回路の動作周期は半導体回路と同じでも良く、むしろ消費エネルギーが小さい回路が求められる。

この要求に応えようと、最近幾つかの回路方式が提案された。図3から図6は、その代表例となる低電圧RSFQ回路[10]、eSFQ回路[11]、RQL回路[12]、断熱型QFP回路[13]の等価回路である。低電圧RSFQ回路は、文字通りバイアス電圧を下げる方法である。それぞれのジョセフソン接合の臨界電流値はそのまま保持するとすると、バイアス抵抗の値がバイアス電圧低減化の割合と同じだけ下がる。結果として、バイアス抵抗での静的な消費電力も同じだけ下がる。この回路では、ジョセフソン接合のスイッチングが始まると、自身に流れる電流も

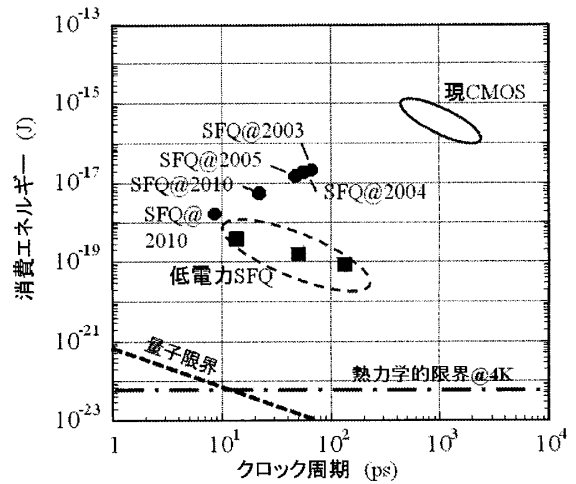


図2 CMOSおよびSFQ回路における1素子1演算の消費エネルギーとクロック周期。

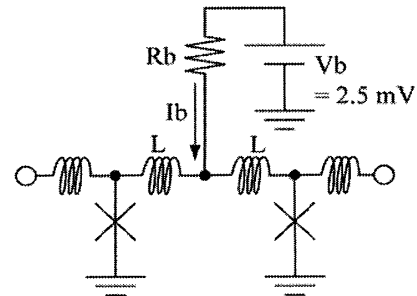


図3 低電圧RSFQ回路の等価回路

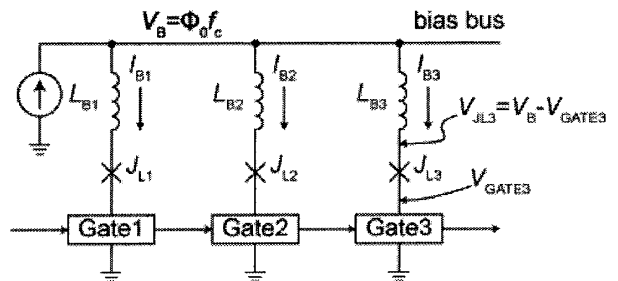


図4 eSFQ回路の等価回路

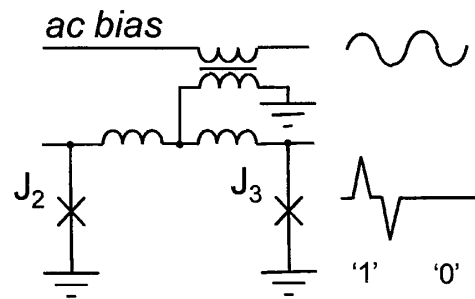


図5 RQL回路の等価回路

抑制されることから、動的な消費電力も抑制される。これまでの数値解析で、ジョセフソン接合のシャント抵抗を R_s とした場合、 $V_0=0.1 L_c R_s \sim 0.5 L_c R_s$ がもっとも効率の良い電源電圧となることが分かっている。

eSFQ 回路は、低電圧 RSFQ 回路の抵抗をインダクタとジョセフソン接合に置き換えた構造となっている。この置き換えによって、論理ゲートを構成するジョセフソン接合は従来の RSFQ 回路と同様、低電流源駆動とみなされ、高速性を維持できる。また低電圧源の具現化のためジョセフソン発振電圧を利用している。

上記 2 つの回路方式は、基本的に RSFQ 回路をベースに考えられていることから、レイアウト等は従来の資産を生かすことが可能であり、短期間での大規模回路化が可能である。実際、Carry Look-ahead Adder (CLA) などが試作されている。また、図 2 中に低電圧 RSFQ 回路のデータをプロットした。(低電力 SFQ と表示。) 図から分かるように、従来よりも約一桁の低消費エネルギー化に成功しており、現 CMOS からのエネルギー遅延積の優位性は、5-6 桁となる。超伝導配線技術もそのまま使えることが明らかとなっており、冷凍機の消費電力を考えると新しい SFQ 回路は、集積回路方式として有望であることが分かる。

一方、静的消費電力を完全にゼロに抑える方法が RQL 回路、ならびに断熱 QFP 回路である。これらは、いずれも交流駆動を導入し、変圧器によってジョセフソン接合に加える電流を調整している。また、電源供給とクロック信号が兼ねられていることから、RSFQ 回路のようにクロック信号線をバイアス電流線と独立に設ける必要もない。一般的には、マイクロ波領域で駆動され、RQL 回路では CLA が実証されている。

RQL 回路では、ジョセフソン接合は急峻なスイッチングを行う。したがって、離れた 2 つの論理ゲートの出力を高周波でどのように同期をとるのかと言った課題は残るが、原理的には高速な演算も可能である。しかし、高速なスイッチングはジョセフソン接合に大きな電圧を発生させ、結果的にシャント抵抗でのエネルギー損失が大きくなる。このエネルギー損失を極限まで低減化するために、ジョセフソン接合の急峻なスイッチングを抑制する効果をもたせた回路が、断熱型 QFP 回路である。具体的には、ジョセフソン接合を含むループのインダクタンスを小さくすることで、バイアス電流の変化率に比例した電圧だけが発生するようにしている。准静的に動かせば、原理的にビット操作に伴うエネルギー損失は極限まで抑制される。断熱型 QFP 回路では、2 値論理の計算に必要な最小エネルギーは、一体どの程度なのかと言う課題の解明にも挑戦している。

4. まとめ

上述したように、超伝導集積回路は、この 50 年弱の間に大きく変化した。RSFQ 回路は、まだい幾つかの課題は残るものの 50GHz 程度で動作する集積回路技術が確立したと考えている。

一方、幾つか提案されている低電力 SFQ 回路についても急速に大規模化が進んでいる。低電圧 RSFQ 回路では、すでにマクロプロセッサの試作も始まっており、かなり近い将来、現在の RSFQ 回路と同程度の技術の確立が期待される。これらの回路では、半導体ではできない

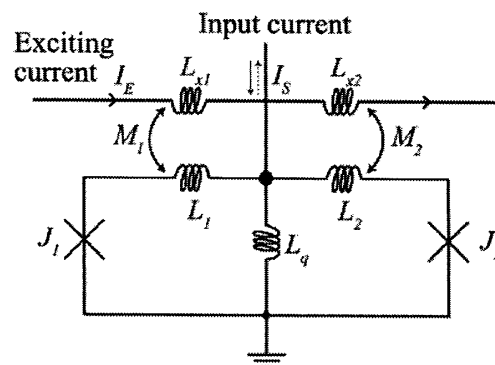


図 3 低電圧 RSFQ 回路の等価回路

光の速さでの配線技術も有効であり、特にハイエンド高性能計算機などに応用が期待される。また、物理極限に迫る低消費エネルギーの回路が実現できれば、宇宙での計算機利用や超伝導タブレット端末なども夢ではない時代がやってくると考えている。

謝辞：本研究は、科研費(基盤 S 22226009)及び JST-ALCA の支援を受けたものである。本研究に用いた回路は ISTE の STP2 プロセスを用いて作製した。回路作成には産業技術総合研究所が一部寄与している。

参考文献

- [1] K. Nakajima, Y. Onodera, Y. Ogawa, J. Appl. Phys. 47, pp. 1620-1627 (1976)
- [2] K. K. Likharev, O. A. Mukhanov, and V. K. Semenov, in SQUID'85, Berlin, Germany: W. de Gruyter (1985) 1103.
- [3] K. K. Likharev, V. K. Semenov, IEEE Trans. Appl. Supercond. 1. Pp. 3-28 (1991).
- [4] Y. Hashimoto, S. Yorozu, Y. Kameda, and V. K. Semenov, IEEE Trans. Appl. Supercond., vol.13, no.2, pp.535-538, 2003.
- [5] T. Yamada and A. Fujimaki, Jpn. J. Appl. Phys., vol.45, no.9, pp.L262-L264, 2006.
- [6] M. Hidaka, S. Nagasawa, K. Hinode, T. Satoh, IEICE Trans. Electron. E91-C, pp. 318-324 (2008).
- [7] 田村泰孝, 電子情報通信学会誌, vol.91, no.3, pp.176-182, 2008.
- [8] 大橋啓之, 鈴木信夫, 西研一, 電子情報通信学会誌, vol.91, no.3, pp.201-206, 2008.
- [9] N. Takagi, K. Murakami, A. Fujimaki, N. Yoshikawa, K. Inoue, and H. Honda, IEICE Trans. Electron., vol.E91-C, no.3, 2008.
- [10] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki, Jpn. J. Appl. Phys., vol. 51, 053102, 2012.
- [11] O. A. Mukhanov, IEEE Trans. Appl. Supercond., vol. 21, no. 3, pp. 760-769, 2011.
- [12] Q. P. Herr, A. Y. Herr, O. T. Oberg, and A. G. Ioannidis, J. Appl. Phys., vol.109, 103903, 2011.
- [13] N. Yoshikawa and D. Ozawa, ASC2010, Washington DC, USA, 2EB-05, Aug. 2010.