

C-8-15

10 kA/cm² Nb プロセスを用いた 2-bit ビットスライス・アダーの動作実証
 Demonstration of the 2-bit Bit-Slice Adder Based on 10 kA/cm² Nb Process

高田賢介^{*1} 早川雄飛^{*1} 田中雅光^{*1} 藤巻朗^{*1}
 Kensuke Takata Yuhi Hayakawa Masamitsu Tanaka Akira Fujimaki

^{*1}名古屋大学
 Nagoya University

1. はじめに

これまでに動作実証された単一磁束量子 (SFQ) マイクロプロセッサ[1]では、設計の簡略化のためにビットシリアル・アーキテクチャが用いられてきた。今後、プロセッサの高性能化を図るにあたって、データを数ビットずつ並列に処理するビットスライス・アーキテクチャが回路の複雑化を緩和し、かつ SFQ 回路の高いスループットを生かしたアーキテクチャとして期待される。このアーキテクチャに基づくアダーとしては、データ長が 32bit の場合、スライス幅が 2bit もしくは 4bit のビットスライス・アダー (BSA) が演算時間と回路規模のバランスに優位性があると考えられる。[2]

また SFQ 回路の更なる高性能化を目指して開発された、10 kA/cm² Nb プロセス 2 (ADP2) [3]を用いることで、回路の高集積化が可能となり回路面積の低減が期待できる。

本稿では、ADP を用いた SFQ-ビットスライス・プロセッサの 50GHz での動作実証を最終目標とした上で、そのための最初の段階として、ビット・スライス幅が 2bit の BSA を ADP を用いて試作を行い、高速試験において動作実証に成功したので報告する。

2. ビットスライス・アダー (BSA) の構造[4]

BSA の構造はキャリー・ルックアヘッド・アダー (CLA) に基づいている。キャリーは生成 (G)、伝搬 (P) の各条件を計算することで求める。しかしデータがビット・スライス方式で出入りするため CLA とは少し異なる構造をとる。図 1 にビット・スライス幅が 2 ビットの BSA の構成図を示す。BSA は、加数 $A = a_{n-1} \dots a_0$ 、被加数 $B = b_{n-1} \dots b_0$ をそれぞれ $A_0 : a_{n-2} a_{n-4} \dots a_0$ と $A_1 : a_{n-1} a_{n-3} \dots a_1$ 、 $B_0 : b_{n-2} b_{n-4} \dots b_0$ と $B_1 : b_{n-1} b_{n-3} \dots b_1$ に分割して加算を行い、和 $S = s_n s_{n-1} \dots s_0$ は $S_0 : s_n s_{n-2} \dots s_0$ と $S_1 : s_{n-1} s_{n-3} \dots s_1$ に分割される。

BSA ではクロック毎にスライスが数回に分けられて入力されるため、次のスライスへキャリーを渡すための回路として、図 1 に示すように D フリップフロップ (DFF) を用いる。

3. 2-bit BSA の動作実証

データ長を 8bit、目標動作周波数を 50GHz として、ADP による 2-bit BSA を詳細設計し、実験による評価を行った。BSA の設計には CONNECT セルライブラリを用いた。

2-bit BSA の顕微鏡写真を図 2 に示す。ジョセフソン接合の数は 1100、面積は 2.44mm×0.90mm である。またロジックシミュレーションから得られた演算時間は 561ps であった。

高速試験において正常動作を確認した。その出力波形を図 3 に示す。加数、被加数はそれぞれ、A (11111011)、B (01111110) とした。和 S は (101111001) であり、出力波形でも S_0 (111101)、 S_1 (01110) となっており、正しい加算結果が得られている。

謝辞

本研究は、ALCA-JST の支援を受けたものである。本研究に使用された回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルームにおいて、AIST-ADP2 プロセスを用いて作製された。

参考文献:

- [1] M. Tanaka, et al., *IEEE Trans. Appl. Supercond.*, vol.15, pp.400-404, 2005.
- [2] 高田 賢介 他, 超伝導エレクトロニクス研究会 2013年 7月
- [3] S. Nagasawa, et al., *Physica C*, vol. 469, pp. 1578-1584, 2009.
- [4] 朴熙中 他, 超伝導エレクトロニクス研究会 2007年 1月

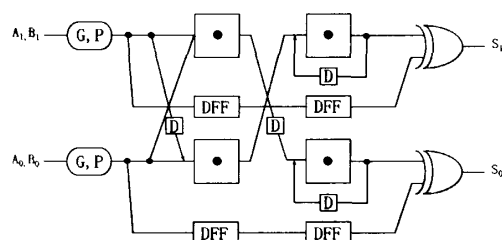


図 1 2-bit BSA の構成図
 [D] : 次のスライスへキャリーを渡すための DFF

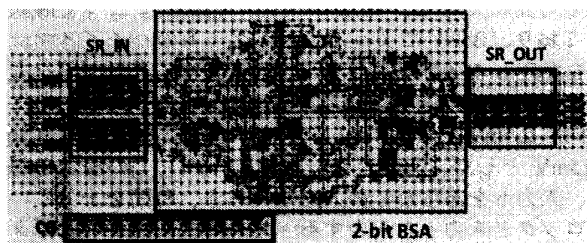


図 2 2-bit BSA の顕微鏡写真

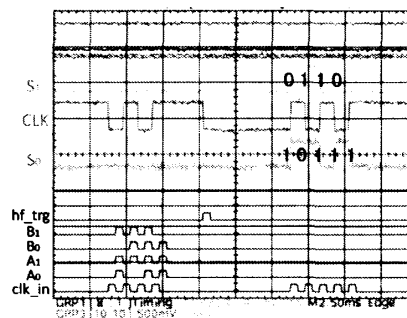


図 3 2-bit BSA の出力波形