

消費電力数 nW の単一磁束量子回路の動作実証

北山 敦史[†] 伊藤 将人[†] 瀨瀬 智仁[†]

楠本 哲也[†] 田中 雅光[†] 藤巻 朗[†]

[†]名古屋大学 〒464-8603 愛知県名古屋市千種区不老町

E-mail: [†] kitayama@super.nuqe.nagoya-u.ac.jp

あらまし 我々は電源電圧 V_b を小さくすることで消費電力を低減したシフトレジスタの動作実証を行った。本研究で試作したシフトレジスタは動作速度が 7.5~20GHz でありながら、消費電力が数 nW となった。 V_b を低減化することで、回路の電流を制御しているでの消費電力も小さくなる。加えて V_b を小さくするとジョセフソン接合(JJ)がスイッチしている間に JJ に並列に挿入されているシャント抵抗 R_s に供給される電流が急峻に減少するといった現象が生じる。その結果 R_s での消費電力も小さくなる。従来の SFQ 回路に比べて電力遅延積では約 70 倍、エネルギー遅延積では 13 倍以上向上した。本研究で試作したシフトレジスタのエネルギー遅延積は 5 桁優れていることから冷凍機の消費電力を考慮しても半導体に対して優位性があると考えられる。

キーワード 単一磁束量子(SFQ)量子回路、低消費電力、シフトレジスタ

Nano-watt demonstration of single-flux-quantum circuits.

Atsushi KITAYAMA[†] Masato ITO[†] Tomohito KOUKETSU[†]

Tetsuya KUSUMOTO[†] Masamitsu TANAKA[†] and Akira FUJIMAKI[†]

[†] Nagoya University Furo-Cho, Chikusa-Ku, Nagoya-City, Aichi

E-mail: [†] kitayama@super.nuqe.nagoya-u.ac.jp

Abstract We have demonstrated rapid-single-flux-quantum (RSFQ) circuits with reduced power consumptions by lowering bias voltages and critical currents. The power consumption including a power consumption of a bias resistor is measured to be around 1 nW/JJ in 8-bit shift registers, while the operating frequency ranges from 7.5 GHz to 20 GHz. we lower bias voltages applied to RSFQ circuits. The values of bias resistances are proportional to bias voltages. At lowered bias voltages, the power consumption of the bias resistor is reduced. When a voltage begins to be generated at a Josephson junction, the net current provided to the junction and to the shunt resistor is decreased. As a result, the magnitude of the voltage is suppressed, and the power consumption of the shunt resistor is reduced. The power energy-delay product is about 70 times smaller and the the energy-delay product is more than 13 times smaller than that of the conventional RSFQ circuits. Low poewer SFQ circuits are superior in terms of energy-delay product to semiconductor circuits though the power consumption of SFQ cicuits contains the refrigerating machine.

Keyword Single-flux-quantum circuit, Low power consumption, Shift register

1. はじめに

現在大規模な LSI においては、半導体 CMOS を用いたものが大半を占めている。ここ数十年で目覚ましい発展を遂げてきた半導体 CMOS であるが、近い将来、様々な問題に直面すると言われている。この問題の一つに配線遅延問題がある。これはゲート間を結ぶ配線

上の電荷の充放電にかかる時間が CR 時定数によって決まるため、これを改善することはできないというものである。このために半導体 CMOS を用いた回路ではどれだけトランジスタのスイッチ速度を速くしても配線遅延により周波数の上限が決ってしまうといった問題が生じる可能性がある。

このような問題を解決する回路として単一磁束量

子(SFQ)回路がある。単一磁束量子(SFQ)回路は、高速動作、低消費電力の両面の特徴を持ち合わせた回路である。SFQ 回路には受動伝送線路(PTL:Passive Transmission Line) という配線技術があり、SFQ パルスを光速で伝送することが可能であり、先ほど述べた配線遅延問題も解決できる。このように SFQ 回路は、半導体に代わる次世代に向けた超高速デバイスとして期待されている。

ところが近年 CMOS の微細化が進み、半導体 CMOS の消費電力も低減化が行われており、SFQ 回路も消費電力において半導体に対して優位性を示すことが求められ始めている。具体的には、半導体 CMOS において一回スイッチする際に消費されるエネルギーは現在およそ 10^{-15} J 程度である。これに対して、SFQ 回路の消費エネルギーは 10^{-17} J 程度である。しかし SFQ 回路は低温に維持するために冷凍機が必要となり冷凍機の消費電力を含めた SFQ 回路のシステム全体の消費電力としては 10^{-15} J となり半導体と同程度になってしまう。このために現在消費電力において SFQ 回路が半導体に対して優位であるとは言えないのが現状である。このために消費電力においても 100 倍以上の優位性を示すことを考えると、SFQ 回路は消費エネルギーは 10^{-19} J 程度、電力としては数 nW の動作が求められる。

SFQ 回路における消費電力は、バイアス抵抗 R_b で消費される電力(静的消費電力)と、JJ 自身の抵抗ならびにシャント抵抗 R_s で発生する電力(動的消費電力)に分けられる。現在の SFQ 回路では、電力の大半はバイアス抵抗 R_b で消費されていることから、SFQ 回路の消費電力を低減していくためには、バイアス抵抗 R_b で消費される静的消費電力を小さくすることが求められる。静的消費電力を低減するための方法としては、RSFQ 回路のバイアスラインに大きなインダクタンスを挿入することでバイアス電流を安定化させる LR ロード[1]を導入した方法の他に、RQL[2]、eSFQ[3]等が挙げられる。

そこで我々は、消費電力数 nW の SFQ 回路を目指し、 V_b を低減化した SFQ 回路の研究を行った。

2. 動的消費電力の低減

2.1 電源電圧の低減によるバイアス電流の変化

本研究においては、 V_b を低減化した SFQ 回路を製作し、動作実証を行った。これまでは SFQ 回路の大半を占めていた静的消費電力の低減化が行われてきているが、我々は本研究では、静的消費電力に加え、動的消費電力を低減することを目的とし V_b の低減化を行った。ここで SFQ 回路の等価回路を図 1 に示す。

SFQ 回路は本来、回路を駆動するために供給しているバイアス電流をできるだけ変動しないように電源は

電流源に近い形で電流を供給している。このため、JJ がスイッチした際に発生する電圧 $I_c R_s$ に比べ、電源電圧 V_b 、臨界電流値 I_c から決まるバイアス抵抗 R_b の大きさは、シャント抵抗 R_s に対して十分大きな値を用いている。

ここで電源電圧 V_b を小さくすると、これに合わせてバイアス抵抗 R_b も小さくなる。このとき、JJ がスイッチした際に発生する電圧 $I_c R_s$ に対して、バイアス抵抗に発生しているバイアス電圧 V_{Rb} が十分に大きいとは言えないために、バイアス電流 I_b が急峻に減少するといった現象が起こる。

この I_b の現象に関して電源電圧 V_b 依存性を図 2 に示す。図 2 のように、電源電圧を低減するに従い、JJ がスイッチした際のバイアス電流の減少量が大きくなる。このようにバイアス電流の急峻な減少が起こる。

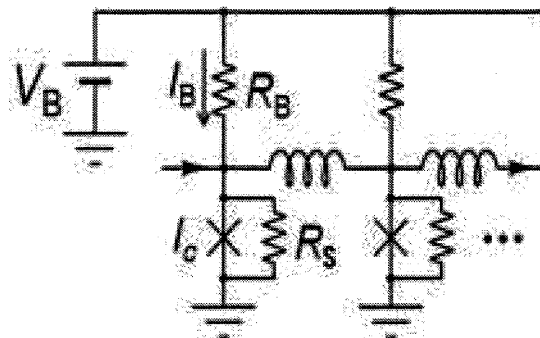


図 1 : RSFQ 回路の等価回路

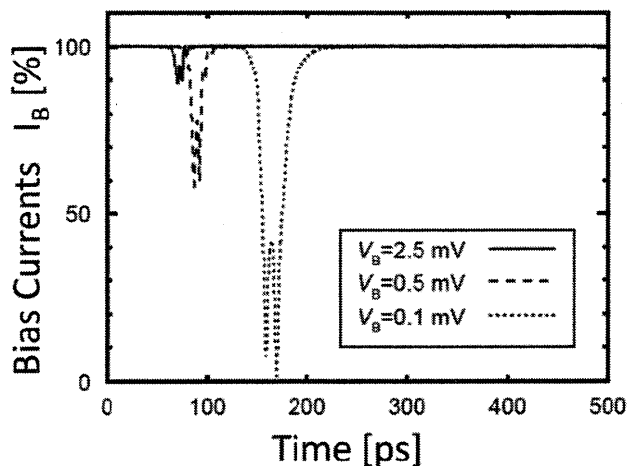


図 2 : JJ がスイッチした際のバイアス電流の過渡現象

2.2 動的な消費電力の低減

動的な消費電力とは、主にはジョセフソン接合に並列に接続されているシャント抵抗において消費される電力である。ここで動的消費電力の削減について述べる。シャント抵抗で消費される消費電力は、式(1)のよ

うに表わされる。ここで V は JJ 両端に発生する電圧、 R_s はシャント抵抗である。

$$P_d = \frac{V^2}{R_s} \quad \dots (1)$$

ここでバイアス電流が一定であれば、

$$\frac{V^2}{R_s} = \Phi_0 I_c f \quad \dots (2)$$

と表わすことができる。動的消費電力はバイアス電流が一定であれば、 $\Phi_0 I_c f$ と表わされる。ここで Φ_0 は磁束量子であり $\Phi_0 I_c$ はバイアス電流 I_b が一定の場合に動的消費電力の目安となる JJ の結合エネルギーである。このとき JJ 両端の電圧 V は(3)のジョセフソンの式から、ジョセフソン接合の位相差 ϕ の時間微分に比例するため、接合の位相差をゆっくり動かすことができれば、シャント抵抗にかかる電圧を小さくでき、動的な消費電力を低減できると考えられる。

$$V = \frac{\Phi_0}{2\pi} \frac{d\phi}{dt} \quad \dots (3)$$

このように動的な消費電力を低減するためには、接合がスイッチしたときに駆動力を減らすことができればよい。ここで駆動力が減ることとは、バイアス電流が減少することを意味する。ここで 2.1 にあるように、電源電圧 V_b を低減すると JJ がスイッチした際、バイアス電流が急峻に減少する電源電圧を低減することで、この減少をあえて利用することにより動的な消費電力の低減が可能であると言える。

電源電圧を低減することで、実際に動的消費電力が小さくなることを調べるために、JSIM を用いて JJ がスイッチした際に発生する SFQ パルスの波高値、半値幅を求めた。この値から SFQ パルスを三角波と仮定し、三角波の積分値を求め、動的消費電力を算出した。実際には、動的消費電力は式(4)から求めた。ここで V は波高値、 w は SFQ パルスの半値幅、 R がシャント抵抗である。

$$E = \frac{1}{R} \int_0^w v^2 dt \cong \frac{2V^2}{3R_s} w \quad \dots (4)$$

以上の様に電源電圧を変化させ、動的消費電力の電源電圧 V_b 依存性について調べた。この結果を図 3 示す。電圧 V_b を小さくしていくと、動的消費電力は $I_c \Phi_0$ に比べて小さくなるのがわかる。ここから電源電圧を小さくすると動的消費電力を低減できることを示している。

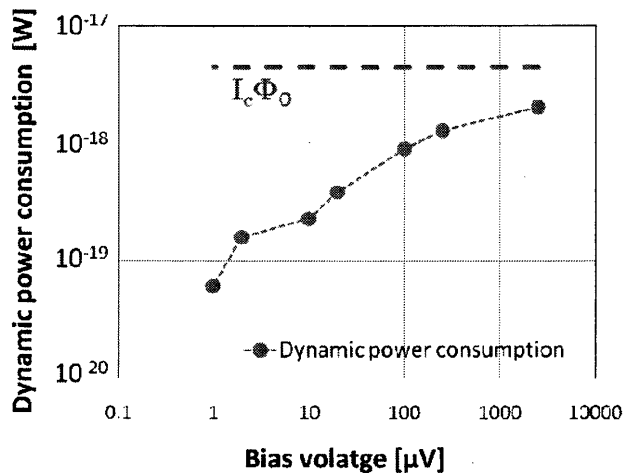


図 3 : 動的消費エネルギーの V_b 依存性

3. STP2 における低消費電力シフトレジスタの設計

すでに述べたように、 V_b を低減化することによって動的な消費電力を小さくすることができる。本研究では、このように静的消費電力に加えて動的消費電力を小さくするため V_b を小さくした SFQ 回路を試作した。またこれに加えて、さらに SFQ 回路の消費電力を低減するために臨界電流値 I_c も小さくした。今回はデジタル回路の中でもっとも基本的な回路であるシフトレジスタの設計を行った。また 4 bit の高速試験を行えるように bit 数は 8bit とした。本研究で試作した 8bit シフトレジスタのブロック図を図 4 に示す。高速クロックジェネレータとは、オンチップで高速試験を行うためのものである。

本研究では消費電力が CONNECT セル[4]に比べて 1/10, 1/50, 1/100, 1/500 となるシフトレジスタを設計した。シフトレジスタは ISTEK の STP2 を用いて作成している。また消費電力が 1/10, 1/50, 1/100, 1/500 のシフトレジスタをそれぞれ、A, B, C, D と呼ぶことにする。これらのパラメータを表 1 に示す。

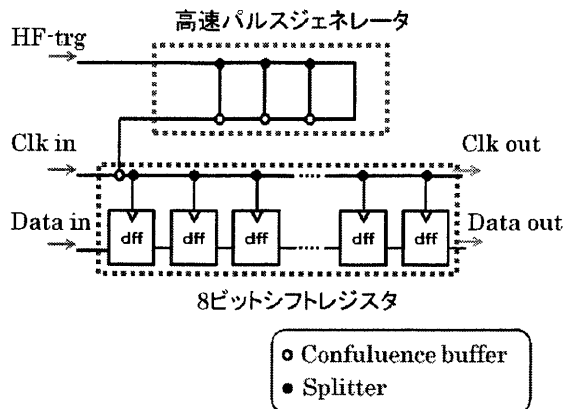


図 4 シフトレジスタのブロック図

表 1: 低消費電力シフトレジスタのパラメータ

SR	電源電圧 V_b [mV]	臨界電流値	消費電力
※	2.5	160 μ A	-
A	0.5	1/2	1/10
B	0.1	1/2	1/50
C	0.1	1/4	1/100
D	0.02	1/4	1/500

※CONNECTセル

表 1 において今回我々が基準としている CONNECT セルの電源電圧は 2.5mV、最少の臨界電流値は 160 μ A である。表 1 の低消費電力シフトレジスタのパラメータである電源電圧 V_b について、従来我々が用いていた CONNECT セルの V_b は 2.5mV であった。本研究では、これに対しシフトレジスタ A では、1/5 である 0.5mV、またシフトレジスタ B、C では 1/25 である 0.1mV、シフトレジスタ D では 0.02mV とした。

また表 1 のパラメータに関して臨界電流値 I_c について、現在の STP2 を用いることを考えると CONNECT セルに比べ 1/4 程度にまで小さくすることが可能であると考えられることから、今回はシフトレジスタ A、B では CONNECT セルに比べて 1/2、シフトレジスタ C、D では 1/4 の臨界電流値を用いた。

さらに RSFQ 回路のバイアス抵抗 R_b は電源電圧 V_b と臨界電流値 I_c により決定される。このようにパラメータを決めることで、1/10、1/50、1/100、1/500 の消費電力を実現している。

ここで設計した 8bit のシフトレジスタのチップ写真を図 5 示す。また、8bit シフトレジスタには、配線セル以外に、Delay Flip Flop (DFF)が必要である。今回設計したシフトレジスタ C に用いた DFF のチップ写真を図 6 示す。また設計したシフトレジスタの JJ 数と電流量について表 2 に示す。

表 2: シフトレジスタの JJ 数と電流量

SR	JJ 数	電流量 [mA]
A	168	11.5
B	168	11.5
C	168	5.75
D	202	6.90

表 2 の JJ 数について、シフトレジスタ D が他のシフトレジスタと値が異なるのは、タイミング調整のため

に、DFF 間に遅延を持たせるセルを挿入しているためである。また、表 2 にもあるように総バイアス電流量はシフトレジスタ A、B は 11.5mA、シフトレジスタ C で 5.75mA、シフトレジスタ D は 6.90mA となった。ここでシフトレジスタ A、B と C で総バイアス電流量が異なるのは JJ の臨界電流値 I_c が違うためである。シフトレジスタ C、D は I_c は同じであるが、D は遅延を持たせるセルが挿入されている分、C に比べて電流量が多少大きくなっている。

高速試験用の高速クロックジェネレータ、入出力インターフェースは CONNECT セルを用いた。CONNECT セルと低消費電力シフトレジスタは JJ の臨界電流値 I_c が異なるため、接続用の専用セルを使用した。また、オンチップの高速試験で用いる高速クロックジェネレータは、シフトレジスタ A、B、C に関しては出力可能な帯域を 9GHz~20GHz と 14GHz~45GHz の 2 種類設計している。これは、高速クロックジェネレータは、ある特定の帯域の周波数しか出力することができないためであり、より広い周波数帯域での動作確認を行えるようにしている。シフトレジスタ D に関しては、 V_b を大きく低減していることから、動作周波数の低下が想定される。このために 4.3GHz~7GHz の高速クロックジェネレータを用いている。

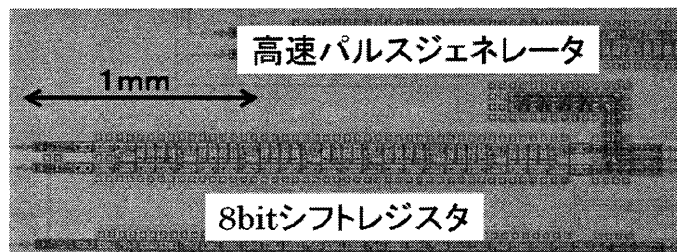


図 5 低消費電力シフトレジスタ A のチップ写真

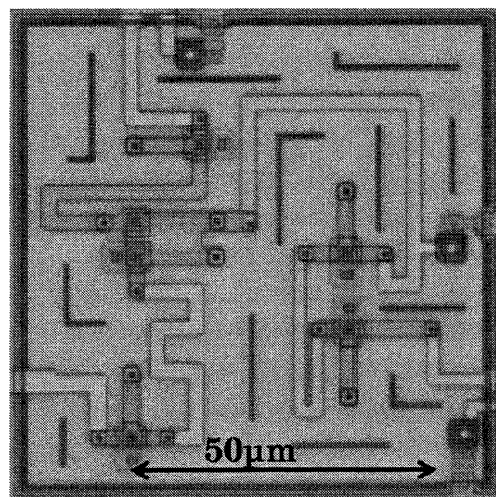


図 6 消費電力 1/100 の Delay Flip Flop のチップ写真

4. STP2 における低消費電力シフトレジスタの評価

試作した低消費電力シフトレジスタのオンチップテストによる高速試験を行った。

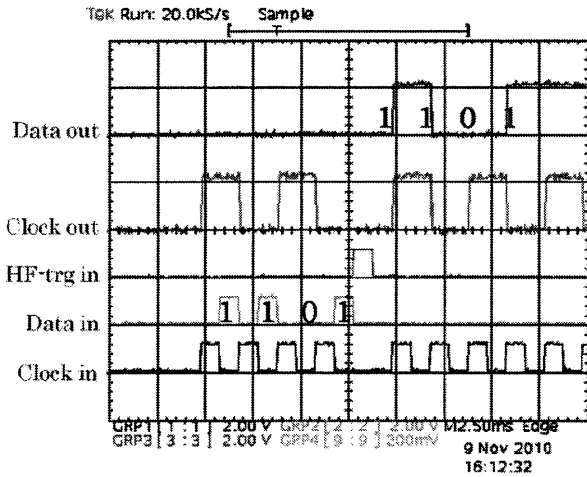


図 7 低消費電力シフトレジスタの動作波形

高速試験においては測定波形の一例を図 7 示す。測定方法としては、まず 4bit のテストパターン data in(1101)を低速で入力し、高速クロックジェネレータへの入力 HF-trg に入力することにより、4bit の高速試験を行う。その後、4bit の低速クロックを入力し、出力波形を観測する。図 7 は、data out から正しく(1101)が出力されていることから、シフトレジスタ A は高速試験において正常に動作していることが分かる。

このようにして、A~D のシフトレジスタについて高速試験を行った結果 A~C のシフトレジスタは±20% のバイアスマージンを持って動作することを確認した。シフトレジスタ D に関しても、高速試験での動作を確認することができた。また、測定した結果、すべてのシフトレジスタで 45GHz まで動作を確認することができた。しかしながら実際には 45GHz はシフトレジスタに入力している周波数である。電源電圧 V_b を小さくした SFQ 回路では回路内で SFQ パルス間隔が広がり、周波数が低下してしまうことが懸念されている[1]。今回用いている STP2 においては、このように周波数が低下している可能性があるため、シミュレーションを行い実際の最大動作周波数を見積もり、補正を行った。今回設計した低消費電力シフトレジスタの最大動作周波数としては、シフトレジスタ A が 43GHz、B が 19GHz、C が 20GHz となった。これらの動作周波数を考慮し、シフトレジスタのバイアスマージンの周波数依存をグラフで表すと図 8 ようになる。

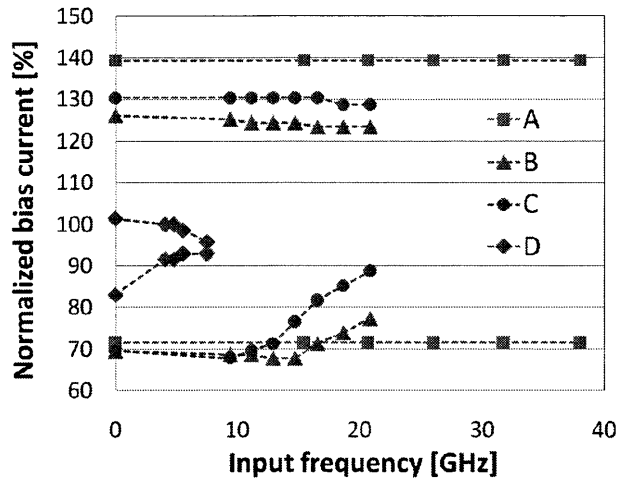


図 8 低消費電力シフトレジスタのバイアスマージンに対する周波数依存性

5. 低消費電力シフトレジスタの性能評価

これらのシフトレジスタについて、電力と最大周波数の逆数をゲート遅延として図 9 に示した。ここでの消費電力は、JJ が一回スイッチする時に消費する電力である。消費電力が 1/100, 1/500 のものは消費電力が数 nW となることがわかる。特に消費電力 1/500 のシフトレジスタ D は従来の SFQ 回路に比べ消費電力を二桁以上低減することができた。電力遅延積においては、シフトレジスタ D が最も優れた値を示し、従来のシフトレジスタに比べて約 70 倍程度向上した。

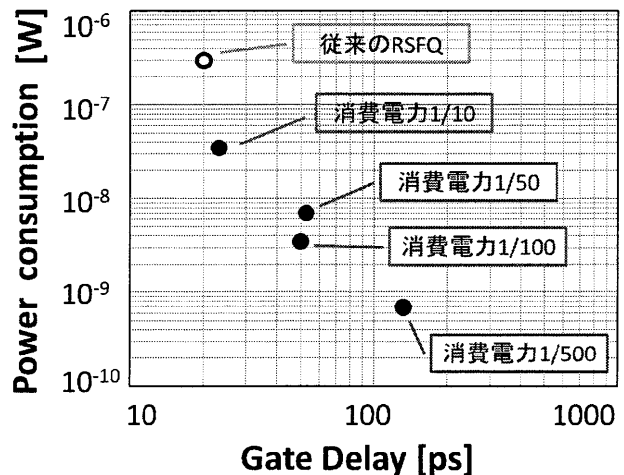


図 : 9 消費電力のゲート遅延特性

また、これらのシフトレジスタについて、1 接合が 1 回スイッチングするのに必要なエネルギーをビットエネルギー、最大周波数の逆数をゲート遅延として図 10 に示した。ここでの CMOS は、CMOS の LSI としての動作速度、またエネルギーにおいてはゲートのみ

ではなく配線等で消費されるエネルギーを考慮して。

この消費電力が 1/100 のシフトレジスタの 1 接合が 1 回スイッチングするのに必要なエネルギーは $1.7 \times 10^{-19} \text{J}$ となった。この値は、ジョセフソン接合の結合エネルギーのわずか 1.5 倍であり、シャント抵抗で消費される動的消費エネルギーを低減化していることを意味している。エネルギー遅延積の観点からは、消費電力を 1/100 とした回路と最も優れていた。このシフトレジスタのエネルギー遅延積は従来 SFQ 回路に比べて 13 倍向上した。本研究で試作したシフトレジスタのエネルギー遅延積は半導体に比べて 5 桁優れていることから、冷凍機の消費電力を考慮しても半導体に対して優位であると言える。本研究において試作したシフトレジスタは単純に V_b を下げるといった手法によって行ったものであり、最適化によって更なる向上も見込める。これらの結果から、SFQ 回路の半導体に対する優位性を明確に示すことができた。

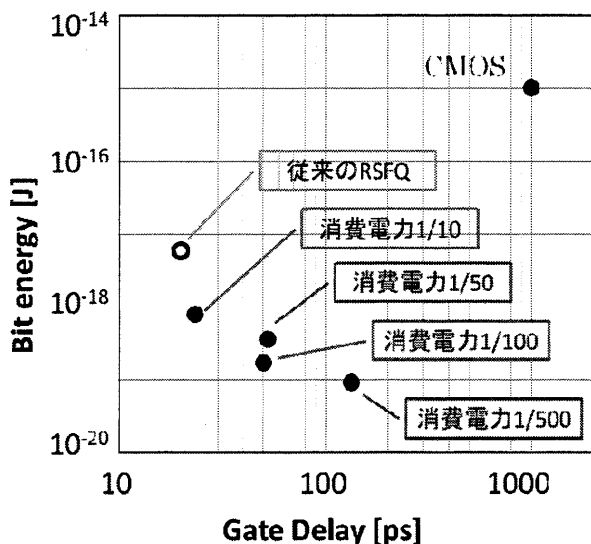


図 10 ビットエネルギーのゲート遅延特性

6. まとめ

電源電圧 V_b を小さくすることで消費電力を低減したシフトレジスタの研究を行った。 V_b を低減化することで、回路の電流を制御しているでの消費電力も小さくなる。加えて V_b を小さくするとジョセフソン接合(JJ)がスイッチしている間に JJ に並列に挿入されているシャント抵抗 R_s に供給される電流が急峻に減少するといった現象が生じる。その結果 R_s での消費電力も小さくなる。本研究では、静的消費電力、動的消費電力の両方を低減化するために電源電圧に加えて臨界電流値も小さくしたシフトレジスタを試作した。これらのシフトレジスタの動作実証を行い、動的消費エネルギーを低減化していることを示した。従来の SFQ 回路に比べて電力遅延積では約

70 倍、エネルギー遅延積では 13 倍以上向上した。本研究で試作したシフトレジスタのエネルギー遅延積は半導体に比べて 5 桁優れていることから冷凍機の消費電力を考慮しても半導体に対して優位性を示すことができた。

謝辞

本研究では、科研費（基盤 S 22226009）の助成を受けたものである。本研究に用いた回路は ISTEK の STP2 プロセスを用いて作製した。また、本研究に用いた回路の作製には、産業技術総合研究所が一部寄与している。

参考文献

- [1] Yuki Yanamashi, Takanobu Nishigai, and Nobuyuki Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum circuits", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL.17No.2, JUNE 2007
- [2] Quentin P. Herr, Anna Y. Herr, Oliver T. Oberg, and Alexander G. Ioannidis, "Ultra-low-power superconductor logic", JOURNAL OF APPLIED PHYSICS 109, 103903 (2011)
- [3] Oleg A. Mukhanov, Senior Member, "Energy-Efficient Single Flux Quantum Technology", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL. 21, NO. 3, JUNE 2011
- [4] S.Yorozu et al, "A single flux quantum standard logic cell library," Physica C, 378-381, pp.1471-1474, 2002
- [5] Masato ITO, Kataeva IRINA, Masakazu OKADA, Tomohito KOKETSU, Masamitsu TANAKA, Hiroyuki AKAIKE and Akita FUJIMAKI, "Demonstaration of 4x4 SFQswitch fabricated with the ISTEK 10-kA/cm2 Nb Advanced process2," THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS
- [6] Masakazu OKADA, Irina KATAEVA, Masato Ito, Masamitsu TANAKA, Hiroyuki AKAIKE, Akira FUJIMAKI, Nobuyuki YOSHIKAWA, Shuichi NAGASAWA, Naofumi TAKAGI, "Demonstration of a 2x2 Single-Flux-Quantum Reconfigurable Data-Path Based on the 10-kA/cm2 Process" THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS
- [7] Thomas Ortlepp, Olaf Wetzstein, Sonja Engert, Juergen Kunert, and Hannes Toepfer, "Reduced Power Consumption in Superconducting Electronics", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL. 21, NO. 3, JUNE 2011