

相補型デルタアナログ-デジタル変換器の性能改善に向けた 積分器の導入

楠本 哲也[†] 宮嶋 茂之[†] 松岡 宏弥[†] 藤巻 朗[†]

[†]名古屋大学〒464-8603 愛知県名古屋市千種区不老町

E-mail: [†] kusumoto@super.nuqe.nagoya-u.ac.jp

あらまし 本稿では相補型デルタアナログ-デジタル(A/D)変換器への積分器の導入について述べる。相補型デルタ A/D 変換器に積分器を組み込むことで Signal-to-Noise Ratio (SNR)を 20 dB 改善することが可能である。積分器の導入にあたり、我々はまず相補型デルタ A/D 変換器のデジタル部にあたる積分器と間引きフィルタの動作実証を行い、6.5GHz までの動作を確認した。さらに、同回路に変調器も組み合わせた相補型デルタ A/D 変換器全体での動作実証にも成功した。

キーワード SFQ 回路, 相補型デルタ A/D 変換器, 積分器

Introduction of an SFQ integrator for improvement of complementary delta analog-to-digital converters

Tetsuya KUSUMOTO[†] Shigeyuki MIYAJIMA[†]

Hiromi MATSUOKA[†] and Akira FUJIMAKI[†]

[†] Nagoya University Furo-Cho, Chikusa-Ku, Nagoya-City, Aichi

E-mail: [†] kusumoto@super.nuqe.nagoya-u.ac.jp

Abstract We have studied the development of an SFQ integrator for improvement of complementary delta analog-to-digital converters. The complementary delta analog-to-digital converter which is incorporated the SFQ integrator makes it possible to improve the SNR about 20dB. Then, we demonstrated the integrator and the decimation filter which is digital circuits of the complementary delta ADC. As a result, the circuits operated up to 6.5 GHz. Furthermore, we successfully demonstrated the complementary delta analog-to-digital converter which is incorporated an SFQ integrator.

Keyword SFQ circuit, complementary delta ADC, integrator

1. はじめに

単一磁束量子(SFQ)回路を用いると、デバイスそのものが持つ極低温動作かつ高速動作という性質から高感度・広帯域なアナログ-デジタル(A/D)変換器が実現可能である。まず、SFQ 回路のもつ高速動作性は A/D 変換を行う際のサンプリング周波数の向上に貢献する。これは広帯域なアナログ入力信号を A/D 変換する上で欠かせない要素である。さらに、SFQ 回路の動作する極低温環境化では熱雑音が非常に小さく、このことは A/D 変換器の高感度化につながる。このように SFQ 回路を用いた A/D 変換器は、半導体ではなし得ない性能を実現することが可能である。

現在我々はこの超伝導 A/D 変換器を超伝導検出器と組み合わせることにより、高分解能なセンサシステムを実現させることを目標としている。図 1 にセンサシステムの概略図を示す。超伝導検出器は優れたエネ

ギー分解能を持つが検出面積が狭いため、実用化に向けては図 1 のようにアレイ化する必要がある。超伝導 A/D 変換器と多重化回路を用いているのは、アレイ化によって増加した室温側への配線数を減らし、室温からの熱の流入を最小限に抑えるためである。超伝導検出器のエネルギー分解能は半導体検出器よりも 2 桁程度優れており [1][2]、このセンサシステムの実現は素粒子物理学や電波天文学等の分野に大きく貢献できると考えられる。

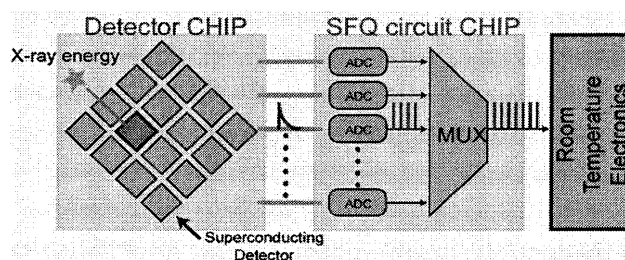
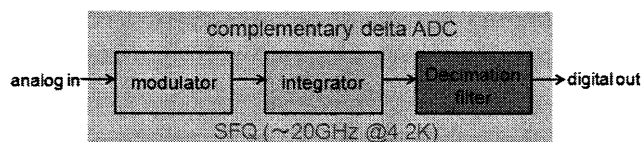


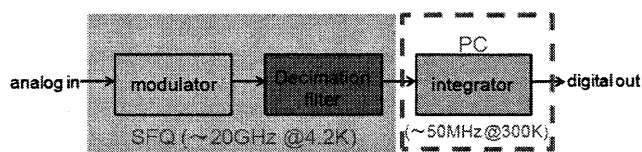
図 1: 高エネルギー分解能センサシステム

しかしながら、超伝導検出器の持つ分解能を信号処理の段階で劣化させないためには、SNRが74dB以上、感度が数十 nA の A/D 変換器を用いなければならず、これらの性能を満たす超伝導 A/D 変換器は未だ開発されていない。そこで我々は、SFQ 回路を用いた相補型デルタ A/D 変換器というものを提案し、現在開発を進めている。相補型デルタ A/D 変換器は図 2(a)に示すようにデルタ変調器・積分器・間引きフィルタで構成されたオーバーサンプリング型の A/D 変換器であり、入力信号に対し感度が良いという特徴を持ち、理論上 SNR74dB、感度数十 nA を実現することが可能である[3]。現在までに相補型デルタ A/D 変換器の動作実証はすでに行われている[4]。しかし積分器を SFQ 回路で実現させると回路が複雑で大規模になってしまうため、これまでの相補型デルタ A/D 変換器は変調器からのデータを間引きフィルタを通して周波数を落とし、最後にパソコンで積分処理を行っていた(図 2(b))。その結果、変調器からのデータがそのまま間引きフィルタで間引かれてしまい、図 2(a)のモデルと比較すると SNR は 20 dB 低下してしまう。これまで我々が動作実証を行った相補型デルタ A/D 変換器の SNR はいずれも 50dB 以下であり、目標の SNR を達成するためには積分器を SFQ 回路で実現することが不可欠である。

そこで、相補型デルタ A/D 変換器の SNR を改善することを目的とし、本報告では SFQ 回路内での積分器の設計と動作結果、及び積分器を搭載した相補型デルタ A/D 変換器の動作結果について述べる。



(a)相補型デルタ A/D 変換器



(b)従来の構造

図 2: 相補型デルタ A/D 変換器のブロック図

2. 積分器・間引きフィルタ・高速パルス生成回路の設計

図 3 に積分器と間引きフィルタのブロック図を示す。今回は相補型デルタ A/D 変換器のデジタル回路部にあたる積分器と間引きフィルタをまとめて設計した。これは、積分器と間引きフィルタのクロックラインを共通にし、積分器-間引きフィルタ間でのタイミングのずれを緩和するためである。

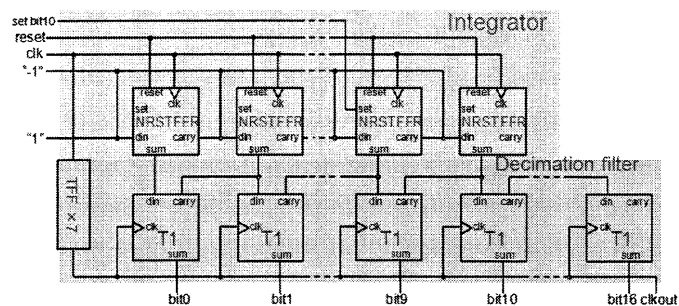


図 3: 積分器と間引きフィルタのブロック図

積分器はデルタ変調器からの“1”、“-1”というデータを順次加算してゆき、クロックが入力されると加算結果を 2 進数で出力する非破壊式カウンター回路である。その構成は、非破壊読み出し機能をもった Toggle Flip-Flop (TFF) である NRSTFFR セルを用いて構成することができる。“-1”というデータに対しては補数を利用し、積分器の全ての NRSTFFR セルにデータが入力される構造とした。

間引きフィルタは、積分器からのデータをさらに加算していき、クロックが入力されると加算結果を 2 進数で出力する破壊式カウンター回路である[5]。その構成は、破壊読み出し機能をもった TFF である T1 セルを用いて構成することができる。さらに、間引きフィルタに入力されるクロックの周波数は TFF セルを 6 個用いて 1/64 に落とされている。このことにより間引きが完了し、例えば 6.4GHz で回路を駆動させた場合も測定機器への最終出力は 100MHz となる。今回用いた間引きフィルタの次数は 1、間引き率は 64 である。

これまでにも SFQ-積分器単体の開発は進められており、一定の成果を上げてきた[6]。しかしながら回路内でのタイミングエラーが原因となり、その動作実証は低速試験のみにとどまっていた。そこで、今回はタイミングエラーを起こしやすい NRSTFFR セルのセットアップ・ホールド時間を事前に実測し、その結果をもとにタイミングに十分余裕を持たせた設計を行った。さらに、図 4 に示すように Delayed Flip-Flop (DFF) を用いて 1 ビットごとにデータの同期を取り直す構造とすることでタイミングエラーの防止を狙った。

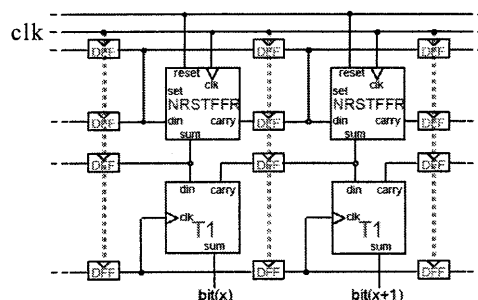


図 4: DFF を用いた積分器・間引きフィルタの概略

ここで、本回路で高速試験に用いる高速パルス生成回路について説明する。高速試験での回路評価を行うためには、数 GHz でクロックとデータの入力を行う必要がある。しかし我々の持つ測定環境では数 GHz でデータを作り出すことが困難であるため、SFQ 回路内で高速パルス生成回路を用いて高速なデータを作り出す必要がある。その際よく用いられるのが **splitter** と **Confluence buffer (CB)** を組み合わせた高速パルス生成回路とシフトレジスタである。任意の入力パターンを外部から低速でシフトレジスタに蓄え、高速パルス生成回路を用いて作り出した高速パルスでクロックとシフトレジスタに蓄えられたデータを高速で測定回路に入力する。しかし、本回路は間引きフィルタにより 64 個分のデータを蓄えるため、この測定方法で測定を行うには 64 ビット分のシフトレジスタと高速パルス生成回路が必要となり、それだけでジョセフソン接合数が 3000 を越えてしまう。バイアス電流も高速試験用回路だけで 400mA を越えてしまい、測定回路へ悪影響を与えてしまう可能性がある。

そこで我々は図 5 に示すような高速パルス生成回路を設計し、高速でクロックとデータの入力を行えるようにした。この回路はトリガー信号を外部から入力するたびに 64 個分のクロックとデータを生成することができる。さらにリングオシレータはバイアス分離されており、このバイアス電流を変えることでクロックとデータの周波数を調整することが可能である。接合数に関してもシフトレジスタを用いるよりも 1/5 で構成することができた。

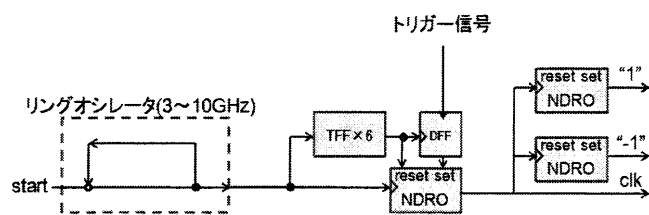


図 5：高速パルス生成回路

回路は **CONNECT** セルライブラリを使用して設計を行い、ISTEC 標準 2 プロセスによって試作された[7]。設計した積分器と間引きフィルタの顕微鏡写真を図 6 に示す。設計周波数 6.4GHz、間引き率は 64、積分器のビット数は 10、間引きフィルタのビット数は 16、ジョセフソン接合数は 4576、バイアス電流の合計は 588.4mA、回路面積は $3.3 \times 1.9 \text{ (mm}^2\text{)}$ となった。

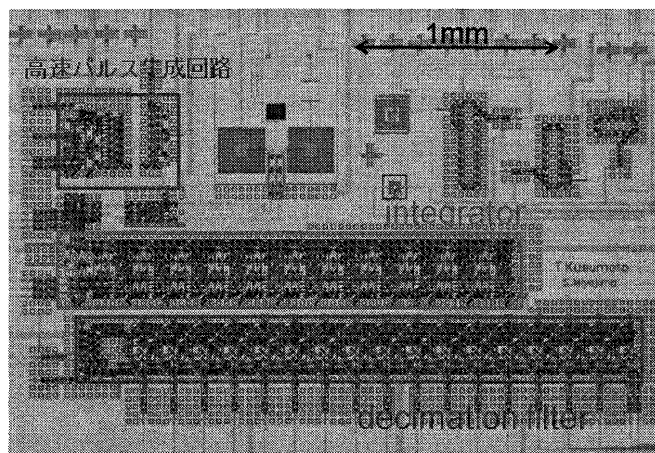


図 6：積分器・間引きフィルタ・高速パルス生成回路の顕微鏡写真

3. 積分器・間引きフィルタの測定結果

回路測定は、低速試験及び 2 章で述べた高速パルス生成回路を用いた高速試験を行った。高速パルス生成回路はデータの入力パターンを「クロック毎に “1” を入力」「クロック毎に “-1” を入力」「クロック毎に “1” “-1” の両方を入力」の 3 パターンしか行えない。しかし、高速で動作させたときにタイミングエラーが予想される NRSTFFR セルと T1 セルの動作については、これら 3 パターンで全ての入力パターンの試験を行うことができる。以上の理由から低速試験ではデータパターンを様々に変化させて動作を確認し、高速試験では上記の 3 パターンでの動作確認を行った。

その結果、低速試験では任意のデータパターンについて正常動作を確認することができ、高速試験においても 6.5GHz まで正しい演算が行えていることを確認した。高速試験で得られた波形の一例を図 7 に示す。これはクロック毎に “1” を入力したときの出力波形である。64 回クロックを入力する度に 1 回出力が観測され、間引きが正常に行われている。また、積分器と間引きフィルタにより $2^{12}(=64^2)$ ずつ前のデータから加算された結果が得られている。この回路のバイアスマージンに対する周波数依存性を図 8 に示す。今回の動作実証では、低速試験においてもバイアスマージンは 7.1%～21.5% と非常に狭い結果となった。これは NRSTFFR セル自体のバイアスマージンがもともと狭いためである。この NRSTFFR セルを同回路内に 11 個用いていることから、その重なりマージンが狭くなったと考えられる。バイアスマージンは狭いものの、設計周波数である 6.4GHz での動作実証に成功した。このことから、相補型デルタ A/D 変換器のデジタル部が完全動作したといえる。そこで次のステップとして、同回路をデルタ変調器と組み合わせ、A/D 変換器として正しく動作するかの評価を行った。

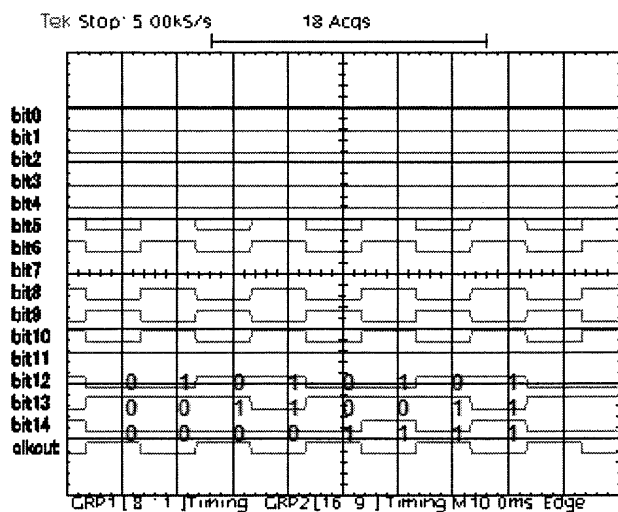


図 7: 積分器・間引きフィルタの動作波形

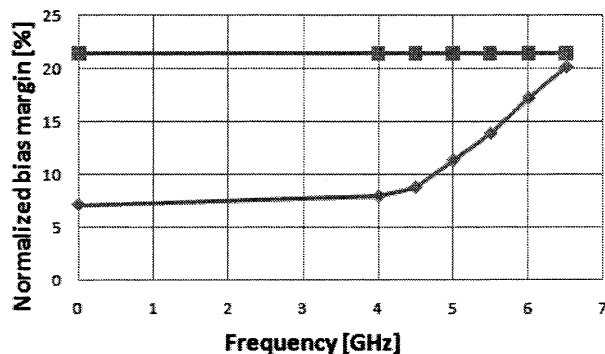


図 8: 積分器のバイアスマージンに対する周波数依存性

4. 積分器を搭載した相補型デルタ A/D 変換器の設計

まず初めに、今回積分器・間引きフィルタと組み合わせた変調器の構造について述べる。我々は変調器として相補型デルタ変調器というものを用いている。相補型デルタ変調器はオーバーサンプリング型の変調器であり、入力信号の変化をパルス密度変調し出力する回路である。

図 9 に SFQ 回路における相補型デルタ変調器の概略図を示す。アナログ入力信号は磁気結合により入力され、この入力電流 I_{in} によってインダクタンス L_{iR} には、

$$V_{L_{iR}} = M_R \frac{dI_{in}}{dt}$$

の電圧が生じる。この電圧とオフセット電流によって抵抗 R_i に生じる電圧の和がジョセフソン接合 J_{qR} にかかり、その電圧に比例した周波数で接合がスイッチし、量子化を行う。一方左側のジョセフソン接合も、イン

ダクタンス L_{iL} に生じる電圧

$$V_{L_{iL}} = -M_L \frac{dI_{in}}{dt}$$

と抵抗 R_i に生じる電圧の和に比例した周波数でスイッチし、量子化を行う。つまり、アナログ入力信号の勾配が正のとき右側の量子化器が高い周波数、左側の量子化器が低い周波数で SFQ パルスを出力する。また勾配が負のときはそれぞれ逆の動作になる。左右の量子化器によって生成された SFQ パルスは DFF セルに入力されるクロック周波数で標本化され、右側の出力は“1”、左側の出力は“-1”という情報で積分器に入力される構造となっている。

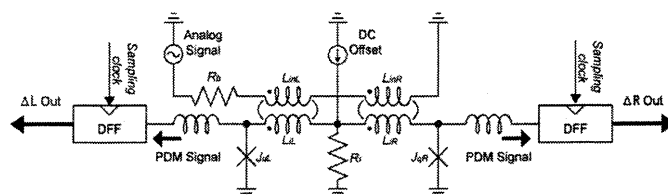


図 9: 相補型デルタ変調器の概略図

図 10 に今回設計した相補型デルタ A/D 変換器の顕微鏡写真を示す。この回路では設計周波数を 12.8GHz とし、間引きフィルタの間引き率を 128 とした。積分器はオーバーフロー、アンダーフローを起こさないよう、ビット数を 11 とし、間引きフィルタのビット数は 18 とした。また、標本化器である DFF へのクロック入力は、同一チップ上にあるリングオシレータを用いて行った。総接合数は 3627、回路面積は 3.5×2.2 (mm²) である。総接合数が 2 章で述べた回路よりも減っているのは、高速試験用の回路を搭載していないことと、取り付けた変調器の接合数が非常に少ないことが大きな要因である。

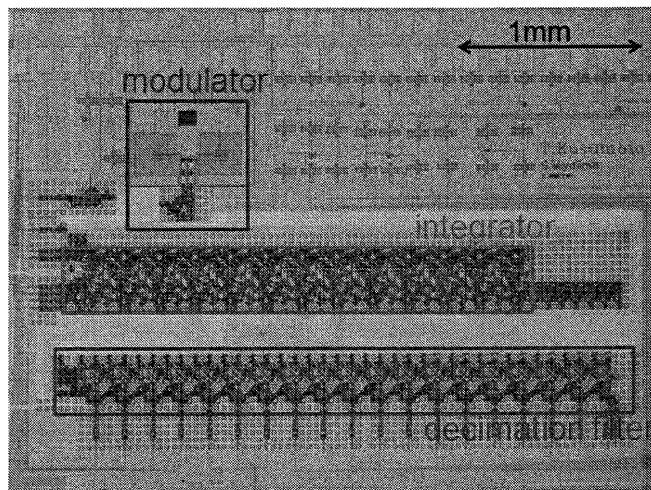


図 10: 相補型デルタ A/D 変換器の顕微鏡写真

5. 積分器を搭載した相補型デルタ A/D 変換器の動作評価

本回路の動作評価に当たっては、5MHz の正弦波を入力した。まず測定のために NRSTFFR セルの SET と RESET 機能を用いてビット 10 のみを“1”状態に、その他のビットを全て“0”状態にする。これは非破壊カウンタ回路である積分器がオーバーフローやアンダーフローを起こさないための処置である。またアナログ入力信号が減少したときに図 9 の J_{qL} がスイッチするよう、相補型デルタ変調器にはオフセット電流を 3.5 mA 流した。

測定で得られた波形を図 11 に示す。リングオシレータを用いておよそ 9 GHz でサンプリングを行ったため、最終出力は 1/128 の 70 MHz となった。得られたデジタル値を信号処理し、再現した波形を図 12 に示す。周期はおよそ 14 カウント(200 ns)であり、5 MHz の正弦波が再現されている。図 13 は得られた再現波形をフーリエ変換した図である。5 MHz でピークがでていることから、A/D 変換器が正しく動作したことがわかる。

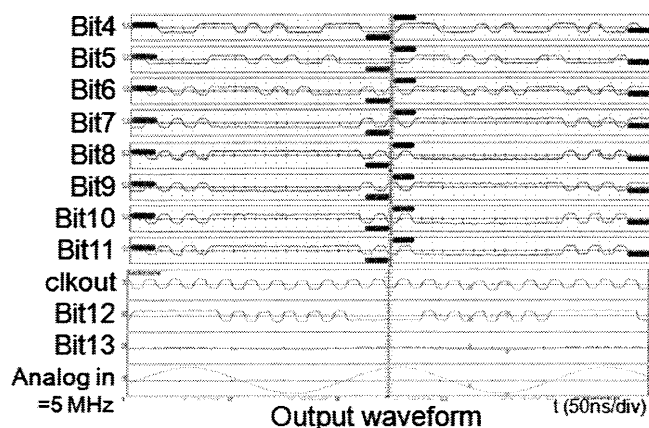


図 11: 相補型デルタ A/D 変換器の測定波形

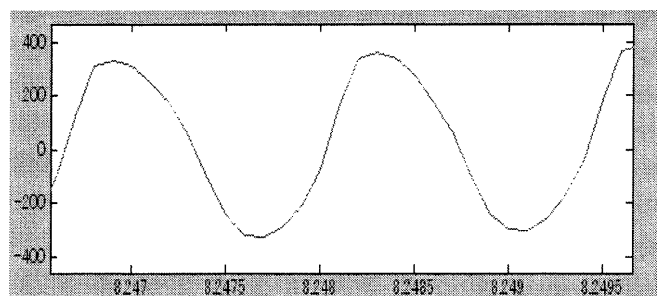
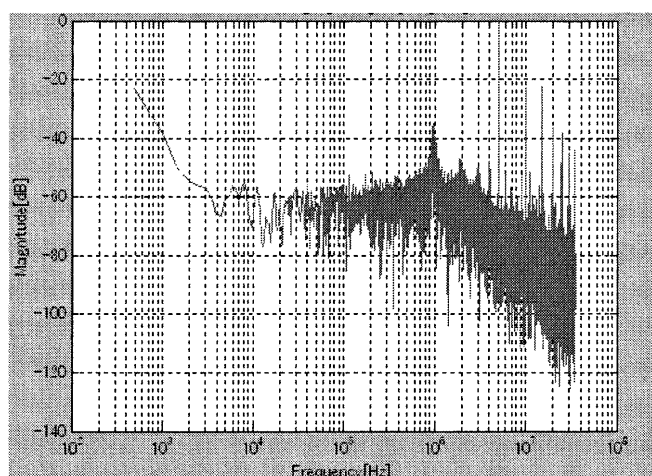


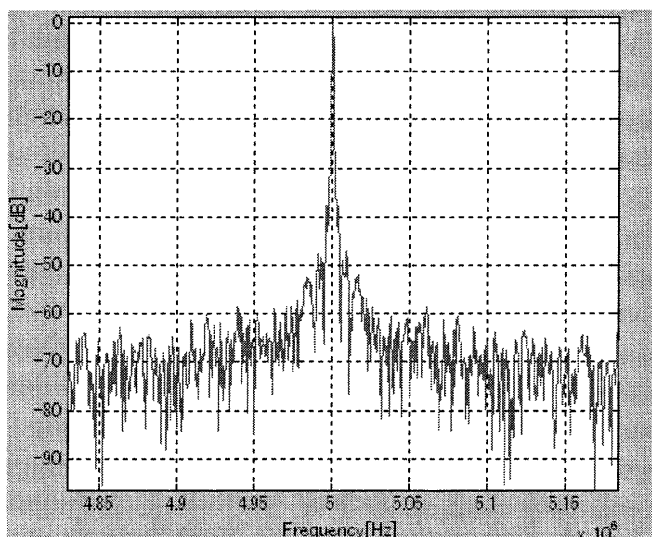
図 12: A/D 変換後のデータによる再現波形

以上のように我々は積分器を搭載した相補型デルタ A/D 変換器の動作実証に成功した。一方、得られた SNR は帯域 100 kHz~20 MHz で 16.2dB、有効ビット数は 2.4 bit であった。今回の動作実証では下位ビット

の情報を捨てて評価を行ったが、今後全てのビットを観測することで SNR を改善することができる。さらに今回は積分器のカウント値が正弦波の周期ごとに±0に戻らず少しずつ増加してしまい、およそ 100 ns の周期でオーバーフローを起こしてしまった。図 13 の 1 MHz 付近に出ているピークはこのオーバーフローによる雑音である。この原因については現在調査中であるが、この問題を解決できれば SNR の改善につながると思っている。



(a) 100kHz~20MHz のスペクトル図



(b) 5MHz 付近での拡大図

図 13: フーリエ変換後のスペクトル図

6. まとめ

本論文では、相補型デルタ A/D 変換器の SNR 改善を目指し積分器を導入した。積分器内部では厳密なタイミング設計がもとめられ、また後段の間引きフィルタとの同期も各ビットで全て取れていなければならない

いが、積分器と間引きフィルタのクロックラインを共通にし、DFFセルを用いて全てのビットで同期を取り直すことでこの問題を解決した。これにより積分器を組み込んだ相補型デルタ A/D 変換器の動作実証に至った。

今後は動作周波数やバイアス電流量、測定環境等の最適化を行い、より高い SNR を目指す。

謝 辞

本研究に用いた回路の制作には、産業技術総合研究所が一部寄与している。

文 献

- [1] G.Angloher,et al, "Resolution of 12eV at 5.9 keV from Aluminium Superconducting Tunnel Junction Detectors," J.Appl.Phys, Vol.89,p.1425,2001
- [2] 佐藤 広海, "improved Fabrication Method for Nb/Al/AlOx/Al/Nb Superconducting Tunnel Junction Detectors," Jpn.J.Appl.Phys.,Vol.39,pp.5090-5094,2000.
- [3] A.Fujimaki, K.Nakazono, M.onogi, K.Okada, A.Sekiya, and H.Hayakawa, "Numerical Analysis of Superconductive Oversampling Analog-to-Digital Converters," IEEE Trans.Appl.Supercond.,vol.13,No.2,JUNE 2003
- [4] 西土佳典, "超伝導相補型 A/D 変換器の設計と動作実証," 応用物理学関係連合講演会 Mar. 2005
- [5] A.Sekiya, M.Tanaka, A.Akahori, A.Fujimaki, and H.Hayakawa, "Demonstration of Decimation Filter and High-Speed Testing of a Component of the Filter," IEEE Trans.Appl.Supercond.,vol13,No.2,JUNE 2003
- [6] 山崎拓朗, "相補型 Δ A/D 変換器への組み込みに向けた SFQ-積分器の開発," 応用物理学関係連合講演会, Sep. 2007
- [7] S. Nagasawa, Y. Hashimoto, H. Numata, and S. Tahara, "A 380 ps, 9.5 mW Josephson 4-Kbit RAM operated at a high bit yield," *IEEE Trans. Appl. Supercond.*, vol. 5, pp. 2447-2452, Jun. 1995.