

低電圧駆動 SFQ 回路における PTL 配線技術の検討

滝波 拓海[†] 伊藤 将人[†] 北山 敦史[†] 田中 雅光[†] 藤巻 朗[†][†]名古屋大学大学院 〒464-8601 名古屋市千種区不老町E-mail: [†]t_takina@super.nuqe.nagoya-u.ac.jp

あらまし 本稿では電源電圧 V_b を小さくした SFQ 回路での受動伝送線路(PTL:Passive Transmission Line)配線技術の検討について述べる。電源電圧 V_b を小さくすることで SFQ 回路の消費電力を低減することが可能である。さらに、低電圧駆動 SFQ 回路の高速動作、更なる低消費電力化を図るためには、PTL の導入が必要不可欠である。我々は、低電圧駆動 PTL 送受信回路を設計し、高速試験でのバイアスマージン及び上限動作周波数の測定を行った。その結果、波形は出力されるものの bit ずれというタイミングエラーが見られた。その原因として低電圧領域でのバイアス共通部分で電流の回り込みが発生していると推測し、シミュレーションレベルで解析を行ったところ、推測した現象が確認された。

キーワード 単一磁束量子(SFQ)回路、低消費電力、受動伝送線路(PTL)配線技術

Study on Passive Transmission Lines Used
in Low-Voltage-Biased RSFQ CircuitTakumi TAKINAMI[†] Masato ITO[†] Atsushi KITAYAMA[†]Masamitsu TANAKA[†] and Akira FUJIMAKI[†][†]Nagoya University Furo-cho Chikusa-ku, Nagoya 464-8601, JapanE-mail: [†]t_takina@super.nuqe.nagoya-u.ac.jp,

Abstract We have studied on Passive Transmission Line technique used in rapid-single-flux-quantum(RSFQ) circuits biased by low voltages. The power consumption of RSFQ circuits is able to reduce by lowering bias voltages. Even in the RSFQ, the PTLs are essential for obtaining high-speed, further low energy consumption. We designed the PTL on the high-speed test and measured the width of bias current margin and maximum operating frequency. As a result, the circuits output the timing error. We speculate the reason of this error. One bias current flowed in other bias line in low voltage area. So, we analyze it used by simulation.

Keyword Single-flux-quantum circuit, Low power consumption, Passive Transmission Line technique

1. はじめに

近年、半導体 CMOS に代わる技術として単一磁束量子(SFQ)回路が注目を浴びている。半導体 CMOS は配線遅延や発熱などの様々な問題をかかえていて、動作周波数に上限が存在してしまう。それに対し、SFQ 回路は受動伝送線路配線技術により、SFQ パルスを光速で伝送することができ、配線遅延の問題を解決できる。すなわち、SFQ 回路は次世代の超高速デバイスであるといえる。

しかしながら半導体 CMOS の微細化が進み、半導体 CMOS の消費電力の低減が行われ、その動きに対し、SFQ 回路も消費電力の低減を行い、半導体 CMOS に対して優位性を示すことが求められている。

SFQ 回路における消費電力は、回路を駆動させる直流バイアス電流を供給するバイアスラインに挿入されるバイアス抵抗 R_b で消費される電力(静的消費電力)と、ジョセフソン接合(JJ)自身の抵抗ならびにジャント抵抗 R_j で発生する電力(動的消費電力)に分けられる。現在の SFQ 回路では、電力の大半はバイアス抵抗 R_b で消費されていることから、SFQ 回路の消費電力を低減していくためには、バイアス抵抗 R_b で消費される静的消費電力を小さくすることが求められる。静的消費電力を低減あるいは除去するための方法としては、SFQ 回路のバイアスラインに大きなインダクタンスを挿入することでバイアス電流を安定化させる LR ロード[1]を導入した方法の他に、RQL[2]、eSFQ[3]等が挙

げられる。

我々は電源電圧 V_b を小さくした低電圧駆動 SFQ 回路で消費電力の低減を図り、その回路に対する PTL 配線技術の導入を検討した。SFQ 回路が配線遅延なく信号を伝達するための PTL 配線技術は、消費電力を低減した回路にも必要不可欠である。しかし、低電圧駆動 SFQ 回路では、さらにはバイアス抵抗を小さくすることでドライバ・レシーバのインピーダンスが減少し、PTL とのインピーダンス整合がとれなくなるといった課題が存在する。消費電力、動作周波数の 2 つの面で半導体 CMOS に対する優位性を示すためにもこれらの諸問題を解決し、動作実証を行う必要がある。

本稿では、ドライバとレシーバのバイアスラインにバイアスインダクタンス L_b を挿入し、電源電圧 V_b とバイアスインダクタンス L_b の異なる回路をそれぞれ測定し、これらの違いによるバイアスマージン、上限動作周波数の変化を比較することを目的としている。

2. 低電圧駆動 SFQ 回路

本研究では、電源電圧 V_b を低減することで SFQ 回路の低消費電力化を行った。図 1 に SFQ 回路の等価回路を示す。

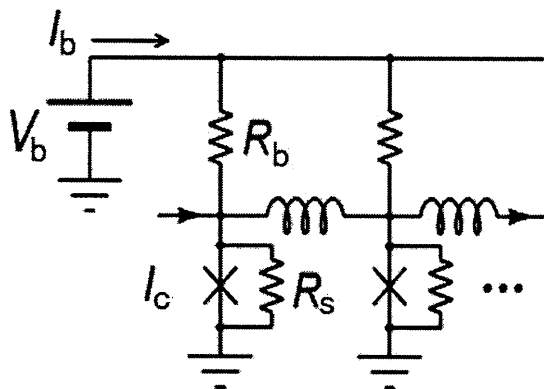


図 1 SFQ 回路の等価回路

SFQ 回路では回路を駆動するために供給しているバイアス電流 I_b が変動しないよう、電流源に近い形で電源を設けている。JJ のスイッチ時に発生する電圧 $I_c R_s$ に比べ、電源電圧 V_b が十分大きな値 (2.5mV) とすることで電流源とみなすことができる。この 2.5mV とは我々が基準としている CONNECT セル [4] の値である。

ここで電源電圧 V_b を低減すると JJ のスイッチ時に発生する電圧 $I_c R_s$ に比べ、十分大きな値とみなせなくなり、JJ のスイッチ時にバイアス電流 I_b が急峻に減少するといった現象が起こる。図 2 にそれぞれの電源電圧 V_b に対するバイアス電流 I_b の変化を示す。このように電源電圧 V_b を低減するにつれ、バイアス電流 I_b の減少量が大きくなる。

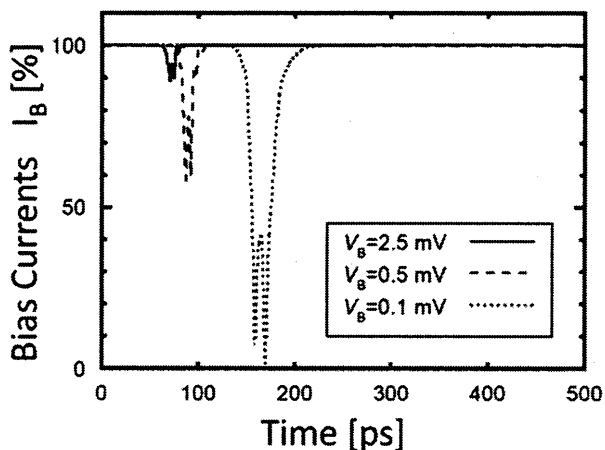


図 2 JJ のスイッチ時のバイアス電流の過渡現象

3. 受動線路 (PTL) 配線技術

図 3 に PTL 配線技術の等価回路を示す。PTL 配線技術は図のようにドライバ・PTL (ストリップライン/マイクロストリップライン) ・レシーバで構成される。

ドライバ後段に直列にダンピング抵抗 R_D を挿入して PTL を含む大きな超伝導ループの形成を防ぐことで、PTL 上は磁束量子ではなく電磁波が伝送ようになる。これは、大きな超伝導ループに磁束量子が保持され、誤動作を起こすことを防ぐためである。この電磁波の波高値によりレシーバの JJ をスイッチさせ、再び磁束量子に変換して後段へと送られる。超伝導ループを形成しないことで、伝搬速度は JJ のスイッチング時間ではなく、線路に伝わる電磁波によって決まる。そのため光速での信号伝達が可能である。またダンピング抵抗 R_D は反射波を減衰する役割も持つ。

PTL 配線技術を導入するためには、いくつかのパラメータを最適値に設定する必要がある。まず、ドライバ・PTL・レシーバのインピーダンス整合である。PTL の特性インピーダンスは PTL の線幅によって決まる。そのため、ドライバ・レシーバのインピーダンスを考慮して線幅を決定しなければならない。不整合が大きくなるとレシーバでの反射波が大きくなり、レシーバで信号を受信できない、または反射波がダンピング抵抗 R_D で減衰しきれず後続の信号に影響を及ぼすことが考えられる。

次にダンピング抵抗 R_D の値を考える。JJ は非線形のインピーダンスを持った素子であり、共振を完全に排除することは不可能と考えられる。そのため先ほど述べたようにダンピング抵抗 R_D により反射波を減衰し、共振を抑える必要がある。しかしながら、このダンピング抵抗は伝達したい信号も減衰してしまうため、大きくしすぎるとレシーバで信号を受信できないといった問題が生じてしまう。そのためレシーバのマッカ

ンバパラメータ β_c も考慮する必要がある。マッカンバパラメータ β_c は JJ のスイッチの感度を表すパラメータであり、レシーバの受信感度ともいえる。すなわち、大きな値に設定することでスイッチしやすくなる。しかし、小さな値にすることで反射に対してローパスフィルタ的な効果をもたらす、より高周波の反射ノイズを減衰させることができるというメリットが存在する。そのため共振を抑えるためにはマッカンバパラメータを小さくする必要があると考えられ、レシーバの受信感度とトレードオフの関係にある。

以上のパラメータを考慮し、最適化を行うことによって PTL 配線技術の導入が完了となる。

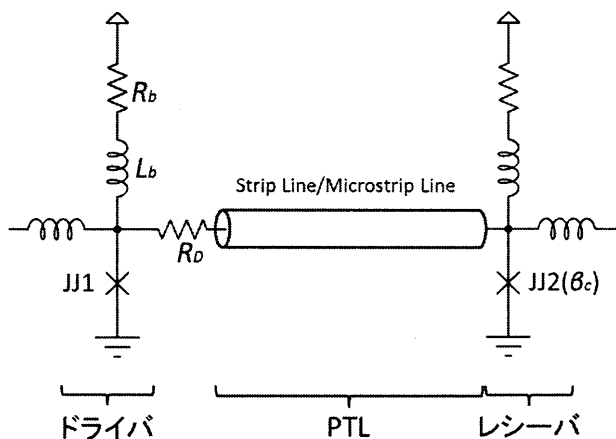


図 3 PTL 配線技術の等価回路

4. 低電圧駆動 PTL 送受信回路の設計

低電圧駆動 SFQ 回路に PTL 配線技術を導入するにあたり、最も重要だと考えられることは PTL 上を伝播する電磁波の波高値である。電磁波の波高値はドライバの JJ がスイッチした時に発生する電圧の大きさによって決まるのだが、低電圧駆動によるバイアス電流 I_b の急峻な減少に伴い、ドライバの JJ の両端で発生する電圧も減少してしまう。そのため電磁波の波高値が低くなり、レシーバが受信可能な波高値を下回る可能性が示唆される。その対策としてドライバ・レシーバに LR ロードを用いて波高値の減衰を抑えるように設計した。図 4 にバイアスインダクタンス L_b 15pH を挿入したドライバセルの顕微鏡写真を示す。

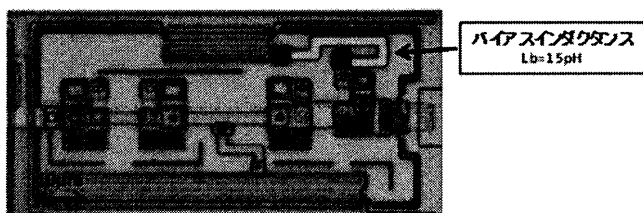


図 4 LR ロードを用いたドライバセルの顕微鏡写真

また、過去に CONNECT セルで動作実証され、実績のある回路のパラメータを参考にし、PTL の特性インピーダンスを 3.5Ω 、ダンピング抵抗 R_D を 1.1Ω 、レシーバのマッカンバパラメータ β_c を 4 に設定した。

表 1 に今回設計した低電圧駆動 PTL 送受信回路のパラメータを示す。電源電圧 V_b を 0.5mV 、 0.1mV 、 0.05mV 、 0.02mV の 4 種類、バイアスインダクタンス L_b を従来の寄生インダクタンスのみのものと 7.5pH 、 15pH の 3 種類、合計 12 種類の回路を設計し、電源電圧依存ならびにバイアスインダクタンス依存を評価できるようにした。

表 1 低電圧駆動 PTL 送受信回路のパラメータ

電源電圧 V_b [mV]	バイアスインダクタンス L_b [pH]
0.5	寄生インダクタンスのみ
0.1	7.5
0.05	15
0.02	

今回設計した低電圧駆動 PTL 送受信回路のチップ写真を図 5 に示す。ドライバ前段及びレシーバ後段に低電圧用 JTL を直列に 10 個接続することで、バイアス分離を行った 1 部分に含まれる並列なバイアス抵抗 R_b を増やし、電流源モデルではなく電圧源モデルとしての評価が可能になる。すなわち、実際の大規模回路内で PTL を用いた場合と同等の評価が可能である。

また、オンチップで高速試験を行うための高速クロックジェネレータ、入出力インターフェースおよび 4bit シフトレジスタは CONNECT セルを用いた。高速クロックジェネレータはある特定の帯域の周波数しか出力することができないので、電源電圧 V_b ごとに異なった設計を行っている。これは低電圧用 JTL の上限動作周波数が頭打ちになることを考慮しているからであり、 0.5mV では $12\text{GHz} \sim 53\text{GHz}$ 、 0.1mV では $8\text{GHz} \sim 26\text{GHz}$ 、 0.05mV では $5\text{GHz} \sim 12\text{GHz}$ 、 0.02mV では $2\text{GHz} \sim 4\text{GHz}$ の高速クロックジェネレータを用いている。また 4bit シフトレジスタの後段に遅延を持たせ、クロックパルスとクロックパルスの間の中心にデータパルスが入るように設計することで、タイミングのずれによる影響を軽減した。

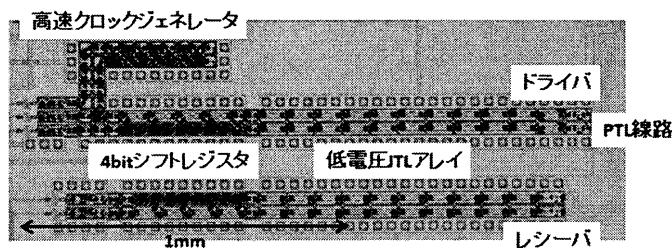


図 5 低電圧駆動 PTL 送受信回路のチップ写真

5. 低電圧駆動 PTL 送受信回路の測定結果

設計した低電圧駆動 PTL 送受信回路のオンチップテストによる高速試験を行った。高速試験の測定波形の一例を図 6 に示す。

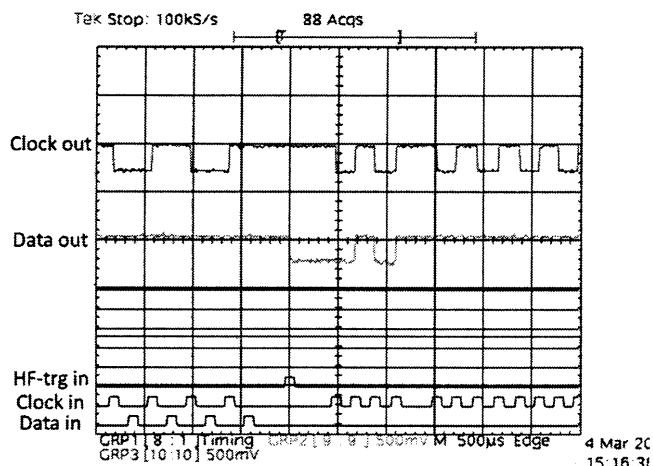


図 6 高速試験の動作波形

測定方法は、まず前段の 4bit シフトレジスタに 4bit のデータパルスを入力するために、Clock in と Data in を交互に 4bit ずつ入力する。その後、高速クロックジェネレータに HF-trg in を入力することで、4bit の高速クロックを生成し、PTL 配線技術の高速試験を行う。高速で伝播されたデータパルスは、後段のシフトレジスタに入力されるので、4bit の低速クロックを入力し読み出す。ドライバとレシーバのマーヅンを動作周波数ごとに測り、十分なマーヅン幅で動作する上限動作周波数で PTL を評価する。

図 6 は電源電圧 0.5mV、バイアスインダクタンスは 7.5pH の回路の動作波形である。図 6 からわかるように、出力波形が得られていることから、PTL 上を伝送された電磁波はレシーバで受信されていることになる。そのため、懸念していた低電圧駆動にした時の電磁波の波高値の減衰による PTL の非動作は起こらなかった。また Clock out は正しく出力されているのに対し、Data out は HF-trg に 1bit 目が同期して出力されている。このような結果は 12 回路全ての高速試験で得られた。また、2~4bit 目は高速クロックジェネレータのバイアス電流量、すなわち動作周波数により bit ずれが発生するという結果が得られた。電源電圧 V_b が小さくなるほど、高速クロックジェネレータのバイアス電流量に対して出力波形の bit ずれが発生しやすくなり、より不安定になった。

そこで、高速クロックジェネレータを使用せずに低速クロックを用いた低速試験を行った。その結果を図 7 に示す。なお、パラメータは図 6 と同じである。

テストパターンは図 7 からわかるように、HF-trg

の代わりに低速クロックを入力した。つまり Clock in の 9~12bit 目に Data out が 4bit 出力されれば、正常動作といえる。しかし図 7 のように出力のタイミングが低速クロック 1bit 分早くなっている。このような結果が、電源電圧 V_b の大きさに関係なく 12 回路全てで得られた。なお、低速試験においても、前段のシフトレジスタで持たせている遅延の大きさは変わらない。

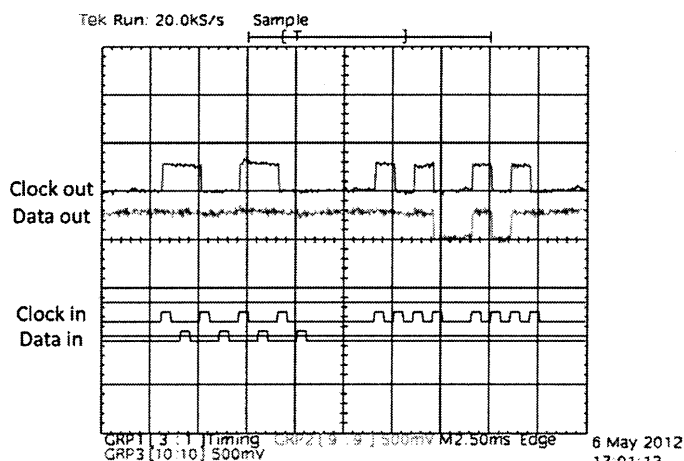


図 7 低速試験の動作波形

6. タイミングエラーの解析

測定によって得られたタイミングエラーは低速・高速の両方で発生していた。設計した回路においてシミュレーションを行うと正常な動作波形が得られたことから、タイミング設計のミスではないことが考えられる。すなわち、回路内で予期しない現象が起きていると考えられる。我々は、データパルスが早いタイミングで出力されていること、クロックラインとデータラインの低電圧用 JTL アレイが共通バイアスになっていることに注目し、低電圧用 JTL アレイにおいてクロックパルスによる JJ のスイッチの際に急峻に減少した分のバイアス電流が、バイアスラインを通じてデータパルス側に流れ込み、データパルスによる JJ のスイッチを速くしているのではないかと推測した。

そこでまず、図 8 のような 2 つの JTL のバイアスラインを共有化したセルを作成し、このセルを直列に 10 個接続した JTL アレイを用いてシミュレーションによる解析を行った。実際のバイアスライン共有方法とは異なるものの、現在考えられる一番近い回路としてシミュレーションを続ける。なお JTL のパラメータは変えず、バイアスラインのセル間インダクタンス L_R は 2pH とした。

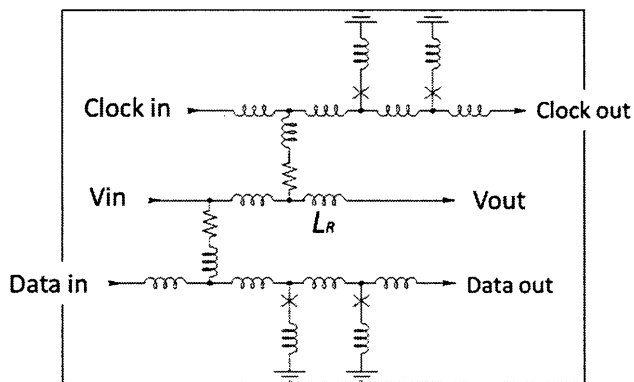


図 8 作製したバイアスライン共有 JTL セル

シミュレーションは電源電圧 0.1mV の場合を想定して行い、クロックパルスを 1bit 入力した後、 20psec の遅延を持たせてデータパルスを 1bit 入力して、電流の流れ方やスイッチのタイミングなどを調査した。その結果、推測通りバイアスラインを通じた電流の流れ込みが起こっていた。クロックラインの 1 つ目の JJ とデータラインの 1 つ目の JJ のスイッチとの間隔は 20psec であるのに対し、20 個目の JJ 同士のスイッチ間隔はわずか 5psec に縮まっていた。(図 9) これはデータラインの JJ のスイッチ時のバイアス電流量が増加していることでスイッチが速くなっているからである。このような現象は電源電圧 V_b を低減するほど大きくなると考えられる。低電圧の方がバイアス電流の減少量が大きいからである。

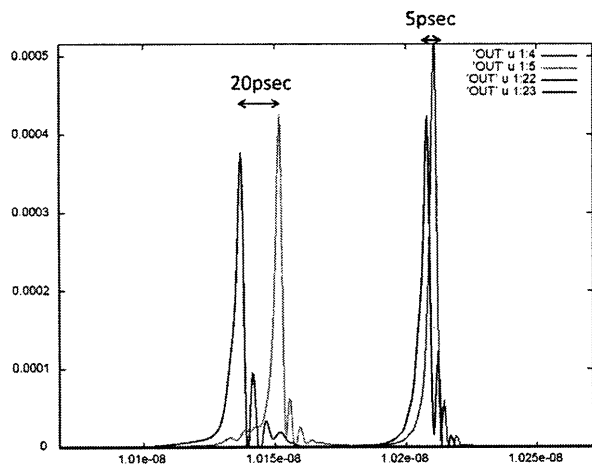


図 9 クロックパルスーデータパルス間隔の縮小

このバイアスライン共有 JTL セルを今回設計した低電圧駆動 PTL 送受信回路の JTL アレイに用いて、シミュレーション上で測定系を再現した。電源電圧 0.1mV 、バイアスインダクタンス 15pH 時の高速試験のシミュレーション結果を図 10、11 に示す。図 10 は入力波形、図 11 は出力波形を表し、点線はクロックパルス、実線はデータパルスを表す。このように、図 6 で示した実

測の動作波形と同様の結果が得られた。

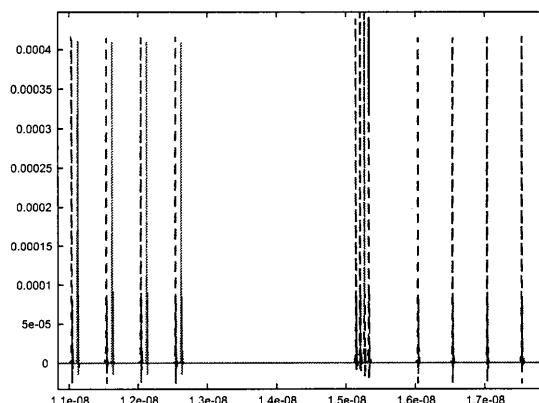


図 10 シミュレーションでの入力波形

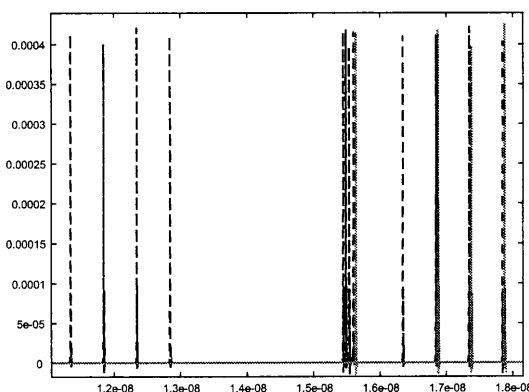


図 11 シミュレーションでの出力波形

7. まとめ

本稿では、低電圧駆動 PTL 送受信回路の検討を行った。電源電圧 V_b 、バイアスインダクタンス L_b を変えた回路を設計し、依存性を評価したかったが、出力は得られたものの出力の bit ずれが見られた。これに対し、シミュレーションレベルで解析を行い、低電圧駆動領域のバイアス共有線を通じて電流の流れ込みが起こっていることが分かった。この低電圧駆動にすることで起こる現象は、大規模化を考える際に極めて重要な現象であり、今後、詳細な解析が必要である。

また、現在同様のパラメータで低電圧用 JTL アレイのバイアス分離を行った回路の測定を進めている。この回路においては正常な出力が得られているので、ドライバ及びレシーバのバイアスマージンを動作周波数ごとに測定し、評価する。

その後、PTL 幅やダンピング抵抗などの回路パラメータの最適化を含め、さらに検討を行う予定である。

8. 謝辞

本研究は、科研費(基盤 S 22226009)及び JST-ALCA の支援を受けたものである。本研究に用いた回路の制作には、産業技術総合研究所が一部寄与している。

文 献

- [1] Yuki Yamanashi, Takanobu Nishigai, and Nobuyuki Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum circuits", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL.17No.2,JUNE2007
- [2] Quentin P. Herr, Anna Y. Herr, Oliver T. Oberg, and Alexander G. Ioannidis, "Ultra-low-power superconductor logic", JOURNAL OF APPLIED PHYSICS 109, 103903 (2011)
- [3] Oleg A. Mukhanov, Senior Member, "Energy-Efficient Single Flux Quantum Technology", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL. 21, NO. 3, JUNE 2011
- [4] S.Yorozu et al, "A single flux quantum standard logic cell library," Physica C, 378-381, pp.1471-1474, 2002
- [5] Thomas P. Orllepp, Olaf Wetzstein, Sonja Engert, Juergen Kunert, and Hannes Toepfer, "Reduced Power Consumption in Superconducting Electronics", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL. 21, NO. 3, JUNE 2011
- [6] Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai and N. Yoshikawa, "Development of Passive Interconnection Technology for SFQ Circuits", IEICE TRANSACTIONS on Electronics, vol. E88-C, no.2, pp. 198-207, February 2005.
- [7] T. Yamada, H. Ryoki, A. Fujimaki and S.Yorozu, "Flexible Superconducting Passive Interconnects with 50-Gb/s Signal Transmissions in Single-Flux-Quantum Circuits", Japanese Journal of Applied Physics, vol. 45, part 1, no. 2A, pp. 752-757, February 2006.