

低電圧駆動 SFQ 回路における干渉の解析
—招待講演—

滝波 拓海 伊藤 将人 北山 敦史 田中 雅光 藤巻 朗

名古屋大学大学院 〒464-8601 名古屋市千種区不老町

E-mail: t_takina@super.nuqe.nagoya-u.ac.jp

あらまし 本稿ではバイアス電圧 V_b を低減した低電圧駆動 SFQ 回路における干渉の解析結果について述べる。現在、我々は SFQ 回路の低消費電力化に向けて、バイアス電圧を低減した回路の評価を行っている。ジョセフソン接合のスイッチの際、バイアス電流が他の接合に回り込むという干渉を考慮し、実験及びシミュレーションを通して解析を行った。また論理ゲートに対する影響として動作マージンの周波数特性をシミュレーションで評価した。AND ゲートに対する干渉の影響は少なからず存在した。干渉の抑制法としてバイアス供給線の浮遊インダクタンスを 0.01pH 程度まで小さくする方法を提案する。

キーワード 単一磁束量子(SFQ)回路、低電圧駆動、干渉

Analysis of Interference for Low-Voltage-Driven SFQ Circuits
—Invited tutorial—

Takumi TAKINAMI Masato ITO Atsushi KITAYAMA

Masamitsu TANAKA and Akira FUJIMAKI

Nagoya University Furo-cho Chikusa-ku, Nagoya 464-8601, Japan

E-mail: t_takina@super.nuqe.nagoya-u.ac.jp,

Abstract We have analyzed the interference for low-voltage-driven SFQ circuits used by measurement and simulation. We study low-voltage-driven SFQ circuits toward lowering the energy consumption of SFQ circuits. We considered the interference between JJ and all other JJs when one JJ is switching. And we evaluated the frequency characteristic of operating region of logical gate. The interference effected on AND gate. We suggest a way to reduce the floating inductance in the bias line.

Keyword Single-flux-quantum circuit, Low-voltage-driven, Interference

1. はじめに

単一磁束量子(SFQ)回路[1]は超伝導体を利用したデジタル回路であり、磁束量子の有無を「1」、「0」に対応させ演算を行う。磁束量子の伝搬時に回路のスイッチング素子として用いられているジョセフソン接合(JJ)で発生する高さ数 mV、幅数ピコ秒のインパルス状の信号を用いることにより、低消費電力かつ超高速動作が実現可能な次世代の超高速デバイスとして注目されている。

近年、SFQ 回路の研究は 4 並列 4 段の再構成可能なデータパス(4x4RDP)[2]など大規模回路の動作評価まで進展している。この状況の中で、大規模回路の実装に向けた SFQ 回路の更なる低消費電力化が求められ

るようになってきた。

SFQ 回路における消費電力は、回路を駆動させる直流バイアス電流を供給するバイアス供給線に挿入されるバイアス抵抗 R_b で消費される電力(静的消費電力)と、ジョセフソン接合(JJ)自身の抵抗ならびにシャント抵抗 R_s で発生する電力(動的消費電力)に分けられる。現在の SFQ 回路では、電力の大半はバイアス抵抗で消費されていることから、SFQ 回路の消費電力を低減していくためには、バイアス抵抗で消費される静的消費電力を小さくすることが求められる。そのため我々は、SFQ 回路を駆動させるための電源となるバイアス電圧を低減することで低電圧駆動 SFQ 回路[3]とし、低消費電力化を図っている。低消費電力化の方法

として、LR バイアス[4],[5],[6]や eRSFQ[7]なども存在する。それらと比較し、低電圧駆動 SFQ 回路は余計な回路素子が必要なく、従来の SFQ 回路と変わらない設計方法で低消費電力化が可能である。ただし、バイアス電圧を低減することで回路動作が遅くなってしまふ。

本稿では、バイアス電圧を低減することで近似的に定電流源とみなせなくなることによる回路への影響についてシミュレーションを軸に解析を行った。電流が回り込む干渉による影響ならびに干渉の抑制法の調査を目的としている。

2. 低電圧駆動 SFQ 回路

図 1 に SFQ 回路の等価回路を示す。

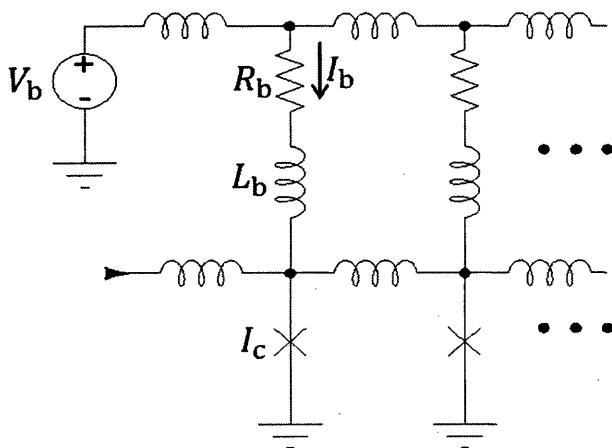


図 1 SFQ 回路の等価回路

SFQ 回路では回路を駆動するために供給しているバイアス電流 I_b が変動しないよう、電流源に近い形で電源を設けている。JJ のスイッチ時に発生する電圧 $I_c R_s$ に比べ、バイアス電圧 V_b が十分大きな値(2.5 mV)とすることで電流源とみなすことができる。セルベース設計法[8]ではこの 2.5 mV を基準としている。

ここでバイアス電圧を低減すると JJ のスイッチ時に発生する電圧に比べ、十分大きな値とみなせなくなり、JJ のスイッチ時にバイアス電流が急峻に減少するといった現象が起こる。すなわち、近似的に電流源とみなせなくなる。図 2 にそれぞれのバイアス電圧 V_b に対するバイアス電流 I_b の変化を示す。このようにバイアス電圧を低減するにつれ、バイアス電流の減少量が大きくなる。この現象により、JJ のスイッチ時にシャント抵抗で消費される動的消費電力も抑えることになる。すなわち、低電圧駆動 SFQ 回路は消費電力を大きく抑えることが可能である。

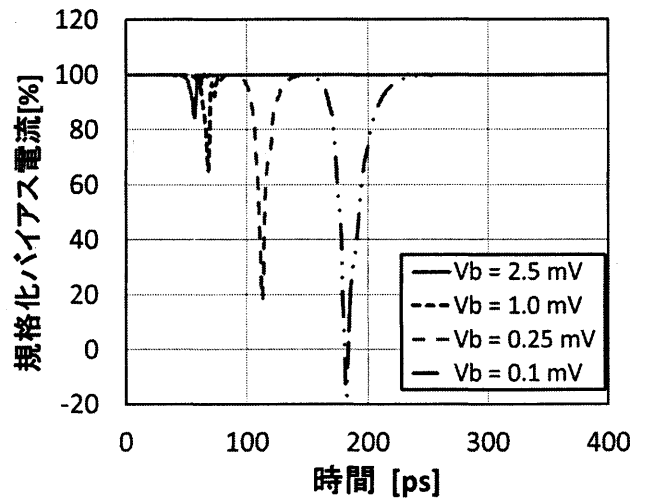


図 2 JJ のスイッチ時のバイアス電流の過渡現象

3. 低電圧駆動 JTL における干渉の影響

2 節で述べたバイアス電圧を低減した場合の、JJ のスイッチ時のバイアス電流の過渡現象が回路動作に影響を与えるということが考えられる。瞬間的に減少した電流がバイアス供給線を介して他の JJ に回り込むことでバイアス電流量の増えた JJ が本来考慮していない振る舞いをするのが懸念される。そのためこの 3 節ではこの干渉の解析として、複数の低電圧駆動 JTL を一つの電源で駆動させた場合の実測及びシミュレーションでの干渉について述べる。

3.1. 実測における干渉

ここでは低電圧駆動 PTL の評価用回路にて確認された干渉について述べる。設計した回路の顕微鏡写真を図 3 に示す。この回路では、クロックラインとデータラインが並列に走っており、低電圧駆動部は電圧源駆動にするための低電圧駆動 JTL がクロックライン・データラインにそれぞれ 10 個ずつ接続してある。JTL1 個に対して 2 個の JJ が含まれるため、それぞれのラインに JJ が 20 個含まれる。この低電圧駆動 JTL20 個を一つの電源でバイアス供給している。この部分の干渉により、測定結果にタイミングエラーがみられた。

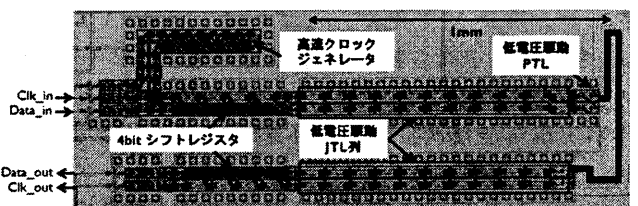


図 3 低電圧駆動 PTL の顕微鏡写真

図 4 にバイアス電圧を 0.5 mV に低減した回路の高

速試験での出力波形を示す。点線で示すクロックのタイミングで出力が得られるべきなのに対し、実際の出力は 1bit ずれたものであった。クロックラインの低電圧駆動 JTL とデータラインの低電圧駆動 JTL を別々にバイアス供給するような回路を設計し、測定したところ、タイミングエラーのない正常な出力波形が得られたことから、クロックラインとデータラインにおいてバイアス供給線を介した干渉が起こっていたと考えられる。

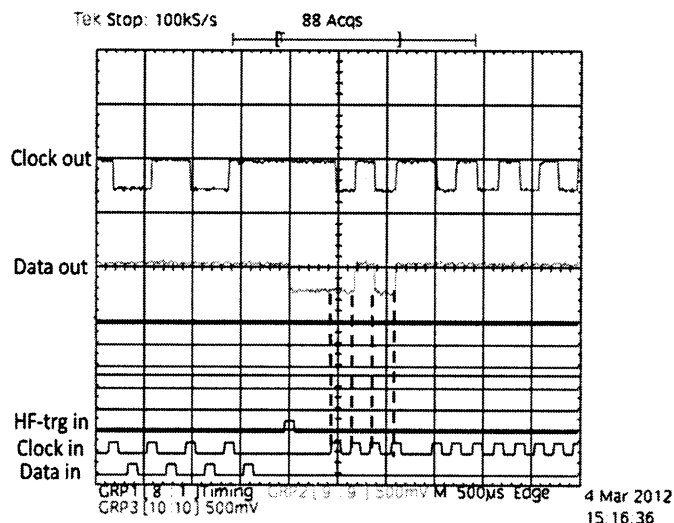


図 4 高速試験での出力波形

3.2.シミュレーションにおける干渉

次に、実測において干渉が起こったとされる部分について等価回路を作成し、シミュレーションによる評価を行った。図 5 に並走した低電圧駆動 JTL 列の等価回路を示す。クロックライン及びデータラインを 10 個の低電圧駆動 JTL で配線し、全ての JTL を一つの電源で駆動させている。バイアス電圧を 0.1 mV に設定し、クロックパルスを一つ入力後、20ps の遅延を挟んでデータパルスを一つ入力し、それぞれのパルスの伝搬を確認した。

図 6、図 7 にシミュレーション結果を示す。

図 6 はクロックラインの 1・2 個目の JJ に流れる電流量およびデータラインの 1・2 個目の JJ に流れる電流量を示している。クロックラインの 1 個目の JJ がスイッチした瞬間、低電圧駆動のためその JJ に流れる電流量が減少する。それに伴い、データラインの 1・2 個目の JJ に流れる電流量が増加していることがわかる。バイアス供給線を介して電流の回り込みが起こっている。また減少量に比べ増加量が少ないことから、その他の JJ を駆動するためのバイアス供給線にも干渉が広がっていると考えられる。

図 7 はそれぞれ矢印で示す JJ の両端電圧を示している。JJ のスイッチ時に両端で発生する電圧を見ること

で、JJ がスイッチするタイミングがわかる。クロックラインとデータラインそれぞれの 1 個目の JJ のスイッチ間隔は入力時に設けた 20ps であったのに対し、20 個目の JJ のスイッチ間隔は 5ps に縮まっていた。これは図 6 に示した干渉の影響により、データラインの JJ に流れる電流量が増加した状態で接合がスイッチし、スイッチ時間が速くなっているからである。

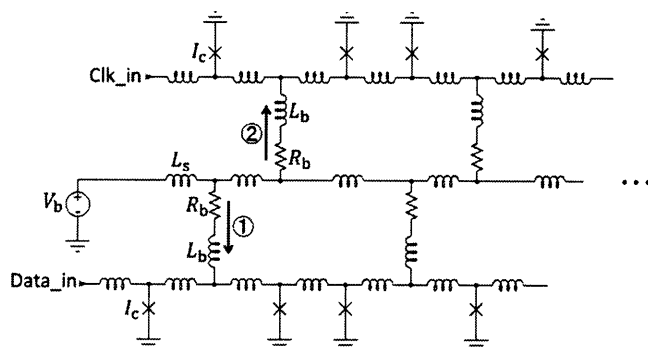


図 5 並走した低電圧駆動 JTL 列の等価回路

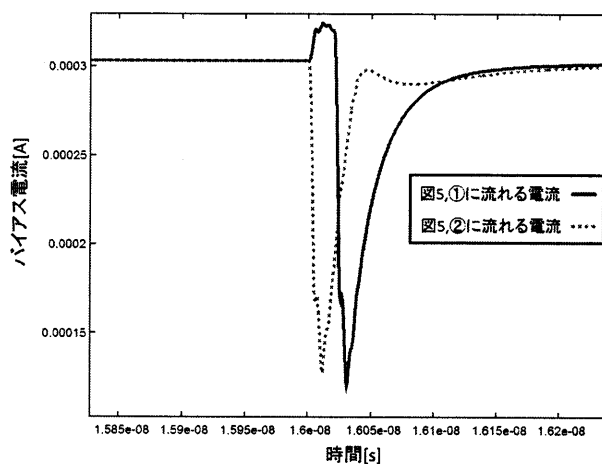


図 6 バイアス供給線での電流量の変化

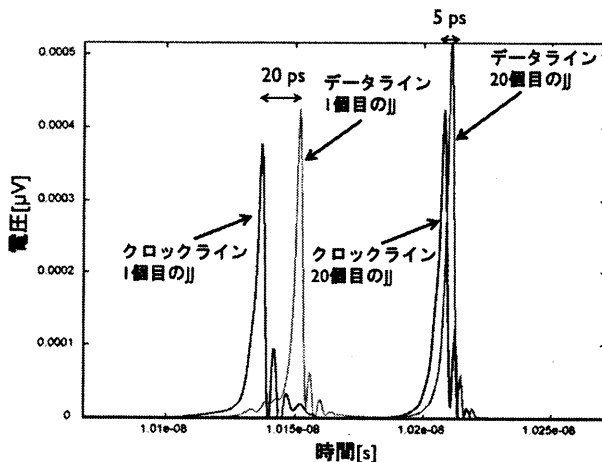


図 7 伝搬するパルスの遅延間隔の変化

4. 論理ゲートにおける干渉の影響

3節では低電圧駆動 JTL 列での干渉を評価した。本節では 2 入力以上の論理ゲートについて干渉の影響を評価する。論理ゲートにおいてクロック - データ間、あるいはデータ - データ間で干渉が起きた場合も誤作動の原因となる可能性がある。そのため、今回は AND ゲートについて動作マージンの周波数特性をシミュレーションで算出し、干渉のない場合と比較、評価を行った。なお、シミュレーションはバイアス電圧 0.1 mV にて行った。

図 8 にシミュレーション回路のブロック図を示す。この回路全体を 1 つの低電圧源で駆動する。等価回路に電源供給線の浮遊インダクタンスを考慮することでバイアス供給線を介した干渉が発生するようになる。

図 9 に算出した動作マージンの周波数特性を示す。実線が干渉のある場合、破線が干渉のない場合を表している。図より、どちらも入力周波数 25 GHz まで動作していて、動作マージンの幅もあまり変化していないことがわかる。今回のシミュレーションでは干渉による動作マージンへの影響は小さかったが、差が出たことは確認できた。今後、AND ゲート以外でも同様の結果が得られるのかを検討していく必要がある。

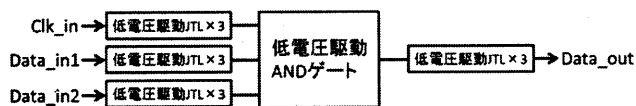


図 8 シミュレーション回路のブロック図

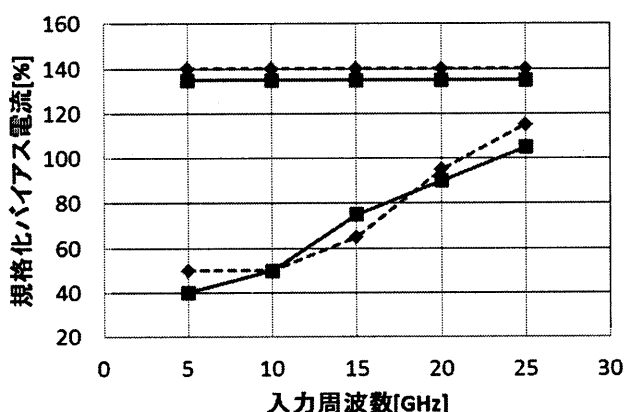


図 9 AND セルにおける動作マージンの周波数特性

5. 干渉抑制法の検討

以上の結果を踏まえ、低電圧駆動 SFQ 回路の干渉の抑制法を検討する必要がある。図 5 に示した低電圧駆動 JTL 列の等価回路を用いて、電流が回り込まないような回路パラメータを模索した。

まず、LR バイアスを用いた抑制法を考える。これは個々のバイアス供給線に直列に接続するバイアスインダクタンスを大きくすることで JJ のスイッチ時に起こる電流の急峻な減少を抑えることができる方法である。シミュレーションを行った結果、この LR ロード法により電流の減少を完全になくすためには 100pH 程度のインダクタンスを挿入する必要がある。そのため、セルレイアウト時の面積が非常に大きくなり、設計が困難になると考える。

次に、バイアス供給線の浮遊インダクタンスを変化させ、電流の回り込みを調査した。その結果、浮遊インダクタンスを 0.01pH 程度まで小さくすることで干渉が起こらない理想的な電圧源に近い形で回路を駆動させることが可能であるとわかった。3 節で用いた測定回路は Nb4 層から成る STP2 プロセス [9] を用いて作製した。配線層が限られているため、バイアス供給線の浮遊インダクタンスが増加し、2pH 程度であると考えられる。しかし、Nb8 層から成る ADP2 プロセス [10] は電源専用層が存在することで、この浮遊インダクタンスがかなり小さくなると考えられる。そのため今後は、ADP2 プロセスにおいて同様の干渉が起こるかどうかが、測定及び評価を行っていく。

6. まとめ

本稿ではバイアス電圧 V_b を低減した低電圧駆動 SFQ 回路における干渉の解析結果について述べた。ジョセフソン接合のスイッチの際、バイアス電流が他の接合のバイアスラインに回り込む干渉によって、パルス伝搬の速度や論理ゲートの動作マージンに少なからず影響を及ぼすことがわかった。この低電圧駆動にすることで起こる干渉は、大規模化を考える際に極めて重要な問題である。今後は、ADP2 プロセスによって干渉の抑制が可能であるか評価していく。

7. 謝辞

本研究は、科研費(基盤 S 22226009)及び JST-ALCA の支援を受けたものである。本研究に用いた回路の制作には、産業技術総合研究所が一部寄与している。

文 献

[1] K. K. Likharev and V. K. Semenov, "RSFQ logic/memory family: A new Josephson-junction technology for sub-terahertz clock frequency digital systems," IEEE Transaction on Applied Superconductivity, vol. 1, pp. 3-28, March 1991.

[2] 早川雄飛、岡田将和、カタエバイリナ、田中雅光、赤池宏之、藤巻朗「4 並列 4 段の単一磁束量子再構成可能データパスの検討」電子情報通信学会、2012 年 9 月

- [3] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki, "18-GHz, 4.0-aJ/bit Operation of Ultra-Low-Energy Rapid Single-Flux-Quantum Shift Registers," *Jpn. J. Appl. Phys.*, vol. 51, 053102, May 2012.
- [4] A. V. Rylyakov, "New design of single-bit all-digital RSFQ autocorrelator," *IEEE Transaction on Applied Superconductivity*, vol. 7, pp. 2709-2712, 1997.
- [5] N. Yoshikawa and Y. Kato, "Reduction of power consumption of RSFQ circuits by inductance-load biasing," *Supercond. Sci. Technol.*, vol. 12, pp. 918-920, Nov. 1999.
- [6] Yuki Yamanashi, Takanobu Nishigai, and Nobuyuki Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum circuits", *IEEE Transaction on Applied Superconductivity*, vol. 17 No.2, June 2007.
- [7] O. A. Mukhanov, "Energy- Efficient Single Flux Quantum Technology", *IEEE Transaction on Applied Superconductivity*, vol. 21, No. 3, June 2011.
- [8] S.Yorozu et al. "A single flux quantum standard logic cell library," *Physica C*, 378-381, pp.1471-1474, 2002.
- [9] S. Nagasawa, Y. Hashimoto, H. Numata, and S. Tahara, "A 380 ps, 9.5 mW Josephson 4 Kbit RAM operated at a high bit yield," *IEEE Transaction on Applied Superconductivity*, vol. 5, pp. 2447-2452, June, 1995.
- [10] T. Satoh, K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi, "Planarization Process for Fabricating Multi-Layer Nb Integrated Circuits Incorporating Top Active Layer," *IEEE Transaction on applied Superconductivity*, vol. 19, pp. 167-170, June 2009.
- [11] 田中雅光、伊藤将人、北山敦史、滝波拓海、藤巻朗「低電圧駆動 SFQ 回路におけるパルス間干渉に関する検討」第 73 回応用物理学会学術講演会、2012 年 9 月