

RSFQ 回路のシャント抵抗の接続方法変更による低雑音化の手法の
提案と実証喜多 祐真[†] 松岡 宏弥[†] 宮嶋 茂之[‡]田中 雅光[†] 藤巻 朗[†][†]名古屋大学大学院工学研究科 〒464-8603 名古屋市千種区不老町
[‡]大阪府立大学大学院工学研究科 〒599-8531 堺市中区学園町1番1号E-mail: [†] kita@super.nuqe.nagoya-u.ac.jp

あらまし RSFQ 回路の主要な熱雑音源はジョセフソン接合に並列に接続されているシャント抵抗である。今回、我々は SFQ 回路の論理ゲート内のコンパレータ構造に注目し、低雑音化の手法を提案する。その手法は、シャント抵抗からの熱雑音電流を減らすためにマッカンプ係数 β_c を従来の $\beta_c=1$ から $\beta_c=4$ に変更し、さらにコンパレータ構造における2つの直列に接続されたジョセフソン接合に並列に共有のシャントを設けるというものである。低雑音化の手法を導入した D フリップフロップ、T フリップフロップ、リセットブル D フリップフロップの3種類の論理ゲートにおいて、数値解析によってビット誤り率 (BER) の遷移曲線の遷移領域幅、遅延時間、タイミング特性の3つを評価した。提案手法を導入した事により、急峻な BER 曲線が得られ雑音の低減化が示された。さらにタイミング特性に関しても、遅延時間及び入力禁止時間が短縮され、動作速度の高速化が示唆された。さらに、実際に低雑音化の手法を導入した2ビットシフトレジスタを試作しビット誤り率 (BER) の遷移領域幅を評価した。実験結果においても遷移領域幅が狭まる傾向が得られ、雑音の低減化が確認された。

キーワード 単一磁束量子回路, 低雑音, シャント抵抗, シフトレジスタ

Proposal and Demonstration of Noise Reduction Method
by Modifying Shunt Resistors in RSFQ CircuitsYuma KITA[†] Hiromi MATSUOKA[†] Shigeyuki MIYAJIMA[‡] Masamitsu TANAKA[†]and Akira FUJIMAKI[†][†] Nagoya University Furo-cho, Chikusa-ku, Nagoya-shi, Aichi 464-8603 Japan[‡] Osaka Prefecture University 1-1 Gakuen-cho, Naka-ku, Sakai-shi, Osaka 599-8531 JapanE-mail: [†] kita@super.nuqe.nagoya-u.ac.jp

Abstract The major noise sources in rapid single-flux-quantum (RSFQ) circuits are shunt resistors which are connected in parallel with Josephson junctions (JJs). We present a new design technique of RSFQ logic gates for noise reduction. In this study, we propose the use of a damping resistor shared with a junction pair composing a comparator, in addition to their individual shunt resistors increased from the standard values to increase McCumber-Stewart parameters from 1 to 4. We analyzed timing characteristics and bit error rates (BERs) of several RSFQ flip-flops composed of the proposed comparators using numerical simulation. The proposed comparator showed sharpened BER curves, and improvement in timing characteristics compared to the standard comparator. We fabricated 2-bit shift registers using the noise reduction technique, and obtained sharp BER curves from the measurement.

Keyword single-flux-quantum circuit, low-noise, shunt resistor, shift register

1. はじめに

単一磁束量子 (RSFQ) 回路 [1] はジョセフソン接合を組み合わせる事によって実現され、超伝導ループ内の磁束量子の有無を「0」と「1」に対応づけて論理演算を行う回路である。この SFQ 回路内のジョセフソン

接合がスイッチする際、接合の両端には波高値数ミリボルト、幅数ピコ秒の電圧パルスが発生し、磁束量子が伝搬するため、演算に必要なエネルギーは非常に小さく、かつ超高速動作が可能である。そのため、スーパーコンピュータなどの分野において次世代の超低消費電力、超高速デバイスとして注目されている [2][3]。

しかし、SFQ 回路で取り扱っている磁束量子は $\Phi_0 = 2.07 \times 10^{-15}$ Wb と非常に小さい値であるため、回路は雑音に非常に敏感であり、常温からの外部雑音や回路内で発生する内部雑音が誤動作の原因となる。

回路内で発生する内部雑音のほとんどは、ジョセフソン接合に並列に接続されているシャント抵抗で発生する熱雑音である[4][5]。このシャント抵抗は、ジョセフソン接合が持つヒステリシス特性を消すためのダンピング抵抗として用いている。一般にシャント抵抗の値はマッカンプ係数が 1 となるように調整し設計している。このシャント抵抗で発生する熱雑音は、熱雑音電流として接合に流れ込み、接合特性に影響を与える。論理ゲートでは動作マージンが減少し、誤動作確率が上昇し、タイミングの揺らぎを起こす。

この熱雑音電流の二乗平均値 I_n は

$$I_n = \sqrt{\frac{4k_B T B}{R_S}} \quad (1)$$

で与えられる。ここで、 k_B はボルツマン定数、 T は絶対温度、 B は帯域、 R_S はシャント抵抗である。この式の通り、雑音電流自体を小さくするには接合につなぐシャント抵抗の値を大きくすればよい。しかし、シャント抵抗とマッカンプ係数 β_C の間には $\beta_C \propto R_S^2$ の関係があるため、シャント抵抗を大きくするとマッカンプ係数も大きくなりヒステリシス特性が生じるほか、接合がスイッチした際にリングングが発生するようになる。

本稿では SFQ 回路で非常によく用いられるコンパレータ構造に注目し、シャント抵抗の接続方法を変更することで雑音の低減化を狙う手法を提案する。いくつかの論理回路について数値解析により、その動作マージン及びタイミング特性を評価した。さらに、提案手法を導入した 2 ビットシフトレジスタを試作し、バイアス電流に対するビット誤り率 (BER) を測定する事で雑音の低減化の評価を行った。その結果、提案手法を導入することで雑音が低減化されることが確認出来た。

2. コンパレータ構造と低雑音化の手法

SFQ 回路でのコンパレータ構造について D フリップフロップ (DFF) 回路を例に挙げて説明を行う。DFF の等価回路を図 1 に示す。

図 1 において J_1 と J_3 が保磁ループであり、枠で囲まれた部分がコンパレータ構造である。この構造では、 J_1 と J_3 で形成されるループ内に磁束量子が保持されていれば、clock から入力 came 際 J_3 がスイッチし、SFQ パルスが伝搬される。ループ内に保持されていなければ clock 入力によって J_2 がスイッチし、clock からの SFQ パルスはエスケープされる。コンパレータ構造を

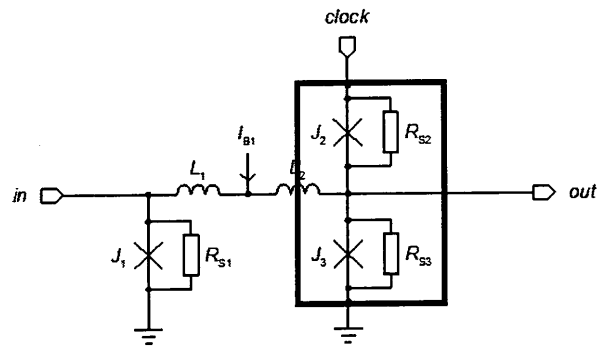


図 1. DFF の等価回路

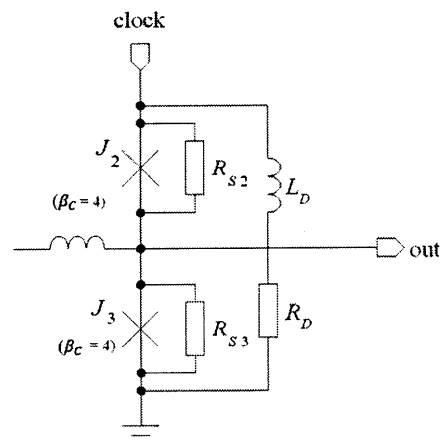


図 2. 低雑音化の手法を用いたコンパレータ構造

構成する 2 つの接合のシャント抵抗で発生する熱雑音電流は、2 つの接合に対して互いに独立に流れるため、コンパレータの閾値特性に影響を与える。

このコンパレータ構造に対して低雑音化のために 2 種類の手法を採用した。

1 つ目の手法として、コンパレータ構造における各接合のシャント抵抗の値を 2 倍にすることで、マッカンプ係数を従来の 1 から 4 に引き上げた。この結果、(1) より熱雑音電流は $1/\sqrt{2}$ 程度に減少することが見込まれる。

2 つ目の手法として、コンパレータ構造を構成する 2 つの直列に接続された接合に対し、並列に共有のシャント抵抗 R_D を接続した。その様子を図 2 に示す。1 つ目の手法でマッカンプ係数を大きくしたことで接合特性が変化し、スイッチの際リングングが発生するようになる。 R_D はマッカンプ係数を大きくしたことによる影響を低減するために働き、各接合から見た実効的なシャント抵抗の値が小さくなるので、マッカンプ係数は引き下げられる。また、 R_D で発生する熱雑音電流はコンパレータの接合 J_2 と J_3 に直列に流れるので、コンパレータの閾値特性に影響を与えない[6]。

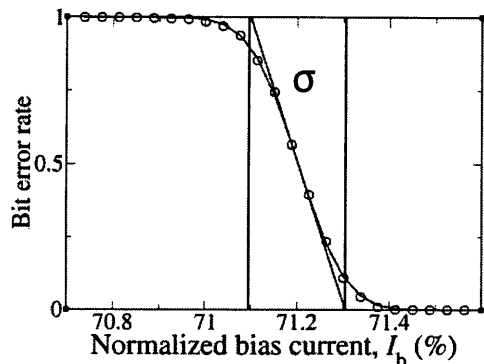


図 3. BER 曲線と σ の関係

表 1. D フリップフロップの数値解析結果

	β_C	RD (Ω)	σ (%)		遅延時間 (ps)	入力禁止時間 (ps)
			下側	上側		
回路 1	1	無し	3.95	1.42	15.8	0.38
回路 2	4	無し	3.86	1.40	14.8	0.58
回路 3	4	9	3.60	1.45	15.3	0.21

表 2. 共有シャント抵抗でのノイズとタイミングジッタの関係

	β_C	R_D (Ω)	σ_t (%)	
			(a)	(b)
回路 3	4	9	0.377	0.378

3. 数値解析による低雑音化の効果の検証

今回提案する低雑音化の手法を D フリップフロップ (DFF), T フリップフロップ (TFF), リセットブル D フリップフロップ (RDFF) の三種類の回路に導入し、数値解析を行った。数値解析の条件として、雑音の影響を明確に見るために、16 K に相当する雑音電流を与えた。各回路のコンパレータ構造におけるパラメータは、各接合の β_C を 4 とし、 R_D はコンパレータ構造における 2 つのシャント抵抗の平均の値のもの、和をとったものについて解析し、従来の $\beta_C = 1$ として R_D を付けない回路との比較を行った。また、 R_D での寄生インダクタンスは $L_D = 1$ pH とした。

評価項目はビット誤り率の遷移曲線の遷移領域幅 σ 、遅延時間、入力禁止時間とした。ビット誤り率の遷移曲線を得るために、バイアス電流を変化させ、各バイアス点で特定の入力パターンに対する誤出力回数を数える事でビット誤り率 (BER) 算出し、(2)式でフィッティングした。

$$BER = \frac{1}{2} + \frac{1}{2} \operatorname{erf}(\sqrt{\pi} \frac{I_B - I_{th}}{\sigma}) \quad (2)$$

ここで、 erf は誤差関数であり、 I_B はバイアス電流、 I_{th} は $BER=0.5$ の時のバイアス電流である。また、BER 曲線

の遷移は低バイアス電流側と高バイアス電流側の両方に見られ、それぞれを下側、上側と呼ぶことにする。(2)式中の σ は図 3 のように BER 曲線の遷移領域幅となる。よって、 σ が小さいほど遷移曲線は急峻となり雑音が少ないことを意味する。我々はこの σ の値を比較することで雑音を評価した。クロックを入力した後にデータを入力できるまでの最小時間をセットアップ時間といい、同様にデータ入力の後に次のクロックが入力出来るまでの時間をホールド時間という。本稿ではセットアップ時間とホールド時間を CLK-IN、IN-CLK と表記することとし、またその和を入力禁止時間と呼ぶこととする。クロック周期は少なくともセットアップ時間とホールド時間の和より大きくなくてはならないため、入力禁止時間は回路が動作できるクロック周波数の上限を決定する。

DFF では R_D を追加した事による R_D のタイミングジッタへの影響を見るためにコンパレータの接合のパラメータを $\beta_C=4$ 、 R_D を 9 Ω とした回路に対し、DFF 内の全ての抵抗に熱雑音を入れた場合と R_D のみ熱雑音を入れた場合での遅延時間の標準偏差 σ_t を比較した。

3.1. DFF での数値解析結果

表 1 は DFF の遷移領域幅 σ 、遅延時間、入力禁止時間を比較した表である。回路 1 は従来の回路であり、 β_C が 1、 R_D をつけていない。回路 2 は β_C を 4 に大きくしたが、 R_D をつけていない回路である。回路 3 は我々の提案手法を導入した回路で β_C を 4、 R_D を 9 Ω 付けた。

表 1 より、今回提案する低雑音化の手法を導入した回路 3 が下側の遷移領域幅 σ の値が小さく、入力禁止時間が短くなった。上側の σ は回路間で大きな違いは見られなかった。 σ 値が小さくなっていることから、今回の提案手法によって雑音が低減化されていることがわかる。また、遅延時間が β_C を 1 から 4 にすることで減少したのは、 β_C を上げたことで接合のスイッチ速度が上昇したからだと考えられる。従って、提案手法である回路 3 で遅延時間が回路 2 よりも大きくなったのは、 R_D を付けたことにより実効的な β_C が小さくなったからだと考えられる。一方、入力禁止時間に関しては β_C を 1 から 4 にすると上昇した。これは、 β_C を上げたことにより、シャント抵抗でのダンピング効果が緩和されスイッチ後のリングングが減衰するまでに時間がかかるようになり、次の信号が入力出来るようになるまでに時間を要するようになったためだと考えられる。今回、 R_D をつけたことによって入力禁止時間が大幅に短縮できる事がわかった。

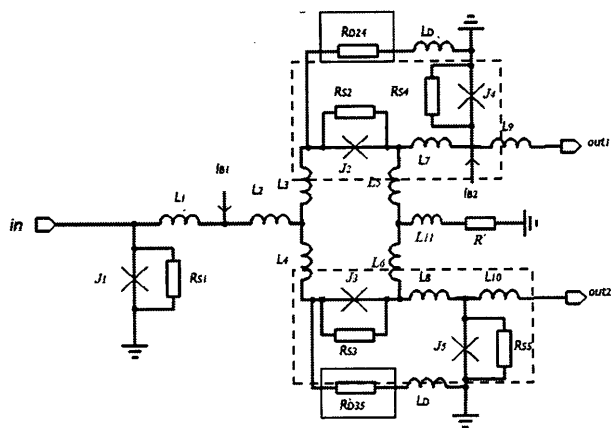


図 4. 提案手法を導入した TFF の等価回路

表 3 TFF の数値解析結果

回路	β_C	$R_D(\Omega)$		σ (%)		遅延時間 (ps)	入力禁止時間 (ps)
		R_{D24}	R_{D35}	下側	上側		
回路 1	1	無し	無し	5.20	5.17	19.7	15.1
回路 2	4	無し	無し	18.1	2.59	18.1	14.4
回路 3	4	11.5	10	5.18	4.04	19.1	14.8

表 2 は回路 3 において、遅延時間の標準偏差を解析した結果である。DFF 内の抵抗での熱雑音を考慮して遅延時間の標準偏差を求める際、(a)では DFF 内の全ての抵抗から発生する熱雑音を考慮し、(b)では R_D での熱雑音のみを除外して数値解析を行った。その結果、 R_D での熱雑音によって遅延時間の標準偏差にほとんど変化はなく、影響を与えないことが確認された。

3.2. T フリップフロップの数値解析結果

TFF で今回の提案手法を導入した等価回路を図 4 に示す。破線で示された部分が提案手法を適用するコンパレータ構造であり、実線で囲んだ抵抗が共有シャント抵抗である。 J_2 と J_4 及び J_3 と J_5 部分の共有シャント抵抗をそれぞれ、 R_{D24} と R_{D35} とする。TFF についても DFF 同様に数値解析を行い、その結果を表 3 に示す。

表 3 より、TFF において σ の値は下側では提案手法を導入した回路 3 がもっとも小さく、上側では回路 2 が最も小さい結果となった。しかし、回路 2 の下側の σ の値は非常に大きな値となっている。そのため上側、下側の両方においては提案手法を導入した回路 3 が最も急峻である。遅延時間及び入力禁止時間では回路 3 は従来の回路 1 より小さい値となったが、回路 2 より大きい値となった。これは、TFF では入力に対して 2 組のコンパレータが交互に動作するが、各コンパレータへの入力間隔は DFF に比べて大きいので、リングングの影響が小さいと考えられる。そのため、スイ

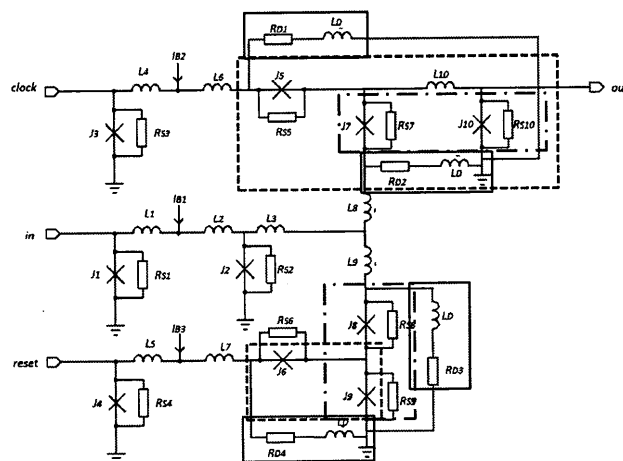


図 5. 提案手法を導入した RDFF の等価回路

表 4 RDFF の数値解析結果

4-1. 遷移領域幅、遅延時間

回路	β_C	$R_D(\Omega)$				σ (%)		遅延時間 (ps)
		R_{D1}	R_{D2}	R_{D3}	R_{D4}	下側	上側	
回路 1	1	無し	無し	無し	無し	6.37	3.02	32.6
回路 2	4	無し	無し	無し	無し	4.72	1.63	30.0
回路 3	4	11.7	12.5	9.9	9.2	5.27	1.87	32.5
回路 4	4	無し	無し	無し	9.2	4.70	1.72	30.0

4-2. 入力禁止時間

回路	入力禁止時間 (ps)				
	CLK-CLK	RST-RST	CLK-IN	RST-IN	CLK-RST
回路 1	21.5	22.2	-0.04	0.10	20.7
回路 2	21.2	21.9	-0.04	0.61	17.8
回路 3	21.6	22.2	0.24	0.23	20.6
回路 4	21.2	22.2	-0.07	-0.04	18.2

ッチング時間が最も短い回路 2 が遅延時間、入力禁止時間を最も短縮したと考えられる。

3.3. リセットブル D フリップフロップでの数値解析結果

RDFF で提案手法を導入した等価回路を図 5 に示す。RDFF 内のコンパレータ構造は clock 入力部と reset 入力部にそれぞれ 2 つ存在するため、多少複雑になる。clock 入力部において J_5 と J_{10} 及び J_7 と J_{10} での共有シャント抵抗を R_{D1} と R_{D2} とし、reset 入力部では J_8 と J_9 及び J_6 と J_9 での共有シャント抵抗を R_{D3} と R_{D4} とする。RDFF の入力禁止時間はクロック入力間(CLK-CLK)、リセット入力間(RST-RST)、クロック-データ入力間(CLK-IN)、リセット-データ入力間(RST-IN)、クロック-リセット入力間(CLK-RST)の 5 つが定義できるので、それぞれに

ついて解析を行った。その結果を表 4 に示す。

表 4 では、回路 1 から回路 3 については DFF, TFF と同様である。回路 4 については後述する。

表 4-2 の入力禁止時間において、負の値が存在する。これは Rdff の論理セルに入った時点でのタイミングで評価しているため、Rdff 内の Josephson Transmission Line (JTL) のでの遅延差を考慮すると入力の時点でデータに対してクロック、またはリセット信号が先に来ている最終的に正しい順序で回路動作が行われることを意味している。

この結果から、Rdff では回路 1 から回路 3 までを比較すると、RST-IN 以外の全てにおいて β_C を 4 にしただけの回路 2 が優位性を示している。これは、提案手法の場合 R_D の数が多いため、熱雑音が大きくなってしまったからだと考えられる。

回路 2 において RST-IN の入力パターンのみ入力禁止時間が長くなった。RST-IN の入力パターンの際に最も影響が大きいと考えられる J_6 と J_1 にのみ R_{D4} をつけて再度シミュレーションを行った。その結果を表 4-2 の回路 4 に示す。

R_{D4} のみをつけた結果、RST-IN の特性は大きく改善され、その他の特性においても従来の回路に対して優位性を示している [7]。

4. 実験による検証

4.1. 測定条件

我々は提案手法を導入した DFF を 2 つ繋げた 2 ビットシフトレジスタ (2bit SR) を試作して提案手法の効果の検証をした。設計した 2bit SR のコンパレータ構造の顕微鏡写真を図 6 に示す。

今回作成した 2bit SR は計 6 種類で、 β_C が 1 の回路を 3 種類、 β_C が 4 の回路を 3 種類作成し、それぞれ R_D を付けない回路、 R_D を 4.5Ω 、 9Ω とした回路を作成した。測定でも数値解析同様、それぞれの回路に対しバイアス電流を変化させながら各バイアス点でビット誤り率 (BER) を測定した。BER の算出は「1010」の入力パターンを 10 kHz で 1 万回入力し、誤った出力の回数を数え、試行回数に対する比で求めた。得られた BER 曲線においても、(2) 式でフィッティングを行い、式中の σ の値で評価を行った。

数値解析において、DFF の遷移領域幅 σ の値は低バイアス電流である下側での結果が大きく値がばらついており、より雑音の影響による傾向が見られた。そのため、今回の実験においても我々は下側の BER 曲線に注目し、そこでの σ の値を数値解析で得られた DFF の結果と併せて比較し、雑音の低減化の傾向を評価した。

また、測定の際に低温側に $1\text{ k}\Omega$ の抵抗を直列に繋ぐことで常温側からの高周波ノイズを低減させた。

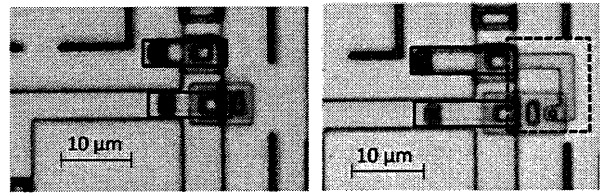


図 6.(a)従来のコンパレータ構造 ($\beta_C = 1, R_D$: 無し)
(b)提案手法を導入したコンパレータ構造 ($\beta_C = 4, R_D = 9\Omega$) ※実線は各接合の固有のシャント抵抗であり、破線は共有シャント抵抗である。

4.2 測定結果

測定では 2 チップを評価した。測定結果を数値解析の結果と合わせて表 5 及び図 7 に示す。

測定の結果、 σ の値は数値解析に比べ測定結果のほうが一桁小さい値となった。これは、出力のタイミングについて、数値解析の方がより厳密に動作判定を行っているため測定で得られた遷移領域幅が狭く見えているためと考えられる。図 7 の測定結果を見ると、共有シャント抵抗を付けた回路では β_C を 1 から 4 に上げたことで σ の値は小さくなり、雑音が低減されている事がわかる。

また、 β_C が 1 の結果を比較すると、 R_D が大きくなるにつれ σ の値が小さくなっている。 β_C が 1 ではコンパレータ内の各接合固有のシャント抵抗から発生する熱雑音は β_C が 4 のものよりも大きいため、コンパレータの閾値特性はより大きくばらつく。従って、 R_D が小さい値で同相のノイズ電流が大きくなるほどコンパレータの閾値特性のばらつきがより顕著に現れるようになり、 R_D での雑音が大きくなるにつれ σ の値は大きくなったと考えられる。

$\beta_C = 4$ の結果では R_D を付けた回路の方が σ は小さい結果となった。特に $\beta_C = 4, R_D = 9\Omega$ で σ は最小となり、数値解析の結果と同じ傾向を示した。これはコンパレータ構造において、クロック入力信号による電流でどちらかのジョセフソン接合がスイッチすると、その接合では電圧が発生する。スイッチした接合とバイアス電圧との電位差は発生した電圧の影響で小さくなるため、コンパレータ内の 2 つのジョセフソン接合に流れる電流は減少する。その減少したバイアス電流に相当する電流の一部は共有シャント抵抗を通してグランドへ流れる。このように、コンパレータ内のどちらかのジョセフソン接合がスイッチした瞬間にバイアス電流が小さくなるので、もう一方のジョセフソン接合がより安定した動作になったと考えられる。

5. まとめ

本稿では SFQ 論理ゲート内のコンパレータ構造に対する雑音の低減化手法について数値解析及び測定の

表 5. 測定結果

	β_c	R_D	σ [%]		
			数値解析	Chip1	Chip2
回路 1	1	4.5	3.61	0.242	0.254
回路 2		9	3.93	0.231	0.239
回路 3		N/A	3.95	0.229	0.222
回路 4	4	4.5	3.66	0.215	0.232
回路 5		9	3.6	0.206	0.220
回路 6		N/A	3.86	0.231	0.222

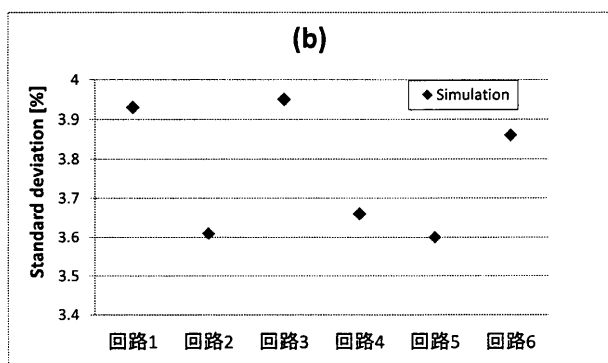
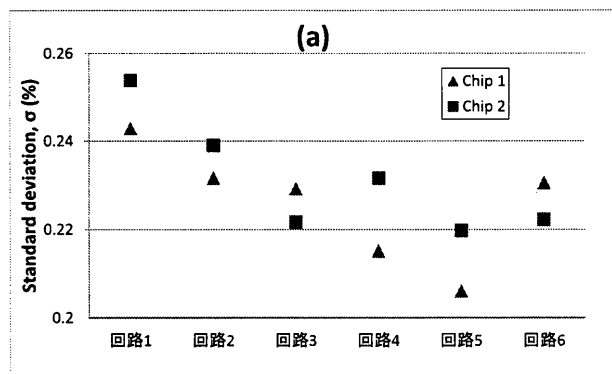


図 7.(a)数値解析結果 (b)測定結果

両面から評価を行った。数値解析では D フリップフロップ、T フリップフロップ、リセットブル D フリップフロップの 3 種類の回路において、我々の提案した共有シャント抵抗を用いる手法の効果を検証した。その結果、マッカンバ係数を大きくすることで雑音が低減化され、共有シャント抵抗をつけることでリングングが抑えられ、タイミング特性が改善される事がわかった。回路によっては手法を必要な箇所に選択的に導入することで効果的に回路特性を向上できることがわかった。また、測定では 2bit SR を設計し、BER 曲線の遷移幅を表す σ の値で評価した。その結果、 β_c を 1 から 4 に大きくすることで雑音を低減化することがわかった。今後は共有シャント抵抗の効果をより詳しく見るために高速試験を行って、周波数依存について評価する必要がある。

6. 謝辞

本研究は科研費(22226009, 24760276)及び ALCA-JST の支援を受けたものである。本研究に使用された回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルームにおいて、AIST-STP2 プロセスを用いて作製された。AIST-STP2 は、(公財)国際超伝導産業技術研究センター (ISTEC) のニオブ集積回路プロセスを AIST にて発展させたものである。

参考文献

- [1] K. K. Likharev and V. K. Semenov, "RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems," IEEE Trans. Appl. Supercond., vol. 1, pp. 3–28, March 1991.
- [2] O. A. Mukhanov, et al., "Superconductor digital-RF receiver systems," IEICE Trans. Electron., vol. E91-C, pp. 306–317, March 2008.
- [3] A. Fujimaki, et al., "Design and Demonstration of High-Speed RSFQ Processors with Large-Scale Reconfigurable Data Paths," Applied Superconductivity Conference, Portland, USA, October 2012.
- [4] A. M. Savin, et al., "High-resolution superconducting single-flux quantum comparator for sub-Kelvin temperatures," Appl. Phys. Lett., vol. 89, pp. 133505, September 2006.
- [5] M. Terabe, A. Sekiya, T. Yamada, and A. Fujimaki, "Timing jitter measurement in single-flux-quantum circuits based on time-to-digital converters with high time-resolution," IEEE Trans. Appl. Supercond., vol. 17, pp. 552–555, June 2007.
- [6] T. Ortlepp, S. Miyajima, H. Toepfer, and A. Fujimaki, "Josephson comparator with modified dynamic behavior for improved sensitivity," J. Appl. Phys., vol. 111, pp. 123901, June 2012.
- [7] 喜多祐真 他 "シャント抵抗の接続方式の変更による SFQ 回路の雑音低減化" 応用物理学会 2013 年 3 月