

# 低消費電力化単一磁束量子マイクロプロセッサにおける データパスの設計と評価

早川 雄飛<sup>†</sup> 高田 賢介<sup>†</sup> 田中 雅光<sup>†</sup> 藤巻 朗<sup>†</sup>

<sup>†</sup>名古屋大学 工学研究科 〒464-8601 名古屋市千種区不老町

E-mail: [hayakawa\\_yuhi@super.nuqe.nagoy-u.ac.jp](mailto:hayakawa_yuhi@super.nuqe.nagoy-u.ac.jp)

**あらまし** 我々は、AIST 10 kA/cm<sup>2</sup> Nb アドバンスドプロセス (ADP) を用いて単一磁束量子 (SFQ) 回路によるマイクロプロセッサにおけるデータパスの設計を行った。SFQ 回路によるマイクロプロセッサにより、低消費電力かつ高速処理が可能なハイエンドコンピュータの実現が期待される。今回設計したデータパスでは、レジスタを 2 列に配置し、その出力を 2 入力ある算術論理演算器 (ALU) にスイッチ回路により接続し、ALU の出力をレジスタにスイッチ回路により接続した構造になっている。本研究では、従来のセルベース設計によるデータパスと、消費電力を 1/10 としたセルを用いたデータパスの 2 つの設計を行い、一部の動作を確認した。

**キーワード** SFQ 回路, マイクロプロセッサ, 10 kA/cm<sup>2</sup> プロセス, データパス

## Design and Evaluation of Data-Path for Low-Power Single-Flux-Quantum Microprocessors

Yuhi HAYAKAWA<sup>†</sup> Kensuke TAKATA<sup>†</sup> Masamitsu TANAKA<sup>†</sup> Akira FUJIMAKI<sup>†</sup>

<sup>†</sup> Department of Quantum Engineering, Nagoya University Furo-cho, Chikusa-ku, Nagoya, 464-8603 Japan

E-mail: [hayakawa\\_yuhi@super.nuqe.nagoy-u.ac.jp](mailto:hayakawa_yuhi@super.nuqe.nagoy-u.ac.jp)

**Abstract** We have designed data-path prototypes using the single-flux-quantum (SFQ) circuits fabricated with the AIST 10 kA/cm<sup>2</sup> Nb advanced process (ADP) for microprocessors. The microprocessor using SFQ circuits are promising for realization of low-power consumption, high-performance high-end computers. The designed data-paths are composed of 2 registers placed in parallel and an arithmetic logic unit (ALU). The outputs of the registers are connected to the inputs of the ALU via a switch circuit, and the output of the ALU is connected to one of the inputs of the registers via another switch circuit. In this study, we have designed the data-paths based on the cell-based design technique, using the conventional cell library and low-power cell library with 1/10 power consumption, and confirmed the partial operations.

**Keyword** SFQ circuit, microprocessor, 10 kA/cm<sup>2</sup> process, data-path

### 1. はじめに

近年、様々な分野において大規模で複雑な科学技術計算を高速に実現できる更なる高性能なコンピュータの需要が高まっている。しかし、コンピュータの高性能化が進む一方、現在のコンピュータに多く使われている半導体集積回路の消費電力の問題、配線遅延の問題等によりコンピュータの更なる性能の向上に限界が見え始めている。

そこで、半導体に比べて 1~2 桁高いスループット、

3 桁程度低い消費電力性を持つ単一磁束量子 (SFQ; single flux quantum) 回路[1]が期待されている。しかし、SFQ 回路を動作させるためには、SFQ 回路を冷やす冷凍機が必要となる。この冷凍機の消費電力を考慮すると、半導体回路に対して消費電力の面で十分な優位性を示すことは困難である。

冷凍機を考慮した消費電力においても半導体回路に対して優位性を十分示すため、回路での消費電力をさらに抑える必要がある。本研究の目標は、SFQ 回路を駆動するバイアス電圧を低下させることにより[2]、

従来よりも消費電力を1桁小さくしたマイクロプロセッサを実証することである。マイクロプロセッサを構成する要素回路は、主にコントローラとデータパスに分けられる。本稿では、データパス部分について、低電圧動作に適した要素回路の構成方法の検討、データパス全体の設計、及び試作した回路の動作評価結果について報告する。

## 2. 低消費電力セルの設計

本研究では、SFQ回路の設計は、あらかじめ設計された基本回路となる「セル」を組み合わせることで設計を行う、セルベース設計[3]によって行う。データパスの低消費電力化のために、低消費電力セルを設計する必要がある。低消費電力セルの設計は、バイアス電圧を1/10に下げ、バイアス電流を供給する抵抗を従来の1/10とすることで、各セルの消費電力を1/10抑える。たとえば、設計に多く使われる配線用セルであるジョセフソン伝送路(JTL)の場合を示す。図1に、JTLセルの等価回路を示す。それぞれLはインダクタンス、Rbはバイアス抵抗、Jはジョセフソン接合を表している。低消費電力セルでは、従来のセルのバイアス抵抗値8.3Ωから0.83Ωとすることで、バイアス抵抗で消費される静的消費電力は1/10に抑えられる。バイアス電圧は0.25mVである。その他のパラメータであるインダクタンス、ジョセフソン接合の臨界電流値などは、標準のセルライブラリの設計[4]から変えていない。

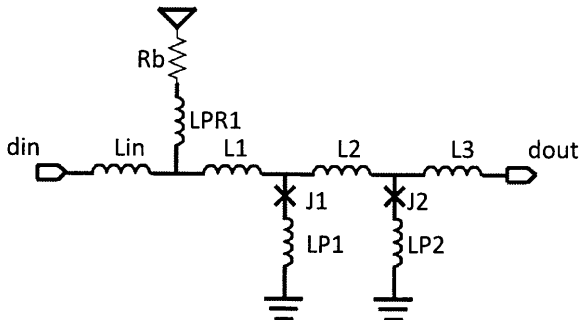


図1. JTLの等価回路

## 3. 要素回路の設計

### 3.1. ALUの設計

算術論理演算ユニット(ALU)の演算はシリアル処理によって行う。データ長が大きい場合スループットは落ちるが、回路面積と接合数を大幅に削減できる。

ALUは、ビットシリアルアダーに論理演算のための機能を拡張することで実装した。図2にビットシリアルアダーのブロック図を示す。これまでに、ビットシ

リアルアダーは、クリティカルパスに専用のセルを設計するなどして改良が繰り返されており、ADPにおいて45GHzの動作実証がなされている[5]。加算結果の出力までは2クロックを必要とし、2段目のパイプラインステージのANDゲートがキャリを制御している。

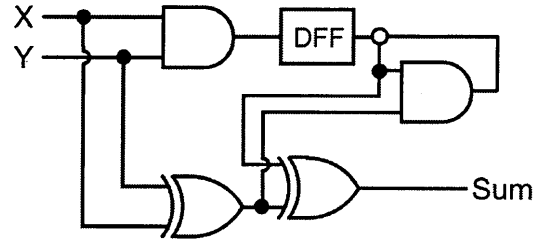


図2. ビットシリアルアダーのブロック図

加算時のオーバーフローなどによって、データ長を超えた桁への桁上げ信号は、初期状態の“0”に戻す必要がある。そこで、リセット可能Dフリップフロップ(rDFF)を用いることでオーバーフローによるキャリを強制的に“0”とする初期化回路を出力部分に付け加えている。

今回、設計したALUのブロック図を図3に示す。設計したALUの仕様は、演算の種類が加算、減算、排他的論理和(XOR)、論理積(AND)、1ビット右シフト、1ビット左シフトの計6種類、データ長は8ビット、パイプラインステージ数は8段とした。パイプラインステージ数を8段としたのは、命令実行に必要なクロック数を8クロックに統一するためである。ビットシフトは、後段にある並列に配置されている非破壊読み出しゲート(ndro; non-destructive read-out)をON・OFFが可能なスイッチとして利用する。それぞれパイプライン段数が1段異なっている経路を選択することにより、1ビットのシフトを実現している。上記の仕様で、今回は、従来のセルを用いたALUと、低消費電力セルを用いた低消費電力ALUの2種類のALUの設計を行った。従来のセルを用いて設計を行ったALUは、設計周波数50GHz、回路面積 $1.82 \times 0.37 \text{ mm}^2$ 、ジョセフソン接合数724、バイアス電流の合計は、86mAとなった。低消費電力セルを用いて設計を行ったALUは、設計周波数30GHz、回路面積 $1.58 \times 0.50 \text{ mm}^2$ 、ジョセフソン接合数735、バイアス電流の合計は、88mAとなった。

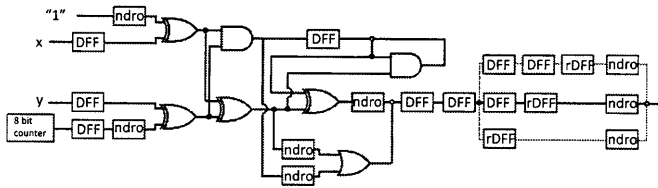


図 3. ALU のブロック図

### 3.2. レジスタの設計

マイクロプロセッサでは、データはメインメモリに格納されるが、メインメモリへのアクセスは演算器の演算時間に比べ遅延が大きいので、比較よく使うデータはレジスタと呼ばれる記憶回路を使うことが多い。今回設計を行ったレジスタは、D フリップフロップで構成した。レジスタの設計においては、コンカレントフロー方式、カウンタフロー方式の2種類のクロッキング方式で設計を行い、AIST 標準プロセスにおいて試作し、評価を行った。図 4 に、コンカレントフロー方式によるレジスタ回路のブロック図を示す。レジスタは、データを読み出してもレジスタ内のデータが消えない非破壊読み出しを実現する必要がある。そのため、クロックと、データの両方を出力から入力へフィードバックさせることで非破壊読み出しを可能にしている。コンカレントフロー方式によるレジスタは、設計周波数 30 GHz、回路面積  $1.17 \times 0.49 \text{ mm}^2$ 、ジョセフソン接合数 488、バイアス電流の合計は、66 mA となった。図 5 に、試作したコンカレントフロー方式によるレジスタ回路の写真を示す。図 6 にカウンタフロー方式によるブロック図を示す。カウンタフロー方式によるレジスタは、データのみをフィードバックさせ、レジスタの入力で読み出しクロックとの待ち合わせを行うことでタイミング調整をして非破壊読み出しを可能にしている。カウンタフロー方式によるレジスタは、設計周波数 30 GHz、回路面積  $0.92 \times 0.42 \text{ mm}^2$ 、ジョセフソン接合数 138、バイアス電流の合計は、17 mA となった。図 7 に、試作したカウンタフロー方式によるレジスタ回路の写真を示す。

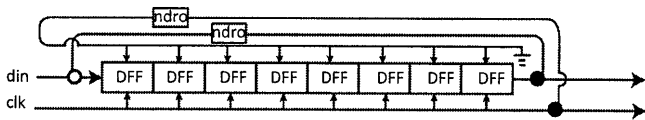
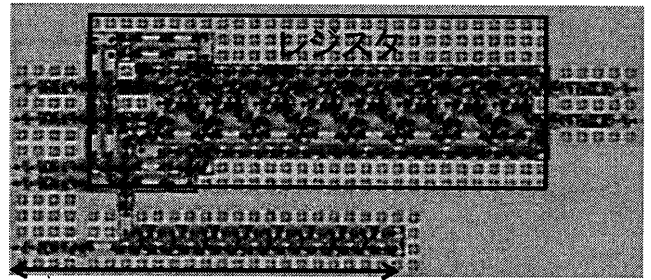


図 4. コンカレントフロー方式によるレジスタ



1mm

図 5. コンカレントフローによるレジスタの写真

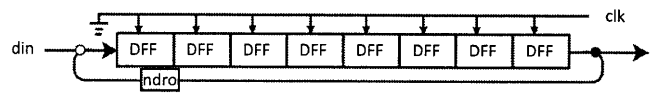
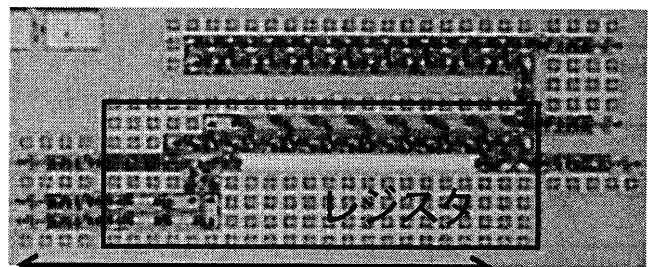


図 6. カウンタフロー方式によるレジスタ



1mm

図 7. カウンタフローによるレジスタの写真

この2つの回路において、動作評価を行った。動作波形の例を図 8 に示す。ここでは、レジスタに低速のクロックで「11111110」というデータを入力し、30 GHz の高速のクロックで非破壊読み出しを3回行い、低速のクロックで読み出して出力を確認している。図の時間スケールでは、高速クロックは観測されない。各レジスタの動作領域の周波数依存性を図 9 に示す。最高動作周波数において、コンカレントフロー方式の優位性が確認できた。また、低消費電力化に際して、スイッチ時間の揺らぎや信号間干渉によるタイミングジッタの蓄積は大きくなると考えられるため、タイミングジッタの影響を低減できるコンカレントフロー方式は、低消費電力化に向けても適していると考えられる。

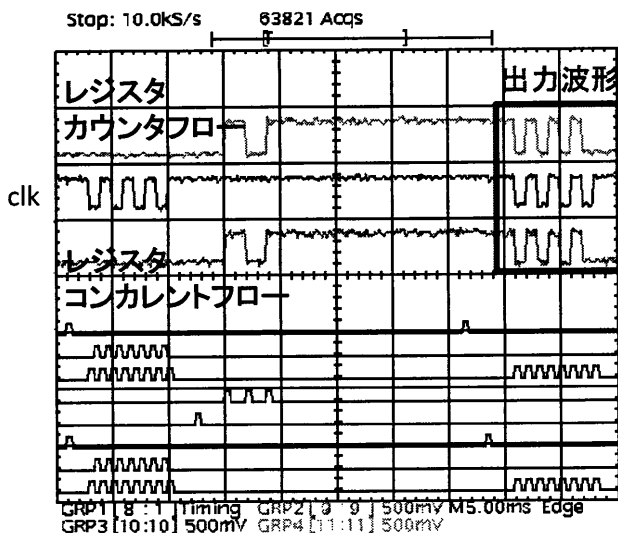


図 8. レジスタ回路の動作波形の例

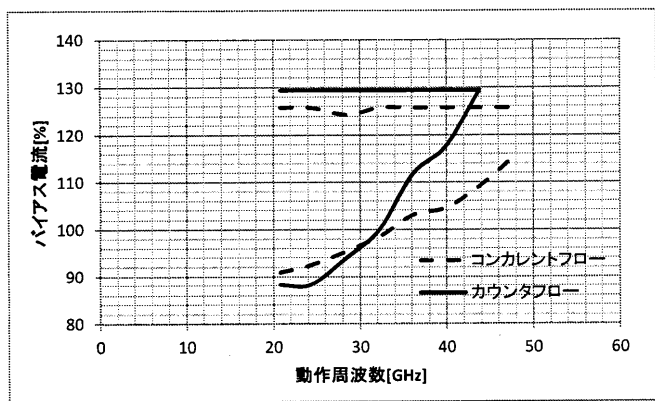


図 9. レジスタの動作領域

今回設計を行ったデータパスは、クロッキング方式をコンカレントフロー方式としたレジスタで構成した。レジスタファイルは、レジスタを2つ並列に配置した構成とした。レジスタファイルは、設計周波数 50 GHz、回路面積  $1.01 \times 0.48 \text{ mm}^2$ 、ジョセフソン接合数 1008、バイアス電流の合計は 138 mA となった

#### 4. データパスの設計

データパスは、レジスタファイルと ALU を組み合わせて構成する。今回設計を行ったデータパスの構成を図 10 に示す。

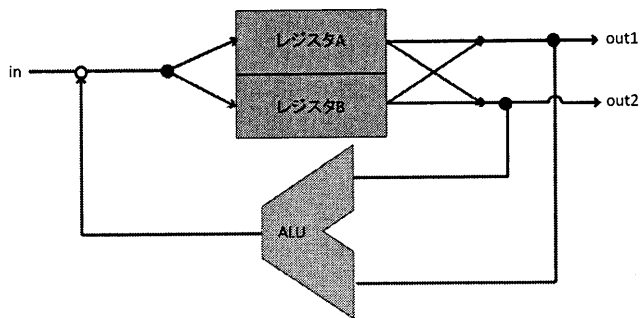


図 10. データパスのブロック図

データパスは、入力が1つあり、スイッチ回路を通して2つあるレジスタのどちらか一方へ入力される。このスイッチ回路は、ndro を ON・OFF が可能なスイッチとして利用することで、データの経路を選択する構成になっている。

また、レジスタからの出力は、スイッチ回路によって2つある ALU の入力に渡される。今回は、レジスタ数も ALU の入力数も 2 なので、スイッチ回路はクロスバースイッチで構成した。このクロスバースイッチ回路も ndro によってデータ経路を選択する構成になっている。上記の構成により、ALU にデータを入力し、その演算結果を再度レジスタに格納することが可能となっている。測定の際の出力は、クロスバースイッチ回路からの出力を測定する構成になっている。

今回設計を行ったデータパスは、従来のセルを用いたものは、設計周波数 50 GHz、回路面積  $2.15 \times 0.85 \text{ mm}^2$ 、ジョセフソン接合数 2467、バイアス電流の合計は 316 mA となった。低消費電力セルを利用したデータパスは、設計周波数 30 GHz、回路面積  $2.15 \times 0.95 \text{ mm}^2$ 、ジョセフソン接合数 2596、バイアス電流の合計は 335 mA となった。

#### 5. データパスの動作評価

今回、従来のセルを用いたデータパスの動作評価を行った。図 11 にデータパスの回路写真を示す。

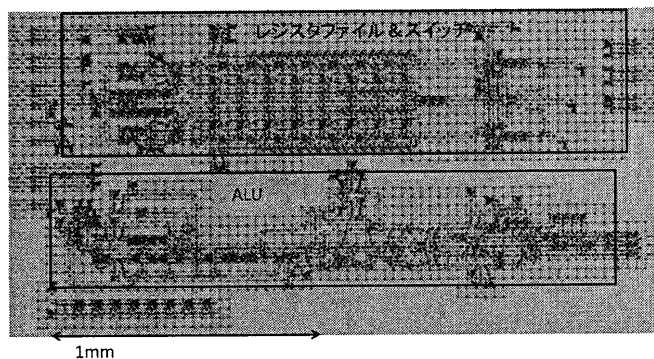


図 11. データパス回路の写真

各要素回路の動作状況を表1に示す。今回は、高速試験において動作の確認ができなかったため、低速試験における動作評価結果を述べる。

表1. 各要素回路の動作状況

要素回路	動作状況
レジスタファイル	非破壊読み出し不可
ALU	XOR、AND、 1ビット右シフトを確認
スイッチ回路 (レジスタの入力側)	正常
クロスバースイッチ回路 (レジスタの出力側)	正常

動作の例を図12に示す。このテストパターンは、5つのフェーズからなっている。1フェーズ目で図10に示したレジスタAにデータを格納する。2フェーズ目で、レジスタBにデータを格納する。3フェーズ目で、レジスタAとレジスタBに格納されたデータをALUに入力し、4フェーズ目にレジスタAにALUでの演算結果を格納し、最後にout1から結果を読み出している。1フェーズ目に入力したデータは「01000110」、フェーズ2で入力したデータは「00011011」とし、ALUでの演算はANDとした。クロスバースイッチは、バーの経路を選択した。図13にその時のデータパスの概略を示す。テスト回路の設計にミスがあったため、レジスタファイルの非破壊読み出しについては確認できなかった。また、このテストパターンでは意図したデータをレジスタAに格納することができないことが分かった。ただし、ALUは格納されたデータに対し、正しい演算を行っていることを確認することができた。

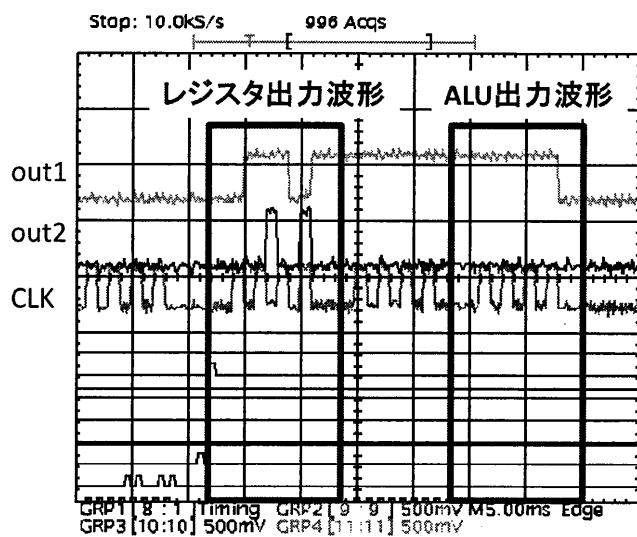


図12. データパスの動作波形の例

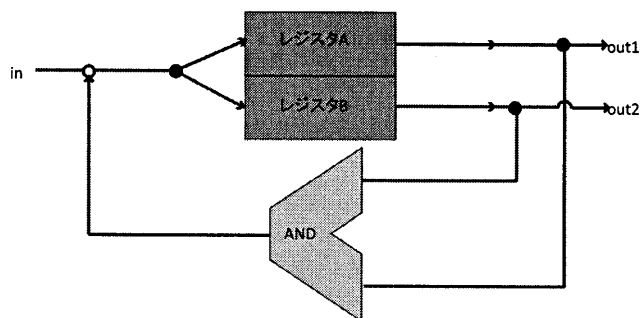


図13. 動作例の各命令

## 6. まとめ

本論文では、低消費電力動作に向けたレジスタの設計を行い、AIST 2.5 kA/cm<sup>2</sup>標準プロセスを用いてカウンタフロー方式、コンカレントフロー方式のクロッキングを実験により比較し、評価を行った。その結果、コンカレントフロー方式が、動作速度やタイミングジッタへの耐性の点で優れていると考えられた。次に、AIST 10 kA/cm<sup>2</sup> Nbアドバンスドプロセスを用いて、SFQ回路によるマイクロプロセッサにおけるデータパスの設計を、従来のセルと低消費電力化したセルの2種類により行った。従来のセルによるデータパスについて評価を行った結果、レジスタファイルは、非破壊読み出し機能にエラーを確認した。また、ALUは、一部の演算について正常動作を確認した。

今後は、より厳密にタイミング設計を見直すとともに、不具合を生じたビットシフト演算に関する回路の改善を行う予定である。

## 謝辞

本研究に使用された回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において、AIST-STD2、及びAIST-ADP2プロセスを用いて作製された。これらは、(公財)国際超電導産業技術研究センター(ISTEC)のニオブ集積回路プロセスをAISTにて発展させたものである。

## 文献

- [1] K. K. Likharev and V. K. Semenov, "RSFQ Logic/Memory Family: A New Josephson Junction Technology for Sub - Terahertz - Clock - Frequency Digital Systems", *IEEE Trans. Appl. Supercond.*, vol.1, pp. 3-28, March 1993.
- [2] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki, "18-GHz, 4.0-aJ/bit Operation of Ultra-Low-Energy Rapid Single-Flux-Quantum Shift Registers," *Jpn. J. Appl. Phys.*, vol. 51, pp. 053102, May 2012.

- [3] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, and S. Tahara, "A single flux quantum standard logic cell library," *Physica C*, vol. 378–381, part 2, pp. 1471–1474, Oct. 2002.
- [4] Y. Yamanashi, T. Kainuma, N. Yoshikawa, I. Kataeva, H. Akaike, A. Fujimaki, M. Tanaka, N. Takagi, S. Nagasawa and M. Hidaka, "100 GHz Demonstrations Based on the Single-Flux-Quantum Cell Library for the 10 kA/cm<sup>2</sup> Nb Multi-Layer Process," *IEICE Trans. Electron.*, vol. E93-C, no. 4, pp. 440-444, Apr. 2010.
- [5] M. Okada, I. Kataeva, M. Tanaka, H. Akaike, A. Fujimaki, N. Yoshikawa, S. Nagasawa and N. Takagi, "45 GHz operation of single-flux-quantum reconfigurable data-path processor with 11000 Josephson junctions," Superconductivity Centennial Conf. (SCC2011) (EUCAS-ISEC-ICMC 2011), The Hague, The Netherlands, no. 1-EB-I2, Sept. 2011.