

中性子イメージングに向けた外部のこぎり波入力による 時間デジタル変換器の設計

伊藤 圭介[†] 于 国偉[†] 喜多 祐真[†] 田中 雅光[†] 藤巻 朗[†]

[†]名古屋大学大学院 〒464-8601 名古屋市千種区不老町

E-mail: [†] k_bo_zu@super.nuqe.nagoya-u.ac.jp

あらまし 本稿では、中性子イメージングに向けた外部のこぎり波入力による時間デジタル変換器の設計と数値解析の結果について述べる。現在、我々は 1μ 以下の空間分解能、100 万を超える画素数、1ms 以下の超短フレーム時間を持つ固体超伝導中性子イメージングシステムの開発を行っている。最終的に、シミュレーション結果から、1000 チャンネル拡張のアイデアを提案する。

キーワード 中性子イメージング, 単一磁束量子(SFQ) 回路, 運動インダクタンス

Design of Time-to-Digital Converter Using External Sawtooth Wave for Neutron Imaging

Keisuke Ito[†] Guowei Yu[†] Yuma Kita[†] Masamitsu Tanaka[†] Akira Fujimaki[†]

[†] Furo-cho Chikusa-ku, Nagoya 464-8601, Japan

E-mail: [†] k_bo_zu@super.nuqe.nagoya-u.ac.jp

Abstract We describe the results of numerical analysis and design of time-to-digital converter using external sawtooth wave for the neutron imaging. We have developed a solid superconducting neutron imaging system with the number of pixels than the one million, the spatial resolution of 1μ or less, and the ultra-short frame time of less than 1ms. Finally, We suggest the idea of 1000 channel expansion.

Keyword Neutron Imaging, Single-flux-quantum circuit, Kinetic Inductance

1. はじめに

中性子によるイメージング技術は、これまで他の技術では困難であった物質中における水素などの軽元素の位置や、磁気構造などの観察が可能である。さらに近年、中性子源の中性子強度の飛躍的向上を受け、中性子イメージング技術の開発、そして、その性能向上に大きな期待が寄せられている。例えば、蓄電デバイスの産業分野からは、燃料電池内部の水のダイナミクスを高分解能で観察したいという要望があり、具体的な性能値として「空間分解能 $1\mu\text{m}$ 」、「フレーム時間 10ms」が掲げられている[1]。

しかし、現状技術では、この性能値を実現することは非常に困難である。例えば、シンチレーション方式では、発光源サイズと CCD 空間分解能の制限、また、イメージングプレートでは、乳剤の粒径に限界があり、最小空間分解能は数十 μ 程度である[2]。

そこで我々は、このような現状に対し、超伝導デバイスを用いた中性子デジタルイメージングシステムを提案している。本システムの優位性は、1 ミクロン以下の空間分解能、100 万を超える画素数、1ms 以下の

超短フレーム時間にある。システム全体は、直流電流バイアス下での検出器の運動インダクタンス変化を利用した新たな中性子検出原理に基づく超伝導検出器(CB-KID)アレイと、単一磁束量子回路(SFQ)の超高速演算処理回路によって構成される。

システム実現のための課題の1つとして、室温側への配線数を抑制する必要がある。加えて、現在の中性子強度と SFQ 回路の高速動作性を考えると、中性子が飛来した検出器の位置情報のみを信号処理回路によってバイナリ変換し外部出力することで、配線数を抑制する。

しかし、検出器間の距離は数ミクロン程度が予想され、検出器 1 チャンネルあたりに割り当てることができる処理回路の面積は厳しい制約を受ける。

そこで、以上を満たす方法の1つとして、今回、外部のこぎり波入力による時間デジタル変換器を提案し設計を行った。本稿では、回路設計と数値計算を基に行った評価結果について報告する。

2. 直流バイアス運動インダクタンス検出器

第2節では、直流電流のバイアス下における運動インダクタンス変化を利用した新しい中性子検出原理に基づく直流バイアス運動インダクタンス検出器 (CB-KID) について簡単に説明する。

2.1. 構造

CB-KID は、超伝導マイクロストリップライン、¹⁰B 薄膜、直流バイアス電流源によって構成される。CB-KID の構造を図1に示す。

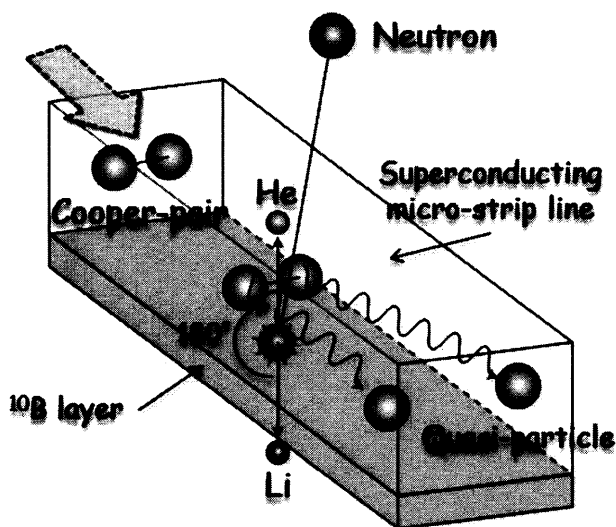
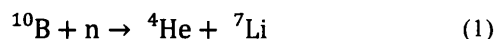


図1 直流バイアス運動インダクタンス検出器

2.2. 検出原理

図1において、入射中性子が超伝導体下部の¹⁰B 薄膜に衝突した場合、式(1)に示される反応が起きる。



上記の反応によって、非常に高いエネルギーを持った⁴Heと⁷Liが、互いに180°異なる方向に放射される。次に、放射された⁴Heと⁷Liの持つエネルギーによって、超伝導体内部のクーパー対が破壊され、式(2)に示される検出器の運動インダクタンス L_k が変化する。

$$L_k = \frac{ml}{nq^2S} \quad (2)$$

ここで、 m はクーパー対の質量、 l は検出器の長さ、 n は単位体積あたりのクーパー対の密度、 q はクーパー対の電荷量、 S は検出器の断面積を示す。運動インダクタンスの変化によって、式(3)より、電圧パルスが発生する。現在、入射中性子の運動インダクタンス変化によって発生する電圧パルスのパルス幅は、数ナノ秒

程度、また、波高値は数マイクロボルト程度だと見積もられている[4]。

$$\Delta V = \frac{\partial(LI)}{\partial t} = L \frac{\partial I}{\partial t} + I \frac{\partial L}{\partial t} \cong I \frac{\partial L}{\partial t} \quad (3)$$

ここで、 L は磁気インダクタンス L_m と運動インダクタンス L_k の和 ($L = L_m + L_k$) を示す。

2.3. X-Y 方式 CB-KID アレイ

X-Y 方式によって、 $2N$ 個の検出器で N^2 個の画素数を実現することができる。図2に X-Y 方式検出器アレイの構造を示す。

まず、CB-KID を同一方向、並列に並べ、メアング状の検出器アレイを構成する。この構造によって、検出器に直流電流を供給するためのバイアス線は1本で済む。それぞれの検出器にアドレスを割り振り、同様の構造を持つ検出器アレイを、互いに直角に配置、さらにその間に¹⁰B 薄膜を設置する。また、それぞれの検出器アレイを x 方向、 y 方向と定める。今、中性子が x 方向の n 番目、 y 方向の m 番目の検出器に当たったとする。2.2 節で述べたように、⁴He と ⁷Li は、互いに180°異なる方向に放射されるため、 x 方向と y 方向の検出信号から、中性子が飛来した位置を同定することができる ($N^2 = N \times N$)。

すなわち、1 画素は検出器の交差する部分によって表現することができ、画素サイズは検出器の線幅によって決定される。また、検出器自身は非常に簡単な構造をしており、これが画素の高集積化に繋がる。仮に、CB-KID の線幅が $0.5\mu\text{m}$ だと仮定すると、画素サイズは $1\mu\text{m}^2$ 、検出面積 1mm^2 あたり 10^6 画素数が可能となる。

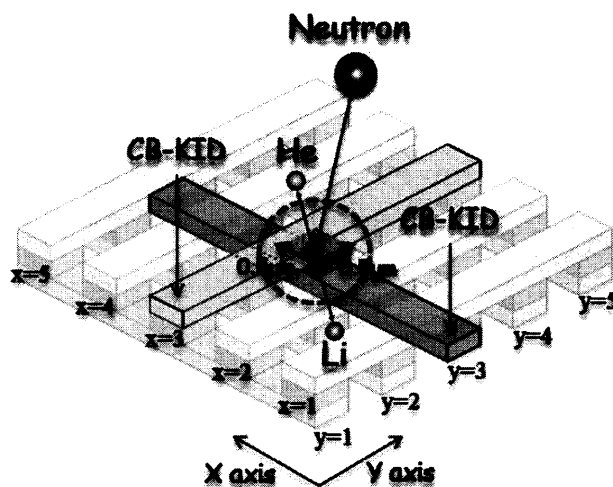


図2 X-Y 方式 CB-KID アレイ

3. 固体超伝導中性子イメージングシステム

第3節では、固体超伝導中性子イメージングシステムの概要について説明する。イメージングシステムは、CB-KID アレイ、アドレス生成回路、コインシデンス回路、多重化回路によって構成される。システム概要を図3に示す。

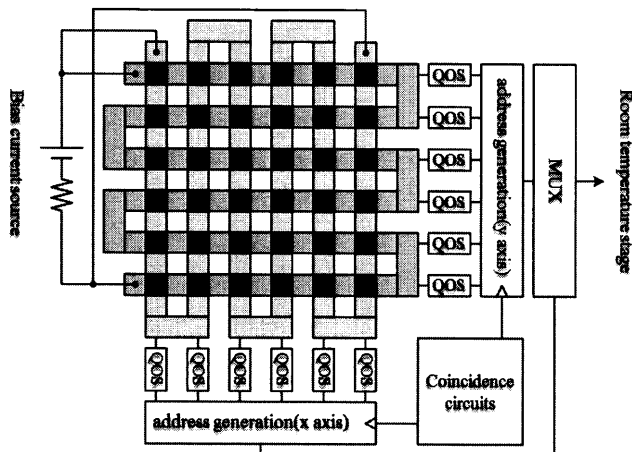


図3 固体超伝導中性子イメージングシステム

3.1. Quasi one junction SQUID (QOS)

2.2節で述べたようにCB-KIDからの信号は、パルス幅数ns程度、波高値数 μV 程度の電圧パルスである[4]。この微小信号を確実に読み出すためには、高速動作性を持ち、非常に高感度な1ビット比較器が必要となる。我々は、以上を満たす比較器としてQuasi one junction SQUID (QOS)を用いることを考えた[5]。QOSの等価回路を図4に示す。QOSは、これまでに、動作周波数20GHzにおいて、最小感度 $2\mu\text{A}$ が確認されている。

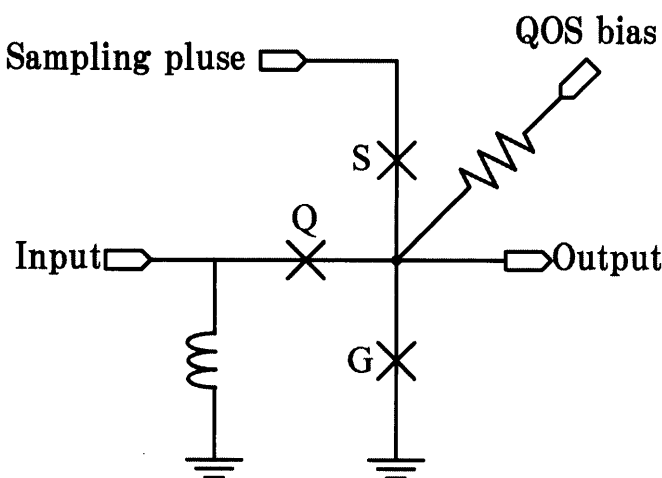


図4 図4 QOSの等価回路

3.2. アドレス生成回路

3.3. コインシデンス回路

X-Y方式検出器アレイは優れた空間分解能を実現することのできる方式であるが、x方向とy方向の検出器からの信号が同一の入射中性子によって同時に引き起こされたことを保証しなければならない。

現在、中性子強度の上限は $10^{15}\text{n}/(\text{s}\cdot\text{cm}^2)$ 程度であり、検出面積を 1mm^2 と仮定すると、100psあたり1個の中性子が検出器に衝突する計算になる。そこで、x方向とy方向それぞれの検出器の信号を一度コインシデンス回路に集約し、時間間隔100ps以内にきた信号は、同時性を認めるという方法を考えた(図4)。今後、検出器からコインシデンス回路までの信号伝達の時間遅延や、複数入力があった場合についての検討を進めていく予定である。

3.4. 多重化回路

多重化回路は、アドレス生成回路によってバイナリ変換されたx方向、y方向それぞれの位置情報を時間分割多重化した後、室温側に出力する。

4. 外部のこぎり波入力による時間デジタル変換器

検出器の信号を、室温側に並列に読み出した場合、画素数の増加によって、熱流入の原因となる室温側への配線数も増大する。システム実現のためには、この配線数を抑制することが求められる。また3.3節で述べたように、現在の中性子強度と、SFQ回路の動作速度を考えると、検出器の信号をすべて読み出すよりも、中性子が飛来した検出器のみの位置情報を読み出した方が、信号処理に必要な時間を短縮し、かつ配線数を抑制することができる。以上2点から、我々は、中性子が衝突した検出器のアドレスをバイナリ変換するためのエンコード回路、すなわちアドレス生成回路の導入を検討してきた。

しかし、サブミクロン空間分解能を実現するために、検出器間の距離は数ミクロン程度になることが予想され、検出器1チャンネルあたりに割り当てることのできるアドレス生成回路の横幅は、数 μm 程度に抑える必要がある。また、タイミングジッタの抑制とチャンネル数の拡張の観点から、接合の数は可能な限り抑制する必要がある。以上を満たすアドレス生成回路として、今回、外部のこぎり波による時間デジタル変換器の提案、設計を行った。第4節では、回路設計とシミュレーションに基づいた数値解析の結果について報告する。

4.1. 回路構成

外部のこぎり波による時間デジタル変換器のプロッ

ク図を図5に示す。回路動作について説明する。検出器(CB-KID)とQOSは、磁気結合によって接続され、検出器から信号があった場合、QOSからSFQパルスが出力される。出力されたSFQパルスは、後段ののこぎり波駆動DFFに保持される。のこぎり波駆動DFFは、ある入力閾値電流に対して、内部に保持している情報を出力する機能を持つ。のこぎり波駆動DFFについては4.2節で詳しく説明する。各チャンネルののこぎり波駆動DFFは、チャンネルごとに固有の閾値を持つ。各のこぎり波駆動DFFの出力は、コンファレンスバッファ(パルス合流回路)によって、1つにまとめられているが、異なる閾値とのこぎり波入力によって、位置情報が時間情報に変換される。また、全く同様の回路をリファレンスとして用意し、すべてののこぎり波駆動DFFにSFQパルスを保持しておく。検出器に接続されたのこぎり波駆動DFFから出力されるパルスが到着するまでの間に、リファレンス回路から制せられたパルスの数をカウンタ回路によって数えることによって、検出器の位置情報をバイナリに変換する。

入力電圧の勾配を調節することで、読み出し時間を任意に変化させることができる。また、非常に簡単な回路構成で実現可能である。

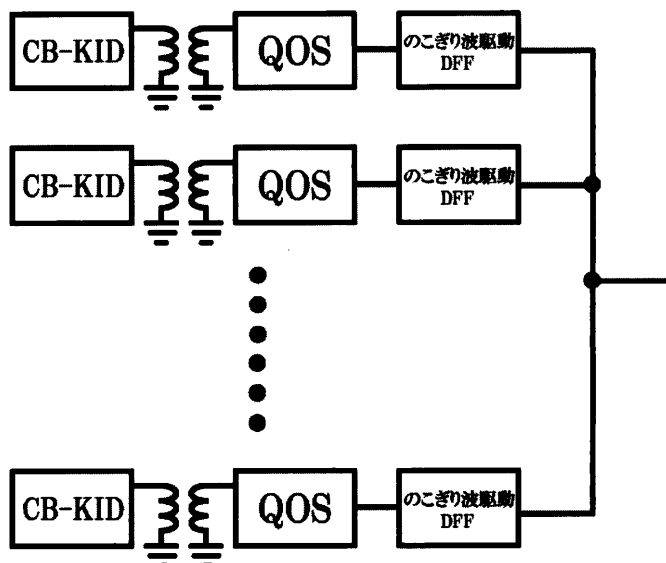


図5 外部のこぎり波による時間デジタル変換器のブロック図

4.2.のこぎり波駆動 DFF

のこぎり波駆動 DFF の等価回路を図6に示す。また、各回路パラメータを表1に示す。SFQパルスは、図6に示されるストレージループに保持される。外部入力によって閾値以上の電流が流れた場合、保持されたSFQパルスが出力される。また、閾値電流の値はRsの値によって決定される。

4.3.数値解析

今回、8チャンネルの外部のこぎり波入力による時間-デジタル変換器のシミュレーションモデルを作成し、数値解析を行った。シミュレーション結果を図7に示す。1~8チャンネルののこぎり波駆動 DFF のRsの値は、10~17Ωに設定した。この時、閾値電流の間隔は56μAであった。

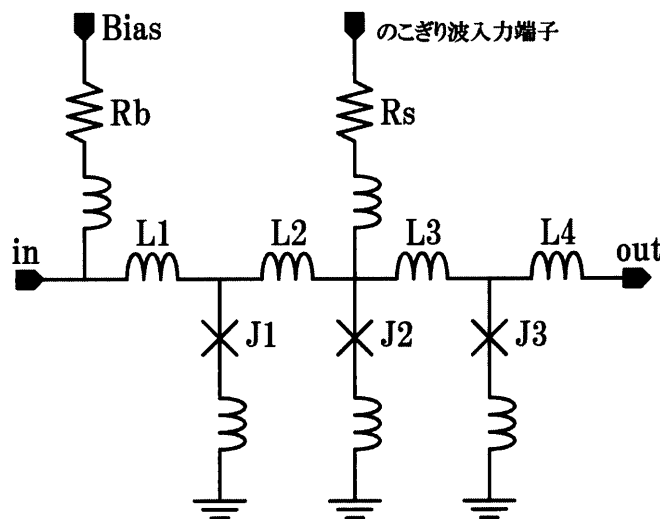


図6 のこぎり波駆動 DFF の等価回路

| | |
|----|---------|
| L1 | 2.605pH |
| L2 | 5.262pH |
| L3 | 4.919pH |
| J1 | 216μA |
| J2 | 300μA |
| J3 | 216μA |
| Rs | 10Ω |

表1 回路パラメータ

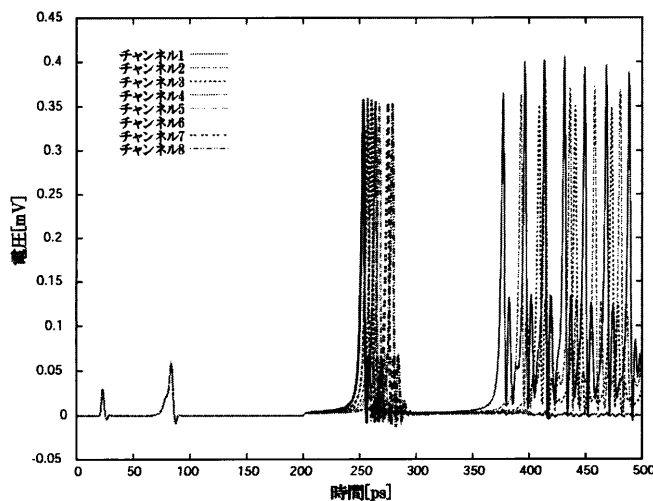


図7 シミュレーション結果

4.4.レイアウト設計

のこぎり波駆動 DFF のレイアウトを図 9 に示す。設計は、SRL10kA/cm²Nb 標準プロセス(STD3)を用いて行った。STD3 は、従来から使用している SRL の 2.5kA/cm²Nb 標準プロセス 2 (STD2) を基本とし、臨界電流密度 10kA/cm² のアドバンスドプロセス (ADP) の成果を取り入れて作成した臨界電流密度 10kA/cm² の Nb 標準プロセスである。設計では、外部磁場にさらされる冷凍機中での動作を考慮し、CTL 層と Wall によって回路内部の接合を囲むスカイプレーン構造を導入している。

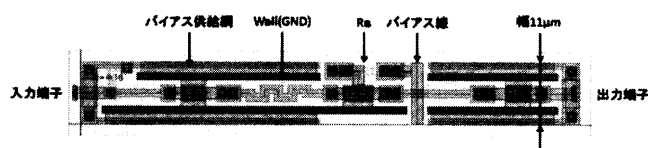


図 9 のこぎり波駆動 DFF のレイアウト

5. 考察

以上の結果を踏まえ、1000 チャンネルへの拡張を考えた時に、どのような問題点が発生するかについての考察を行う。

チャンネル数の拡張により、チャンネル数が増大すると、それにともない、上位チャンネルにおけるのこぎり波駆動 DFF の閾値電流値が大きくなる。しかし、入力電流量が増えすぎると、下位チャンネルののこぎり波駆動 DFF の接合が発振してしまうことが懸念される。図 7 の結果より、今回、各チャンネルごとの抵抗値の間隔を 1Ωにしたところ、拡張することのできるチャンネルの上限はおよそ 32 チャンネル程度であることが分かった。

また、抵抗値を増やすことによってレイアウト上の問題も生じてくる。図 9 に示されるレイアウトでは、拡張できる抵抗値の上限は 40Ω程度であることが分かった。

これらの考察から、1000 チャンネルまで拡張するためには、32 チャンネルの外部のこぎり波入力による時間デジタル変換器を 64 個並列にすることによって実現可能であると現在考えている。

6. まとめ

本稿では、外部のこぎり波入力による時間デジタル変換器の設計とシミュレーション結果について報告した。またシミュレーション上で、8 チャンネルの時間デジタル変換器の動作確認を行うことができた。今後は、数値計算上の抵抗値の値と、実際の測定値の誤差、ばらつきについて評価する。

7. 謝辞

本研究の一部は科学研究費(基盤研究(S)No.23226019)の助成を受けたものである。また、本研究に使用された回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において、AIST-STP2 プロセスを用いて作製された。AIST-STP2 は、(公財)国際超伝導産業技術研究センター(ISTEC)のニオブ集積回路プロセスを AIST にて発展させたものである。

文 献

- [1] J-PARC 利用者協議会資料 (2009 年)
- [2] 松島卯月 RADIOISOTOPES, 56, pp.553-565, 2007
- [3] R. Satija, et al. J. Power Sources, 129, pp. 238-245, 2004
- [4] 1]K. Kurihara et al., Neutron Diffraction Study on the Structure of Rubredoxin from *Pyrococcus Furiosus*, J. Phys. Soc. Jpn., 70 (Suppl. A), 400 (2001)
- [5] A. Bozbey, et al. J. Supercond Nov Magn, 24, pp.1065-1069, 2011