

ジョセフソン素子のデジタル応用

Digital Applications of Josephson Devices

藤巻 朗

1. はじめに

ジョセフソン素子を集積回路の論理素子として使おうとする試みは1966年のMatisooの提案にさかのぼる⁽¹⁾。この提案は、半導体を使った集積回路が提案されてから数年後、ジョセフソン素子が実証されてからは僅か3年後という早さで行われた。更にその5年後には、当時まだ1素子ですら安定に形成することができなかったジョセフソン素子を用いて、計算機を構築しようとするプロジェクトが、米国IBM社によって始められた。

IBM社が挑んだ回路方式はラッチング論理回路と呼ばれる。そこでは、スイッチング素子として、二つの超伝導体をトンネル効果によって結合させたトンネル形ジョセフソン接合が用いられた。この接合は、超伝導電子の状態密度を反映した特異な電流-電圧特性を示す。それを利用すると、2進数の“1”と“0”を超伝導ギャップ電圧（超伝導物質に依存する値で、Nbでは2.9 mV）と零電圧状態という電圧の違いとして表現可能であった。更に、零電圧から超伝導ギャップ電圧への遷移時間は10 ps程度と、当時の半導体素子と比較して格段に高速であった。これらが、ラッチング論理回路の魅力となっていた。

しかしながら、トンネル形ジョセフソン接合はその構造上大きな容量を持つ。この容量のため、ラッチング論理回路では10 GHz以上の動作で確率的に誤動作が発生した。また、遷移時間も容量の充放電時間に制限された。1990年代になると、半導体集積回路が急速に進展し、ラッチング論理回路は、高速性の観点からも、その優位性を失っていった。

代わって主流になったのが、本稿での主題となる単一磁束量子(SFQ: Single Flux Quantum)回路である。SFQ回路は、東北大学のNakajimaらによって提案され⁽²⁾、その後Likharevらによって体系化された⁽³⁾。直

流駆動であり、動作に充放電を伴わない。SFQ回路にもトンネル形ジョセフソン接合が用いられる。実際、Nb/AIO_x-Al/Nbジョセフソン接合を利用して、大規模集積回路(LSI)が実証されている。

ここでは、約20年間開発が進められてきたSFQ回路について、その特徴と応用技術について概説する。またエネルギー効率の向上を目指した最近の新しい流れについても、簡単に紹介する。

2. 単一磁束量子回路の動作原理と特長

超伝導状態では、引力相互作用により全ての電子が電子対を形成し、一つの量子力学的状態に凝縮している。その結果、超伝導体全体を、位相 θ が確定した一つの巨視的波動関数として近似的に表すことが可能となる。

リング形状の超伝導体を考える。波動関数の位相はリングに沿って1周した際に、元の位相の値から 2π の整数倍だけずれた値しか取ることが許されない。この量子化条件は、リングに鎖交する磁束が、磁束量子($\Phi_0=2.07 \times 10^{-15}$ Wb)の整数倍しか取り得ないことを意味する。

SFQ回路は、超伝導リング内に磁束量子が1個あるかないかを、2値信号の“1”、“0”に対応させて、論理演算を進める回路方式である。ただし、超伝導リングには必ず1個以上のジョセフソン接合（以下、単に接合と記す）を挿入する必要がある。対向する二つの超伝導体の巨視的波動関数の位相を θ_1 、 θ_2 とすると、接合には $I_c \sin(\theta_1 - \theta_2)$ の超伝導電流が流れる。ここで I_c はジョセフソン臨界電流と呼ばれる臨界値である。この式から分かるように、接合に流れる超伝導電流は、位相差 $\theta_1 - \theta_2$ に対して 2π の周期関数となる。位相差の 2π の変化は、磁束量子1個が接合を通り抜けることに対応する。すなわち、接合に流れる電流を制御できれば、超伝導リングに磁束量子を入れたり、逆に出したりする制御が可能となる。SFQ回路では、この制御を別の磁束量子に伴う周回電流とバイアス電流の組合せで実現し、巧みに論理演算を行っていく。

図1は、Delay Flip Flop (DFF)の等価回路である。

藤巻 朗 正員 名古屋大学大学院工学研究科量子工学専攻
E-mail fujimaki@nu.uee.nagoya-u.ac.jp
Akira FUJIMAKI, Member (Graduate School of Engineering, Nagoya University, Nagoya-shi, 464-8603 Japan).
電子情報通信学会誌 Vol.95 No.8 pp.746-749 2012年8月
©電子情報通信学会 2012

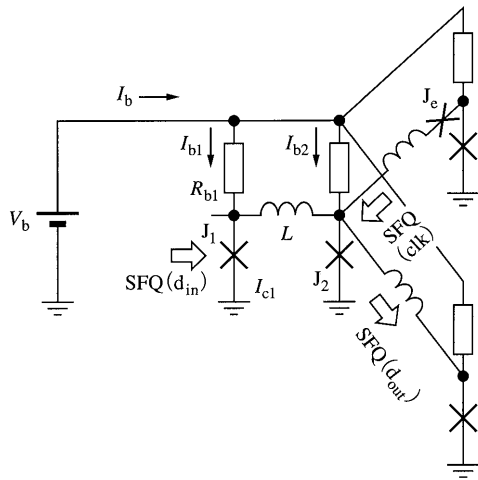


図1 SFQ回路によるDFFの等価回路 ×印がジョセフソン接合に対応する。d_{in}、d_{out}、clkがそれぞれ入力、出力、クロック入力に対応する。

図中×印が接合に対応する。図には記載していないが、接合には、並列にシャント抵抗 R_s が付加される。これにより、接合は臨界制動条件で駆動されることとなり、その遷移時間は最も短くなる。回路全体は直流電圧源 V_b によって駆動される。バイアス電流は接合の駆動力として働くため、SFQ回路の高速動作に向けては、バイアス電流を一定に保つ必要がある。すなわち電流源駆動とする必要がある。これは、バイアス抵抗（例えば接合 J_1 に対する R_{b1} ）を R_s よりも大きくとることで実現できる。

DFFの動作原理は、以下のとおりである。まず、d_{in}入力、すなわち J_1 の左側から磁束量子(SFQ)が入力される。SFQに伴う周回電流との和が I_{c1} を超えるように、バイアス電流 I_{b1} を与えておくと、SFQは J_1 - L - J_2 の超伝導リングに進入する。ここでは、このSFQに伴う周回電流と I_{b2} だけでは J_2 の臨界電流を超えないように、インダクタンス L などを設定しておく。その結果、SFQはリング内に停止し、保持される。その後clk入力より別のSFQが到来すると、その周回電流によって J_2 がスイッチし、d_{out}よりSFQが出力される。リング内にSFQが保持されていない場合は、clk入力側のSFQは J_e から回路外へ放出され、d_{out}には出力が出ない。

電圧はSFQが接合を通過したときにだけインパルス状に発生する。その波高値は典型的には数百 μ V、パルス幅は数psである。臨界制動の条件下では、パルス高は $I_c R_s$ 積に比例し、逆にパルス幅は $I_c R_s$ 積に反比例する。ジョセフソン臨界電流を一定に保ったままで、接合の一辺の長さを $1/k$ にすると、パルス幅も $1/k$ となる。パルス幅の数倍がSFQ回路のクロック周期となることから、微細化とともにSFQ回路の動作周波数は向上する。

SFQ回路中では、1回のスイッチによって、接合の結合エネルギー $I_c \Phi_0$ がシャント抵抗で消費される。 I_c を 150μ Aとすると、 3×10^{-19} Jが消費エネルギーとなる。

この値は、現在の半導体LSI中のトランジスタと比較して3~4桁小さい。更に、上述のようにクロック周期は1桁以上小さい。これが、SFQ回路が次世代の集積回路素子として期待される理由である。

2000年代になって、SFQ回路の優位性を更に強化する技術が確立された^{(4),(5)}。それが受動配線(PTL:Passive Transmission Line)技術である。ここでいうPTLとは、マイクロストリップ線構造、あるいはストリップ線構造を持つ超伝導波路を意味する。SFQ回路で発生する電圧はインパルス状で、元々充放電現象を伴わない。したがって、ある論理ゲートから次の論理ゲートへの信号伝送は、一つの集積回路内でも電磁波として光の速度で行われる。これまでの実験から、長さ50mmまではPTLが適用可能であることが分かっている。また、別の層で形成されたPTLへの接続や、一つの論理ゲートから複数の論理ゲートへの信号分配技術も確立されている。

PTLを消費電力の観点から考えてみる。文献によると、半導体で10GHzの信号を想定し、それを10mmにわたって伝送させた場合のバンド幅当りの電力は、 $10 \text{ mW}/(\text{Gbit/s})$ 程度である^{(6),(7)}。これに対しSFQ回路では、現状でも $0.1 \mu\text{W}/(\text{Gbit/s})$ である。すなわち、5桁の優位性を持っていることになる。このようにPTLは、高速性、レイアウトの柔軟性、低消費電力性を兼ね備えており、配線技術の観点からも、SFQ回路は次世代の集積回路としての高い可能性を秘めているといえる。

3. 単一磁束量子回路の応用分野と開発の現状

SFQ回路の特長には、応用分野によっては、高精度性や高感度性が加わる。高精度性は、ノイズシェーピングを伴うオーバーサンプリング形A-D変換器(ADC)で発揮される。それらのADCのフロントエンド部にはパルス密度変調回路が設けられている。SFQ回路を用いると、高い周波数で変調器及びその後段に位置する間引きフィルタを動作させることができる。加えて、パルス密度変調器を具現化するための負帰還回路で磁束量子単位の帰還が施されることから、広帯域高精度ADCが実現可能となる。このADCの利用により、無線信号をそのままデジタル化できるようになる。信号を取り出すための周波数変換や復調といった操作はデジタル領域で行われる。柔軟性の高いコグニティブ無線を実現するシステムとして、活発に研究が行われており⁽⁸⁾。既に米国Hypres社では、試験機を用いて、衛星を介した通信に成功している。

SFQ回路の高感度性は、主に超伝導検出器の後段処理回路で求められる。ここ10年ほどの間に超伝導細線を利用した新しい超伝導検出器が急速な進展を見せた。それらの一部は1ns程度の応答時間を持ち、飛行時間

法により，入射粒子のエネルギーが計測される．SFQ 回路による時間—デジタル変換器（TDC）を用いると，高分解能かつ大ダイナミックレンジで飛行時間を計測できるほか，時分割多重方式により多数の検出器の出力を少ない数のケーブルで室温エレクトロニクスへ送り出すことが可能となる．一般に，超伝導検出器の発生電圧はたかだか数十 μV であることから，TDC のフロントエンド部では高速性と同時に高感度性が求められる．SFQ 回路は，高感度磁束計として知られる超伝導量子干渉素子の変形版ともみなし得る．磁気結合などの回路パラメータを適切に設計することにより，両者を満足させるシステムの構築が可能となる．現在，中性子検出システムや質量分析システムの実現を目指し，研究が進められている⁽⁹⁾．

情報通信機器としては，バックボーンネットワークに適用するハイエンドルータや高性能サーバ，更には科学技術計算用スーパーコンピュータがターゲットとなる．冷凍機はその冷却能力が高くなるほど冷却効率が向上する．4 K ステージで 1 W 当りの冷却能力を得るのに必要な冷凍機の投入電力を冷却ペナルティと呼び，冷却効率の指標としている．冷却ペナルティは，スーパーコンピュータのような大規模応用では 400~1,000 となる．SFQ 回路は，その消費エネルギーと遅延時間の積で 4~5 桁，PTL 配線技術でも 5 桁の優位性を現在の半導体 LSI に対し有している．このことは，SFQ 回路の特長をうまく引き出すことができれば，冷凍機の使用が情報通信機器応用としての障害にならないことを意味する．

こういったことから，SFQ 回路を用いて情報通信機器，とりわけスーパーコンピュータを構成しようとする試みがなされてきた⁽¹⁰⁾．ここでは，現在筆者らが高性能コンピュータを目指して取り組んでいる再構成可能なデータパスを持つプロセッサ（RDP プロセッサ）⁽¹¹⁾ の開発の現状について簡単に触れる．

図 2 が試作した RDP プロセッサプロトタイプの詳細写真である．左側から四つのデータが入力され，2 並列 2 段の算術論理演算回路（ALU）を経由して，計算結果は右側に出力される．四つのデータは，ネットワークスイッチ（ORN: Operand Routing Network）によって 2 並列の ALU のどの入力にも接続可能となっている．1 段目の出力と 2 段目の入力も同様に任意の接続が可能である．どのような接続にするか，また ALU のどの機能を使うかは，外部から制御される．

最終的な RDP プロセッサでは，ALU の代わりに浮動小数点演算器（FPU）が用いられ，並列度，段数共に 32 程度を用いる．科学技術計算では，ある計算の結果をすぐに次の計算で用いることが多い．こういった場合，あらかじめ計算の手順を，ORN でのルーティングと FPU の演算機能の選択としてマッピングすることで，外部メモリにアクセスすることなく RDP プロセッサの

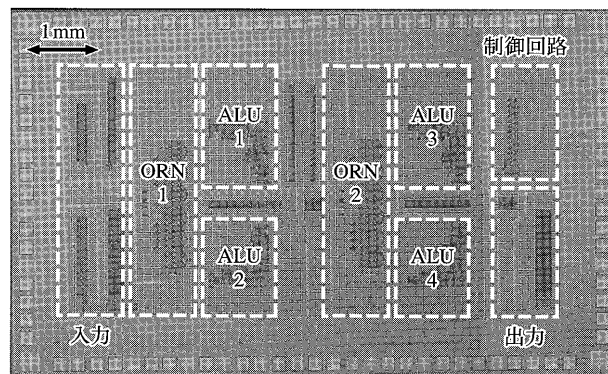


図 2 RDP プロセッサの詳細写真 現在の世界最大規模の SFQ 集積回路である．配線は下層で行われているため，この写真では見ることができない．

みで所望の計算が行われる．その結果，高速高効率な計算が可能となる．

このプロセッサでは，一般に ORN で非常に多くの配線が必要となる．この点 SFQ 回路では，その高速性を生かし，ビットシリアル処理を FPU に適用することが可能であり，並列処理に比べ大幅に素子数，配線数を低減できる．実際，図 2 の回路では，ビットシリアル処理が 45 GHz で動作している．消費電力は 3.4 mW である．1 万個を超える接合が集積化されており，現時点で世界最大規模となっている．この LSI は，超電導工学研究所が新たに開発したプロセスを通して作製された⁽¹²⁾．Nb 層数は従来の 4 層から 10 層に増え，電源供給層や二つの PTL 専用層が設けられている．また，ジョセフソン臨界電流密度を上げ， $I_c R_c$ 積は従来の 2 倍となっている．

4. エネルギー効率の追求

地球温暖化が社会問題となって以来，情報通信機器についても評価の視点が，動作速度からエネルギー効率へと変わってきた．図 3 は，CMOS や SFQ-LSI における 1 素子当りの消費エネルギーとクロック周期の関係を年代とともにプロットしたものである．ただし，ここでの消費エネルギーは，集積回路に投入される電力を素子数（トランジスタ数，若しくは接合数）で単純に割ったものである．図から分かるように，現在の CMOS 素子は，ラッチング回路と同等レベルにまで低エネルギー化が進んでいる．一方 SFQ 回路は，現在は消費エネルギーとクロック周期の積（ED 積）においては，約 4 桁の優位性を CMOS-LSI に対して持っている．

しかしながら，半導体の進歩を考えると，4 桁は十分優位な数字とはいえない．加えて，SFQ 回路だけでシステムが構築できる応用はごく僅かで，多くの応用では半導体回路との間でデータの受け渡しが必要となる．その場合には，SFQ 回路の動作周期は半導体回路と同じで

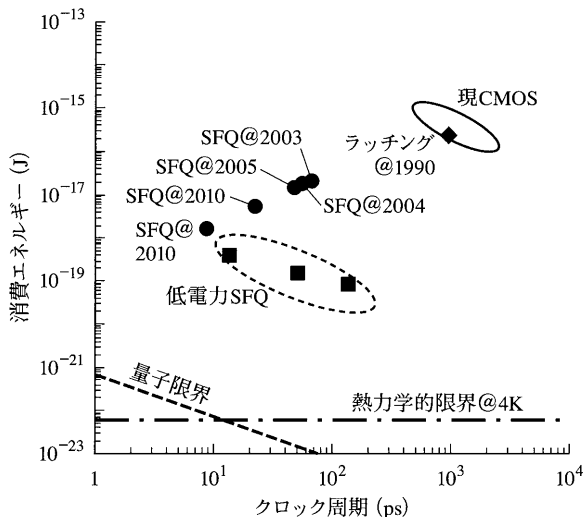


図3 各種集積回路における1素子換算の消費エネルギーとクロック周期 SFQ回路は年代とともに高速化が図られている。最近の低電力SFQ回路では、消費エネルギーは大幅に削減されている。

もよく、むしろ消費エネルギーが小さい回路が求められる。この要求に応えようと、最近幾つかの回路方式が提案された⁽¹³⁾。その多くが、バイアス抵抗での消費電力を削除、若しくは低減しようとするものである。具体的には、抵抗を接合で置き換えたり、交流駆動を採用し磁気結合を介してバイアス電流供給を行ったりしている。これまで実証された低消費電力SFQ回路の消費エネルギーとクロック周期を図3に加えた。現在のSFQ回路に比べ、ED積は1/10程度にまで低減化されている。

バイアス抵抗が除去されると、エネルギーを失う場所はシャント抵抗のみとなる。そこで、シャント抵抗に電流が流れないように、接合の位相差をゆっくりと変化させるような回路も提案されている⁽¹⁴⁾。この場合、消費エネルギーは $I_c\Phi_0$ よりも十分小さくなり、量子限界や熱力学的限界に近づいていく。

米国では、超伝導メモリの低消費エネルギー化も活発である。従来のメモリは、超伝導リングにSFQを保持することを基本原理としていたが、低温で動作するMRAMの利用が模索され始めている。そこでは、超伝導体の間に強磁性体を挟んだ新たなジョセフソン接合が用いられる⁽¹⁵⁾。巨視的波動関数の位相が磁性体のスピンの向きに依存して変化し、結果としてジョセフソン臨界電流値がスピンの向きによって変調される。接合1個でメモリとなることから、高集積化と低消費エネルギー化が期待されている。

5. ま と め

ジョセフソン素子のデジタル応用について、簡単に振り返った。1970年以来、20年ごとに大きな転機を迎

え、現在はSFQ-LSIが実用化に向け、システム構築の段階に入ってきている。同時に、新たなジョセフソン接合技術も取り入れ、究極の目標である高性能コンピュータの構築に挑む機運が生まれている。ジョセフソン素子の予言から50年が経過した今、もう一度Matisooの夢を追いかけるスタート台に立っている気持ちを抱いている。

文 献

- (1) J. Matisoo, "Subnanosecond pair-tunneling to single-particle tunneling transitions in Josephson junctions," *Appl. Phys. Lett.*, vol. 9, no. 4, pp. 167-168, Aug. 1966.
- (2) K. Nakajima, Y. Onodera, and Y. Ogawa, "Logic design of Josephson network," *J. Appl. Phys.*, vol. 47, no. 4, pp. 1620-1627, April 1976.
- (3) K.K. Likharev and V.K. Semenov, "RSFQ logic/memory family: A new Josephson junction technology for sub-tera-hertz-clock-frequency digital systems," *IEEE Trans. Appl. Supercond.*, vol. 1, no. 1, pp. 3-28, March 1991.
- (4) Y. Hashimoto, S. Yorozu, Y. Kameda, and V.K. Semenov, "A design approach to passive interconnects for single flux quantum logic cells," *IEEE Trans. Appl. Supercond.*, vol. 13, no. 2, pp. 535-538, June 2003.
- (5) T. Yamada and A. Fujimaki, "A nobel splitter with four fan-outs for ballistic signal distribution in single-flux-quantum circuits up to 50 Gb/s," *Jpn. J. Appl. Phys.*, vol. 45, no. 9, pp. L262-L264, Feb. 2006.
- (6) 田村泰孝, "CMOS 高速インターフェース," *信学誌*, vol. 91, no. 3, pp. 176-182, March 2008.
- (7) 大橋啓之, 鈴木信夫, 西 研一, "LSI オンチップ光配線技術," *信学誌*, vol. 91, no. 3, pp. 201-206, March 2008.
- (8) O.A. Mukhanov, D. Gupta, A.M. Kadin, and V.K. Semenov, "Superconductor analog-to-digital converters," *Proc. IEEE*, vol. 92, no. 10, pp. 1564-1584, Oct. 2004.
- (9) A. Fujimaki, I. Nakanishi, S. Miyajima, K. Arai, Y. Akita, and T. Ishida, "Proposal of a compact neutron diffraction system with a single-flux-quantum signal processor," *IEICE Trans. Electron.*, vol. E94-C, no. 3, pp. 254-259, March 2011.
- (10) 例えば, T. Starling, "A hybrid technology multithreaded architecture for petaflops computing," <http://htmt.cacr.caltech.edu/Overview.html>
- (11) N. Takagi, K. Murakami, A. Fujimaki, N. Yoshikawa, K. Inoue, and H. Honda, "Proposal of a desk-side supercomputer with reconfigurable data-paths using rapid single-flux-quantum circuits," *IEICE Trans. Electron.*, vol. E91-C, no. 3, pp. 350-355, March 2008.
- (12) S. Nagasawa, T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, and N. Yoshikawa, "New Nb multi-layer fabrication process for large-scale SFQ circuits," *physica C*, vol. 469, no. 15-20, pp. 1578-1584, 2009.
- (13) Q.P. Herr, A.Y. Herr, O.T. Oberg, and A.G. Ioannidis, "Ultra-low-power superconductor logic," *J. Appl. Phys.*, vol. 109, 103903, 2011.
- (14) N. Yoshikawa and D. Ozawa, "A diabatic quantum flux parametron as an ultra-low-power superconducting logic device," *ASC2010*, no. 2EB-05, Washington DC, USA, 2010.
- (15) V.V. Ryazanov, O.A. Mukhanov, and I.V. Vernik, "Magnetic Josephson junction technology for digital and memory applications," *ISEC2011*, no. 2EAO6, Hague, Netherlands, 2011.

(平成24年4月9日受付)



ふじまき あきら
藤巻 朗 (正員)

昭57 東北大・工・電子卒。昭62 同大学院工学研究科電子工学専攻博士課程了。同年カリフォルニア大パークレー校客員研究員。昭63 名大・工・助手。以来、低温並びに高温超伝導デバイスと回路・システムの開発に従事。現在、同大学院工学研究科教授。工博。平16 超伝導科学技術賞受賞。