

単一磁束量子デバイスを用いた次世代プロセッサの マイクロアーキテクチャ探索

横田 順平[†] 津秦 伴紀[†] 井上 弘士^{††} 田中 雅光^{†††}

[†]九州大学大学院システム情報科学府情報知能工学専攻 〒819-0395 福岡市西区元岡 744

^{††}九州大学大学院システム情報科学研究院情報知能工学部門 〒819-0395 福岡市西区元岡 744

^{†††}名古屋大学大学院工学研究科量子工学専攻 〒464-8603 名古屋市千種区不老町

E-mail: †{yokota,tsuhata,inoue}@soc.ait.kyushu-u.ac.jp, ††masami_t@ieee.org

あらまし 単一磁束量子 (Single-Flux-Quantum; SFQ) マイクロプロセッサは, 超伝導体素子によって構成され, 極めて低消費電力で動作する次世代プロセッサである. デバイスの特性上, CMOS プロセッサと異なる新たなパイプライン構成およびビット幅の設計空間が考えられる. そこで, 本稿では SFQ マイクロプロセッサの性能モデリングを行い, モデルに基づくマイクロアーキテクチャ探索を行う.

キーワード SFQ 回路, マイクロプロセッサ, アーキテクチャ, 性能モデリング

Exploring Microarchitecture for Next Generation Single-Flux-Quantum Processors

Jumpei YOKOTA[†], Tomonori TSUHATA[†], Koji INOUE^{††}, and Masami TANAKA^{†††}

[†] Department of Advanced Information Technology, Graduate School of Information Science and Electrical Engineering, Kyushu University Motooka 744, Nishi-ku, Fukuoka-shi, 819-0395 Japan

^{††} Department of Advanced Information Technology, Kyushu University Motooka 744, Nishi-ku, Fukuoka-shi, 819-0395 Japan

^{†††} Department of Quantum Engineering, Graduate School of Engineering, Nagoya University Furo-cho, Chikusa-ku, Nagoya-shi, 464-8603 Japan

E-mail: †{yokota,tsuhata,inoue}@soc.ait.kyushu-u.ac.jp, ††masami_t@ieee.org

Abstract Single-Flux-Quantum (SFQ) is a promising device technology to implement high-performance low-power microprocessors. Since it operates at the superconductive condition, the negative impact of resistance can dramatically reduced. Previous design of a SFQ microprocessor employs a bit-serial implementation for instruction pipelining. However, since there is a trade-off between bit-level parallelism and operation frequency, it is still not clear that this kind of bit-level operation is suitable for SFQ microprocessors. To answer this question, this paper explore the SFQ pipeline micro-architecture and evaluates their performance.

Key words SFQ, Microprocessor, Architecture, Performance Modeling

1. はじめに

単一量子磁束 (Single Flux Quantum; SFQ) デバイスは, 超伝導ループ中の磁束消失時に放出される微弱電圧パルス (SFQ パルス) を情報担体として動作する. その主な特徴としては, 1) 超伝導状態で動作するため抵抗成分が限りなくゼロに近くなり 100 GHz といった超高速動作が可能となる, 2) 信号伝搬には電荷の充放電が不要なため論理ゲート当りの動的消費電力が CMOS 回路の 1/1,000 と極めて小さい, の 2 点が挙げられる [3]. これらの特徴に着目し, 従来の CMOS 回路では実現できない超高速かつ低消費電力なマイクロプロセッサの開発に関する研究開発が進められてきた. 例えば, 文献 [2] では 8 ビット

SFQ プロセッサの設計・試作を行い, 演算回路といったプロセッサ構成要素に関しては 20 GHz での動作が確認されている.

基本的に, SFQ 回路はパルス波を用いて信号を伝搬する. そのため, 100 GHz クラスの超高速動作を実現するためにはピコ秒オーダーでのタイミング調整が必要となり, 数 GHz クラスの CMOS 回路の実装と比較して回路/レイアウト設計がより難しくなる. この問題を回避するため, 現在の SFQ プロセッサは 1 ビット単位での演算や通信を基本動作とする **ビットシリアル方式**を採用している. 例えばデータ語長が 32 ビットの加算を行う場合には, 1 ビット幅の加算回路を実装し, 下位ビットから上位ビットに向けて 1 ビット加算を 32 回繰り返す. これにより, 実装面積が小さくなり (単純には 32 ビット加算器の

1/32の面積), 総配線長が短縮されると共に配線長のばらつきも低減されるため, タイミング設計の複雑さを緩和することができる。しかしながらその反面, ビットレベル並列性を活用できないため, データ語長に比例した回数の計算が必要となり, 計算結果を得るまで(または, 通信が完了するまで)のレイテンシが増大する。通常, プロセッサの性能は, 動作周波数のみならず命令実行レイテンシにも大きく依存する。そのため, SFQプロセッサの実現においては, 必ずしもビットシリアル方式が適切であるとは限らない。

そこで本研究では, SFQプロセッサ設計において, 同時に処理するビット幅と動作周波数の間にトレードオフ関係が存在することに着目する。そして, このトレードオフを考慮した評価を行うことで, SFQプロセッサにおいて活用すべきビットレベルの並列性を明らかにする。具体的には, SFQプロセッサ・アーキテクチャの設計選択肢を整理し, 幾つかの代表的な設計点に着目した性能モデリングを行う。そして, 文献[2]の実設計データを用いることで, 命令パイプラインレベルで達成可能な動作周波数を明らかにする。また, ここで得られた結果と, 現在のCMOSベースの最先端プロセッサの動作周波数とを比較し, SFQプロセッサ・アーキテクチャの採るべき方向性を議論する。

本稿の構成は以下の通りである。第2章ではSFQ回路の特性について説明し, 第3章でSFQプロセッサ・アーキテクチャの設計選択肢を整理する。そして第4章で性能モデリングを行い, 第5章で最大動作周波数に着目した性能評価の結果を示す。最後に, 第6章でまとめる。

2. SFQ回路の特性

SFQ回路はパルス論理であり, CMOS回路と動作原理が根本的に異なる。クロックパルスの間隔内にデータパルスが存在すれば論理値'1', 存在しなければ論理値'0'を表す。データパルスの生成, 保持, 伝播, 分岐, 合流, 消滅などの組み合わせによって論理演算を実現する。本節では, SFQ回路素子の動作原理と, クロック同期式論理ゲート, クロックスキューおよびフィードバックループについてそれぞれ説明する。

2.1 SFQ回路素子の動作原理

SFQ回路の主要な構成要素はジョセフソン接合である。これは, 図1(a)のように2つの超伝導体の間に絶縁体などの薄い障壁膜を挟み, 弱結合したデバイスである。ジョセフソン接合は, 図1(b)のように, 接合を流れる電流値が臨界電流値 I_c を下回っている場合には電位差を発生せずに電流が流れ, I_c を超えた瞬間から超伝導体の状態が変化して抵抗が生じ, 電位差が発生するといった電気的特性を持つ。この現象は, ジョセフソン接合が「スイッチする」あるいは「接合が切れる」と呼ばれる。

超伝導体で構成されるループの中では, 磁束は $\Phi_0 (= h/2e = 2 \times 10^{-15} \text{ Wb} = 2.07 \text{ mV} \cdot \text{ps})$, ここで h はプランク定数, e は電子の電荷, また Φ_0 は磁束量子と呼ばれる)の整数倍に量子化される。図2に示す等価回路のように, 超伝導体のデータ線とグラウンドをジョセフソン接合を含むバイアス電流線で接続した回路において, 例えば J_1, L_1, J_2 はループが構成されている。このループはインダクタンスをもつため, 磁束が入ると周回電流が流れる。この時, ループの周回電流とバイアス電流の和が I_c を下回ると, 磁束はそのままループ内に留まる。一方, I_c を上回る場合は, J_2 がスイッチしてSFQパルスがデータ線を伝搬し, 隣接する J_2, L_2, J_3 のループに磁束が移動する。図2のようにループを数珠つなぎにして, インダクタンスを小さくすることで, 磁束およびSFQパルスが次々に伝搬する伝送路となる。これをジョセフソン伝送路(Josephson transmission line, JTL)と呼ぶ。

次に, 単純なラッチ機能を持つDフリップフロップについ

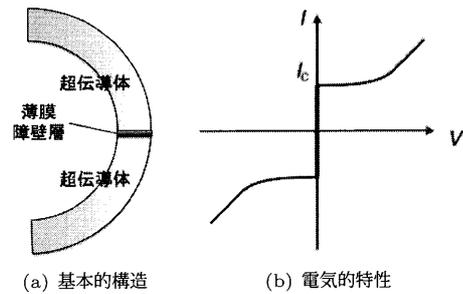


図1 ジョセフソン接合の(a) 基本的構造と(b) 電気的特性

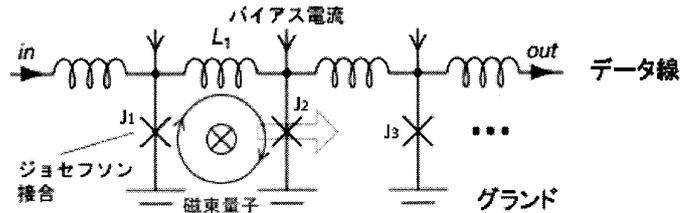


図2 ジョセフソン伝送路の等価回路

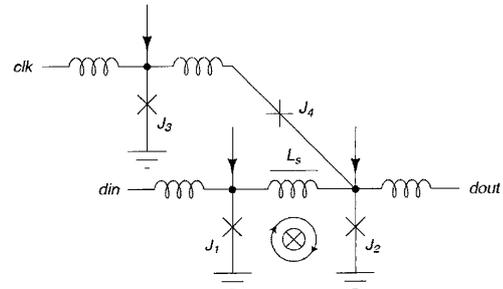


図3 Dフリップフロップの等価回路

て説明する。図3に等価回路を示す。 J_1, L_s, J_2 で構成されるループは磁束を保持できるように L_s を大きくする。 d_{in} からSFQパルスが入力されるとループに磁束が保持された状態となる。この状態でクロック信号線からSFQパルスが伝搬されると, J_2 にはバイアス電流と周回電流に加え, クロック信号線からのSFQパルス(クロックパルス)による電流が流れることで J_2 はスイッチする。その結果, ループの磁束は放出され, フリップフロップは初期状態に戻る。

2.2 クロック同期式論理ゲート

論理ゲートの動作例として, ANDゲートについて説明する。ANDゲートの等価回路を図4に示す。入力データパルスが到達すると, $J_9 - L_{s1} - J_1$ のDフリップフロップと $J_{10} - L_{s2} - J_2$ のDフリップフロップにそれぞれ磁束が保持される。そこへ, クロックパルスが分岐して同時に各Dフリップフロップに入ることによって, それぞれの磁束は放出され, J_7 にパルスが伝搬する。 J_7 は, パルス2つ分の電流が加わる時, すなわち2つとも磁束が入っている状態の時のみスイッチするようにインダクタンスを定める。これにより, 2入力とも1の場合のみパルスが出力する動作が実現し, ANDゲートの機能を果たす。ここで示したように, SFQ回路における論理ゲートはパルスの相互作用によって演算を行うため, SFQパルスの待ち合わせが必要となる。したがって, 図5のように, SFQ回路の論理ゲートはクロックパルスの入力を要するDフリップフロップ機能付き論理ゲートである。

2.3 クロックスキュー

図6(a)のような3つのクロック同期式論理ゲートに対して, クロックパルスが入力されてから出力したデータパルスが次の

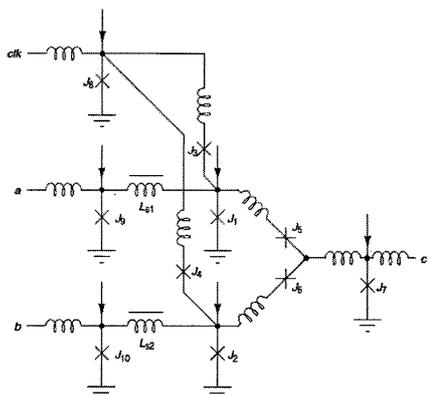


図4 ANDの等価回路

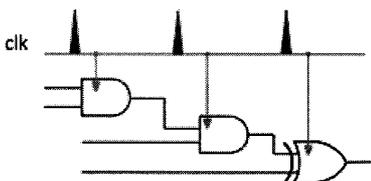
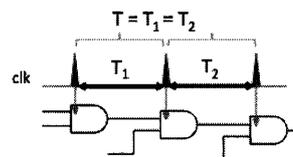
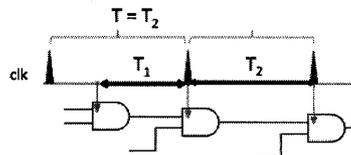


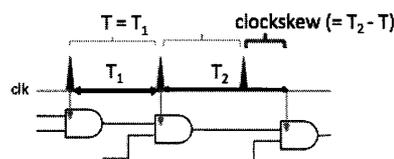
図5 論理ゲート動作とクロック信号伝搬



(a) $T_1 = T_2$ の時



(b) $T_1 < T_2$ の時 (クロックスキューなし)



(c) $T_1 < T_2$ の時 (クロックスキューあり)

図6 クロック入力タイミング

論理ゲートに入力されるまでの時間をそれぞれ T_1, T_2 とする。 T_1, T_2 はそれぞれ、主にクロックが入力されてデータパルスが出力するまでの論理ゲートの遅延時間と、次の論理ゲートに到達するまでに含まれる非同期の分岐や PTL 配線 (パルスを電磁波の状態で伝搬する伝送路) といった配線要素の遅延時間の和によって決まる。図 6(a) のように $T_1 = T_2$ となる場合、クロックサイクル時間は $T = T_1 = T_2$ と定めればよい。一方で、 $T_1 \neq T_2$ の場合、CMOS 回路では図 6(b) のようにクロックサイクル時間を大きい $T = T_2$ に合わせる必要がある。これは、電圧論理の CMOS 回路において、クロック同期間での状態値は 1 つしか取ることができないためである。しかしながら、SFQ 回路は図 6(c) のようにクロックサイクル時間を小さい T_1 に合わせ、 T_2 にかかる論理ゲート間のクロックには T_1 からの超過分クロックパルスの伝搬も遅らせる (クロックスキューを入れる) ことで、正しい論理動作を行うことができる。これは、SFQ 回路がパルス論理であるため、クロック同期間に複数のパルスを持することができるからである。クロックスキューを用いた設計により、回路中に遅延時間が大きい部分が存在しても、クロック周波数を高速に保つことができる。

2.4 フィードバックループ

論理ゲートの出力パルスを入力に返す構造 (フィードバックループ) がある場合、その部分にクロックスキューを入れることはできない。なぜなら、出力パルスが到達するよりも先に後続のクロックが到達すると、演算結果に誤りが生じてしまうからである。そのため、SFQ 回路ではフィードバックループ部分が存在すると、その部分の論理ゲート遅延時間および配線遅延時間によってクロックサイクル時間が決定される。

3. SFQ プロセッサアーキテクチャの設計空間と性能モデル

前節では、SFQ 回路が論理ゲート 1 つ 1 つの動作にクロック同期を必要とする特徴を説明した。本節では、SFQ 回路の特性上考えられるアーキテクチャ設計空間および性能モデルを示す。

前節で述べたクロックは、論理ゲートを動作させるために必要なクロックであり、ローカルクロックと呼ばれる。ローカルクロックの動作周波数を f_G 、サイクル時間を T_G と表記する。一方で、SFQ プロセッサにおいて図 7 のような 5 段階パイ

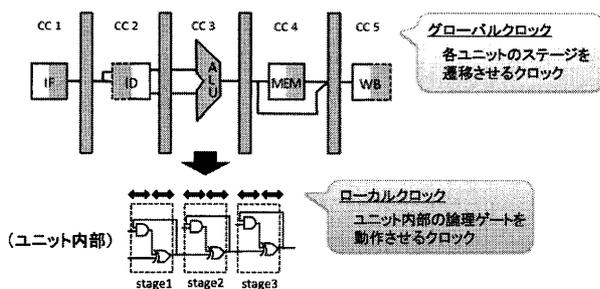


図7 プロセッサの命令パイラインモデル

ライン (IF, ID, EX, MEM, WB) を想定すると、パイラインステージの遷移にもクロックが必要となる。このクロックを、ローカルクロックと区別し、以降グローバルクロックと呼称する。グローバルクロックの動作周波数を f_L 、サイクル時間を T_L とする。

プロセッサ性能は、プログラムの実行時間の逆数によって評価できる。実行時間は、CPI (Cycles per Instruction; 1 命令当たりのグローバルクロックサイクル数)、IC (Instruction Count; 実行命令数) を用いて、下式で定式化される。

$$\text{実行時間} = \frac{1}{f_G} \times CPI \times IC \quad (1)$$

アーキテクチャが 5 段階命令パイライン構成を取るとき、同一命令を実行する場合の CPI、CI の値は一致する。すなわち、グローバルクロック周波数 f_G と性能は比例すると言える。

3.1 Unit-Level Pipeline (ULP)

まず、従来の CMOS プロセッサと同様に、一般的に 5 段階命令パイライン (IF, ID, EX, MEM, WB) を構成し、命令をユニット単位でパイライン処理するアーキテクチャが考えられる。概要図を図 8 に示す。データを複数のスライスに分割して処理するビットスライス処理、もしくはビットシリアル処理を選択した場合、ユニット内部ではスライス幅 (命令を分割した 1 つのスライスのデータサイズと定義する) のビットパラレル処理をスライス数回繰り返すことで 1 命令を処理する。

1 つのスライスがユニットに入力され、出力が完了するまで

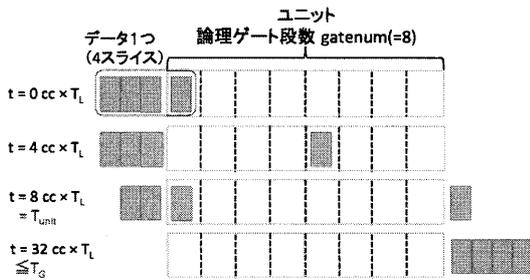


図 8 ULP の概要図

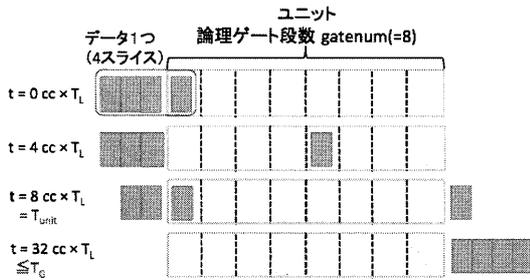


図 9 HP の概要図

の通過時間を T_{unit} , 出力スライス数を $slicenum$, データ語長 N ビット, スライス幅 k ビット と定義すると, ULP における T_G は 1 命令の処理時間以上となるよう設計されることから, 以下のように定式化できる.

$$T_G \geq T_{unit} \times slicenum \times (N/k) \quad (2)$$

T_{unit} はさらに, ユニット内のクリティカルパスにおける論理ゲートの段数 $gatenum$, クロックスキュー $clockskew$ を用いて,

$$T_{unit} = gatenum \times T_L + clockskew \quad (3)$$

と変形できる. よって, (2) 式に (3) 式を代入し, ULP のグローバルクロックサイクル時間について下式が導出される.

$$T_G \geq (gatenum \times T_L + clockskew \times slicenum) \times (N/K) \quad (4)$$

3.2 Hybrid Pipeline(HP)

HP は, ユニット間の遷移は ULP と同様に命令単位で行うが, ユニット内部では論理ゲートがクロック同期式である SFQ 回路の特性を用いて論理ゲートレベルのパイプラインを構成し, スライス単位での並列処理を行うパイプライン構成である. 概要図を図 9 に示す. スライス数だけの回数を繰り返して演算する必要があった ULP と比較して, スライス処理が高速化できる. また, スライス幅が小さくなると回路規模も小さくなり, 回路面積を抑制できるメリットもある.

1 命令の処理に必要な時間は, ユニット通過時間 T_{unit} に, 全データスライスの出力に要する時間 T_{data} を加えたものとなるから, T_G は下式で表せる.

$$T_G \geq T_{unit} \times T_{data} \quad (5)$$

ユニット内部の論理ゲートレベルのパイプラインでは, スライス間で桁上げ等のビット情報の受け渡し (フィードバックループ) が存在する. フィードバックループ部分には, スライスが通過するまで後続のスライスを入力することができない. すなわち, フィードバックループ部分がローカルクロックサイクル時間 T_L と入力間隔を決定する. よって, 入力間隔を $interval$ とおくと T_{data} は下式で表せる.

$$T_{data} = (slicenum - 1) \times interval \times T_L \quad (6)$$

T_{unit} は (3) 式と一致するため, (5) 式に (3) 式を代入して下式を得る.

$$T_G \geq (gatenum + (slicenum - 1) \times interval) \times T_L + clockskew \quad (7)$$

3.3 Gate-Level Pipeline(GLP)

論理ゲートレベルのパイプラインステージをプロセッサ全体で同期することで, 極めて深いパイプラインでデータスライスを処理するパイプラインアーキテクチャも新たに設計可能となる. GLP は ULP, HP と比較して極めて高速な動作と高いスループットが得られると予想される一方で, CMOS プロセッサと大きく異なるアーキテクチャ構成を取り, 制御も非常に複雑になると考えられる. GLP の性能モデルについては今後の課題とする.

4. 加減算器回路遅延モデル

式 (4) ならびに式 (7) から, 1 命令の処理時間が最も大きいユニットに関するパラメータである論理ゲート段数 $gatenum$, ローカルクロックサイクル時間 T_L , クロックスキュー $clockskew$, およびスライスの入力間隔 $interval$ (HP のみ) を明らかにすることで ULP, HP それぞれのグローバルクロックサイクル時間が算出できることが分かる. そこで本節では, 加減算器に着目し, これらのパラメータをモデル化する. 加減算器は, 算術演算や, ロード, ストア, 分岐命令におけるアドレスの計算など, 多くの命令を処理する演算器であり, CMOS プロセッサの性能評価においても動作周波数を決定するクリティカルパスとなりうるユニットの一つとして加減算器を取り上げた研究があり [1], SFQ プロセッサにおいても加減算器がクリティカルパスとなる可能性は大きい. SFQ 加減算器回路のアルゴリズムおよび内部設計は, もっとも高速かつファンアウトが少ない Kogge-Stone 桁上げ先見加算アルゴリズムを用いて設計した文献 [4] に基づく.

4.1 ビットパラレル加減算器

ULP にはビットパラレル加減算器を用いる. 回路構成を図 10 に示す. g_i は桁上げ発生信号, p_i は桁上げ伝搬信号と呼ばれ, 入力値の各桁に対して GP 生成回路によってそれぞれ生成される (1 段目の XOR ゲートによって入力値の 2 の補数を取り, 減算も行う). その後, 他の桁の GP 信号との合算を演算子によって行い, 最後に排他的論理和をとって和が計算される. 論理ゲート段数は, GP 生成回路が 2 段, 演算子が LSB から MSB までの伝搬を行うため $\log N$ 段を要するので, 最後の排他的論理和を含めて合計 $\log N + 3$ 段となる.

ビットパラレル加減算器において, フィードバックループは存在しない. そのため, ローカルクロック周波数はデータパルスの衝突が起こらない範囲で極めて高速に設定できる. 一方で, ローカルクロックサイクル時間間隔で処理が終わらない論理ゲート段に対してクロックスキューの入力は必要となる. 論理ゲート i 段目における, 論理ゲートにローカルクロックが入力されてデータが次の論理ゲートへ到達するまでの最長時間を $latency_i$ とすると, $latency_i$ がローカルクロックサイクル時間より大きい場合, その差分が i 段目のクロックスキュー $clockskew_i$ である.

$$clockskew_i = \begin{cases} 0 & (latency_i < T_L) \\ latency_i - T_L & (otherwise) \end{cases} \quad (8)$$

ユニット全体に入るクロックスキュー $clockskew$ は $clockskew_i$ の総和であるから, 下式となる.

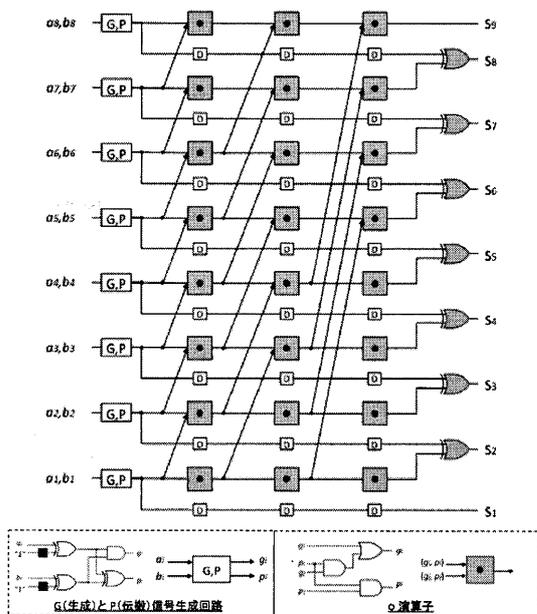


図 10 ビットパラレル加減算器

$$clockskew = \sum_{i=1}^{gatenum} clockskew_i \quad (9)$$

4.2 ビットスライス加減算器

ビットスライス加減算器の回路構成を図 11 に示す。入力間隔 $interval = 0$ 、すなわち、スライスが論理ゲートを 1 段通過すれば即座に後続のスライスが入力可能となるよう設計されている。黒の D フリップフロップ、および \circ 演算子の最後の段は後続のスライスへデータを伝搬するための配線であり、ローカルクロックサイクル時間を決定するクリティカルパスとなる。図の例ではスライス幅 4 ビットで、 \circ 演算子の 1 段目は GP 信号を 1 桁前と、2 桁目は 3 桁前までと、3 桁目はそれ以前の全ての桁とそれぞれ合算することで桁伝搬を行う。従って、 \circ 演算子の段数はスライス幅 k ビットに対して $\log k + 1$ 段である。GP 生成回路部、排他的論理和を含めると、論理ゲート段数は $\log k + 4$ 段となる。出力されるスライス数は、入力スライスに対して桁上げの 1 スライスが加わるため、 $(N/k) + 1$ となる。

ローカルクロックサイクル時間はフィードバックループ部分によって決定される。 \circ 演算子の $\log k$ 段から $\log k + 1$ 段にかけて、最も長い配線長となる部分がクリティカルパスとなる。この経路に含まれる論理ゲートおよび配線要素は AND ゲート、SPL と PTL 配線である。PTL 配線は送受信回路の遅延時間 $PTL_{transmission}$ と、配線長に比例する、高さ 1 列当たりの伝搬遅延 $PTL_{propagation}$ に分けることができる。配線は MSB から LSB にかけての配線となるので、 $k - 1$ 列分の高さである。したがって、下式となる。

$$T_L = AND + SPL + PTL_{transmission} + (k - 1) \times PTL_{propagation} \quad (10)$$

5. 最大動作周波数に関する評価

本節では、実設計に基づく回路遅延パラメータをこれまで求めた性能モデルに適用し、SFQ プロセッサのパイプライン構成法が異なる場合における最大動作周波数を評価する。なお、CPI (Clock-cycles Per Instruction) といった動作周波数以外の性能決定要因を考慮した評価は今後の課題である。

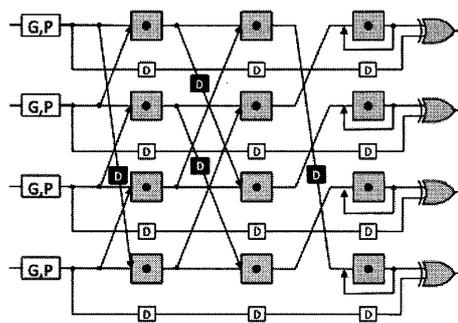


図 11 ビットスライス加減算器

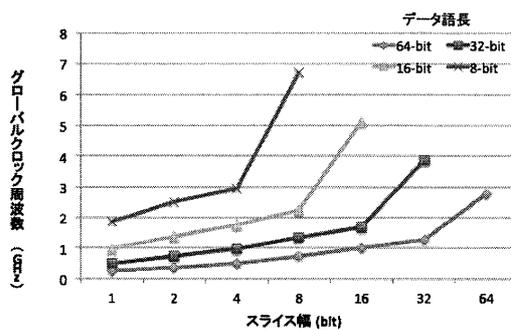


図 12 ULP のデータ語長別グローバルクロック周波数特性

5.1 評価方法

データ語長 N ビットに対して、SFQ プロセッサ・アーキテクチャはスライス幅 1~ N ビットの ULP 方式、または、スライス幅 1~ $N-1$ ビットの HP 方式が選択可能となる。第 3 節で示したグローバルクロック周波数がプロセッサの最大動作周波数になると想定し、ULP 方式に関しては式 (4)、HP 方式に関しては式 (7) を用いて導出した。さらに、第 4 節では加減算器に着目し、ユニット内部のパラメータのモデル化を行った。

なお、第 4 節で導出した回路遅延モデルより、SFQ 回路の論理ゲートならびに配線要素の遅延時間が必要である。そこで本評価では、 2.5 kA/cm^2 ($1 \mu\text{m}$)Nb プロセスを想定した表 1 の実設計値を用いた。

論理ゲート、配線要素の種類	遅延時間
AND	7.9 ps
XOR	6.5 ps
CB	8.2 ps
SPL	4.3 ps
$PTL_{transmission}$	7.4 ps
$PTL_{propagation}$	2.24 ps/height

5.2 評価結果

ULP のスライス幅を変化させた時のグローバルクロック周波数の変化を図 12 に示す。ULP では、スライス幅がデータ語長と等しい (ビットパラレル) アーキテクチャを選択した時に最も性能が高く、スライス幅が縮小すると大きく性能が低下することが分かる。これは、式 (4) から、スライス数の増加が T_G に与える影響が大きいと考えられる。ただし、図 13 に示すように、スライス幅が拡大するとクロックスキューは増加し、 T_G の増大を招く。そのためグローバルクロック周波数はスライス幅に比例しない。

次に、HP のスライス幅を変化させた時のグローバルクロック周波数の変化を図 14 に示す。式 (5) から、HP はスライス幅が拡大すると出力スライス数が減少する一方、ゲート段数は増加し、ローカルクロック周波数も図 15 のように低下するト

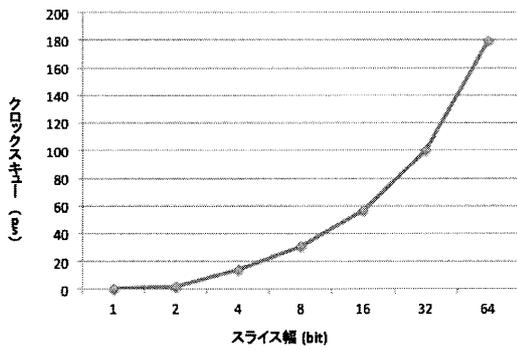


図 13 ULP におけるクロックスキュー特性

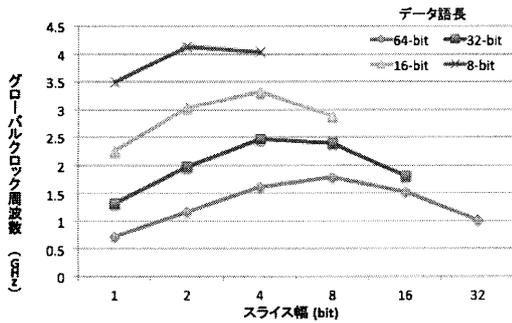


図 14 HP のデータ語長別グローバルクロック周波数特性

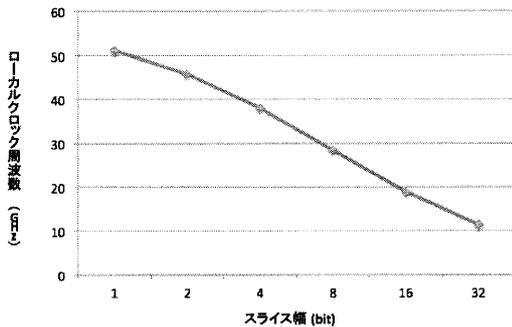


図 15 HP におけるローカルクロック周波数特性

レードオフ関係が存在することが分かる。実際、図 14 のように、各データ語長に応じてスライス幅のトレードオフポイントが存在することが確認できる。

最後に、データ語長を 64 ビットに固定して ULP 方式と HP 方式のグローバルクロック周波数 (f_G) を比較する。図 16 に示す通り、ULP 方式におけるスライス幅 64 ビット (ビットパラレル) のとき性能は最大となり、 f_G は 2.78 GHz となった。以上の結果より、以下のような結論を得た。

- 現時点で最高の $1\mu\text{m}$ 製造プロセスを想定して作成する SFQ プロセッサでは、CMOS プロセッサと比較してグローバルクロックに関する動作周波数の大きな優位性は確認できなかった。ただし、この微細加工寸法は例えば 22nm という CMOS-LSI の最先端技術と比較して極めて遅れている。現状の SFQ 回路は CMOS 回路と同様にスケーリング則が成り立つため、今後製造プロセスの向上によりこの差が縮まる場合には、CMOS プロセッサより高速となる可能性がある。

- 図 12 に示すように、データ語長が 8 ビットの場合には 7 GHz 程度の動作速度となる。実際、多くのアプリケーションではプロセッサのデータ語長全てを活用する場合は希であることが知られている。例えば、画像処理向けプログラムでは、1 画

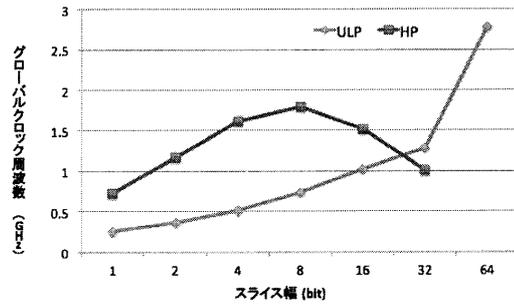


図 16 データ語長 64 ビットにおけるグローバルクロック周波数特性

素が 8 ビット単位で構成されていることから、多くの場合で 8 ビット以上の演算は行われず、このように、アプリケーションが必要とするデータ語長に基づく最適化により、高性能化を実現できる可能性がある。

- 論理ゲートレベルのパイプライン構成を取りうる SFQ プロセッサでは、ビットスライス処理を行うことのメリットが CMOS プロセッサより大きい。そのため本稿ではモデル化および評価を行わなかったが、極めて高速かつ深いパイプライン構成を取る GLP が高い性能を得る可能性は高いと考える。

- SFQ 回路のもう一つの大きな特徴として、充放電を伴わない極低消費電力性が挙げられる。冷凍機が必要となるといった欠点が存在するものの、冷却コストを隠蔽できる技術が開発できれば、現在の CMOS プロセッサと同程度の性能を維持しつつ、消費電力を大幅に削減できる可能性がある。今後は、高性能化ではなく消費電力削減に注力した研究開発が重要になると考える。

6. おわりに

本稿では、SFQ プロセッサの性能評価を行うために、SFQ 回路特性を応用したパイプライン構成および性能、加減算器の回路遅延のモデル化を行った。また、モデルに基づく定性的評価の結果、HP におけるスライス幅のトレードオフポイントよりも ULP のビットパラレルアーキテクチャを選択した方が高い性能が得られるという結論が得られた。

謝辞 日頃からご討論いただく九州大学システム LSI Lab. の諸氏に感謝する。

文 献

- [1] Tong Liu and Shih-Lien Lu. Performance improvement with circuit-level speculation. pp. 348–355, 2000.
- [2] Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, and Y. Hashimoto. Design and implementation of a pipelined bit-serial sfq microprocessor, core1 β . *Applied Superconductivity, IEEE Transactions on*, 2007.
- [3] 田中雅光. 単一磁束量子回路に基づくマイクロプロセッサに関する研究. 名古屋大学大学院工学部研究科電子情報システム専攻博士論文, 2006.
- [4] 朴熙中, 山梨裕希, 吉川信行, 田中雅光, 藤巻朗, 寺井弘高, 萬伸一. Sfq 論理回路を用いた 4-b ビット・スライス・アダーの設計 (デジタル・一般). 電子情報通信学会技術研究報告. SCE, 超伝導エレクトロニクス, 2007.