

主論文の要旨

論文題目 GeSn 系 IV 族半導体のエピタキシャル成長と
結晶欠陥の制御

氏名 浅野 孝典

論文内容の要旨

情報通信端末や大規模計算機には、更なる性能向上および省電力化が求められている。そのためには、情報処理の中枢を担う半導体集積回路の基本素子である金属-酸化膜-半導体電界効果型トランジスタ(MOSFET: metal-oxide-semiconductor field-effect transistor)の高駆動力化・低消費電力化が必要である。MOSFET は 2000 年頃以降、素子寸法の微細化のみでは種々の性能を向上できなくなっており、チャネル歪、高誘電率絶縁膜、および立体ゲート構造といった様々な新規材料・新規構造の導入によってロードマップに則った高性能化が実現されている。

半導体集積回路の将来を見据えた発展のためには、シリコン(Si)チャネル MOSFET の高性能化を脱却し、キャリアのより小さな有効質量や高い移動度を有するゲルマニウム(Ge)をチャネル材料として用いた MOSFET や、トンネル電流を駆動電流として用いる新しい動作原理のトンネル FET が有用である。ただし、Ge MOSFET において現状の歪 Si MOSFET を上回る性能を得るには、歪技術は必要不可欠と考えられ、Ge チャネルに所望の歪を誘起するためのストレッサーが求められている。一方、トンネル FET においては、ソース、チャネル、およびドレインの各半導体領域のバンドギャップの適切な制御によって、駆動電流の増大とリーク電流の抑制を両立する必要がある。これらの新世代の FET 実現に向けて、有効質量、移動度、およびバンドギャップをはじめとする適切な物性の設計、制御のために、Ge を中心とする IV 族半導体の歪や混晶の活用に基づく、バンドエンジニアリングの重要性が益々高まっている。

本研究では、Ge チャネルへの歪印加および IV 族半導体混晶によるバンド構造制御に向けて、錫(Sn)を用いた混晶である $\text{Ge}_{(1-x)}\text{Sn}_{(x)}$ および $\text{Ge}_{(1-x-y)}\text{Si}_{(x)}\text{Sn}_{(y)}$ にそれぞれ着目した。GeSn は Ge より大きな格子定数をもつ IV 族半導体混晶であり、Ge MOSFET のソース・ドレイン領域への Sn 組成 7% 程度の GeSn の導入によって、Ge チャネルへ歪 Si チャネルの移動度を上回ることが期待される大きな一軸圧縮歪の誘起が期待できる。また、GeSiSn は三元混晶のため、二元混晶である GeSn

とは異なり Ge、Si、および Sn 組成の制御によって、III-V 族化合物半導体と同様にエネルギーバンド構造と格子定数とを独立して設計できる特徴がある。

成長中の非平衡状態の制御によって、熱平衡状態における Ge 中の Sn の固溶限界を超える高い Sn 組成の GeSn 層が実現している。立体ゲート構造への GeSn 層の応用のためには、Ge(110) や Ge(111)の一般的な Ge(001)面とは異なる基板面方位上においても、高 Sn 組成の GeSn 層形成が必要である。一方、GeSn 層中には結晶面の傾斜やゆらぎ、表面ラフニング、または原子空孔、転位、および積層欠陥といった欠陥が存在しており、薄膜の高い結晶性と Sn の高組成化の両立には、エピタキシャル成長への非平衡状態の影響の理解と、制御が必要不可欠である。限られた成長条件の中で GeSn の結晶成長を制御するためには、サーファクタントのような第三元素の活用も視野に入れる必要がある。また、GeSiSn においても、三元素の組成や歪が成長や結晶性に及ぼす影響を明らかにする必要がある。

本研究では、基板面方位、Sn 組成、または膜厚といった GeSn 層の結晶構造の設計および成長温度やサーファクタントの導入といったエピタキシャル成長の制御が、形成される GeSn 層の表面形態、結晶性、および欠陥構造に及ぼす影響を詳細に調べた。また、GeSiSn 層において、Si の導入および歪構造が結晶性に及ぼす影響を明らかにした。

第 3 章においては、GeSn 層の結晶性の Sn 組成および面方位への依存性を詳細に調べた。

Ge(001)基板上においては、Sn の析出や転位の導入を抑制して、膜厚 30 nm の圧縮歪 GeSn 層を幅広い Sn 組成域 (0%–8.7%) においてエピタキシャル成長できる。しかし、Sn 組成の増大に伴い、GeSn 層中には、面内方向の結晶性のゆらぎと表面ラフニングが顕在化し、結晶性の低下が観察される。Ge(110)基板上の場合、150 °C の低温で成長した Ge ホモエピタキシャル層中には積層欠陥と双晶が形成される。双晶形成の抑制には、300 °C までの成長温度の増大が必要である。一方、Ge への 1%程度の Sn 導入によって双晶形成を抑制できることがわかった。この理由として、成長中における Sn 導入が吸着原子の表面泳動を促進する Sn のサーファクタント効果が示唆された。また、GeSn 層中に存在する積層欠陥の形態が Sn 組成に依存することを見出した。Sn 組成に対する積層欠陥の挙動は弾性理論によって説明でき、Sn 組成の増大によって積層欠陥を GeSn/Ge 基板界面に局在化できることが明らかになった。Ge(111)基板上においても、Sn の導入によって低温成長において形成される Ge 層中の積層欠陥を抑制できる。また、Ge(111)面の小さな表面エネルギーのため、Ge(001)および Ge(110)基板上と比較して表面平坦性の良い GeSn 層を形成できる。しかし、GeSn 層の歪緩和のために積層欠陥が導入されるため、歪緩和のない GeSn 層の設計が必要である。Ge(110)および Ge(111)基板上においては、Ge(001)上と比べてより小さな Sn 組成において GeSn 層は歪を緩和することを見出した。これらの面方位上の GeSn 層の歪緩和を Sn 組成について系統的に調べた結果、GeSn 層の歪緩和の制御には、薄膜が蓄積する歪エネルギーの制御が重要とわかった。基板面方位と必要な Sn 組成に対応した適切な膜厚の設計によって、Ge(110) および Ge(111)基板上において Sn 組成 8.5% および 6.7% の高 Sn 組成 GeSn 層を歪緩和なく形成

できることを実証した。

第4章においては、高い Sn 組成と結晶性を両立した GeSn 層の形成に向けて、GeSn 成長中における水素サーファクタント導入の効果を詳細に調べた。

水素の導入によって、Sn 組成 5% の GeSn 層においても表面平坦性を維持して成長でき、3次元島成長に由来する面内方向の面間隔のゆらぎを抑制して均一な結晶を形成できることが明らかとなった。結果として、比較的高 Sn 組成 (5.0%) かつ膜厚の厚い (150 nm) 圧縮歪 GeSn 層においても、Ge(001) 基板表面に匹敵する非常に平坦・均一な表面構造 (RMS 粗さ: 0.26 nm) を形成できることを実証できた。このような結晶性の向上は、窒素およびヘリウムを導入した場合には観察されず、成長中の水素の効果が見出された。また、成長中の水素導入の GeSn 層の欠陥形成への影響を、MOS キャパシタの容量-電圧特性の評価から詳しく調べた。水素雰囲気での成長によって、GeSn (Sn5%) 層の 250K におけるイオン化したアクセプタ密度を $8 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ まで減少でき、GeSn 層中に形成される欠陥によるアクセプタ準位の密度を低減できることがわかった。

第5章においては、GeSiSn 三元混晶の結晶性および表面形態への各元素の組成および歪構造および成長温度の影響を詳細に調べた。

伸長歪の状況下において成長した場合、0.2% の小さい歪量においても、 $\text{Ge}_{0.67}\text{Si}_{0.27}\text{Sn}_{0.06}$ 層には面内方向の面間隔の顕著な不均一性が存在することが明らかになった。一方、0.3% の圧縮歪の $\text{Ge}_{0.67}\text{Si}_{0.24}\text{Sn}_{0.09}$ 層の場合、伸長歪と比較して、GeSiSn 層の均一性が向上する。したがって、高品質な GeSiSn 層の形成には、圧縮または伸長の歪構造の制御が重要な一要素であることを見出した。さらに、伸長歪 GeSiSn 層の結晶性の成長温度への依存性を調べた。成長温度を 300 °C まで増大した場合においても、伸長歪 GeSiSn 層中には不均一性が観察された。成長温度が高い場合、膜厚の増大とともに均一な結晶領域が広がる。これは、初期成長における島の形成と、膜厚の増大にともなう島の合体に由来すると考えられる。また、形成した GeSiSn 層中に固溶した Sn 原子の熱的安定性を調べた。 $\text{Ge}_{0.67}\text{Si}_{0.27}\text{Sn}_{0.06}$ 層/Ge(001) 試料に、600 °C、10 分間の比較的高温の熱処理を施した後も、薄膜の内部には Sn の析出物は観察されなかった。また高温熱処理を施すことで、成長時に形成された (220) 面の不均一性を解消できることがわかった。

第6章においては、GeSn エピタキシャル層中の欠陥とその電気的特性の解明を目指した。低温成長した非ドーブのエピタキシャル Ge および GeSn 層中に形成される欠陥への成長雰囲気、Sn 組成、および熱処理の影響を、MOS キャパシタの容量-電圧特性を用いて調べた。窒素およびヘリウム雰囲気においてエピタキシャル成長した $\text{Ge}_{0.950}\text{Sn}_{0.050}$ 層中には、多量のアクセプタ準位の欠陥が形成される一方、水素 (H_2) 雰囲気中においては、欠陥密度の小さい GeSn 層を形成できる。また、Sn 組成 0% から 6.0% の増大は、欠陥密度を 2.1×10^{16} から $2.9 \times 10^{17} \text{ cm}^{-3}$ まで増大させる。欠陥のエネルギー準位 (210 および 170 meV) は、報告されている Ge 中の空孔対および空孔-Sn 欠陥に対応すると考えられ、Sn の導入がそれらの欠陥形成を促進すると考えられる。 $\text{Ge}_{0.950}\text{Sn}_{0.050}$ 層

中の欠陥密度は 400 °C の熱処理によって $3.1 \times 10^{16} \text{ cm}^{-3}$ まで低減できるが、450 °C の熱処理後に $8.4 \times 10^{16} \text{ cm}^{-3}$ に増大した。450 °C の熱処理後における GeSn 層の歪緩和との対応から、膜中の貫通転位もまたアクセプタとして働く可能性が示唆される。このため、転位を導入しない熱処理条件の設計が重要である。