

報告番号	甲 第 11473 号
------	-------------

主 論 文 の 要 旨

論文題目 IV 族三元混晶薄膜の結晶成長および電子物性制御に関する研究

氏 名 山羽 隆

論 文 内 容 の 要 旨

カーボン (C)、シリコン (Si)、ゲルマニウム (Ge)、およびスズ (Sn) のIV族半導体元素は、電子、光電子デバイスにおいて幅広い領域で応用されている。IV族半導体のデバイスのさらなる応用の可能性を広げるためには、その電子物性の制御が重要な課題となる。特に、複数のIV族半導体からなる混晶を用いることにより、単一元素では不可能なエネルギーバンドギャップの制御が期待できる。現在、提案され広く研究されている混晶としては、 $\text{Si}_{1-x}\text{Ge}_x$ や $\text{Ge}_{1-x}\text{Sn}_x$ などの二元混晶が挙げられる。これらの材料は、超々大規模集積回路 (ULSI) の基本素子である金属-絶縁膜-半導体電界効果トランジスタ (MOSFET) のチャネル部分への歪印加材料や、高移動度チャネル材料として応用が期待されている。このような二元混晶については、エネルギーバンドギャップなどの電子物性と格子定数が一意に決まるためデバイス構造の設計には制限が伴う。

本論文では、IV族三元混晶半導体に着目した。三元混晶においては3元素の組成制御によって、エネルギーバンドギャップおよび格子定数の独立した制御が可能となる。そのため、混晶組成制御によるデバイス設計の高い自由度を実現でき、IV族半導体材料の応用のさらなる拡張が可能である。本論文では、様々なIV族半導体三元混晶薄膜の結晶成長を行い、その結晶構造および電子物性の解明と制御を目的とした。

第3章では、IV族半導体レーザー応用に向けた $\text{Ge}_{1-x}\text{Si}_x\text{Sn}_y/\text{Ge}$ ヘテロ構造の形成を行った。ULSI の高速化および省電力化に向けて、高速・大容量通信が可能な光通信技術を導入した光電融合デバイスが提案されている。特に、半導体レーザーに着目すると、発光層半導体中に電子・正孔共に閉じ込めが可能な type-I 構造が必要とされる。発光層には、直接遷移型が期待できる $\text{Ge}_{1-x}\text{Sn}_x$ 混晶材料が提案されており、すでに 90 K の低

温において、 $\text{Ge}_{1-x}\text{Sn}_x$ のレーザー発振が報告されている。一方、室温動作の実現には、 $k_B T$ (26 meV) を超えるバンドオフセットを有する type-I エネルギーバンド構造を形成できるヘテロ構造が必要であり、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 三元混晶の利用が提案されている。 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ は、Ge や $\text{Ge}_{1-x}\text{Sn}_x$ と格子整合させた成長が可能であり、無歪系の IV 族半導体によるヘテロ構造の形成を期待できる。一方、十分大きなエネルギーバンドオフセットの形成を考えると、Ge および Si 中への Sn の熱平衡固溶限を超える Sn 組成 6% を有する $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ の形成が必要である。第 3 章では、Ge 基板上に低歪量の高 Sn 組成 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 薄膜の結晶成長を行い、さらに様々な組成の $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}$ ヘテロ接合におけるエネルギーバンド構造を評価した。

Ge 基板に対して低歪量の高 Sn 組成 3~15% を有する $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 層を pseudomorphic に成長させた。 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ の Ge 基板とのミスフィット量低減により、15% という高組成の Sn を導入しても高い結晶性を維持できることが明らかになった。また、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ と比べ、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}$ は Sn 析出を抑制できる高い熱処理耐性を有することがわかった。また、エックス線吸収微細構造 (XAFS) 法を用いた評価により、三元混晶中において Sn 原子は Ge と優先的に結合することを示唆する結果を得た。

さらに、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}$ ヘテロ構造のエネルギーバンド構造を実験的分析により検証した。分光エリプソメトリー法による吸収スペクトル評価の結果、Si 組成 41% および Sn 組成 15% の $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 層のバンドギャップは 1.15 eV と見積もられた。また、硬 X 線電子分光法を用いて価電子帯オフセットも評価した。その結果、 $\text{Ge}_{1-x}\text{Si}_x$ 二元混晶に対する Sn の導入によって、価電子帯端オフセットを低減できることがわかった。エネルギーバンドギャップおよび価電子帯オフセットの評価から、Sn 組成 8~15% という広い領域において、 $3k_B T$ を超える価電子帯および伝導帯オフセットを確認できた。これらの結果より、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ の組成制御によって、type-I エネルギーバンド構造を有する IV 族混晶低歪ヘテロ接合の形成を実証できた。本構造によって、Si LSI プラットホーム上への光学デバイス融合技術の進展が期待できる。

第 4 章では、太陽電池応用に向けた C 系 IV 族半導体三元混晶薄膜の形成を行った。現在の主流である Si 太陽電池においては、Si のエネルギーバンドギャップ (1.1 eV) に起因する太陽光のスペクトル損失が課題として挙げられる。Si 太陽電池の理論変換効率は 29% 程度が上限となっており、これを超える飛躍的な変換効率向上は困難である。そこで本研究では、太陽電池により適した Si よりもワイドバンドギャップである 1.4 eV の IV 族混晶材料の創成を目指した。ワイドギャップ化に向けて、Si や Ge よりも大きなバンドギャップを有するダイヤモンド C の導入に着目した。ベガード則による予測から、Si および Ge 中に対して、それぞれ 5% および 10% 程度の C の導入により、1.4 eV のバンドギャップを期待できる。しかし、Si 中および Ge 中における C の熱平衡固溶限は非常に低いため、一般的に高 C 組成混晶の形成は困難である。一方、Sn を導入した

$\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ および $\text{Si}_{1-x-y}\text{Sn}_x\text{C}_y$ の形成による、C-Sn 対の結合エネルギーの安定化が理論計算から報告されている。そこで、第 4 章では、様々な Sn および C 組成の $\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ および $\text{Si}_{1-x-y}\text{Sn}_x\text{C}_y$ 三元混晶薄膜の成長を行い、Sn 導入の格子置換位置 C 組成への影響およびエネルギーバンド構造について評価した。

$\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ エピタキシャル層については、6%の Sn 導入によって、格子置換位置 C 組成を効率的に向上できることがわかった。ラマン分光法の結果から Sn 導入により Ge-C 結合が減少することがわかった。その結果、Sn-C 結合が優先的に形成され、C 周辺の局所歪を緩和することで C 組成が向上すると考えられる。また、多結晶 $\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ 薄膜については、最大で 5.8%の格子置換位置 C 組成を達成した。さらに、 $\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ 層のエネルギーバンド構造を評価した結果、 $\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ 層において、混晶組成制御による直接遷移型バンドギャップ 0.70~0.85 eV の制御を実証できた。

また、 $\text{Si}_{1-x-y}\text{Sn}_x\text{C}_y$ 三元混晶のエピタキシャル成長を行い、その Sn および C 導入が結晶性に与える影響を調べた。Sn 導入による $\text{Si}_{1-y}\text{C}_y$ の結晶化温度の低減、および薄膜の結晶性向上を見出した。さらに、Sn 組成増加に伴う格子置換位置 C 組成が増大化することがわかった。この結果、5.1%の Sn 組成において、平衡固溶限を超える 2.5%の格子置換位置 C 組成を実現できた。また、光学特性評価の結果から、C 導入により E_1 の遷移エネルギーは増加することがわかった。この結果は、エネルギーバンドギャップのワイド化を示唆する。ワイドギャップ IV 族半導体を用いた太陽電池に向けて、高 C 組成 $\text{Si}_{1-x-y}\text{Sn}_x\text{C}_y$ 薄膜によるバンド構造制御の可能性を見出した。

第 5 章では、絶縁膜上における多結晶 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 層の形成を行った。ULSI の性能向上に向けて、素子を縦方向に堆積させる三次元集積デバイスは、現在のプレーナー型の ULSI よりも高い集積度を期待できる。三次元集積デバイス形成においては、絶縁膜上への結晶成長技術が必須となる。また、消費電力の低減に向けて、トランジスタのオフリーク電流抑制が必要であり、Si 程度のエネルギーバンドギャップを有する材料である Si 組成 20%以上の $\text{Si}_{1-x}\text{Ge}_x$ に着目した。一方、多結晶薄膜の形成を考えると、既に形成されている金属配線や他の素子を維持するために 450°C 以下の低温における製造プロセスが必要である。しかし、Si 組成 20%以上の $\text{Si}_{1-x}\text{Ge}_x$ の結晶化においては、通常 550°C 以上の熱処理が必要となる。そこで、本研究では Sn の導入に着目した。Si および Ge において、Sn との共晶温度ともに 231°C と低いことから、結晶化温度の低減を期待できる。そこで、多結晶 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ の固相成長による結晶成長を行い、Sn 導入による結晶成長が与える影響および、その電気的特性を評価した。

Sn を含まないアモルファス $\text{Si}_{1-x}\text{Ge}_x$ 層は、500°C、240 min の熱処理によって結晶化する一方で、2%および 10%の Sn の導入により、それぞれ 120 min および 30 min のより短時間の熱処理によって、効率的に結晶化できることがわかった。このことから、Sn 導入によって、 $\text{Si}_{1-x}\text{Ge}_x$ の結晶化を促進できることがわかった。しかし、Sn 組成 10%の場合、

多くの Sn が析出しており、欠陥密度も増加する。一方で、Sn 組成 2%の場合、Sn 組成 0%の場合と比べて、多結晶層の結晶粒径が大きくなる。また、Sn 組成 2%の場合、顕微ラマン分光法を用いて Sn 組成を評価した結果、Sn が格子置換位置に導入されたことがわかった。Sn 組成 2%の導入による結晶粒径増大に伴い、 $\text{Si}_{1-x}\text{Ge}_x$ 層の正孔移動度 $30 \text{ cm}^2/\text{V}\cdot\text{s}$ から $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 層の $74 \text{ cm}^2/\text{V}\cdot\text{s}$ へ向上した。この結果から、三次元集積デバイス応用に向けた新規材料として $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 多結晶薄膜の可能性を見出した。

第 6 章では、MOSFET の高移動度チャネル材料として歪 Ge 層の形成を行った。Ge は、Si や III-V 族化合物半導体と比較して高い正孔移動度を有している。さらに、二軸圧縮歪を印加することにより、さらに高い正孔移動度を実現できる。Ge への二軸圧縮歪の印加するためには、Ge よりも格子定数が小さい $\text{Si}_{1-x}\text{Ge}_x$ が挙げられる。従来、歪緩和 $\text{Si}_{1-x}\text{Ge}_x$ は Si 基板上に形成させる。しかし、Si 上に歪緩和 $\text{Si}_{1-x}\text{Ge}_x$ を形成した場合、 $\text{Si}_{1-x}\text{Ge}_x$ 層の結晶性を悪化させる 60° 転位が導入される。 $\text{Si}_{1-x}\text{Ge}_x$ 層の結晶性の悪化は、歪 Ge 層の歪緩和や結晶性劣化につながるため、高品質な $\text{Si}_{1-x}\text{Ge}_x$ の形成は重要な課題である。本研究では、高品質な完全歪緩和のバルク $\text{Si}_{1-x}\text{Ge}_x$ として、traveling liquidus zone (TLZ) 法により作製された $\text{Si}_{1-x}\text{Ge}_x$ 基板に着目した。本章では、TLZ 法を用いて作製した $\text{Si}_{1-x}\text{Ge}_x$ 基板の結晶構造を評価し、歪 Ge 層の成長を行った。

TLZ 法による $\text{Si}_{1-x}\text{Ge}_x$ 成長において、貫通転位密度は $4 \times 10^5 \sim 6 \times 10^7 \text{ cm}^{-2}$ と見積もられ、Si および Ge 基板同様に高い結晶性を有することがわかった。また、 $\text{Si}_{1-x}\text{Ge}_x$ 基板は Ge 組成 44~50%を有し、歪緩和した構造であることがわかった。本 $\text{Si}_{1-x}\text{Ge}_x$ 基板に対して、 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液、 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}$ 溶液、および HF 処理を用いて洗浄を施すことによって、原子間力顕微鏡の評価から平坦な表面を有することがわかった。さらに、真空中での 710°C の熱処理によって、清浄表面を得られ、圧縮歪量 1.3%を有する歪 Ge 層の成長を実現した。これらの結果より、TLZ 法を用いた $\text{Si}_{1-x}\text{Ge}_x$ 基板に対する適切な洗浄によって、歪 Ge 層の成長のためのストレッチャー応用の可能性を見出した。