

主 論 文 の 要 旨

論文題目 Ge系IV族混晶半導体のエピタキシャル成長
および電子物性制御に関する研究
(Study on epitaxial growth and control of
electronic property of Ge-related group-IV
semiconductors)

氏 名 池 進一

論 文 内 容 の 要 旨

近年の情報通信技術の発展を支える超々大規模集積回路の高速化・低消費電力化は、その基本素子である金属-酸化膜-半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor: MOSFET) の性能向上により達成されている。以前より、MOSFETは素子寸法の比例縮小 (スケールリング) 則に従って、高性能化および高集積化がなされてきた。しかしながら、微細化が進む一方で、基板不純物散乱の増大に起因するキャリア移動度の低下、短チャネル効果やゲート絶縁膜の減少に伴うリーク電流の増大が顕在化し始め、単純な微細化によるトランジスタの性能向上が困難となってきた。そのため、2000年頃以降、ひずみチャネル、高誘電率絶縁膜、および立体ゲート構造に代表される、微細化のみに依存しない新たな複合技術の導入によってスケールリングトレンドに則った高性能化が実現されている。今後、更なる性能向上の要求に応えるためには、従来のシリコン (Si) に代わる高移動度チャネル材料の導入を検討する必要がある。

ゲルマニウム (Ge) は、電子・正孔ともに Si に比べて有効質量が小さく、高い移動度を有するために、高性能 MOSFET のチャネル材料として期待されている。また、Ge は Si と同じ IV 族半導体であるため、既存の Si プロセスに対する導入の障壁が低く、さらに Ge の単一チャネル材料のみで相補型 MOS (Complementary MOS: CMOS) 回路を設計可能なことにも大きな利点がある。一方で、Ge を用いて、現状のひずみ Si チャネル MOSFET を超える性能向上の実現には、Ge に対してもひずみ印加による高移動度化技術は必須である。このとき、電子移動度については一軸圧縮あるいは一軸伸張ひずみ、正孔移動度については一

軸圧縮ひずみの印加によって大きな移動度向上が期待される。

一軸ひずみ Ge チャンネル実現のためには、ひずみを印加するためのストレッサが求められる。ストレッサ材料の候補として、Si、Ge、およびスズ (Sn) を含む IV 族半導体混晶が挙げられる。Ge よりも小さな格子定数を有する $\text{Si}_{1-x}\text{Ge}_x$ や、Ge より大きな格子定数を有する $\text{Ge}_{1-x}\text{Sn}_x$ をソース/ドレイン (S/D) ストレッサとして用いることで、Ge チャンネルに一軸伸張および圧縮ひずみの印加が期待される。いずれの Ge 系混晶材料においても、Si あるいは Sn 組成によってストレッサ層の格子定数を変調できるため、チャンネルに対するひずみ制御を可能とする。

$\text{Si}_{1-x}\text{Ge}_x$ の結晶成長については、これまで多くの知見が蓄積されている。しかし、昨今のデバイススケールに伴い、数十～数 nm スケールの極微細な構造に対する $\text{Si}_{1-x}\text{Ge}_x$ の結晶成長については課題が残されている。特に、Ge チャンネル FinFET においては、Ge 微細チャンネルの高温下における表面凝集を抑制するために、 $\text{Si}_{1-x}\text{Ge}_x$ S/D ストレッサの成長温度を 600°C 以下に低減しなければならない。あわせて、低温成長が $\text{Si}_{1-x}\text{Ge}_x$ 層の結晶性や電氣的欠陥に与える影響についても明らかにする必要がある。

一方、 $\text{Ge}_{1-x}\text{Sn}_x$ については、これまで様々な成長手法で、Ge 中の Sn の平衡固溶限 (1 atm.%) を超える Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶成長が報告されている。そのほとんどは平面基板上への結晶成長であり、異種面方位が混在する立体的な微細構造上への局所的な $\text{Ge}_{1-x}\text{Sn}_x$ 層の成長については、ほぼ先行研究がない状況である。一軸圧縮ひずみ Ge チャンネルにおいて、現在のひずみ Si チャンネル MOSFET の性能を超えるためには、Sn 組成 5% を有するエピタキシャル $\text{Ge}_{1-x}\text{Sn}_x$ 層を S/D 領域に局所的あるいは選択的に形成する必要がある。また、S/D 領域におけるコンタクト抵抗を低減するため、 $\text{Ge}_{1-x}\text{Sn}_x$ に対する高濃度不純物ドーピング (キャリア密度 $\sim 1 \times 10^{20} \text{ cm}^{-3}$) も同時に実現しなければならない。

以上のような背景を踏まえて、本研究においては、一軸ひずみ Ge チャンネル MOSFET 実現に向けた、エピタキシャル $\text{Si}_{1-x}\text{Ge}_x$ および $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶構造および電子物性の理解と制御を目的とした。具体的には、Sn 組成 5% 以上の $\text{Ge}_{1-x}\text{Sn}_x$ 層の局所エピタキシャル成長およびサブミクロンスケールにおける局所ひずみ評価技術の確立を目指して研究を進めた。また、低温成長した $\text{Si}_{1-x}\text{Ge}_x$ 層の結晶性および電氣的活性な欠陥について詳細に調査した。

第 3 章においては、有機金属化学気相成長 (MOCVD) 法を用いた *in situ* P ドーピングによる Ge および $\text{Ge}_{1-x}\text{Sn}_x$ 層の不純物制御を検討した。高濃度 *n* 型 Ge および $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層を形成し、その結晶性および電氣的特性について詳細に調べた。成長温度 400°C 以下の低温にて、Si(001)基板上に高濃度 P ドープ Ge 層のエピタキシャル成長を実現した。P プリカーサとして用いた tri-ethyl-phosphine の供給量の増加とともに膜中 P 濃度は増大し、Ge 中の P の固溶限を大きく超える $1 \times 10^{20} \text{ cm}^{-3}$ の P 濃度が得られた。一方、Ge 層の Hall 電子密度は、成長温度での平衡固溶限と一致する $2 \times 10^{19} \text{ cm}^{-3}$ 程度で飽和する傾向がみられた。更なる活性化 P 濃度の向上を目指して、成長速度の増大による非平衡的成長下での P ドー

プ Ge 層のエピタキシャル成長を検討した。350 および 400 °C の成長温度下においては、成長速度の増大が導入 P 濃度および Hall 電子密度に与える影響は小さいことがわかった。また、Ge 層に取り込まれる P 濃度は、成長温度の低減とともに減少する傾向がみられた。Ge および P の堆積速度に対する活性化エネルギーはそれぞれ 1.0 eV、2.1 eV と見積もられ、Ge に比べて P の方が 2 倍ほど大きな値を示すことが明らかになった。この活性化エネルギー差に起因して、低温化とともに導入 P 濃度が減少したと考えられることから、MOCVD 法における Ge および P プリカーサの組み合わせにはまだ議論の余地があることを示した。

さらに、成長温度 320 °C にて、P ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 層のエピタキシャル成長を実現した。Sn 導入の効果によって、Sn 組成の増加とともに、P ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性および表面平坦性が向上した。一方で、Sn 組成の増加とともに、 $\text{Ge}_{1-x}\text{Sn}_x$ 層中の P 濃度が減少した。これは、Sn および P プリカーサの同時供給によって、両者の間で、プリカーサ分解時の相互作用あるいは Ge 層への取り込み過程で競合が起こるためと推察される。 $\text{Ge}_{1-x}\text{Sn}_x$ 層との格子ミスマッチが小さい Ge バッファ層上に成長した P ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 層は、Si 基板上と比較して結晶性および表面平坦性が大幅に向上した。本研究では、Hall 電子密度 $1.3 \times 10^{19} \text{ cm}^{-3}$ を有する Sn 組成 1.7% の $\text{Ge}_{1-x}\text{Sn}_x$ 層のエピタキシャル成長を実現した。これらの結果は、MOCVD 法を用いた高濃度 *n* 型 Ge および $\text{Ge}_{1-x}\text{Sn}_x$ 層のエピタキシャル成長を実証するものであり、ひずみ Ge チャネル MOSFET 実現に向けた S/D 領域の不純物制御技術の構築に直結する研究成果である。

第 4 章においては、分子線エピタキシー法あるいは MOCVD 法を用いた低温成長によって、1 μm 以下の微細な Ge 細線/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサ構造を作製し、サブミクロンスケールの領域における局所ひずみおよび結晶構造について詳細に調べた。マイクロ回折法を用いて、1 μm 幅の埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 層内の結晶性を調べた結果、埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 層内には局所的な結晶面傾斜が存在し、その傾斜角は埋め込み層内で変化することがわかった。有限要素法を用いた構造解析によって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の内部応力分布を調べたところ、埋め込み層のエッジ近傍に応力集中が生じることが明らかとなり、この応力分布が結晶面傾斜を引き起こした要因と考えられる。さらに、局所的にエピタキシャル成長させた $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサ層に挟まれた、25~100 nm の微細な Ge 細線に印加されるひずみ構造をマイクロ回折法によって評価した。この Ge 細線には、面内圧縮および面直伸張のひずみが印加されることを実験的に明らかにした。また、Ge 細線幅の縮小および $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサ層の Sn 組成の増加に伴って、印加ひずみ量が増大する傾向を定量的に明らかにした。さらに、有限要素法による構造解析によって Sn 組成および細線幅依存性を検証し、実験値をおよそ再現する傾向を得た。本研究においては、Sn 組成 5.6% の $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサに挟まれた 30 nm 幅の Ge 細線に、一軸圧縮ひずみ 0.9% (応力換算で 1.2 GPa) が印加されることを実証した。これは、一軸圧縮ひずみ Ge のためのストレッサ材料として、 $\text{Ge}_{1-x}\text{Sn}_x$ 混晶が有用であることを示す成果である。さらに、マイクロ回折法により、Ge 細線/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 層内

のサブミクロンスケールの空間分解能での Sn 組成分布や内包ひずみ、および Ge 細線内のひずみ分布についても評価した。本研究では、1~2 μm の測定領域内では Sn 組成および Ge 細線のひずみ量に有意な分布は観測されなかった。埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 層の内包ひずみは、Ge 細線周辺で、面内・面直方向ともにひずみ緩和しており、パターンニング領域内で局所的分布が存在することが明らかになった。以上のように、 $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサを用いた Ge チャネルのひずみ制御技術、およびマイクロ回折法を用いたサブミクロンスケールの局所ひずみ評価技術の確立に直結する研究成果を示した。

第 5 章においては、CVD 用の Si および Ge の高次プリカーサ ($\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$) を用いて、Si(001)基板上に低温成長した As ドープ $\text{Si}_{1-x}\text{Ge}_x$ 層の構造および電氣的欠陥の評価を行った。従来のプリカーサ ($\text{SiH}_2\text{Cl}_2/\text{GeH}_4$) と比較し、成長温度の低減が $\text{Si}_{1-x}\text{Ge}_x$ 層の結晶構造や電氣的特性に及ぼす影響について詳細に調べた。また、成長中に導入された欠陥に対する成長後熱処理の効果についても明らかにした。高次プリカーサを用いて成長温度 550 $^\circ\text{C}$ で形成した $\text{Si}_{0.74}\text{Ge}_{0.26}$ 層は、従来のプリカーサを用いて成長温度 615 $^\circ\text{C}$ で形成した $\text{Si}_{0.76}\text{Ge}_{0.24}$ 層と同等の結晶性や表面平坦性を有することがわかった。成長直後の $\text{Si}_{1-x}\text{Ge}_x$ 層を用いたショットキーダイオードを作製し、Deep-level transient spectroscopy (DLTS) 法を用いて膜中の電氣的欠陥を評価した結果、高次プリカーサによる低温成長 $\text{Si}_{1-x}\text{Ge}_x$ 層には、異なるエネルギー準位 ($E_c-0.33$ eV, $E_c-0.54$ eV) を有する 2 種類の欠陥が観測された。それぞれの欠陥密度はおよそ $3 \times 10^{15} \text{ cm}^{-3}$ および $4 \times 10^{15} \text{ cm}^{-3}$ と見積もられた。観測された欠陥のエネルギー準位が、典型的な格子間関連の欠陥が形成するエネルギー準位に比べて深い位置にあり、成長温度の高い従来のプリカーサの場合では DLTS 測定の検出下限 ($1 \times 10^{14} \text{ cm}^{-3}$) を上回る欠陥は観測されなかった点を考慮すると、低温成長中に導入された原子空孔由来の欠陥であると推察される。また、欠陥が観測された $\text{Si}_{1-x}\text{Ge}_x$ 層に対する 200 $^\circ\text{C}$ の低温熱処理によって、成長直後に観測された欠陥は DLTS 測定の検出下限まで低減されることがわかった。このように、高次プリカーサの導入により $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層を実現し、成長後の低温熱処理が $\text{Si}_{1-x}\text{Ge}_x$ 層中の電氣的活性な欠陥の低減に対して効果的であることを見出した。