

論文審査の結果の要旨および担当者

報告番号	※ 甲 第 11898 号
------	---------------

氏 名 池 進一

論 文 題 目

Ge系IV族混晶半導体のエピタキシャル成長および電子物性制御に関する研究

(Study on epitaxial growth and control of electronic property of Ge-related group-IV semiconductors)

論文審査担当者

主査	名古屋大学	教授	財満 鎮明
委員	名古屋大学	教授	中塚 理
委員	名古屋大学	教授	鳥本 司
委員	名古屋大学	教授	宇佐美 徳隆

論文審査の結果の要旨

池進一君提出の論文「Ge系IV族混晶半導体のエピタキシャル成長および電子物性制御に関する研究」は、Geチャンネル金属-酸化膜-半導体電界効果トランジスタ（MOSFET）におけるひずみチャンネル技術の構築に向けた、ソース/ドレイン（S/D）ストレッサとして期待される $\text{Ge}_{1-x}\text{Sn}_x$ および $\text{Si}_{1-x}\text{Ge}_x$ 混晶薄膜のエピタキシャル成長、結晶構造、局所ひずみ構造、および電子物性の制御に関する研究をまとめたものであり、全6章より構成される。

第1章は序論であり、本研究の背景および目的について述べている。

第2章においては、本研究で用いた薄膜形成技術と薄膜評価方法について述べている。

第3章においては、高濃度n型Geおよび $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の形成に向けて、有機金属化学気相成長法（MOCVD）を用いた *in situ* リン（P）ドーピングによる不純物制御を検討し、薄膜の結晶性や電気的特性について詳細に述べている。成長温度 400°C 以下の低温において、Ge中のPの平衡固溶限の10倍に相当する $1 \times 10^{20} \text{cm}^{-3}$ の高濃度Pドーピングを達成し、Hall電子密度 $2 \times 10^{19} \text{cm}^{-3}$ を有するGeエピタキシャル層の形成を実証した。堆積速度に関する活性化エネルギーが、Geに比べてPの方が2倍程度大きな値であるために、この活性化エネルギー差に起因して、低温化とともに導入P濃度が減少することを見出した。これらの結果から、MOCVD法におけるGeおよびPプリカーサの組み合わせにまだ議論の余地があることを示した。さらに、成長温度を 320°C まで低減し、 $\text{Ge}_{1-x}\text{Sn}_x$ 層へのPドーピングも検討した。その結果、Sn組成1.7%の $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層に対して $1.3 \times 10^{19} \text{cm}^{-3}$ の高濃度Pドーピングを実現した。

第4章においては、 $1 \mu\text{m}$ 以下の微細なGe細線/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサ構造を作製し、放射光を用いたマイクロ回折法による、サブミクロンスケール領域における局所ひずみ構造について詳細に述べている。局所的にエピタキシャル成長させた $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサ層に挟まれた、 $25 \sim 100 \text{nm}$ の微細なGe細線には、面内圧縮および面直伸張のひずみが印加されることを実験的に見出した。さらに、Ge細線幅の縮小および $\text{Ge}_{1-x}\text{Sn}_x$ ストレッサ層のSn組成の増加に伴って、印加ひずみ量が増大する傾向を定量的に明らかにした。有限要素法による構造解析を用いて局所ひずみ構造のSn組成および細線幅依存性を検証し、実験結果をおよそ再現する傾向を得た。これらの成果によって、一軸圧縮ひずみGeのためのストレッサ材料として、 $\text{Ge}_{1-x}\text{Sn}_x$ 混晶の有用性を実証した。

第5章においては、一軸伸張ひずみGeチャンネルのための $\text{Si}_{1-x}\text{Ge}_x$ S/Dストレッサの低温形成に向けて、CVD用のSiおよびGeの高次プリカーサ（ $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ）を用いた $\text{Si}_{1-x}\text{Ge}_x$ 層の結晶性および電気的欠陥の評価について述べている。高次プリカーサを用いて基板温度 550°C の低温で形成した $\text{Si}_{1-x}\text{Ge}_x$ 層は、従来のプリカーサ（ $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ ）を用いて 615°C で形成した $\text{Si}_{1-x}\text{Ge}_x$ 層と同等の結晶性や表面平坦性を有することを明らかにした。Deep-level transient spectroscopy（DLTS）法を用いて膜中の電気的欠陥を評価した結果、高次プリカーサによる低温成長 $\text{Si}_{1-x}\text{Ge}_x$ 層には、異なるエネルギー準位を有する欠陥が観測され、それらは低温成長中に導入された原子空孔由来の欠陥構造であることを明らかにした。また、 $\text{Si}_{1-x}\text{Ge}_x$ 層成長後の低温熱処理が $\text{Si}_{1-x}\text{Ge}_x$ 層中の電気的活性な欠陥の低減に対して効果的であることも見出した。

第6章は、本研究の総括であり、各章のまとめ、および今後の課題について述べている。

本論文は、次世代の超高速・低消費電力ひずみGeチャンネルMOSFETのS/Dストレッサとして期待される $\text{Ge}_{1-x}\text{Sn}_x$ および $\text{Si}_{1-x}\text{Ge}_x$ 混晶薄膜の低温形成を検証し、その結晶性、局所ひずみ構造、電子物性を詳細に調べたものである。これらの成果は、Ge系IV族混晶の不純物制御およびGeチャンネルの局所ひずみ制御の実用性、有用性を実証するものであり、工業上、学術上寄与するところが極めて大きい。よって、本論文提出者池進一君は、博士（工学）の学位を受けるに十分な資格があるものと判定した。