

# Ge 系 IV 族混晶半導体のエピタキシャル 成長および電子物性制御に関する研究

池 進一

博士学位論文

Ge 系 IV 族混晶半導体のエピタキシャル成長  
および電子物性制御に関する研究

**Study on epitaxial growth and control of electronic  
property of Ge-related group-IV semiconductors**

2017 年

名古屋大学大学院工学研究科結晶材料工学専攻

ナノ構造デバイス工学講座

ナノ電子デバイス工学研究グループ

財満・中塚研究室

池 進一



# 目次

## 第1章 序論 1

---

1.1	研究背景	1
1.1.1	情報通信技術の発展と消費電力量の増大	2
1.1.2	MOSFET への新規チャネル材料および新規構造の導入による高性能化	2
1.1.3	Ge 系 IV 族混晶ストレッサの結晶成長および不純物制御技術	8
1.1.4	局所ひずみ解析手法	16
1.2	本研究の目的	18
1.3	本研究の概要	18
1.4	参考文献	19

## 第2章 試料作製および評価手法 25

---

2.1	化学気相成長法	25
2.1.1	化学気相成長法の概要	25
2.1.2	基板表面の清浄化	25
2.1.3	実験装置	26
2.2	X 線回折法	28
2.2.1	X 線回折 2 次元逆格子空間マッピング測定	28
2.2.2	高輝度放射光を用いたマイクロ回折法	30
2.2.3	IV 族混晶薄膜の格子置換組成およびひずみ緩和率	32
2.3	有限要素法による構造解析	34
2.4	Deep-level transient spectroscopy 法	36
2.5	参考文献	39



第3章 有機金属化学気相成長法を用いた  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜

## の結晶成長 41

---

3.1	はじめに	41
3.2	実験方法	43
3.3	実験結果および考察	45
3.3.1	P ドープ Ge 薄膜のエピタキシャル成長	45
3.3.2	P ドープ Ge 薄膜の電子物性評価	50
3.3.3	薄膜成長に成長圧力が及ぼす影響	55
3.3.4	P ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜のエピタキシャル成長	60
3.3.5	P ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の電子物性評価	65
3.4	結論	70
3.5	参考文献	72

第4章 マイクロ回折法を用いたひずみ Ge/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  構造の

## 局所ひずみ解析 75

---

4.1	はじめに	75
4.2	実験方法	75
4.3	実験結果および考察	77
4.3.1	ひずみ Ge/ $\text{Ge}_{1-x}\text{Sn}_x$ 埋め込みストレッサ構造の作製	77
4.3.2	埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶構造評価	81
4.3.3	ひずみ Ge/ $\text{Ge}_{1-x}\text{Sn}_x$ 埋め込み構造内の局所ひずみ解析	83
4.3.4	格子置換 Sn 組成および局所ひずみ分布	91
4.4	結論	95
4.5	参考文献	97

第5章 低温成長 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル薄膜の結晶性および電氣的欠陥評価	99
5.1 はじめに	99
5.2 実験方法	100
5.3 実験結果および考察	103
5.3.1 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜のエピタキシャル成長と構造評価	103
5.3.2 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜の電氣的欠陥評価	107
5.3.3 薄膜の結晶性および電氣的欠陥に対する熱処理の効果	111
5.4 結論	115
5.5 参考文献	116
第6章 結論	119
6.1 本研究の総括	119
6.1.1 有機金属化学気相成長法を用いた $n$ 型 Ge および $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の結晶成長 (第 3 章)	119
6.1.2 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析 (第 4 章)	120
6.1.3 低温成長 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル薄膜の結晶性および電氣的欠陥評価 (第 5 章)	121
6.2 今後の課題	123
6.3 参考文献	124
謝辞	125
研究業績	127



# 第1章 序論

## 1.1 研究背景

### 1.1.1 情報通信技術の発展と消費電力量の増大

近年の情報通信技術の発展とともに、スマートフォン・タブレット型の携帯端末が爆発的に普及し、年々、ネットワーク上の情報流通量が指数関数的に増大している[1] (図 1.1 (a))。今後もネットワーク上の情報流通量は増大を続け、日本を含めた世界全体においても、情報社会インフラを支える IT 機器のエネルギー消費量は指数関数的に増加することが予測されている[2] (図 1.1 (b))。

半導体デバイスは、情報通信機器のみならず、医療機器、家電製品、自動車などの幅広い産業分野の根幹を支えている。より豊富な機能を搭載した機器が高く望まれる一方で、情報通信に関するエネルギー消費量の急増は無視できない問題となっている。これらの状況を打開するため、情報通信機器に使用される超々大規模集積回路 (ULSI: Ultra Large Scale Integrated circuit) の高速化・高機能化・低消費電力化の実現が求められている。

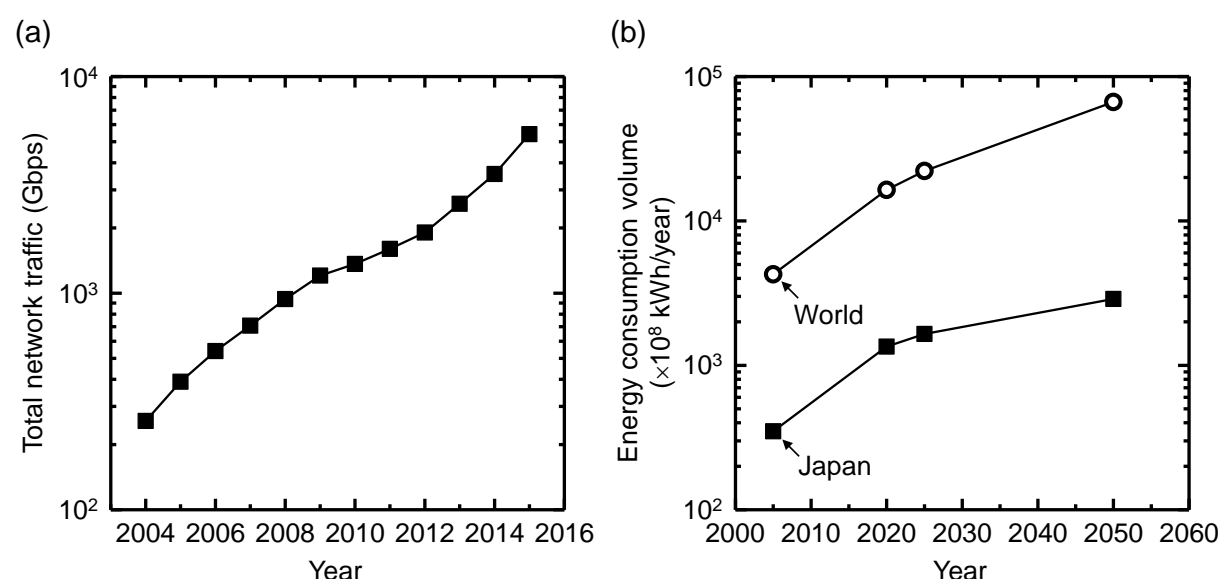


図 1.1: (a) 日本国内のブロードバンド契約者のネットワーク上の情報流通量の推移。(b) 日本および世界における IT 機器のエネルギー消費量の将来予測。

## 1.1.2 MOSFET への新規チャネル材料および新規構造の導入による高性能化

ULSI を構成する基本素子は、金属-酸化膜-半導体電界効果トランジスタ (MOSFET: Metal-Oxide-Semiconductor Field Effect Transistor) である。MOSFET の構造模式図を図 1.2 (a) に示す。MOSFET は、金属-酸化膜-半導体積層構造からなる MOS キャパシタを挟むように、ソース (source) およびドレイン (drain) 領域が位置する。 $n$  チャネル MOSFET ( $n$ -MOSFET) を例にとると、基板は  $p$  型半導体を用い、ソースおよびドレイン領域は  $n^+$  層とする。ゲート電極の電圧を制御し、MOS キャパシタ内に反転層が形成されると、それがチャネルとなり、ソース-ドレイン間にドレイン電流  $I_D$  を流すことができる。図 1.2 (b) の模式図に示すように、 $n$ -および  $p$ -MOSFET を組み合わせることで相補型 MOS (Complementary MOS: CMOS) 回路となる。CMOS 回路の大きな特長は、オン/オフ遷移状態時のみ回路内にドレイン電流が流れることで、消費電力を低く抑えられる。そのため、CMOS 回路は低消費電力デバイスとして広く用いられている。

これまで、MOSFET は素子寸法の比例縮小 (スケーリング) 則に従って高性能化および高集積化を達成してきた。図 1.3 に、国際半導体技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors) にて定められる、MOSFET の製造年度に対する物理ゲート長を示す[3]。2016 年現在、物理ゲート長は 10 nm 程度にまで微細化が進んでいる。微細化が進む一方で、基板不純物散乱の増大に起因するオン電流の低下、短チャネル効果やゲート酸化膜の減少に伴うリーク電流の増大が顕在化し始め、スケーリングトレンドに則ったトランジスタ性能の要求を満たすことが困

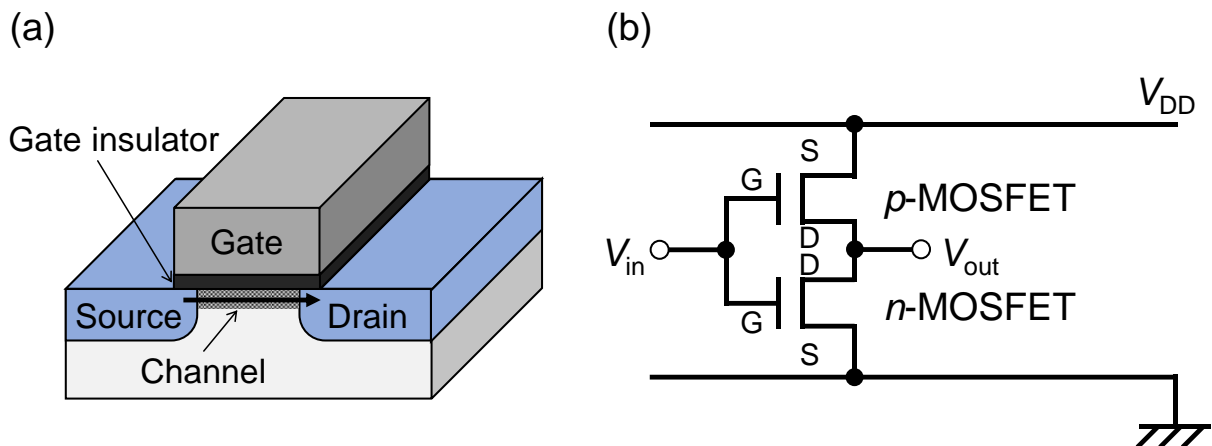


図 1.2: (a) MOSFET の構造模式図。 (b) CMOS 回路。

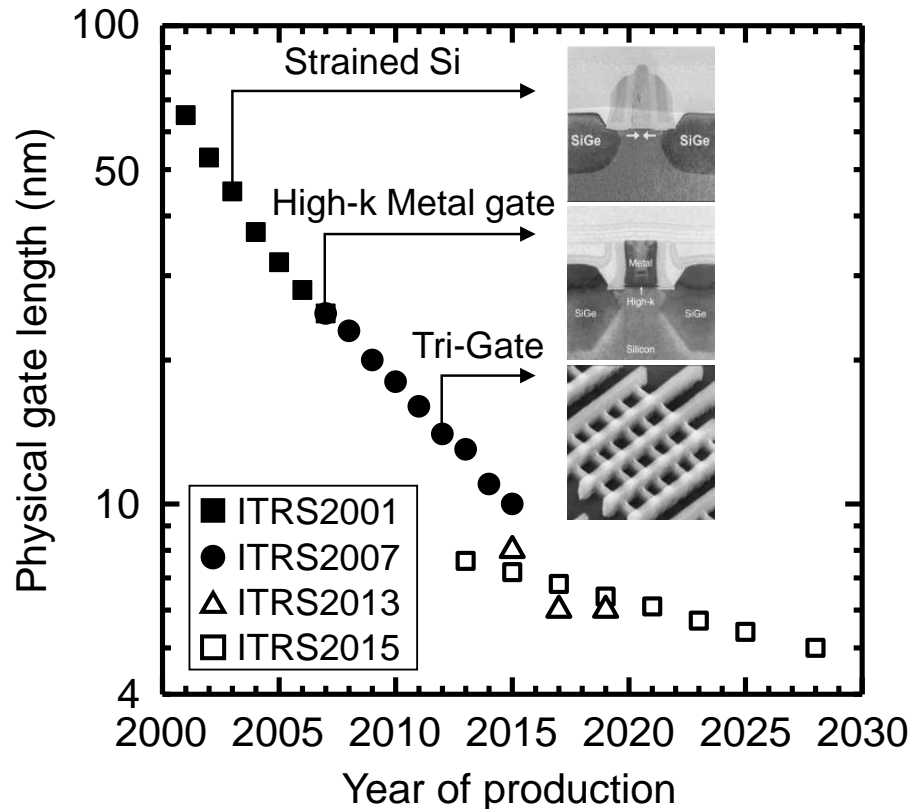


図 1.3: 物理ゲート長の微細化方針とテクノロジーブースターの導入。図中に示すデバイス構造図は Intel 社ウェブページより引用[4]。

難になっている[5, 6]。さらに、微細加工に対する技術的困難さが増すとともに、その技術開発および製造コストが膨張している点からも、単なる微細化のみに依存しない新たな技術の確立が急務とされている。その代表的な例として、ひずみチャネル、高誘電率絶縁膜／金属ゲートおよび立体ゲート構造が挙げられる。これらは、スケールングトレンドを満たすための、微細化のみに依存しない新たな複合技術として、テクノロジーブースターと呼ばれる。

Intel は 2003 年の 90 nm 技術世代以降、Si チャネルへのひずみ印加によってキャリア移動度を向上させ、トランジスタの高駆動力化を図る技術を導入した[7]。図 1.4 に、Si(001)の[110]方向に一軸圧縮応力を印加した時の、Si 価電子帯の等エネルギー面の理論計算結果の報告例を示す[8]。応力の増大とともに、図中の矢印で示すように、価電子帯端近傍の[110]方向のエネルギー幅が減少、つまりは  $E$ - $k$  分散関係の曲率が増大する。この曲率の増大は、正孔の有効質量の減少を意味する。したがって、Si への応力印加によるエネルギーバンド構造の変調に伴って正孔の有効質量が減少し、正孔の移

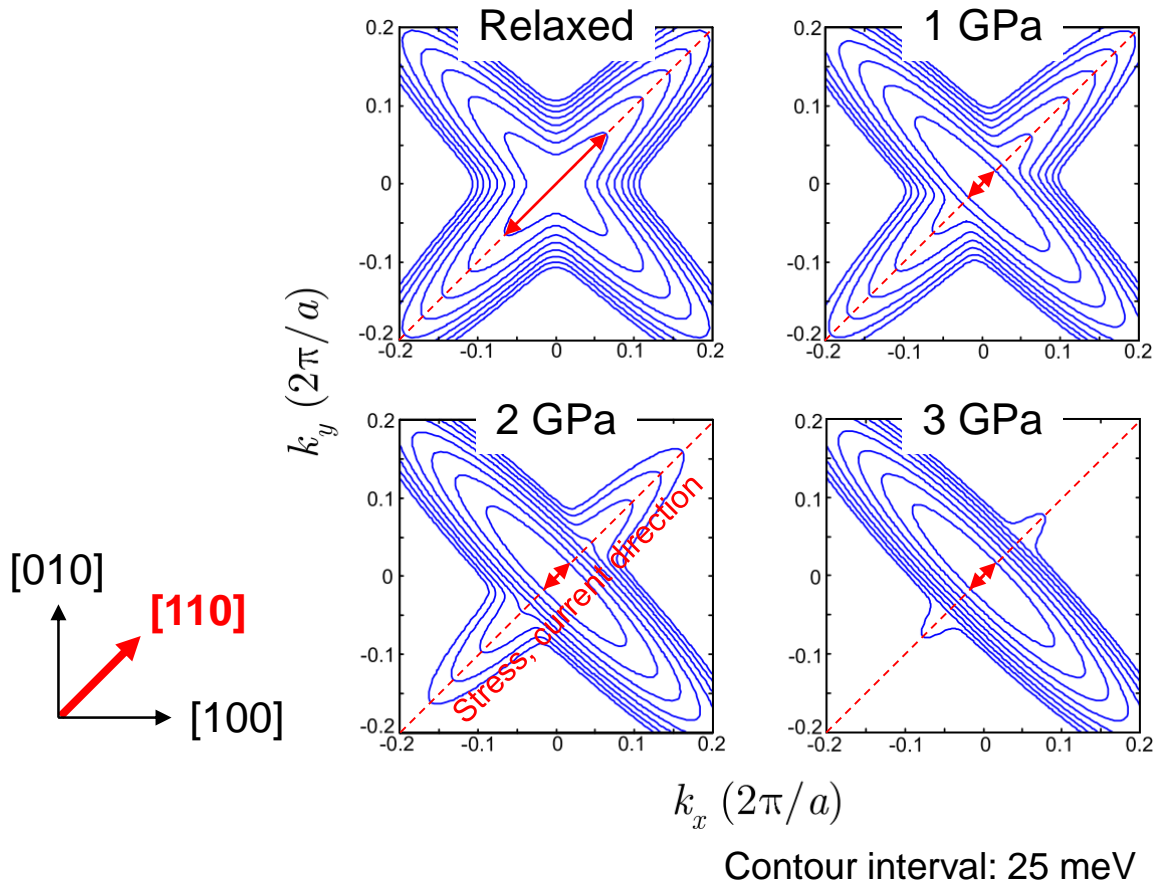


図 1.4: Si(001)の[110]方向に一軸圧縮応力を印加した時の、Si 価電子帯の等エネルギー面変化の理論計算結果。

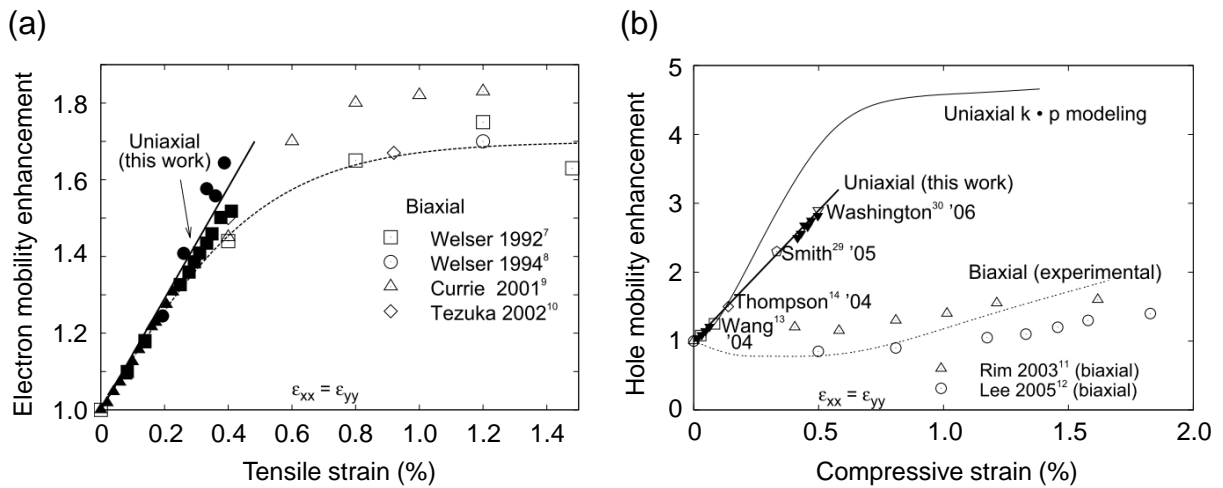


図 1.5: Si(001)に対して種々のひずみを印加したときの (a) 電子移動度および (b) 正孔移動度の向上率。

動度が増大する。また、電子についても同様に、応力印加によって伝導帯のエネルギーバンド構造が変調され、電子移動度が向上する。図 1.5 に、Si(001)に対して様々な（一軸／二軸、伸張／圧縮）ひずみを印加したときの、無ひずみ Si を基準とした電子および正孔移動度の向上率の理論計算および実験結果の報告例を示す[9]。Si(001)の場合、電子に対しては伸張ひずみ、正孔に対しては圧縮ひずみの印加によって効果的に移動度を増大させることができる。一方で、電子移動度については印加ひずみ量 1% 程度で電子移動度に飽和傾向がみられ、バルク電子移動度の約 1.8 倍で頭打ちとなる。正孔移動度については、電子に比べて印加ひずみ量に対する移動度の増加率は大きいものの、過大な応力によるひずみ緩和に伴う欠陥生成に起因する移動度の低下が懸念される。したがって、ひずみ Si チャンネルのみの移動度向上には限界がある。

さらに Intel は 2012 年の 22 nm 技術世代以降、従来のプレーナ型から立体ゲート構造を有する Tri-Gate トランジスタ（FinFET）へと素子構造を転換した[10]。図 1.6 に模式図で示すように、FinFET を採用することによってプレーナ型に比べて同面積で高集積化が図れるだけでなく、ゲートのチャネル制御性を高めることで短チャネル効果の抑制が可能である。加えて、FinFET では、チャネル領域の面積を広くとれるために電流駆動能力を高めることも可能である[11]。FinFET においてもひずみ Si チャンネル技術がすでに導入され、今後さらなる性能向上の要求に応えるためには Si に代わる高移動度チャネル材料の導入を検討する必要がある。

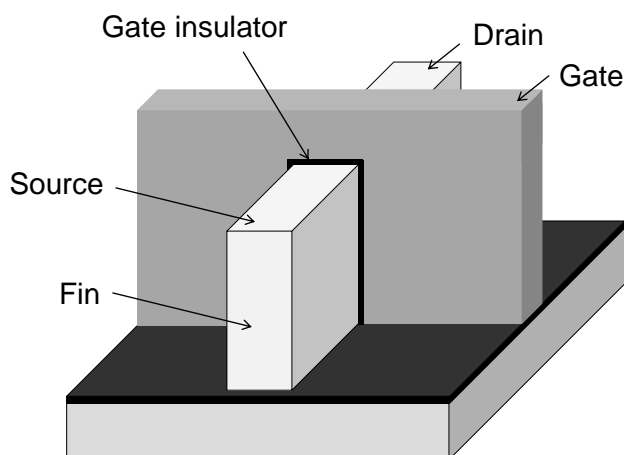


図 1.6: FinFET の構造模式図。



代表的な IV 族および III-V 族化合物半導体のバルク物性値を表 1.1 に示す[12]。III-V 族化合物半導体は、電子の有効質量が小さく、電子移動度が高いことが知られている。Si の電子移動度と比較すると、約 3 倍から 50 倍の移動度が期待できる。一方で、正孔移動度については、化合物半導体の中でも比較的高い InSb でも Si の約 2 倍程度である。Si と同じ IV 族半導体である Ge は、正孔移動度が Si および III-V 族化合物半導体に比べて大きいことが特長であり、Si に対して電子移動度は約 2.4 倍、正孔移動度は約 4.4 倍である。バルク物性値を比較した場合、CMOS 論理回路の性能向上のためには、*n*-MOSFET に III-V 族化合物半導体、*p*-MOSFET に Ge をチャネル材料として選択することが理想的である。しかし、化合物半導体を構成する元素は Si に対しても不純物となるため、不純物制御の観点から現状の Si プロセスへの導入は困難と考えられる。その点で Ge は既存の Si プロセスとの親和性が高く、かつ、電子移動度についても Si と比較して高い値を有するため、Ge のみで CMOS 回路を設計することにも利点がある。

表 1.1: 代表的な IV 族および III-V 族化合物半導体の物性値。  $m_0$  は静止電子質量。  $m_t$  および  $m_l$  は、それぞれ伝導帯下端バレーの横有効質量および縦有効質量。  $m_{HH}$  および  $m_{LH}$  は、それぞれ価電子帯上端バレーの重い正孔バンドおよび軽い正孔バンドの有効質量。

	Si	Ge	GaAs	InP	InAs	InSb
Electron mobility (cm <sup>2</sup> /Vs)	1600	3900	9200	5400	40000	77000
Effective mass for electron ( $/m_0$ )	$m_t$ : 0.19 $m_l$ : 0.916	$m_t$ : 0.082 $m_l$ : 1.467	0.067	0.082	0.023	0.014
Hole mobility (cm <sup>2</sup> /Vs)	430	1900	400	200	500	850
Effective mass for hole ( $/m_0$ )	$m_{HH}$ : 0.49 $m_{LH}$ : 0.16	$m_{HH}$ : 0.28 $m_{LH}$ : 0.044	$m_{HH}$ : 0.45 $m_{LH}$ : 0.082	$m_{HH}$ : 0.45 $m_{LH}$ : 0.12	$m_{HH}$ : 0.57 $m_{LH}$ : 0.35	$m_{HH}$ : 0.44 $m_{LH}$ : 0.016
Bandgap (eV)	1.12	0.66	1.42	1.34	0.36	0.17

図 1.7 に、種々のひずみ印加に対する Ge(001)の実効電子および実効正孔移動度の理論計算の報告値を示す[13, 14]。併せて、Si(001)において、近年報告されているチャネルひずみ量から予測される電子および正孔移動度を示す[9, 15]。Si と同様、Ge に対してもひずみの印加により、電子および正孔ともに無ひずみの場合に比べて移動度が大きく向上することがわかる。また、電子・正孔移動度ともに、無ひずみ Ge では近年のひずみ Si には及ばない。すなわち、現行のひずみ Si MOSFET からの性能向上のためには、Ge へのひずみ印加は必要と考えられる。電子移動度については、Ge に対して一軸圧縮あるいは伸張ひずみが有効である。正孔移動度については、一軸圧縮ひずみが最も効果的に移動度が増大する。したがって、一軸ひずみを印加した Ge チャネルの導入により  $n$  および  $p$ -MOSFET 双方の高性能化を図ることが期待される。

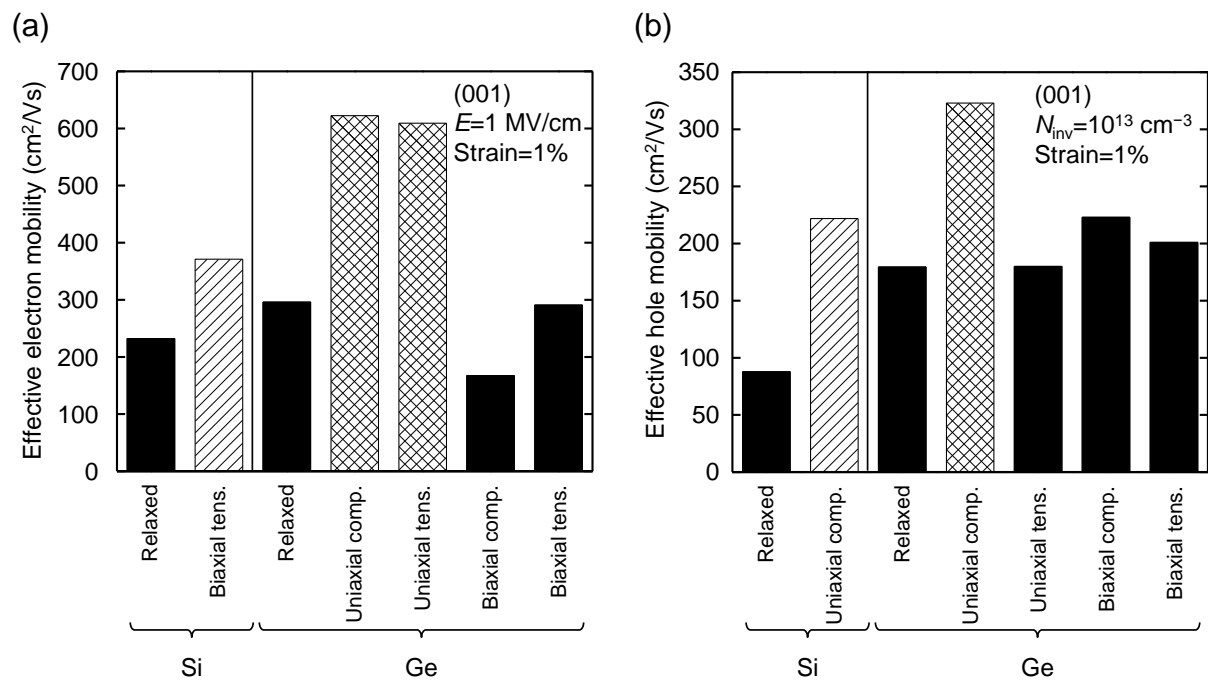


図 1.7: 種々のひずみを印加した Ge(001)に対する、(a) 電子および (b) 正孔の実効移動度[13, 14]。Ge に印加するひずみ量を 1%、(a) 実効電界  $E=1 \text{ MV/cm}$ 、(b) 反転層キャリア密度  $N_{\text{inv}}=10^{13} \text{ cm}^{-3}$  を仮定している。ひずみ Si の電子移動度は、二軸伸張ひずみ印加による移動度増大率 1.6 を用いて算出した[9]。ひずみ Si の正孔移動度は、32 nm 技術世代 ( $\text{Si}_{0.6}\text{Ge}_{0.4}$  S/D) における Si チャネルへの一軸圧縮応力 2 GPa を想定し算出した[15]。

## 1.1.3 Ge 系 IV 族混晶ストレッサの結晶成長および不純物制御技術

前節で述べたように、Ge チャンネルにおいても、依然、ひずみ技術は重要である。一軸ひずみ Ge チャンネル実現のためには、ひずみを印加するためのストレッサが必要となる。ひずみ Si チャンネルの場合、MOSFET の S/D 領域に  $\text{Si}_{1-x}\text{Ge}_x$  混晶をエピタキシャル成長させ、それらの格子定数差を利用して一軸圧縮ひずみを印加する。ひずみ Si に倣い、Ge の場合も S/D 領域に Ge と格子定数の異なるストレッサを導入することで一軸ひずみの印加が可能と考えられる (図 1.8)。ストレッサ材料として、IV 族半導体である Si、Ge および Sn を含む混晶材料が挙げられる。混晶材料を用いることで、各元素の組成によって格子定数を変調できるため、チャンネルに対するひずみ制御が容易である (格子定数:  $a_{\text{Si}}=5.43 \text{ \AA}$ 、 $a_{\text{Ge}}=5.65 \text{ \AA}$ 、 $a_{\text{Sn}}=6.49 \text{ \AA}$ )。

Ge より格子定数の小さい  $\text{Si}_{1-x}\text{Ge}_x$  混晶を S/D ストレッサとして用いれば、一軸伸張ひずみ Ge の実現が期待できる (図 1.8 (a))。  $\text{Si}_{1-x}\text{Ge}_x$  混晶は全率固溶系であるため、Ge 組成を 0 から 100% の間で自由に制御して形成できる。  $\text{Si}_{1-x}\text{Ge}_x$  混晶の結晶成長については、これまで多くの知見が蓄積されている。一方で、昨今のデバイススケージングの進行によって、ゲート長が 10 nm を下回る非常に微細な構造への結晶成長については課題が残されている。Wang らの報告によれば、20 nm 幅のトレンチ領域に形成した Ge 細線は、形成後に 600 °C まで温度を上昇させると Ge の凝集が起こり、細線形状を維持できない[16]。これは、Ge fin 形成後に  $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサを 600 °C

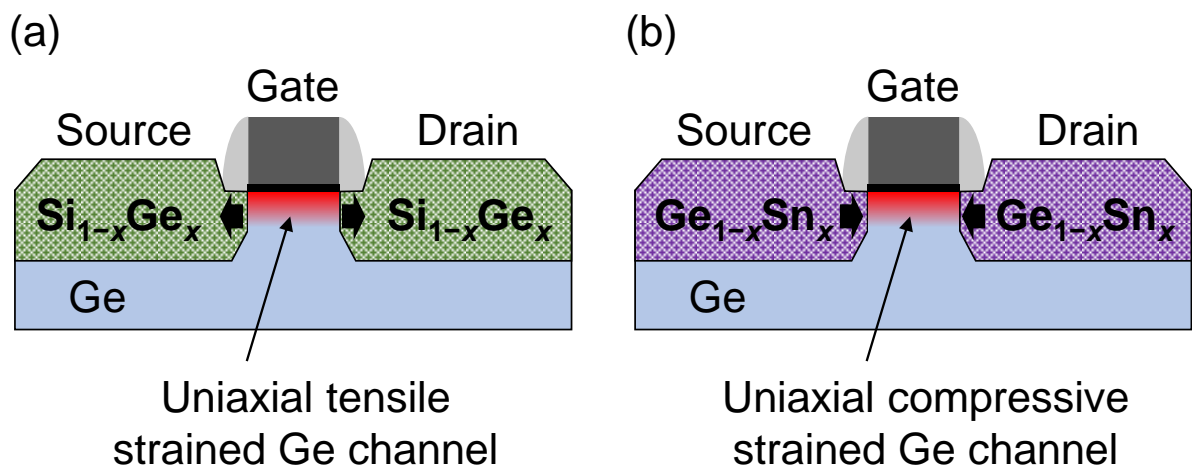


図 1.8: Ge 系 IV 族混晶 S/D ストレッサを用いた一軸ひずみ Ge チャンネル MOSFET の構造模式図。(a) 一軸伸張ひずみ Ge のための  $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサ、(b) 一軸圧縮ひずみ Ge のための  $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサ。

より低い成長温度で成長しなければならないことを示している。 $\text{Si}_{1-x}\text{Ge}_x$  層の低温成長については、CVD 用の新規プリカーサの導入によって 400 °C 程度での結晶成長が実現されている[17]が、低温成長が  $\text{Si}_{1-x}\text{Ge}_x$  層の結晶性の悪化や電氣的活性な欠陥に及ぼす影響については詳細にわかっていない。

Ge より格子定数の大きい  $\text{Ge}_{1-x}\text{Sn}_x$  混晶を S/D ストレッサとして用いれば、一軸圧縮ひずみ Ge の実現が期待できる[18, 19] (図 1.8 (b))。  $\text{Ge}_{1-x}\text{Sn}_x$  混晶は Ge とダイヤモンド構造を有する  $\alpha\text{-Sn}$  との混晶である。 $\text{Si}_{1-x}\text{Ge}_x$  混晶との大きな違いは、Ge 中への Sn の平衡固溶限は 1 atm.% と低く、  $\text{Ge}_{1-x}\text{Sn}_x$  混晶中の Sn は  $\beta\text{-Sn}$  として容易に析出してしまう点にある。 Vincent らが報告した理論計算結果によれば、  $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサの Sn 組成が増加するとともに Ge チャネルへの印加応力も増大する。ゲート長 20 nm の Ge チャネルの場合、これまでのひずみ Si チャネルの正孔移動度を超えるひずみ Ge チャネル (圧縮応力 1 GPa) を得るためには、Sn 組成 5%程度が必要とされる[18] (図 1.9)。平衡固溶限を超える Sn 組成を有する  $\text{Ge}_{1-x}\text{Sn}_x$  層の形成には、非平衡状態下での結晶成長が必要と考えられる。

これまで、  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜の結晶成長に関しては、分子線エピタキシー法 (MBE: Molecular Beam Epitaxy)、化学気相成長法 (CVD: Chemical Vapor Deposition) および固相エピタキシー法 (SPE: Solid Phase Epitaxy) を用いて、様々な研究グループで精力的に研究がなされている[20-25]。例えば、Shimura らは、成長温度を低減した固体ソース MBE 法を用いて、Si(001)および Ge(001)基板上へ平衡固溶限を大きく超える Sn 組成 9.2%および 12.3%のエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜の形成に成功し[20, 21]、Asano らは(001)基板以外にも、(110)や(111)基板上にエピタキシャル成長した  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜の結晶構造についても知見を得ている[22]。また、CVD 法でも成長温度の低減によって、Si(001)および Ge(001)基板上に 10%を超える Sn 組成を有する  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル成長が可能である[23, 24]。このように、平面基板上への  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル成長および転位構造に関しては報告が増えているが、非平面基板上への局所的あるいは選択的な  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル成長についてはほとんど先行研究がない状況である。

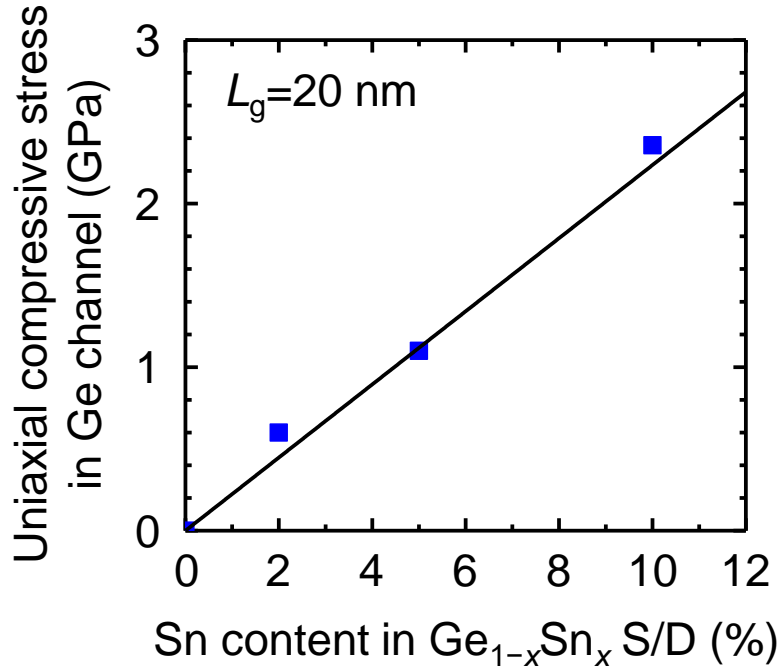


図 1.9: Ge チャンネルに印加される面内方向の一軸圧縮応力に対する  $\text{Ge}_{1-x}\text{Sn}_x$  S/D 中の Sn 組成依存性の理論計算結果。ゲート長は 20 nm を仮定した。

ひずみ Ge チャンネルのための  $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサ形成に向けて、 $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶成長のみならず、高濃度不純物ドーピングによる低抵抗化も同時に達成しなければならない。一般に、S/D 領域に高濃度ドーピングされた半導体とその上部に接合する金属界面のコンタクト抵抗率  $\rho_c$  は、(1.1)式のように表される[26, 27]。

$$\rho_c \propto \exp\left(\frac{4\pi\sqrt{m^* \epsilon_s}}{h} \frac{\Phi_B}{\sqrt{N_D}}\right) \quad (1.1)$$

ここで、 $m^*$ は半導体の電子あるいは正孔の有効質量、 $\epsilon_s$ は半導体の誘電率、 $h$ はプランク定数、 $\Phi_B$ はショットキー障壁高さ (Schottky Barrier Height: SBH)、および  $N_D$ は半導体の不純物密度である。(1.1)式から、コンタクト抵抗率は、SBH の減少および S/D 領域の不純物密度の増加とともに減少することがわかる。Miyoshi らの理論計算結果によれば、ITRS 2015 において要求されるコンタクト抵抗率 ( $\rho_c=1\times 10^{-8} \Omega\cdot\text{cm}^2$ ) を達成するためには、金属/ $n^+$ -Ge 界面の SBH を 0.4 eV と仮定した場合、 $n^+$ -Ge 層には  $1\times 10^{20} \text{ cm}^{-3}$  程度の高い電子密度が必要とされる[28]。

図 1.10 に、Ge 中の  $p$  型および  $n$  型ドーパントの最大平衡固溶限[29, 30]および拡散係数の温度依存性[31-33]を示す。Ge 中の固溶限については、 $p$  型ドーパントの中で最

も高い Ga が  $5 \times 10^{20} \text{ cm}^{-3}$  であるのに対して、 $n$  型ドーパントの中で最も高い P は  $2 \times 10^{20} \text{ cm}^{-3}$  程度と低い。また、 $400 \sim 700^\circ\text{C}$  の幅広い温度領域にわたって、 $p$  型に比べ  $n$  型ドーパントの拡散係数が高く、例えば  $600^\circ\text{C}$  においては二桁以上の差がある。この拡散係数の高さゆえに、同一のプロセス温度でも  $p$  型に比べ  $n$  型ドーパントは Ge 外へ拡散し易い。また、S/D と下地基板およびチャネル領域との  $pn$  接合におけるオフリーク電流を抑制するために、低欠陥の高品質 S/D 層の形成も必要とされる。これらから、 $n$ -MOSFET に必要とされる良好な高濃度  $n$  型 Ge (電子密度  $\sim 1 \times 10^{20} \text{ cm}^{-3}$ ) S/D 接合の形成には未だ課題が残されている。Ge<sub>1-x</sub>Sn<sub>x</sub> 混晶においても、Ge と同様の課題に加えて、Sn と不純物ドーパントとの相互作用が結晶成長や電気的特性に及ぼす影響について明らかにする必要がある。

表 1.2 に、これまでに報告されている、 $n$  型ドーパントの中で最も固溶限の高い P を用いた Ge および Ge<sub>1-x</sub>Sn<sub>x</sub> 層への P ドーピングの報告例を示す[34, 35, 37-42]。イオン注入法は現在の Si CMOS 技術において最も一般的に用いられているドーピング手法である。Ge の場合は、イオン注入後に再結晶化と不純物活性化のために、 $600^\circ\text{C}$  程度の熱処理が必要とされる[34, 35]。この手法により、電子密度  $5 \sim 6 \times 10^{19} \text{ cm}^{-3}$  の  $n$  型 Ge が達成されているが、熱処理した後も、イオン注入時に導入される欠陥により、 $pn$  接合特性の劣化が懸念される[36]。

一方、CVD 法による *in situ* ドーピングも、イオン注入法と同様、従来の CMOS プロセスとの親和性が高い。この手法は、Ge および不純物ドーパントプリカーサの同時供給により、所望の不純物ドーパ Ge 層を形成可能である。イオン注入法と比較して、後熱処理を必要としないためプロセス温度の低減を可能とする。そのため、*in situ* ドーピングにより拡散係数の高い  $n$  型ドーパントの拡散を抑制しつつ、S/D 領域へのエピタキシャル Ge 層形成が期待される。これまで、Ge プリカーサとして germane (GeH<sub>4</sub>) あるいは digermane (Ge<sub>2</sub>H<sub>6</sub>)、P プリカーサとして phosphine (PH<sub>3</sub>) を用いて、成長温度を  $400^\circ\text{C}$  以下に低減しつつ、Ge 上に  $6 \sim 7 \times 10^{19} \text{ cm}^{-3}$  の電子密度を有する  $n$  型 Ge エピタキシャル層が実現されている[37, 38]。Ge<sub>1-x</sub>Sn<sub>x</sub> 層に対しても、これまで、CVD 用の Ge プリカーサとして germane 系、Sn プリカーサとして水素化合物あるいは塩素化合物、P プリカーサは phosphine やその化合物を用いた *in situ* ドーピン

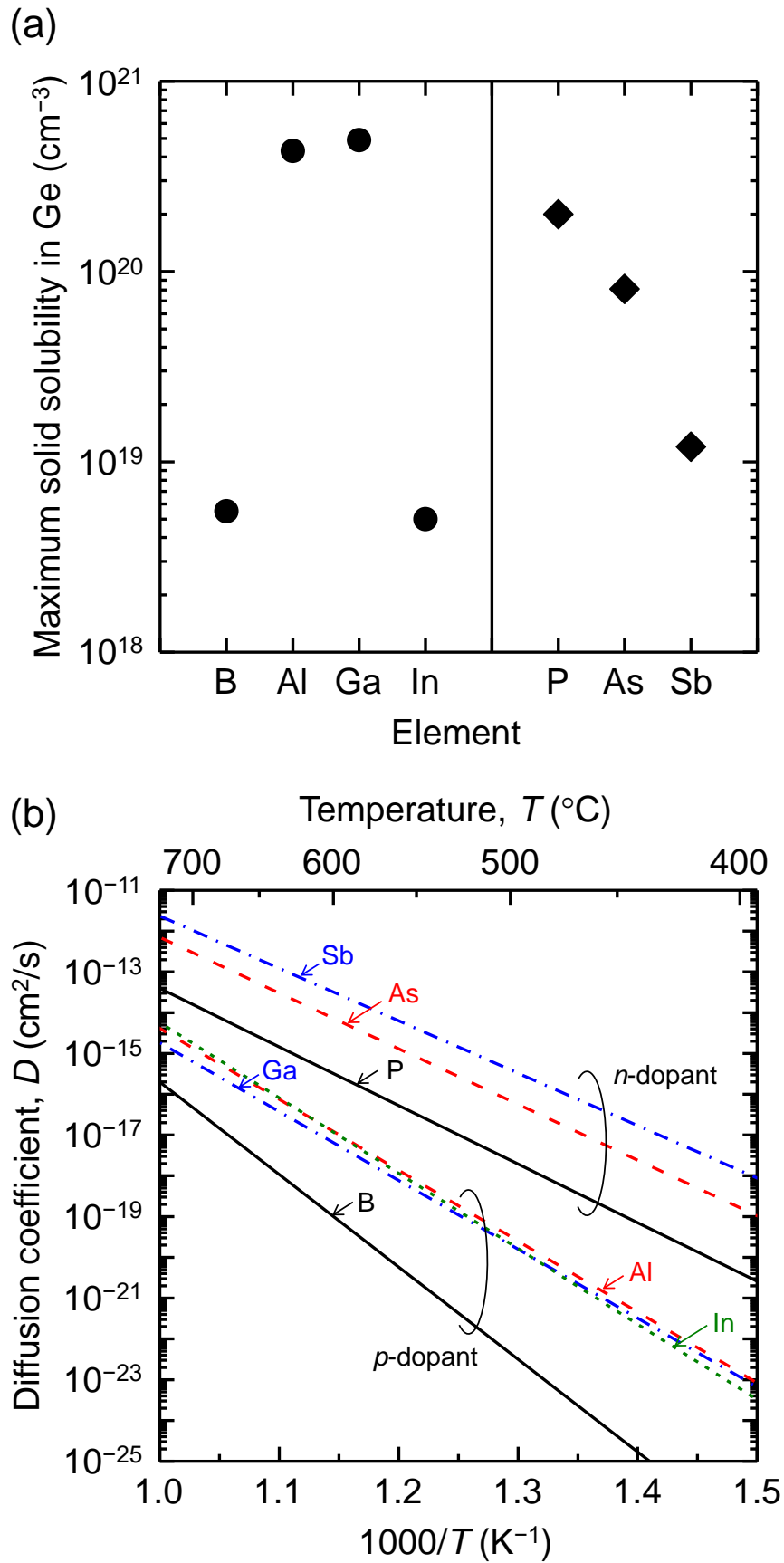


図 1.10: Ge 中の  $p$  型および  $n$  型ドーパントの (a) 平衡固溶限の最大値および (b) 拡散係数の温度依存性。

グによって、 $8 \times 10^{19} \text{ cm}^{-3}$  に迫る電子密度を有する  $n$  型  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層が報告されている[39-42]。

本研究では、高濃度  $n$  型  $\text{Ge}_{1-x}\text{Sn}_x$  層の形成に向けて、これまでの研究報告と同様に、 $n$  型ドーパントとして Ge 中の固溶限が最も高い P を用いた CVD 法による *in situ* ドーピングに着目した。実際の半導体プロセス工程では、CVD 法によるエピタキシャル成長が一般的に用いられている。一軸圧縮ひずみ Ge チャンネル実現に向けた  $\text{Ge}_{1-x}\text{Sn}_x$  S/D 形成のためには、選択成長技術が不可欠である。基板への物理吸着により膜を形成する MBE 法では選択成長は極めて困難だが、基板表面の化学反応により膜を形成する CVD 法では、表面反応の選択性制御によって選択成長が可能である。これまで述べたように、CVD 法による  $\text{Ge}_{1-x}\text{Sn}_x$  成長については既に多くの報告があるが、その多くは水素化合物や塩素化合物原料を使用している。Ge プリカーサとしては germane 系、Sn プリカーサとしては  $\text{SnD}_4$  や  $\text{SnCl}_4$  が用いられている。特に Sn プリカーサにおいては、 $\text{SnD}_4$  は自己分解速度が大きく不安定であること[43]、 $\text{SnCl}_4$  は膜中への Cl 残留や作製膜に対するエッチング作用の懸念が残されており[44]、未だ確定されていない。このように、これまで報告されている  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶成長に関しては、水素化合物あるいは塩素化合物原料の安全性・安定性の問題や、反応性の高い塩素系原料の副生成物がデバイスや装置にダメージを与えるなど、原料探索および成膜手法構築の段階で未だ議論の余地が残されている。

化合物半導体の結晶成長で一般的に用いられる有機金属原料は無機系原料に比べ比較的安全性が高いといわれる。有機金属原料を用いた CVD 法は特に MOCVD (Metal-Organic CVD) 法と呼ばれる。プロセス工程の安全性、安定性を高めるためには、この手法による  $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサ形成技術の確立が重要である。

MOCVD 法を用いた Ge 層形成に関しては、これまで様々な Ge プリカーサについての報告例がある。Avigal らは、Ge プリカーサとして tetra-methyl-germane (TMGe) あるいは tetra-ethyl-germane (TEGe) を用いて、成長温度  $700^\circ\text{C}$  以上において Ge(111) 基板上にエピタキシャル Ge 層の形成に成功した[45]。また、Boucham らによって、TEGe を用いて、成長温度  $500^\circ\text{C}$  以上での Ge 層の形成が確認された[46]。Bosi らは Ge プリカーサとして iso-butyl-germane (iBGe) を用いて、成長温度  $500\sim 600^\circ\text{C}$  にお



いて Ge(001)基板上にエピタキシャル Ge 層の形成を実現した[47]。さらに、Jakomin らの報告では、iBGe と arsine ( $\text{AsH}_3$ ) を用いた *in situ* ドーピングによって、 $\langle 111 \rangle$  方向に対して  $6^\circ$  のオフ角を有する Ge(001)基板上に電子密度  $3 \times 10^{19} \text{ cm}^{-3}$  (成長温度  $670^\circ\text{C}$ ) [48]、InGaAs 薄膜上に電子密度  $2.2 \times 10^{19} \text{ cm}^{-3}$  (成長温度  $650^\circ\text{C}$ ) [49] を有する  $n$  型 Ge エピタキシャル層が実現された。いずれも、 $500^\circ\text{C}$  以上の比較的高温での Ge 成長であったが、近年では、tertiary-butyl-germane (TBGe) を用いて成長温度を  $360^\circ\text{C}$  以下に低減した Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の成長についても報告されている[50-54]。Suda らは、TBGe および Sn プリカーサとして tetra-ethyl-tin (TESn) を用いて、成長温度  $360^\circ\text{C}$  において Ge(001)基板上への Sn 組成 2% の  $\text{Ge}_{1-x}\text{Sn}_x$  層エピタキシャル成長について報告している[51]。また、我々は、TBGe および tri-butyl-vinyl-tin (TBVSn) を用いて、成長温度  $300^\circ\text{C}$  において Ge(001)基板上に Sn 組成 5.1% を有する  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長を実現した[53]。さらに、我々は同様の原料を用いて、成長温度  $300\sim 400^\circ\text{C}$  において、 $\text{SiO}_2/\text{Si}$  パターニング基板上へ Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層 (Sn 組成  $\sim 1\%$ ) の選択成長を実証した[54]。このように、MOCVD 法を用いて、成長温度を  $400^\circ\text{C}$  以下に低減した Ge、および固溶限を超えた Sn 組成を有する  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶成長に関する研究成果が報告されている。一方で、MOCVD 法による高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の低温形成についてはほとんど報告されていない。これまで、Jakomin らによって iBGe および  $\text{AsH}_3$  を用いた高濃度  $n$  型 Ge 層の形成が報告されているが[48, 49]、成長温度が  $650^\circ\text{C}$  と高く、高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  S/D 形成への適用は困難と考えられる。したがって、一軸圧縮ひずみ Ge チャネルのための  $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサの形成に向けて、成長温度を低減した MOCVD 法を用いた *in situ* ドーピングによる、高濃度  $n$  型  $\text{Ge}_{1-x}\text{Sn}_x$  層 (電子密度  $\sim 1 \times 10^{20} \text{ cm}^{-3}$ 、Sn 組成 5%) の結晶成長技術の確立が要求される。

表 1.2: P ドープ Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の形成に関する主な報告例。電子密度の測定手法については、SRP (Spreading Resistance Profiling): 広がり抵抗測定法、Hall: Hall 効果測定、MHE (Micro Hall Effect): マイクロ Hall 効果測定、SE (Spectroscopic Ellipsometry): 分光エリプソメトリ法を表す。

Method	Thin film	Electron concentration ( $\text{cm}^{-3}$ )	Process temperature ( $^{\circ}\text{C}$ )	Precursor
Ion Implantation	Ge	$5\sim6\times10^{19}$ [SRP]	600	P <sup>[34, 35]</sup>
	Ge	$7\times10^{19}$ [SRP]	400	$\text{GeH}_4$ , $\text{PH}_3$ <sup>[37]</sup>
	Ge	$6.2\times10^{19}$ [MHE]	320	$\text{Ge}_2\text{H}_6$ , $\text{PH}_3$ <sup>[38]</sup>
<i>In situ</i> doping by CVD	$\text{GeSn}_{5\sim9\%}$	$\sim 5\times10^{19}$ [Not mentioned]	< 400	$\text{GeH}_4$ , $\text{SnCl}_4$ , $\text{PH}_3$ <sup>[39]</sup>
	$\text{GeSn}_{2\%}$	$1.9\times10^{19}$ [Hall]	350	$\text{Ge}_2\text{H}_6$ , $\text{SnD}_4$ , $\text{PH}_3$ or $\text{P}(\text{GeH}_3)_3$ <sup>[40]</sup>
	$\text{GeSn}_{8\%}$	$7.5\times10^{19}$ [Not mentioned]	375	$\text{Ge}_2\text{H}_6$ , $\text{SnCl}_4$ , $\text{PH}_3$ <sup>[41]</sup>
	$\text{GeSn}_{5\sim9\%}$	$3\times10^{19}$ [Hall, SE]	295~325	$\text{Ge}_3\text{H}_8$ , $\text{SnD}_4$ , $\text{P}(\text{GeH}_3)_3$ <sup>[42]</sup>

### 1.1.4 局所ひずみ解析手法

一軸圧縮ひずみ Ge チャネル MOSFET 実現に向けて、 $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサの形成技術だけではなく、ストレッサ内部の結晶構造や Ge チャネルに印加されるひずみ構造を評価し、MOSFET の構造設計指針およびひずみ制御技術を構築しなければならない。

表 1.3 に、サブミクロンからナノメートルオーダの空間分解能を有するひずみ解析手法の代表的な例に示す。これらは原理上、顕微ラマン分光、透過電子回折および X 線回折の 3 種類に分類される。顕微ラマン分光は、非破壊測定が可能だが、構造内部に埋もれたひずみの測定は困難である。また、比較的表面敏感な測定であり、ひずみ成分の分解には励起光の偏光が必要とされる。透過電子回折によるひずみ解析は他の手法に比べて空間分解能が高い点が特長である。しかし、この手法は破壊測定であるため、試料の薄片化に伴うひずみ緩和が懸念される。X 線回折は、これらの中で最もひずみ分解能が高い。また、非破壊で結晶格子の面間隔を評価するため、構造内部に埋もれたひずみを直接観察可能であり、かつひずみ成分の分解が比較的容易である。

本研究では、 $1\text{ }\mu\text{m}$  以下の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  細線試料内部の局所ひずみを解明するために、ひずみ分解能と空間分解能双方の高さが要求される。一般的な X 線回折の空間分解能はサブミリメートルオーダで、サブミクロン領域のひずみ評価は困難である。しかし、近年、放射光を光源とした高輝度マイクロビームを用いた X 線回折 (X 線マイクロ回折) によって、高いひずみ分解能を維持しながらサブミクロンオーダの空間分解能でひずみ解析が可能となった[55, 56]。Mochizuki らは、マイクロ回折測定によって  $\text{Si}_{1-x}\text{Ge}_x$  ヘテロエピタキシャル薄膜内のサブミクロン領域における局所的な結晶構造を明らかにした[57]。他の研究グループからは、埋め込み  $\text{Si}_{1-x}\text{Ge}_x$  および  $\text{Si}_{1-x}\text{C}_x$  に挟まれた Si チャネル領域の局所ひずみ評価についても報告されており[58-60]、非破壊測定が可能なマイクロ回折法がサブミクロンオーダ領域の局所ひずみ評価手法の一つとして注目されている。一方で、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層をストレッサとした Ge チャネル領域の局所ひずみ評価については、NBD を用いた報告が 1 報あるのみで[61]、それ以外の先行報告はない。

表 1.3: 代表的なひずみ解析手法とその特徴

Methods	Strain resolution	Spatial resolution	Features
Micro Raman spectroscopy	$0.05 \text{ cm}^{-1}$ ( $\epsilon \sim 5 \times 10^{-5}$ )	$\sim 100 \text{ nm}$	<ul style="list-style-type: none"> <li>• Non-destructive</li> <li>• Surface sensitive</li> <li>• Difficult to separate strain component</li> </ul>
Convergent beam electron diffraction (CBED)	$\epsilon \sim 2 \times 10^{-4}$	$\sim 100 \text{ nm}$	<ul style="list-style-type: none"> <li>• Complicated preparation of micro specimen (Destructive)</li> <li>• Possibility of strain relaxation during sample preparation</li> </ul>
Nano-beam diffraction (NBD)	$\epsilon \sim 10^{-3}$	$\sim 10 \text{ nm}$	
X-ray diffraction (XRD)		$\sim 1 \text{ mm}$	<ul style="list-style-type: none"> <li>• Non-destructive measurement in embedded structure</li> <li>• Direct measurement of reciprocal space structures</li> </ul>
X-ray microdiffraction	$\epsilon < 10^{-5}$	$\sim 100 \text{ nm}$	<ul style="list-style-type: none"> <li>• (Separating strain component)</li> <li>• Low spatial resolution in conventional XRD system</li> </ul>

### 1.2 本研究の目的

IV 族混晶半導体を用いた、高移動度チャネル材料およびひずみ技術を融合した、さらなる高速動作・低消費電力 CMOS 実現が期待される。本研究は、一軸ひずみ Ge チャネル MOSFET 実現に向けた、Ge 系 IV 族混晶半導体のヘテロエピタキシャル成長、結晶構造および電子物性の制御を目的とした。

具体的には、一軸圧縮ひずみ Ge チャネル MOSFET 実現のために、 $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサの可能性を探るとともに、S/D 領域の低抵抗化に向けた不純物制御を目的とした。 $\text{Ge}_{1-x}\text{Sn}_x$  S/D 領域の低抵抗化のための不純物制御技術の構築に向けて、低温成長かつ電子密度  $1 \times 10^{20} \text{ cm}^{-3}$  に迫る高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の実現を目指し、MOCVD 法による *in situ* P ドーピングを検討した。ひずみ Ge チャネル MOSFET の設計指針として、 $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサ層の Sn 組成および Ge チャネル幅が、実際に印加されるひずみに対する依存性を明らかにする必要がある。S/D 領域への  $\text{Ge}_{1-x}\text{Sn}_x$  層 (Sn 組成 5%以上) の局所エピタキシャル成長および局所ひずみ評価技術の確立を目指した。また、一軸伸張ひずみ Ge チャネル MOSFET に向けた  $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサの低温形成および電子物性の解明を目的とした。数 nm オーダの微細チャネル領域に対して  $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサを形成するためには、 $600^\circ\text{C}$  以下での低温成長技術の確立が要求されている。CVD 用の新規プリカーサ材料の導入による成長温度の低減を図り、低温成長  $\text{Si}_{1-x}\text{Ge}_x$  層の結晶性および電気的活性な欠陥について詳細に調査した。

### 1.3 本研究の概要

第2章では、本研究における試料作製方法、および試料の評価手法について述べる。第3章では MOCVD 法を用いた *in situ* P ドーピングによる  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長および電気的特性について述べる。第4章では、ひずみ Ge 細線/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  試料を作製し、放射光マイクロ回折法を用いた局所ひずみ構造解析について述べる。第5章では、CVD 用新規プリカーサ導入によって低温成長した  $\text{Si}_{1-x}\text{Ge}_x$  層の結晶性および電気的欠陥について述べる。最後に、第6章において本研究の成果をまとめ、今後の課題について述べる。

## 1.4 参考文献

- [1] 総務省 総合通信基盤局, 我が国のインターネットにおけるトラフィックの集計結果 (平成 27 年 11 月分) , (2015).
- [2] グリーン IT 推進協議会, グリーン IT 推進協議会 調査分析委員会 総合報告書 (2008 年度～2012 年度) , (2013).
- [3] International Technology Roadmap for Semiconductors (ITRS) [<http://www.itrs2.net/>].
- [4] Intel 社ウェブページ.
- [5] 財満鎮明, 応用物理 **81**, 3-14 (2012).
- [6] 杉井寿博, 応用物理 **72**, 1121-1129 (2003).
- [7] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, IEDM Tech. Dig., 11.6.1-11.6.3 (2003).
- [8] D. Antoniadis and A. Khakifirooz, IEEE IEDM, 253-256 (2008).
- [9] S. Thompson, S. Suthram, Y. Sun, G. Sun, S. Parthasarathy, M. Chu, and T. Nishida, Tech. Dig. IEEE. IEDM, 1-4 (2006).
- [10] C. Auth, C. Allen, A. Blattner, D. Bergstrom, M. Brazier, M. Bost, M. Buehler, V. Chikarmane, T. Ghani, T. Glassman, R. Grover, W. Han, D. Hanken, M. Hattendorf, P. Hentges, R. Heussner, J. Hicks, D. Ingerly, P. Jain, S. Jaloviar, R. James, D. Jones, J. Jopling, S. Joshi, C. Kenyon, H. Liu, R. McFadden, B. McIntyre, J. Neiryneck, C. Parker, L. Pipes, I. Post, S. Pradhan, M. Prince, S. Ramey, T. Reynolds, J. Roesler, J. Sandford, J. Seiple, P. Smith, C. Thomas, D. Towner, T. Troeger, C. Weber, P. Yashar, K. Zawadzki, and K. Mistry, VLSI Tech. Dig., 131-132 (2012).
- [11] 久本大, 応用物理 **72**, 1136-1142 (2003).
- [12] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka, and N. Sugiyama, IEEE Trans. Electron Dev. **55**, 21-39 (2008).

- [13] Y.-J. Yang, W. S. Ho, C.-F. Huang, S. T. Chang, and C. W. Liu, *Appl. Phys. Lett.* **91**, 102103 (2007).
- [14] T. Krishnamohan, D. Kim, T. Dinh, A. Pham, B. Meinerzhagen, C. Jungemann, and K. Saraswat, *Proc. IEDM*, 899-902 (2008).
- [15] K. J. Kuhn, A. Murthy, R. Kotlyar, and M. Kuhn, *ECS Trans.* **33**(6), 3-17 (2010).
- [16] G. Wang, E. Rosseel, R. Loo, P. Favia, H. Bender, M. Caymax, M. M. Heyns, and W. Vandervorst, *J. Appl. Phys.* **108**, 123517 (2010).
- [17] A. Hikavy, I. Zyul'kov, H. Mertens, L. Witters, R. Loo, and N. Horiguchi, *Mater. Sci. Semicond. Process.*, *in press* [<http://dx.doi.org/10.1016/j.mssp.2016.10.044>].
- [18] B. Vincent, Y. Shimura, S. Takeuchi, T. Nishimura, G. Eneman, A. Firrincieli, J. Demeulemeester, A. Vantomme, T. Clarysse, O. Nakatsuka, S. Zaima, J. Dekoste, M. Caymax, and R. Loo, *Microelectron. Eng.* **88**, 342-346 (2011).
- [19] G. Eneman, D.P. Brunco, L. Witters, B. Vincent, P. Favia, A. Hikavy, A. De Keersgieter, J. Mitard, R. Loo, A. Veloso, O. Richard, H. Bender, S.H. Lee, M. Van Dal, N. Kabir, W. Vandervorst, M. Caymax, N. Horiguchi, N. Collaert, and A. Thean, *IEDM*, 6.5.1-6.5.4 (2012).
- [20] Y. Shimura, S. Takeuchi, O. Nakatsuka, A. Sakai, and S. Zaima, *Solid-State Electron.* **60**, 84-88 (2011).
- [21] Y. Shimura, S. Takeuchi, O. Nakatsuka, and S. Zaima, *ECS Trans.* **33**, 205-210 (2010).
- [22] T. Asano, S. Kidowaki, M. Kurosawa, N. Taoka, O. Nakatsuka, and S. Zaima, *Thin Solid Films* **531**, 504-508 (2013).
- [23] R. Loo, B. Vincent, F. Gencarelli, C. Merckling, A. Kumar, G. Eneman, L. Witters, W. Vandervorst, M. Caymax, M. Heyns, and A. Thean, *ECS J. Solid State Sci. Technol.* **2**, N35-N40 (2013).
- [24] M. Bauer, J. Taraci, J. Tolle, A.V.G. Chizmeshya, S. Zollner, D.J. Smith, J. Menendez, C. Hu, and J. Kouvetakis, *Appl. Phys. Lett.* **81**, 2992 (2002).
- [25] R.R. Lieten, J.W. Seo, S. Decoster, A. Vantomme, S. Peters, K.C. Bustillo, E.E. Haller, M. Menghini, and J.-P. Locquet, *Appl. Phys. Lett.* **102**, 052106 (2013).

- [26] L. Hutin, C. Le Royer, C. Tabone, V. Delaye, F. Nemouchi, F. Aussenac, L. Clavelier, and M. Vinet, *J. Electrochem. Soc.* **156**(7), H522-H527 (2009).
- [27] V. S. S. Srinivasan, I. A. Fischer, L. Augel, A. Hornung, R. Koerner, K. KostECKi, M. Oehme, E. Rolseth, and J. Schulze, *Semicond. Sci. Technol.* **31**, 08LT01 (2016).
- [28] H. Miyoshi, T. Ueno, Y. Hirota, J. Yamanaka, K. Arimoto, K. Nakagawa, and T. Kaitsuka, *Jpn. J. Appl. Phys.* **53**, 04EA05 (2014).
- [29] E. Simoen, A. Satta, A. D'Amore, T. Janssens, T. Clarysse, K. Martens, B. D. Jaeger, A. Benedetti, I. Hoflijk, B. Brijs, M. Meuris, and W. Vandervorst, *Mater. Sci. Semicond. Process.* **9**, 634-639 (2006).
- [30] C. Claeys and E. Simoen, *Germanium-Based Technologies: From Materials to Devices*, Elsevier, Chapter 3 - Diffusion and Solubility of Dopants in Germanium, 67-96 (2007).
- [31] S. Brotzmann and H. Bracht, *J. Appl. Phys.* **103**, 033508 (2008).
- [32] S. Uppal, A. F. W. Willoughby, J. M. Bonar, A. G. R. Evans, N. E. B. Cowern, R. Morris, and M. G. Dowsett, *J. Appl. Phys.* **90**, 4293-4295 (2001).
- [33] M. Friesel, U. Södervall, and W. Gust, *J. Appl. Phys.* **78**, 5351-5355 (1995).
- [34] C. O. Chui, L. Kulig, J. Moran, W. Tsai, and K. C. Saraswat, *Appl. Phys. Lett.* **87**, 091909 (2005).
- [35] A. Satta, T. Janssens, T. Clarysse, E. Simoen, M. Meuris, A. Benedetti, I. Hoflijk, B. De Jaeger, C. Demeurisse, and W. Vandervorst, *J. Vac. Sci. Technol. B* **24**, 494-498 (2006).
- [36] M. Takenaka, K. Morii, M. Sugiyama, Y. Nakano, and S. Takagi, *Opt. Express* **20**, 8718-8725 (2012).
- [37] Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, A. Sakai, and T. Tezuka, *Appl. Phys. Express* **7**, 106501 (2014).
- [38] Y. Shimura, S. A. Srinivasan, D. V. Thourhout, R. V. Deun, M. Pantouvaki, J. V. Campenhout, and R. Loo, *Thin Solid Films* **602**, 56-59 (2016).
- [39] J. Margetis, A. Mosleh, S. A. Ghetmiri, S. Al-Kabi, W. Dou, W. Du, N. Bhargava, S.-Q. Yu, H. Profijt, D. Kohen, R. Loo, A. Vohra, and J. Tolle, *Mater. Sci. Semicond. Process.*, *in press* [<http://dx.doi.org/10.1016/j.mssp.2016.12.024>].



- [40] J. Xie, J. Tolle, V. D’Costa, C. Weng, A. Chizmeshya, J. Menendez, and J. Kouvetakis, *Solid-State Electron.* **53**, 816-823 (2009).
- [41] D. Stange, N. von den Driesch, D. Rainko, C. Schulte-Braucks, S. Wirths, G. Mussler, A. T. Tiedemann, T. Stoica, J. M. Hartmann, Z. Ikonc, S. Mantl, D. Grützmacher, and D. Buca, *Opt. Express* **24**, 1358-1367 (2016).
- [42] C. L. Senaratne, J. D. Gallagher, T. Aoki, J. Kouvetakis, and J. Menéndez, *Chem. Mater.* **26**, 6033-6041 (2014).
- [43] R. F. Spohn and C. B. Richenberg, *ECS Trans.* **50**, 921-927 (2013).
- [44] J. Lu, J. Sundqvist, M. Ottosson, A. Tarre, A. Rosental, J. Aarik, and A. Hårsta, *J. Cryst. Growth* **260**, 191-200 (2004).
- [45] Y. Avigal, D. Itzhak, and M. Schieber, *J. Electrochem. Soc.* **122**(9), 1226-1229 (1975).
- [46] J. E. Boucham, F. Maury, and R. Morancho, *J. Anal. Appl. Pyrol.* **44**, 153-165 (1998).
- [47] M. Bosi, G. Attolini, C. Ferrari, C. Frigeri, J. R. Herrera, E. Gombia, C. Pelosi, and R. Peng, *J. Cryst. Growth* **310**, 3282-3286 (2008).
- [48] R. Jakomin, G. Beaudoin, N. Gogneau, B. Lamare, L. Largeau, O. Mauguin, and I. Sagnes, *Thin Solid Films* **519**, 4186-4191 (2011).
- [49] R. Jakomin, M. de Kersauson, M. El Kurdi, L. Largeau, O. Mauguin, G. Beaudoin, S. Sauvage, R. Ossikovski, G. Ndong, M. Chaigneau, I. Sagnes, and P. Boucaud, *Appl. Phys. Lett.* **98**, 091901 (2011).
- [50] K. Suda, S. Ishihara, N. Sawamoto, H. Machida, M. Ishikawa, H. Sudoh, Y. Ohshita, and A. Ogura, *Jpn. J. Appl. Phys.* **53**, 110301 (2014).
- [51] K. Suda, S. Ishihara, N. Sawamoto, H. Machida, M. Ishikawa, H. Sudoh, Y. Ohshita, and A. Ogura, *ECS Trans.* **64**(6), 697-701 (2014).
- [52] Y. Inuzuka, S. Ike, T. Asano, W. Takeuchi, N. Taoka, O. Nakatsuka, and S. Zaima, *ECS Solid State Lett.* **4**(8), P59-P61 (2015).
- [53] Y. Inuzuka, S. Ike, T. Asano, W. Takeuchi, O. Nakatsuka, and S. Zaima, *Thin Solid Films* **602**, 7-12 (2016).
- [54] T. Washizu, S. Ike, Y. Inuzuka, W. Takeuchi, O. Nakatsuka, and S. Zaima, *J. Cryst.*

- Growth, *in press* [<http://dx.doi.org/10.1016/j.jcrysgro.2016.10.013>].
- [55] J. Matsui, Y. Tsusaka, K. Yokoyama, S. Takeda, M. Urakawa, Y. Kagoshima, and S. Kimura, *J. Cryst. Growth* **317**, 237-239 (2002).
- [56] S. Takeda, S. Kimura, O. Sakata, and A. Sakai, *Jpn. J. Appl. Phys.* **45**, L1054 (2006).
- [57] S. Mochizuki, A. Sakai, N. Taoka, O. Nakatsuka, S. Takeda, S. Kimura, M. Ogawa, and S. Zaima, *Thin Solid Films* **508**, 128-131 (2006).
- [58] A. Parikh, W. Yarbrough, M. Mason, S. Sridhar, P. R. Chidambaram, and Z. Cai, *Appl. Phys. Lett.* **90**, 172117 (2007).
- [59] A. Parikh and Z. Cai, *J. Appl. Phys.* **110**, 064301 (2011).
- [60] Conal E. Murray, Z. Ren, A. Ying, S.M. Polvino, I.C. Noyan, and Z. Cai, *Appl. Phys. Lett.* **94**, 063502 (2009).
- [61] R. Bühler, G. Eneman, P. Favia, H. Bender, B. Vincent, A. Hikavy, R. Loo, J. A. Martino, C. Claeys, E. Simoen, N. Collaert, and A. Thean, *Phys. Status Solidi C* **11**, 1578-1582 (2014).



## 第2章 試料作製および評価手法

### 2.1 化学気相成長法

#### 2.1.1 化学気相成長法の概要

化学気相成長法（CVD: Chemical Vapor Deposition）とは、ガス状原料の供給と化学反応を制御して、所望の薄膜を形成する手法であり、選択的な膜堆積や結晶成長が可能なことから、集積回路や薄膜デバイスの製造プロセスでは基幹技術として広く用いられている。CVD 法は化学反応に必要なエネルギーの与え方によって分類され、本研究では最も基本的な、基板加熱によりエネルギーを与える熱 CVD 法を用いた。

熱 CVD 法の制御パラメータは、原料、ガス組成、ガス圧力および堆積温度が挙げられる。原料は所望の膜や原料の安全性により決定される。ガス組成、ガス圧力、堆積温度は膜の堆積速度や均一性に影響を与える。原料のうち、特に有機金属化合物を扱う CVD 法は、有機金属化学気相成長法（MOCVD: Metal-Organic CVD）と呼ばれる。

#### 2.1.2 基板表面の清浄化

Si および Ge 基板の表面清浄化方法について述べる。Si 基板については、まず超純水中で 10 分間のオーバーフローリンス後、40 °C に加熱した  $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:6:20$  の化学溶液中に 15 分間浸漬した。これにより、Si 基板表面に存在するパーティクルおよび有機物が除去される。その後、超純水中で 10 分間のオーバーフローリンスを行った。次に、室温にて、1%HF 希釈溶液中に Si 基板を浸漬し、基板表面を水素終端した。再度、超純水中でオーバーフローリンスした後、 $\text{N}_2$  ブローで基板を乾燥した。

Ge 基板については、まず超純水中で 10 分間のオーバーフローリンス後、室温にて  $\text{NH}_4\text{OH}:\text{H}_2\text{O}=1:4$  の化学溶液中に 5 分間浸漬した。次に、超純水中で 10 分間のオーバーフローリンス後、室温にて、 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}=1:7$  の化学溶液中に 2 分間浸漬した。再度、超純水中で 10 分間のオーバーフローリンスを行った。これらにより、Ge 基板表面に存在するパーティクル、有機物および重金属が取り除かれる。最後に、 $\text{N}_2$  ブローによ

り基板を乾燥した。

上記の化学洗浄後、速やかに CVD チャンバーに導入した。2.4 kPa に減圧した水素雰囲気中にて、Si 基板は 1000 °C で 15 分間、Ge 基板は 600 °C で 10 分間の熱処理により基板表面の脱ガスを行い、清浄表面を得た。

### 2.1.3 実験装置

本研究で使用した MOCVD 装置の概略図を図 2.1 に示す。この装置は、成膜室、基板交換室およびロードロック室の 3 つのチャンバーで構成されている。成膜時に基板周辺のみを加熱し、チャンバー壁面の温度は低温に保たれるコールドウォール型である。基板交換室とロードロック室は、ゲートバルブによって隔てられており、マグネティックトランスファーロードによって試料ホルダを搬送する。試料導入時には、ロードロック室を大気圧からスクロールポンプで粗排気し、その後ターボ分子ポンプによって真空排気する。ロードロック室の真空度が  $1 \times 10^{-3}$  Pa 以下に到達した後、石英製の試料ホルダをロードロック室から基板交換室のカーボン支持台へ搬送し、真空度が  $5 \times 10^{-5}$  Pa 以下に達するまでターボ分子ポンプで真空排気する。その後、マニピュレータによって成膜室へ搬送する。試料ホルダを成膜室に搬送した際に成膜室と基板交換室間は遮断される。成膜室の排気は、ドライポンプによって行われ、成膜室の真空度は背圧コントローラによって大気圧まで制御できる。基板加熱は、高周波誘導加熱装置によって行い、カーボン支持台内部に組み込まれた熱電対によって基板温度を測定する。成膜中は基板ホルダを回転させ、膜の面内均一性を向上させた。

有機金属原料は、原料温度を一定に保ちながら  $N_2$  をキャリアガスとしたバブリングによって成膜室に供給した。バブリングガスおよびキャリアガスの流量は、マスフローコントローラで制御される。また、Ge、Sn、P それぞれで原料温度およびバブリングガス流量を独立に制御可能である。

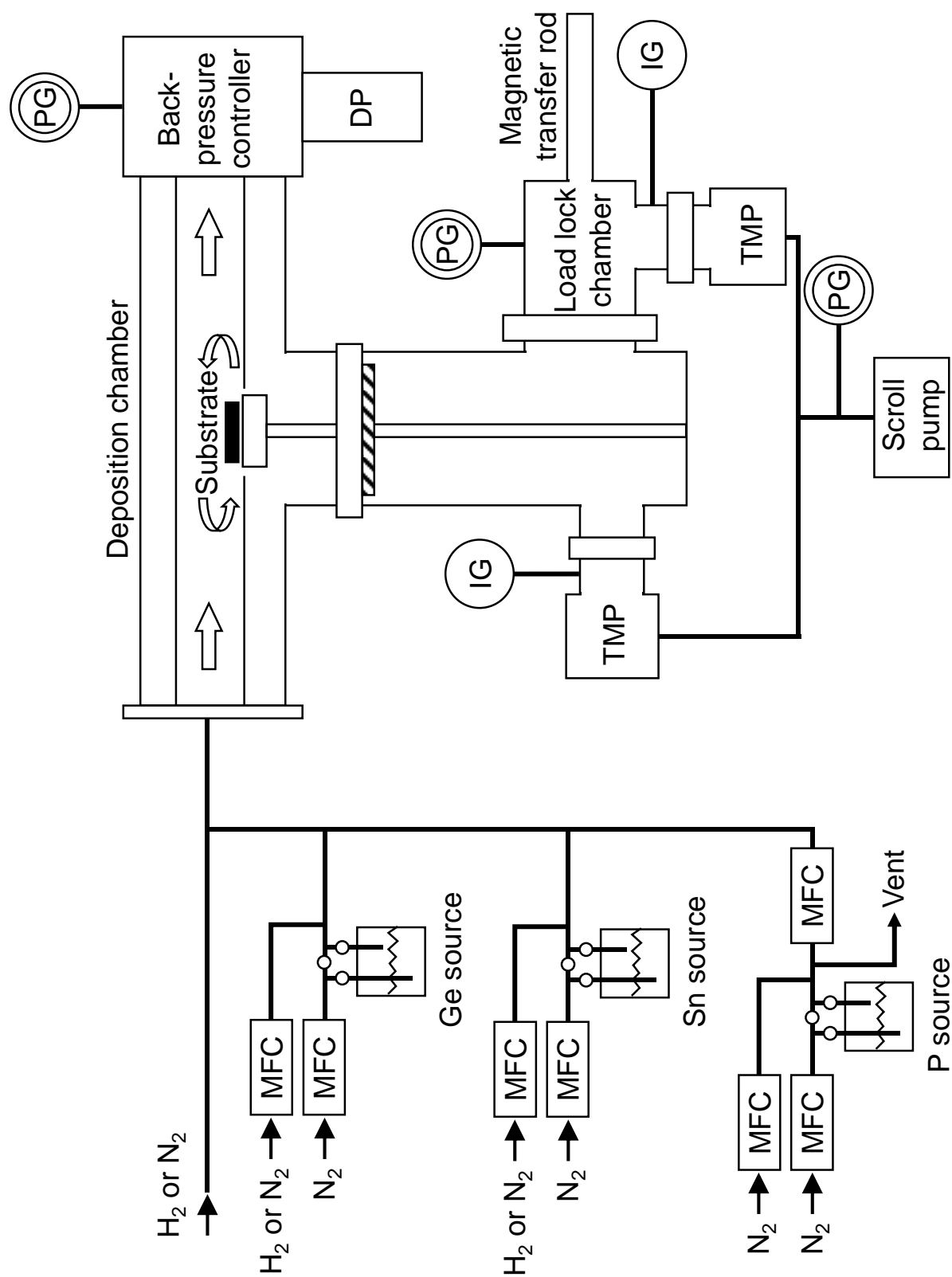


図 2.1: 本研究で用いた MOCVD 装置の概略図。

## 2.2 X線回折法

### 2.2.1 X線回折 2次元逆格子空間マッピング測定

IV 族混晶薄膜のひずみ緩和および結晶性評価には、X線回折 2次元逆格子空間マッピング (XRD-2DRSM: X-ray Diffraction 2-Dimensional Reciprocal Space Mapping) が可能な X線回折装置 (Phillips 社製 X'Pert PRO MRD) を使用した。装置の光学系配置図を図 2.2 (a) に示す。フィラメント (フィラメント電流 40 mA) と X線源である Cu との間に高電圧 (45 kV) を印加し、放出された特性 X線 (Cu K $\alpha$ 1,  $\lambda=0.154056$  nm) は X線ミラーによって集光される。集光された X線は 4 結晶配置 Ge モノクロメータによって単色化されたのち、試料に照射される。

入射波の波数ベクトル  $\mathbf{k}$  と散乱波の波数ベクトル  $\mathbf{k}'$  との成す角を  $2\theta$  とする。また、試料台の各回転軸を図 2.2 (b) に示す。(001)基板を用いた XRD-2DRSM 測定では、入射波数ベクトル  $\mathbf{k}$  を [110] 軸に沿って入射する。このとき、(001)面と入射波数ベクトル  $\mathbf{k}$  との成す角を  $\omega$ 、[110]軸を回転軸とした回転角を  $\chi$ 、(001)面内の回転角を  $\phi$  とする。

図 2.3 (a) に XRD-2DRSM の実空間での測定原理図を示す。図 2.3 (a) において紙面を測定試料の(110)面とすると、この面内に  $\mathbf{k}$  および  $\mathbf{k}'$  が存在する。図 2.3 (b) に図 2.3 (a) に対応する逆格子空間での測定原理図を示す。図 2.3 (b) 中で  $\omega$  と  $2\theta$  を変化させることによって逆格子空間上をマッピング可能である。また、 $\omega$  および  $2\theta$  を用いて逆格子空間  $Q_x, Q_z$  を定義でき、その関係は(2.1)式で表される。

$$\begin{aligned} Q_x &= 1/d_{hkl} = \lambda^{-1} [\cos \omega - \cos(2\theta - \omega)] \\ Q_z &= 1/d_{hkl} = \lambda^{-1} [\sin \omega + \sin(2\theta - \omega)] \end{aligned} \quad (2.1)$$

ここで、 $\lambda$  は X線の波長、 $d_{hkl}$  は(hkl)面の面間隔を表す。

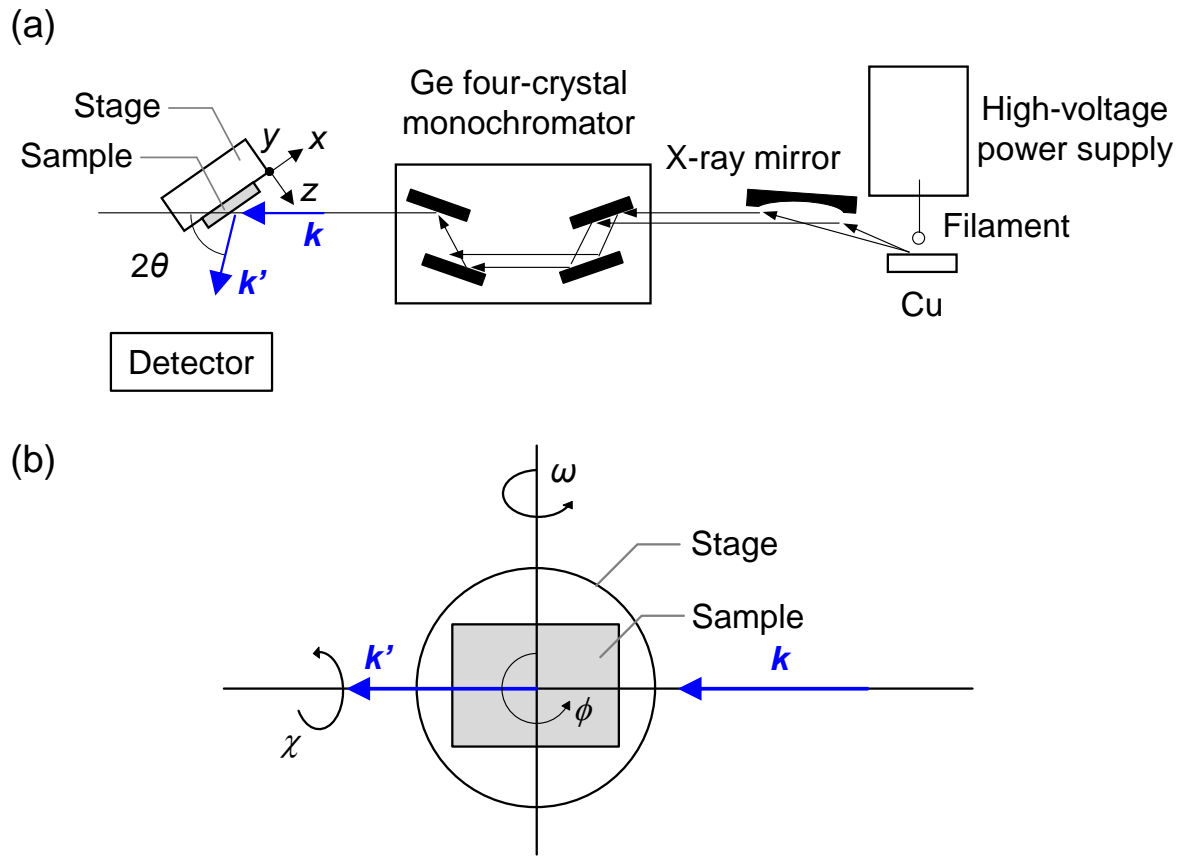


図 2.2: X 線回折装置の (a) 光学系配置図および (b) 試料台回転軸。

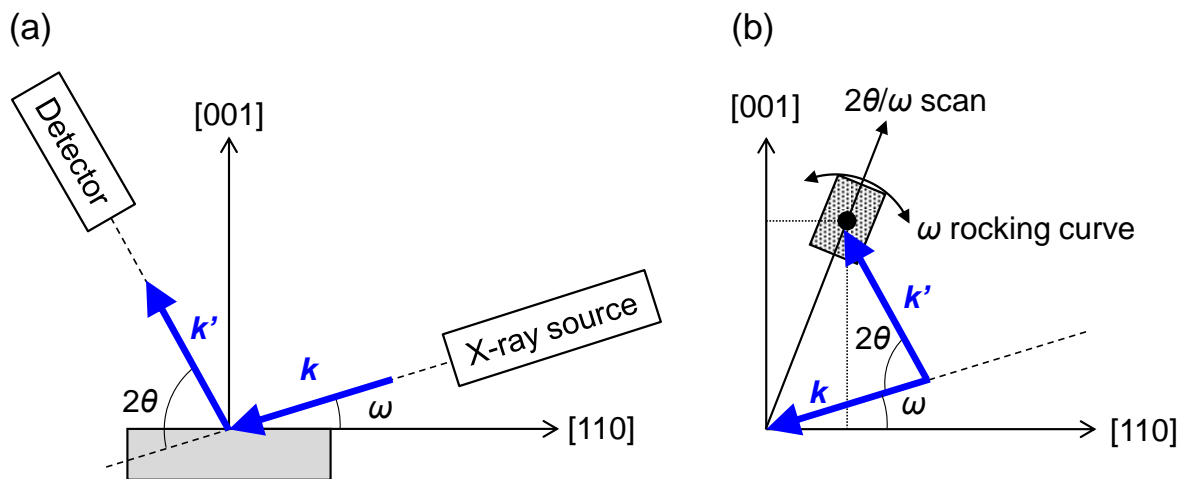


図 2.3: X 線を[110]方向から入射したときの (a) 実空間および (b) 逆格子空間における XRD-2DRSM 測定概念図。



### 2.2.2 高輝度放射光を用いたマイクロ回折法

近年、放射光を光源とした高輝度 X 線マイクロビームを用いて、種々の薄膜のサブミクロンオーダー領域における局所ひずみが高感度に測定されている[1-15]。

本研究では、大型放射光施設 SPring-8 (Super Photon ring-8 GeV) のビームライン BL13XU においてマイクロ回折測定を行なった[1-13]。図 2.4 にマイクロ回折装置の概略図を示す。まず、2 結晶配置 Si(111)モノクロメータによって放射光を単色化し、全反射ミラーによって X 線の高周波成分を除去する。スリットおよびゾーンプレートを用いて測定試料上に集光されたマイクロビームの回折線は、CCD イメージセンサにより検出される。図 2.5 に、SPring-8/BL13XU にて行われたマイクロ回折測定で用いられたビーム径を、研究成果が発表された年代ごとにまとめた[1-13]。集光されたビーム径は、マイクロ回折装置の改良とともに  $0.15\ \mu\text{m}$  程度までに縮小されてきた。

これまで使用されてきた受光スリットおよび 0 次元のシンチレーションカウンタによる検出方法では、 $2\theta$  軸走査を伴うために 2DRSM 測定に多くの時間が必要であっ

#### SPring-8 BL13XU

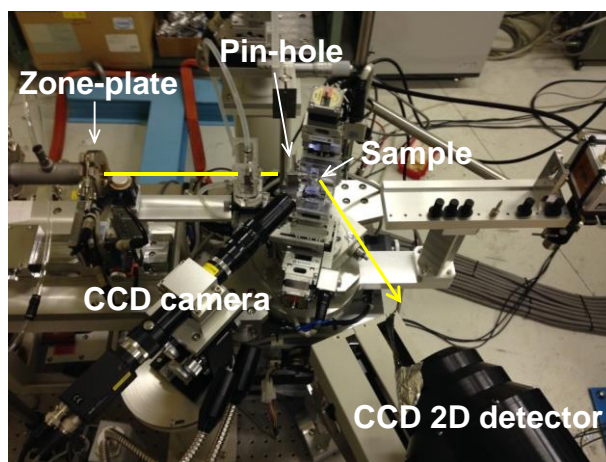
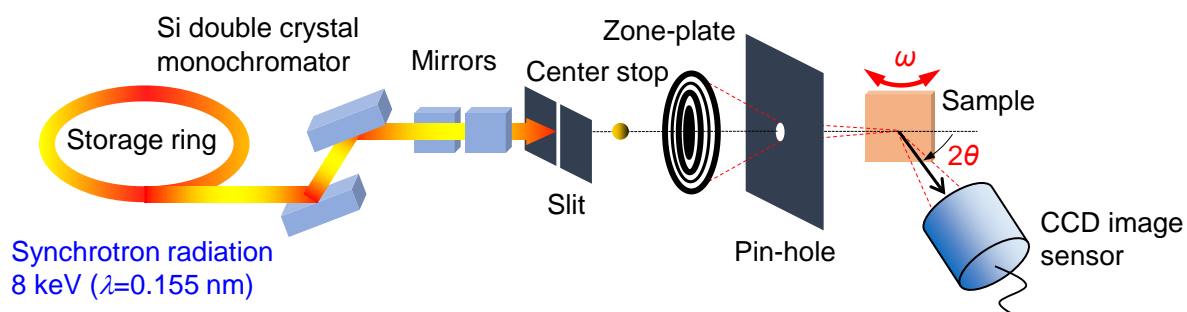


図 2.4: SPring-8/BL13XU における X 線マイクロ回折装置の測定系概略図。

た。しかし、現在では、2次元 CCD 検出器の導入により、 $2\theta$  軸走査を伴わない 2DRSM 測定が可能となったため、測定時間が大幅に短縮された。限られた時間の中でも試料内で X 線照射位置を逐次変えながら 2DRSM を測定可能で、従来の X 線回折では困難な微小領域における格子定数の変化や結晶面の傾斜を直接測定可能である。

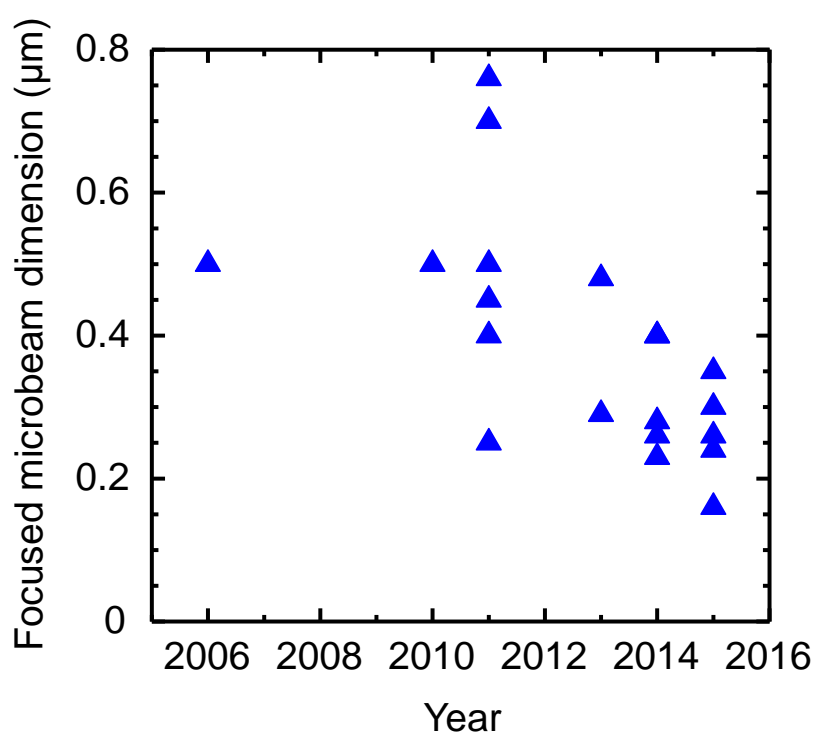


図 2.5: SPring-8/BL13XU における年代別の集光 X 線ビーム径の報告値。

### 2.2.3 IV 族混晶薄膜の格子置換組成およびひずみ緩和率

2.2.1 節で述べた XRD-2DRSM 測定を用いて、基板上にエピタキシャル成長した二元混晶薄膜の格子置換組成およびひずみ緩和率を見積もることができる。本節では、Ge 基板上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜を例に挙げて、格子置換 Sn 組成およびひずみ緩和率の算出方法について説明する。

図 2.6 に  $\text{Ge}_{1-x}\text{Sn}_x$   $\bar{2}24$  逆格子点付近の XRD-2DRSM 測定結果の例を示す。Ge 上に  $\text{Ge}_{1-x}\text{Sn}_x$  層が pseudomorphic に成長した場合、図中に“Pseudomorphic”と示された垂直線上に  $\text{Ge}_{1-x}\text{Sn}_x$  層に起因する回折ピークが現れる。また、 $\text{Ge}_{1-x}\text{Sn}_x$  層が完全ひずみ緩和した場合には、図中の“Fully strain-relaxed”と示された、逆格子空間の原点とバルク Ge を結ぶ直線上に回折ピークが現れる。 $\text{Ge}_{1-x}\text{Sn}_x$   $\bar{2}24$  回折ピークが Fully strain-relaxed と示される直線に近いほど、薄膜が内包するひずみが小さい、言い換えればひずみ緩和率が高いことを示す。 $\text{Ge}_{1-x}\text{Sn}_x$  混晶は共晶系で全率固溶しないが、ダイヤモンド格子系の全率固溶系  $\text{Si}_{1-x}\text{Ge}_x$  混晶と同様に、その格子定数を Sn 組成 0% から 100% の範囲で Vegard 則にしたがって線形近似できると仮定する。

このとき、 $\text{Ge}_{1-x}\text{Sn}_x$  混晶の格子定数  $a_{\text{GeSn}}$  は、Ge および  $\alpha\text{-Sn}$ （ダイヤモンド構造を有する Sn）の格子定数  $a_{\text{Ge}}$ 、 $a_{\text{Sn}}$  を用いて

$$a_{\text{GeSn}} = a_{\text{Ge}}(1-x) + a_{\text{Sn}}x \quad (2.2)$$

と表すことができる。(2.2)式より算出される格子定数を用いて(hkl)面の面間隔を求めれば、任意の Sn 組成を有する無ひずみの  $\text{Ge}_{1-x}\text{Sn}_x$  層からの回折ピークの逆格子空間座標 ( $Q_{x\text{GeSn}}$ ,  $Q_{z\text{GeSn}}$ )を見積もることができる。

さらに、Ge 上に pseudomorphic 成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層の[001]方向の格子定数  $a_{\text{p}[001]}$  は、 $\text{Ge}_{1-x}\text{Sn}_x$  の Poisson 比  $\nu_{\text{GeSn}}$  を用いて

$$a_{\text{p}[001]} = \frac{1+\nu_{\text{GeSn}}}{1-\nu_{\text{GeSn}}} a_{\text{GeSn}} - \frac{2\nu_{\text{GeSn}}}{1-\nu_{\text{GeSn}}} a_{\text{Ge}} \quad (2.3)$$

と表される。 $\nu_{\text{GeSn}}$  は、格子定数と同様に、Ge の Poisson 比と  $\alpha\text{-Sn}$  の Poisson 比の線形近似値を用いた。また、Ge 基板上に pseudomorphic に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層の[110]方向の格子定数  $a_{\text{p}[110]}$  は、下地の Ge 基板と一致する。これらにより Ge 上に pseudomorphic 成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層の回折ピークの逆格子空間座標 ( $Q_{\text{xpGeSn}}$ ,  $Q_{\text{zpGeSn}}$ ) が求められる。

ここで、 $a_{\text{GeSn}}$  および  $a_{\text{Ge}}$  はそれぞれバルク  $\text{Ge}_{1-x}\text{Sn}_x$  およびバルク  $\text{Ge}$  の格子定数である。

これらの座標を用いることで、図中に示すように、回折ピークの座標から  $\text{Ge}_{1-x}\text{Sn}_x$  層の  $\text{Sn}$  組成を求めることができる。同様に、これらの座標を用いて、 $[001]$  方向および  $[110]$  方向に対するひずみ緩和率は、

$$\text{DSR}_{[001]} = \frac{Q_{ze} - Q_{zp\text{GeSn}}}{Q_{z\text{GeSn}} - Q_{zp\text{GeSn}}} \quad (2.4)$$

$$\text{DSR}_{[110]} = \frac{Q_{xp\text{GeSn}} - Q_{xe}}{Q_{xp\text{GeSn}} - Q_{x\text{GeSn}}}$$

と表される。ここで、 $(Q_{xe}, Q_{ze})$  は X 線回折実験から得られた回折ピークの逆格子空間座標である。

以上の考え方に基づいて、二元混晶薄膜中の格子置換組成およびひずみ緩和率を見積もることができる。

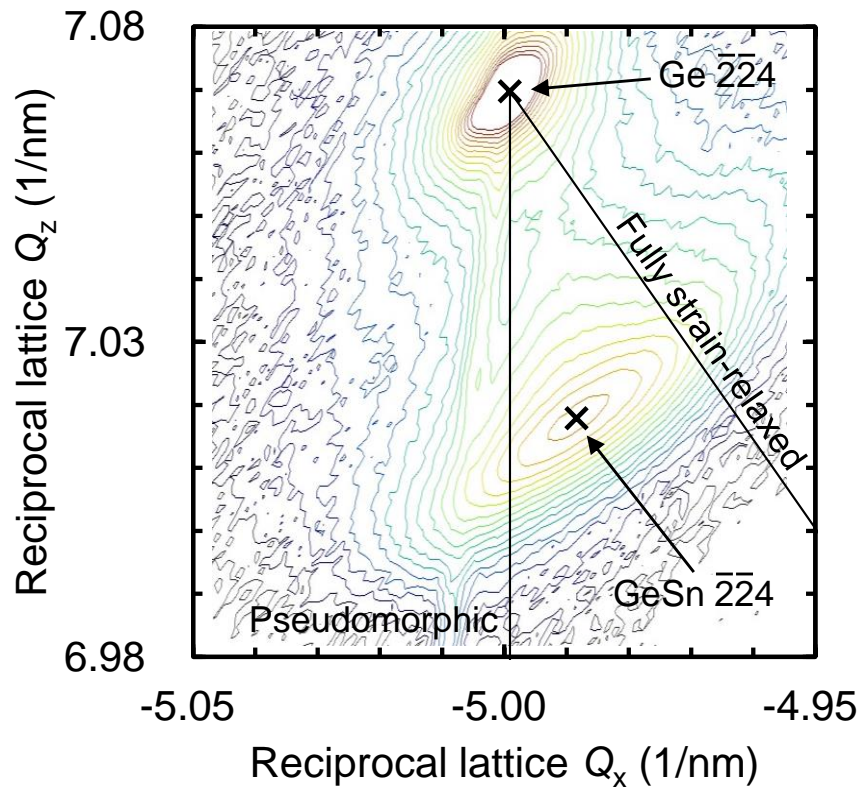


図 2.6:  $\text{Ge}(001)$  基板上に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜から得た、 $\text{Ge } \bar{2}24$  逆格子点付近における XRD-2DRSM 測定結果。 $\text{Ge}_{1-x}\text{Sn}_x$  回折ピーク位置から、格子置換  $\text{Sn}$  組成およびひずみ緩和率は 3.5%、42% と見積もられる。

### 2.3 有限要素法による構造解析

本研究では、基板と薄膜のミスフィットに起因するひずみおよび応力分布について有限要素法を用いて解析した。有限要素法解析ソフトウェアとして ANSYS®を用いた。ここでは簡単な例として図 2.7 (a) に示すような、Si 基板上に pseudomorphic 成長した Ge 薄膜を考え、以下、熱弾性論[16, 17]に基づく解析手法について説明する。

構造解析を行う上で、基板と薄膜の界面は連結されずべりが起こらないことを前提とし、熱膨張への置き換えによって構造内部に応力を生じさせる。具体的には、Si 基板（格子定数  $a_{\text{Si}}$ ）と Ge 薄膜（格子定数  $a_{\text{Ge}}$ ）のミスフィット量（ $(a_{\text{Ge}} - a_{\text{Si}})/a_{\text{Si}}$ ）を Ge 薄膜の熱膨張係数として与え、系全体の温度を 1 K 上昇させることで応力を生じさせる。Si 基板および Ge 薄膜それぞれの要素モデルには、ヤング率、Poisson 比および熱膨張係数を与える。

図 2.7 (b) にひずみ分布シミュレーションの結果を示す。Ge 薄膜が面内圧縮ひずみを有し、薄膜端で圧縮ひずみが弾性緩和することが分かる。また、Ge 薄膜と Si 基板のミスフィットにより、薄膜端で Si 基板表面近傍にも圧縮ひずみが印加されていることが読み取れる。Ge<sub>1-x</sub>Sn<sub>x</sub>/Ge 系においても同様に、それぞれのヤング率、Poisson 比およびミスフィットに対応させた熱膨張係数をパラメータとして与えて、ひずみおよび応力分布解析を行った。

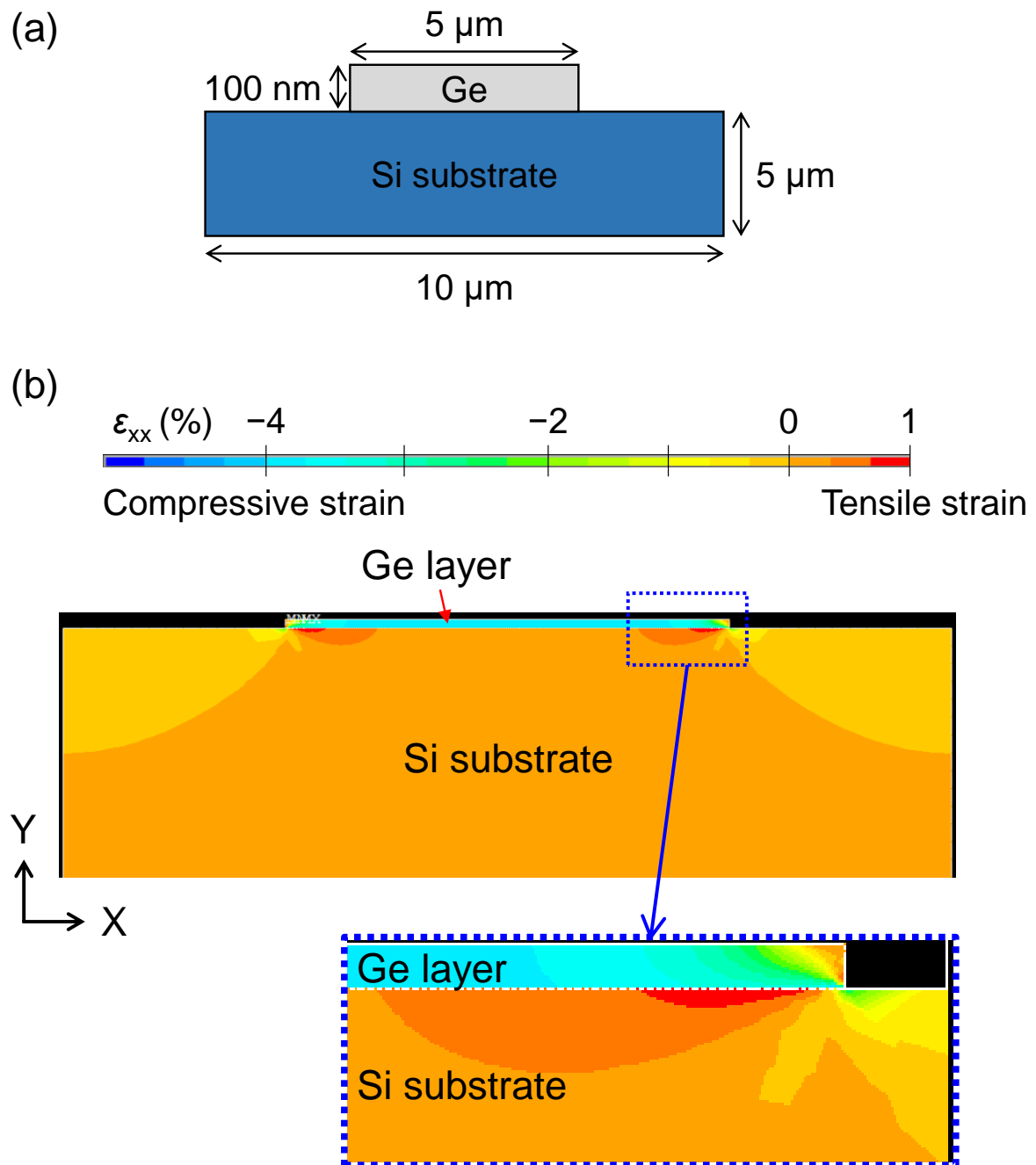


図 2.7: 有限要素法を用いた (a) Si 基板上 Ge 薄膜のひずみ解析モデル例、(b) 内部ひずみ分布シミュレーション結果。

## 2.4 Deep-level transient spectroscopy 法

Deep-level transient spectroscopy（以下、DLTS）法は、半導体中に存在する電氣的活性な欠陥の密度、エネルギー準位および捕獲断面積を定量的に評価する手法である。この手法は、禁制帯中に存在する欠陥準位に捕獲されたキャリアの熱放出に伴う、過渡的な容量変化に基づいて評価する[18]。

一般的に、欠陥はその荷電状態によってドナー型とアクセプタ型の2種類に分類される。ドナー型は、欠陥準位に電子が存在する場合は中性、電子が存在しない場合は正の荷電状態をとる。一方で、アクセプタ型は、欠陥準位に電子が存在する場合は負、存在しない場合は中性の荷電状態をとる。

例えば、ドナー型の欠陥が禁制帯中に存在する  $n$  型ショットキーダイオードに対して、図 2.8 (a) に示す電圧パルスを印加した場合、図 2.8 (b) に示す容量過渡応答が観測される。まず、逆バイアス ( $V=V_R$ ) が印加された定常状態では、図 2.8 (c) に示すようなエネルギーバンド図となる。ここに電圧パルス ( $V=V_P$ 、パルス幅:  $T_P$ ) を印加した時、空乏層は狭くなり、フェルミレベル以下の欠陥準位に電子が捕獲される。再び、逆バイアス ( $V=V_R$ ) を印加すると、過渡的に空乏層が広がる。電圧変化直後は非熱平衡状態であり、熱放出によって欠陥準位から伝導帯に電子が放出されるに伴い、空乏層は徐々に狭くなる (図 2.8 (d))。最終的には、パルス印加前の定常状態での空乏層幅と等しくなる。これら一連の時間に対する過渡応答は(2.5)式で表される。

$$C(t) = C_R - \Delta C \exp\left(-\frac{t}{\tau}\right) \quad (2.5)$$

ここで、 $C_R$  は定常状態における容量、 $\Delta C$  は過渡応答の全変化容量、 $\tau$  は時定数（電子の放出速度  $e_n$  の逆数に相当）である。また、DLTS 信号は任意の時間  $t_1$ 、 $t_2$  の間での容量変化として(2.6)式で定義される。

$$DLTS \text{ signal} \equiv C(t_1) - C(t_2) \quad (2.6)$$

過渡容量変化は、欠陥準位からの電子放出速度によって異なる。電子放出速度は温度の関数であるため、過渡容量変化は温度依存性を有する。DLTS 法では、温度掃引、つまり電子放出速度を変化させながら DLTS 信号を測定する。温度掃引測定により、

ある時定数  $\tau$  に相当する温度  $T$  において DLTS 信号が最大をとる (図 2.9)。このほかにも様々な  $(t_1, t_2)$  について同様の温度掃引測定を行うことで、(2.7)式に基づいて欠陥準位のエネルギー深さ、捕獲断面積が見積もられる。

$$\tau = \frac{1}{\sigma_n v_n N_c} \exp\left(\frac{E_t}{kT}\right) \quad (2.7)$$

ここで、 $\tau$ 、 $E_t$ 、 $k$ 、 $T$ 、 $\sigma_n$ 、 $v_n$ 、 $N_c$  はそれぞれ電子の放出速度の逆数に対応する時定数、伝導帯下端からのエネルギー深さ、ボルツマン定数、測定温度、電子に対する欠陥の捕獲断面積、電子の熱速度および伝導帯中での有効状態密度を表す。 $v_n$  および  $N_c$  はそれぞれ  $T^{1/2}$  および  $T^{3/2}$  乗に比例するため、縦軸  $\ln(\tau T^2)$ –横軸  $1/T$  のプロットの傾きは欠陥のエネルギー深さ  $E_t$  に対応する。

また、膜中の欠陥密度 ( $N_T$ ) が不純物密度 ( $N_D$ ) のおよそ 10% 以下であると仮定したとき、 $N_T$  は(2.8)式で表される。

$$N_T = \frac{2\Delta C}{C_R} N_D \quad (2.8)$$

$\Delta C$ 、 $C_R$  は容量変化および  $V_R$  印加時の容量値である。



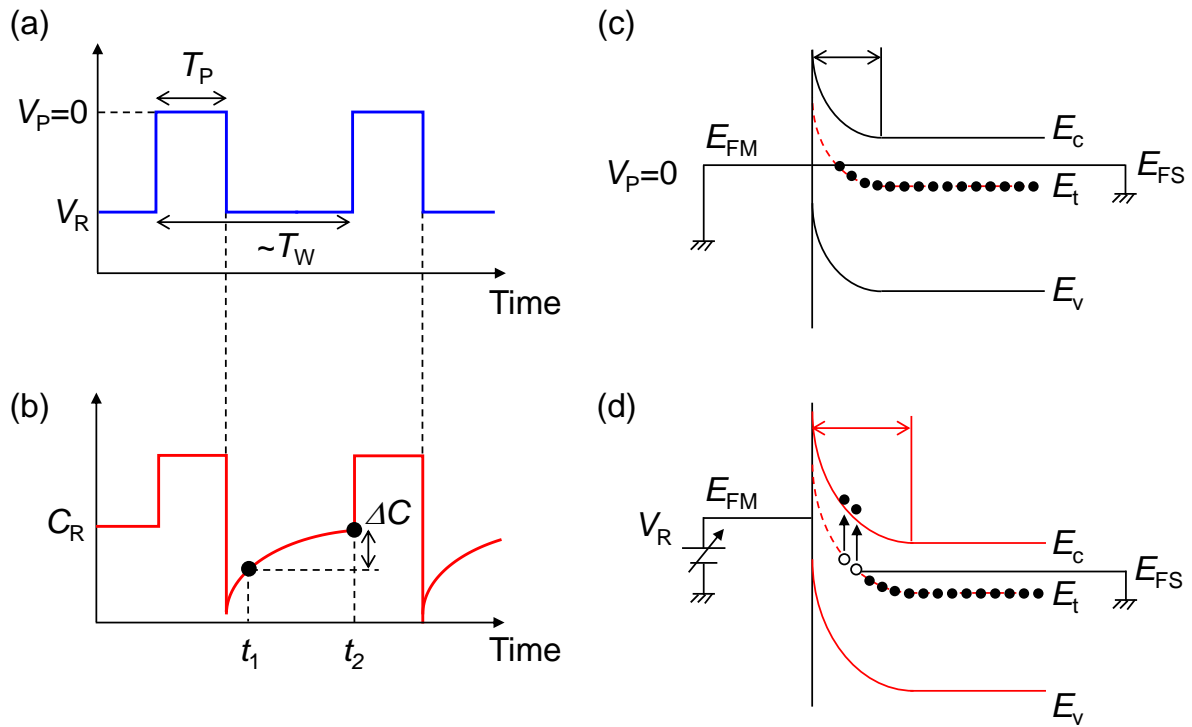


図 2.8: ドナー型欠陥が存在する  $n$  型ショットキーダイオードに対する DLTS 測定の概略図。(a) に示す電圧パルス印加した場合の (b) 容量過渡応答、および (c) 捕獲バイアス  $V_P$ 、(d) 逆バイアス  $V_R$  印加時のエネルギーバンド図。

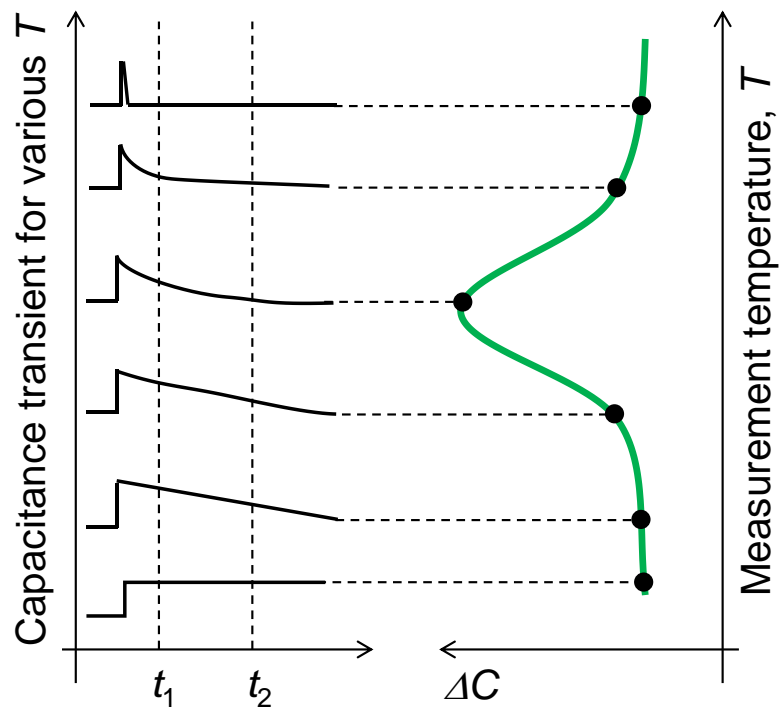


図 2.9: 温度掃引測定により生成される DLTS 信号。

## 2.5 参考文献

- [1] S. Mochizuki, A. Sakai, N. Taoka, O. Nakatsuka, S. Takeda, S. Kimura, M. Ogawa, and S. Zaima, *Thin Solid Films* **508**, 128-131 (2006).
- [2] Y. Imai, S. Kimura, O. Sakata, and A. Sakai, *AIP Conf. Proc.* **1221**, 30-32 (2010).
- [3] S. Kimura, O. Sakata, Y. Imai, and A. Sakai, *Key Eng. Mater.* **470**, 104-109 (2011).
- [4] K. Ebihara, J. Kikkawa, Y. Nakamura, A. Sakai, G. Wang, M. Caymax, Y. Imai, S. Kimura, and O. Sakata, *Solid-State Electron.* **60**, 26-30 (2011).
- [5] M. Tsujino, T. Sano, O. Sakata, N. Ozaki, S. Kimura, S. Takeda, M. Okoshi, N. Inoue, R. Kodama, K.F. Kobayashi, and A. Hirose, *J. Appl. Phys.* **110**, 126103 (2011).
- [6] S. Yoshida, T. Yokogawa, Y. Imai, and S. Kimura, *Jpn. J. Appl. Phys.* **52**, 071001 (2013).
- [7] N. Taoka, O. Nakatsuka, Y. Mizushima, H. Kitada, Y. S. Kim, T. Nakamura, T. Ohba, and S. Zaima, *Jpn. J. Appl. Phys.* **53**, 05GE03 (2014).
- [8] S. Ike, Y. Moriyama, M. Kurosawa, N. Taoka, O. Nakatsuka, Y. Imai, S. Kimura, T. Tezuka, and S. Zaima, *Thin Solid Films* **557**, 164-168 (2014).
- [9] Y. Imai, S. Kimura, D. Kosemura, and A. Ogura, *J. Phys.: Conf. Ser.* **502**, 012026 (2014).
- [10] M. Mariappan, Y. Imai, S. Kimura, T. Fukushima, J.C. Bea, H. Kino, K.W. Lee, T. Tanaka, and M. Koyanagi, *IEEE Trans. Electron Dev.* **61**, 540-547 (2014).
- [11] S. Ike, O. Nakatsuka, Y. Moriyama, M. Kurosawa, N. Taoka, Y. Imai, S. Kimura, T. Tezuka, and S. Zaima, *Appl. Phys. Lett.* **106**, 182104 (2015).
- [12] S. Kimura, Y. Imai, and H. Tajiri, *SPRING-8/SACLA Information* **20**(3), 246-250 (2015).
- [13] D. Khan, S. Takeuchi, Y. Nakamura, K. Nakamura, T. Arauchi, H. Miyake, K. Hiramatsu, Y. Imai, S. Kimura, and A. Sakai, *J. Cryst. Growth* **411**, 38-44 (2015).
- [14] A. Parikh, W. Yarbrough, M. Mason, S. Sridhar, P. R. Chidambaram, and Z. Cai, *Appl. Phys. Lett.* **90**, 172117 (2007).
- [15] Conal E. Murray, Z. Ren, A. Ying, S.M. Polvino, I.C. Noyan, and Z. Cai, *Appl. Phys. Lett.* **94**, 063502 (2009).
- [16] Y.-C. Yeo and J. Sun, *Appl. Phys. Lett.* **86**, 023103 (2005).

- [17] T. Benabbas, Y. Androussi, and A. Lefebvre, J. Appl. Phys. **86**, 1945 (1999).
- [18] D.V. Lang, J. Appl. Phys. **45**, 3023 (1974).

## 第3章 有機金属化学気相成長法を用いた $n$ 型 Ge および $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の結晶成長

---

### 3.1 はじめに

第1章で述べたように、Ge は従来の Si と比較して電子・正孔ともに高い移動度を有し、かつ既存の Si CMOS プロセスへの障壁が低いため、超高速・低消費電力 CMOS 回路のチャネル材料として注目されている。さらに、 $\text{Ge}_{1-x}\text{Sn}_x$  混晶 S/D ストレッサを用いた Ge チャネルへの一軸圧縮ひずみの印加により、更なる電子・正孔双方の移動度向上が期待されている。 $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサ形成の課題として、 $\text{Ge}_{1-x}\text{Sn}_x$  層への不純物ドーピングによる低抵抗化が挙げられる。ITRS 2015 において要求されるコンタクト抵抗率 ( $\rho_c=1\times 10^{-8} \Omega\cdot\text{cm}^2$ ) を達成するためには、電子密度  $1\times 10^{20} \text{ cm}^{-3}$  を有する  $n^+$ -Ge S/D を形成しなければならない[1]。 $\text{Ge}_{1-x}\text{Sn}_x$  S/D の場合でも、ストレッサとして要求される Sn 組成が 5%程度であるため[2]、Ge と同程度の高濃度  $n$  型ドーピングが要求される。Ge の場合、 $p$  型ドーパント (B、Al、Ga、In) に比べて、 $n$  型ドーパント (P、As、Sb) は拡散係数が高く[3-5]、さらに平衡固溶限が低い[6, 7]。したがって、同一のプロセス温度でも  $p$  型に比べ  $n$  型ドーパントは Ge 外に拡散しやすく、高濃度  $n$  型ドーピングに関して未だに課題が残されている。

$n^+$ -Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の形成には、高い電子密度 ( $\sim 1\times 10^{20} \text{ cm}^{-3}$ ) を達成しつつ、低欠陥かつドーパントの拡散を抑制するために形成温度を低減する必要がある。これらの課題を解決するため、これまで様々な  $n$  型ドーピング技術が報告されてきた。例えば、イオン注入法は現在の Si CMOS 技術において最も一般的に用いられているドーピング手法である[8]。Ge の場合は、イオン注入後に再結晶化とドーパントの活性化のために  $600^\circ\text{C}$  の熱処理が必要とされる[9, 10]。イオン注入法により、電子密度  $5\sim 6\times 10^{19} \text{ cm}^{-3}$  の  $n$  型 Ge が達成されている[9, 10]が、熱処理した後もイオン注入時に導入される欠陥により、 $pn$  接合特性の劣化が懸念される[11]。

一方で、本研究ではイオン注入法と同様に従来の CMOS プロセスとの親和性の高い CVD 法を用いた *in situ* ドーピングに着目した。Ge への *in situ* ドーピングに関しては、Ge プリカーサとして  $\text{GeH}_4$  あるいは  $\text{Ge}_2\text{H}_6$ 、P プリカーサとして  $\text{PH}_3$  を用いて、それらの同時供給により、成長温度を  $400^\circ\text{C}$  に低減しつつ Ge 基板上に  $6\sim 7\times 10^{19}\text{ cm}^{-3}$  の電子密度を有する  $n$  型 Ge エピタキシャル薄膜が実現されている[12, 13]。本研究では、これまでの研究報告と同様に、 $n$  型ドーパントとして Ge 中への熱平衡固溶限が最も高い P を選んだ。

最近では、MOCVD 法を用いた低温成長によって非ドーパ Ge、 $\text{Ge}_{1-x}\text{Sn}_x$  薄膜のエピタキシャル成長が報告されている[14-17]。また、 $300\sim 400^\circ\text{C}$  の温度領域で、パターンニング  $\text{SiO}_2/\text{Si}$  基板上への Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の選択成長についても報告されている[18]。これらの知見と併せて、MOCVD 法による Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層に対する不純物制御技術を確立できれば、高濃度  $n$  型ドーパ  $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサの選択成長技術の構築へと大きく発展する可能性がある。しかし、現状、MOCVD 法を用いた Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  の結晶成長および不純物ドーピングに関する報告は少ない。

また、有機金属原料は、これまでの Si や Ge 成長に一般的に用いられてきた水素化合物や塩化物系原料に比べて爆発性、自然発火性および有毒性の低い利点を有する。特に、Sn 原料については、 $\text{SnD}_4$ [19]や  $\text{SnCl}_4$ [20]が用いられているが、それぞれ自己分解速度が大きく不安定であること[21]や、膜中の Cl 残留や作製膜に対するエッチング作用[22]が懸念として挙げられており、原料選択の段階で未だ議論の余地が残されている。

本章では、MOCVD 法を用いた *in situ* P ドーピングにより、高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層を形成し、結晶性および電気的特性評価を行った。

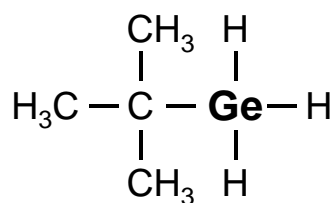
## 3.2 実験方法

2.1.3 節で説明した MOCVD 装置を用いて、高抵抗 Si(001) 基板 (抵抗率  $\rho \geq 1000 \Omega \cdot \text{cm}$ ) 上に P ドープ Ge 層を成長した。本研究では、Ge 層の電気的特性を評価する際に、下地の Si 基板と電気的な絶縁を図るため高抵抗基板を使用した。2.1.2 節で述べた手法を用いて、Si 基板の表面清浄化を行った。Ge、Sn および P プリカーサとして、*tertiary-butyl-germane* (TBGe)、*tri-butyl-vinyl-tin* (TBVSn)、*tri-ethyl-phosphine* (TEP) を用いた。成長温度は 320~450 °C の間で変化させ、Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の膜厚は 80~285 nm とした。TBGe、TBVSn および TEP それぞれの化学構造式を図 3.1、蒸気圧曲線を図 3.2 に示す。

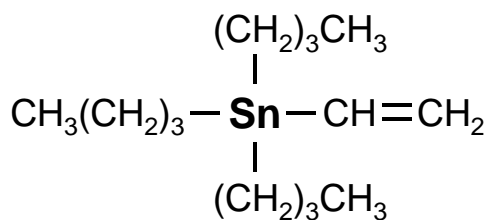
Ge 層の堆積中はキャリアガスとして  $\text{H}_2$  と  $\text{N}_2$  の混合ガスを使用した。成膜室圧力は 3.0 kPa あるいは 20 kPa とした。TBGe 流量は 1.2 sccm 一定とし、TBVSn および TEP 流量はそれぞれ  $0 \sim 1.2 \times 10^{-2}$  sccm、 $0 \sim 5.0$  sccm の間で制御した。

Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の電気伝導型、キャリア密度、キャリア移動度およびシート抵抗は Van der Pauw 法[23]を用いた Hall 効果測定により評価した。また、XRD-2DRSM および  $\omega$  ロッキングカーブ測定を用いて、薄膜の Sn 組成、結晶性およびひずみ緩和率を評価した。薄膜の表面モフォロジーは AFM 測定により評価した。

(a) Tertiary-butyl-germane



(b) Tri-butyl-vinyl-tin



(c) Tri-ethyl-phosphine

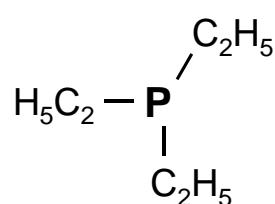


図 3.1: Ge、Sn および P プリカーサの化学構造式。(a) Tertiary-butyl-germane (TBGe)、(b) Tri-butyl-vinyl-tin (TBVSn)、(c) Tri-ethyl-phosphine (TEP)。

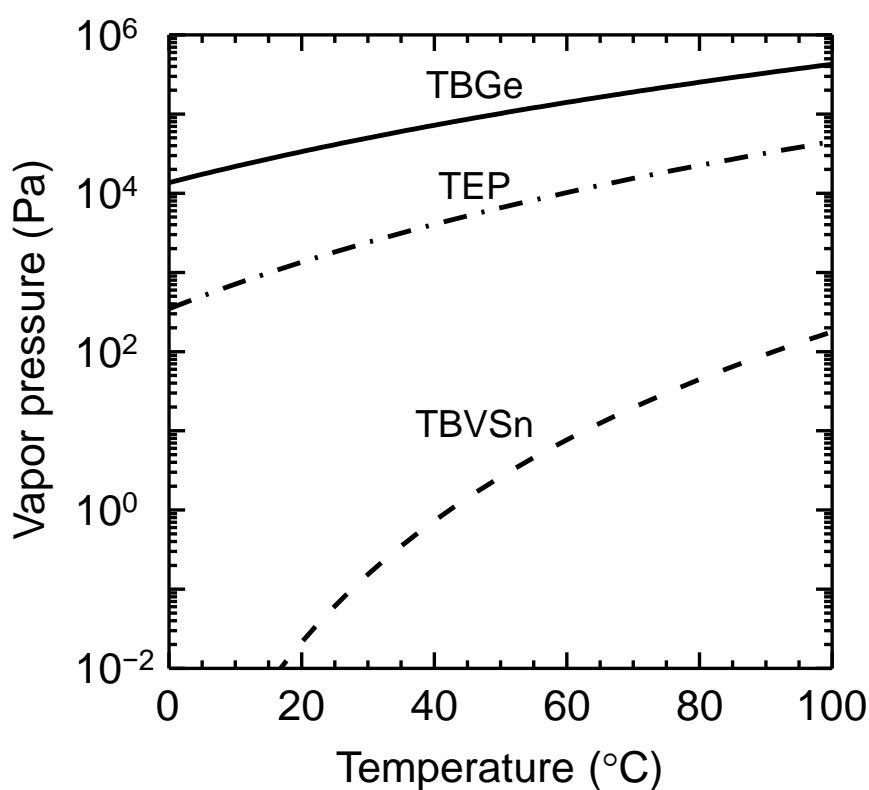


図 3.2: TBGe、TBVSn および TEP の蒸気圧曲線。

### 3.3 実験結果および考察

#### 3.3.1 P ドープ Ge 薄膜のエピタキシャル成長

本節では、MOCVD 法により Si(001)基板上に作製した P ドープ Ge 層に対して、成長温度および TEP 流量が Ge 層の結晶性や表面平坦性に及ぼす影響について調べた。

成長温度 400 °C の下、様々な TEP 流量で形成した P ドープ Ge 層に対して、膜中の P 濃度を二次イオン質量分析法 (SIMS) によって評価した (図 3.3)。本 SIMS 測定においては Cs を一次イオンとして用いた。SIMS 測定結果から、TEP 流量の増加とともに Ge 層中の P 濃度が増大することがわかった。また、膜中の P 濃度は Ge/Si 界面から Ge 表面に向かって徐々に増大する傾向がみられる。一般に、Ge の融点における P の平衡分配係数 ( $K_0$ ) は 1 より小さく ( $K_0=0.08$ )、固相から液相へと P が偏析しやすい傾向にある[24]。成長温度 400 °C 下では Ge は固相状態であるが、成長表面に P が押し出されやすい、つまり P の表面偏析が容易に起こることが推察される。このため、Ge 層中の P 濃度勾配が観測されたと考えられる。SIMS 測定結果から、Ge 層中の平均 P 濃度は、成長温度 400 °C、TEP 流量  $1.1 \times 10^{-1}$  sccm の条件で  $1 \times 10^{20} \text{ cm}^{-3}$  と見積もられた。これは 400 °C における Ge 中への P の平衡固溶限 ( $2 \times 10^{19} \text{ cm}^{-3}$ [25]) を

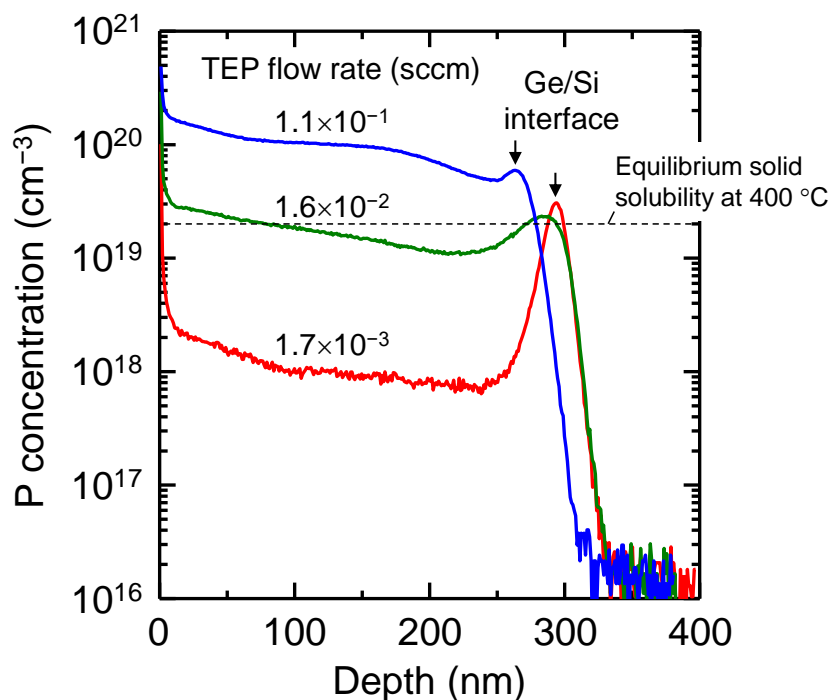


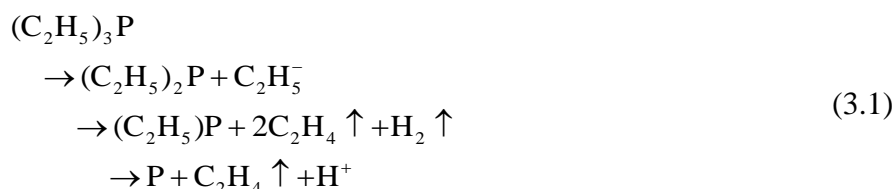
図 3.3: 成長温度 400 °C で作製した P ドープ Ge/Si 試料から得た P 濃度の SIMS 測定結果。



大きく超える結果である。なお、SIMS 測定時に Ge と Si 母相それぞれで P の感度係数が異なるため[26]、Ge/Si 界面近傍での P 濃度の深さプロファイルは正確ではないことに注意する。

MOCVD 法では、水素化合物や塩化物系原料を用いる無機 CVD 法に比べて、MO 原料や反応過程で生成された副生成物から成長薄膜へ導入される炭素 (C) 汚染が懸念される。SIMS 測定により Ge 層中の残留 C 濃度を評価した。図 3.4 に、様々な成長温度、TEP 流量の条件下で作製した P ドープ Ge 層から得られた C 濃度の SIMS プロファイル、および SIMS 測定結果から見積もられる膜中 C 濃度を示す。Ge 層の表面および Ge/Si 界面近傍の C 濃度プロファイルは、表面汚染や感度係数の影響を受けるため、実際の C 濃度を正確に反映しない可能性がある。そのため、Ge 層中の SIMS プロファイルが平坦な範囲の C 濃度の平均値を算出し、その値を膜中 C 濃度とした。本研究での成長条件では、成長温度や TEP 流量にかかわらず Ge 層中の C 濃度は  $10^{17}\sim 10^{18} \text{ cm}^{-3}$  の範囲でほぼ一定であった。少なくとも、TEP 流量の増大とともに Ge 層中の P 濃度が  $10^{20} \text{ cm}^{-3}$  まで増加しても、膜中への残留 C 汚染にはほとんど影響せず、 $10^{18} \text{ cm}^{-3}$  以下に抑制されることがわかった。

TEP ガスの分解過程は、(3.1)式に示すような段階的な脱エチル過程を経て、エチレンガス ( $\text{C}_2\text{H}_4$ ) が放出されることが実験的に明らかにされている[27-29]。分解過程で C を含む副生成物がガスとして表面から脱離することで、成長膜中への C 残留が抑制されたと推察される。



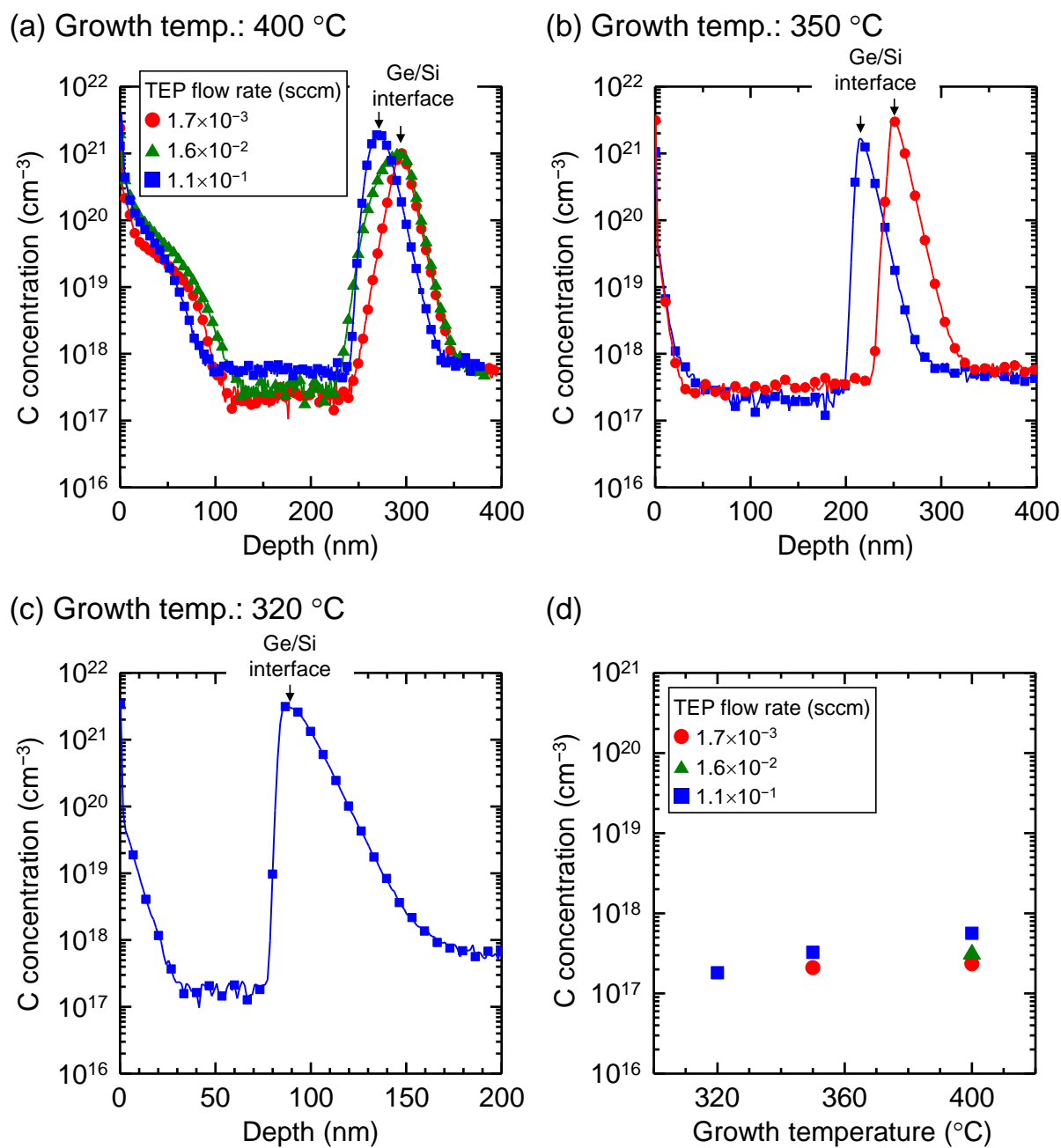


図 3.4: 様々な成長温度、TEP 流量の条件で作製した P ドープ Ge/Si 試料から得た C 濃度の SIMS 測定結果。(a) 成長温度 400 °C、(b) 350 °C、(c) 320 °C および (d) SIMS 測定から見積もられる膜中 C 濃度。

次に、P ドープ Ge 層の結晶性および表面構造について、XRD および AFM 測定によって評価した。図 3.5 (a) に、成長温度  $320^\circ\text{C}$ 、TEP 流量  $1.1 \times 10^{-1}$  sccm の成長条件で作製した P ドープ Ge/Si 試料に対する Si  $\bar{2}24$  逆格子点周辺の XRD-2DRSM 測定結果を示す。Si 基板および Ge エピタキシャル層に由来する明瞭な回折ピークが観測された。Ge 層の回折ピーク位置から、(2.4)式を用いて Si 基板上にエピタキシャル成長した Ge 層の面内格子定数のひずみ緩和率を見積もった。いずれの P ドープ Ge 層のひずみ緩和率は 93% 以上と見積もられ、Si 基板上にほぼ完全ひずみ緩和した状態で Ge 層が成長していることがわかった。Ge 層の結晶性に対する成長温度および P 導入の影響を調査するため、Ge 004 逆格子点における XRD  $\omega$  ロッキングカーブ測定を行った。Ge 004 回折ピークの半値全幅 (FWHM) は Ge(004)格子面の微小傾斜を反映する。図 3.5 (b) に、XRD  $\omega$  ロッキングカーブ測定により得られた Ge 004 回折ピークの FWHM 値に対する、成長温度および TEP 流量依存性を示す。320~400  $^\circ\text{C}$  各々の成長

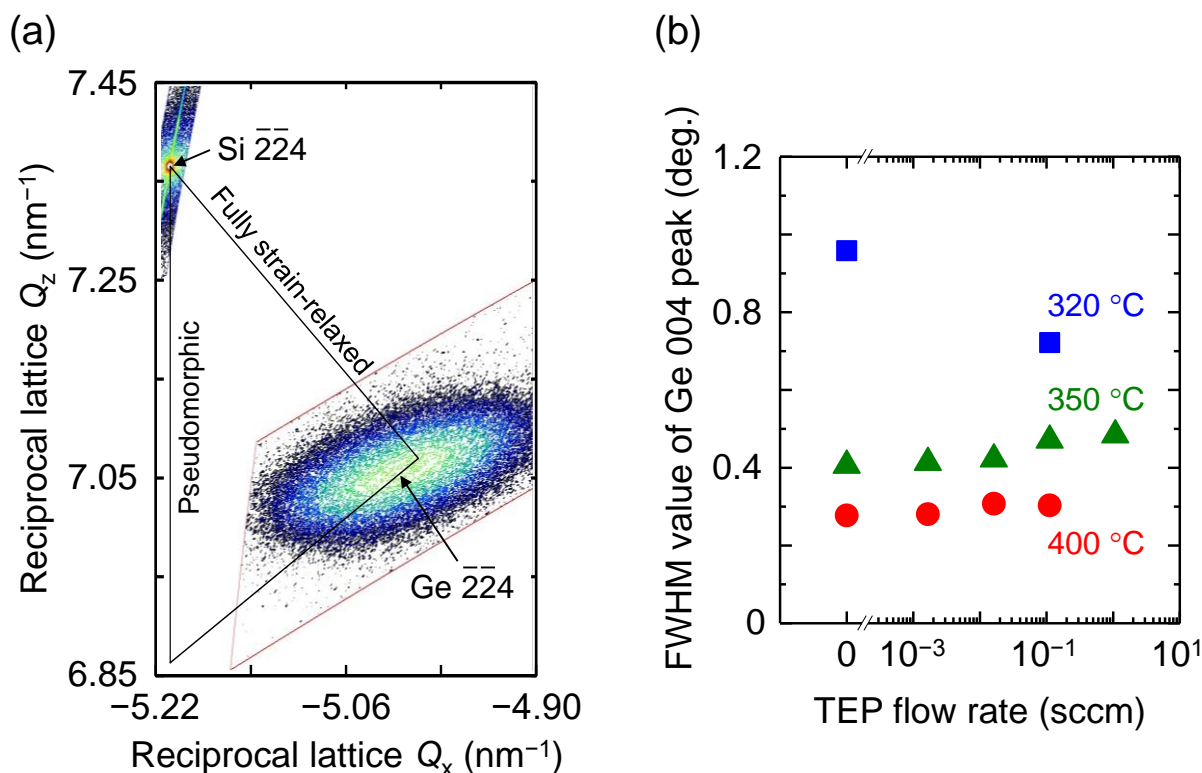


図 3.5: (a) 成長温度  $320^\circ\text{C}$ 、TEP 流量  $1.1 \times 10^{-1}$  sccm の条件で作製した P ドープ Ge/Si 試料から得た XRD-2DRSM 測定結果。(b) 様々な成長温度、TEP 流量の条件で作製した P ドープ Ge 層に対する、XRD  $\omega$  ロッキングカーブ測定により得られた Ge 004 回折ピークの FWHM 値。

温度において、TEP 流量の増加に伴う FWHM の増大は観測されなかった。また、図 3.5 (b) では、成長温度の低減により FWHM 値の増大がみられた。これは、低温化に伴い、成長中の吸着 Ge 原子の表面泳動が抑制されたために Ge 層の結晶性が悪化したためと考えられる。

図 3.6 (a) に、320~400 °C 各々の成長温度における TEP 流量 0 および  $1.1 \times 10^{-1}$  sccm の条件で作製した Ge 層表面から得た AFM 像を示す。AFM 測定領域は  $1 \times 1 \mu\text{m}^2$  とした。それぞれの成長温度で、TEP 流量増大に伴う表面モフォロジーの悪化や表面での P 凝集物は観察されなかった。また、Ge 層表面の二乗平均平方根 (RMS) 粗さに対する TEP 流量および成長温度依存性を図 3.6 (b) に示す。400 °C から 350 °C へ成長温度を低減することで Ge 層表面の RMS 粗さの大幅な減少がみられ、低温化が Ge 層の 3 次元成長を効果的に抑制することを示唆している[30-32]。一方で、成長温度を 320 °C まで低減した場合は、350 °C 成長の Ge 層に比べて表面モフォロジーおよび RMS 粗さが悪化している。これは、低温化により吸着 Ge 原子の表面泳動が大きく抑制され

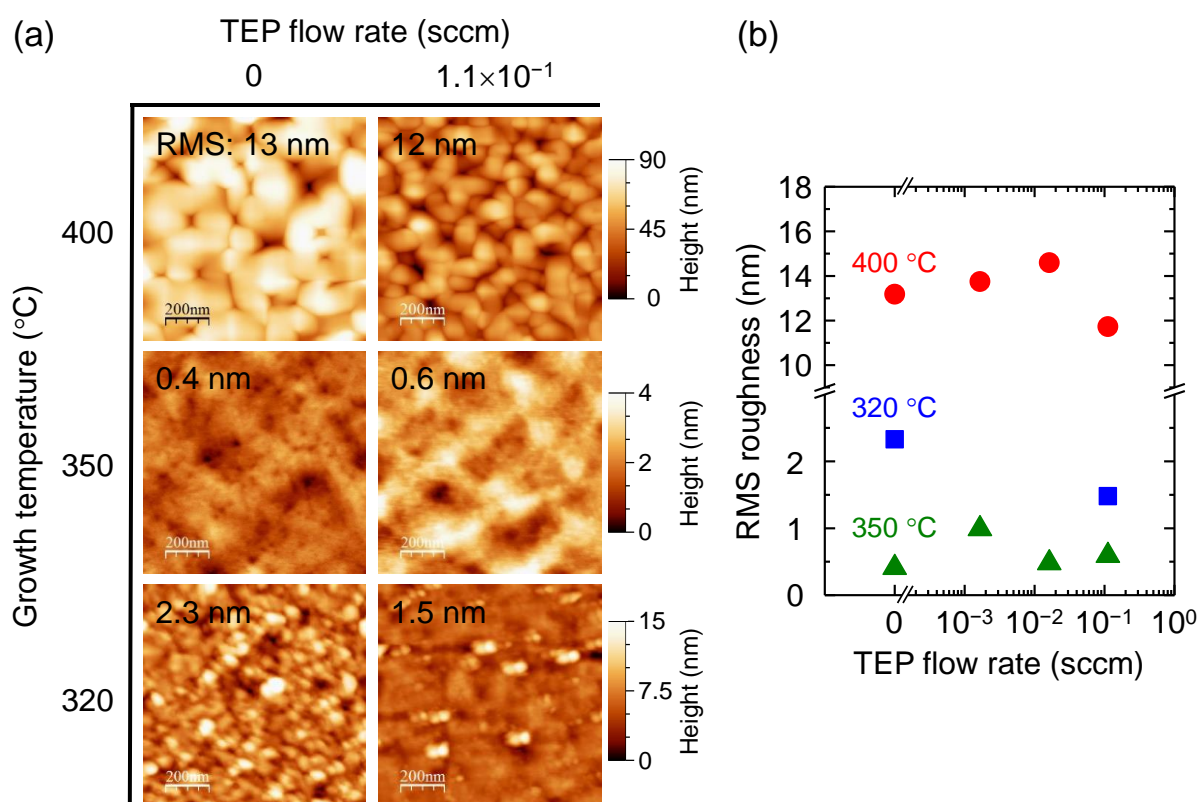


図 3.6: (a) 様々な成長温度、TEP 流量 0 および  $1.1 \times 10^{-1}$  sccm の条件で作製した P ドープ Ge 層表面から得られた AFM 像。測定範囲は  $1 \times 1 \mu\text{m}^2$  とした。(b) AFM 測定から見積もられた表面 RMS 粗さの TEP 流量依存性。

た結果、Ge 層の初期成長では Si 基板に対してエピタキシャル成長であったが、膜厚の増加とともに単結晶から多結晶構造へ変化した可能性が考えられる。その結果、薄膜表面には多結晶 Ge が存在するために RMS 粗さが増大したと推察される。

以上、XRD および AFM 測定の結果から、MOCVD 法を用いた *in situ* P ドーピングによって、Si 基板上に 400 °C 以下の低温成長において、高濃度 P ドープ Ge エピタキシャル層を形成可能な結果が示された。

### 3.3.2 P ドープ Ge 薄膜の電子物性評価

本節では、MOCVD 法により作製した P ドープ Ge 層に対して、Hall 効果測定を用いて電気的特性について調べた。

本研究で作製した P ドープ Ge 層は、Hall 効果測定の結果、すべて  $n$  型電気伝導であることを確認した。図 3.7 (a) および (b) に、様々な成長温度で形成した P ドープ Ge 層から得られた膜中 P 濃度 (SIMS 測定より)、Hall 電子密度およびシート抵抗に対する TEP 流量依存性を示す。図 3.3 で述べたように、SIMS 測定から TEP 流量の増加とともに Ge 層中の P 濃度が増大する傾向がみられた。Ge 層中で電氣的に活性化した P 濃度に対応する Hall 電子密度は、成長温度 400、350 および 320 °C においてそれ

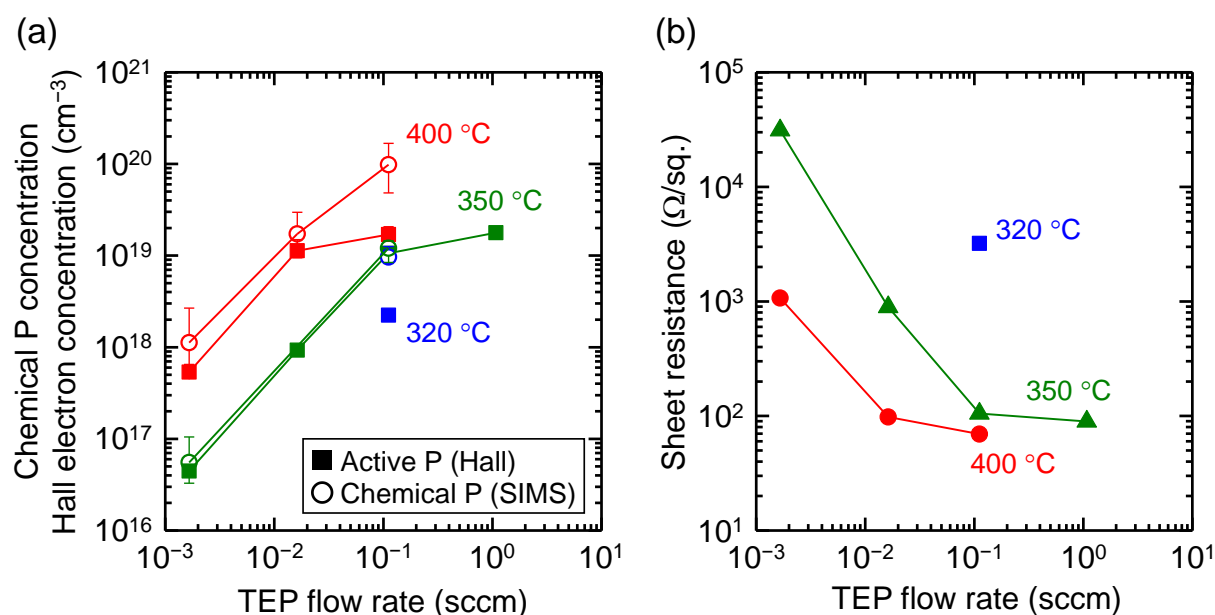


図 3.7: (a) 様々な成長温度、TEP 流量の条件で作製した P ドープ Ge 層の (a) 膜中 P 濃度および Hall 電子密度、(b) シート抵抗に対する TEP 流量依存性。

ぞれ  $1.7 \times 10^{19}$ 、 $1.8 \times 10^{19}$ 、 $2.2 \times 10^{18} \text{ cm}^{-3}$  と見積もられた (図 3.7 (a))。また、図 3.7 (b) に示すように、TEP 流量の増加とともに Ge 層のシート抵抗が減少する、つまりは Ge 層中の電子密度が増大している点で図 3.7 (a) との傾向と一致する。一方で、図 3.7 (a) 中で、電氣的に活性化した P 濃度が  $1 \sim 2 \times 10^{19} \text{ cm}^{-3}$  で頭打ちになる様子が見られる。これは、成長温度下での Ge 中への P の平衡固溶限に一致する濃度と考えられる。

次に、SPring-8/BL47XU および BL9XU における硬 X 線光電子分光 (Hard X-ray Photoelectron Spectroscopy: HAXPES,  $h\nu=7930 \sim 7940 \text{ eV}$ ) を用いて、高濃度 P 導入試料 (膜中 P 濃度  $\geq 10^{19} \text{ cm}^{-3}$ ) に対して、Ge 層中の P 原子の化学結合状態を評価した。図 3.8 (a) に、成長温度  $400^\circ\text{C}$ 、TEP 流量  $1.1 \times 10^{-1} \text{ sccm}$  の条件下で成長した P ドープ Ge 層から得られた P1s 内殻準位スペクトルを示す。P1s スペクトルを不活性化 P ( $\text{P}^0$ )、格子置換 P ( $\text{P}^{1+}$ ) および酸化 P ( $\text{PO}_x$ ) に由来する成分にピーク分離し、格子置換 P の割合  $\alpha$  を (3.2) 式により算出した。また、P1s スペクトルおよび Ge2p スペクトルの面積強度比を用いて、Ge 層中の P 濃度を算出した。光電子スペクトルの面積強度比は、各組成  $X$ 、それぞれの運動エネルギーをもつ光電子の非弾性散乱平均自由行程  $\lambda$  および各電子軌道の光イオン化断面積  $\sigma$  を用いて (3.3) 式で表される。

$$\alpha = \frac{I_{\text{P}^{1+}}}{I_{\text{P}^{1+}} + I_{\text{P}^0}} \quad (3.2)$$

$$\frac{I_{\text{P}1s}}{I_{\text{Ge}2p}} = \frac{X_{\text{P}1s}}{X_{\text{Ge}2p}} \frac{\sigma_{\text{P}1s}}{\sigma_{\text{Ge}2p}} \frac{\lambda_{\text{P}1s}}{\lambda_{\text{Ge}2p}} \quad (3.3)$$

図 3.8 (b) に、HAXPES 測定により得られた P ドープ Ge 層中の P 濃度および活性化 P 濃度を示す。図 3.7 (a) に示した SIMS 測定結果と同様、Ge 層中の P 濃度は TEP 流量の増加とともに増大する傾向がみられる。一方で、Hall 効果測定より得られた Hall 電子密度は  $1 \sim 2 \times 10^{19} \text{ cm}^{-3}$  付近で頭打ちの傾向がみられたが、HAXPES 測定により得られた活性化 P 濃度は、成長温度  $400$ 、 $350$  および  $320^\circ\text{C}$  においてそれぞれ  $5.9 \times 10^{19}$ 、 $6.9 \times 10^{19}$ 、 $1.5 \times 10^{19} \text{ cm}^{-3}$  と見積もられた。図 3.9 に、これまで述べた SIMS、Hall 効果および HAXPES 測定を用いて得られた膜中 P 濃度、Hall 電子密度および活性化 P 濃度の関係を示す。図中に示す破線は、Ge 層に導入された P がすべて電氣的に活性化

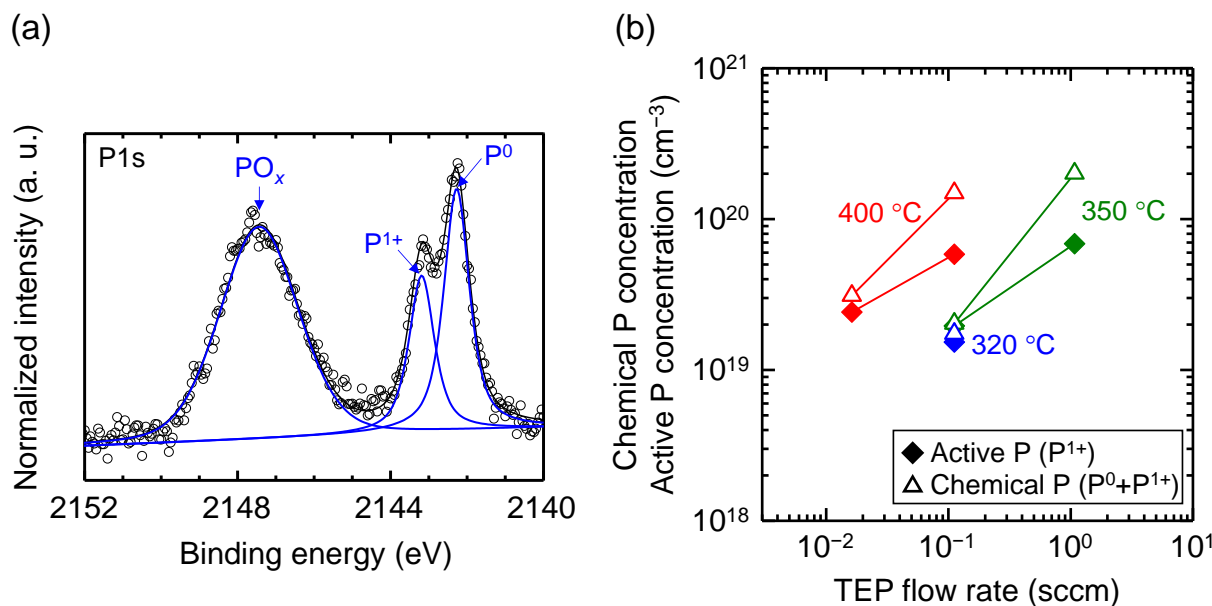


図 3.8: (a) 硬 X 線光電子分光法 (HAXPES) を用いて P ドープ Ge 層 (成長温度 400 °C、TEP 流量  $1.1 \times 10^{-1}$  sccm) から得られた P1s 内殻準位スペクトル。(b) HAXPES 測定によって得られた、様々な成長温度で作製した P ドープ Ge 層の膜中 P 濃度および活性化 P 濃度に対する TEP 流量依存性。

した場合の電子密度を表している。HAXPES 測定結果から、成長温度 350 および 400 °C で形成した P ドープ Ge 層は、 $6 \sim 7 \times 10^{19} \text{ cm}^{-3}$  の活性化 P 濃度を有することがわかった。一方で、Hall 効果測定ではいずれも  $1 \sim 2 \times 10^{19} \text{ cm}^{-3}$  の Hall 電子密度であった。また、同様に、成長温度 320 °C の場合は、HAXPES 測定より見積もられる活性化 P 濃度は  $1.5 \times 10^{19} \text{ cm}^{-3}$  であるが、Hall 電子密度としては  $2.2 \times 10^{18} \text{ cm}^{-3}$  であった。これは、格子置換した活性化 P 原子の一部のみが電気伝導に寄与することを示唆している。

過去の研究報告によれば[33, 34]、一般に Ge 中での  $n$  型ドーパントの不活性化の機構は、E-center と呼ばれる  $n$  型ドーパント-原子空孔 (vacancy) 対、あるいはそれらのクラスター形成が要因として知られている。したがって、図 3.9 中の高濃度ドーブ領域 ( $\geq 5 \times 10^{19} \text{ cm}^{-3}$ ) における P 不活性化の要因は、E-center あるいはそれらのクラスター形成と考えられる。さらに、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  の系で、MBE 法での成長温度の低減にとともに薄膜中の原子空孔に関連する欠陥密度の増大が報告されている[35]。MOCVD 法を用いて成長温度 400 °C 以下で形成した Ge 層は、低温成長により Ge 層成長中に多量の原子空孔が導入されることが推察される。Ge 中の vacancy は禁制帯中の価電子帯端付近にアクセプタ準位を形成することが知られている。したがって、低温形成し



た Ge 層中には電子を補償する正孔が存在していると考えられる。故に、HAXPES 測定により得られた活性化 P 濃度と Hall 電子密度の乖離は、Ge 層中に存在する多量の正孔による自由電子の補償が一つの要因として考えられる。また、Si 基板上に成長した Ge 層中の結晶欠陥（転位、積層欠陥、結晶粒界）と P との相互作用や、E-center などの vacancy 関連欠陥の形成によって P が不活性化した可能性が考えられる。

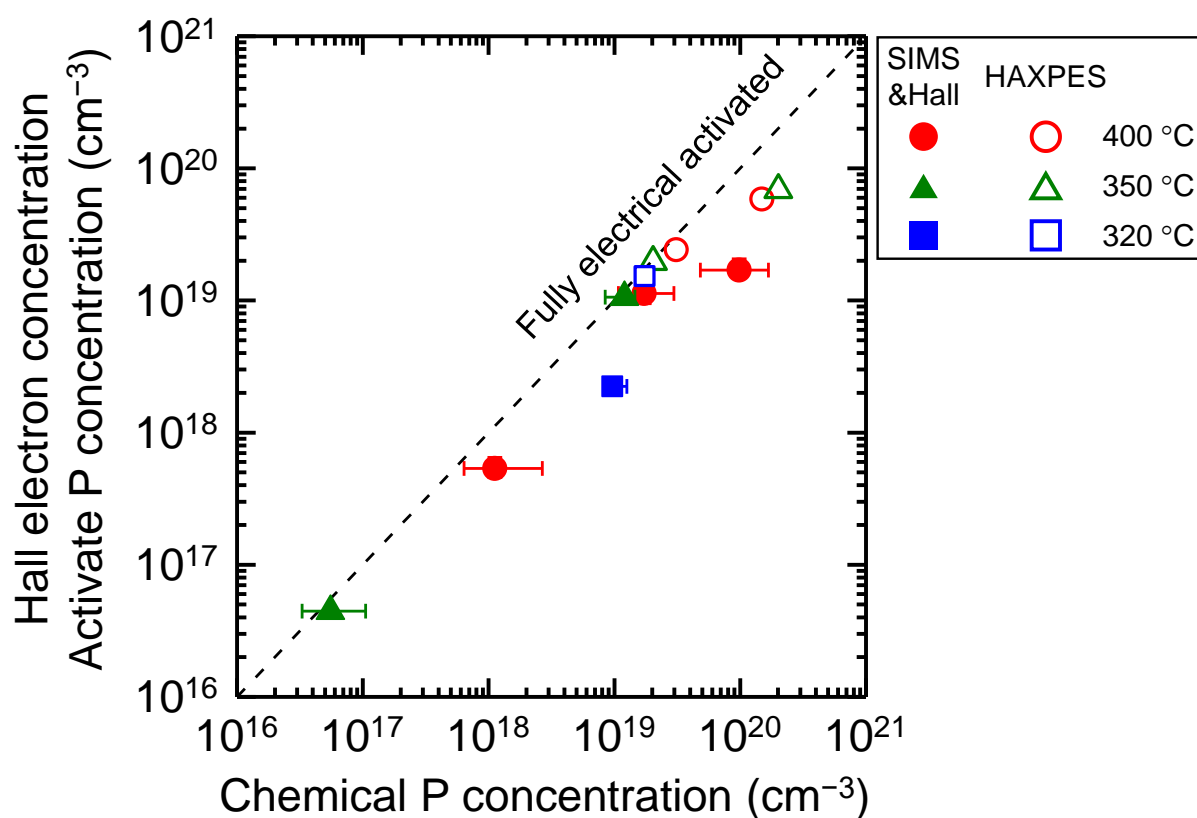


図 3.9: P ドープ Ge 層から得られた Hall 電子密度に対して、SIMS 測定から見積もられた膜中 P 濃度の関係。併せて、HAXPES 測定により得られた活性化 P 濃度および膜中 P 濃度の関係も示す。破線は、Ge 層に導入された P がすべて電氣的に活性化した場合の電子密度を表す。



次に、各成長温度で形成した P ドープ Ge 層内の電子移動度について調べた。図 3.10 に、Hall 効果測定から得られた P ドープ Ge 層の Hall 電子移動度に対する Hall 電子密度依存性を示す。図中には比較のためバルク  $n$  型 Ge の報告値を併せて示す[36]。Si 基板上に成長した P ドープ Ge 層の Hall 電子移動度は、いずれもバルク  $n$  型 Ge より低い値であった。電子移動度は Ge 層の結晶性に大きく影響を受ける。Si と Ge の間には 4.2% の大きな格子ミスマッチが存在するため、Si 基板上にひずみ緩和した Ge 層には多量の貫通転位やミスフィット転位が存在すると推察される。図 3.5 (b) に示すように、成長温度の増大により Ge 格子面の微小傾斜が低減される、つまり Ge 層の結晶性は向上する。図 3.10 にて、成長温度の低減とともに電子移動度が低下する要因として、Ge 層の結晶性そのものの悪化が考えられる。

これらの結果から、MOCVD 法を用いた *in situ* P ドーピングにより、Ge 中への P の平衡固溶限 ( $1\sim 2\times 10^{19} \text{ cm}^{-3}$ ) に達する高濃度  $n$  型 Ge エピタキシャル層を実現できることが示された。

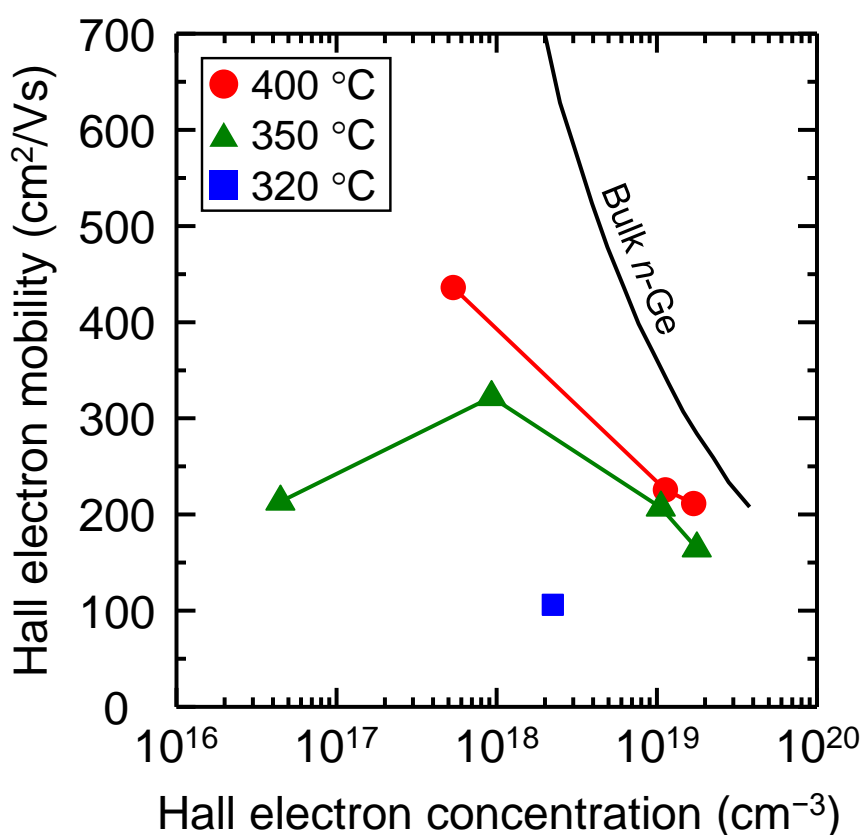


図 3.10: Hall 効果測定から得られた P ドープ Ge 層の Hall 電子移動度に対する Hall 電子密度依存性。ホール因子は 1 とした。

### 3.3.3 薄膜成長に成長圧力が及ぼす影響

本節では、P ドープ Ge 層の結晶性、導入 P 濃度および活性化 P 濃度に対する成長圧力の影響について議論する。成膜チャンバーに供給するプリカーサ流量を一定としたとき、成長圧力の増大とともにプリカーサ分圧も増加する。図 3.11 に、TBGe 流量を一定とし、320~400 °C で成長したときの Ge 層の成長速度に対する成長圧力依存性を示す。Ge 層の成長速度は、断面 SEM 観察により測定した Ge 層厚さを成長時間で割った値とした。いずれの成長温度においても、3 kPa から 20 kPa へ成長圧力を増加させると、成長速度がおよそ 2 倍に増大した。同一の成長温度下では、成長速度の増加に伴い、吸着原子の表面泳動距離は変化すると考えられる。

ここで、成長表面に吸着した原子の表面泳動距離  $L$  を(3.4)式を用いて比較した。

$$L \propto \exp\left(-\frac{E_a}{kT}\right) \times \frac{1}{GR} \quad (3.4)$$

式中の  $E_a$ 、 $k$ 、 $T$ 、 $GR$  はそれぞれ表面拡散の障壁高さ (Ge(001)上に吸着した Ge 原子の場合、 $E_a=0.53$  eV[37])、ボルツマン定数、成長温度および成長速度である。成長温度と拡散障壁高さで決定される吸着原子の表面移動度と、吸着原子の表面泳動時間 (成長速度の逆数) の掛け合わせが表面泳動距離に比例すると考えた。

図 3.12 に、各々の成長温度および成長速度を用いて見積もられた吸着原子の表面泳動距離の比較を示す。成長温度 320 °C、成長圧力 3 kPa での  $L$  を 1 として規格化した。これらの結果から、成長圧力すなわち成長速度の増大により成長表面の吸着原子の泳動距離が減少することがわかる。Ge 成長表面での泳動距離が減少、すなわち、より非平衡的な結晶成長への移行が示唆される。

次に、P ドープ Ge 層の結晶性および表面平坦性に対して、成長速度の増大が及ぼす影響について調べた。ここでは、TEP 流量は  $1.1 \times 10^{-1}$  sccm 一定とした。図 3.13 に、P ドープ Ge 層における XRD  $\omega$  ロッキングカーブ測定から得た Ge 004 回折ピークの FWHM 値の成長速度依存性を示す。同様に、 $1 \times 1 \mu\text{m}^2$  の領域で行った AFM 測定から得た表面 RMS 粗さの成長速度依存性を図 3.14 に示す。P ドープ Ge 層は成長速度の増大に対して、350 および 400 °C 成長では FWHM 値の大きな変化はみられない一方

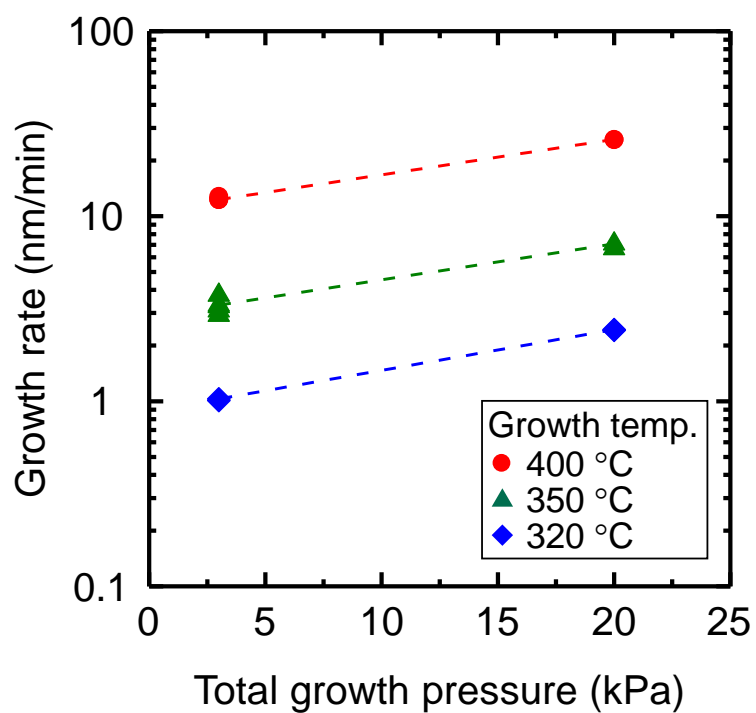


図 3.11: Ge 層の成長速度の成長圧力依存性。

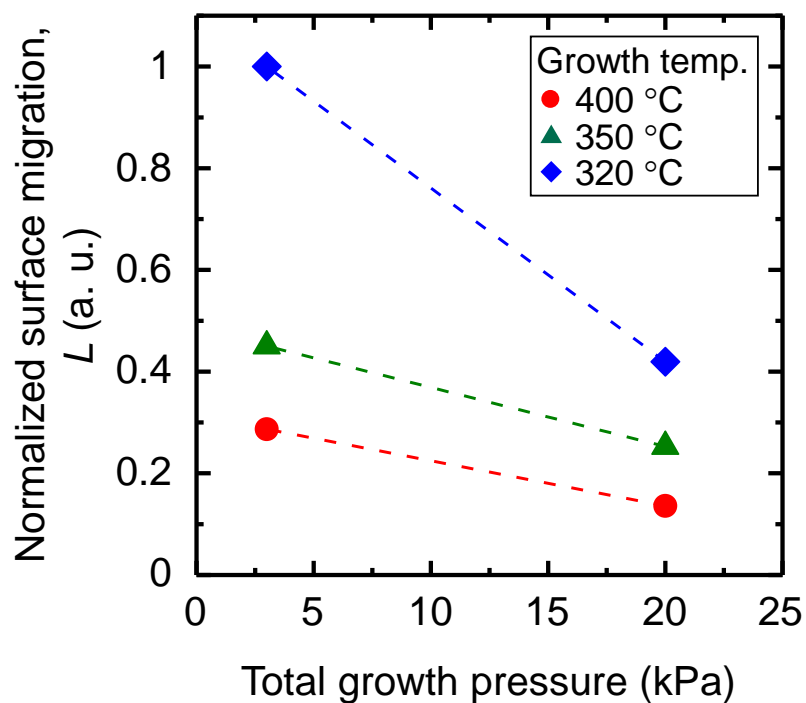


図 3.12: Ge 表面に吸着した原子の表面泳動距離。

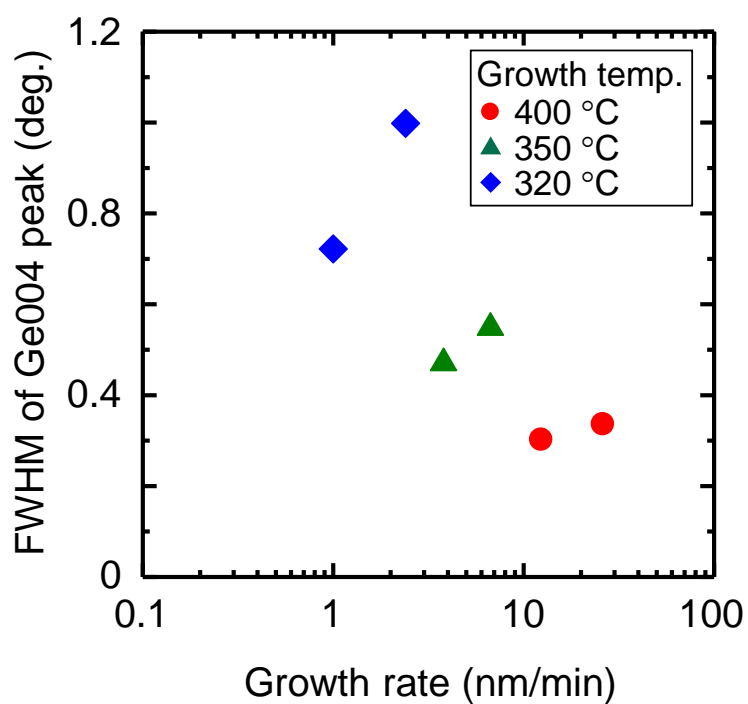


図 3.13: P ドープ Ge 層に対する XRD の ロッキングカーブ測定から得た Ge 004 回折ピークの FWHM 値の成長速度依存性。

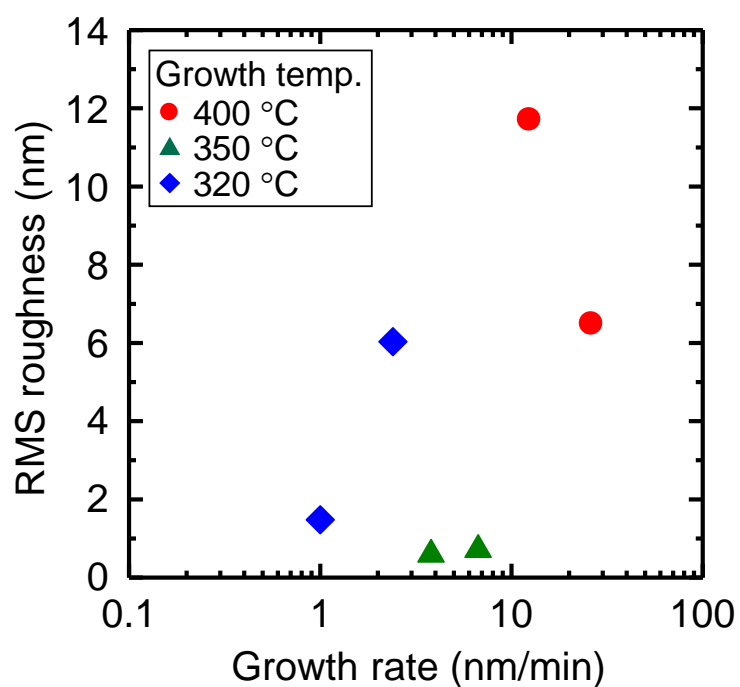


図 3.14: P ドープ Ge 層に対する AFM 測定から得た表面 RMS 粗さの成長速度依存性。

で、320 °C 成長に関しては FWHM 値が増加することがわかった。表面 RMS 粗さについても同様に、320 °C 成長の Ge 層では成長速度の増大とともに表面平坦性が大きく損なわれていることがわかった。これら XRD および AFM 測定の結果から、320 °C 成長の Ge 層でみられた結晶性の大幅な悪化は、一部領域での多結晶化を示唆するものと考えられる。

次に、P ドープ Ge 層の電子物性に対して成長速度が及ぼす影響について調べた。図 3.15 (a) に、各々の成長条件の下で作製した P ドープ Ge 層に対する SIMS 測定および Hall 効果測定から得られた膜中 P 濃度、Hall 電子密度の成長速度依存性を示す。いずれの成長温度でも、成長速度の増加に対して Ge 層中の P 濃度に大きな変化は観測されなかった。また、Hall 電子移動度は成長温度 350 °C 以上において  $1\sim 2\times 10^{19} \text{ cm}^{-3}$  程度で頭打ちの傾向がみられる。成長温度 320 °C においては、成長速度の増加によって Hall 電子密度が減少した。図 3.13 および 3.14 で述べたように、成長温度を 320 °C まで低減した場合、成長速度の増加に伴い、Ge 層の結晶性および表面平坦性が大きく悪化した。Ge 層中に導入された多量の空孔欠陥が P 原子と E-center を形成した結果、P が不活性化した、または空孔欠陥から生み出された正孔が電子を補償した、あるいはその双方に起因して、Hall 電子密度が減少したと推察される。

図 3.15 (b) に、SIMS 測定により得られた Ge 層中の C および O 濃度を示す。いずれの成長温度においても、Ge 層の成長速度の増大に伴う膜中 C および O 濃度に変化はみられなかった。また、成長温度 320~400 °C の範囲で作製した Ge 層の膜中 P 濃度に比べて、C および O 濃度は 1~2 桁少ない。成長速度の増大が C および O を含む不純物導入に与える影響は小さいと考えられる。

Ge 層に導入される P 濃度に対する成長温度の影響を調べるため、Ge および P の堆積速度に対するアレニウスプロットを図 3.16 に示す。P の堆積速度は、SIMS 測定から得られた Ge 層中の平均 P 濃度を、Ge 表面の面密度 ( $1.25\times 10^{15} \text{ cm}^{-2}$ ) を用いて P 膜厚に換算し、成長時間で割った値を用いた。アレニウスプロットの傾きから Ge および P 堆積の活性化エネルギーはそれぞれ 1.0 および 2.1 eV と見積もられた。それぞれの活性化エネルギーは成長圧力の増加に対してほとんど変化しないことが確認された。Ge に比べて P 堆積の活性化エネルギーが 2 倍ほど大きく、この両者の活性化エ

エネルギー差に起因して、成長温度の低減とともに Ge および P 堆積速度の差が増大する。すなわち、一定の TBGe および TEP 流量下では成長温度の低温化に伴い、導入 P 濃度が減少する。以上の結果から、同一の成長温度下において、P ドープ Ge 層の成長速度が導入 P 濃度に及ぼす影響は小さいと考えられる。

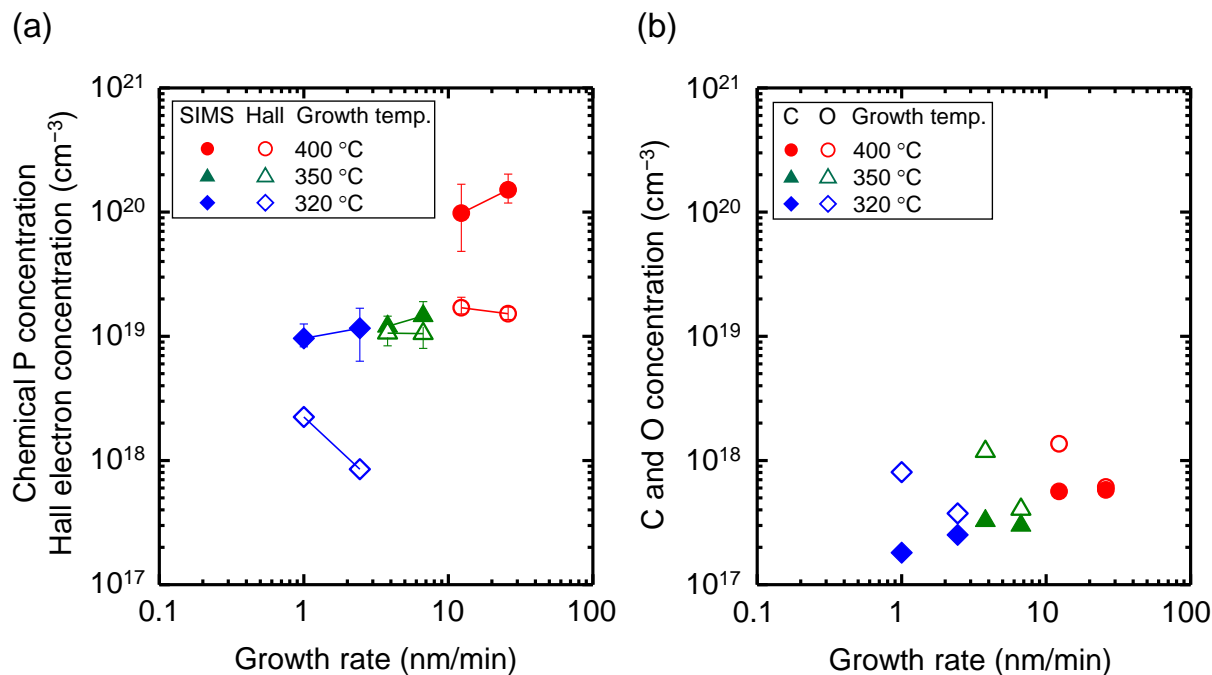


図 3.15: (a) P ドープ Ge 層内の P 濃度および Hall 電子密度、(b) 膜中 C および O 濃度の成長速度依存性。

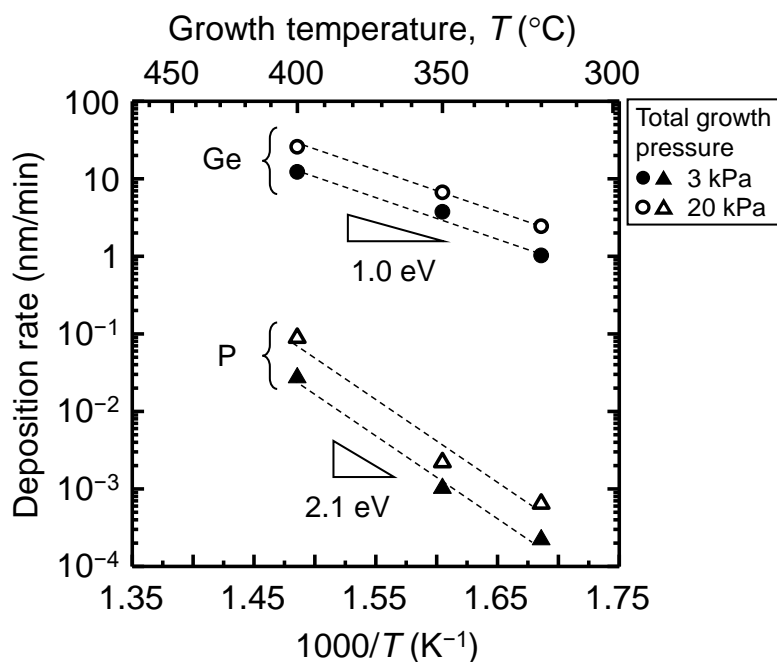


図 3.16: TBGe および TEP プリカーサを用いた時の Ge および P 堆積速度に対する成長温度依存性。

3.3.4 P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜のエピタキシャル成長

前節までの結果から、MOCVD 法による *in situ* P ドーピングにより、P ドープ Ge 層の結晶成長および電子物性について詳細に議論してきた。本節では、同様の手法を用いて、成長温度 320 °C にて形成した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶成長および電子物性について調べた。本節で扱う  $\text{Ge}_{1-x}\text{Sn}_x$  層の成長圧力はすべて 20 kPa とした。

P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層は Si 基板および Ge バッファ層上に形成した。 $\text{Ge}_{1-x}\text{Sn}_x$  層の膜厚は 110~140 nm とした。Ge バッファ層は、以下の手法で作製した。まず、MOCVD 法を用いて、Si 基板上に成長圧力 3 kPa、成長温度 350 °C、膜厚 60 nm の Ge 層を成長した。その後、Ge 層を完全ひずみ緩和させるため、成膜チャンバー内にて 700 °C、5 分間の熱処理を行った[38]。

図 3.17 (a) および (b) に、Si 基板および Ge バッファ層上に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  層に対する XRD-2DRSM 測定結果を示す。TBVSn 流量は  $1.2 \times 10^{-2}$  sccm 一定とし、TEP 流量はそれぞれ  $1.1 \times 10^{-1}$ 、1.1 sccm とした。Si 基板および Ge バッファ層上のいずれも、 $\text{Ge}_{1-x}\text{Sn}_x$  層に由来する明瞭な回折ピークが観測される。Si 基板上の  $\text{Ge}_{1-x}\text{Sn}_x$  層は、図中のひずみ緩和を示す破線上に回折ピークが位置するため、完全ひずみ緩和したエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層が成長したことがわかった。一方で、Ge バッファ層上に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  層の回折ピークは、Ge バッファ層に由来する回折ピークの真下に位置するため、Ge バッファ層上に pseudomorphic に成長したことを示唆している。

2.2.3 節で説明した方法で、 $\text{Ge}_{1-x}\text{Sn}_x$  層中の格子置換 Sn 組成を見積もった。図 3.17 (c) に、XRD-2DRSM 測定より見積もられた、TBVSn 流量に対する格子置換 Sn 組成を示す。一定の TBGe 流量の下、TBVSn 流量の増加に対して  $\text{Ge}_{1-x}\text{Sn}_x$  層内の格子置換 Sn 組成は 0~2% の範囲で線形に増大することがわかった。

$\text{Ge}_{1-x}\text{Sn}_x$  層の結晶性および表面モフォロジーを比較するため、XRD  $\omega$  ロッキングカーブ測定および AFM 測定を行った。図 3.18 に、Sn 組成の異なる  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折ピークの  $\omega$  ロッキングカーブ測定結果、および回折ピークの FWHM 値の Sn 組成依存性を示す。Si 基板上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層は、Sn 組成の増大とともに回折ピークの半値幅が減少、つまり結晶性が向上する傾向がみられた。Ge バッファ層上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層は、Si 基板上に同程度の Sn 組成を有する  $\text{Ge}_{1-x}\text{Sn}_x$

層と比べてピーク半値幅が小さい。これは、図 3.17 (b) に示したように、 $\text{Ge}_{1-x}\text{Sn}_x$  層と格子ミスマッチの小さい Ge バッファ層上では pseudomorphic に成長し、Si 基板上に完全ひずみ緩和した  $\text{Ge}_{1-x}\text{Sn}_x$  層と比較して結晶性が向上したためと考えられる。

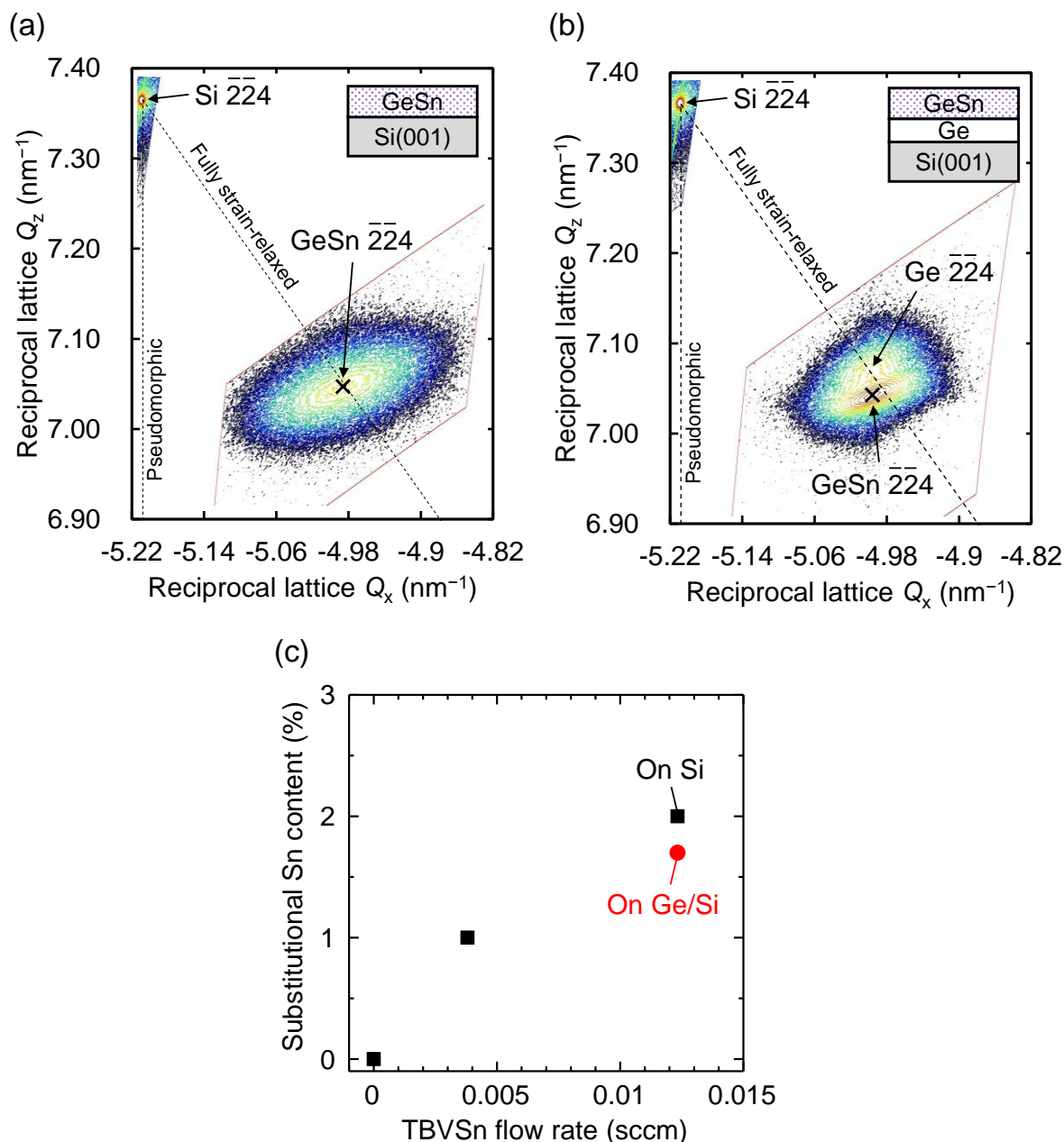


図 3.17: (a) Si 基板上および (b) Ge バッファ層上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得た XRD-2DRSM 測定結果。(c) XRD 測定により見積もられた格子置換 Sn 組成の TBVSn 流量依存性。



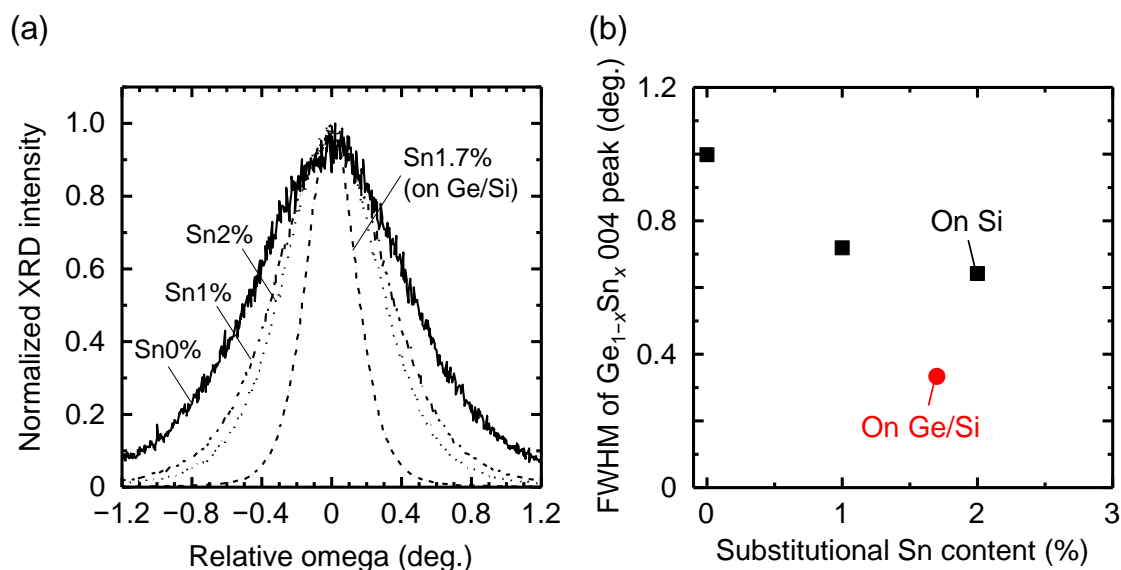


図 3.18: (a) Si 基板上および Ge バッファ層上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得た XRD  $\omega$  ロッキングカーブ測定結果。 (b)  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折ピークの FWHM 値の Sn 組成依存性。

図 3.19 に、Si 基板および Ge バッファ層上に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  層表面から得られた AFM 像および高さプロファイルを示す。AFM 測定領域は  $1 \times 1 \mu\text{m}^2$  とした。図 3.19 (a) ~ (c) に示す AFM 像から、 $\text{Ge}_{1-x}\text{Sn}_x$  層の Sn 組成の増加とともに、表面凹凸の高さが低減され、薄膜表面の島状成長が抑制される様子がわかる。さらに、Ge バッファ層上に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  層（図 3.19 (d)）は、同程度の Sn 組成の  $\text{Ge}_{1-x}\text{Sn}_x$  層と比較して平坦性の高い表面が得られたことがわかる。AFM 測定の結果から見積もられる  $\text{Ge}_{1-x}\text{Sn}_x$  層表面の RMS 粗さの Sn 組成依存性を図 3.20 に示す。Sn 組成の増大とともに RMS 粗さが減少し、表面平坦性が向上することがわかる。また、格子ミスマッチの小さい Ge バッファ層上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層では 1 nm 以下の表面平坦性の高い薄膜が得られた。Ge 成長表面に Sn 原子が吸着すると表面エネルギーが変調され、吸着原子の表面泳動が促進される。その結果、高品質な薄膜形成が実現された可能性が考えられる [39]。

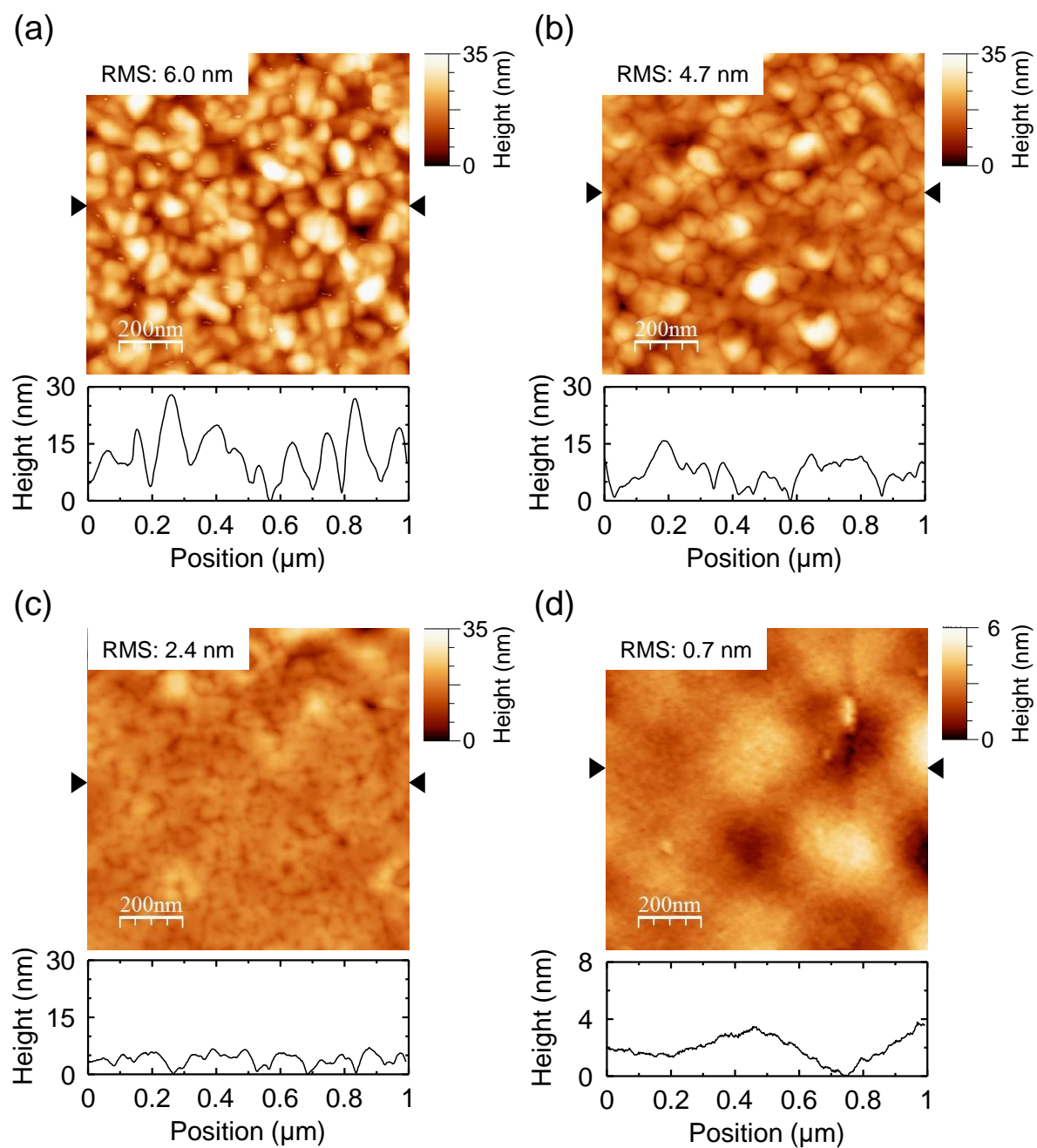


図 3.19: Si 基板上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層表面の AFM 像。Sn 組成は(a) 0%、(b) 1.0%および (c) 2.0%。(d) Ge バッファ層上に成長した Sn 組成 1.7%の P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層表面の AFM 像。

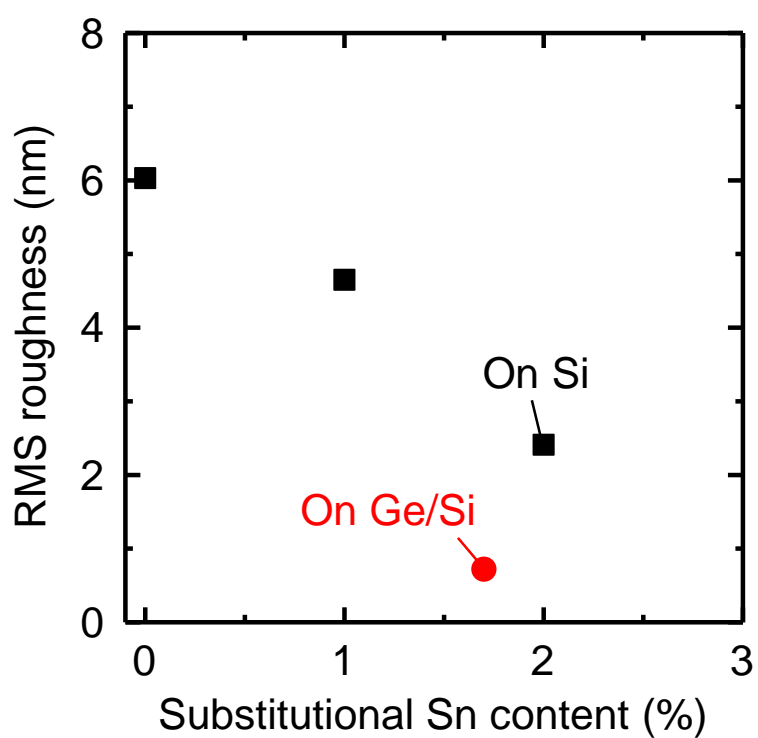


図 3.20: Si 基板および Ge バッファ層上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層表面の RMS 粗さの Sn 組成依存性。

### 3.3.5 P ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の電子物性評価

本節では、前節で述べた Si 基板上および Ge バッファ層上に形成した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜に対する電気的特性について議論する。

図 3.21 に、成長温度 320 °C において Si 基板上に形成した P ドープ Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた P および Sn 濃度の SIMS 測定結果を示す。これらの試料は、TEP 流量は  $1.1 \times 10^{-1}$  sccm 一定として作製した。Sn 組成 1% および 2% の  $\text{Ge}_{1-x}\text{Sn}_x$  層に対して、SIMS 測定結果から、薄膜中に Sn が均一に導入されていることがわかった。

図 3.22 に、SIMS 測定の結果から評価した  $\text{Ge}_{1-x}\text{Sn}_x$  層中の P 濃度、および Hall 効果測定から評価した Hall 電子密度の Sn 組成依存性を示す。併せて、HAXPES 測定により見積もられる  $\text{Ge}_{1-x}\text{Sn}_x$  層中の P 濃度および活性化 P 濃度を示す。なお、Hall 測定において、P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層はすべて  $n$  型の電気伝導特性を示した。SIMS および HAXPES 測定いずれの結果からも、TEP 流量一定 ( $1.1 \times 10^{-1}$  sccm) の下で TBVSn 流量を増加したとき、 $\text{Ge}_{1-x}\text{Sn}_x$  層に導入される P 濃度は、Sn 組成の増加とともに減少する傾向がみられた。これは、P および Sn プリカーサの分解過程あるいは、P および Sn が Ge 膜中に取り込まれる過程で競合が起こっていることが推察される。成膜チャンバー内の雰囲気、これらのプリカーサの分解過程に及ぼす影響についての詳細は、現在明らかにはなっていない。図 3.1 に示すように、P および Sn 原子周辺には 3 ないしは 4 つの有機基が結合していることから、おそらく、プリカーサの分解過程において、P および Sn と結合する有機基を引き抜くために  $\text{H}_2$  が必要と推測される。したがって、プリカーサの分解過程にて  $\text{H}_2$  を必要とする双方が競合した結果、Sn 組成の増大とともに導入 P 濃度が減少したと考えられる。これは、あくまでも推測の域を出ないため、今後、それぞれのプリカーサの分解反応に対してガス雰囲気が及ぼす影響について検証する必要がある。

また、 $\text{Ge}_{1-x}\text{Sn}_x$  層中に取り込まれた P 濃度が固溶限以下にもかかわらず、活性化 P 濃度および Hall 電子密度は固溶限を大きく下回っている。これは、320 °C で成長した P ドープ Ge 層の結果と同様に、Si 基板上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層内に多量の結晶欠陥が含まれるためと推察される。

P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層中の残留不純物濃度を SIMS 測定の結果から評価した。図 3.21

および 3.22 の試料から得られた、膜中の平均的な H、C および O 濃度の Sn 組成依存性を図 3.23 に示す。Sn 組成の増大に対して膜中 H および O 濃度は、それぞれ  $3.5\sim 5.9\times 10^{18}\text{ cm}^{-3}$  および  $2.5\sim 3.8\times 10^{17}\text{ cm}^{-3}$  の範囲でほとんど変化がみられなかった。一方、膜中 C 濃度は Sn 組成の増大とともに  $2.5\times 10^{17}\text{ cm}^{-3}$  (Sn 組成 0%) から  $2.2\times 10^{18}\text{ cm}^{-3}$  (Sn 組成 2%) までの増加がみられた。これらの試料は TEP 流量  $1.1\times 10^{-1}\text{ sccm}$  一定下で作製したものであるため、Sn 原料として用いた TBVSn 由来の残留 C であると推察される。Ge あるいは  $\text{Ge}_{1-x}\text{Sn}_x$  層内の残留 C 濃度に対して、それらが実際の電気的特性に与える影響については未だ明らかになっていないため、今後、検証する必要がある。

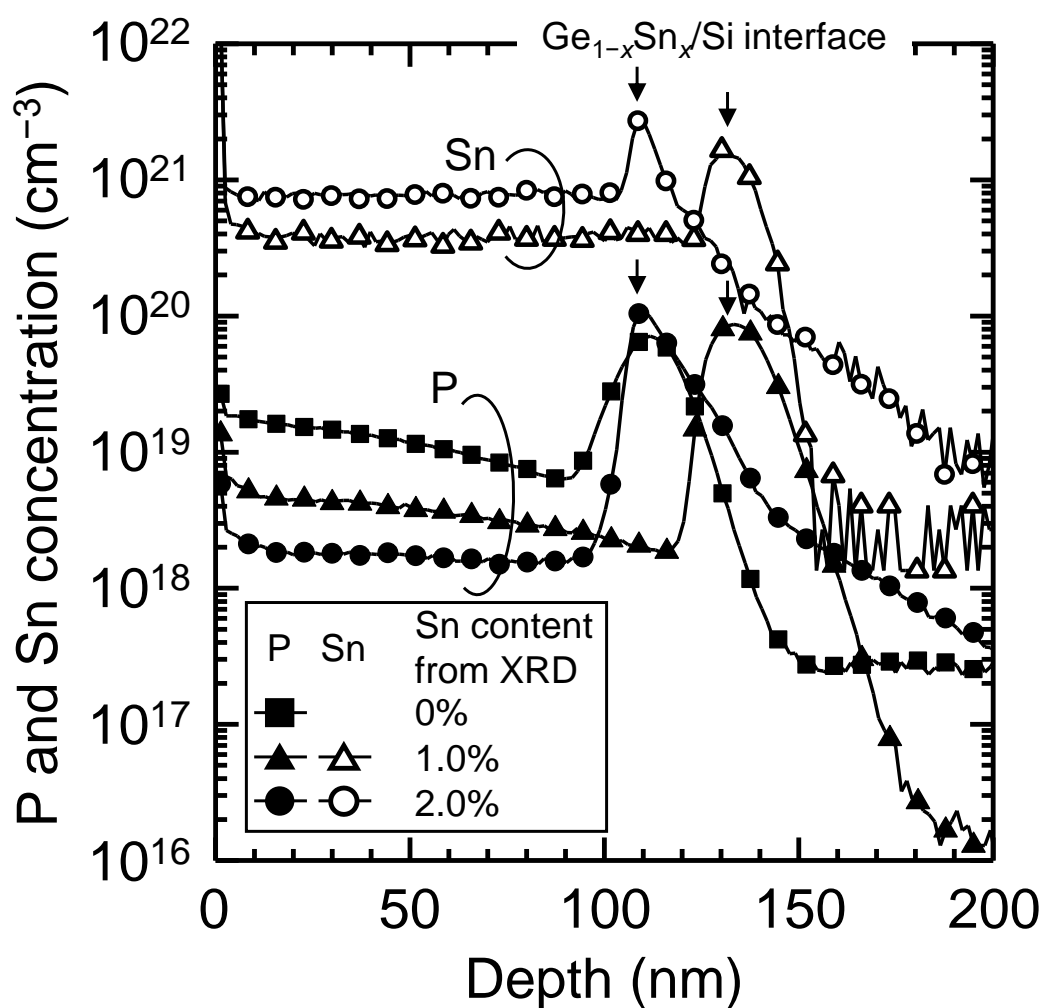


図 3.21: Si 基板上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた P および Sn の SIMS プロファイル。

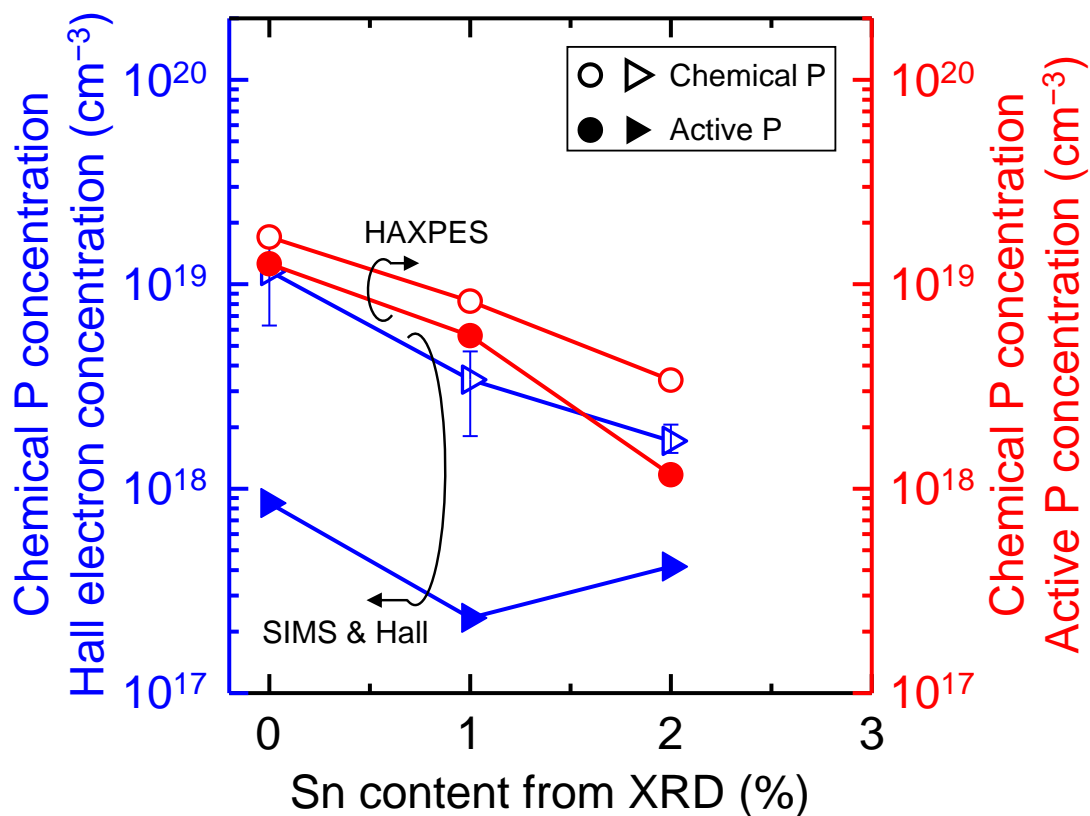


図 3.22: Si 基板上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた膜中 P 濃度、Hall 電子密度および活性化 P 濃度の Sn 組成依存性。

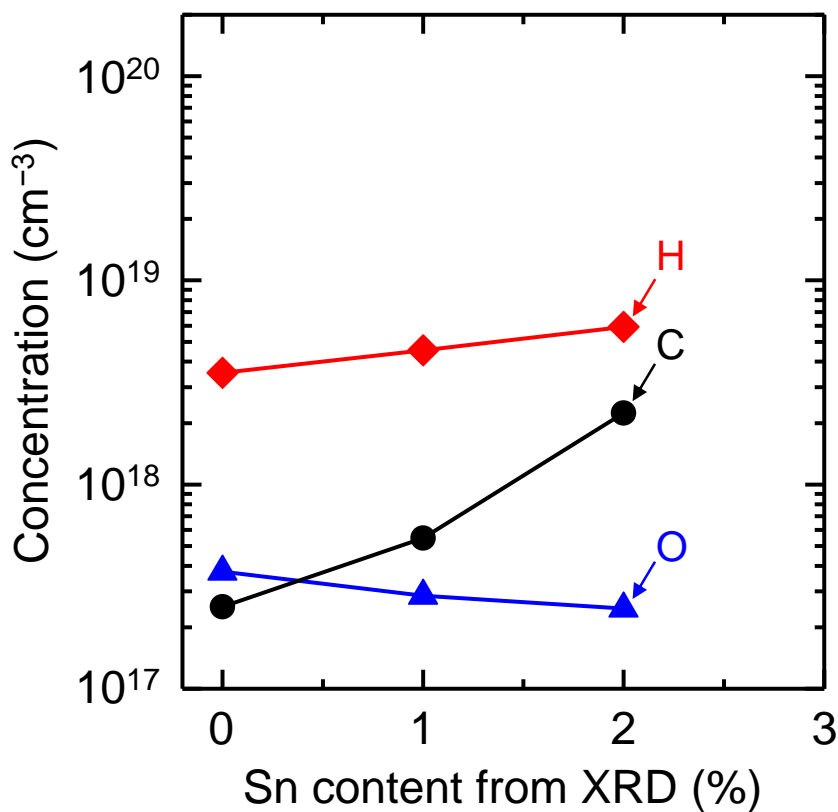


図 3.23: Si 基板上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層に対する SIMS 測定より得られた膜中 H、C および O 濃度の Sn 組成依存性。

結晶性の高い  $\text{Ge}_{1-x}\text{Sn}_x$  層が得られる Ge バッファ層において、TEP 流量をさらに増加させ、膜中 P 濃度の増大を検討した。図 3.24 に、Ge バッファ層上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた Hall 電子密度を示す。また、HAXPES 測定により得られた  $\text{Ge}_{1-x}\text{Sn}_x$  層中の P 濃度および活性化 P 濃度も併せて示す。XRD 測定の結果から、TEP 流量の増大に伴う格子置換 Sn 組成の変化は認められなかった。TEP 流量の増加によって、 $\text{Ge}_{1-x}\text{Sn}_x$  層中の導入 P 濃度は  $1 \times 10^{19} \text{ cm}^{-3}$  程度まで増大することがわかった。Si 基板上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層では、図 3.18~3.20 に示したように、大きな格子ミスマッチに起因して  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶性が悪いために、P の活性化率が低く、導入 P 濃度と Hall 電子密度に大きな差が観測される。一方、Ge バッファ層上の  $\text{Ge}_{1-x}\text{Sn}_x$  層は双方の格子ミスマッチが小さいため  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶性が向上し、導入 P 濃度に対してほぼすべてが活性化していることがわかる。結果的には、MOCVD 法によって、

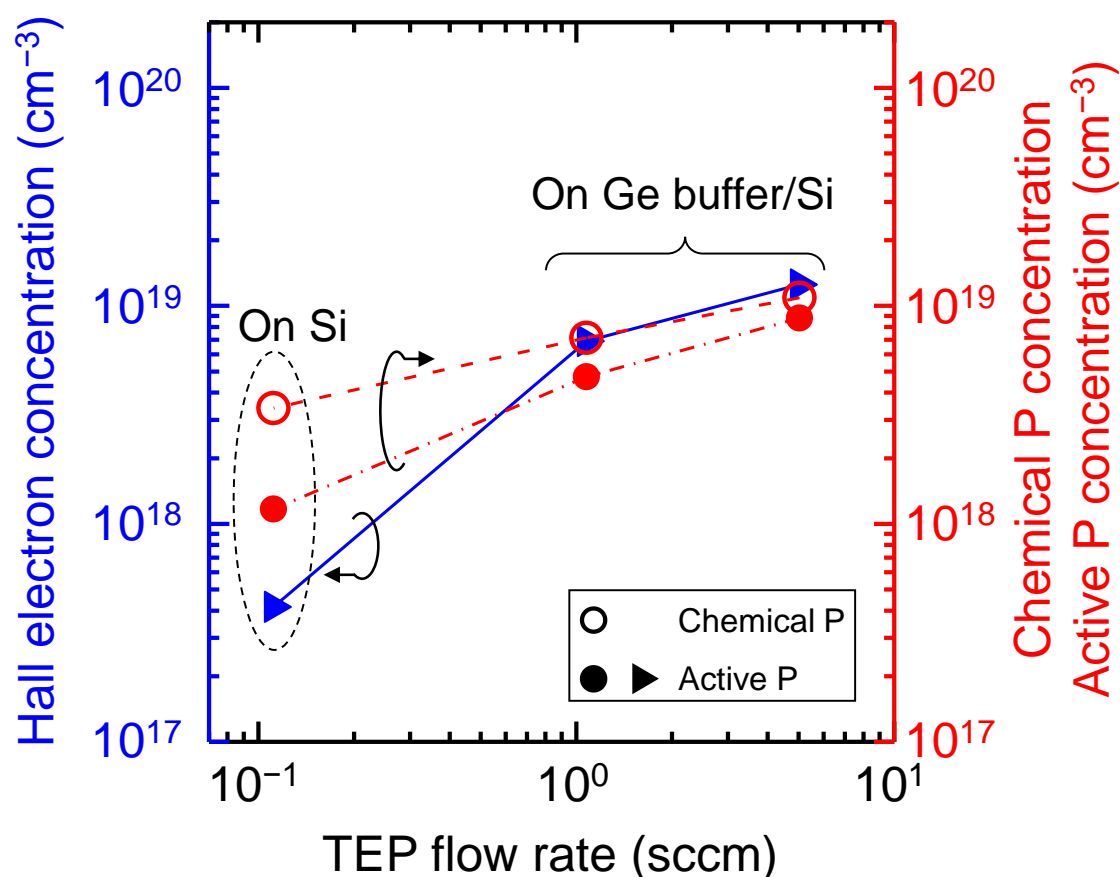


図 3.24: Si 基板上に成長した Sn 組成 2.0% の P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層、および Ge バッファ層上に成長した Sn 組成 1.7% の P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた膜中 P 濃度、活性化 P 濃度および Hall 電子密度の TEP 流量依存性。いずれも、TBGe および TBVS<sub>n</sub> 流量は一定とした。

$1.3 \times 10^{19} \text{ cm}^{-3}$  の活性化 P 濃度および Hall 電子密度を有する  $n$  型  $\text{Ge}_{1-x}\text{Sn}_x$  層を実現した。

図 3.25 に、P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られた Hall 電子移動度を示す。併せて、図 3.10 にて述べた、様々な成長温度で成長した Si 基板上の P ドープ Ge 層の Hall 電子移動度の結果も再度示す。 $\text{Ge}_{1-x}\text{Sn}_x$  層の成長温度はいずれも  $320^\circ\text{C}$  の低温にもかかわらず、特に Ge バッファ層上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層は、成長温度  $400^\circ\text{C}$  の Ge 層と同等の電子移動度を有することがわかった。先にも述べたように、電子移動度はエピタキシャル層の結晶性に大きく影響を受ける。Sn 原子導入により結晶性に与える効果や、格子ミスマッチの小さい Ge バッファ層上への成長により、低温成長にもかかわらず  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶性が向上したために電子移動度が向上したと考えられる。

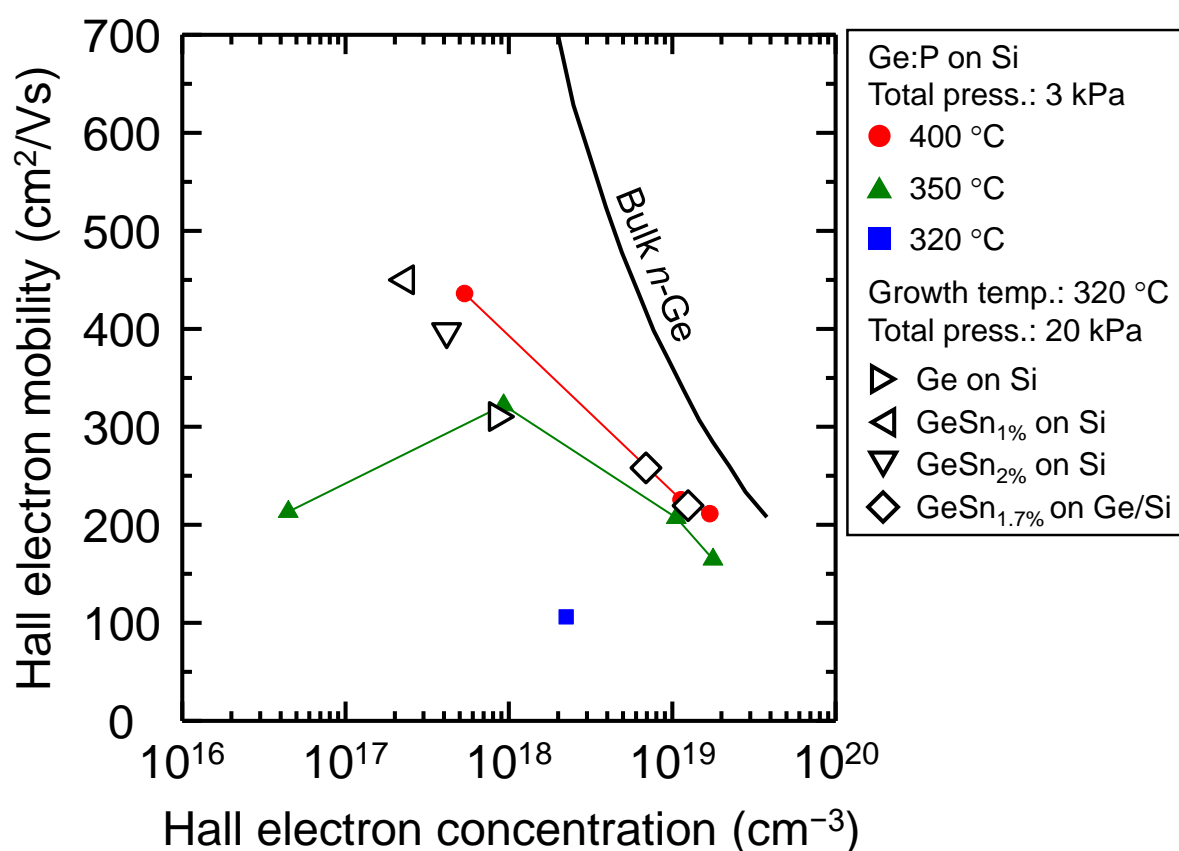


図 3.25: Hall 効果測定から得られた P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層の Hall 電子移動度。比較のため、図 3.10 に示した P ドープ Ge/Si 試料の Hall 電子移動度も示す。ホール因子は 1 とした。



### 3.4 結論

Ge チャネルあるいはひずみ Ge チャネル  $n$ -MOSFET 実現に向けた、低抵抗の S/D 領域の形成を目指して、MOCVD 法を用いた *in situ* P ドーピングによる Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の不純物制御を検討した。高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層を形成し、結晶性および電気的特性について詳細に調べた。

成長温度 400 °C 以下の低温にて、Si 基板上に P ドープ Ge 層のエピタキシャル成長を実現した。TEP 供給量の増加とともに膜中 P 濃度は増大し、Ge 中の P の固溶限を大きく超える  $1 \times 10^{20} \text{ cm}^{-3}$  の P 濃度が得られた。一方で、Ge 層の Hall 電子密度は  $2 \times 10^{19} \text{ cm}^{-3}$  程度で飽和する傾向がみられた。

さらなる活性化 P 濃度の向上を目指して、成長速度の増大による非平衡的成長下での P ドープ Ge 層のエピタキシャル成長を検討した。350 および 400 °C の成長温度下においては、成長速度の増大が導入 P 濃度および Hall 電子密度に与える影響は小さいことがわかった。また、Ge 層に取り込まれる P 濃度は、成長温度の低減とともに減少する傾向がみられた。Ge および P の堆積速度に対する活性化エネルギーはそれぞれ 1.0 eV、2.1 eV と見積もられ、Ge に比べて P の方が 2 倍ほど大きいことが明らかになった。この活性化エネルギー差に起因して、低温化とともに導入 P 濃度が減少したと考えられる。Ge および P プリカーサの組み合わせにまだ議論の余地がある。

成長温度 320 °C にて、P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長を実現した。Sn 導入の効果によって、Sn 組成の増加とともに、P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶性および表面平坦性が向上した。一方で、Sn 組成の増加とともに、 $\text{Ge}_{1-x}\text{Sn}_x$  層中の P 濃度が減少した。これは、Sn および P プリカーサの同時供給によって、両者の間で、プリカーサの分解反応あるいは Ge 層への取り込み過程で競合が起こっていると推察される。 $\text{Ge}_{1-x}\text{Sn}_x$  層との格子ミスマッチが小さい Ge バッファ層上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層は、Si 基板上と比較して結晶性および表面平坦性が大幅に向上した。本研究では、Hall 電子密度  $1.3 \times 10^{19} \text{ cm}^{-3}$  を有する Sn 組成 1.7% の  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長を実現した。

以上、本研究の結果は、MOCVD 法を用いた高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長を実証するものであり、ひずみ Ge チャネル MOSFET 実現に向けた

S/D 領域の不純物制御技術の構築に直結する研究成果である。

### 3.5 参考文献

- [1] H. Miyoshi, T. Ueno, Y. Hirota, J. Yamanaka, K. Arimoto, K. Nakagawa, and T. Kaitsuka, *Jpn. J. Appl. Phys.* **53**, 04EA05 (2014).
- [2] B. Vincent, Y. Shimura, S. Takeuchi, T. Nishimura, G. Eneman, A. Firrincieli, J. Demeulemeester, A. Vantomme, T. Clarysse, O. Nakatsuka, S. Zaima, J. Dekoste, M. Caymax, and R. Loo, *Microelectron. Eng.* **88**, 342-346 (2011).
- [3] S. Brotzmann and H. Bracht, *J. Appl. Phys.* **103**, 033508 (2008).
- [4] S. Uppal, A. F. W. Willoughby, J. M. Bonar, A. G. R. Evans, N. E. B. Cowern, R. Morris, and M. G. Dowsett, *J. Appl. Phys.* **90**, 4293-4295 (2001).
- [5] M. Friesel, U. Södervall, and W. Gust, *J. Appl. Phys.* **78**, 5351-5355 (1995).
- [6] E. Simoen, A. Satta, A. D'Amore, T. Janssens, T. Clarysse, K. Martens, B. D. Jaeger, A. Benedetti, I. Hoflijk, B. Brijs, M. Meuris, and W. Vandervorst, *Mater. Sci. Semicond. Process.* **9**, 634-639 (2006).
- [7] C. Claeys and E. Simoen, *Germanium-Based Technologies: From Materials to Devices*, Elsevier, Chapter 3 - Diffusion and Solubility of Dopants in Germanium, 67-96 (2007).
- [8] L. Rubin and J. Poate, *The Industrial Physicist* **9**, 12-15 (2003).
- [9] C. O. Chui, L. Kulig, J. Moran, W. Tsai, and K. C. Saraswat, *Appl. Phys. Lett.* **87**, 091909 (2005).
- [10] A. Satta, T. Janssens, T. Clarysse, E. Simoen, M. Meuris, A. Benedetti, I. Hoflijk, B. De Jaeger, C. Demeurisse, and W. Vandervorst, *J. Vac. Sci. Technol. B* **24**, 494-498 (2006).
- [11] M. Takenaka, K. Morii, M. Sugiyama, Y. Nakano, and S. Takagi, *Opt. Express* **20**, 8718-8725 (2012).
- [12] Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, A. Sakai, and T. Tezuka, *Appl. Phys. Express* **7**, 106501 (2014).
- [13] Y. Shimura, S. A. Srinivasan, D. V. Thourhout, R. V. Deun, M. Pantouvaki, J. V. Campenhout, and R. Loo, *Thin Solid Films* **602**, 56-59 (2016).
- [14] K. Suda, S. Ishihara, N. Sawamoto, H. Machida, M. Ishikawa, H. Sudoh, Y. Ohshita, and A. Ogura, *Jpn. J. Appl. Phys.* **53**, 110301 (2014).

- [15] K. Suda, S. Ishihara, N. Sawamoto, H. Machida, M. Ishikawa, H. Sudoh, Y. Ohshita, and A. Ogura, ECS Trans. **64**(6), 697-701 (2014).
- [16] Y. Inuzuka, S. Ike, T. Asano, W. Takeuchi, N. Taoka, O. Nakatsuka, and S. Zaima, ECS Solid State Lett. **4**(8), P59-P61 (2015).
- [17] Y. Inuzuka, S. Ike, T. Asano, W. Takeuchi, O. Nakatsuka, and S. Zaima, Thin Solid Films **602**, 7-12 (2016).
- [18] T. Washizu, S. Ike, Y. Inuzuka, W. Takeuchi, O. Nakatsuka, and S. Zaima, J. Cryst. Growth, *in press* [<http://dx.doi.org/10.1016/j.jcrysgro.2016.10.013>].
- [19] M. Bauer, J. Taraci, J. Tolle, A.V. G. Chizmeshya, S. Zollner, D.J. Smith, J. Menendez, C. Hu, and J. Kouvetakis, Appl. Phys. Lett. **81**, 2992 (2002).
- [20] R. Loo, B. Vincent, F. Gencarelli, C. Merckling, A. Kumar, G. Eneman, L. Witters, W. Vandervorst, M. Caymax, M. Heyns, and A. Thean, ECS J. Solid State Sci. Technol. **2**, N35-N40 (2013).
- [21] R. F. Spohn and C. B. Richenberg, ECS Trans. **50**, 921-927 (2013).
- [22] J. Lu, J. Sundqvist, M. Ottosson, A. Tarre, A. Rosental, J. Aarik, and A. Hårsta, J. Cryst. Growth **260**, 191-200 (2004).
- [23] L. J. Van der Pauw, Philips Res. Rep. **13**, 1-9 (1958).
- [24] F. A. Trumbore, Bell System Tech. J. **39**, 205-233 (1960).
- [25] J. Vanhellemont and E. Simoen, Mater. Sci. Semicond. Process. **15**, 642-655 (2012).
- [26] R. G. Wilson, F. A. Stevie, and C. W. Magee, Secondary Ion Mass Spectrometry: A Practical Handbook for Depth Profiling and Bulk Impurity Analysis, John Wiley & Sons, New York, 1989.
- [27] G. Kaneda, N. Sanada, and Y. Fukuda, Surf. Sci. **377**, 724-727 (1997).
- [28] G. Kaneda, J. Murata, T. Takeuchi, Y. Suzuki, N. Sanada, and Y. Fukuda, Appl. Surf. Sci. **113-114**, 546-550 (1997).
- [29] Y.-H. Lai, C.-T. Yeh, H.-Ji Lin, C.-Te Chen, and W.-H. Hung, J. Phys. Chem. B **106**, 1722-1727 (2002).
- [30] M. Asai, H. Ueba, and C. Tatsuyama, J. Appl. Phys. **58**, 2577-2583 (1985).

- [31] A. Sakai and T. Tatsumi, Appl. Phys. Lett. **64**, 52-54 (1994).
- [32] J. Knall and J. B. Pethica, Surf. Sci. **265**, 156-167 (1992).
- [33] V. P. Markevich, I. D. Hawkins, A. R. Peaker, K. V. Emtsev, V. V. Emtsev, V. V. Litvinov, L. I. Murin, and L. Dobaczewski, Phys. Rev. B **70**, 235213 (2004).
- [34] A. Chroneos, J. Appl. Phys. **107**, 076102 (2010).
- [35] A. P. Knights, R. M. Gwilliam, B. J. Sealy, T. J. Grasby, C. P. Parry, D. J. F. Fulgoni, P. J. Phillips, T. E. Whall, E. H. C. Parker, and P. G. Coleman, J. Appl. Phys. **89**, 76-79 (2001).
- [36] V. I. Fistul, M. I. Iglitsyn, and E. M. Omelyanovskii, Sov. Phys. Solid State **4**, 784-785 (1962).
- [37] L. Huang, F. Liu, G.-H. Lu, and X. G. Gong, Phys. Rev. Lett. **96**, 016103 (2006).
- [38] N. Taoka, A. Sakai, T. Egawa, O. Nakatsuka, S. Zaima, and Y. Yasuda, Mater. Sci. Semicond. Process. **8**, 131-135 (2005).
- [39] K. A. Bratland, Y. L. Foo, T. Spila, H.-S. Seo, R. T. Haasch, P. Desjardins, and J. E. Greene, J. Appl. Phys. **97**, 044904 (2005).

## 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

---

### 4.1 はじめに

第3章においては、一軸圧縮ひずみ Ge チャネルのための  $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサの形成に向けて、S/D 領域の低抵抗化のための高濃度ドーピングについて検討した。Ge チャネルへ局所ひずみを印加するためには、不純物制御技術だけではなく、 $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサの局所エピタキシャル成長を実現し、Ge チャネルに印加されるひずみ構造を明らかにすることで、MOSFET の構造設計指針およびひずみ制御技術を構築しなければならない。

1.1.3 節で述べたように、平面基板上の  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜の結晶成長については多く報告されているが、局所領域への結晶成長、Ge チャネル/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  構造内部の局所ひずみおよび結晶構造に関してはこれまでほとんど報告例がない。

本章では、1  $\mu\text{m}$  以下の Ge チャネル領域に局所的に埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層を形成し、X 線マイクロ回折法を用いて、構造内部の結晶構造や局所ひずみ構造を詳細に調べた。

### 4.2 実験方法

Ge(001)基板表面に CVD 法により  $\text{SiO}_2$  層を形成後、リソグラフィ法を用いて[110]方向と平行に  $\text{SiO}_2$  細線パターンを形成した。その後、化学溶液エッチングおよび反応性イオンエッチングにより Ge 細線幅 25~1000 nm/細線ピッチ幅 500~2000 nm、リセス深さ 100~370 nm のパターンニング Ge 基板を作製した(図 4.1)。化学洗浄および成膜チャンバー内での熱処理による表面清浄化後、MBE 法または MOCVD 法により  $\text{Ge}_{1-x}\text{Sn}_x$  層 ( $x=2.9\sim 6.5\%$ ) を成長した。試料内の平均的な Sn 組成は、汎用 XRD 装置を用いた XRD-2DRSM 測定により見積もった。 $\text{Ge}_{1-x}\text{Sn}_x$  層の成長温度は、MBE 法で

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

は 150~200 °C、MOCVD 法では 270~310 °C とした。作製試料に対して、 $0.82 \times 0.26 \sim 0.16 \times 0.20 \mu\text{m}^2$  に集光した放射光 ( $h\nu = 8 \text{ keV}$ ) を用いたマイクロ回折法によって XRD-2DRSM 測定を行い、試料内の局所領域における結晶ひずみを評価した。

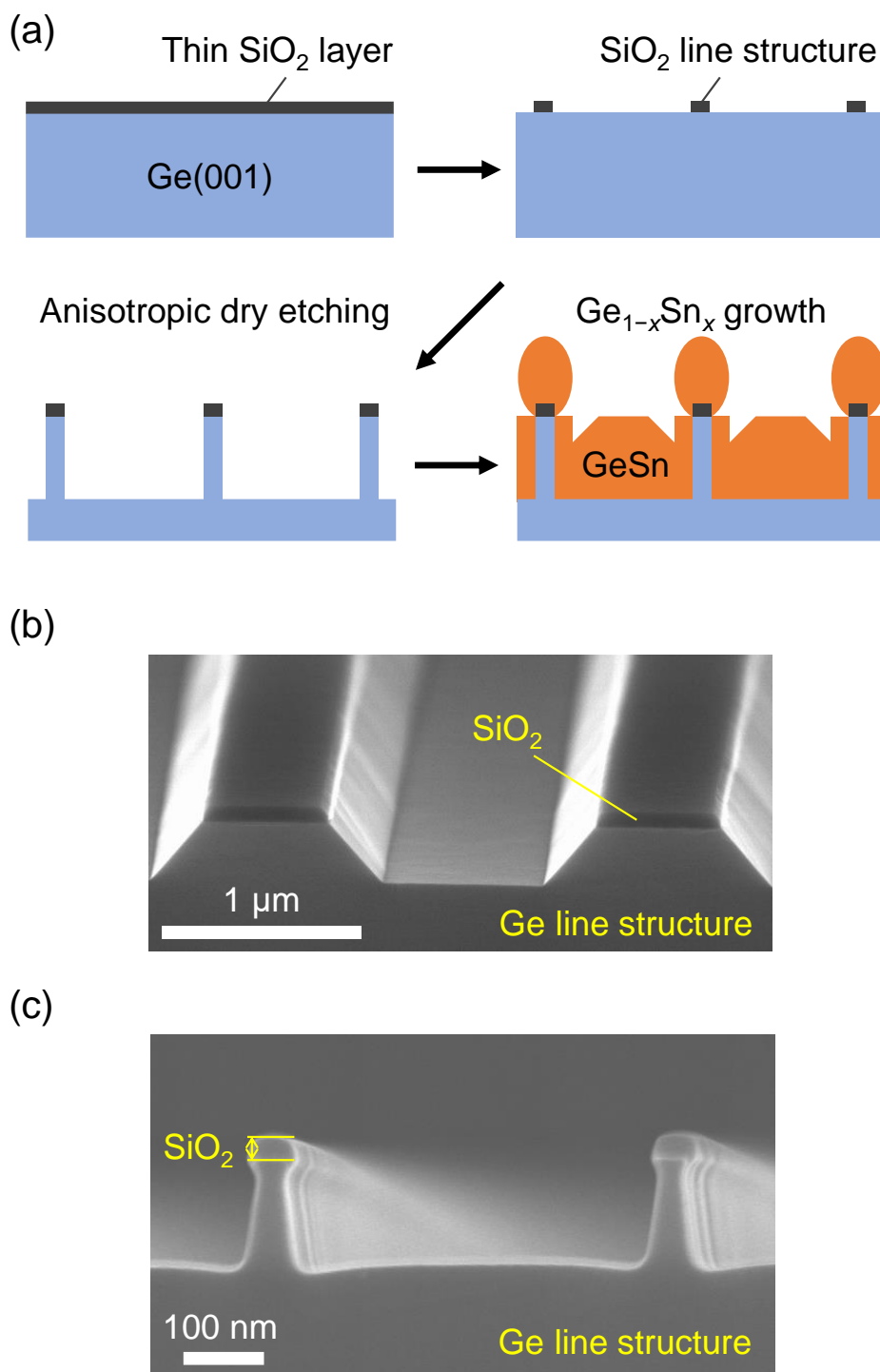


図 4.1: (a) Ge 細線/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  構造の作製プロセスフローおよび  $\text{Ge}_{1-x}\text{Sn}_x$  層成長前の(b) 細線幅 1  $\mu\text{m}$ /細線ピッチ 2  $\mu\text{m}$ 、(c) 細線幅 25~100 nm/細線ピッチ 500 nm のパターンニング Ge 基板の断面 SEM 像。

### 4.3 実験結果および考察

#### 4.3.1 ひずみ $\text{Ge}/\text{Ge}_{1-x}\text{Sn}_x$ 埋め込みストレス構造の作製

図 4.2 (a) および (b) に、MBE 法を用いて、Ge 細線幅  $1\ \mu\text{m}$ /細線ピッチ  $2\ \mu\text{m}$  のパターンニング Ge 基板上に  $\text{Ge}_{1-x}\text{Sn}_x$  層を成長後の鳥瞰および断面 SEM 像を示す。XRD-2DRSM 測定より、試料内の平均的な Sn 組成は 5.3% と見積もられた。堆積した  $\text{Ge}_{1-x}\text{Sn}_x$  層の SEM 観察の結果から、埋め込み領域に比べて  $\text{SiO}_2$  上の  $\text{Ge}_{1-x}\text{Sn}_x$  層の表面ラフネスが大きいことから、 $\text{SiO}_2$  上の  $\text{Ge}_{1-x}\text{Sn}_x$  層は多結晶構造であり、Ge リセス領域の  $\text{Ge}_{1-x}\text{Sn}_x$  層は局所的にエピタキシャル成長していることが推察される。

図 4.3 (a) ~ (c) に、MBE 法を用いて、25 nm 幅の Ge 細線両側に  $\text{Ge}_{1-x}\text{Sn}_x$  ( $x=6.5\%$ ) 埋め込み層を形成した細線構造試料の SEM および断面 TEM 像を示す。TEM 像は [110] 方向から電子線を入射し、回折ベクトルは  $g_{004}$  を用いた。暗視野 TEM 像において、多結晶領域では結晶面の方位がランダムであり、(004) 結晶面の Bragg 回折条件を満たさないため、コントラストは現れない。TEM 観察により、 $\text{SiO}_2$  上の  $\text{Ge}_{1-x}\text{Sn}_x$  層は多結晶構造であり、Ge 細線両側には  $\text{Ge}_{1-x}\text{Sn}_x$  層がエピタキシャル成長していることがわかる。一方で、図 4.3 (b) に示す明視野像では、Ge 細線から離れたリセス領域で  $\text{Ge}_{1-x}\text{Sn}_x$  層がエピタキシャル成長しているように見えるが、図 4.3 (c) に示す暗視野像では  $\text{Ge}_{1-x}\text{Sn}_x$  層内中央から表面にわたりコントラストが消失、つまり結晶面が大きく変化していることがわかる。埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られる電子線回折パターンを図 4.3 (d) に示す。回折パターン中に矢印で示すように、多結晶構造に由来するリン

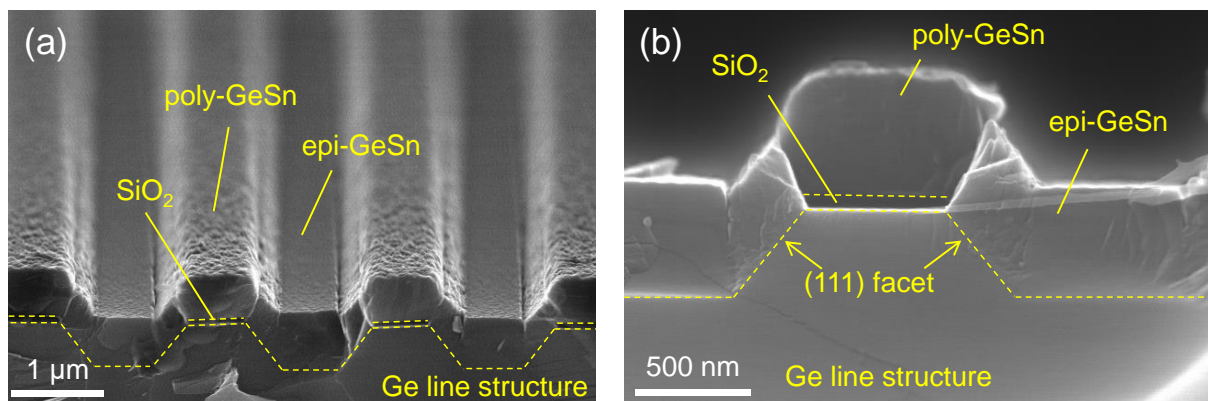


図 4.2: MBE 法により、パターンニング Ge 基板上に Sn 組成 5.3% の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層を成長した後の (a) 鳥瞰および (b) 断面 SEM 像。



#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

グ状のコントラストが確認された。ゆえに、 $\text{Ge}_{1-x}\text{Sn}_x$  層の成長初期は Ge 基板上にエピタキシャル成長するが、およそ 50 nm の厚さ以降はエピタキシャル成長を維持できず、多結晶成長へと遷移したと推察される。成長中に単結晶から多結晶あるいはアモルファスに遷移する現象は、“epitaxial breakdown”として知られている[1]。Bratland らの報告によれば、Ge(001)基板上への  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜成長において、MBE 法を用いた 155 °C の低温成長中の場合、ある臨界膜厚を超えたときに epitaxial breakdown が起こる。この臨界膜厚は基板と薄膜のミスフィット量に依存する。彼らによれば、 $\text{Ge}_{0.935}\text{Sn}_{0.065}$  薄膜の場合、臨界膜厚は 200 nm 以上と報告されている。本研究では、MBE 法で局所成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層の成長温度は 150~200 °C で Bratland らの報告と同程度の低温であるにもかかわらず、臨界膜厚が 50 nm と小さい。この差異について、薄膜成長とパターンニング基板上への局所成長の違いに注目して以下の考察を行った（図 4.4）。本研究における  $\text{Ge}_{1-x}\text{Sn}_x$  局所成長では、低温成長に加え、成長中にリセス端近傍にてエネルギー的に安定な{111}および{311}ファセット面を形成する。ファセット形成後もエピタキシャル成長を継続するが、ある膜厚に達したとき  $\text{Ge}_{1-x}\text{Sn}_x$  層は内包ひずみを開放するために弾性緩和し、 $\text{Ge}_{1-x}\text{Sn}_x$  層表面のラフニングを引き起こす。表面ラフニングにより、 $\text{Ge}_{1-x}\text{Sn}_x$  層は結晶性が劣化し、エピタキシャル成長を維持できなくなり、多結晶成長へと遷移したと考えられる。これらの要因により、薄膜成長に比べて小さな臨界膜厚で epitaxial breakdown が起こったと推察される。

図 4.5 に、MOCVD 法を用いて、100 nm 幅の Ge 細線両側に  $\text{Ge}_{1-x}\text{Sn}_x$  ( $x=5.7\%$ ) 埋め込み層を形成した細線構造試料の断面 SEM 像を示す。Ge リセス領域に埋め込み成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層は表面が平坦であるためエピタキシャル成長を示唆し、 $\text{SiO}_2$  上に堆積した  $\text{Ge}_{1-x}\text{Sn}_x$  層の表面ラフニングが大きいため、多結晶構造を有すると推察される。ただし、現在、埋め込み層内の詳細な結晶構造については明らかになっていない。MBE 法と比較して成長温度が高く、かつ基板上への原料供給手法が異なるため、MOCVD 法を用いた埋め込み成長特有の成長機構については今後調査する必要がある。

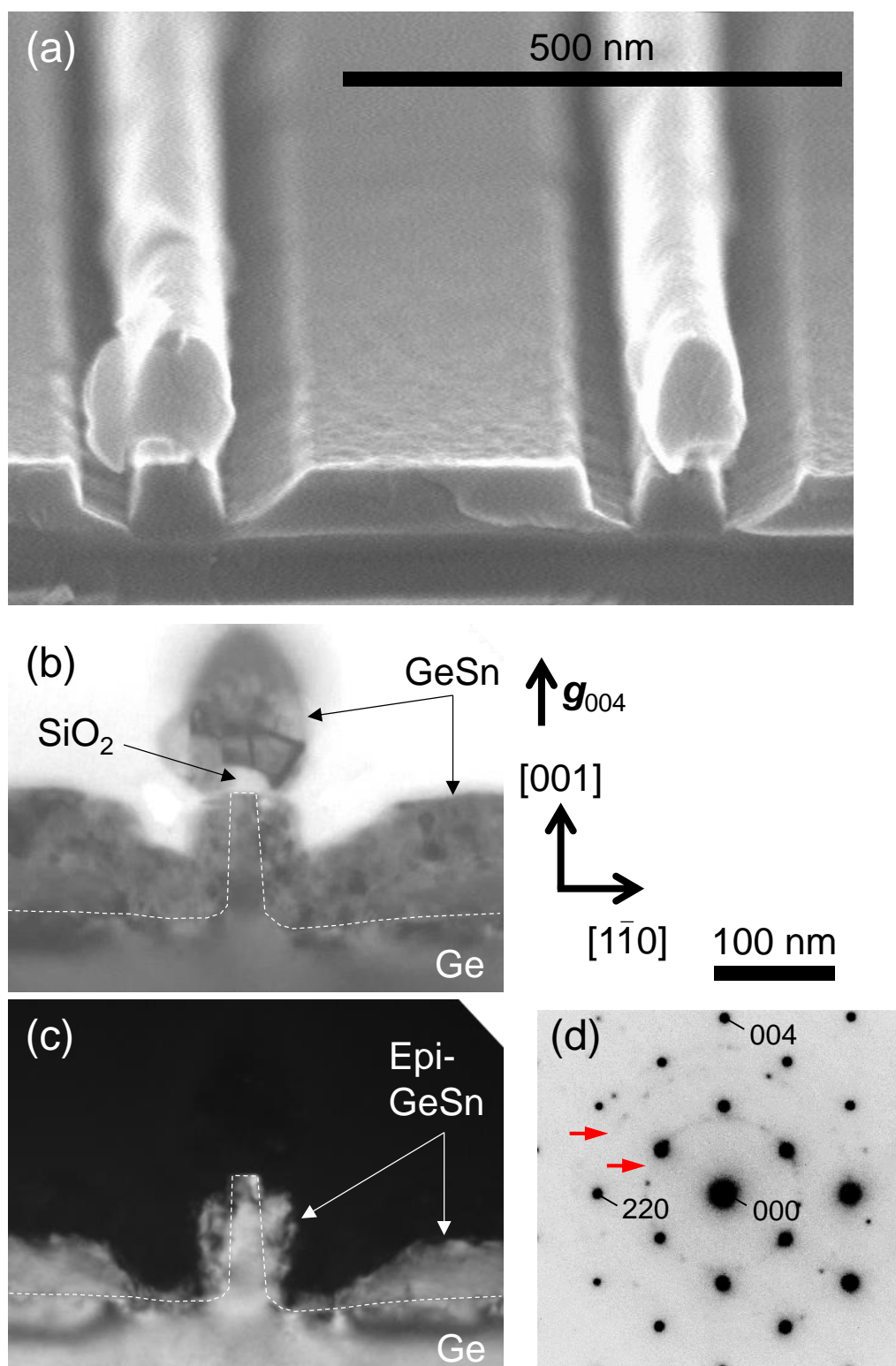
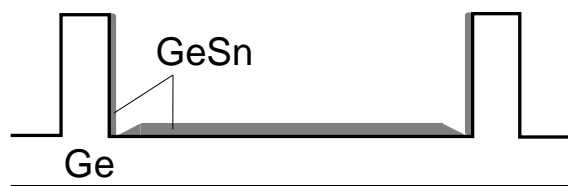
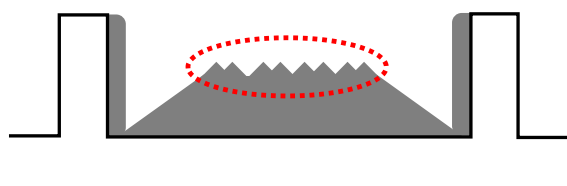


図 4.3: MBE 法で作製した埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 層( $x=6.5\%$ )成長後試料の (a) 断面 SEM 像、(b) 明視野および (c) 暗視野断面 TEM 像。電子線を[110]方向から入射し、回折ベクトルは  $g_{004}$  を用いて結像した。(d) Ge リセス領域に成長した Ge<sub>1-x</sub>Sn<sub>x</sub> 層から得た電子線回折パターン。

1. Formation of facet near edge



2. Elastic strain relaxation at surface



3. Transition to polycrystalline growth

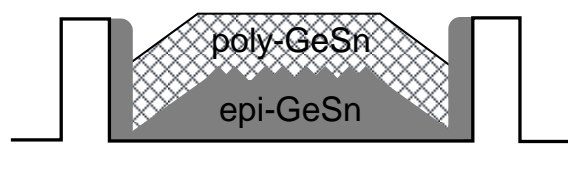


図 4.4: Ge リセス上に低温成長した埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の”Epitaxial breakdown”メカニズムの概略図。

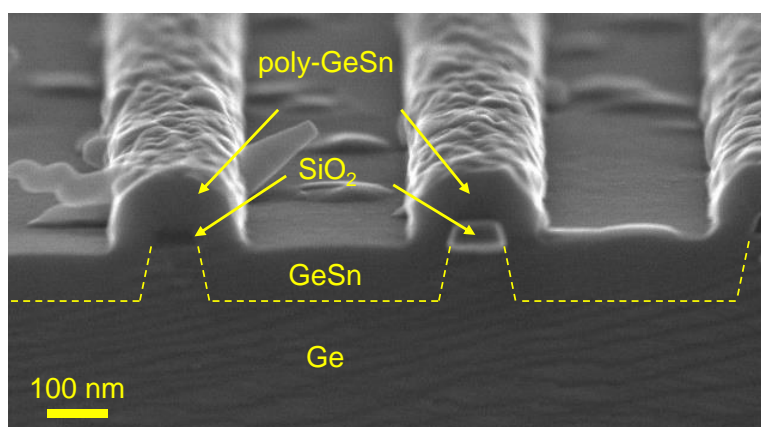


図 4.5: MOCVD 法を用いて作製した Ge 細線/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  ( $x=5.6\%$ ) 試料の断面 SEM 像。

### 4.3.2 埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶構造評価

パターンニング Ge 基板上に成長した埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の局所的な結晶性を評価するため、マイクロ回折測定により得られる  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折プロファイルを用いて、 $\text{Ge}_{1-x}\text{Sn}_x$  層の格子面傾斜を解析した。一般に、(004)面に代表される対称面における回折ピークでは、 $\omega$  方向および  $2\theta/\omega$  方向のピーク形状の広がり、それぞれ微小傾斜に起因する結晶面のゆらぎ、および結晶が有する面間隔のゆらぎを意味する。

図 4.6 に、平面 Ge 領域上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層およびパターンニング領域上に成長した埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層に対する、Ge 004 逆格子点付近の典型的な XRD-2DRSM 測定結果を示す。平面  $\text{Ge}_{1-x}\text{Sn}_x$  層の場合（図 4.6 (a)）、鋭く明瞭な  $\text{Ge}_{1-x}\text{Sn}_x$  回折ピークが観測され、またその傾斜角  $\omega$  の値は Ge 回折ピークの値とほぼ一致する。これは、Ge 基板に対する  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶面傾斜はほとんどないことを示す。一方、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の場合は（図 4.6 (c) ~ (e)）、 $\text{Ge}_{1-x}\text{Sn}_x$  回折ピークの形状が平面薄膜と比較して  $\omega$  方向に広がっている。また、回折ピーク位置が、図 4.6 (b) に示す試料概略図中でのマイクロビームの照射位置に対して、 $\omega$  方向にシフトする様子がわかる。これは、Ge 基板に対する  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶面傾斜が埋め込み領域内で変化することを示す。

このような埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層中で結晶面傾斜が起こる要因について、 $\text{Ge}_{1-x}\text{Sn}_x$  層の内部応力に着目した。Ge 基板上に成長した埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の内部応力分布を、FEM 解析を用いてシミュレーションを行った。

埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の膜厚および Sn 組成を 490 nm、5%として、 $\text{Ge}_{1-x}\text{Sn}_x$  層内部の XY 面内のせん断応力分布を図 4.7 に示す。図中の X および Y 方向はそれぞれ $[1\bar{1}0]$ 、 $[001]$ 方向に対応する。また、せん断応力は面内反時計回りの方向を正とする。FEM 解析の結果から、埋め込み層の左端付近で反時計回り、右端付近では時計回りのせん断応力が生じることがわかった。局所的に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  層には、形状に依存した内部応力分布が存在し、埋め込み層の両端で対称的なせん断応力が生じることが明らかとなった。埋め込み層のエッジで生じる応力集中によって  $\text{Ge}_{1-x}\text{Sn}_x$  (004)面が傾斜し、また傾斜角が埋め込み両端で逆となる。このため、図 4.6 (c) および (e) に示すように、X 線照射位置に対して  $\text{Ge}_{1-x}\text{Sn}_x$  回折ピークの傾斜角  $\omega$  が変化すると考えられる。以上、マイクロ回折測定により、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内には、リセス端領域にて局所

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

的に結晶面傾斜が存在することがわかった。また FEM 解析により、その結晶面傾斜は内部応力分布に起因すると推察される。

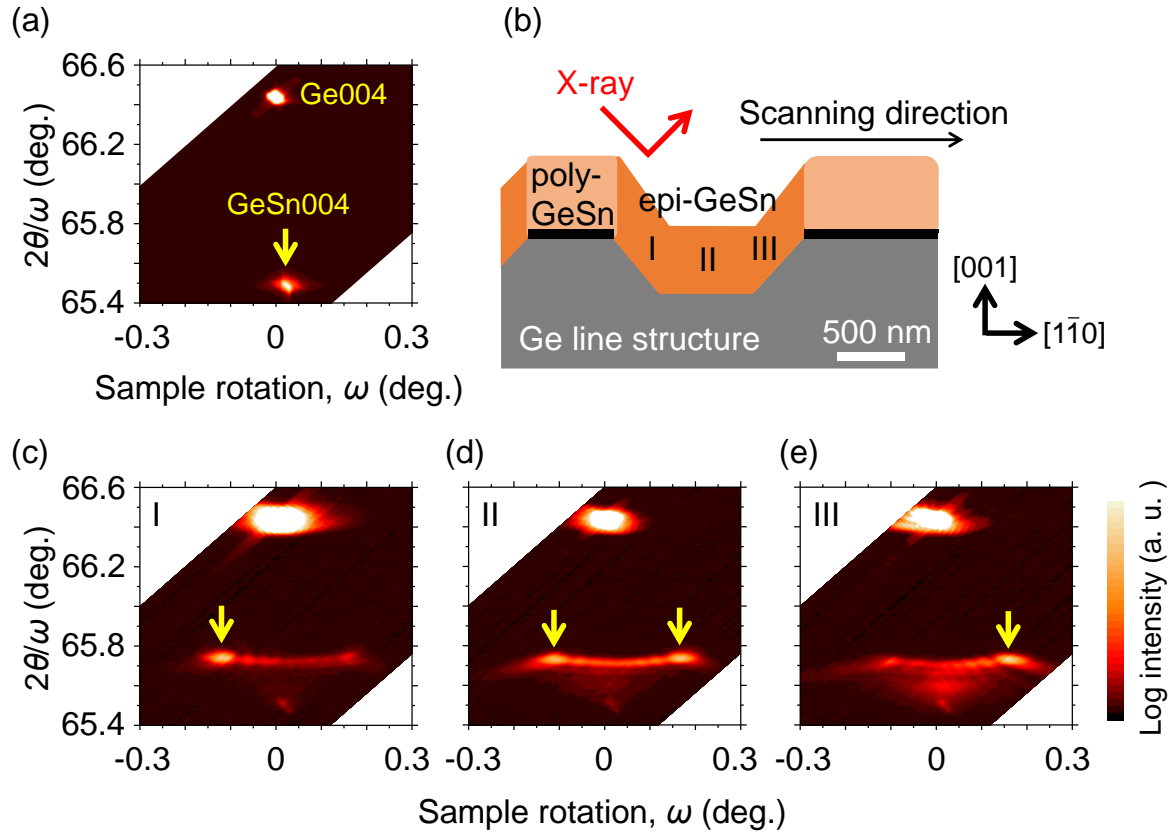


図 4.6: 成長直後の  $\text{Ge}_{1-x}\text{Sn}_x$  層から得られる Ge 004 逆格子点周辺の XRD-2DRSM 測定結果。(a) は平面  $\text{Ge}_{1-x}\text{Sn}_x$  層、(c) ~ (e) は試料概略図 (b) 内に示す領域 I, II, III から得られる 2DRSM 測定結果。

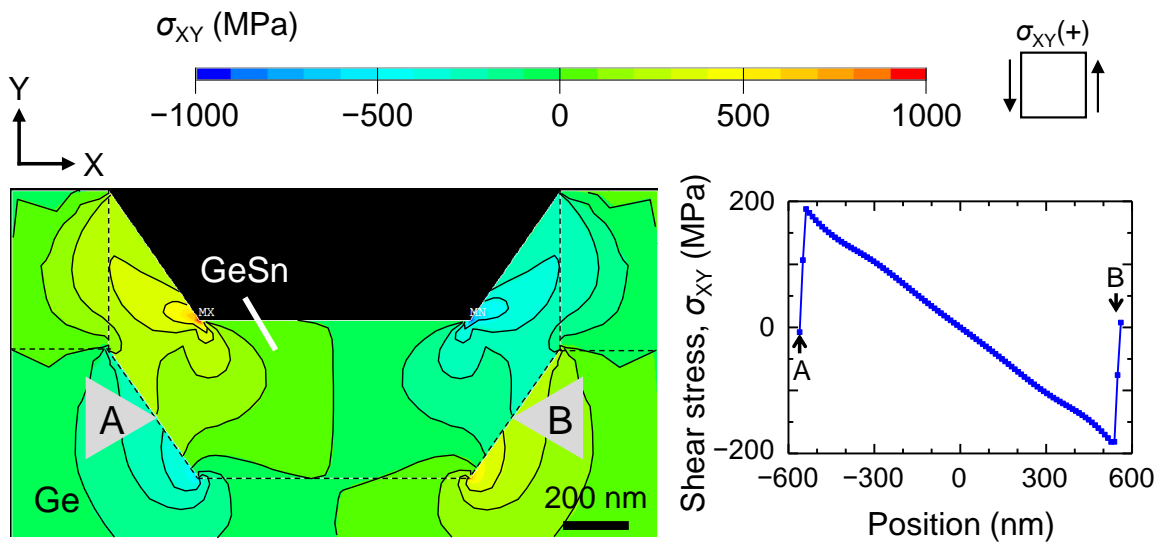


図 4.7: FEM 解析によって得られた、Ge リセス領域上に成長した Sn 組成 5% の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内のせん断応力分布。

### 4.3.3 ひずみ $\text{Ge}/\text{Ge}_{1-x}\text{Sn}_x$ 埋め込み構造内の局所ひずみ解析

本節では、 $\text{Ge}_{1-x}\text{Sn}_x$  埋め込み層により Ge 細線に誘起される局所ひずみを、マイクロ回折法を用いて詳細に調査した。

まず、マイクロ回折法を用いて、サブミクロンオーダーの微細領域に誘起される局所ひずみが評価可能か否かを検証するため、以下の実験を行った。図 4.8 (a) に、MBE 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料における(004)回折測定のプロットを示す。試料上に集光された X 線は Ge 細線方向に沿った[110]方向から入射し、細線パターンを横切る方向に 50 nm 間隔で断続的に走査し、逐次、XRD-2DRSM 測定を行った。X 線の入射角度および回折角を  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折ピークに固定し、X 線を $[\bar{1}\bar{1}0]$ 方向に走査した際の回折強度プロファイルを図 4.8 (b) に示す。 $\text{Ge}_{1-x}\text{Sn}_x$  004 回折強度が X 線照射位置に対して 500 nm 周期で変化することがわかる。パターンニング基板の細線ピッチと一致するため、この回折強度プロファイルに基づいて、微細構造試料内の X 線照射位置を決定した。

Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  (細線幅 60 nm、 $x=6.5\%$ ) 試料に対して、Ge 004 および  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折点周辺で測定した典型的な XRD-2DRSM の結果を図 4.9 (a) に示す。面直方向の逆格子位置  $Q_z=7.070$  および  $6.964 \text{ nm}^{-1}$  に 2 つの明瞭な回折ピークが観測された。これらは面間隔に変換すると  $d=0.1414$  および  $0.1436 \text{ nm}$  と見積もられ、それぞれバルク Ge とエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  ( $x=6.5\%$ ) 層に対応する。さらに、 $Q_z=7.038 \text{ nm}^{-1}$  の位置

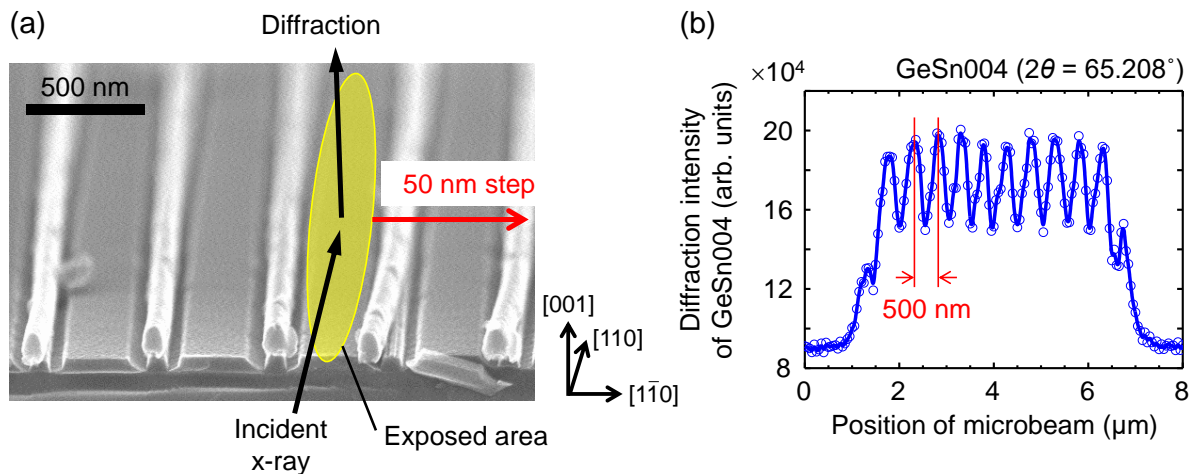


図 4.8: (a) MBE 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料に対する(004)回折測定のプロット。 (b)  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折強度に対するパターンニング領域内の X 線照射位置依存性。ここでは、 $\text{Ge}_{1-x}\text{Sn}_x$  回折を検出する回折角  $2\theta=65.208^\circ$  に固定した。



にもひずみ Ge に対応する回折ピークが観測された。この回折ピークはバルク Ge より  $Q_z$  が小さい位置に現れているため、面直方向に伸張ひずみが誘起されたことを示唆する。ここで、MBE 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料内には、4.3.1 節で説明したように Ge 細線周辺には多結晶  $\text{Ge}_{1-x}\text{Sn}_x$  層が存在する。多結晶  $\text{Ge}_{1-x}\text{Sn}_x$  層は結晶方位がランダムな方向に分布しているため、マイクロ回折測定において、もしそれらが回折条件を満たしていたとしても回折強度は無視できるほど小さい。したがって、多結晶  $\text{Ge}_{1-x}\text{Sn}_x$  層の存在が 2DRSM 測定に及ぼす影響はほとんどないと考えられる。

図 4.9 (a) と同試料の 2DRSM 測定に対して、X 線照射位置を横軸にとり、回折プロファイルを等高線マップとしてまとめたものを図 4.9 (b) に示す。また、エピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層およびひずみ Ge に由来する回折強度を抽出したプロファイルも併せて示す。図 4.9 (b) より、エピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層に由来する回折強度が、X 線照射

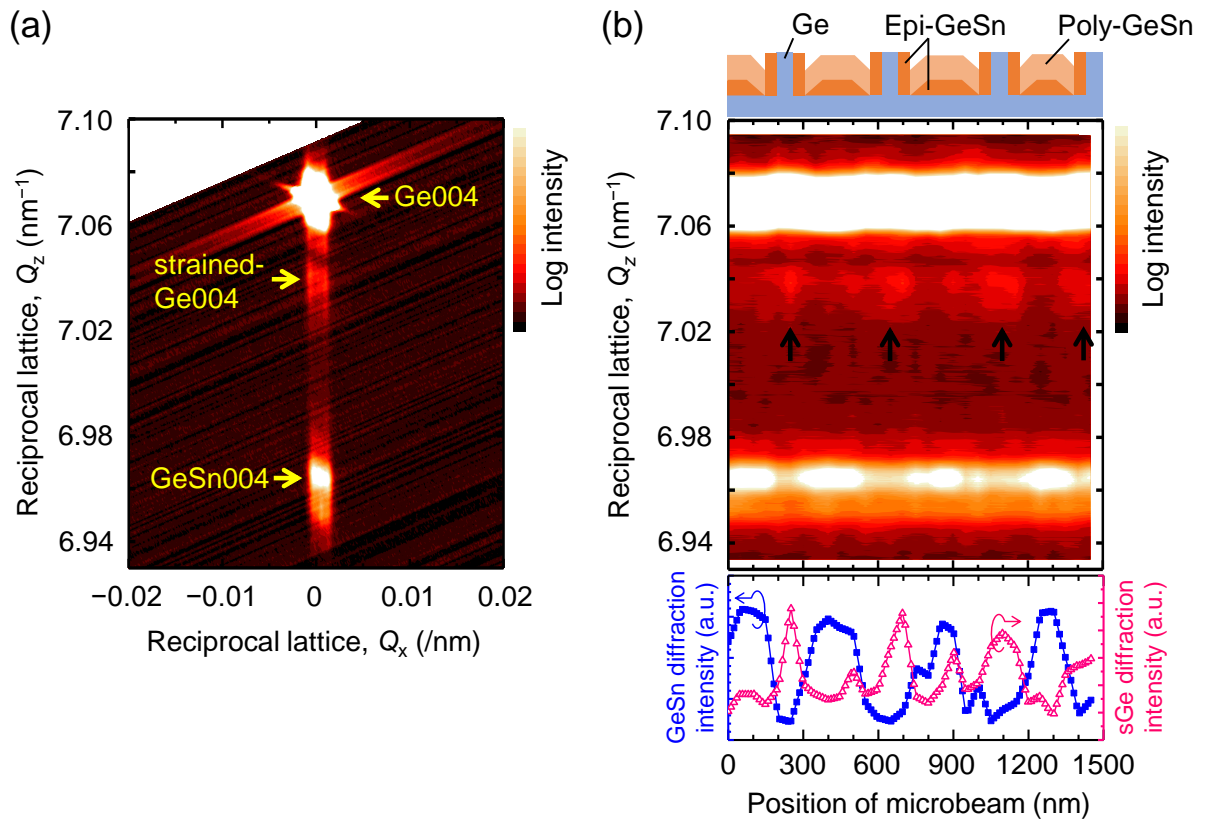


図 4.9: (a) Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 60 nm、 $x=6.5\%$ ）に対する Ge 004 および  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折点周辺で測定した典型的な XRD-2DRSM 測定結果。(b) 同試料で測定した X 線照射位置に対する Ge 004 および  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折強度の等高線マップ。ひずみ Ge およびエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層の回折強度を抽出し、X 線照射位置に対してプロットしたグラフも併せて示す。

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

位置に対して周期的に変化する様子が読み取れる。またその周期は Ge 細線ピッチ (500 nm) と一致する。さらに、 $\text{Ge}_{1-x}\text{Sn}_x$  層の回折強度が弱くなる位置でひずみ Ge の回折が強く現れ、その変化は 500 nm 周期であった。これらの結果から、サブミクロンオーダーの空間分解能を有するマイクロ回折法により、数十 nm の微細な Ge 細線に誘起される局所ひずみを、それぞれの単独で解析可能であることを示唆している。

Ge 細線幅に対するひずみ Ge 回折ピーク位置を比較するため、25~60 nm の 3 種の細線幅に対する、細線周辺の回折プロファイルの等高線マップを図 4.10 (a) に示す。それぞれの図中の矢印で示したように、バルク Ge、エピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層、ひずみ Ge に由来する回折ピークが観測される。さらに、各々の細線幅に対する、ひずみ Ge 回折ピーク近傍で積算した回折プロファイルを図 4.10 (b) に示す。Ge 細線幅の縮小とともに、ひずみ Ge のピーク位置が  $Q_z$  の小さい方向へ推移する様子が読み取れる。つまり、Ge 細線幅の縮小に従い、より大きな面直伸長ひずみが印加されることを意味する。ひずみ Ge 回折ピーク位置から、(4.1)式を用いて、Ge 細線に誘起される面直ひずみ量を見積もった。加えて、Ge 細線のひずみ量に対する埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の Sn 組成依存性を調査するため、Sn 組成 2.9、6.5%で比較を行った。

面直ひずみ量 ( $\varepsilon_{001}$ ) は、2DRSM 測定により得られた回折ピーク位置を用いて、下式で見積もられる。

$$\varepsilon_{001} = \frac{Q_z^{\text{bulk}} - Q_z^{\text{strain}}}{Q_z^{\text{strain}}} = \frac{d_{\perp}^{\text{strain}} - d_{\perp}^{\text{bulk}}}{d_{\perp}^{\text{bulk}}} \quad (4.1)$$

ここで、 $Q_z^{\text{bulk}}$ 、 $Q_z^{\text{strain}}$ 、 $d_{\perp}^{\text{bulk}}$  および  $d_{\perp}^{\text{strain}}$  はバルク Ge、ひずみ Ge のそれぞれの回折ピーク位置および面直方向の面間隔である。 $\varepsilon_{001}$  の正值は伸張ひずみ、負値は圧縮ひずみを意味する。

図 4.11 (a) に、Sn 組成 2.9、6.5%の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層それぞれに対して行った 2DRSM 測定結果から見積もられたひずみ量の Ge 細線幅依存性を示す。同一の Sn 組成および細線幅試料内で 4~5 箇所の Ge 細線のひずみ量を解析した。また、Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  埋め込み試料内のひずみ分布を調査するため、有限要素法 (FEM) を用いた構造解析を行った。FEM 解析に用いた構造モデルは、図 4.3 に示す SEM および TEM 観察結果に基づいて作製した。FEM 解析によるひずみ量評価に先立って、まず、Ge



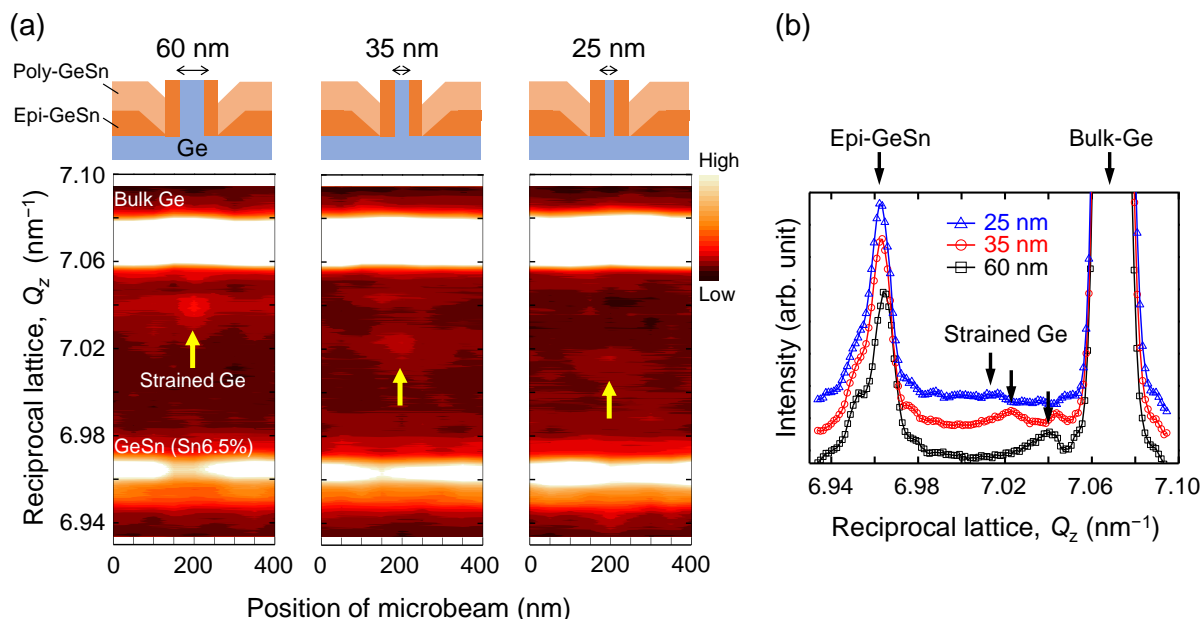


図 4.10: (a) Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 25–60 nm、 $x=6.5\%$ ）に対して Ge 細線近傍で測定した Ge 004 および  $\text{Ge}_{1-x}\text{Sn}_x$  004 回折プロファイルの等高線マップ。(b) 各々の細線幅に対する積算回折プロファイル。

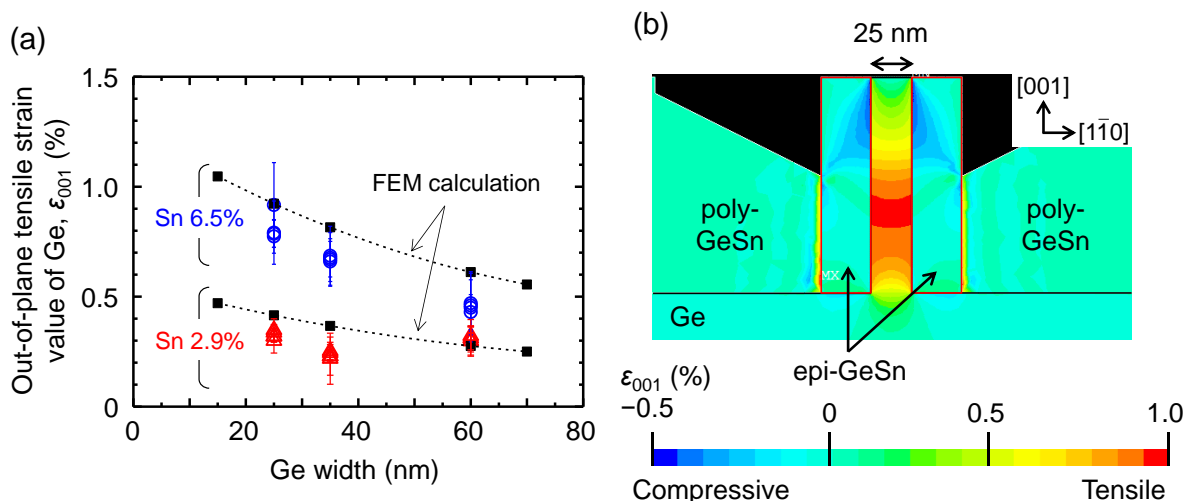


図 4.11: (a) Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 25–60 nm）に対する (004) 回折測定および FEM 解析により得られた面直ひずみに対する、Ge 細線幅および Sn 組成依存性。(b) FEM 解析により得られた、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層 ( $x=6.5\%$ ) に挟まれた 25 nm 幅 Ge 細線に誘起される面直ひずみ分布。

細線両側に成長したエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層に比べて、Ge リセス領域に成長した膜厚 50 nm のエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層は、細線へのひずみ印加にほとんど寄与しないことを確認している。この予備実験の結果から、図 4.11 (b) に示すように、FEM 解析の簡単化のため、Ge 細線から離れた Ge リセス領域に形成された単結晶／多結晶混

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

在層を、単一の多結晶  $\text{Ge}_{1-x}\text{Sn}_x$  層としてみなしてひずみ量評価を行った。また、多結晶  $\text{Ge}_{1-x}\text{Sn}_x$  層は内包ひずみがゼロ、かつエピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層との界面で $[\bar{1}\bar{1}0]$ 方向に変位しない拘束条件を適用した。図 4.11 (b) に、FEM 解析により得られた Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  (細線幅 25 nm、 $x=6.5\%$ ) 試料内のひずみ分布を示す。Ge 細線中央に 1% 近い伸張ひずみが誘起されていることがわかる。本研究で用いた X 線 (8 keV) の Ge 中への侵入長がおよそ  $3.9\ \mu\text{m}$  であることを考慮すると、図 4.9 および 4.10 に示す回折プロファイルは Ge 細線内の全体の情報が含まれている。

図 4.11 (a) に示すように、マイクロ回折法を用いた 2DRSM 測定により、Ge 細線に誘起される面直伸張ひずみ量は、Ge 細線幅の縮小とともに増大し、また埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の Sn 組成の増加によっても増大することが実験的に明らかになった。併せて、FEM 解析によって見積もられる Ge 細線中の平均的なひずみ量を図中に示した。マイクロ回折法により得られたひずみ量に対する Ge 細線幅および Sn 組成依存性は、FEM 解析の結果とよく一致することがわかった。マイクロ回折法を用いた(004)回折測定により、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層 ( $x=6.5\%$ ) に挟まれた 25 nm 幅の Ge 細線に 0.8% の面直伸張ひずみが印加されることが明らかとなった。

MBE 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料に対する(004)回折測定の結果から、サブミクロンオーダーの空間分解能を有するマイクロ回折法によりナノメートルスケールの微細構造内の局所ひずみを定量評価可能であることが実証された。しかし、(004)回折に代表される対称面測定は、面内方向の情報が含まれない分、データの解析・解釈

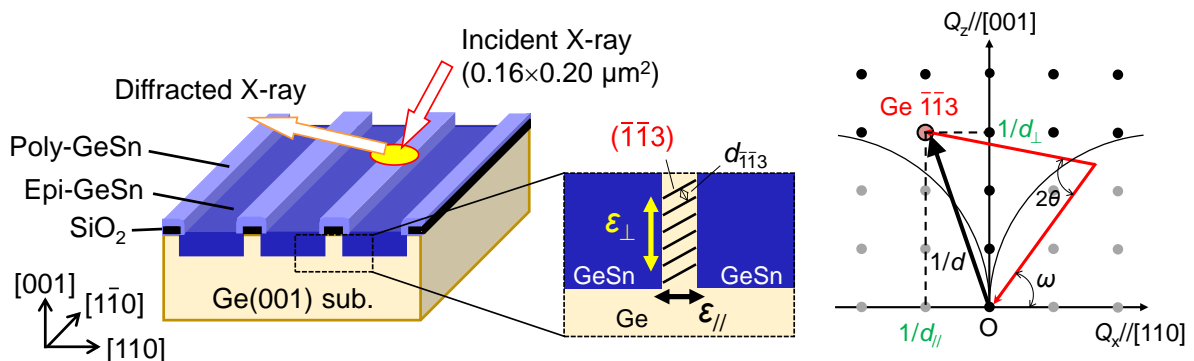


図 4.12: MOCVD 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料に対する $(\bar{1}\bar{1}3)$ 回折測定 of 概略図。測定結果に Ge 細線の面内方向成分の情報が含まれるため、直接的に面内ひずみを評価可能である。

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

が容易な一方で、弾性論に基づく仮定なしに面内方向成分を見積もることは困難である。ひずみ Ge チャンネル MOSFET を実現するための設計指針として、キャリア移動度の向上に大きく影響を及ぼす面内ひずみを直接的に定量評価する必要がある。これまで議論してきた、Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  微細構造に対するマイクロ回折法による 2DRSM 測定の実用性を踏まえて、次に、Ge 細線に誘起される面内ひずみの定量評価するため非対称面測定を検討した。この測定では、MOCVD 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料を用いた。

図 4.12 に、マイクロ回折法を用いた Ge  $\bar{1}\bar{1}3$  周辺の 2DRSM 測定の概略図を示す。試料上に集光された X 線は、Ge 細線方向に対して直交する  $[\bar{1}10]$  方向から入射し、細線パターンを横切る方向に 50 nm 間隔で断続的に走査し、逐次、2DRSM 測定を行った。(004) 回折測定の場合とは X 線の入射方向が異なる点に注意する。図 4.13 に、MOCVD 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅 60 nm、 $x=5.6\%$ ）に対する、Ge  $\bar{1}\bar{1}3$  周辺の典型的な 2DRSM 測定の結果を示す。図 4.13 (c) および (e) は、図 4.13 (a) に示す試料概略図中の Ge 細線（領域 I および III）、図 4.13 (d) は Ge リセス領域に成

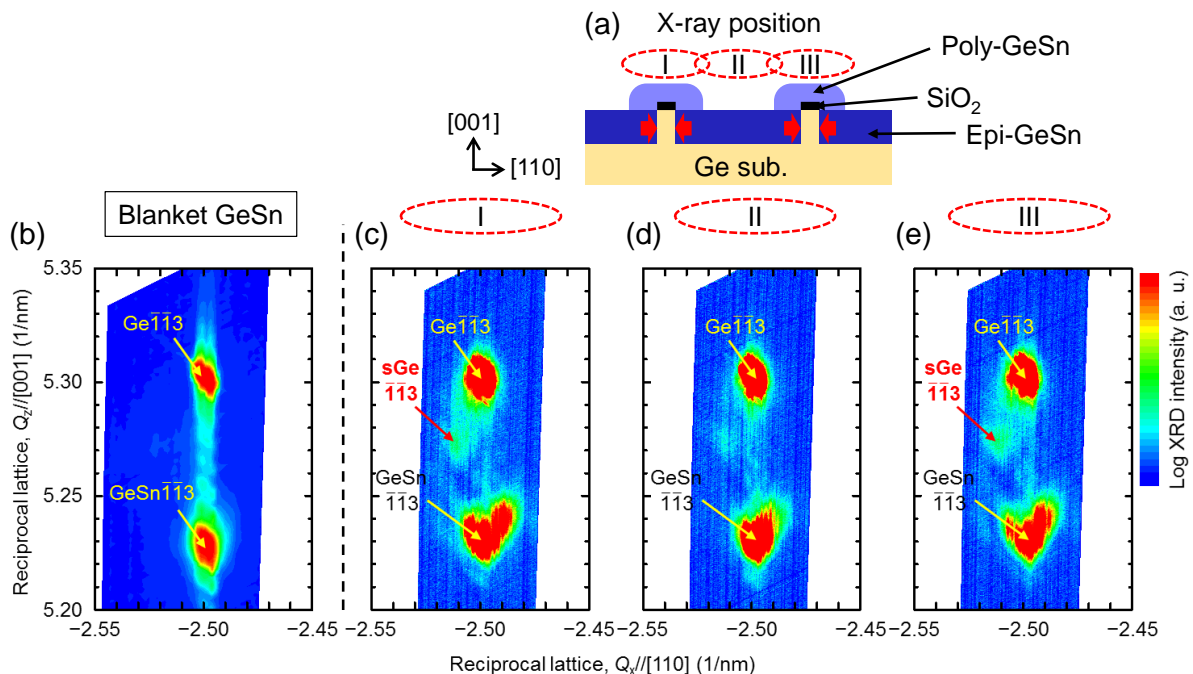


図 4.13: Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 60 nm、 $x=5.6\%$ ）に対する典型的な Ge  $\bar{1}\bar{1}3$  周辺の 2DRSM 測定結果。(b) 同試料の平面 Ge 基板上に成長した  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜から得た 2DRSM。(c) ~ (e) は、試料断面構造の概略図 (a) に示す、パターンニング領域内の X 線照射位置 I、II、および III から得た 2DRSM。

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 構造の局所ひずみ解析

長した埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 層（領域 II）から得た 2DRSM の結果である。比較のため、図 4.13 (b) に平面 Ge 基板上に成長した Ge<sub>1-x</sub>Sn<sub>x</sub> 薄膜から得た 2DRSM を示す。 $Q_z=5.30$  および  $5.23 \text{ nm}^{-1}$  の位置に、バルク Ge およびエピタキシャル Ge<sub>1-x</sub>Sn<sub>x</sub> 層 ( $x=5.6\%$ ) に由来する明瞭な回折ピークが観測される。Ge 基板と GeSn 層の回折ピークが同じ  $Q_x$  の位置に現れることから、Ge<sub>1-x</sub>Sn<sub>x</sub> 層は Ge 基板上に pseudomorphic に成長していると示唆される。領域 I および III から得た 2DRSM において、 $Q_x=5.27 \text{ nm}^{-1}$  付近に回折ピークが観測される。X 線照射位置が領域 I から II に移動した際に回折強度が小さくなり、領域 III で再び大きくなるため、この回折ピークは埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 層に挟まれたひずみ Ge 細線に由来するものと推測される。回折ピーク位置から、Ge 細線には面内圧縮ひずみ、および面直伸張ひずみが印加されることを示唆する。

Ge 細線に誘起される面内ひずみ量に対する細線幅および埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 層の Sn 組成依存性を議論するため、2DRSM 測定により得られたひずみ Ge 回折ピーク位置から、(4.2)式を用いて面内ひずみ ( $\varepsilon_{//}$ ) を見積もった。

$$\varepsilon_{//} = \frac{Q_x^{\text{bulk}} - Q_x^{\text{strain}}}{Q_x^{\text{strain}}} = \frac{d_{//}^{\text{strain}} - d_{//}^{\text{bulk}}}{d_{//}^{\text{bulk}}} \quad (4.2)$$

ここで、 $Q_x^{\text{bulk}}$ 、 $Q_x^{\text{strain}}$ 、 $d_{//}^{\text{bulk}}$  および  $d_{//}^{\text{strain}}$  はバルク Ge、ひずみ Ge のそれぞれの回折ピーク位置および面内方向の面間隔である。また、(4.3)式を用いて、ひずみ量 ( $\varepsilon_{//}$ ) から面内応力 ( $\sigma_{//}$ ) を算出した。 $E$  は面内[110]方向の弾性定数 (136.99 GPa [2]) である。

$$\sigma_{//} = E \cdot \varepsilon_{//} \quad (4.3)$$

様々な Ge 細線幅 (30、60 および 100 nm)、Sn 組成 (3.3 または 5.6%) を有する Ge 細線/Ge<sub>1-x</sub>Sn<sub>x</sub> 試料に対して 2DRSM 測定を行った。図 4.14 (a) に、Ge 細線に誘起される面内ひずみおよび応力に対する Ge 細線幅、Sn 組成依存性を示す。Ge 細線に誘起される面内ひずみ量は、細線幅の縮小および埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 層の Sn 組成の増加とともに増大する傾向が読み取れる。Sn 組成 5.6% の埋め込み Ge<sub>1-x</sub>Sn<sub>x</sub> 層に挟まれた 30、60、100 nm 幅の Ge 細線には、0.88%、0.45%、0.41% の面内圧縮ひずみが誘起されることがわかった。さらに、図 4.14 (a) 中には、FEM 解析を用いた Ge 細線/Ge<sub>1-x</sub>Sn<sub>x</sub> 試

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

料内の面内応力分布（図 4.14 (b)）に基づいて、様々な細線幅・Sn 組成に対する Ge 細線中の面内応力の平均値を併せて示す。FEM 解析から見積もられた面内圧縮応力に対する Ge 細線幅および Sn 組成依存性は、2DRSM 測定の結果と同様の傾向を示す。本研究では、Sn 組成 5.6% の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層に挟まれた 30 nm 幅の Ge 細線に 1.2 GPa の面内圧縮応力が誘起されることが実験的に明らかになった。

一方で、マイクロ回折法を用いた 2DRSM 測定と FEM 解析結果を比較すると、前述の通り、細線幅および Sn 組成に対する依存性はおよそ一致しているものの、応力値に乖離がみられる。本研究で FEM 解析に用いた構造モデルでは、細線加工時に生じる Ge 細線幅のゆらぎ、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層成長時の Sn 組成やひずみ緩和についてはまったく考慮されていない。しかし、実際の試料ではこれらのゆらぎが存在する可能性は十分に考えられる。2DRSM 測定結果には、実際の試料に存在するゆらぎの情報も含まれるため、理想的な系を扱う FEM 解析結果の間に乖離が生じたと推察される。次節で、マイクロ回折法を用いて、MOCVD 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料内での Sn 組成および細線方向のひずみ分布について議論する。

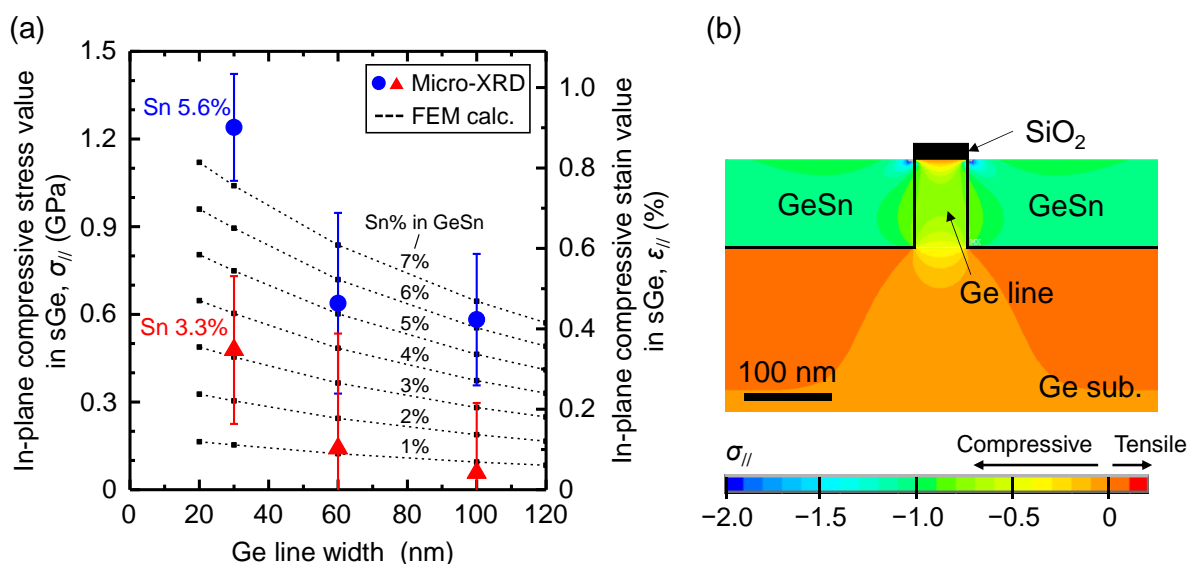


図 4.14: (a) Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 30~100 nm）に対する  $(11\bar{3})$  回折測定および FEM 解析により得られた面内ひずみ、応力に対する、Ge 細線幅および Sn 組成依存性。(b) FEM 解析により得られた、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層 ( $x=5.6\%$ ) に挟まれた 60 nm 幅 Ge 細線に誘起される面内応力分布。

## 4.3.4 格子置換 Sn 組成および局所ひずみ分布

本節では、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の格子置換 Sn 組成および内包ひずみ、Ge 細線に誘起される面内ひずみの試料内分布について議論する。4.3.3 節で述べたように、マイクロ回折法は、サブミクロンスケールでの Sn 組成および Ge 細線内ひずみ分布を非破壊かつ定量的に評価可能な手法として期待される。

MOCVD 法で作製した Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料に対して、X 線を細線方向に直交する  $[\bar{1}\bar{1}0]$  方向から入射し、細線パターンを横切る方向に 50 nm 間隔で走査した。逐次、 $(\bar{1}\bar{1}3)$  回折 2DRSM 測定を行い、パターンニング領域内の Sn 組成分布を調査した。図 4.15 に、30~100 nm 幅の Ge 細線領域それぞれの 2DRSM 測定によって得られた、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の格子置換 Sn 組成に対するパターンニング領域内での X 線照射位置依存性を示す。同一試料内の平面  $\text{Ge}_{1-x}\text{Sn}_x$  層で見積もられた Sn 組成は 5.6% であった。マイクロ回折法により、30、60、100 nm 幅それぞれの細線領域における Sn 組成は  $5.7 \pm 0.2\%$ 、 $5.4 \pm 0.3\%$ 、 $5.4 \pm 0.4\%$  と見積もられた。2DRSM 測定による Sn 組成の見積もり

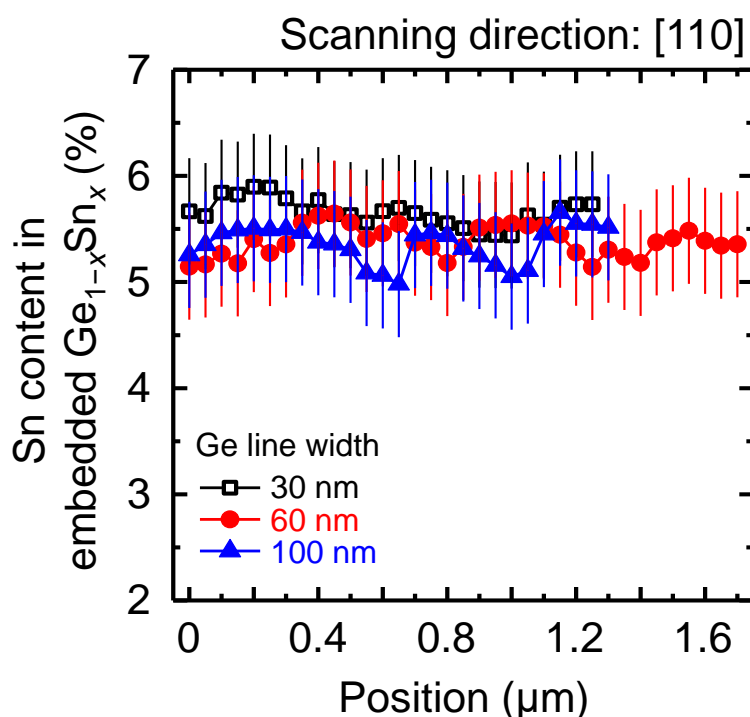


図 4.15: Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 30~100 nm）に対する  $(\bar{1}\bar{1}3)$  回折測定により求めた格子置換 Sn 組成の X 線照射位置依存性。入射 X 線は Ge 細線を横切るように  $[\bar{1}\bar{1}0]$  方向に走査した。2DRSM 測定による Sn 組成見積もりには  $\pm 0.5\%$  の測定誤差が含まれる。



り誤差が $\pm 0.5\%$ 程度であることを考慮すると、パターンニング領域内の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の Sn 組成ゆらぎは測定誤差以下と推察される。

次に、図 4.15 と同様の測定手法によって、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の面内および面直方向の格子面間隔を評価し、パターンニング領域内での各方向の内包ひずみ分布を調べた。図 4.16 に、30~100 nm 幅の Ge 細線領域それぞれの 2DRSM 測定によって得られた、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の面内および面直方向の内包ひずみ量に対するパターンニング領域内での X 線照射位置依存性を示す。X 線照射位置が 0.4、0.9 および 1.4  $\mu\text{m}$  付近で、 $\text{Ge}_{1-x}\text{Sn}_x$  層の内包ひずみが面内および面直ともに減少する様子が観測された。また、内包ひずみはおよそ 0.5  $\mu\text{m}$  間隔で周期的に変化することもわかった。 $\text{Ge}_{1-x}\text{Sn}_x$  層の内包ひずみが減少する領域は、Ge 細線が存在する位置と一致する。したがって、Ge 細線近傍の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層は、それ以外の領域に比べてひずみ緩和することを示唆している。このように、マイクロ回折法を用いて、サブミクロンスケールの領域で埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の内包ひずみ分布が存在することが明らかとなった。

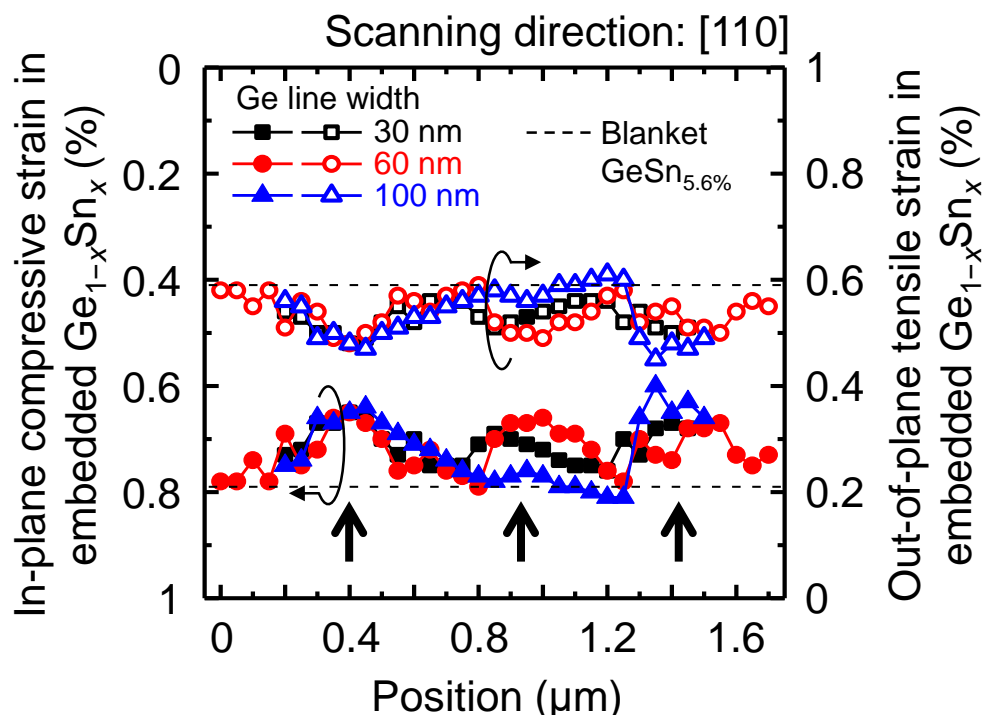


図 4.16: Ge 細線/ $\text{Ge}_{1-x}\text{Sn}_x$  試料（細線幅: 30~100 nm、Sn 組成 5.6%）に対する $(11\bar{3})$ 回折測定により求めた、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の内包ひずみ量の X 線照射位置依存性。入射 X 線は Ge 細線を横切るように $[110]$ 方向に走査した。図中の破線は、同 Sn 組成の平面  $\text{Ge}_{1-x}\text{Sn}_x$  層が有する面内および面直方向の内包ひずみ量を示す。

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

最後に、X線照射位置を Ge 細線上に固定し、細線方向に沿って 200 nm 間隔で走査しながら(113)回折 2DRSM 測定を行い、Ge 細線方向のひずみ分布評価を行った。Sn 組成 5.6%の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層に挟まれた 60、100 nm 幅の Ge 細線に誘起される面内および面直ひずみに対する、細線方向の位置依存性を図 4.17 に示す。2DRSM 測定からのひずみの定量化方法については、4.3.3 節と同様である。60、100 nm 幅の Ge 細線方向 1  $\mu\text{m}$  の領域にわたって、面内圧縮ひずみおよび面直伸張ひずみが誘起されていることがわかった。また、本研究で走査した 1  $\mu\text{m}$  程度の領域では、これらのひずみ量は細線方向での有意なゆらぎは観測されなかった。

以上の結果から、マイクロ回折法を用いて、ひずみ Ge 細線/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  試料内におけるサブミクロンオーダー領域の Sn 組成および局所ひずみについて議論してきた。ひずみ Ge チャネル MOSFET 実現に向けて、 $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサの導入により局所ひずみ Ge を実証した。局所ひずみ技術の確立に向けた埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサの可能性を見出すとともに、100 nm 以下の微細領域におけるひずみ定量化手法としてのマイクロ回折法の有用性を示す研究成果である。



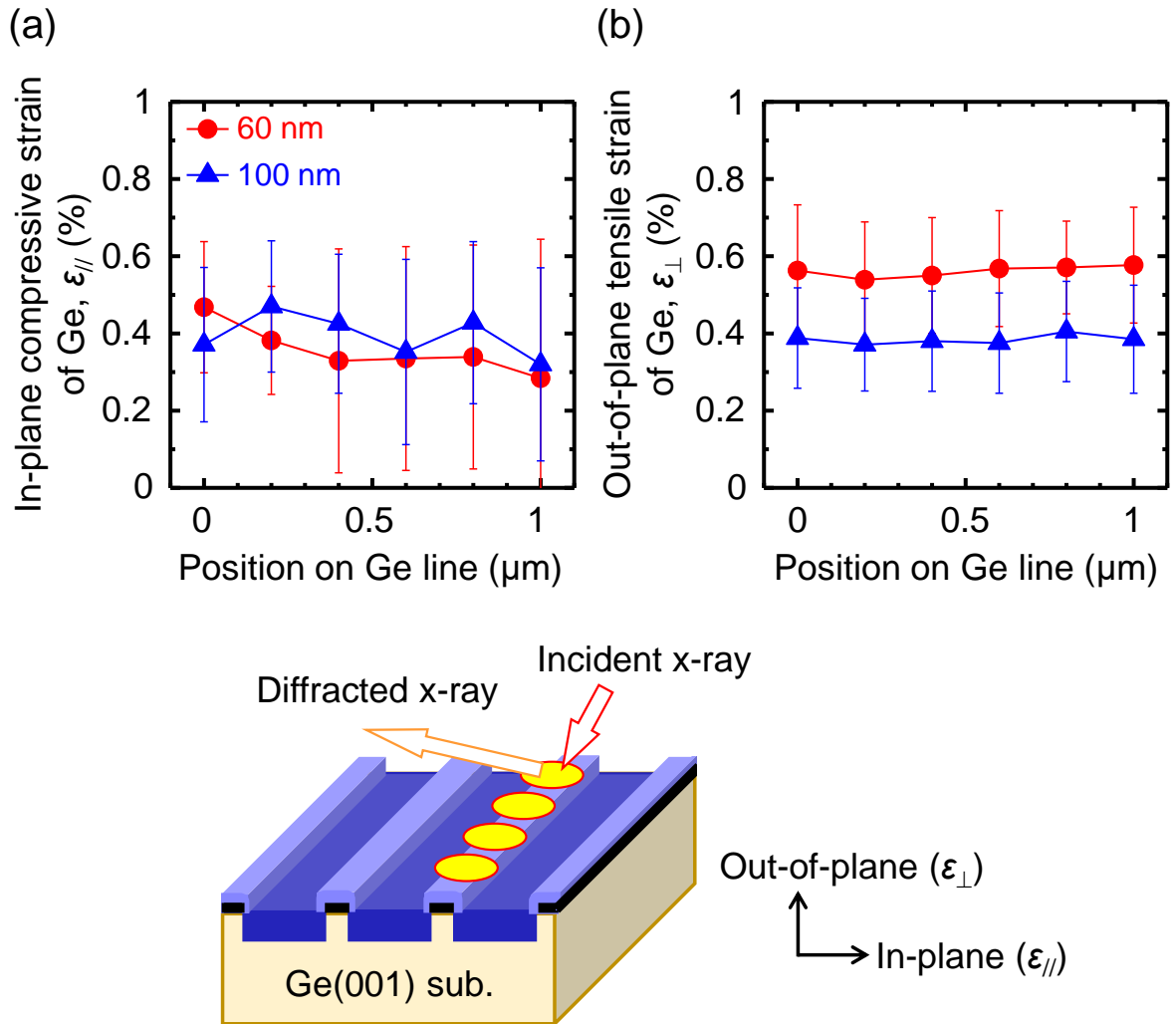


図 4.17: Sn 組成 5.6% の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層に挟まれた Ge 細線 (細線幅: 60、100 nm) に対する  $(\bar{1}13)$  回折測定により求めた面内および面直ひずみの X 線照射位置依存性。入射 X 線は Ge 細線上で固定し、細線方向に 200 nm 間隔で走査した。

## 4.4 結論

一軸圧縮ひずみ Ge チャネル MOSFET の実現に向けて、Ge 細線/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  構造を作製し、サブミクロン領域の局所ひずみおよび結晶構造について詳細に調べた。

MBE あるいは MOCVD 法を用いた低温成長によって、Ge パターニング基板上に Sn 組成 6.5%を有する局所エピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層を成長した。マイクロ回折法を用いて、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の局所領域における結晶性、および  $\text{Ge}_{1-x}\text{Sn}_x$  層に挟まれた Ge 細線に誘起された局所ひずみを、種々の細線幅および  $\text{Ge}_{1-x}\text{Sn}_x$  層内の Sn 組成に対して系統的に調査した。

1  $\mu\text{m}$  幅の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の結晶性を調べた結果、埋め込み層のエッジ近傍で  $\text{Ge}_{1-x}\text{Sn}_x$  層の局所的な結晶面傾斜が存在することがわかった。また、その傾斜角は埋め込み層内で変化することもわかった。有限要素法を用いた構造シミュレーションによって  $\text{Ge}_{1-x}\text{Sn}_x$  層内の内部応力分布を調べた結果、埋め込み層のエッジに応力集中が生じることが明らかとなり、この応力分布が結晶面傾斜を引き起こした要因であると考えられる。

局所的に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層に挟まれた、25~100 nm の微細な Ge 細線のひずみ構造をマイクロ回折法によって評価した。Ge 細線には、面内方向に圧縮、面直方向に伸張のひずみが印加されることを明らかにした。また、Ge 細線幅の縮小および  $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサ層の Sn 組成の増加に対して、印加されたひずみ量が増大する傾向を実験的に明らかにした。また、有限要素法を用いた構造シミュレーションによって Sn 組成および細線サイズ依存性を検証し、マイクロ回折測定の結果と傾向が一致することを明らかにした。本研究では、Sn 組成 5.6%の  $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサに挟まれた 30 nm 幅の Ge 細線に、一軸圧縮ひずみ 0.9%（応力換算で 1.2 GPa）が印加されることを実証した。これは、一軸圧縮ひずみ Ge のためのストレッサ材料として、 $\text{Ge}_{1-x}\text{Sn}_x$  混晶が有用であることを示す成果である。

さらに、マイクロ回折法を用いて、試料内のサブミクロン領域での Ge 細線内のひずみ分布、 $\text{Ge}_{1-x}\text{Sn}_x$  層の Sn 組成や内包ひずみ量についても評価した。1~2  $\mu\text{m}$  の測定領域内では Sn 組成および Ge 細線のひずみ量に有意なゆらぎは観測されなかった。埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の内包ひずみは、Ge 細線周辺で面内・面直方向ともにひずみ緩

#### 第4章 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析

和しており、パターニング領域内で内包ひずみ分布が存在することを明らかにした。

以上から、本研究の結果は、 $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサを用いた Ge チャネルのひずみ制御技術、およびマイクロ回折法を用いたサブミクロンスケールの局所ひずみ評価技術の確立に直結する研究成果である。

## 4.5 参考文献

- [1] K. A. Bratland, Y. L. Foo, T. Spila, H.-S. Seo, R. T. Haasch, P. Desjardins, and J. E. Greene, J. Appl. Phys. **97**, 044904 (2005).
- [2] W. A. Brantley, J. Appl. Phys. **44**, 534-535 (1973).



## 第5章 低温成長 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル薄膜の結晶性 および電氣的欠陥評価

### 5.1 はじめに

第1章で述べたように、Si CMOS デバイス技術との親和性の高い Ge 系 IV 族混晶半導体を導入した、更なる高速化・低消費電力 CMOS の実現が期待される。特に、*n*-MOSFET については、 $\text{Si}_{1-x}\text{Ge}_x$  混晶を S/D ストレッサとして用いた一軸伸張ひずみ Ge チャンネルが、従来のひずみ Si チャンネルの電子移動度を凌駕する高移動度チャンネル材料として挙げられる。近年のデバイススケーリングの進展に伴い、ゲート長が 10 nm を下回る極微細な Ge チャンネル領域への  $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサ形成技術を確立する必要がある。先行研究では、20 nm 幅の Ge 細線を形成後、温度を 600 °C まで上昇させると Ge の凝集が起これ、細線形状の維持が困難と報告されている[1]。したがって、数 nm 幅の Ge チャンネルに対して  $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサを形成する際は、少なくとも 600 °C 以下に成長温度を低減しなければならない。また、 $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサの低温形成には、成長中のストレッサ層のひずみ緩和を抑制する利点もある。

一方で、Knights らの報告によれば、陽電子消滅法（PAS: Positron Annihilation Spectroscopy）を用いて、MBE 法によって形成した Si/ $\text{Si}_{1-x}\text{Ge}_x$ /Si ヘテロ構造内の空孔関連に由来する欠陥の密度が、成長温度の低温化とともに増大する[2]。これは、エピタキシャル薄膜中の点欠陥がデバイス性能に深刻な影響を与える懸念と考えられる。例えば、チャンネル領域に欠陥が存在した場合、これらの欠陥が散乱中心として作用することによってキャリア移動度の低下が引き起こされる可能性がある。また、バンドギャップ中の深い欠陥準位（deep-level defect）も同様に、MOSFET のゲートスタック界面（high-*k*/channel 界面）に存在した場合、オフリーク電流増加の要因にもなり得る。S/D 領域の場合は、不純物ドーパントの不活性化や S/D-チャンネル間の接合リーク電流増大の要因としても考えられる。

最近では、 $\text{Si}_{1-x}\text{Ge}_x$  層の低温形成を実現するため、CVD 用の高次プリカーサガスの導入が提案されている[3-10]。これまで、CVD 法による  $\text{Si}_{1-x}\text{Ge}_x$  成長においてよく用いられてきた silane、dichlorosilane および germane に比べて、高次の disilane や digermane は、それぞれガス分子内の Si-Si 結合あるいは Ge-Ge 結合の分解に必要なエネルギーが小さいため、成長温度を低減することが可能である[5-6]。高次プリカーサガスを用いて形成した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の結晶成長については、これまで CVD 法[3, 4, 6-9]やガスソース MBE 法[10]を用いて報告されている。最近では、成長温度を 400 °C 以下の低温化が実現されている[3]。しかし、成長温度の低減が薄膜の電氣的特性に及ぼす影響については詳細に明らかにされていない。CVD 法を用いた  $\text{Si}_{1-x}\text{Ge}_x$  エピタキシャル成長中に導入される欠陥の結晶構造、電氣的特性に関する理解や制御は、 $\text{Si}_{1-x}\text{Ge}_x$  S/D ストレッサの低温成長技術を確立する上で非常に有用である。本研究では高次プリカーサの導入によって低温成長した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の結晶構造および電氣的欠陥について詳細に調査した。また、成長中に導入された欠陥に対する成膜後熱処理の効果についても調査した。

## 5.2 実験方法

本章における全ての  $\text{Si}_{1-x}\text{Ge}_x$  薄膜は 300 mm  $n$  型 Si(001)基板 (P ドープ、抵抗率  $\rho=6\sim 24\ \Omega\cdot\text{cm}$ ) 上に減圧 CVD 法 (ASM Intrepid<sup>TM</sup> XP 300 mm epitaxial deposition system) を用いて形成した。なお、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜は電氣的特性評価のため、*in situ* As ドーピングにより  $n$  型化を図った。Si、Ge および  $n$  型ドーパントのプリカーサガスとして、dichlorosilane ( $\text{SiH}_2\text{Cl}_2$ , DCS)、disilane ( $\text{Si}_2\text{H}_6$ )、germane ( $\text{GeH}_4$ )、digermane ( $\text{Ge}_2\text{H}_6$ ) および arsine ( $\text{AsH}_3$ ) を使用した。図 5.1 に、これら Si および Ge プリカーサガスの化学構造式を示す。図 5.2 に Si、Ge それぞれのプリカーサガスを用いたときの、成長レートのアレニウスプロットを示す[5, 6]。高次の silane や germane は、それぞれガス分子内の Si-Si 結合あるいは Ge-Ge 結合の分解に必要なエネルギーが小さいことに起因して、成長温度を低減することが可能である。成長中のキャリアガスは  $\text{H}_2$  を用いた。 $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の設計 Ge 組成は 25%とした。また、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜のひずみ緩和に伴う転位・積層欠陥に代表される結晶欠陥の導入に起因する電氣的欠陥の影響を小さ

くするため、設計膜厚は  $\text{Si}_{1-x}\text{Ge}_x$  薄膜がひずみ緩和を引き起こす臨界膜厚以下の 180 nm とした[11]。高次プリカーサガスの組み合わせ ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) を用いて形成した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の詳細についてはすでに文献[3]にて報告されている。本章においては、Si、Ge プリカーサガスそれぞれの組み合わせにおいて、成長温度および成長速度は 615 °C、6.3 nm/min (DCS/ $\text{GeH}_4$ )、550 °C、38.2 nm/min ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) とした。

容量-電圧 (C-V) 測定および deep-level transient spectroscopy (DLTS) 測定のため、Au/n- $\text{Si}_{1-x}\text{Ge}_x$  ショットキーダイオード試料を作製した。 $\text{Si}_{1-x}\text{Ge}_x$  薄膜形成後、希フッ酸溶液 ( $\text{HF}:\text{H}_2\text{O}=1:100$ ) に浸漬し表面の自然酸化膜を除去した。その後、真空チャンバーに導入し、真空蒸着によって Au 電極を堆積した。裏面のオーミック電極として InGa 合金と In シートを用いた。

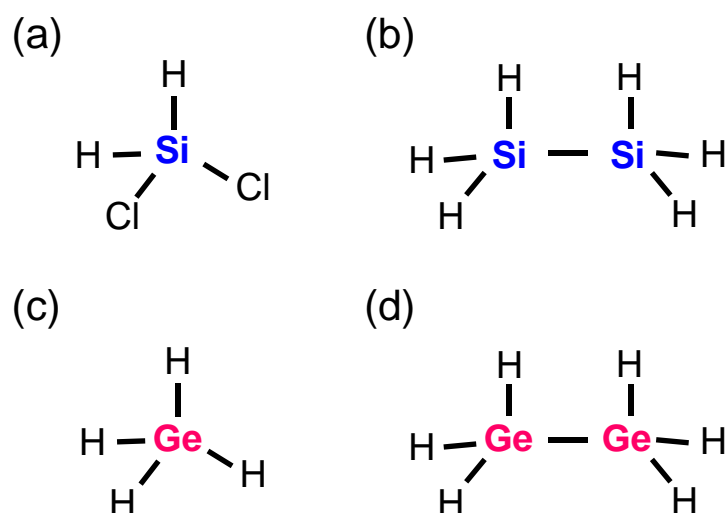


図 5.1: Si および Ge プリカーサガスの化学構造式。(a) dichlorosilane ( $\text{SiH}_2\text{Cl}_2$ , DCS)、(b) disilane ( $\text{Si}_2\text{H}_6$ )、(c) germane ( $\text{GeH}_4$ )、(d) digermane ( $\text{Ge}_2\text{H}_6$ )。



図 5.3 に、作製したショットキーダイオード試料に対する  $C$ - $V$  測定、および  $1/C^2$ - $V$  プロットを示す。 $1/C^2$ - $V$  プロットの傾きから、As ドープ  $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の平均的な電子密度は  $6\sim 8\times 10^{17} \text{ cm}^{-3}$  と見積もられた。作製した一部の試料については、 $\text{N}_2$  雰囲気中にて 200 および 500  $^{\circ}\text{C}$ 、10 分間の成膜後熱処理 (PDA: Post Deposition Annealing) を行なった。

$\text{Si}_{1-x}\text{Ge}_x$  薄膜中の電氣的欠陥評価にはフーリエ DLTS 法 (測定周波数 1 MHz[12, 13]) を用いた。 $\text{Si}_{1-x}\text{Ge}_x$  薄膜の Ge 組成およびひずみ緩和率を見積もった。

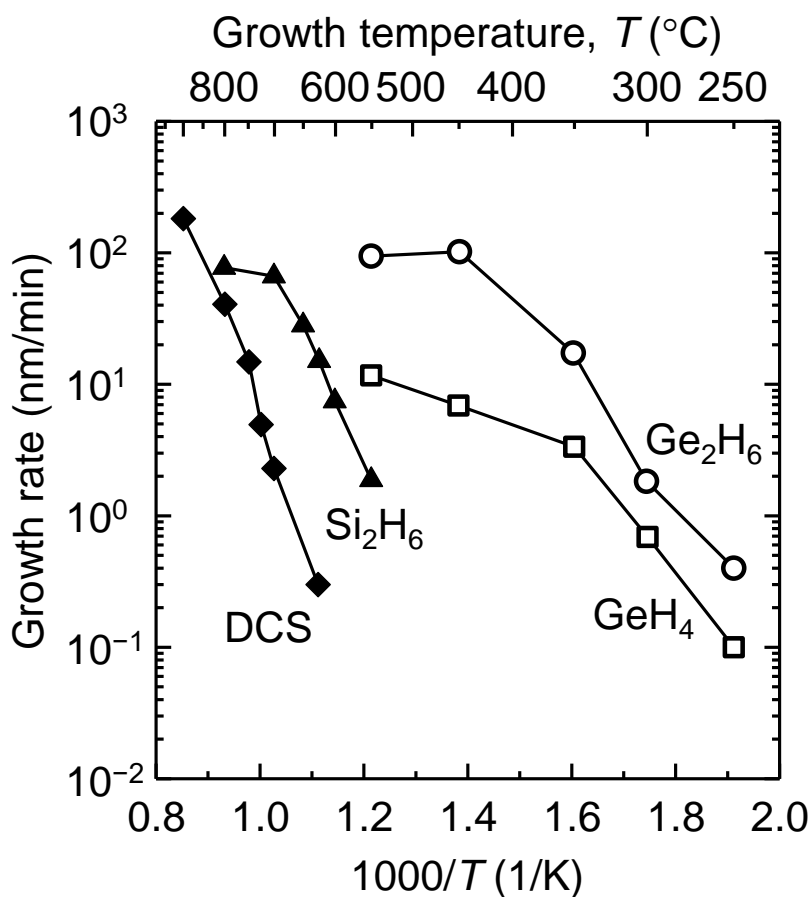


図 5.2: Si および Ge 成長速度の温度依存性。

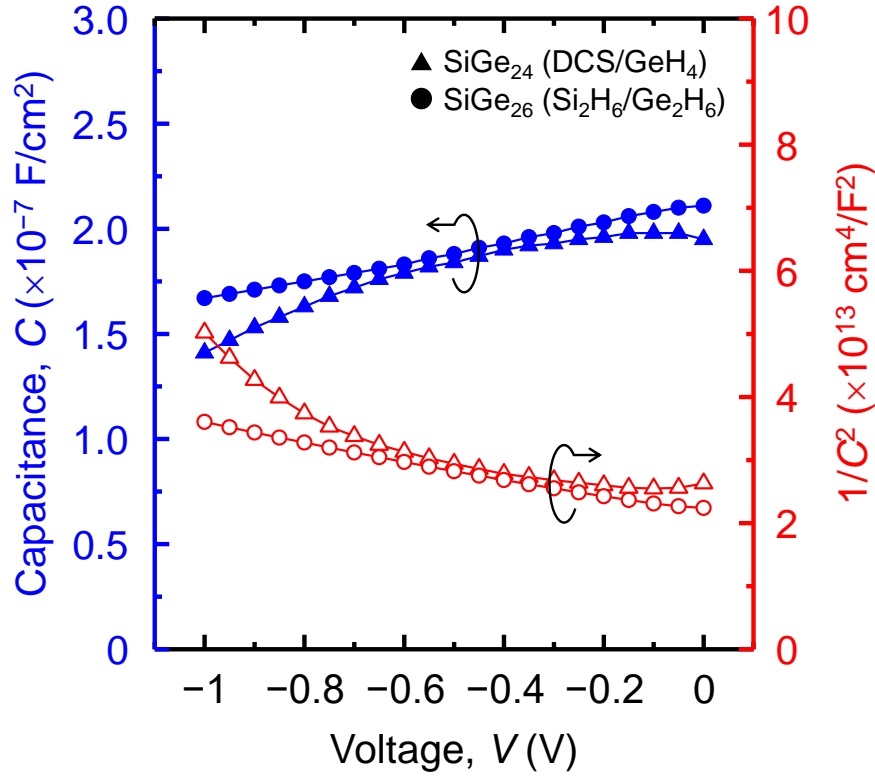


図 5.3: 作製した  $\text{Au}/n\text{-Si}_{1-x}\text{Ge}_x$  ショットキーダイオード試料に対する  $C$ - $V$  測定結果および  $1/C^2$ - $V$  プロット。

### 5.3 実験結果および考察

#### 5.3.1 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜のエピタキシャル成長と構造評価

この節では、従来のプリカーサ ( $\text{DCS}/\text{GeH}_4$ ) あるいは高次プリカーサ ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) を用いた  $\text{Si}_{1-x}\text{Ge}_x$  薄膜それぞれの結晶性および表面モフォロジーについて比較した。

図 5.4 に、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料の  $\text{Si } 224$  逆格子点周辺の  $\text{XRD-2DRSM}$  測定の結果を示す。図中の等高線の回折強度は対数で表されている。また、図中の  $\text{Si } 224$  逆格子点を通り、 $Q_z$  方向あるいは対角方向に伸びる補助線は、 $\text{Si}$  基板上に種々の  $\text{Ge}$  組成を有する  $\text{Si}_{1-x}\text{Ge}_x$  が格子整合 (pseudomorphic) および完全ひずみ緩和 (fully strain-relaxed) して成長した際の回折ピーク位置の軌跡を表している。いずれのプリカーサの組み合わせにおいても、明瞭に  $\text{Si}_{1-x}\text{Ge}_x$  薄膜に由来する回折ピークが観測され、また下地の  $\text{Si}$  基板に対して pseudomorphic に成長していることがわかる。 $\text{Si}_{1-x}\text{Ge}_x$  薄膜の回折ピーク位置から、従来および高次プリカーサの場合の  $\text{Ge}$  組成はそれぞれ 24、26% と見積もられた。

図 5.5 は作製した  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料それぞれの XRD  $\omega$ - $2\theta$  測定の結果を示す。いずれの  $\text{Si}_{1-x}\text{Ge}_x$  薄膜においても明瞭な膜厚フリンジが観測され、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜と Si 基板間に急峻な界面が形成されたことを示唆する。図中の  $\text{Si}_{1-x}\text{Ge}_x$  薄膜のピーク位置の差異は、膜中の Ge 組成の違いに起因するものであり、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜のひずみ緩和に依るものではないことに注意する。さらに、同試料に対して XRD  $\omega$  ロッキングカーブ測定結果を図 5.6 に示す。これらの結果では、それぞれの  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の半値全幅 (FWHM: Full Width Half Maximum) を比較すると、DCS/GeH<sub>4</sub> の場合は  $0.0316^\circ$ 、 $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  の場合は  $0.0314^\circ$  と両者ほぼ同等の値であることがわかった。これは、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜の (004) 面の微小傾斜の程度にほとんど差が無いことを示唆している。

図 5.7 に、AFM 観察によって得られた、 $2 \times 2 \mu\text{m}^2$  の測定領域における  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の表面モフォロジーおよびラインプロファイルを示す。これら AFM 像およびラインプロファイルより、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜表面は非常に平坦かつ一様な表面構造であり、積層欠陥や転位線および 3 次元成長に起因する表面ラフニングは観測されなかった。さらに、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜の表面粗さの指標となる 2 乗平均 (RMS: Root Mean Square) 粗さは、 $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  の場合は  $0.11 \text{ nm}$  と見積もられ、DCS/GeH<sub>4</sub> の場合 ( $0.10 \text{ nm}$ ) と同程度であった。XRD および AFM 測定結果から、高次のプリカーサを用いた低温成長においても従来のプリカーサと同様の結晶性を有することが示された。

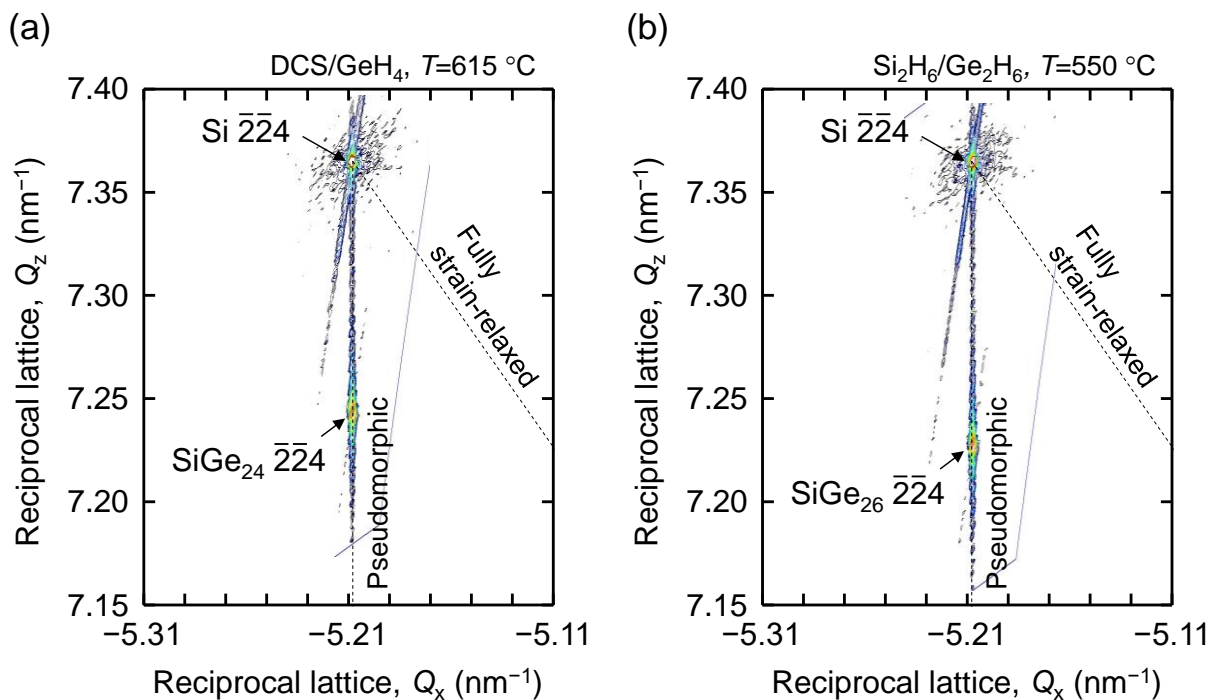


図 5.4: (a) DCS/GeH<sub>4</sub>、(b) Si<sub>2</sub>H<sub>6</sub>/Ge<sub>2</sub>H<sub>6</sub> の組み合わせを用いて作製した  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する Si  $\bar{2}\bar{2}4$  逆格子点周辺の XRD-2DRSM 測定結果。

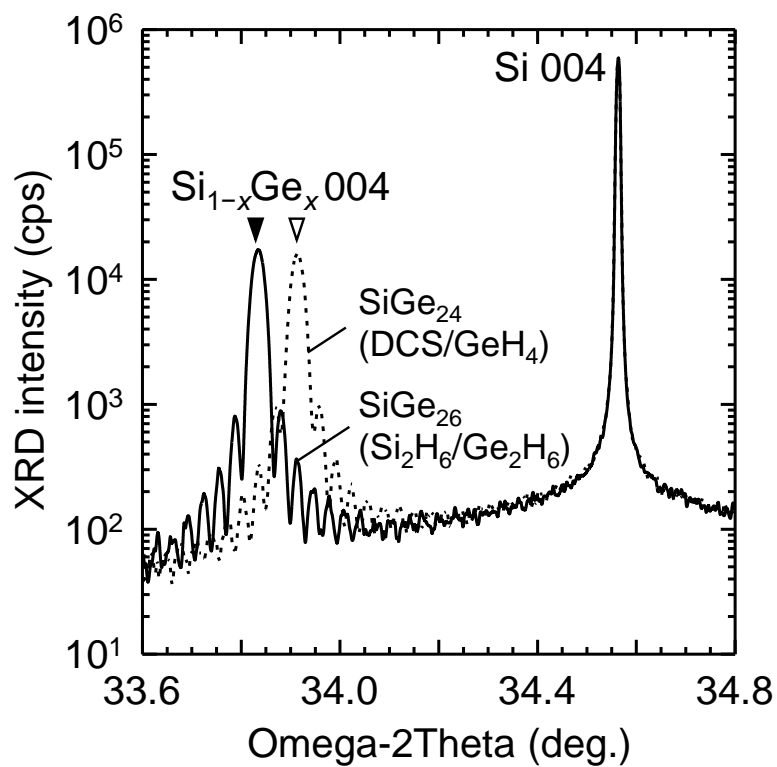


図 5.5:  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する XRD  $\omega$ - $2\theta$  測定結果。

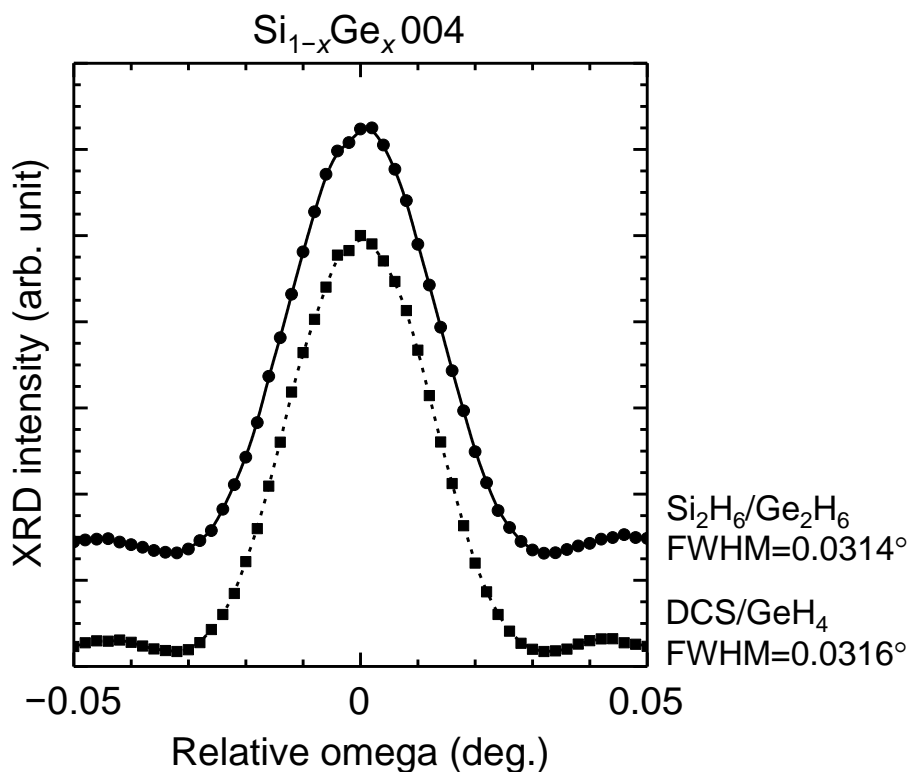


図 5.6:  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する XRD  $\omega$  ロッキングカーブ測定結果。

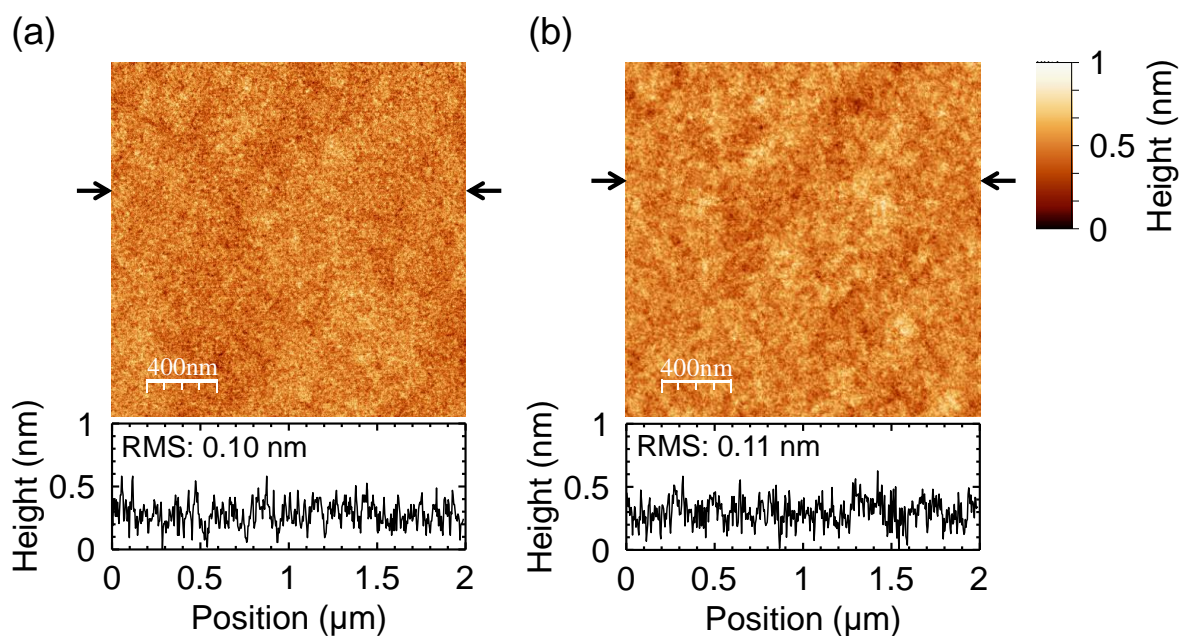


図 5.7: (a)  $\text{DCS}/\text{GeH}_4$ 、(b)  $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  の組み合わせにより Si 基板上に成長した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜表面から得られる AFM 像およびラインプロファイル。測定領域は  $2 \times 2 \mu\text{m}^2$  とした。

5.3.2  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の電氣的欠陥評価

この節では、DCS/GeH<sub>4</sub> および Si<sub>2</sub>H<sub>6</sub>/Ge<sub>2</sub>H<sub>6</sub> それぞれを用いて作製した  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する電氣的特性を DLTS 法により評価した結果を述べる。

すべての DLTS 測定について、sampling period ( $T_w$ ) は 5.12 ms、reverse bias ( $V_R$ ) = -1V、filling bias ( $V_P$ ) = 0V の印加電圧パルス幅 ( $T_p$ ) は 1 ms とした。

DLTS 測定により得られた結果は、膜中の欠陥密度 ( $N_T$ ) が不純物密度 ( $N_D$ ) のおよそ 10% 以下であると仮定したとき、第2章(2.8)式で記述される。

図 5.8 に、DCS/GeH<sub>4</sub> を用いて作製した  $\text{Si}_{0.76}\text{Ge}_{0.24}/\text{Si}$  試料、Si<sub>2</sub>H<sub>6</sub>/Ge<sub>2</sub>H<sub>6</sub> を用いて作製した  $\text{Si}_{0.74}\text{Ge}_{0.26}/\text{Si}$  試料それぞれに対して得られた DLTS 信号の測定温度依存性を示す。予備実験として行なった C-V 測定より、印加した電圧パルスに対応する空乏層の厚さは、DCS/GeH<sub>4</sub> の場合で 60~80 nm、Si<sub>2</sub>H<sub>6</sub>/Ge<sub>2</sub>H<sub>6</sub> の場合では 55~70 nm と見積もられた。これらの値は、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜の膜厚より小さいため、DLTS 測定により評価する領域は、いずれも  $\text{Si}_{1-x}\text{Ge}_x$  薄膜内でかつ表面からの検出深さはほぼ同じであるといえ

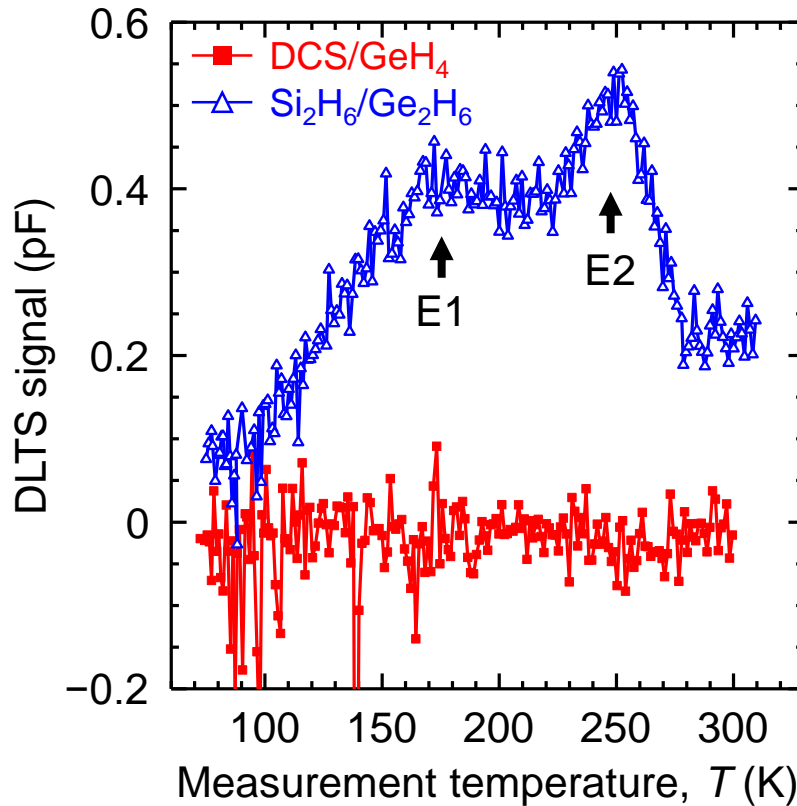


図 5.8:  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する DLTS 測定によって得られた、DLTS 信号の測定温度依存性。

図 5.8 より、DCS/ $\text{GeH}_4$  の場合には DLTS ピークは観測されなかった一方で、 $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  の場合には 180 および 250 K 付近に 2 つの正のピークが観測された。本節では、それぞれのピークを E1 および E2 とする。原理的に、DLTS 信号が測定温度に対して正のピークを有する場合、多数キャリアトラップ、つまりは  $n$  型薄膜では電子トラップに対応する。

第2章(2.8)式より、DLTS 測定により見積もられる膜中の E1 および E2 の欠陥密度は  $4 \times 10^{15} \text{ cm}^{-3}$ 、 $3 \times 10^{15} \text{ cm}^{-3}$  であった。DLTS 測定結果から、欠陥のエネルギー準位を見積もるため第2章(2.7)式を用いた。図 5.9 に、E1 および E2 に対する  $\tau T^2$  値のアレニウスプロットを示す。E1、E2 それぞれのエネルギー深さは  $E_c - 0.33 \text{ eV}$ 、 $E_c - 0.54 \text{ eV}$  と見積もられた。これら欠陥構造を同定するため、図 5.10 にこれまでに報告されている代表的な空孔関連欠陥のエネルギー準位をまとめた[14-17]。本研究で観測された欠陥

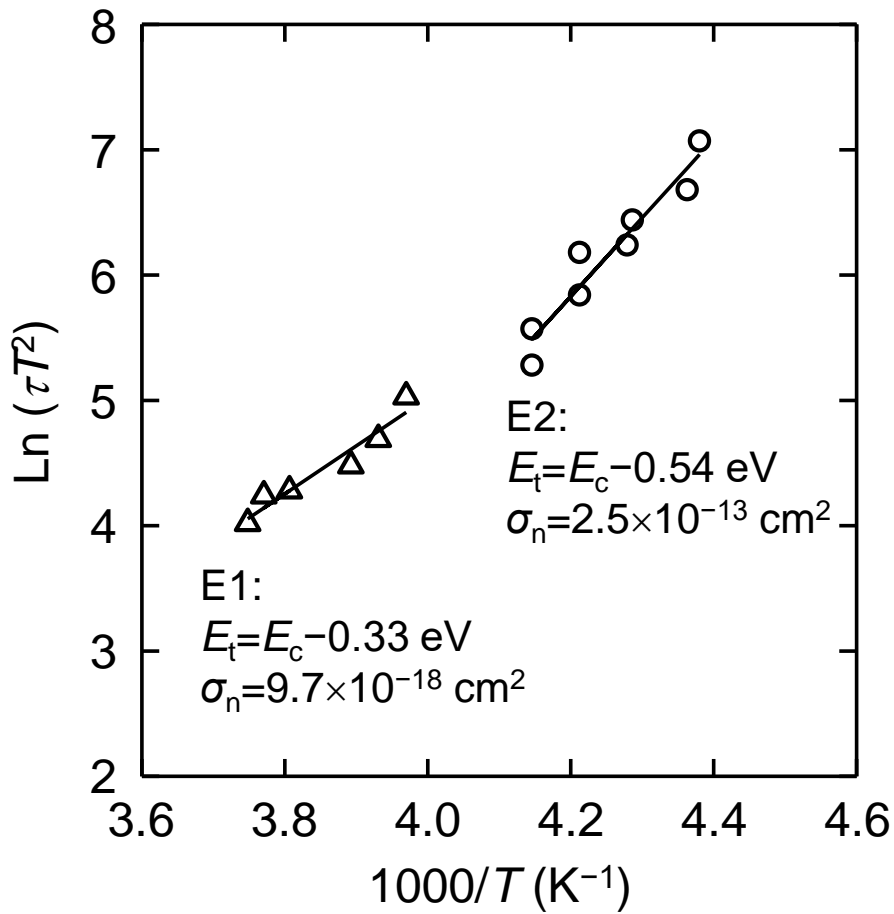


図 5.9:  $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  を用いて作製した  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料から得られた E1 および E2 ピークに対する  $\tau T^2$  値のアレニウスプロット。

は、典型的な格子間関連の欠陥のエネルギー準位と比較して禁制帯中のより深い位置にエネルギー準位を有する。

一方で、本研究で比較的成長温度の高い条件で作製した  $\text{DCS}/\text{GeH}_4$  の場合には DLTS ピークが観測されなかった点から、 $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  の場合で観測された E1 および E2 は低温成長中に導入された原子空孔起因による欠陥であると推察される。



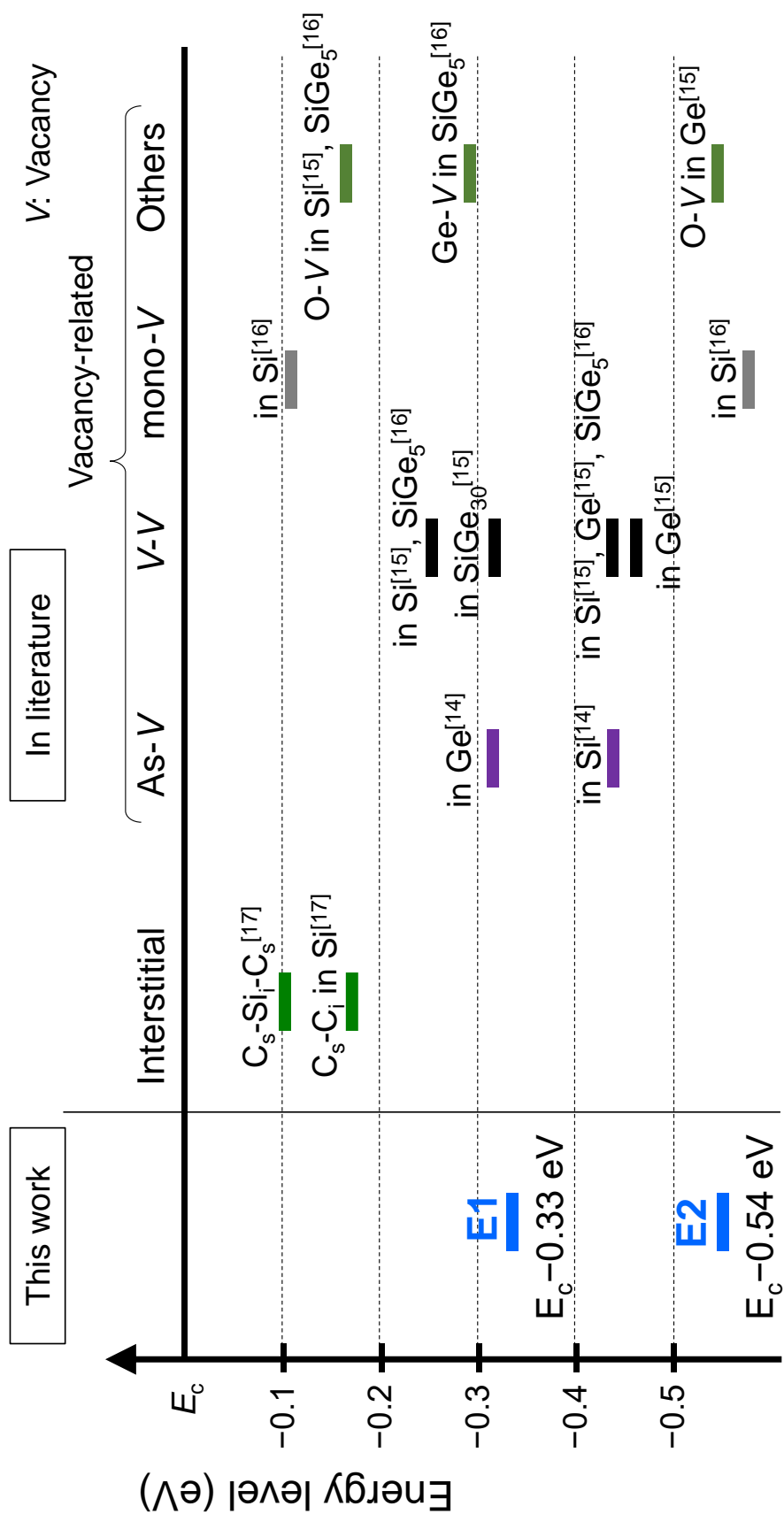


図 5.10:  $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  を用いて作製した  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料において観測された欠陥、および格子間、空孔関連欠陥のエネルギー深さの報告値。

## 5.3.3 薄膜の結晶性および電氣的欠陥に対する熱処理の効果

前節で述べたように、高次プリカーサ ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) を用いて低温成長した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜中には  $3\sim 4\times 10^{15}\text{ cm}^{-3}$  の空孔関連欠陥が存在する。本節では、成長中に導入されたこれらの欠陥に対する成膜後熱処理の効果について検証した。

図 5.11 に示す XRD  $\omega$ -2 $\theta$  測定により、成膜後に 500 °C 熱処理を行っても  $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の Ge 組成の変化やひずみ緩和がなく、薄膜と基板間の急峻な界面を保持していることを確認している。また、200 および 500 °C 熱処理試料に対して C-V 測定を行い (図 5.12 (a))、 $1/C^2$ -V プロットにより  $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の電子密度を見積もったところ、それぞれ  $6\times 10^{17}$ 、 $9\times 10^{17}\text{ cm}^{-3}$  であり、電子密度の大きな変化は観測されなかった (図 5.12 (b))。

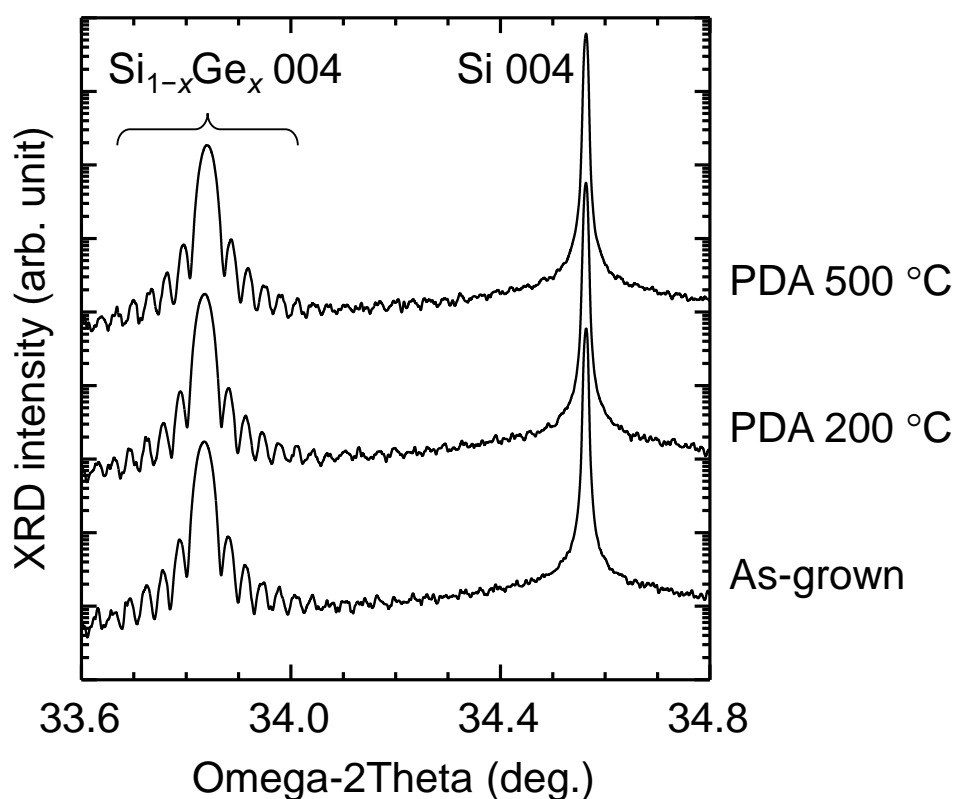


図 5.11:  $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  を用いて作製した  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する、200 および 500 °C 熱処理後の XRD  $\omega$ -2 $\theta$  測定結果。

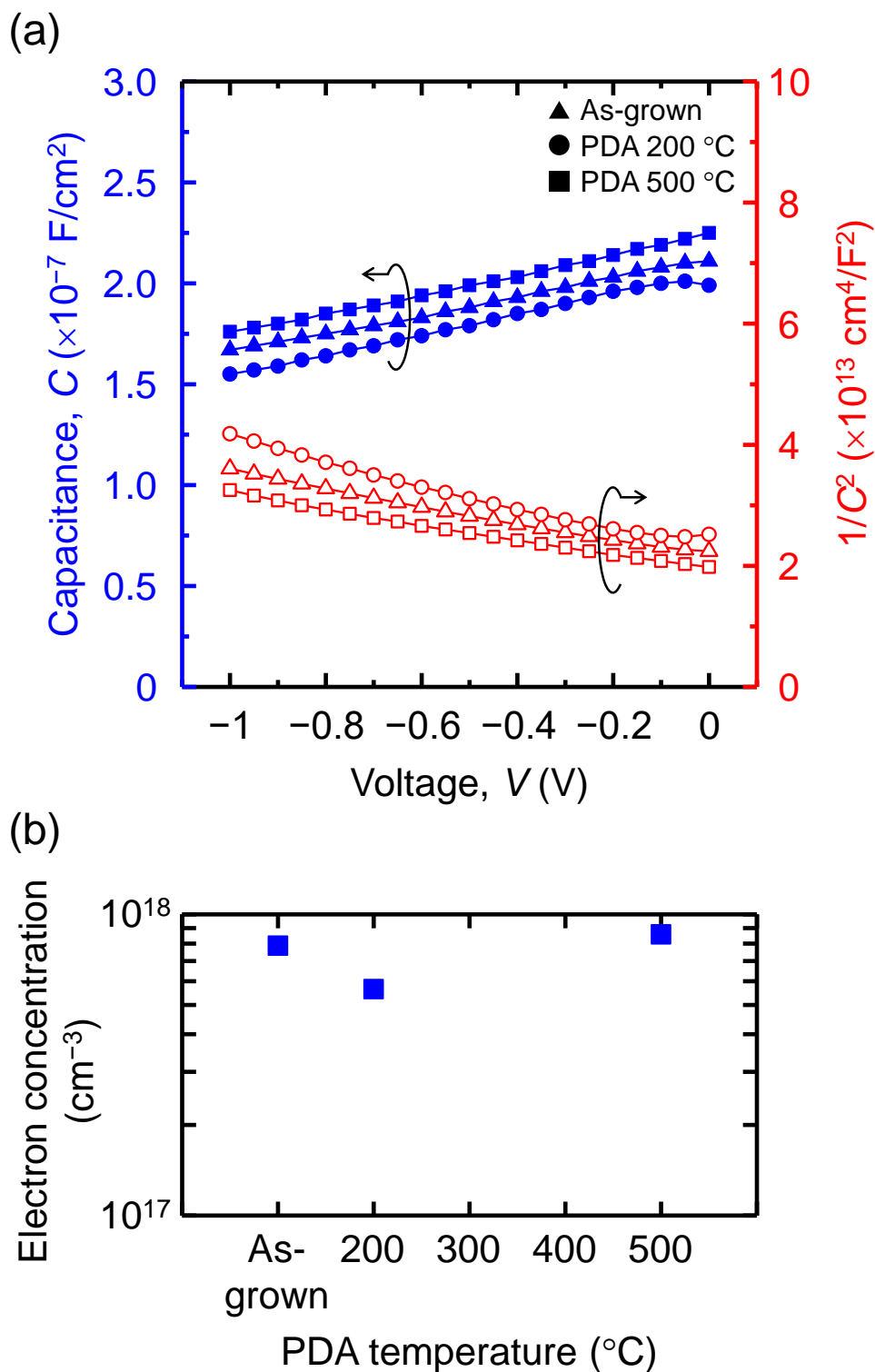


図 5.12: (a) 成膜後熱処理後を行った  $\text{Au}/n\text{-Si}_{1-x}\text{Ge}_x$  ショットキーダイオード試料に対する  $C$ - $V$  測定結果および  $1/C^2$ - $V$  プロット。(b)  $C$ - $V$  測定により見積もられた  $\text{Si}_{1-x}\text{Ge}_x$  薄膜内の電子密度に対する熱処理温度依存性。

図 5.13 に  $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$  を用いて作製した  $\text{Si}_{0.74}\text{Ge}_{0.26}/\text{Si}$  試料の成膜後、 $200^\circ\text{C}$  および  $500^\circ\text{C}$  熱処理後の DLTS 測定結果を示す。 $200^\circ\text{C}$  熱処理によって、成膜直後の試料で観測された DLTS ピークは消失し、膜中の欠陥密度は大幅に減少することがわかる。本研究で行なった DLTS 測定では、欠陥密度の検出下限は  $1 \times 10^{14} \text{ cm}^{-3}$  であるため、成膜後熱処理により膜中欠陥密度が検出下限以下に低減されたことを示唆している。また、 $500^\circ\text{C}$  熱処理においても同様に DLTS ピークは観測されず、膜中欠陥密度が検出下限であった。

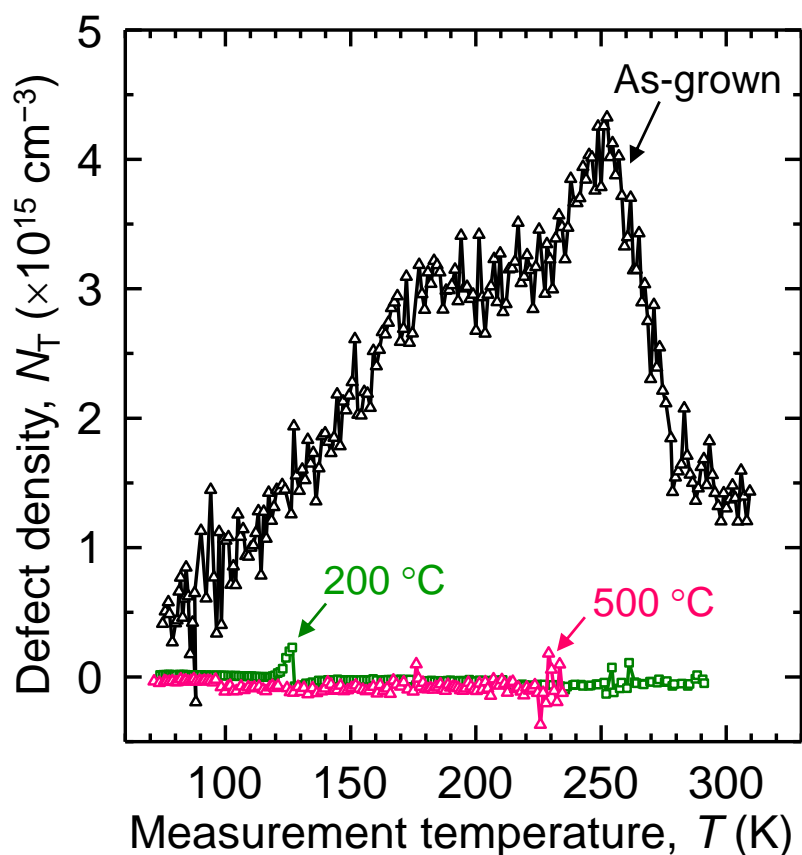


図 5.13: 熱処理前後の  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  試料に対する DLTS 測定によって得られた、膜中欠陥密度の測定温度依存性。

ここで、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の空孔関連欠陥に対する成膜後熱処理の効果について考察する。これまでの研究報告によれば、ひずみ緩和  $\text{Si}_{0.95}\text{Ge}_{0.05}$  層では Ge-V が 50 °C 程度の低温で解離することが知られている。また、E-center (V 族ドーパント原子-vacancy 対、またはその複合体) は Si 中では 180 °C、ひずみ緩和  $\text{Si}_{0.75}\text{Ge}_{0.25}$  層では 250 °C で解離することが報告されている[18]。さらに、Ge 中の vacancy の拡散係数を考慮すると、200 °C、10 分間で vacancy の拡散長は 140 nm と見積もられる[19]。これらに基づくと、200 °C の成膜後熱処理により膜中の空孔関連欠陥の熱解離、および vacancy の拡散によって膜外に掃き出されるため、結果として  $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の欠陥密度が大幅に低減したと推察される。

以上から、高次プリカーサ ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) を用いた低温成長  $\text{Si}_{1-x}\text{Ge}_x$  薄膜は、成長中に導入された原子空孔に起因する電氣的欠陥が膜中に存在するが、成膜後熱処理によって少なくとも  $1 \times 10^{14} \text{ cm}^{-3}$  以下にまで欠陥密度を低減可能であることが明らかとなった。

## 5.4 結論

本章では、減圧 CVD 法により従来のプリカーサ ( $\text{DCS}/\text{GeH}_4$ ) と高次プリカーサ ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) を用いて作製した  $n$  型  $\text{Si}_{1-x}\text{Ge}_x$  薄膜 ( $\text{Ge}$  組成  $x=24\sim 26\%$ ) の結晶性および電氣的特性について比較した。XRD および AFM 測定により、従来のプリカーサを用いて成長温度  $615^\circ\text{C}$  で形成した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜と比較して、高次プリカーサを用いて成長温度を  $550^\circ\text{C}$  まで低減した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜は、同等の結晶性・表面平坦性を有することが示された。

DLTS 法を用いた電氣的特性評価により、従来のプリカーサを用いた  $\text{Si}_{1-x}\text{Ge}_x$  薄膜内の欠陥密度は検出下限 ( $1\times 10^{14}\text{ cm}^{-3}$ ) 以下であるのに対し、高次プリカーサを用いた低温成長  $\text{Si}_{1-x}\text{Ge}_x$  薄膜は、成長直後において膜中に空孔関連欠陥が存在することが明らかになった。しかし、成膜後に  $200^\circ\text{C}$  程度の低温熱処理によって検出下限以下にまで欠陥密度が低減可能なことが示唆された。

以上から、本章の研究成果は、次世代を担う IV 族半導体を基盤とする CMOS テクノロジーを支える結晶成長技術の確立に向けて、プロセス温度の低減および高スループットの両立が期待される高次プリカーサガスの優位性を実証した成果である。

## 5.5 参考文献

- [1] G. Wang, E. Rosseel, R. Loo, P. Favia, H. Bender, M. Caymax, M. M. Heyns, and W. Vandervorst, *J. Appl. Phys.* **108**, 123517 (2010).
- [2] A. P. Knights, R. M. Gwilliam, B. J. Sealy, T. J. Grasby, C. P. Parry, D. J. F. Fulgoni, P. J. Phillips, T. E. Whall, E. H. C. Parker, and P. G. Coleman, *J. Appl. Phys.* **89**, 76-79 (2001).
- [3] A. Hikavy, I. Zyulkov, H. Mertens, L. Witters, R. Loo, and N. Horiguchi, *Mater. Sci. Semicond. Process.*, *in press* [<http://dx.doi.org/10.1016/j.mssp.2016.10.044>].
- [4] S. Wirths, D. Buca, A. Tiedemann, P. Bernardy, B. Holländer, T. Stoica, G. Mussler, U. Breuer, and S. Mantl, *Solid-State Electron.* **83**, 2-9 (2013).
- [5] J. C. Sturm and K. H. Chung, *ECS Trans.* **16**(10), 799-805 (2008).
- [6] C. Li, S. John, E. Quinones, and S. Banerjee, *J. Vac. Sci. Technol. A* **14**, 170-183 (1996).
- [7] M. Kolahdouz, A. Salemi, M. Moeen, M. Östling, and H. H. Radamson, *J. Electrochem. Soc.* **159**, H478-H481 (2012).
- [8] J. M. Hartmann, V. Benevent, J. F. Damlencourt, and T. Billon, *Thin Solid Films* **520**, 3185-3189 (2012).
- [9] J. M. Hartmann, V. Benevent, A. André, C. Sirisopanaporn, M. Veillerot, M.-P. Samson, and S. Barraud, *ECS Trans.* **64**(6), 941-957 (2014).
- [10] A. Yamada, M. Tanda, F. Kato, M. Konagai, and K. Takahashi, *J. Appl. Phys.* **69**, 1008-1012 (1991).
- [11] J. M. Hartmann, A. Abbadie, and S. Favier, *J. Appl. Phys.* **110**, 08352 (2011).
- [12] S. Weiss and R. Kassing, *Solid-State Electron.* **31**, 1733-1742 (1988).
- [13] C. Gong, E. Simoen, N. Posthuma, E. V. Kerschaver, J. Poortmans, and R. Mertens, *Appl. Phys. Lett.* **96**, 103507 (2010).
- [14] V. P. Markevich, I. D. Hawkins, A. R. Peaker, K. V. Emtsev, V. V. Emtsev, V. V. Litvinov, L. I. Murin, and L. Dobaczewski, *Phys. Rev. B* **70**, 235213 (2004).
- [15] P. Kringhoj and A. N. Larsen, *Phys. Rev. B* **52**, 16333-16336 (1995).
- [16] C. V. Budtz-Jorgensen, P. Kringhoj, A. N. Larsen, and N. V. Abrosimov, *Phys. Rev. B* **58**, 1110-1113 (1998).

- [17] M. T. Asom, J. L. Benton, R. Sauer, and L. C. Kimerling, Appl. Phys. Lett. **51**, 256-258 (1987).
- [18] A. N. Larsen, Mater. Sci. Eng. B **71**, 6-13 (2000).
- [19] A. Hiraki, J. Phys. Soc. Jpn. **21**, 34-41 (1966).





## 第6章 結論

### 6.1 本研究の総括

Ge 系混晶半導体には、高移動度チャネル材料およびひずみ技術を融合した、さらなる高速動作・低消費電力 CMOS 実現が期待される。本研究は、一軸圧縮ひずみ Ge チャネル MOSFET 実現のために、 $\text{Ge}_{1-x}\text{Sn}_x$  S/D ストレッサの可能性を探るとともに、S/D 領域の低抵抗化に向けた不純物制御を目的とした。また、構造内に埋もれた微細な Ge チャネル領域に誘起される局所ひずみ構造の評価手法の確立も目指した。 $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサ層の Sn 組成および Ge チャネル細線幅が、実際に印加されるひずみに対する依存性を明らかにした。S/D 領域の低抵抗化のための不純物ドーピングについては、低温成長かつ高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の実現を目指し、MOCVD 法による *in situ* P ドーピングを検討した。また、 $\text{Si}_{1-x}\text{Ge}_x$  混晶についても、一軸伸張ひずみ Ge チャネル MOSFET の S/D ストレッサ材料として、ナノメートルスケールの微細構造を制御するため、低温での結晶成長技術の確立が重要視されている。CVD 用の新規プリカーサ材料の導入による成長温度の低減を図り、低温成長  $\text{Si}_{1-x}\text{Ge}_x$  層の結晶性、表面平坦性および電気的活性な欠陥について詳細に調査した。

以下に、本研究で得られた結果をまとめる。

#### 6.1.1 有機金属化学気相成長法を用いた $n$ 型 Ge および $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の結晶成長 (第3章)

Ge チャネルあるいはひずみ Ge チャネル  $n$ -MOSFET 実現に向けた、低抵抗の S/D 領域の形成を目指して、MOCVD 法を用いた *in situ* P ドーピングによる Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層の不純物制御を検討した。高濃度  $n$  型 Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層を形成し、結晶性および電気的特性について詳細に調べた。

成長温度 400 °C 以下の低温にて、Si 基板上に P ドープ Ge 層のエピタキシャル成長を実現した。TEP 供給量の増加とともに膜中 P 濃度は増大し、Ge 中の P の固溶限を

大きく超える  $1 \times 10^{20} \text{ cm}^{-3}$  の P 濃度が得られた。一方で、Ge 層の Hall 電子密度は  $2 \times 10^{19} \text{ cm}^{-3}$  程度で飽和する傾向がみられた。

さらなる活性化 P 濃度の向上を目指して、成長速度の増大による非平衡的成長下での P ドープ Ge 層のエピタキシャル成長を検討した。350 および 400 °C の成長温度下においては、成長速度の増大が導入 P 濃度および Hall 電子密度に与える影響は小さいことがわかった。また、Ge 層に取り込まれる P 濃度は、成長温度の低減とともに減少する傾向がみられた。Ge および P の堆積速度に対する活性化エネルギーはそれぞれ 1.0 eV、2.1 eV と見積もられ、Ge に比べて P の方が 2 倍ほど大きいことが明らかになった。この活性化エネルギー差に起因して、低温化とともに導入 P 濃度が減少したと考えられる。Ge および P プリカーサの組み合わせにまだ議論の余地がある。

成長温度 320 °C にて、P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長を実現した。Sn 導入の効果によって、Sn 組成の増加とともに、P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層の結晶性および表面平坦性が向上した。一方で、Sn 組成の増加とともに、 $\text{Ge}_{1-x}\text{Sn}_x$  層中の P 濃度が減少した。これは、Sn および P プリカーサの同時供給によって、両者の間で、プリカーサの分解反応あるいは Ge 層への取り込み過程で競合が起こっていると推察される。 $\text{Ge}_{1-x}\text{Sn}_x$  層との格子ミスマッチが小さい Ge バッファ層上に成長した P ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  層は、Si 基板上と比較して結晶性および表面平坦性が大幅に向上した。本研究では、Hall 電子密度  $1.3 \times 10^{19} \text{ cm}^{-3}$  を有する Sn 組成 1.7% の  $\text{Ge}_{1-x}\text{Sn}_x$  層のエピタキシャル成長を実現した。

### 6.1.2 マイクロ回折法を用いたひずみ Ge/埋め込み $\text{Ge}_{1-x}\text{Sn}_x$ 構造の局所ひずみ解析 (第4章)

一軸圧縮ひずみ Ge チャネル MOSFET の実現に向けて、Ge 細線/埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  構造を作製し、サブミクロン領域の局所ひずみおよび結晶構造について詳細に調べた。

MBE あるいは MOCVD 法を用いた低温成長によって、Ge パターニング基板上に Sn 組成 6.5% を有する局所エピタキシャル  $\text{Ge}_{1-x}\text{Sn}_x$  層を成長した。マイクロ回折法を用いて、埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の局所領域における結晶性、および  $\text{Ge}_{1-x}\text{Sn}_x$  層に挟まれた Ge 細線に誘起された局所ひずみを、種々の細線幅および  $\text{Ge}_{1-x}\text{Sn}_x$  層内の Sn 組成に

対して系統的に調査した。

1  $\mu\text{m}$  幅の埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層内の結晶性を調べた結果、埋め込み層のエッジ近傍で  $\text{Ge}_{1-x}\text{Sn}_x$  層の局所的な結晶面傾斜が存在することがわかった。また、その傾斜角は埋め込み層内で変化することもわかった。有限要素法を用いた構造シミュレーションによって  $\text{Ge}_{1-x}\text{Sn}_x$  層内の内部応力分布を調べた結果、埋め込み層のエッジに応力集中が生じることが明らかとなり、この応力分布が結晶面傾斜を引き起こした要因であると考えられる。

局所的に形成した  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層に挟まれた、25~100 nm の微細な Ge 細線のひずみ構造をマイクロ回折法によって評価した。Ge 細線には、面内方向に圧縮、面直方向に伸張のひずみが印加されることを明らかにした。また、Ge 細線幅の縮小および  $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサ層の Sn 組成の増加に対して、印加されたひずみ量が増大する傾向を実験的に明らかにした。また、有限要素法を用いた構造シミュレーションによって Sn 組成および細線サイズ依存性を検証し、マイクロ回折測定の結果と傾向が一致することを明らかにした。本研究では、Sn 組成 5.6% の  $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサに挟まれた 30 nm 幅の Ge 細線に、一軸圧縮ひずみ 0.9% (応力換算で 1.2 GPa) が印加されることを実証した。これは、一軸圧縮ひずみ Ge のためのストレッサ材料として、 $\text{Ge}_{1-x}\text{Sn}_x$  混晶が有用であることを示す成果である。

さらに、マイクロ回折法を用いて、試料内のサブミクロン領域での Ge 細線内のひずみ分布、 $\text{Ge}_{1-x}\text{Sn}_x$  層の Sn 組成や内包ひずみ量についても評価した。1~2  $\mu\text{m}$  の測定領域内では Sn 組成および Ge 細線のひずみ量に有意なゆらぎは観測されなかった。埋め込み  $\text{Ge}_{1-x}\text{Sn}_x$  層の内包ひずみは、Ge 細線周辺で面内・面直方向ともにひずみ緩和しており、パターンニング領域内で内包ひずみ分布が存在することを明らかにした。

### 6.1.3 低温成長 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル薄膜の結晶性および電氣的欠陥評価

#### (第5章)

CVD 用の新規プリカーサの導入によって低温成長した  $\text{Si}_{1-x}\text{Ge}_x$  層の結晶性や電氣的欠陥について詳細に調査した。減圧 CVD 法により、従来のプリカーサ ( $\text{DCS}/\text{GeH}_4$ ) と高次プリカーサ ( $\text{Si}_2\text{H}_6/\text{Ge}_2\text{H}_6$ ) を用いて作製した  $n$  型  $\text{Si}_{1-x}\text{Ge}_x$  薄膜 (Ge 組成  $x=24\sim 26\%$ )

の結晶性および電気的特性を比較した。XRD および AFM 測定により、従来のプリカーサを用いて成長温度 615 °C で形成した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜と比較して、高次プリカーサを用いて成長温度を 550 °C まで低減した  $\text{Si}_{1-x}\text{Ge}_x$  薄膜は、同等の結晶性・表面平坦性を有することが示された。

DLTS 法を用いた電気的特性評価により、従来のプリカーサを用いた  $\text{Si}_{1-x}\text{Ge}_x$  薄膜内の欠陥密度は検出下限 ( $1 \times 10^{14} \text{ cm}^{-3}$ ) 以下であるのに対し、高次プリカーサを用いた低温成長  $\text{Si}_{1-x}\text{Ge}_x$  薄膜は、成長直後において膜中に空孔関連欠陥が存在することが明らかになった。しかし、成膜後に 200 °C 程度の低温熱処理によって検出下限以下にまで欠陥密度が低減可能なことが示唆された。

## 6.2 今後の課題

本研究では、MOCVD 法を用いた  $\text{Ge}_{1-x}\text{Sn}_x$  層への高濃度  $n$  型ドーピングの可能性を見出し、さらに、 $\text{Ge}_{1-x}\text{Sn}_x$  ストレッサによるひずみ Ge チャンネル技術の構築に繋がる成果を示した。一方で、 $\text{Ge}_{1-x}\text{Sn}_x$  S/D 形成技術の確立に向けて、以下に示す課題が残されており、研究をさらに推し進める必要がある。

まずは、MOCVD 法で形成した  $n$  型  $\text{Ge}_{1-x}\text{Sn}_x$  層中の電氣的欠陥を詳細に調査する必要がある。実際に、本研究で形成した Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  層中には  $10^{17}\sim 10^{18}\text{ cm}^{-3}$  程度の残留 C が存在する。膜中および  $pn$  接合界面の欠陥密度を定量化するとともに、残留 C が電氣的特性に及ぼす影響について明らかにしなければならない。

次に、高 Sn 組成化と高濃度ドーピングの両立である。本研究では Sn 組成の増大とともに導入 P 濃度が減少する傾向が明らかとなった。この現象は、無機系 CVD における B ドープ  $\text{Ge}_{1-x}\text{Sn}_x$  成長においても報告されており [1, 2]、Sn およびドーパントのプリカーサの気相反応による相互作用、あるいは成長膜表面における反応サイトの競合など、様々な要因が考えられる。MO 原料は、無機系原料に比べて原料選択の幅が広いため、成長雰囲気制御によりこの問題を解決できる可能性がある。また、Ge 中の平衡固溶限の観点から本研究では  $n$  型ドーパントとして P を選択したが、他の V 族ドーパントについても、 $\text{Ge}_{1-x}\text{Sn}_x$  層に対する高濃度  $n$  型ドーピングの実現可能性について検討する必要がある。特に、Ge 中で P よりも平衡分配係数 ( $K_0$ , P の場合  $K_0=0.08$ ) の小さな As ( $K_0=0.02$ ) や Sb ( $K_0=0.003$ ) は結晶成長においてサーファクタント効果を有することが知られている [3, 4]。最近では、MBE 法を用いた低温成長により、 $\text{Ge}_{1-x}\text{Sn}_x$  層への  $1\times 10^{20}\text{ cm}^{-3}$  を超える高濃度 Sb ドーピング、および Sb の有するサーファクタント効果による  $\text{Ge}_{1-x}\text{Sn}_x$  層の高い結晶性の実現が報告されており [5]、Sb が高濃度  $n$  型  $\text{Ge}_{1-x}\text{Sn}_x$  層の高品質形成に向けた V 族ドーパントの一つとして期待される。

今後、 $p$  型ドーピングも視野に入れた MOCVD 成長における原料選択、および Sn 原料 (Sn 原子) とドーパントとの相互作用の理解と制御が、 $\text{Ge}_{1-x}\text{Sn}_x$  混晶の電子デバイス応用に向けた重要な基盤技術となる。

### 6.3 参考文献

- [1] B. Vincent, F. Gencarelli, H. Bender, C. Merckling, B. Douhard, D. H. Petersen, O. Hansen, H. H. Henrichsen, J. Meersschaut, W. Vandervorst, M. Heyns, R. Loo, and M. Caymax, *Appl. Phys. Lett.* **99**, 152103 (2011).
- [2] J. Margetis, A. Mosleh, S. A. Ghetmiri, S. Al-Kabi, W. Dou, W. Du, N. Bhargava, S.-Q. Yu, H. Profijt, D. Kohen, R. Loo, A. Vohra, and J. Tolle, *Mater. Sci. Semicond. Process.*, *in press* [<http://dx.doi.org/10.1016/j.mssp.2016.12.024>].
- [3] F. A. Trumbore, *Bell System Tech. J.* **39**, 205-233 (1960).
- [4] B. Voigtlander, A. Zinner, T. Weber, and H. P. Bonzel, *Phys. Rev. B* **51**, 7583-7591 (1995).
- [5] J. Jeon, T. Asano, Y. Shimura, W. Takeuchi, M. Kurosawa, M. Sakashita, O. Nakatsuka, and S. Zaima, *Jpn. J. Appl. Phys.* **55**, 04EB13 (2016).

## 謝 辞

本論文は、名古屋大学大学院工学研究科結晶材料工学専攻、博士課程後期課程在籍時に行なった研究をまとめたものです。

本研究を行なうにあたり、研究機会を与えて頂き、また終始御指導頂いた名古屋大学未来材料・システム研究所 財満鎮明教授に謝意を表すとともに厚く御礼を申し上げます。本論文を御査読頂き、貴重な意見を頂いた名古屋大学大学院工学研究科 鳥本司教授、宇佐美德隆教授、中塚理教授に厚く御礼申し上げます。

本研究を進めるにあたり、日頃の研究活動において有益な御指導をして下さった名古屋大学工学研究科 田岡紀之特任准教授（現 産業技術総合研究所）、黒澤昌志講師、坂下満男助教、竹内和歌奈助教、志村洋介特任助教（現 静岡大学大学院総合科学技術研究科）に深く感謝致します。

Ge パターニング基板の提供および実験結果について議論して頂いた産業技術総合研究所グリーン・ナノエレクトロニクスセンター 手塚勉博士、守山佳彦博士に感謝の意を表します。本研究における X 線マイクロ回折測定および硬 X 線光電子分光測定は、大型放射光施設（SPring-8）のビームライン BL13XU、BL47XU および BL9XU にて行われました。御支援・御指導いただいた財団法人光科学研究センター 木村滋博士、今井康彦博士、池永英司博士に深く感謝致します。

博士課程後期課程在籍中、ベルギー・imec (Interuniversity Microelectronics Centre) にて一年間、研究インターンシップとして海外での研究の機会を与えて頂きました。現地で研究指導してくださった Roger Loo 博士、Eddy Simoen 博士に感謝致します。

また、日々の事務処理等において御支援頂いた松永直子氏、岩田まゆみ氏に御礼を申し上げます。

本論文は、共同研究者である犬塚雄貴氏（既卒）、鷺津智也氏の多大なるご協力を頂いてまとめられたものであり、深く感謝いたします。

日々共に生活し、勉学に励んできた名古屋大学大学院工学研究科 財満・中塚研究



## 謝辞

---

室の学生の皆様に感謝の意を表します。特に、研究室生活において共に博士課程後期課程の学生として励ましあった浅野孝典氏（既卒）、山羽隆氏（既卒）、鈴木陽洋氏、高橋恒太氏、長江祐樹氏に厚く御礼申し上げます。

また、独立行政法人日本学術振興会からは、博士課程後期課程における研究奨励金を頂戴致しました。心から感謝いたします。

最後に、本学にて研究生から博士課程後期課程に至るまでの勉学を許し、遠く離れた高知から温かく見守って下さった家族に心から感謝致します。本当にありがとうございました。

2017 年 2 月 池 進一

## 発表論文

- [1] **Shinichi Ike**, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Osamu Nakatsuka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “Formation and characterization of locally strained  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  microstructures,” *Thin Solid Films* **557**, 164-168 (2014).
- [2] **Shinichi Ike**, Osamu Nakatsuka, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “Characterization of locally strained  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  fine structures by synchrotron X-ray microdiffraction,” *Appl. Phys. Lett.* **106**, 182104 (2015).
- [3] **Shinichi Ike**, Eddy Simoen, Yosuke Shimura, Andriy Hikavy, Wilfried Vandervorst, Roger Loo, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Influence of precursor gas on SiGe epitaxial material quality in terms of structural and electrical defects,” *Jpn. J. Appl. Phys.* **55**, 04EJ11 (2016).
- [4] **Shinichi Ike**, Osamu Nakatsuka, Yuki Inuzuka, Tomoya Washizu, Wakana Takeuchi, Yasuhiko Imai, Shigeru Kimura, and Shigeaki Zaima: “Analysis of Microscopic Strain and Crystalline Structure in  $\text{Ge}/\text{Ge}_{1-x}\text{Sn}_x$  Fine Structures by using Synchrotron X-ray Microdiffraction,” *ECS Trans.* **75**(8), 769-775 (2016).
- [5] **Shinichi Ike**, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Epitaxial growth of heavily doped  $n^+$ -Ge layers using metal-organic chemical vapor deposition with *in situ* phosphorus doping,” *Thin Solid Films* [*Submitted*].

## 関連論文

- [1] **Shinichi Ike**, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Osamu Nakatsuka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “Characterization of Local Strain Structures in Heteroepitaxial  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  Microstructure by using Microdiffraction Method,” *ECS Trans.* **58**(9), 185-192 (2013).
- [2] Y. Inuzuka, **Shinichi Ike**, Takanori Asano, Wakana Takeuchi, Noriyuki Taoka, Osamu Nakatsuka, and Shigeaki Zaima: “Epitaxial  $\text{Ge}_{1-x}\text{Sn}_x$  Layers Grown by Metal-Organic Chemical Vapor Deposition Using Tertiary-butyl-germane and Tri-butyl-vinyl-tin,” *ECS Solid State Lett.* **4**(8), P59-P61 (2015).
- [3] Yuki Inuzuka, **Shinichi Ike**, Takanori Asano, Wakana Takeuchi, Osamu Nakatsuka, and

- Shigeaki Zaima: “Characterization of crystallinity of  $\text{Ge}_{1-x}\text{Sn}_x$  epitaxial layers grown using metal-organic chemical vapor deposition,” *Thin Solid Films* **602**, 7-12 (2016).
- [4] Tomoya Washizu, **Shinichi Ike**, Yuki Inuzuka, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Selective epitaxial growth of  $\text{Ge}_{1-x}\text{Sn}_x$  on Si by using metal-organic chemical vapor deposition,” *J. Cryst. Growth*, *accepted*.

## 国際会議における発表

- [1] **Shinichi Ike**, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Osamu Nakatsuka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “Formation and Characterization of Locally Strained  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  Microstructures,” 8<sup>th</sup> International Conference on Silicon Epitaxy and Heterostructures (ICSI8), Fukuoka (Japan), AS2-6, 2013/06/02-06（口頭発表）.
- [2] **Shinichi Ike**, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Osamu Nakatsuka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “Characterization of Local Strain Structures in Heteroepitaxial  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  Microstructure by using Microdiffraction Method,” 224<sup>th</sup> ECS MEETING, San Francisco (U.S.), E12-2234, 2013/10/27-11/01（口頭発表）.
- [3] **Shinichi Ike**, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Osamu Nakatsuka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “Study of Local Strain Distribution in  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  Fine Structures by using Synchrotron X-ray Microdiffraction,” JSPS International Core-to-Core Program Workshop “Atomically Controlled Processing for Ultra-large Scale Integration”, Leuven (Belgium), P5.2, 2014/11/13-14（ポスター発表）.
- [4] Yuki Inuzuka, **Shinichi Ike**, Takanori Asano, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Epitaxial Growth of  $\text{Ge}_{1-x}\text{Sn}_x$  Thin Films by using Metal-Organic Chemical Vapor Deposition,” 8<sup>th</sup> International WorkShop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to-Core Program Joint Seminar “Atomically Controlled Processing for Ultralarge Scale Integration”, Sendai (Japan), P-01, 2015/01/29-30（ポスター発表）.
- [5] Yuki Inuzuka, **Shinichi Ike**, Takanori Asano, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Characterization of Crystallinity of  $\text{Ge}_{1-x}\text{Sn}_x$  Epitaxial Layers Grown

- by using Metal-Organic Chemical Vapor Deposition,” 9<sup>th</sup> International Conference on Silicon Epitaxy and Heterostructures (ICSI9), Montreal (Canada), 2015/05/17-22 (口頭発表) .
- [6] Shigeaki Zaima, Osamu Nakatsuka, Takashi Yamaha, Takanori Asano, **Shinichi Ike**, Akihiro Suzuki, Masashi Kurosawa, Wakana Takeuchi, and Mitsuo Sakashita: “Challenges of Energy Band Engineering with New Sn-Related Group IV Semiconductor Materials for Future Integrated Circuits,” 228<sup>th</sup> ECS MEETING, Phoenix (U.S.), G04-1083, 2015/10/11-16 (口頭発表) .
- [7] Shigeaki Zaima, Osamu Nakatsuka, Takanori Asano, Takashi Yamaha, **Shinichi Ike**, Akihiro Suzuki, Masashi Kurosawa, Wakana Takeuchi, and Mitsuo Sakashita: “Crystal Growth of GeSn-related Group-IV Thin Films for Integrating on Si Nanoelectronics Platform,” 2015 International Conference on Solid State Devices and Materials (SSDM2015), Sapporo (Japan), G-4-1, 2015/09/27-30 (口頭発表) .
- [8] **Shinichi Ike**, Eddy Simoen, Yosuke Shimura, Andriy Hikavy, Wilfried Vandervorst, Roger Loo, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Influence of Precursor Gas on SiGe Epitaxial Material Quality in Terms of Structural and Electrical Defects,” 2015 International Conference on Solid State Devices and Materials (SSDM2015), Sapporo (Japan), G-4-4, 2015/09/27-30 (口頭発表) .
- [9] **Shinichi Ike**, Osamu Nakatsuka, Yoshihiko Moriyama, Masashi Kurosawa, Noriyuki Taoka, Yasuhiko Imai, Shigeru Kimura, Tsutomu Tezuka, and Shigeaki Zaima: “X-ray Microdiffraction Characterization of Local Strain Distribution in GeSn/Ge Nanostructures,” International Symposium on EcoTopia Science 2015 (ISETS’15), Nagoya (Japan), 28-6-5, 2015/11/27-29 (口頭発表) .
- [10] Koh Saitoh, Kentaro Doi, Nobuo Tanaka, **Shinichi Ike**, Osamu Nakatsuka, and Shigeaki Zaima: “Strain measurement of heteroepitaxial GeSn/Ge with a finFET Structure,” International Symposium on EcoTopia Science 2015 (ISETS’15), Nagoya (Japan), 28-3-4, 2015/11/27-29 (口頭発表) .
- [11] **Shinichi Ike**, Eddy Simoen, Yosuke Shimura, Andriy Hikavy, Wilfried Vandervorst, Roger Loo, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Structural and Electrical Properties of Low Temperature CVD-Grown SiGe Epitaxial Layers,” 9<sup>th</sup> International WorkShop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to-Core Program Joint Seminar “Atomically Controlled Processing for Ultralarge

- Scale Integration”, Sendai (Japan), O-01, 2016/01/11-12 (口頭発表) .
- [12] **Shinichi Ike**, Yuki Inuzuka, Tomoya Washizu, Wakana Takeuchi, Yosuke Shimura, Yasuhiko Imai, Osamu Nakatsuka, Shigeru Kimura, Shigeaki Zaima: “Direct Measurement of Anisotropic Local Strain in Ge Nanostructures Strained with MOCVD-grown  $\text{Ge}_{1-x}\text{Sn}_x$  by using Microdiffraction,” 8<sup>th</sup> International SiGe Technology and Device Meeting (ISTDM2016), Nagoya (Japan), TA2-B-3, 2016/06/07-11 (口頭発表) .
- [13] **Shinichi Ike**, Osamu Nakatsuka, Yuki Inuzuka, Tomoya Washizu, Wakana Takeuchi, Yasuhiko Imai, Shigeru Kimura, and Shigeaki Zaima: “Analysis of Microscopic Strain and Crystalline Structure in Ge/ $\text{Ge}_{1-x}\text{Sn}_x$  Fine Structures by using Synchrotron X-ray Microdiffraction,” 230<sup>th</sup> Meeting of the Electrochemical Society/Pacific Rim Meeting (PRiME) 2016, Hawaii (U.S.), G05-2006, 2016/10/02-07 (口頭発表) .
- [14] Tomoya Washizu, **Shinichi Ike**, Yuki Inuzuka, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Low-Temperature Selective Epitaxial Growth of Ge on Si by MOCVD,” The 18<sup>th</sup> International Conference on Crystal Growth and Epitaxy (ICCGE-18), Nagoya (Japan), ThP-T02-14, 2016/08/07-12 (ポスター発表) .
- [15] Shigeaki Zaima, Osamu Nakatsuka, Takanori Asano, Takashi Yamaha, **Shinichi Ike**, Akihiro Suzuki, Kouta Takahashi, Yuuki Nagae, Masashi Kurosawa, Wakana Takeuchi, Yosuke Shimura, and Mitsuo Sakashita: “Growth and applications of GeSn-related group-IV semiconductor materials,” IEEE photonics Society 2016 SUMMER TOPICALS MEETING SERIES, California (U.S.), 2016/07/11-13 (口頭発表) .
- [16] **Shinichi Ike**, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “Growth of Heavily Doped  $n$ -Ge Epitaxial Layer by *In situ* Phosphorus-doping with Low-temperature Metal-Organic Chemical Vapor Deposition,” 2016 International Conference on Solid State Devices and Materials (SSDM2016), Tsukuba (Japan), PS-1-02, 2016/09/26-29 (ポスター発表) .
- [17] **Shinichi Ike**, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki Zaima: “*In situ* phosphorus doping of Ge and  $\text{Ge}_{1-x}\text{Sn}_x$  epitaxial layers by low-temperature metal-organic chemical vapor deposition,” 10<sup>th</sup> International WorkShop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to-Core Program Joint Seminar “Atomically Controlled Processing for Ultralarge Scale Integration”, Sendai (Japan), O-02, 2017/02/13-14 (口頭発表) .
- [18] Tomoya Washizu, **Shinichi Ike**, Wakana Takeuchi, Osamu Nakatsuka, and Shigeaki

Zaima: “Selective growth of  $\text{Ge}_{1-x}\text{Sn}_x$  epitaxial layer on patterned Si substrate using metal-organic chemical vapor deposition method,” 9<sup>th</sup> International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials/10th International Conference on Plasma-Nano Technology & Science (ISPlasma2017/IC-PLANTS2017), Aichi (Japan), 2017/03/01-05 (口頭発表予定) .

## 国内学会・シンポジウム等における発表

- [1] 池 進一, 志村 洋介, 守山 佳彦, 手塚 勉, 中塚 理, 財満 鎮明: “Ge(001)微細パターンニング基板上への局所  $\text{Ge}_{1-x}\text{Sn}_x$  ヘテロエピタキシャル成長,” 2012 年秋季第 73 回応用物理学会学術講演会, 愛媛 (Japan), 13p-J-12, 2012/09/11-14 (口頭発表).
- [2] 池 進一, 守山 佳彦, 黒澤 昌志, 田岡 紀之, 中塚 理, 今井 康彦, 木村 滋, 手塚 勉, 財満 鎮明: “ひずみ Ge チャネル立体微細 FET のための金属/Ge コンタクト界面物性評価,” 最先端研究開発支援プログラム採択課題 グリーン・ナノエレクトロニクスのコア技術開発 2013 年成果報告会, 東京 (Japan), PM-4, 2013/03/13 (ポスター発表).
- [3] 池 進一, 守山 佳彦, 黒澤 昌志, 田岡 紀之, 中塚 理, 今井 康彦, 木村 滋, 手塚 勉, 財満 鎮明: “ $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  微細構造による局所歪構造の形成と評価,” 2013 年春季第 60 回応用物理学会春季学術講演会, 神奈川 (Japan), 27a-G20-6, 2013/03/27-30 (口頭発表).
- [4] 池 進一, 守山 佳彦, 黒澤 昌志, 田岡 紀之, 中塚 理, 今井 康彦, 木村 滋, 手塚 勉, 財満 鎮明: “高輝度放射光 X 線マイクロ回折法による  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  微細構造内部の局所歪評価,” 第 13 回日本表面科学会中部支部学術講演会, 名古屋 (Japan), 15, 2013/12/21 (口頭発表).
- [5] 池 進一, 守山 佳彦, 黒澤 昌志, 田岡 紀之, 中塚 理, 今井 康彦, 木村 滋, 手塚 勉, 財満 鎮明: “歪 Ge チャネル MOSFET に向けた埋め込み  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  微細構造の局所歪評価,” 第 1 回 TIA ナノエレクトロニクス・サマースクール 合同ポスターセッション, つくば (Japan), E-1, 2013/08/29 (ポスター発表).
- [6] 中塚 理, 池 進一, 浅野 孝典, 黒澤 昌志, 田岡 紀之, 財満 鎮明: “角度分解光電子 X 線分光法による Ge および  $\text{Ge}_{1-x}\text{Sn}_x$  表面電子状態の分析,” UVSOR シンポジウム 2013, 岡崎 (Japan), P36, 2013/12/07 (ポスター発表).

- [7] **池 進一**, 守山 佳彦, 黒澤 昌志, 田岡 紀之, 中塚 理, 今井 康彦, 木村 滋, 手塚 勉, 財満 鎮明: “ $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  微細構造を用いた局所歪の形成と結晶物性評価,” 最先端研究開発支援プログラム採択課題 グリーン・ナノエレクトロニクスのコア技術開発 最終成果報告会, 東京 (Japan), MOS-10, 2013/12/17 (ポスター発表).
- [8] **池 進一**, 守山 佳彦, 黒澤 昌志, 田岡 紀之, 中塚 理, 今井 康彦, 木村 滋, 手塚 勉, 財満 鎮明: “X 線マイクロ回折法による埋め込み  $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$  微細構造内部の局所歪評価,” 2014 年春季第 61 回応用物理学会春季学術講演会, 神奈川 (Japan), 18p-F6-14, 2014/03/17-20 (口頭発表).
- [9] 犬塚 雄貴, **池 進一**, 浅野 孝典, 竹内 和歌奈, 中塚 理, 財満 鎮明: “有機金属化学気相蒸着法による  $\text{Ge}_{1-x}\text{Sn}_x$  薄膜成長,” 第 75 回応用物理学会秋季学術講演会, 北海道 (Japan), 19p-A16-5, 2014/09/17-20 (口頭発表).
- [10] 犬塚 雄貴, **池 進一**, 浅野 孝典, 竹内 和歌奈, 中塚 理, 財満 鎮明: “有機金属原料化学気相成長法による  $\text{Ge}_{1-x}\text{Sn}_x$  エピタキシャル層の結晶性,” 応用物理学会 SC 東海地区学術講演会 2014 (JSAP SCTS2014), 名古屋 (Japan), P14, 2014/11/08 (ポスター発表).
- [11] Kentaro Doi, Koh Saitoh, Nobuo Tanaka, **Shinichi Ike**, Osamu Nakatsuka, and Shigeaki Zaima: “Strain measurement of Heteroepitaxial GeSn/Ge microstructures by nano-beam electron diffraction,” 公益社団法人日本顕微鏡学会第 58 回シンポジウム, 福岡 (Japan), LP3, 2014/11/16-17 (ポスター発表).
- [12] 犬塚 雄貴, **池 進一**, 浅野 孝典, 竹内 和歌奈, 中塚 理, 財満 鎮明: “有機金属化学気相成長法による GeSn エピタキシャル層形成,” 第 14 回日本表面科学会中部支部学術講演会, 名古屋 (Japan), 12, 2014/12/20 (口頭発表).
- [13] **池 進一**, Eddy Simoen, 志村 洋介, Andriy Hikavy, Wilfried Vandervorst, Roger Loo, 竹内 和歌奈, 中塚 理, 財満 鎮明: “エピタキシャル  $\text{Si}_{1-x}\text{Ge}_x$  薄膜中の欠陥構造に対する前駆体ガス原料の効果,” 第 76 回応用物理学会秋季学術講演会, 名古屋 (Japan), 13p-2W-9, 2015/09/13-16 (口頭発表).
- [14] 鷲津 智也, 犬塚 雄貴, 浅野 孝典, **池 進一**, 竹内 和歌奈, 中塚 理, 財満 鎮明: “有機金属化学気相成長法を用いた Ge 薄膜の選択成長,” 第 76 回応用物理学会秋季学術講演会, 名古屋 (Japan), 13p-2W-8, 2015/09/13-16 (口頭発表).
- [15] 齋藤 晃, 土井 健太郎, **池 進一**, 中塚 理, 財満 鎮明: “ナノビーム電子回折法

- をもちいた GeSn/Ge 微細構造の歪み分布解析,” 日本顕微鏡学会第 71 回学術講演会, 京都 (Japan), 14pmG\_M2-03, 2015/05/13-15 (口頭発表).
- [16] 池 進一, Eddy Simoen, 志村 洋介, Andriy Hikavy, Wilfried Vandervorst, Roger Loo, 竹内 和歌奈, 中塚 理, 財満 鎮明: “低温成長 SiGe エピタキシャル薄膜中の結晶性および電氣的欠陥評価,” 応用物理学会 結晶工学分科会主催 第 4 回結晶工学未来塾, 東京 (Japan), 24, 2015/10/29 (ポスター発表).
- [17] 鷲津 智也, 犬塚 雄貴, 浅野 孝典, 池 進一, 竹内 和歌奈, 志村 洋介, 中塚 理, 財満 鎮明: “有機金属化学気相成長法による Si および SiO<sub>2</sub> 基板上の Ge 選択成長機構の考察,” 第 15 回日本表面科学会中部支部学術講演会, 名古屋 (Japan), 10, 2015/12/19 (口頭発表).
- [18] 池 進一, 志村 洋介, 竹内 和歌奈, 中塚 理, 財満 鎮明: “MOCVD 法を用いた *in situ* P ドープ Ge 薄膜のエピタキシャル成長,” 第 63 回応用物理学会春季学術講演会, 東京 (Japan), 20p-H112-8, 2016/03/19-22 (口頭発表).
- [19] 犬塚 雄貴, 池 進一, 鷲津 智也, 竹内 和歌奈, 志村 洋介, 今井 康彦, 中塚 理, 木村 滋, 財満 鎮明: “マイクロ回折法による MOCVD-Ge<sub>1-x</sub>Sn<sub>x</sub>/Ge 細線構造内部の局所歪量評価,” 第 63 回応用物理学会春季学術講演会, 東京 (Japan), 20p-H112-6, 2016/03/19-22 (口頭発表).
- [20] 池 進一, 竹内 和歌奈, 中塚 理, 財満 鎮明: “MOCVD 法を用いた *in situ* P ドーピングによる高濃度 *n* 型 Ge エピタキシャル成長,” 第 77 回応用物理学会秋季学術講演会, 新潟 (Japan), 16a-D61-9, 2016/09/13-16 (口頭発表).
- [21] 鷲津 智也, 池 進一, 竹内 和歌奈, 中塚 理, 財満 鎮明: “有機金属化学気相成長法によるエピタキシャル Ge<sub>1-x</sub>Sn<sub>x</sub> 薄膜の選択成長,” 第 77 回応用物理学会秋季学術講演会, 新潟 (Japan), 16a-D61-8, 2016/09/13-16 (口頭発表).
- [22] 志村 洋介, 池 進一, Gencarelli Federica, 竹内 和歌奈, 坂下 満男, 黒澤 昌志, Loo Roger, 中塚 理, 財満 鎮明: “GeSn 系 IV 族半導体薄膜における Sn 導入の制御と効果,” 第 77 回応用物理学会秋季学術講演会, 新潟 (Japan), 14p-B7-15, 2016/09/13-16 (口頭発表).
- [23] 金田 裕一, 池 進一, 兼松 正行, 坂下 満男, 竹内 和歌奈, 中塚 理, 財満 鎮明: “有機金属化学気相成長法を用いて作製した Ge<sub>1-x</sub>Sn<sub>x</sub> ゲートスタック構造の欠陥物性評価,” 第 64 回応用物理学会春季学術講演会, 横浜 (Japan), 16p-413-9, 2017/03/14-17 (口頭発表予定).



## 受賞

- [1] **池 進一**, 第一回 TIA ナノエレクトロニクス・サマースクール ポスター奨励賞, (2013).
  
- [2] **Shinichi Ike**, Outstanding Presentation Award, International Symposium on EcoTopia Science 2015 (ISETS'15), (2015).