

主論文の要約

論文題目 金属/Ge 界面の電子物性と電気伝導特性
制御
(Control of electronic and electrical
conduction properties at metal/Ge
interfaces)

氏名 鈴木 陽洋

論文内容の要約

近年から現在にかけての IT 機器の爆発的な普及や、「モノのインターネット化」によって、高性能な半導体デバイスに対する需要が高まっている。2000 年頃までの情報通信技術の発展は、半導体デバイスの構成素子である金属-酸化膜-半導体電界効果トランジスタ (MOSFET) のサイズ縮小によってなされてきた。しかし、微細化の進行に伴い、短チャネル効果やゲート絶縁膜のリーク電流の増大が顕著になり、微細化のみによる MOSFET の性能向上が困難になってきている。また、基板の不純物濃度の増加に伴い、キャリアの不純物散乱の確率が増大し、移動度の低下が顕在化している。そのため 2000 年頃からは、チャネルへの歪印加、高誘電率ゲート絶縁膜、立体ゲート構造などの技術が導入されてきた。

チャネルへの歪印加によって、チャネルにおけるキャリア移動度の向上が可能である。しかし、現在のチャネル材料である、Si への歪印加による移動度の向上は限界に達しつつある。そのため、新たなチャネル材料の導入の必要性が高まっている。Ge は、電子、正孔共に Si よりも高いキャリア移動度を有する数少ない半導体である。そのため、高性能な相補型 MOS (CMOS) 回路を、単一の材料を利用して実現できる。また、Ge は Si と同じく IV 族元素である。そのため、既存の Si チャネル CMOS 回路の製造プロセスに対する親和性が高い。これらの点から、Ge は次世代の CMOS 回路のチャネル材料として有望な材料といえる。

多くの研究グループによって、Ge チャネル nMOS 及び pMOS の動作性能が報告されている。Ge チャネル MOSFET の実現に向けての課題は、nMOS の高性能化である。nMOS 及び pMOS のキャリア移動度がほぼ同じ値であるにも関わらず、nMOS の駆動電流が pMOS に比べて 1 桁程度小さい。これは、nMOS のソース・ドレインにおける高い寄生抵抗に起因す

ると考えられる。中でも、トランジスタのサイズの縮小に伴い、デバイス全体の抵抗に対する金属/半導体コンタクト抵抗の占める割合が増大するため、コンタクト抵抗率の低減が喫緊の課題となり得る。金属/*n*-Ge コンタクト抵抗率は、金属/*p*-Ge コンタクト抵抗率に比べて1~2桁高い。コンタクト抵抗が高い原因は、Ge への高濃度 ($>10^{20} \text{ cm}^{-3}$) *n* 型ドーピングが困難であることと、金属/*n*-Ge コンタクトのショットキー障壁高さ (SBH) が、金属の種類に依存せず常に高いことである。SBH が金属の仕事関数に依存しない現象は、フェルミレベルピンニング (FLP) と呼ばれている。金属/*n*-Ge コンタクトの SBH を低減するには、FLP の解消が必要不可欠である。

これまでに、 Si_3N_4 、 MgO 、 ZnO 、 TiO_2 等のバンドギャップの大きい中間層を金属/*n*-Ge 界面に挿入することで、SBH の大幅な低減が実現されている。しかし、金属/中間層/*n*-Ge コンタクトのコンタクト抵抗率は、中間層/*n*-Ge 界面の伝導帯オフセット (ΔE_C) に依存する。 Si_3N_4 や MgO のように、 ΔE_C が大きい材料を挿入した場合、トンネル抵抗が直列に加わり、かえってコンタクト抵抗の増大を招く。一方で、 ZnO 、 TiO_2 のように、 ΔE_C が小さい材料を用いた場合、トンネル抵抗を低減でき、コンタクト抵抗率を $10^{-8}\sim 10^{-7} \Omega \cdot \text{cm}^2$ 台まで低減できることがわかっている。このことから、コンタクト抵抗率の低減には、 ΔE_C が小さい材料の選択がカギといえる。一方で、 ZnO 及び TiO_2 と Ge の界面の価電子帯オフセット (ΔE_V) は依然大きい。そのため、 ZnO 及び TiO_2 を金属/*p*-Ge 界面に挿入した場合、コンタクト抵抗率が増大する恐れがある。そのため、高性能 CMOS 回路の製造コストが大きくなる懸念がある。そのため、 ΔE_C 及び ΔE_V が共に小さい材料が中間層として望ましい。

Ge に対するバンドオフセットの観点から、Si、Ge、及び Sn の IV 族元素で構成される混晶半導体は、金属/*n*-Ge 界面における中間層材料として有望である。中でも、 $\text{Ge}_{1-y}\text{Sn}_y$ や $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ は、元素組成に応じてバンドオフセットを制御でき、 ΔE_C 及び ΔE_V が共に小さい。またいずれの材料も、Ge 上に pseudomorphic に成長できる可能性がある。よって、FLP の原因の1つである、Ge 表面の欠陥を終端する役割が期待される。一方で、金属/ $\text{Ge}_{1-y}\text{Sn}_y$ 、金属/ $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 界面の電気伝導特性に関する先行研究は少ない。また、 $\text{Ge}_{1-y}\text{Sn}_y$ や $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 中間層の挿入が、金属/*n*-Ge コンタクトの電子物性や電気伝導特性に及ぼす影響は明らかでない。

本研究では、低抵抗金属/Ge コンタクトの実現を目指して、金属/*n*-Ge 界面に IV 族混晶半導体 ($\text{Ge}_{1-y}\text{Sn}_y$ 、 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$) を挿入し、その元素組成や結晶性が電気伝導特性に及ぼす影響を調査した。

第3章では、Ge(001)基板上への高 Sn 組成 ($y>20\%$) $\text{Ge}_{1-y}\text{Sn}_y$ のエピタキシャル成長とその結晶性、並びに金属/ $\text{Ge}_{1-y}\text{Sn}_y$ /*n*-Ge コンタクトの電気伝導特性に $\text{Ge}_{1-y}\text{Sn}_y$ の電子物性が及ぼす影響を調査した。成長温度の低減 ($\sim 50^\circ\text{C}$) と薄膜化 ($\sim 3 \text{ nm}$) により、Sn 原子の表面泳動と歪エネルギーの蓄積を抑制し、Sn 組成が 20~69%の Sn 組成を有するエピタキシャル $\text{Ge}_{1-y}\text{Sn}_y$ 層を均一かつ平坦に形成することに成功した。これらの Sn 組成は、Sn の Ge への熱平衡固溶限 (1 atm.%) を大幅に上回る値である。また、いずれの $\text{Ge}_{1-y}\text{Sn}_y$ 層も、部分的

に歪緩和していることが、In-plane-XRD 測定により示された。

様々な Sn 組成 (20%、54%、69%) を有する $\text{Ge}_{1-y}\text{Sn}_y$ 層を挿入した $\text{Al}/\text{Ge}_{1-y}\text{Sn}_y/n\text{-Ge}$ ショットキーダイオードの電流密度-電圧 (J - V) 特性を調べた。その結果、Sn 組成が 0~20%の間では、SBH が増加した。これは、 $\text{Ge}_{1-y}\text{Sn}_y$ における Sn 組成の増加により、アクセプター的な欠陥準位の密度が増加し、電荷中性準位が価電子帯側にシフトしたためと考えられる。一方で、Sn 組成が 20~100%の間では、SBH が 0.2 eV 程度減少した。この理由を考察するため、様々な仕事関数を有する金属 (Zr、Al、Au) を電極とした、金属/金属的 $\text{Ge}_{0.59}\text{Sn}_{0.41}/n\text{-Ge}$ コンタクトの SBH を、 J - V 特性より見積もった。その結果、上部金属の仕事関数に依らず、金属的 $\text{Ge}_{0.59}\text{Sn}_{0.41}$ 中間層の挿入によって SBH が 0.1 eV 低下することがわかった。これらの結果は、金属/金属的 $\text{Ge}_{1-y}\text{Sn}_y/n\text{-Ge}$ コンタクトの SBH が、金属的 $\text{Ge}_{1-y}\text{Sn}_y/\text{Ge}$ 界面の電子状態によって支配的に決定されることを示唆している。一方で、金属的 $\text{Ge}_{1-y}\text{Sn}_y$ の仕事関数を仮定して、 $\text{Al}/\text{Ge}_{1-y}\text{Sn}_y/n\text{-Ge}$ コンタクトの SBH をプロットしたところ、SBH の金属的 $\text{Ge}_{1-y}\text{Sn}_y$ の仕事関数に対する傾き (スロープパラメーター、 S) は 0.38 ± 0.08 と見積もられ、金属/ Ge コンタクトの値 ($S=0.03$) と比べて大きい値であった。これは、金属的 $\text{Ge}_{1-y}\text{Sn}_y/\text{Ge}$ 界面の FLP が緩和されたことを示している。多結晶 $\text{Sn}/n\text{-Ge}$ コンタクトの SBH の方が、エピタキシャル金属的 $\text{Ge}_{1-y}\text{Sn}_y/\text{Ge}$ コンタクトの SBH よりも低いことを考慮すると、金属的 $\text{Ge}_{1-y}\text{Sn}_y/\text{Ge}$ コンタクトにおける FLP の緩和は、界面における欠陥密度の低減のみでは説明できない。金属的 $\text{Ge}_{1-y}\text{Sn}_y$ ($y>30\%$) は、典型的な金属 (Al、Au 等) に比べて、フェルミ準位付近の電子の状態密度が小さい。つまり、典型的な金属 (Al、Au 等) に比べて、金属的 $\text{Ge}_{1-y}\text{Sn}_y$ は、電子の Ge への染み出しを抑制し、FLP を緩和できると考えられる。一方で、部分的に歪緩和した $\text{Ge}_{1-y}\text{Sn}_y/\text{Ge}$ 界面には、多くの欠陥が存在すると考えられる。そのため、これを終端できればより低い SBH を実現できる可能性がある。

第 4 章では、Ge との格子ミスマッチが小さい $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 中間層を金属/ Ge 界面に挿入し、 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 中間層の組成や結晶性が電気伝導特性に及ぼす影響を調べた。様々な組成比の $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 層 (膜厚 : 5 nm) を $\text{Ge}(001)$ 基板上にエピタキシャル成長させ、In-plane-XRD 測定によって、 $\text{Ge}(001)$ 基板との格子ミスマッチを評価した。その結果、バルクの格子定数が Ge よりも大きい (Sn リッチな) $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y/\text{Ge}$ 試料及び、Ge と格子整合した試料の格子ミスマッチは、どの組成においても $-0.2\sim 0.2\%$ の小さい範囲に収まった。一方で、バルクの格子定数が Ge よりも小さい (Si リッチな) $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y/\text{Ge}$ 試料のピークプロファイルは、高角側に裾を引いているのが見られ、界面の格子ミスマッチは 0.5%程度と見積もられた。つまり、Si リッチな $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 層は、Sn リッチな $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 層よりも、歪緩和しやすいと考えられる。これは、Si の弾性係数が Ge 及び Sn よりも大きいと推測される。各試料の表面形状を原子間力顕微鏡 (AFM) で観察した。その結果、歪緩和している試料は、直径が 7~40 nm のサイズの島構造が見られた。一方で、Sn リッチな $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y/\text{Ge}$ 試料及び、Ge と格子整合した試料は島が見られず、平坦な表面が観察された。つまり、歪緩和の程度の大小が、表面形状にも影響することが示された。

Si リッチ及び Sn リッチな $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ ($\text{Si}_{0.17}\text{Ge}_{0.80}\text{Sn}_{0.03}$ 、 $\text{Si}_{0.13}\text{Ge}_{0.74}\text{Sn}_{0.13}$) 中間層を Al/*n*-Ge 及び Al/*p*-Ge 界面に挿入し、*J-V* 特性を調べた。その結果、Al/ $\text{Si}_{0.17}\text{Ge}_{0.80}\text{Sn}_{0.03}$ /*n*-Ge コンタクトは Al/*n*-Ge 同様に、FLP に起因した強い整流性がみられ、SBH は 0.58 eV であった。一方で、Al/ $\text{Si}_{0.13}\text{Ge}_{0.74}\text{Sn}_{0.13}$ /*n*-Ge 及び Al/ $\text{Si}_{0.13}\text{Ge}_{0.74}\text{Sn}_{0.13}$ /*p*-Ge コンタクトは、それぞれオーミック特性と整流性が見られ、SBH は 0.50 eV と見積もられた。金属/*n*-Ge と金属/*p*-Ge コンタクトの SBH の和が Ge のバンドギャップ (0.66 eV) に等しいことを考慮すると、Al/ $\text{Si}_{0.13}\text{Ge}_{0.74}\text{Sn}_{0.13}$ /*n*-Ge コンタクトの SBH が 0.16 eV に低下していると考えられる。また、様々な組成比の $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 中間層を挿入した Al/ $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /*n*-Ge ショットキーダイオードの SBH を求めた結果、 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /Ge ヘテロ界面の格子ミスマッチが小さい試料において、SBH を 0.05~0.33 eV まで低減できることがわかった。つまり、 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /Ge ヘテロ界面の格子ミスマッチの低減が、SBH の低減に有効であることを示している。 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ 中間層の組成比が FLP の度合いに及ぼす影響を調べるため、様々な仕事関数を有する金属/ $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /*n*-Ge コンタクトの SBH を見積もった。その結果、 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /Ge ヘテロ界面の格子ミスマッチが小さいほど、*S* が大きくなり、FLP が弱まることがわかった。つまり、金属/ $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /*n*-Ge コンタクトの FLP の度合いは、 $\text{Si}_x\text{Ge}_{1-x-y}\text{Sn}_y$ /Ge ヘテロ界面の格子ミスマッチに依存することが示唆された。

金属/*n*⁺- $\text{Si}_{0.13}\text{Ge}_{0.83}\text{Sn}_{0.04}$ (膜厚 : 0、18、34 nm) /*n*⁺-Ge 試料のコンタクト抵抗率を評価した。その結果、 $\text{Si}_{0.13}\text{Ge}_{0.83}\text{Sn}_{0.04}$ の膜厚が 0~18 nm の範囲では、抵抗率はわずかに減少した ($2 \times 10^{-6} \rightarrow 1 \times 10^{-6} \Omega \cdot \text{cm}^2$)。一方で、膜厚が 34 nm に増えると、抵抗率は $10^{-5} \Omega \cdot \text{cm}^2$ 程度まで増大した。コンタクト抵抗が、SBH に依存した抵抗成分と $\text{Si}_{0.13}\text{Ge}_{0.83}\text{Sn}_{0.04}$ 層自体の抵抗成分の和で決まると考えると、 $\text{Si}_{0.13}\text{Ge}_{0.83}\text{Sn}_{0.04}$ 層の膜厚がある値になった時に、コンタクト抵抗が最小になると推察される。そのため今後は、 $\text{Si}_{0.13}\text{Ge}_{0.83}\text{Sn}_{0.04}$ 層の膜厚の最適化が必要である。