

磁性薄膜パターンによる  
超伝導回路の高機能化に関する研究

谷口 壮耶



# 目次

第 1 章	序論	1
1.1	計算機技術の発展と超伝導回路への期待	1
1.2	超伝導回路の歴史と発展	2
1.3	超伝導回路の実用化に向けた課題	4
1.3.1	静的消費電力	5
1.3.2	大容量メモリの欠如	5
1.3.3	電源での消費電力	5
1.3.4	集積度の低さ	6
1.4	磁性体の導入による効果	6
1.5	磁性体の導入による解決	8
1.5.1	磁性体を用いた超伝導位相シフトによる集積度の向上	8
1.5.2	超伝導ダイオードの開発による電源消費電力の解決	9
1.6	本論文の研究目的と構成	11
第 2 章	超伝導回路と磁性薄膜パターンの物理	13
2.1	はじめに	13
2.2	超伝導回路の動作原理	13
2.2.1	ジョセフソン接合	13
2.2.2	超伝導量子干渉計	17
2.2.3	単一磁束量子回路	20
2.2.4	RSFQ 回路の設計手法	28
2.3	磁性体の特徴	32
2.3.1	磁性体の磁化と磁区	32
2.3.2	キュリー点	33
2.3.3	残留磁化	34
2.4	本研究で用いる磁性体	34

2.5	まとめ	35
<b>第3章</b>	<b>超伝導回路上への磁性薄膜パターンの作製と磁気特性の制御</b>	<b>37</b>
3.1	はじめに	37
3.2	デバイス作製プロセス	37
3.2.1	ジョセフソン接合作製プロセス	37
3.2.2	磁性薄膜パターン作製プロセス	40
3.3	デバイスの評価手法	41
3.3.1	Nb/AlO <sub>x</sub> /Nb ジョセフソン接合の特性	43
3.4	磁性体パターンの磁気特性と磁化手法	47
3.5	ジョセフソン接合に対する磁束バイアス量の制御	51
3.5.1	ジョセフソン接合の設計	51
3.5.2	ジョセフソン接合に対する磁束バイアスの効果	51
3.6	超伝導量子干渉計に対する磁束バイアス量の制御	54
3.6.1	SQUID の設計	54
3.6.2	SQUID に対する磁束バイアスの効果	54
3.7	固定磁束バイアスのばらつき	56
3.8	まとめ	57
<b>第4章</b>	<b>固定磁束バイアスを利用した交流/直流変換素子の実現</b>	<b>59</b>
4.1	はじめに	59
4.2	超伝導ダイオードの設計	60
4.3	超伝導ダイオードの作製	62
4.4	超伝導ダイオードによる整流	66
4.5	単一磁束量子回路の駆動	68
4.6	変換効率の検討	69
4.7	出力電圧の制御	71
4.8	まとめ	74
<b>第5章</b>	<b>磁化反転を利用した単一磁束量子回路の機能切り替え</b>	<b>75</b>
5.1	はじめに	75
5.2	RSFQ 回路の評価手法	76
5.3	磁性薄膜パターンによる論理動作の切り替え	78
5.3.1	AND-OR 機能切り替え可能回路の設計	78
5.3.2	測定結果	79
5.4	磁性薄膜パターンを用いた二線式ロックアップテーブルの構築	82

---

5.4.1	LUT の構成とデマルチプレクサ回路の設計 . . . . .	82
5.4.2	二線式 LUT の動作実証 . . . . .	83
5.4.3	二線式 LUT の多入力化 . . . . .	86
5.5	磁性薄膜パターンを用いたクロック同期式ルックアップテーブルの構築 . . . . .	88
5.5.1	クロック同期式 LUT の構成 . . . . .	88
5.5.2	クロック同期式 LUT の動作実証 . . . . .	89
5.5.3	クロック同期式 LUT の大規模化 . . . . .	91
5.6	ルックアップテーブルの大規模化に向けた磁化制御方式の検討 . . . . .	94
5.6.1	提案手法 . . . . .	94
5.6.2	半選択による機能切り替え回路の動作領域の変化 . . . . .	95
5.7	まとめ . . . . .	99
<b>第 6 章</b>	<b>総括</b>	<b>101</b>
6.1	本論文のまとめ . . . . .	101
6.2	今後の課題と展望 . . . . .	103
付録 A	異常ホール効果による磁気特性の測定	105
A.1	異常ホール効果の測定系とキュリー点の測定 . . . . .	105
A.2	磁化曲線の測定 . . . . .	108
付録 B	磁性薄膜パターンの干渉とスケーリング	111
B.1	隣接する磁性体による干渉 . . . . .	111
B.2	磁性体のスケーリング . . . . .	112
謝辞		115
参考文献		117
研究業績		125



# 第1章

## 序論

### 1.1 計算機技術の発展と超伝導回路への期待

現在、クラウドコンピューティング技術や科学技術計算の発達によって、求められる計算機能力が急激に増加している。

科学技術計算に用いられるスーパーコンピュータの性能は年々向上し、1 PFLOPS<sup>\*1</sup>を超えさらには1 EFLOPS<sup>\*2</sup>へと進化しようとしている。しかし、このような大規模計算機が消費する電力はさらに急激に増加しており、対処しきれない問題となりつつある。2017年11月現在、世界で最も計算能力があるとされるスーパーコンピュータは中国の神威・太湖之光であり、その計算能力は93 PFLOPS、消費電力は15.3 MWとされている。[1] この性能対消費電力比をそのままにEFLOPSの性能を持つスーパーコンピュータを実現しようとする、その消費電力は160 MWとなる。これは火力発電所の発電機が1～2基必要な消費電力であり、非現実的である。そのためEFLOPSを達成するスーパーコンピュータがこれまでのプロセスの単純な発展から実現できるとは言いがたい。

また、クラウドサービス化によって、データセンタの重要性が増しており、データセンタで消費される電力の増加が問題となっている。2017年現在全世界の消費エネルギーのうち2%がデータセンタで消費されているといわれ、これからも増加していくと考えられている。データセンタでの消費電力は電力変換ロスと、空調設備によるものが大きいいため、データセンタを寒冷地に設置することや、高電圧直流給電システムを導入することによって消費電力の改善が行われている[2]が、これらの対策もいずれ限界に達すると考えられる。

現在の計算機はどれも半導体集積回路によって実現されているが、半導体集積回路の発展はスケーリング則と呼ばれる法則に従っている。これは、素子のサイズを $1/k$ に小さく、電源電圧を $1/k$ に小さくしたとき、集積度は $k^2$ 、消費電力は $1/k^2$ 、スイッチング速

---

\*1 P(Peta)= $10^{12}$ ,FLOPS は一秒間あたりに行なえる浮動小数点演算命令の数

\*2 E(Exa)= $10^{15}$

度は  $1/k$  になる，というものである [3]．そのため，半導体集積回路の低消費電力化，高速動作化はトランジスタの微細化によって行なわれてきた．しかし，電源電圧を比例して縮小させることは困難だったため，微細化によって極限までトランジスタのゲート絶縁膜のみを薄くした結果，電子が通り抜けるリーク電流の問題が顕著になった．その結果微細化による低消費電力化があまり期待できなくなっている．また，微細化が進むことによってトランジスタはより集積されていくが，これが単位面積当たりの発熱を増加させてしまう．これは冷却を困難にし，同時に動作不可能な回路ブロックを生むことになってしまい，高速な動作の障害となっている．

また半導体集積回路は配線遅延の問題も抱えている．微細化によって，トランジスタのスイッチング速度は向上してきたが，配線の CR 時定数は改善せず，寄生容量の増大によって配線の遅延は増大してきた．

このように，現在の半導体集積回路は大きな課題に直面している．これに対して，超伝導を用いた回路は非常に大きな利点を持ち，次世代の集積回路技術として研究されている．

## 1.2 超伝導回路の歴史と発展

超伝導体を用いた最初のスイッチング素子として挙げられるのは 1956 年に D. A. Buck によって開発されたクライオトロン [4] である．クライオトロンは主にタンタルの芯線にニオブの配線を巻き付けた構造をしており，ニオブの配線に電流を流すことによって生じた磁界でタンタルの芯線が臨界磁場を超え，超伝導-常伝導遷移をする．真空管やゲルマニウムトランジスタといった当時のスイッチングデバイスと比較すると小さく、構造の単純さから信頼性のあるデバイスとして研究がなされたが， $L/R$  時定数から決まるスイッチング速度が 10 ns 程度と遅く [5]、シリコン半導体による集積回路の台頭によって研究は下火になった。

クライオトロンに代わってスイッチング素子として利用されるようになったのはジョセフソン接合である．ジョセフソン接合は 1962 年に B. D. Josephson によって理論的に示され [6]，1963 年に P. W. Anderson と J. M. Rowell によって実験的に確認された． [7] ジョセフソン接合が最も特徴的だったのはそのスイッチング速度の速さで，1966 年には IBM の J. Matisoo によって 0.8 ns 以下であることが示され [8]，ロジック回路として利用が始まった．それから IBM をはじめとした研究機関においてジョセフソン・コンピュータの開発プロジェクトが大々的に進められ，日本においても電子技術総合研究所 (現：産業技術総合研究所) などにおいて研究がはじめられた．しかし，IBM が用いていたジョセフソン接合技術には材料的問題があり，利用している Pb 合金が室温と液体ヘリウム温度の熱サイクルによる劣化がみられ，信頼性に対して問題があった．そのこともあり，1983 年になって IBM は研究を断念することとなった [9]．

しかしその後、Pb 合金接合に代わって Nb を用いたジョセフソン接合の開発がなされるようになり、Nb/AlO<sub>x</sub>/Nb 接合をもちいることで非常に高品質な接合特性を得ることが可能になった。[10] これは、Nb が化学的・機械的に安定であることと、AlO<sub>x</sub> の薄膜が Nb 表面をうまく覆うことができるという、最適ともいえる組み合わせだった。その Nb ジョセフソン接合を用い、富士通では 4 bit マイクロプロセッサの開発 [11] などの成果が得られた。このプロセッサはラッチ型と呼ばれる高周波交流電源によって駆動する論理方式を利用し、1 GHz での動作が可能とされていた。当時としては高速なプロセッサであったが、それ以上の動作周波数の向上を望むことが原理的に困難であったため、それ以上の研究はなされなかった。

その後、研究が始まったのはジョセフソン接合を用い、超伝導体リング内の単一磁束量子 (single flux quantum: SFQ) を情報担体とした Rapid single flux quantum (RSFQ) 回路\*3である。RSFQ 回路は東北大学の中島らによって提案され [12]、K. K. Likharev らによって系統化された [13]。ジョセフソン接合を SFQ が通り抜けるときに発生する電圧パルスによるパルス論理の回路であり、それによって配線の充放電を伴わない、高速で低消費電力な回路が実現できる。すでに検証された例としては、ニューヨーク州立大のグループが EB リソグラフィによる 500 nm 角ジョセフソン接合を用いた TFF を作製し、最大 770 GHz での動作を確認している [14] ほか、フォトリソグラフィを用いた最小接合サイズ 1 μm のプロセスにおいて 120 GHz でのシフトレジスタの動作が確認されている [15]。また、超伝導体によって損失のない伝送線路が実現できることから、パルスを光速で伝搬させることができ、配線遅延の問題を解決することができる [16]。

RSFQ 回路による大規模回路の動作実証として、すでに日本の名古屋大学のグループによってメモリを持つプロセッサの動作実証がなされている [17] 他、横浜国立大のグループでは 50 GHz で動作する FFT プロセッサ [18] などの研究成果が得られている。また 2014 年からはアメリカでは SFQ 回路を用いたコンピューティング技術に関する C3 プログラム [19] が開始され、研究が活発化している。

このような歴史によって超伝導回路は発展してきた。応用先として、以下が考えられる。

### ■超伝導検出器の信号処理回路

超伝導検出器は超伝導現象を利用した検出器であり、超伝導転移端センサ (Transition edge sensor: TES) や超伝導トンネル接合素子 (Superconducting tunnel junction: STJ)、超伝導単一光子検出器 (Superconducting single photon detector: SSPD) 等が存在する。どの検出器も数 mK～数 K 程度の極低温で動作し、熱雑音の影響を非常に小さくすることができる。その極低温環境もあり、半導体検出器と比べ高いエネルギー分解

\*3 SFQ を用いた回路 (RSFQ, QFP, ERSFQ, RQL 等) を SFQ 回路と呼ぶが、RSFQ 回路は SFQ 回路の代表であるため、RSFQ 回路自身を SFQ 回路と呼ぶこともある。

能, 高い空間分解能, 高速応答性などという特徴を持ち, 電波天文学等ではすでに利用されている。

この様な優れた超伝導検出器を幅広い分野で利用するためには, 検出器の多ピクセル化が必要になる。しかし単純に検出器を並べると検出器の動作する極低温と室温間の配線数が大きく増加し, 室温から極低温冷凍機内への熱の流入を引き起こし, 超伝導検出器の性能を損ねてしまう。そのため, 極低温下で信号処理を行い極低温-室温間のケーブル数を減らす技術が必要とされている。この信号処理回路には超伝導検出器の応答速度より高速で動作する必要があり, 超伝導デジタル回路が利用できる。

#### ■デジタル RF 送受信機

ジョセフソン接合を用いて A/D 変換器を構成することができる。この A/D 変換器は高速動作性と, 高感度性, 高い線形性を持っているため, RF のアナログ信号を中間周波数へ変換することなく直接デジタル信号へ変換することも可能であるとされる。

すでにジョセフソン接合による A/D 変換器, RSFQ 回路を用いたデジタル RF 受信機の実用化がなされている [20]。

#### ■スーパーコンピュータ/サーバ

冒頭で述べた通り, 半導体集積回路による限界を打破するため, 超伝導回路を用いた計算機が期待できる。超伝導回路はビット当たりの消費電力が小さいため, 冷却によるコストを含めたとしても, 優位性を保つことができる。

#### ■再構成可能回路

信号処理回路等で, 汎用マイクロプロセッサによる処理では不十分である用途では, Field-programmable gate array(FPGA) といった再構成可能回路が利用される。またデータサーバなどの用途でも, 高速動作性を必要とする場合は FPGA の利用が検討されている [21]。半導体による FPGA はすでに広く利用されているが, その動作周波数は数百 MHz である。超伝導回路を用いて再構成可能回路を実現することで, 超伝導回路の高速動作性を生かし, 数 10 GHz で動作することが期待できる。

また, 超伝導回路による再構成可能回路は超伝導回路のハードウェアに柔軟性を持たせることになるため, 極低温での信号処理にも用いることができる。超伝導検出器だけでなく, 量子コンピュータに用いる量子ビットの信号処理回路などでも実用可能である。

### 1.3 超伝導回路の実用化に向けた課題

この様に実用化が期待されている超伝導回路であるが, 実用化に対してはいくつかの課題が存在する。代表的な課題を以下に示す。

### 1.3.1 静的消費電力

RSFQ 回路は超低消費電力という特徴を持つが、デバイスを超伝導状態にする必要があるため消費電力に冷却コストを加味する必要がある。冷却効率にもよるものの、低温のデバイスで消費される電力の 1000 倍程度が必要となっており、RSFQ 回路自身の消費電力を低減することが重要である。RSFQ 回路の原理については第 2 章で説明するが、RSFQ 回路にはバイアス抵抗と呼ぶ抵抗を介して一定の電流を供給する必要がある。このバイアス抵抗による消費電力は静的消費電力と言われ、その値はジョセフソン接合のスイッチングエネルギーの 100 倍程度となっているため、この静的消費電力を減らすことが低消費電力化の手法である。用いられるアプローチとして、バイアス抵抗を小さくし大きなインダクタンスを挿入した LR-Load[22] や電源電圧を下げた Low-voltage RSFQ(LV-RSFQ)[23]、バイアス抵抗をジョセフソン接合に置き換えた Energy-efficient RSFQ(ERSFQ)[24] 等が挙げられる。また、RSFQ 回路とは回路方式の異なる交流ロジックの回路として、Reciprocal quantum logic(RQL)[25] や、断熱型量子磁束パラメトロン(Adiabatic quantum flux parametoron: AQFP)[26] 等の研究がなされている。AQFP は 1987 年に提案された量子磁束パラメトロン(Quantum flux parametron: QFP)[27] を断熱動作させたもので、5 GHz での消費エネルギーが 10 zJ であることが報告されている [28]。

### 1.3.2 大容量メモリの欠如

高集積かつ低消費電力メモリが存在しないことも課題の一つである。比較的古くから研究がされているのは超伝導ループを用いた磁束遷移メモリ(Vortex transition memory: VTM)である。現在までに 4 Kbit のものが実証されているが [29]、超伝導ループが専有する面積が大きく大容量化が困難だった。VTM に代わって検討がなされているのが磁性ジョセフソン接合を用いたメモリ [30] と、CMOS 回路による SRAM を用いた Josephson-CMOS ハイブリッドメモリ [31] である。

### 1.3.3 電源での消費電力

RSFQ 回路は回路に定電流を流しておく必要があり、電源電圧 2.5 mV とし、100 mA 程度を供給する。よって RSFQ 回路のインピーダンスは 25 m $\Omega$  となるが、この値は電源の出力インピーダンスと比べると非常に低く、電源で消費される電力が大きくなってしまっていた。この問題を解決する手法として、カレントリサイクルによる低電流化 [32] や AC 電源の SFQ 回路を用いることが考えられる。しかし、カレントリサイクルは完全

に同じ電流量の回路ブロックを用意する必要があり応用可能な回路が制限される傾向があるほか、AC 電源の回路は高周波での電力供給が困難であることから、根本的な解決といえない。

### 1.3.4 集積度の低さ

RSFQ 回路で用いられるプロセスのうち最も進んだプロセスと言えるのは AIST の ADP2 プロセス [33] である。このプロセスは最小配線幅  $1\ \mu\text{m}$ 、最小臨界電流密度  $100\ \mu\text{A}$  のプロセスで、最大規模では 8 bit ビットシリアル方式のメモリ付プロセッサ [17] などが動作実証されている。より実用的なプロセッサのためにはビット数を増やすなどの改善が必要だが、現状のプロセスではチップサイズが大きくなり、長距離配線や実装の問題が起きる。より高度な回路を実現するためには、まず論理ゲートのサイズを小さくし集積度を高める必要がある。集積度を高めるための手法として、ジョセフソン接合のシャント抵抗を省く方法 [34] や、カイネティックインダクタンスを用いシートインダクタンスを高める方法 [35] などがある。それらの対策の上で、サブミクロンの微細配線が実現可能なプロセスの導入が期待される。

また、現在の RSFQ 回路はすべてフルカスタム設計で作製されているため、回路の作製とフィードバックに時間的、金銭的なコストがかかる。理想的には半導体における Field programmable gate array (FPGA) のような再構成可能回路を用い、書き換え可能なハードウェアを量産することが望ましい。RSFQ 回路を用いて FPGA を実現しようとしている研究は存在するものの、RSFQ 回路自身の集積度が低く実用可能な規模の回路は実装できなかった [36]。

その他にも、デザインツールの不足や三端子増幅デバイスの欠如などが挙げられる。

## 1.4 磁性体の導入による効果

本来超伝導体は磁性体との相性が悪く、超伝導体内に磁性体が混入すると超伝導特性が劣化すると考えられていた。しかし近年、回路の超伝導体層の堆積プロセスと磁性層の堆積プロセスを別チャンバーに分けるなどすることで致命的な特性の劣化を避けることができると分かり、磁性体を用いることによる様々なメリットに注目が集まることになった。超伝導回路に磁性体を導入すれば、高透磁率、残留磁化、磁化反転、交換相互作用といった特徴が活用できる。

SFQ 回路では、ジョセフソン接合に位相差を生むことによって超伝導ループ内に磁束を導入し制御する。これまでは、超伝導ループに電流源を接続することで磁束バイアスを

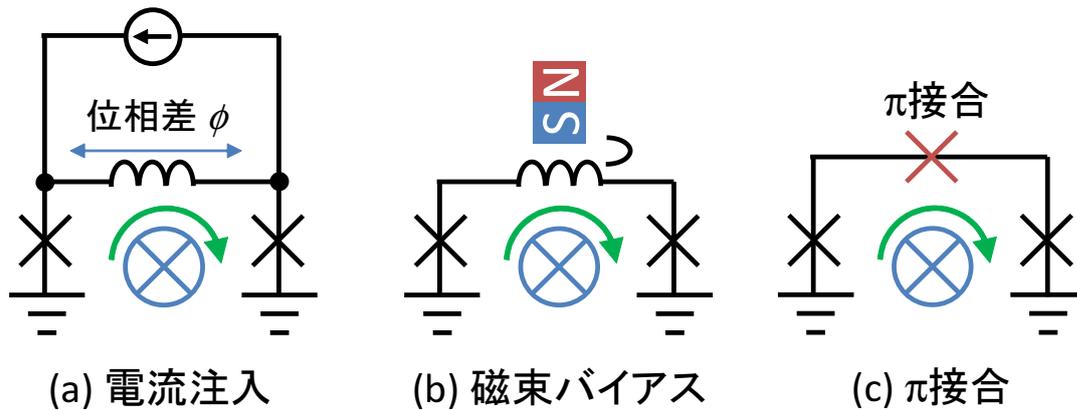


図 1.1 位相シフトの実現方法

印加していた．この従来の手法を図 1.1(a) に示す．この手法では，外部から一定の電流を印加する必要があるが，消費電力，集積度の点で検討すべき課題があった．

電流源による位相シフトの代わりに，図 1.1(b) に示すように磁性体の残留磁化を利用した磁束バイアスによって位相シフトを起こすことができる．磁性体が生む磁場が超伝導ループに磁束バイアスとして加わり，位相差が起きる．このような位相の変化を起こす素子を超伝導位相シフタ (Phase shift element: PSE) と呼ぶ．磁性体を用いることによって，外部電流源を接続する必要がなくなり，静的な磁場を消費電力無しに加えることが可能になるほか，集積度を改善することが可能となる．また，磁性体の磁化反転を起こし，磁束バイアスの向きを変えれば位相差を容易に変更することができ，回路を工夫することで再構成可能回路を実現できる．

さらに磁性体の交換相互作用を利用し磁性ジョセフソン接合による  $\pi$  接合を作製することができれば，図 1.1(c) に示すように  $\pi$  の位相シフトを生むことができる． $\pi$  接合を用いる手法は面積において最も優れており，固定の  $\pi$  位相シフトを生むという点では回路設計が容易にできる．

その他にも，磁性体の持つ高透磁率を利用することができる．強磁性体は高い透磁率を持ち，内部に多くの磁束を保持することができる．RSFQ 回路をはじめとする超伝導回路は磁束量子を担体としていることから，回路のサイズは磁束を保持できる超伝導ループの面積に依存する．強磁性体を用いて磁束密度を上げることができれば，超伝導ループの面積を小さくすることができ，回路の微細化に有利になる．磁性体の高透磁率を超伝導回路に導入した例として，高透磁率である磁性ナノ粒子を用いた研究がすでに存在する [37]．

## 1.5 磁性体の導入による解決

本研究では，磁性体の残留磁化と磁化反転を主に利用する．磁性体は超伝導回路内のジョセフソン接合や超伝導ループの近傍に配置し，磁束バイアスを加える．

### 1.5.1 磁性体を用いた超伝導位相シフタによる集積度の向上

先述の通り，磁性体によって PSE を構成することができる．磁性体による PSE によって，低消費電力化，高集積化が期待できる．

先行研究として，以下のような PSE が検討されている．

#### ■超伝導ループへの磁束トラップによる PSE

磁束をトラップさせる超伝導ループを回路内に配置し，回路の超伝導遷移時に磁場を加えておくことで超伝導ループ内に磁束をトラップさせる．磁束のトラップした超伝導ループは一周で  $2\pi$  の位相シフトを持っているため，対角部分で端子を引き出すと  $\pi$  のシフトを生むことができる [38]．すでに RSFQ 回路に対して応用されており，バイアスマージンの増加やビットエラーレートの向上などの効果が得られているが [39, 40]，位相シフトに用いる超伝導ループの占める面積が大きいといった問題があり，実用化は難しい．

#### ■磁性ジョセフソン接合による PSE

SFS 構造のジョセフソン接合では，磁性体の交換相互作用を利用し  $\pi$  接合という接合が作製できることが知られている．この  $\pi$  接合を超伝導回路に応用した例が存在する [41, 42, 43]．利点としては，磁性接合のみであるため，考えられる限り小さい面積で実現できることである．しかし，通常の接合と比べ安定した磁性接合を得ることが困難であるほか，固定の  $\pi$  シフトのみしか得られないなどの欠点がある．また，回路に応用すると  $\pi$  状態から  $2\pi$  方向か  $0$  方向の安定状態に落ち着く必要があり，それを安易に確定することができないため，結果として回路面積を大きくとってしまう可能性がある．

#### ■d 波超伝導体による PSE

YBCO 等の超伝導体は d 波超伝導体と言われ，縦方向から横方向に接続すると  $\pi$  の位相シフトを持つ．YBCO を用いた PSE による回路がすでに作製されているが [44]，YBCO 膜の取り扱いが困難であり，実用化は困難である．

これらの先行研究に対し，我々の磁性体を用いた PSE は以下の利点を持ち，超伝導集積回路での利用が期待できる．

1. 回路作製後であっても磁性体の磁化を制御することでシフト量を変更可能である柔軟性
2. 磁性体を配置するだけという省面積性
3. 構造の単純さによる信頼性の高さ
4. 静的消費電力なく位相シフトを発生可能

よって、磁性体による超伝導位相シフタは 1.3.4 節で述べた課題の解決にあたる。また、磁化反転を利用すれば位相シフトの向きを変えることができ、磁化の向きを回路動作に割り当てれば再構成可能回路が実現できる。本研究では位相シフタによって高機能化を行い、再構成可能回路の実現を目指した。

### 1.5.2 超伝導ダイオードの開発による電源消費電力の解決

本項目は 1.3.3 節で述べた課題の解決にあたる。磁性体を用いて磁束バイアスを加えることで非対称性を生むジョセフソン接合によって、超伝導ダイオードを作製できる。超伝導ダイオードを用いた単相交流による電源供給によって、電源での消費電力の課題を解決することができる。

図 1.2 に単相交流とトランス、超伝導ダイオードによる平滑回路を用いることのメリットを示す。従来の手法では、RSFQ 回路を 100 mA 程度のブロックに分け、それぞれに定電圧源をつなぎ、抵抗を介して供給していた。近年の大規模回路の一例としてメモリ付きプロセッサ [17] を挙げると総電流量は 1 A となっており、この状況から 10 ブロックに分かれていたとすると、RSFQ 回路での消費電力は  $2.5 \text{ mV} \times 100 \text{ mA} \times 10 = 2.5 \text{ mW}$  となる。それに対し、電源での消費電力は  $10 \times 10 \text{ } \Omega \times (100 \text{ mA})^2 = 1 \text{ W}$  である。RSFQ 回路自身の消費電力の 400 倍の電力が電源で消費されていることになってしまう。一方、提案するのは単相交流を用い、低温でトランスによるインピーダンス変換を行った後、整流・平滑して供給する方法である。整流回路の効率を 100% とすると、この場合に電源の抵抗に流れる電流は  $100 \text{ mA} / 20\sqrt{2} = 3.53 \text{ mA}$  なので、電源の抵抗では 0.62 mW が消費される。これは RSFQ 回路自身の電力消費よりも一桁低く、従来のものと比べるとはるかに効率の良い電力供給方法である。この様にして、電力供給での課題を解決することができる。

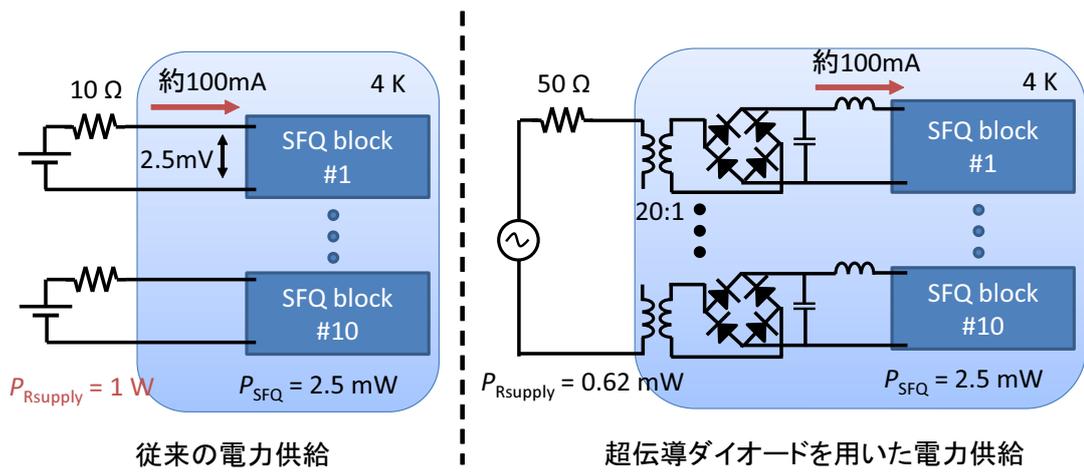


図 1.2 超伝導ダイオードによる効率的な電力供給

## 1.6 本論文の研究目的と構成

本研究の目標は

「磁性薄膜パターンによる磁束バイアス技術を確立し，  
超伝導デジタル回路の高機能化を行う」

である．高機能化の結果として、「超伝導ダイオードの開発による電源での消費電力の問題の解決」と「再構成可能回路の開発による超伝導論理回路の柔軟性の向上」を行う．

本章では，本研究の背景及び目的について述べた．

第 2 章では，超伝導デバイスの基本的な動作原理と，磁性体の導入について述べる．基本素子となるジョセフソン接合について述べ，さらにそれを組み合わせた超伝導量子干渉計，単一磁束量子回路について述べる．磁性体の特性と超伝導回路への応用を述べる．

第 3 章では，本研究で用いる磁性薄膜パターンの作製手法と超伝導回路で用いるための磁気特性の制御を述べる．磁性薄膜パターンの作製手法について述べ，ジョセフソン接合，超伝導量子干渉計に磁束バイアスを加えたときの結果を述べる．磁気特性の制御は利用にあたって重要であり，3 章の結果は後半の章で利用される．

第 4 章では，超伝導ダイオードの実現について述べる．利用したジョセフソン接合の設計と，作製手法について述べたあと，非対称特性の獲得と，超伝導ダイオードによる整流，RSFQ 回路の駆動を検討した．

第 5 章では，磁性薄膜パターンを RSFQ 回路に導入し機能切り替え回路に関して述べる．まず AND 動作と OR 動作で論理機能を切り替え可能なセルを設計し，次に二線式・クロック同期式を用いて LUT の設計を行った．さらに，ルックアップテーブルの大規模化に向け，個別に磁化を制御する手法の検討を行った

最後に，第 6 章で本研究を総括する．



## 第2章

# 超伝導回路と磁性薄膜パターンの物理

### 2.1 はじめに

本章では，超伝導素子の動作原理及び超伝導デジタル回路の構成方法を述べる．まず基本素子となるジョセフソン接合，超伝導量子干渉計について述べた後，単一磁束量子回路，回路の構成方法について述べる．さらに，磁性体の特性について述べ，それを超伝導回路に応用した場合に期待される効果を述べる．

### 2.2 超伝導回路の動作原理

#### 2.2.1 ジョセフソン接合

##### ジョセフソン接合の基本特性

超伝導状態はクーパー対が一つの基底状態に入りボーズアインシュタイン凝縮を起こしている状態である．その為，粒子の波動関数の位相が揃っており，超伝導体を一つの波動関数で示すことができる．この波動関数を巨視的波動関数と呼ぶ．

ジョセフソン効果は，弱く結合した二つの超伝導体間に起きる物理現象である [6]．その実現には様々な手法が考案されているが，図 2.1 のような数 nm 程度の絶縁体を超伝導体で挟んだ SIS(Superconductor-Insulator-Superconductor) 構造と呼ばれる構造によるジョセフソン接合 (JJ) が広く用いられる．

超伝導体と絶縁体を接合すると，絶縁体内部に超伝導の巨視的波動関数が浸みだす現象が起きる．絶縁体膜厚が薄い場合は，超伝導電子対が絶縁体をトンネルし，超伝導電流が流れ，ジョセフソン効果を示す．

---

\*2 ×印は古くから業界標準として利用されてきたものである．国際標準としては×印に丸二つが規格となっている [45]．

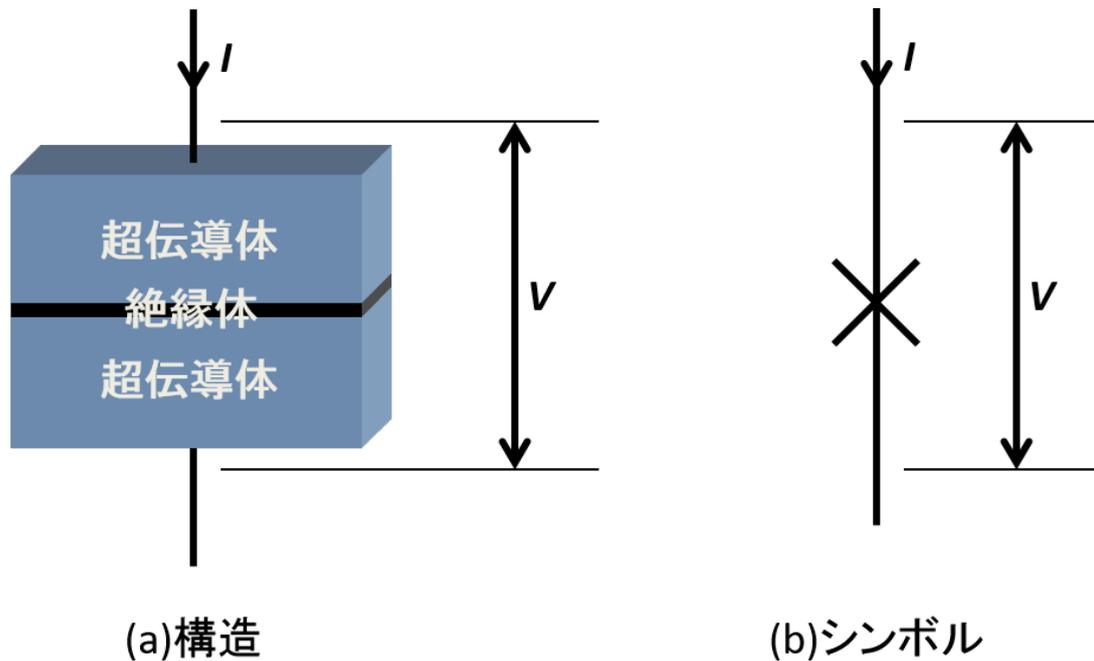


図 2.1 ジョセフソン接合とそのシンボル \*2

ジョセフソン接合を構成する二つの超伝導体がそれぞれ  $\phi_1, \phi_2$  の巨視的波動関数における位相というパラメータを持つとする．それらの位相の差  $\phi = \phi_1 - \phi_2$  を用いて，以下の二式でジョセフソン接合の特性は示される．

$$I = I_c \sin \phi \quad (2.1)$$

$$V = \frac{\hbar}{2e} \frac{d\phi}{dt} = \frac{\Phi_0}{2\pi} \frac{d\phi}{dt} \quad (2.2)$$

式 (2.1) を直流ジョセフソン効果と呼び，臨界電流値  $I_c$  までの電流が接合間の位相差に応じて流れることを示している．零電圧状態においても電流が流れる，通常のトンネル効果とは異なる超伝導特有の現象である．式 (2.2) を交流ジョセフソン効果と呼び，位相差が時間変化するとき，接合間に電圧が生じることを示している．

ここで， $\Phi_0$  は磁束量子と呼ばれる値である．超伝導体でつくられたループ内に入る磁束は量子化され，値が  $\Phi_0$  の整数倍となる．

$$\Phi_0 = \frac{h}{2e} = 2.07 \times 10^{-15} \text{Wb} \quad (2.3)$$

#### ジョセフソン接合の磁場応答

ジョセフソン接合の絶縁層に平行な向きに外部磁場を印加する場合を考える．接合を構成する二つの超伝導体の位相は加えられている磁場に依存するため，磁場によって電極間

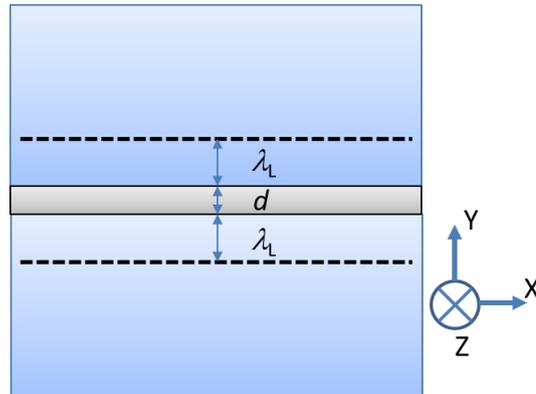


図 2.2 磁場の侵入

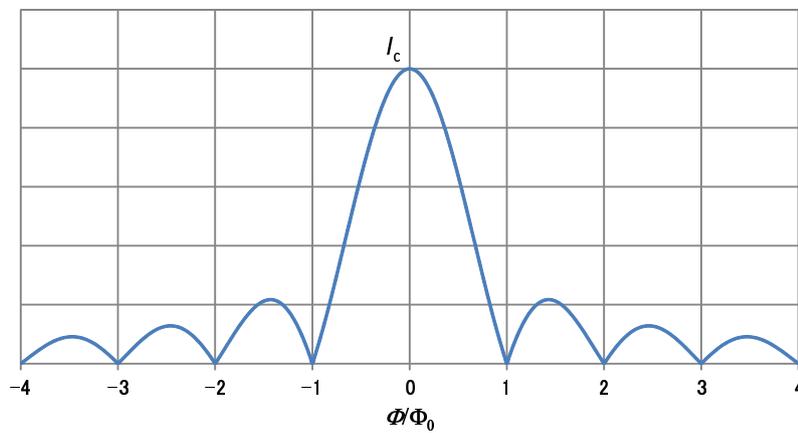


図 2.3 臨界電流の磁場依存性（フラウンホーファーパターン）

に位相差が生じる．図 2.2 に示すような場合で，ジョセフソン接合は絶縁体厚さ  $d$  と超伝導体の磁場侵入長  $\lambda_L$  だけ磁束が侵入する．位相差は受けた磁場 ( $Z$  方向) に垂直で接合面に平行な向き ( $X$  方向) に対しておこり，位相差の勾配は

$$\frac{d\phi}{dx} = \frac{2e(d + 2\lambda)}{\hbar} B \quad (2.4)$$

となる．式 (2.1) が  $X$  方向に対して変化していると考え，上式を用いて接合全体に流れる電流を求めると，

$$I_c(\Phi) = I_c(0) \left| \frac{\sin(\pi\Phi/\Phi_0)}{\pi\Phi/\Phi_0} \right| \quad (2.5)$$

となる．

この式をプロットすると図 2.3 のようになり，光におけるフラウンホーファー回折と同様の形状を示すことから，フラウンホーファーパターンと呼ばれる．

また，ジョセフソン接合がある程度大きい場合を考える．ジョセフソン接合は自身を流れる電流によって磁場を受け，位相差が変化する．ジョセフソン電流自身による磁場はマ

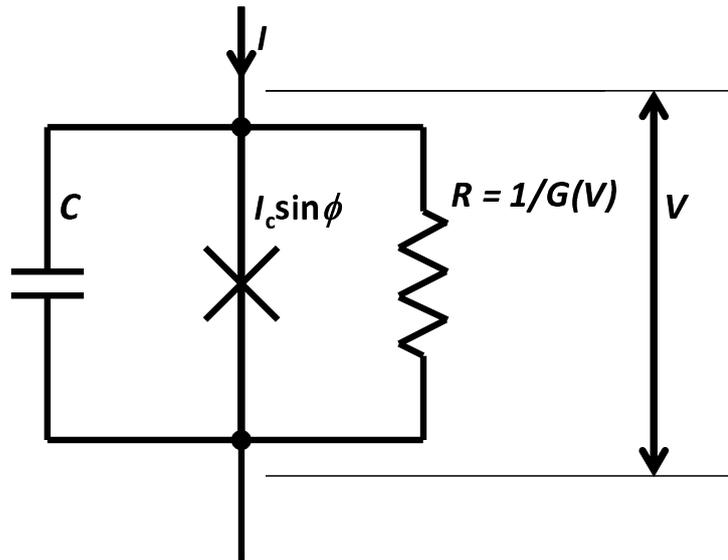


図 2.4 ジョセフソン接合の RSJ モデル

クスウェル方程式を用いて得られ、位相差に与える影響を考慮すると、

$$\frac{d^2\phi}{dx^2} = \frac{2ed\mu_0 J}{\hbar} \sin\phi = \frac{1}{\lambda_J} \sin\phi \quad (2.6)$$

となる。このときの  $\lambda_J$  をジョセフソン侵入長と呼ばれ、ジョセフソン接合部分で磁場が侵入する深さに対応する。 $\phi$  が小さいとして式 (2.6) を解くと、 $\phi = \phi_0 e^{-x/\lambda_J}$  となる。接合面積が大きな接合で、接合側壁からの距離  $x$  が大きくなる場合では接合の位相差  $\phi$  は 0 に近づき、電流が流れなくなることを意味する。ジョセフソン接合の臨界電流値は臨界電流密度  $J_c$  と面積で得ることができる。ここで、短辺が  $\lambda_J$  以下、長辺が  $\lambda_J$  以上の長方形接合を考える。長辺がおおよそ  $4\lambda_J$  以上になると臨界電流値は増加しなくなる。

### ジョセフソン接合の電気的特性

ジョセフソン接合は、非線形な電流-電圧特性を示す。ジョセフソン接合の電気的特性については、図 2.4 のような RSJ(Resistively Shunted Junction) モデルと呼ばれる<sup>\*3</sup>等価回路がしばしば用いられる。直流ジョセフソン効果を示す素子に対して、絶縁体層によるトンネルコンダクタンス  $G$  とキャパシタンス  $C$  が並列に配置されているモデルである。図 2.4 のモデルにおいては、接合に流れる電流は、両電極の位相差  $\phi$  に依存するジョセフソン電流、障壁層を挟んだ両電極間に発生するキャパシタンス  $C$  によって生じる変位電流  $Cdv/dt$ 、電極間に印加する電圧に依存し非線形な特性を示すトンネル抵抗

<sup>\*3</sup> RCSJ(Resistively and capacitively shunted junction) モデルという場合もある。

$R = 1/G(V)$  による常伝導電流  $V/R$  の和であるから,

$$I = I_c \sin \phi + \frac{V}{R} + C \frac{dV}{dt} \quad (2.7)$$

となる. これを臨界電流値  $I_c$  で正規化し,  $T = (\Phi_0/2\pi I_c R)^{-1} \cdot t$  とし, 式 (2.2) から変形すると,

$$\frac{I}{I_c} = \beta_c \frac{d^2\phi}{dT^2} + \frac{d\phi}{dT} + \sin \phi \quad (2.8)$$

となる. このとき, 式の  $\beta_c$  はマッカumberパラメータと呼ばれ, 以下の式のようになる.

$$\beta_c = \frac{2\pi}{\Phi_0} I_c C R^2 \quad (2.9)$$

このマッカumberパラメータ  $\beta_c$  によってジョセフソン接合の非線形性は大きく変化する. 接合の電流-電圧特性を観察した時,  $\beta_c \geq 1$  であれば, ヒステリシスを持ったアンダーダンプ型の特性となり,  $\beta_c \leq 1$  であればヒステリシスを持たないオーバダンプ型の特性を示すようになる. このときの特性の違いを図 2.5 に示す. ジョセフソン接合に電流を流していくと, 最初は電圧が発生せずに電流が流れるが  $I_c$  を超えると電圧が発生するようになる. この電圧の発生を接合がスイッチするという. スイッチ後の動作がアンダーダンプ型とオーバダンプ型で異なり, アンダーダンプ型の接合ではヒステリシスを持つ性質を示し, 初期状態に戻すために一旦バイアス電流を零近傍まで戻す必要がある. オーバダンプ型の接合ではヒステリシスを持たず, 電流を下げれば初期状態に戻る. 一般に, RSFQ 回路においては, 直流バイアス回路のためオーバダンプ型の接合を用いる. Nb/AIO<sub>x</sub>/Nb 接合はアンダーダンプ型の特性を示すが, これに抵抗を並列に接続することによって接合との合成抵抗値を下げ,  $\beta_c \leq 1$  となるようなオーバダンプ型の特性を実現している. このときに挿入される抵抗をシャント抵抗と呼ぶ.

### 2.2.2 超伝導量子干渉計

超伝導量子干渉計 (Superconducting quantum interference device: SQUID) は超伝導体のループ内にジョセフソン接合を配置した構造をしており, 超伝導ループに加えられた磁界の大きさを高精度に測定可能なデバイスである. 超伝導ループ内にジョセフソン接合を一つ配置したものを rf-SQUID, 二つ配置したものを DC-SQUID と呼ぶ. 本論文の対象としている RSFQ 回路は DC-SQUID を並列につなげたような構造になっており, DC-SQUID の特徴を述べておくことが重要である.

#### DC-SQUID の超伝導電流と磁界の干渉

DC-SQUID の等価回路は図 2.6 のように示される. まず, 簡素化のためにインダクタンス成分が 0 でジョセフソン接合の臨界電流が値  $I_c$  で等しい場合を考える. この SQUID

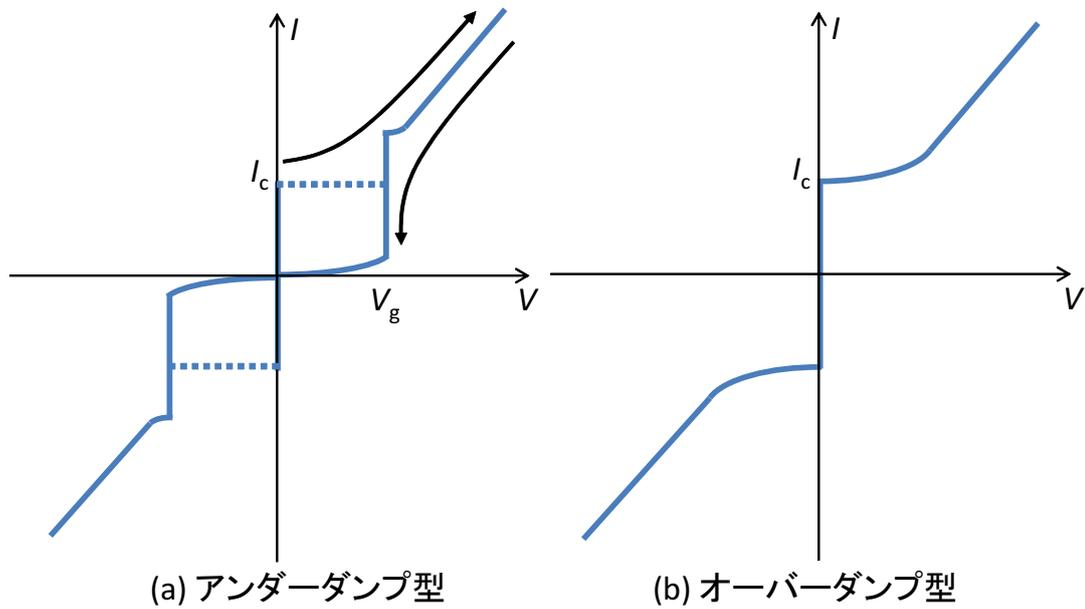
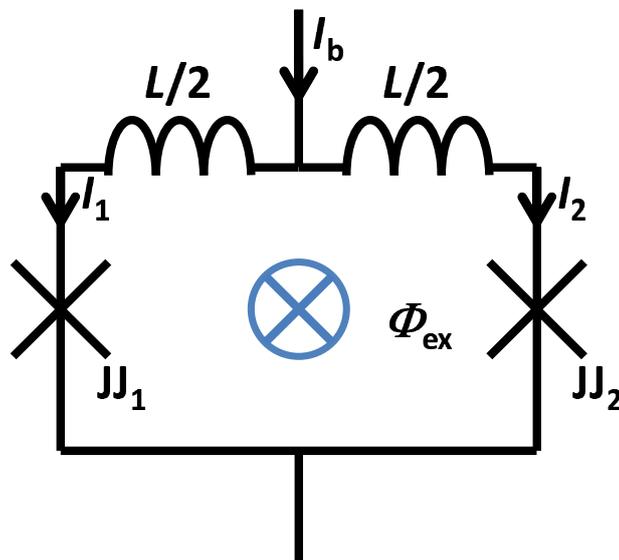
図 2.5 ジョセフソン接合の電流-電圧 ( $I - V$ ) 特性

図 2.6 DC-SQUID の等価回路

に対して外部からバイアス電流  $I_b$  と外部磁束  $\Phi_{\text{ex}}$  を印加する. SQUID に流れるバイアス電流は直流ジョセフソン効果の式, 式 (2.1) より,

$$I_b = I_1 + I_2 = I_c (\sin \phi_1 + \sin \phi_2) \quad (2.10)$$

となる. また, SQUID の超伝導ループ内では磁束が量子化され, 一周すると  $2\pi$  の整数倍になるという量子化条件を満たす必要がある. 二つのジョセフソン接合の両端の位相差

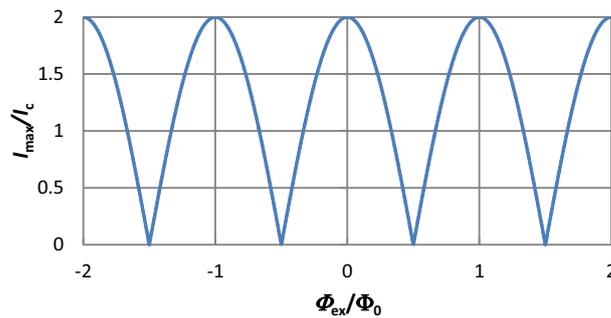


図 2.7 DC-SQUID の磁場特性

$\phi_1$ ,  $\phi_2$  と, 超伝導リングを貫く外部磁束  $\Phi_{\text{ex}}$  から, 次のように書ける

$$\phi_1 - \phi_2 = 2\pi \frac{\Phi_{\text{ex}}}{\Phi_0} + 2\pi n \quad (2.11)$$

これら式 (2.10) と式 (2.11) を解くと,

$$I_b = I_c \left( \sin \phi_1 + \sin \left( \phi_1 - 2\pi \frac{\Phi_{\text{ex}}}{\Phi_0} \right) \right) \quad (2.12)$$

が得られる.  $I_b$  が極大を取るように  $\phi_1$  設定すると, SQUID の最大電流 (SQUID の臨界電流値) が得られ, その値を  $I_{\text{max}}$  とすると

$$I_{\text{max}} = 2I_c \left| \cos \frac{\pi \Phi_{\text{ex}}}{\Phi_0} \right| \quad (2.13)$$

となり, 図 2.7 に示すような外部磁束と最大電流値の関係が得られる. この特性を DC-SQUID の外部磁場特性もしくは閾値特性と呼び, SQUID を用いた磁場の評価などで利用される. 横軸は  $\Phi_0$  で正規化した  $\Phi_{\text{ex}}$  である.

### 2.2.3 単一磁束量子回路

ここでは、RSFQ 回路の動作原理及びその特徴，基本的な論理ゲートの構成法について述べる。

#### 動作原理

RSFQ 回路はジョセフソン接合を含む超伝導ループの連結形，すなわちさまざまな SQUID を連結した構造をとる。まず，図 2.8 に示すような SQUID について考える。このとき，接合はオーバードンプ型とする。図のように，磁束量子が 1 つ超伝導ループに入ると，そのループ内には周回電流が流れる。  $\Phi_0 \simeq LI$  の関係から，周回電流の大きさはループのインダクタンス値  $L$  に依存する。接合を流れる電流の大きさがジョセフソン接合の臨界電流値を超える場合は，磁束量子はジョセフソン接合を横切る。つまり，

$$I_c < \Phi_0/L \quad (2.14)$$

となる  $L, I_c$  の条件においては，SFQ は伝搬する。ジョセフソン接合はオーバードンプ型を用いているため，接合は SFQ 通過時に式 (2.2) に従い電圧を発生し，ループ内に磁束がなくなれば即ゼロ電圧状態に戻る。従って，接合の両端にパルス状の電圧 (SFQ パルス) が発生することになる。このパルスは波高数 mV，パルス幅数 ps で，このパルスの電圧を時間積分すると  $\Phi_0$  と等しくなる。また，超伝導ループの条件を  $LI_c > \Phi_0$  とすると，SFQ はループ内に保持されることになる。そのため，超伝導ループの  $LI_c$  積を適切に設定することで，SFQ の保持，伝搬の制御を行っている。また，実際の RSFQ 回路では，SFQ が伝搬していくエネルギーを与えるためにバイアス電流  $I_b$  をジョセフソン接合に流しておく。

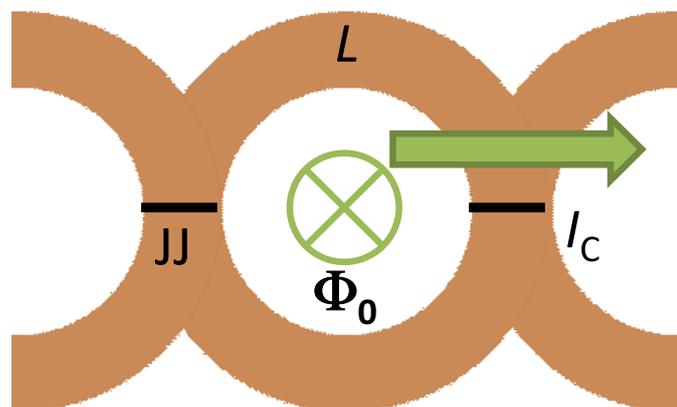


図 2.8 ジョセフソン接合を含む超伝導ループ

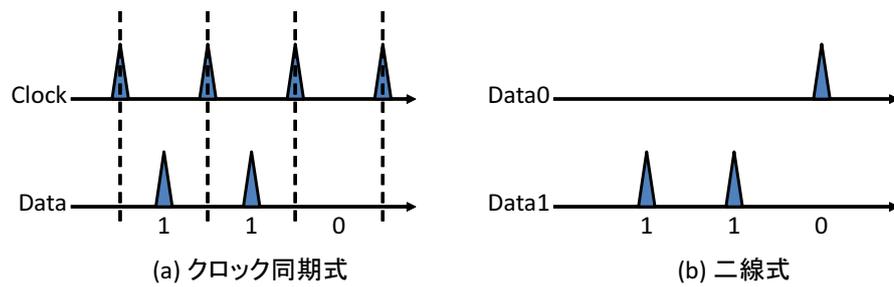


図 2.9 RSFQ 回路の論理表現方式

### RSFQ 回路の論理方式

RSFQ 回路は SFQ によるパルスの有無で論理を決めることから、論理 0 の表現手法にクロック同期式と二線式と呼ばれる手法が主に存在する。それぞれの論理方式の概要図を図 2.9 に示す。クロック同期式はクロックラインとデータラインを用意し、クロックが各論理ゲートに到達する時間間隔の間にデータラインに SFQ が存在するかによって 1,0 を表現する。一方、二線式はデータ 1 のラインとデータ 0 のラインを用意し、どちらに SFQ が入力されるかによって 1,0 を表現する。クロック同期式はクロックラインを共有することができるため、データラインが常に二本必要な二線式と比較すると回路全体の配線数をコンパクトにできる可能性がある。しかし、クロックを利用するすべての論理ゲートにタイミングを合わせてクロックを分配する必要があり、タイミング設計が複雑になるデメリットがある。

### RSFQ 回路の基本ゲートの構成法

#### ■ジョセフソン伝送線路

最も単純な RSFQ 回路として、ジョセフソン伝送線路 (Josephson transmission line: JTL) が挙げられる。JTL は図 2.10 に示すような、DC-SQUID を並列に接続した回路である。JTL は SFQ を伝搬させる配線の役割を持つ。

各接合には臨界電流  $I_c$  の 70% の電流をバイアス電流として流している。図のように、SFQ が入った場合を考える。このとき図において、SFQ の右側の接合に流れる電流が増加していく。そして、 $I_b$  と周回電流  $I_1$  の和が  $I_c$  を超えると接合がスイッチし電圧パルスが発生する。この電圧は、SFQ が伝搬してきたループの電流を相殺し、次のループのインダクタンスに電流を流す働きをする。このため、SFQ は後段のループへと移動する。この過程を繰り返すことにより、ジョセフソン接合を通して SFQ が伝搬していく。

#### ■電流比較器

ジョセフソン接合を用いて構成した RSFQ 回路における電流比較器を図 2.11 に示す。電流比較器は入力  $I_{in}$  に入力されているアナログ値の電流量が比較機の閾値よりも高いかどうかを比較する。SFQ in から入力された SFQ は  $J_1$  と  $J_2$  に周回電流を加える。その時  $I_{in}$  に入力されている電流が閾値以下であれば、 $J_1$  がスイッチすることによって SFQ は回路の外へ逃がされる。これを、エスケープされるという。エスケープされるため、SFQ out へは SFQ は出力されない。一方入力された  $I_{in}$  は  $J_2$  に対して順方向バイアスとなり、 $J_1$  には逆方向バイアスとなる。よって、 $I_{in}$  によって  $J_2$  がスイッチしやすくなり、 $J_1$  よりも  $J_2$  がスイッチすることによって、SFQ out へ SFQ が出力される。

$I_{in}$  への電流の入力は保持された SFQ の周回電流を用いることができ、SFQ の保持状態によって閾値を超えるような動作をさせることもできる。そのため、この電流比較器は

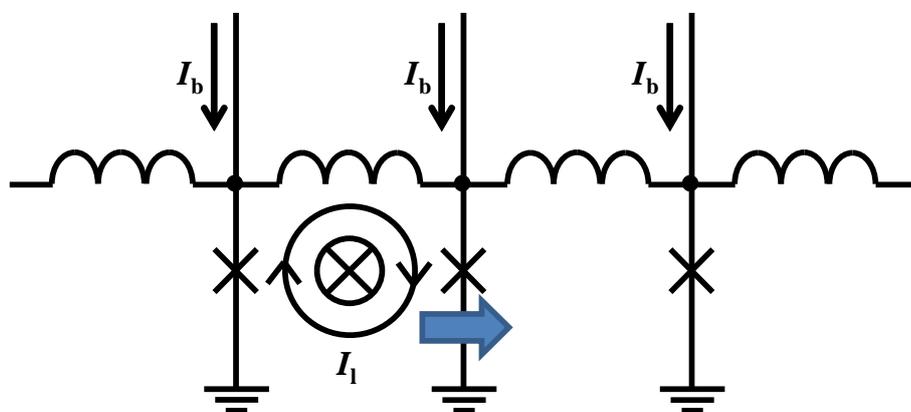


図 2.10 JTL の等価回路図

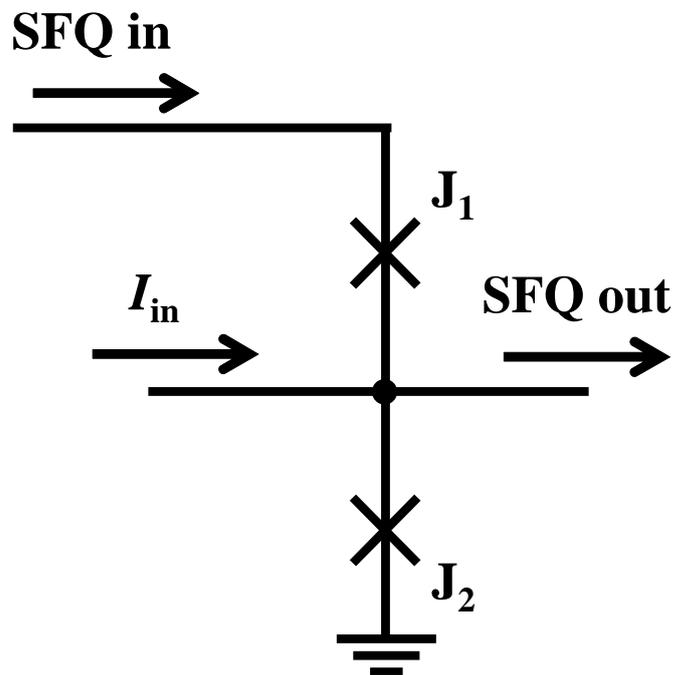


図 2.11 電流比較機の動作

RSFQ 回路の DFF, AND ゲートを初めとして論理ゲートで多用される。

#### ■スプリッタ (SPL)

スプリッタは入力された SFQ を複製する分岐回路である。図 2.12 に 1 入力 2 出力の場合の等価回路を示す。SFQ パルスを入力すると、接合  $J_1$  がスイッチし周回電流が  $J_1 - L_1 - J_2$  と  $J_1 - L_2 - J_3$  の二つのループに流れる。その結果、 $J_2, J_3$  がスイッチし、後段の回路へ SFQ が出力される。理想的には分岐数を増やすことで 3 分岐以上のスプリッタを作製することができるが、動作マージンが狭まるため、3 分岐を限度として利用される。

#### ■コンフルエンスバッファ (CB)

コンフルエンスバッファは複数の線路から入力された SFQ を一つの出力に合流させる回路である。図 2.13 に等価回路を示す。SFQ パルスを a に入力すると、接合  $J_1, J_5$  の順にスイッチし、後段の回路へ SFQ が出力される。 $J_4$  はエスケープ接合とよばれ、 $J_5$  と同じタイミングでスイッチし SFQ が入力 b へ逆流するのを防ぐ。SFQ パルスが b に入力された場合も同じである。

#### ■ディレイフリップフロップ (DFF)

ディレイフリップフロップは SFQ パルスを一時的に保持するためのゲートである。図 2.14 に等価回路を示す。 $J_4$  と  $J_2$  によって比較機を構成しており、 $J_2$  を含む超伝導ルー

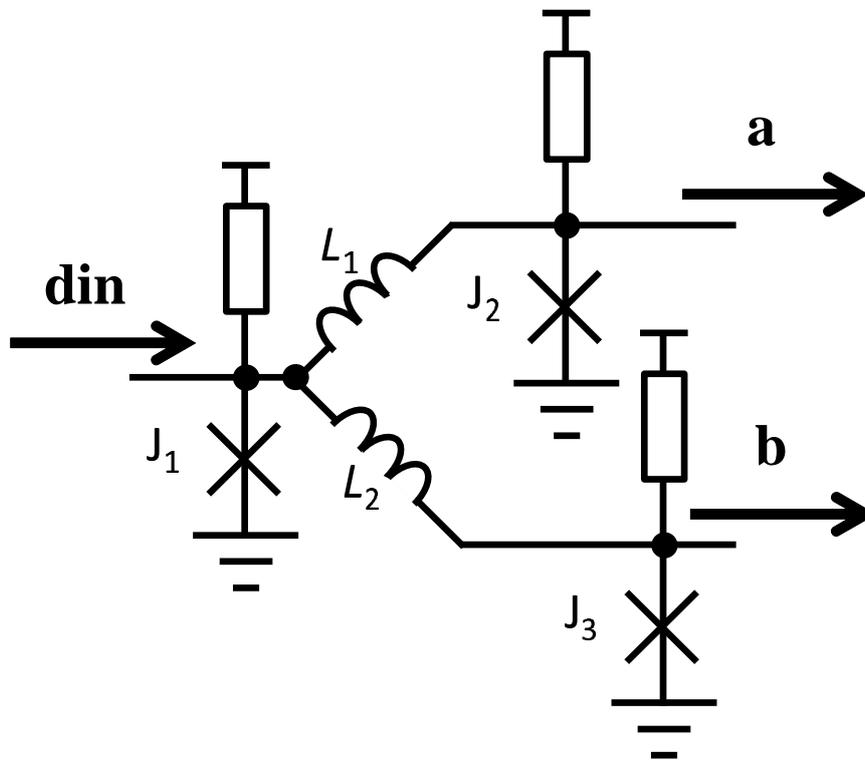


図 2.12 スプリッタの等価回路

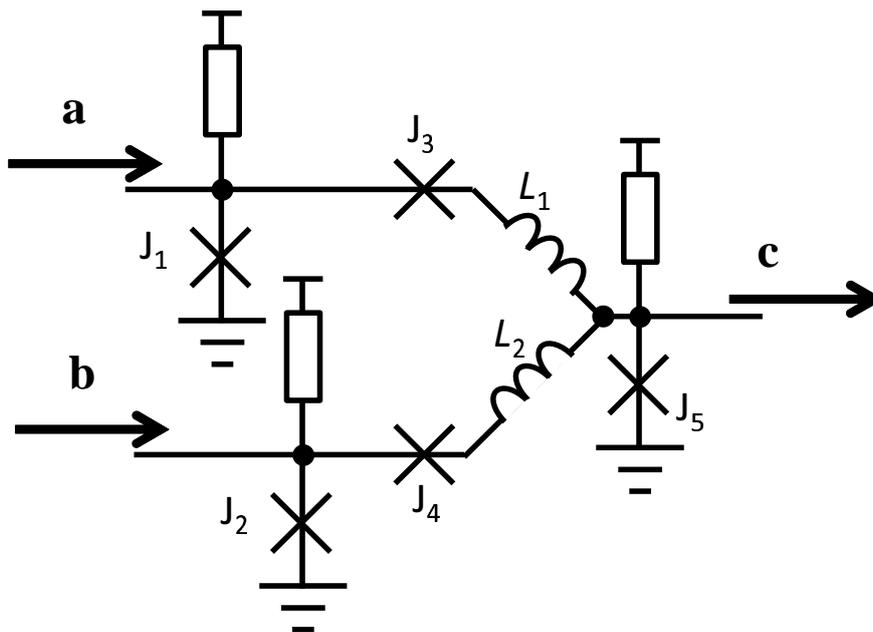


図 2.13 コンフルエンスバッファの等価回路

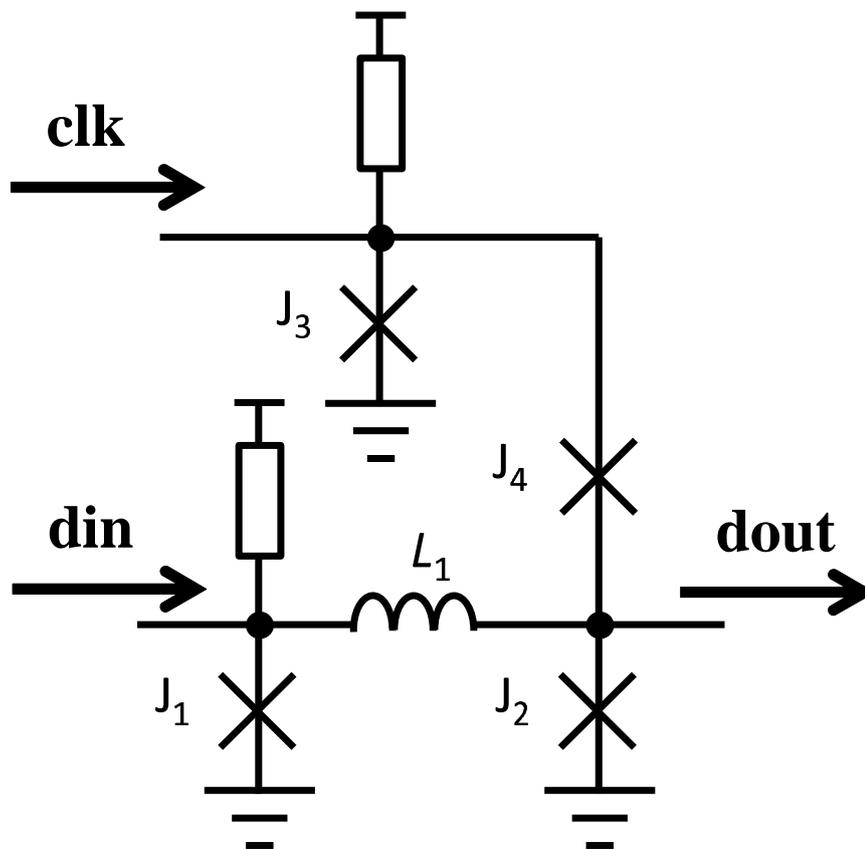


図 2.14 デレイフリップフロップの等価回路

プのインダクタンス  $L_1$  を大きく設定することでストレージループとし、SFQ が保持されるようになっている。SFQ パルスを  $din$  に入力すると、接合  $J_1$  がスイッチし、SFQ が  $J_1 - L_1 - J_2$  のストレージループに保持される。その状態で  $clk$  を入力すると  $J_3, J_2$  がスイッチし、後段の回路へ SFQ が出力される。ストレージループに SFQ が保持されていない場合は、 $clk$  から入力された SFQ はエスケープ接合  $J_4$  によってエスケープされ、出力されない。

$clk$  を共通にした二つのデレイフリップフロップを並べ、コンフルエンスバッファを後段に接続することでクロック同期式の OR 回路が構成できる。

#### ■AND ゲート

AND ゲートは二つの入力の論理積を取る回路で、図 2.14 にクロック同期式 AND の等価回路を示す。AND ゲートは  $J_1, L_1, J_2, J_6$  と  $J_3, L_2, J_4, J_7$  の二つのデレイフリップフロップと  $J_8, J_9, J_{10}$  の合流回路によって構成されている。しかし後段の合流回路はコンフルエンスバッファとは異なり、 $J_{10}$  の  $I_c$  が大きく設計されている。そのため、a と b 両方から入力があり SFQ がストレージされている状態で、 $clk$  が出力された場合にのみ SFQ が出力されるようになっている。それ以外の場合では  $J_8, J_9$  がスイッチすることに

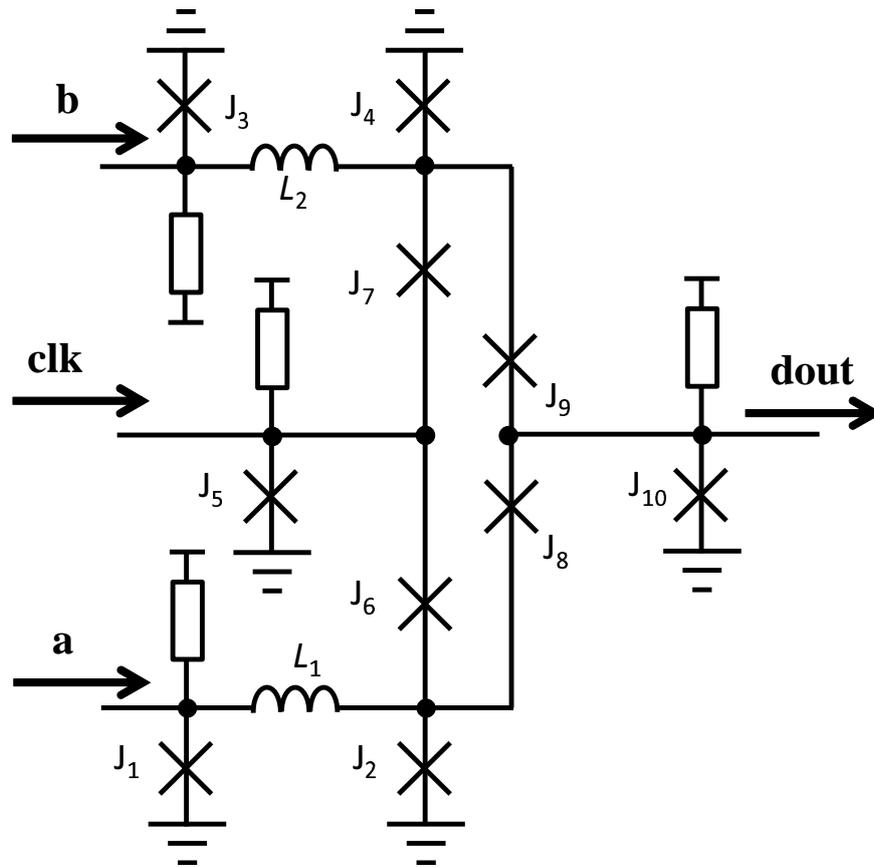


図 2.15 AND の等価回路

よってエスケープされ、出力されない。

### ■2x2-Join 回路

2x2-Join 回路は二線式 RSFQ 回路の素子である。図 2.16 に等価回路を示す。A,B それぞれ二線を用いた二入力回路で、A,B の入力に応じて d00 d11 のうち一つの信号線に SFQ を出力する。At と Bt に入力となされた場合を考える。その時 At に入力された SFQ によって  $J_{A1} - J_{A11} - J_{11}$  と  $J_{A1} - J_{A10} - J_{10}$  とに周回電流が流れ、Bt に入力された SFQ によって、 $J_{B1} - J_{B11} - J_{11}$  と  $J_{B1} - J_{B10} - J_{10}$  に周回電流が流れる。その結果  $J_{11}$  がスイッチし d11 に出力される。他の入力に対しても同様である。

2x2-Join 回路の d00,d01,d11 を CB でまとめ、二線式の 0 出力とし、d11 を 1 出力すると、二線式における AND ゲートを構成することができる。この様にして二線式で論理回路を構成することができる。

### ■インターフェイス回路

RSFQ 回路と室温測定系をつなぐインターフェイス回路として、DC/SFQ コンバータと SFQ/DC コンバータが存在する。DC/SFQ コンバータは DC 電圧を入力することでそ

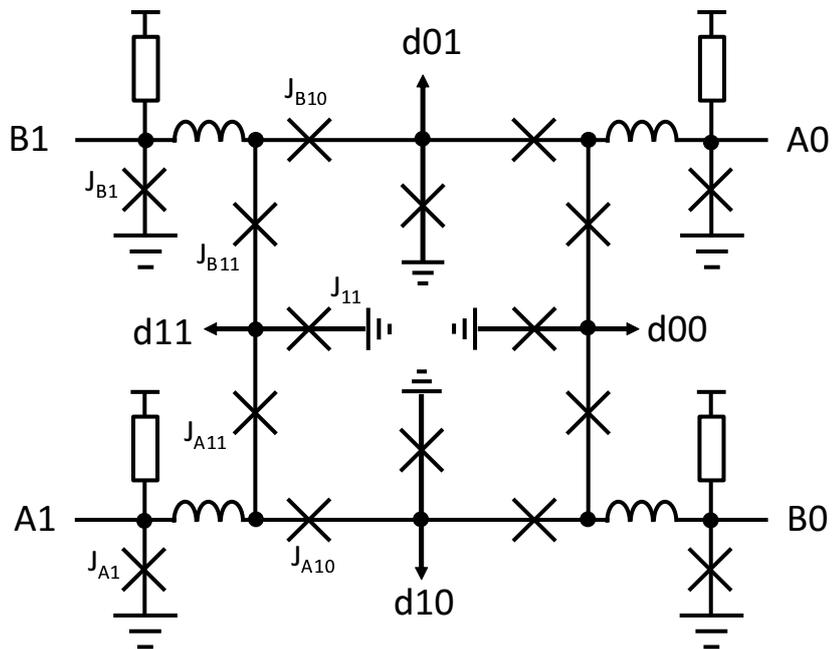


図 2.16 2x2-Join 回路の等価回路

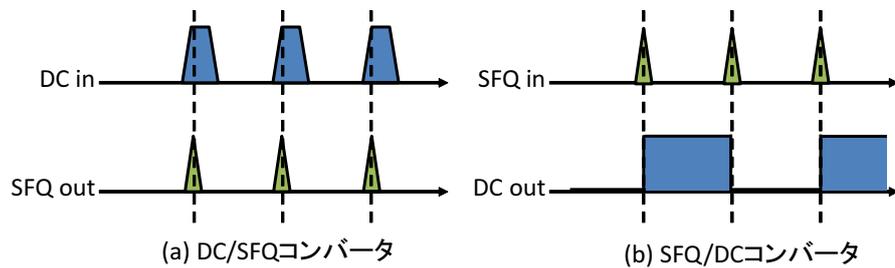


図 2.17 インターフェイス回路の入出力波形

の立ち上がりにおいて SFQ パルスを一つ生成する回路である。SFQ/DC コンバータは SFQ パルスを受けることで出力の電圧レベルを反転させる回路である。図 2.17 に入力と SFQ, SFQ と出力の関係を示す。

そのほかにもさまざまな RSFQ 論理回路が考案され、利用されている [13]。

## 2.2.4 RSFQ 回路の設計手法

RSFQ 回路の設計にはセルベース設計を用いている。セルベース設計は設計段階に応じて、セル内部の回路パラメータを決定するアナログレベル設計と、セルの挙動を論理ゲートモデルとしてライブラリ化し、大規模回路の設計を行うデジタルレベル設計に分けられる。

### アナログレベル設計

アナログレベル設計では RSFQ 回路を構成する  $L, I_c, R$  の値を個別に設定し、シミュレータと最適化ツールによって目的の論理回路を構成する。SPICE ベースの超伝導回路シミュレータである JSIM(Josephson simulator)[46] をシミュレータとして、名古屋大学で開発された SCOPE(SFQ circuit optimizer with timing parameter extractor)[47] を最適化ツールとして利用した。最適化にあたり、各セルはクリティカルマージンとバイアスマージンの二つの点で評価した。クリティカルマージンは  $L, I_c, R$  各パラメータの設計値からのずれの許容値(マージン)の最小値を示しており、クリティカルマージンが広いほど試作で生まれるパラメータの変動に強く、歩留まりが高いことを示す。バイアスマージン回路に供給するバイアス電流値をのずれに対して回路が動作する範囲を示したものである。本研究で用いる CONNECT セルライブラリはプロセスのばらつきの値を考慮し少なくとも  $\pm 20\%$  のクリティカルマージンを確保するように設計されている [48]。そのため、アナログレベル設計で新規設計するセルに関しても  $\pm 20\%$  を目標として回路の最適化を行った。また、本研究においては磁性体による磁束バイアスを用いるが、磁束バイアスのシミュレーション上でのモデルとして磁気カップリングした電流線を利用した(図 2.18)。実験とシミュレーション間の比較によって、上部超伝導配線上の  $1 \text{ kA/m}$  で磁場中冷却によって磁化された  $70 \text{ nm}$  の磁性体が超伝導ループに対して加える磁束バイアスの大きさは、相互インダクタンス  $M = 1.18 \text{ pH}$  の時に制御電流線に  $200 \mu\text{A}$  程度流したものと等価であることが分かっている。

回路図上で動作に最適なパラメータを得た後、セルのレイアウトを行う。レイアウトには Cadence の Virtuoso Layout Editor を用いる。AIST の HSTP のセルライブラリでは、 $40 \mu\text{m} \times 40 \mu\text{m}$  を一単位とし整数倍サイズの長方形内に回路をおさめる。さらにバイアス電流の供給によって生じる磁場の悪影響を避けるため、バイアス電流供給部分には SUSHI(Superconducting shield) 構造 [49, 50] を用いる。

RSFQ 回路に重要なインダクタンスはジョセフソン接合間の超伝導配線によって実現される。この配線は無限に広いグランドプレーン上の超伝導マイクロストリップラインと近似して考えることができる。この配線インダクタンスは超伝導体のマイスナー効果の影

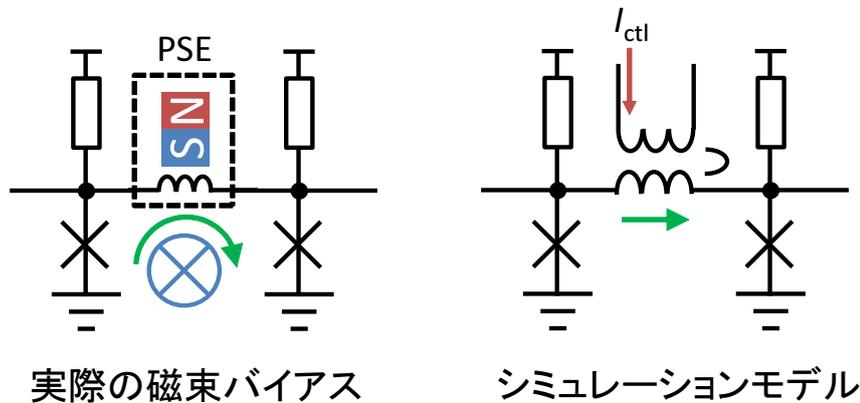


図 2.18 シミュレーションに用いた磁束バイアスのモデル

響があり，通常のマイクロストリップラインのインダクタンスとは異なる．単位長あたりのインダクタンス  $L_s$  を解析的に求めると以下の式で示される [51]．

$$L_s = \frac{\mu_0}{Kw}(d + \lambda_1 + \lambda_2) \quad (2.15)$$

この式において，超伝導配線の線幅  $w$ ，配線とグランドプレーンの間隔  $d$ ，配線，グランドプレーンのそれぞれの磁場侵入長を  $\lambda_1$ ， $\lambda_2$ ，フリンジファクターを  $K$  としている．磁場侵入長は用いるプロセスによって決まり，フリンジファクターもおおよそ定数となる．よって，インダクタンス値は線幅  $w$  に反比例し，グランドプレーンとの距離  $d$  に比例，また配線の長さに比例することが分かる．

単純な場合では上記のように解析的に求めることができるが，実際の RSFQ 回路の場合は配線の曲がりなどがあり，解析的なインダクタンス値の抽出は困難である．そのため，レイアウトを行ったデザインと実際のインダクタンス値の抽出のために，`lmeter` と `InductEX` と [52] というツールを利用した．`lmeter` は予め測定されたシートインダクタンスの値を基に配線形状からインダクタンス値を得ている．比較的高速にインダクタンスを抽出できることから一般的なデザインに用いているが，配線の形状が複雑になる場合や，浮遊インダクタンスが増える場合では抽出値に含まれる誤差が大きくなってしまう．`InductEX` は南アフリカの研究グループによって開発された `FastHenry` ベースのインダクタンス抽出ツールであり，計算時間はかかるものの浮遊インダクタンス，相互インダクタンス等を精度よく計算することが可能である．本研究では主に `lmeter` を用い，相互インダクタンスの計算等で部分的に `InductEX` を利用した．回路図とレイアウト間のずれを数パーセントになるようなレイアウトを行い，レイアウト後のパラメータで動作することを確認してセルの完成とする．

完成したセルは後のデジタルレベル設計の為に，セルの論理動作と，セルの入力から出

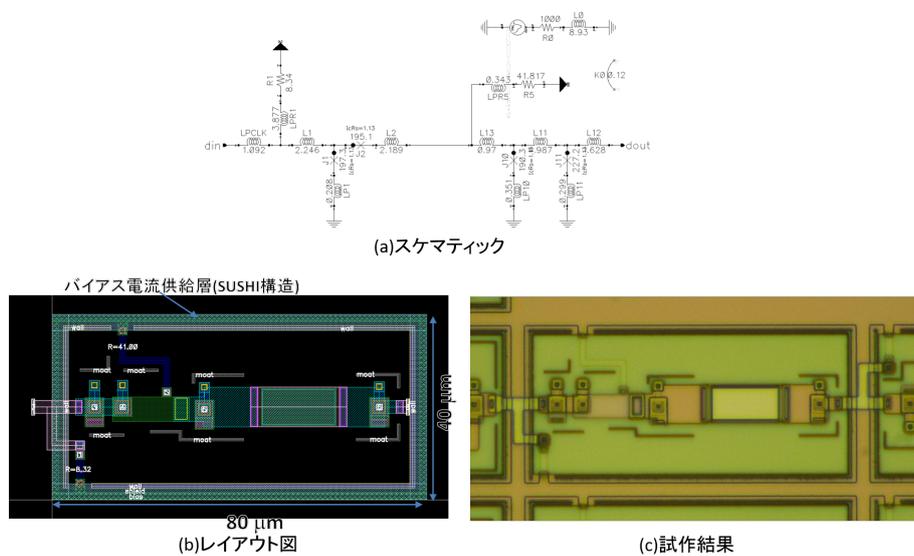


図 2.19 アナログレベルの設計

力までの遅延等のタイミングを抽出し、Verilog-HDL(Hardware description language)を用いて記述しておく。

### デジタルレベル設計

デジタルレベル設計では作製したセルを物理的なサイズとリンクしたシンボルとして利用する。この物理シンボルを並べ、大規模な回路を設計する。論理セル間は JTL セルや SPL, CB セルの配線セルを用い、SFQ が伝搬するように配線する。配線を行った回路は各論理セルに到達するクロック信号とデータ信号のタイミング関係が適切であるかの検証を Verilog-XL を用いて行う。仮に設計回路 50 GHz で動作させることを目標とすると、そのクロック周期は 20 ps となる。また、セルライブラリの論理ゲートにはセットアップ/ホールド時間が規定されているほか熱雑音などによる信号のジッタが存在するため、信号の到達時間を分ける必要がある。そのため、クロック周期とこれらの時間規定を満足する 10~15 ps の間にデータ信号をゲートに到達させる必要がある。適宜等長配線や遅延素子の挿入を行い、タイミング関係を満たし正常な論理動作を行うように設計を行う。

タイミング状態の設計後、物理シンボルをレイアウトに変換し、回路の作製プロセスへ移る。

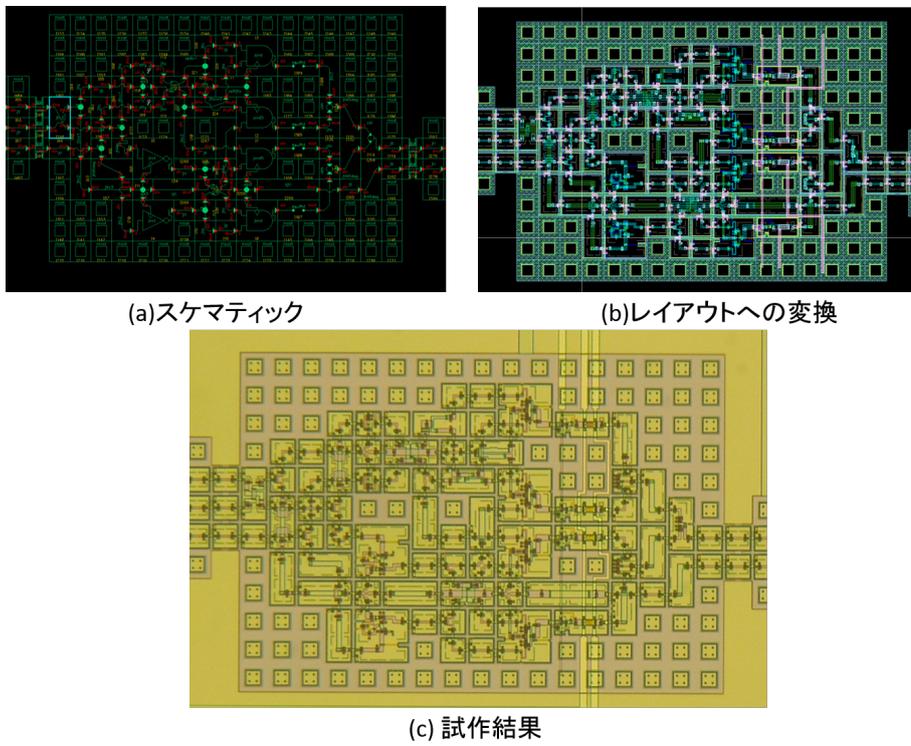


図 2.20 デジタルレベル設計

## 2.3 磁性体の特徴

磁性体を持つ様々な物理量や性質の中で、本研究と関連の深いものに関して以下で説明する。

### 2.3.1 磁性体の磁化と磁区

磁性体を磁場の存在する環境に入れると、磁性体に磁極が生まれ、磁性体が磁化される。磁性体に印加した磁場  $H$  と磁性体内部の磁束密度  $B$ 、磁化  $M$  の関係は MKSA 単位系で以下のように示される。

$$B = \mu H + M \quad (2.16)$$

また、強磁性体に磁場  $H$  を印加した場合の磁性体の磁化  $M$  の変化を調べると、ヒステリシスループと呼ばれる軌跡をとる。図 2.21 のような軌跡をとり、よく知られているように磁場  $H$  の中に入れることによって磁性体は磁化し、磁場  $H$  から離してもヒステリシスループを通して残留磁化を持ち続ける。

ヒステリシスループの変化は磁性体内部では磁区という構造で説明ができる。強磁性体の内部は磁気モーメントの揃ったいくつかの区域に分かれており、それらの区域の磁気を

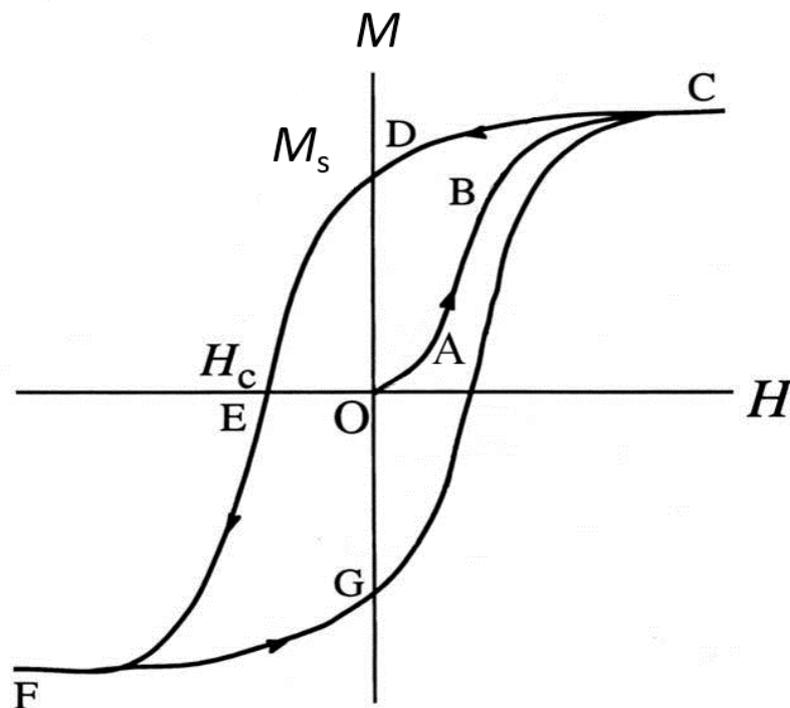


図 2.21 ヒステリシスループ

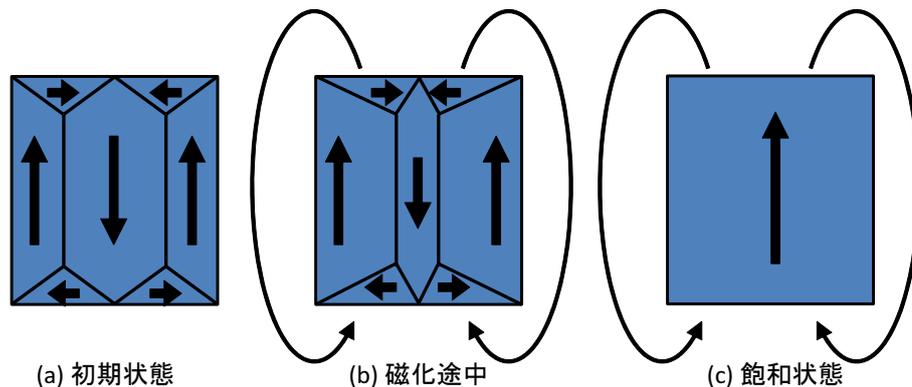


図 2.22 磁区の変化

合成したものが外部に出ていると考えられる。この区域を磁区と呼び、磁区の間を磁壁と呼ぶ。図 2.22 に磁化過程での磁区の変化を示す。

初期状態では磁区は還流磁区構造と呼ばれる構造をとり、外部に磁場が出ないようになっている。その状態から外部磁場を加えていくと、外部磁場に沿って磁壁が移動し磁区の大きさが変化し外部に磁場を生むようになる。さらに磁壁の移動と磁区回転などを経て、飽和状態では単一磁区をとるようになる。

磁性体を小さくしていき  $1\ \mu\text{m}$  程度以下になると、磁性体は磁壁を持つことができなくなるため、常に単磁区構造となる。単磁区構造の場合は磁壁がないため、外部磁界によって磁化の回転を示し、ゼロ磁場環境では異方性に沿った上向き、下向きのみの磁化となる。磁性メモリである MRAM 等では集積度を高めるため微細なパターンを扱っており、単磁区構造となった磁性体が用いられる。

### 2.3.2 キュリー点

強磁性体は内部の原子磁気モーメントが同方向に向くことによって自発磁化を生む。原子磁気モーメント間の相互作用が自発磁化の原因だが、強磁性体が高温になると熱エネルギーによる磁気モーメントのゆらぎが大きくなり、自発磁化を失ってしまう。この境目となる温度をキュリー点とよび、 $T_C$  もしくは  $T_{\text{Curie}}$  と示す<sup>\*4</sup>。

熱ゆらぎと相互作用の関係であるから、温度が下がり、熱ゆらぎが抑えられると磁性体の残留磁化、保磁力は大きくなる。ヒステリシスループで考えると、残留磁化、保磁力が大きくなり、ループ面積が大きくなる変化をする。この特徴を逆に用いれば、温度を上げて保磁力を下げた条件で磁化の書き込みを行い、温度を戻すことで強い磁化を持つという

<sup>\*4</sup> 超伝導体の臨界温度も  $T_C$  と示すため、本論文では  $T_C$  を超伝導体の臨界温度、 $T_{\text{Curie}}$  をキュリー点とする。

磁化の操作が可能になる．熱アシスト磁気書き込みとして利用されている [53]．

### 2.3.3 残留磁化

磁性体の残留磁化によって，磁性体は常に一定の磁場を生む．この磁性体を超伝導回路に近づけると，超伝導体は磁束のバイアスを受け，超伝導体内に遮蔽電流が流れ，超伝導回路の特性が変化する．特に，超伝導体は外部磁場の影響を大きく受けるため，適切に磁性体の残留磁化を用いることで回路の動作点を変更することができる．

#### 超伝導位相シフト

残留磁化を用いて超伝導ループに対して磁束バイアスを加えることで，超伝導ループの巨視的波動関数の位相をシフトさせることができる．そのような位相シフトを起こさせる素子を超伝導位相シフト (Phase shift element: PSE) と呼ぶ．

磁性体による PSE は，図 2.23(a) に示すように磁性薄膜パターンと超伝導ループによって構成される．この図に示す磁性体が磁化していないときは図 2.7 のような特性を示す．ここで磁性体を磁化させると，SQUID ループに対して磁束バイアス  $B_{\text{SFQ}}$  が加わり，SQUID の量子化条件が変化する．

$$\phi_1 - \phi_2 = 2\pi \frac{\Phi_{\text{ex}}}{\Phi_0} + 2\pi \frac{B_{\text{SFQ}} S}{\Phi_0} + 2\pi n \quad (2.17)$$

となる．この式 (2.17) を式 (2.10) に代入し，同様に  $I_{\text{max}}$  を求めると，

$$I_{\text{max}} = 2I_c \left| \cos \left( \frac{\pi \Phi_{\text{ex}}}{\Phi_0} + \frac{\pi B_{\text{mag}} S}{\Phi_0} \right) \right| \quad (2.18)$$

磁場特性が図 2.23(b) に示すようにシフトする．この磁性体による PSE の特徴の一つは，磁性体の磁化の強さに応じてシフト量を変更可能で， $0 \sim 2\pi$  のさまざまなシフトを生むことである．

## 2.4 本研究で用いる磁性体

本研究は低温で動作する超伝導デバイスを用いることから室温ではなく，低温下における磁気特性に注目する必要がある．強磁性体として代表的な金属としては，例えば Fe, Co, Ni 等があるが，それらの磁性体のキュリー温度は Fe で 1043 K, Co で 1404 K, Ni で 630 K と非常に高い [54]．このような磁性体は低温では保磁力が高く磁化の制御が困難で，また強い残留磁化によって超伝導体にトラップなどの影響を与えることが考えられる．

そのため，常磁性体である Pd や，反磁性体である Cu などを用い強磁性体の特性を弱めた合金を用いて利用することが望ましい．磁性ジョセフソン接合に用いた磁性体の例と

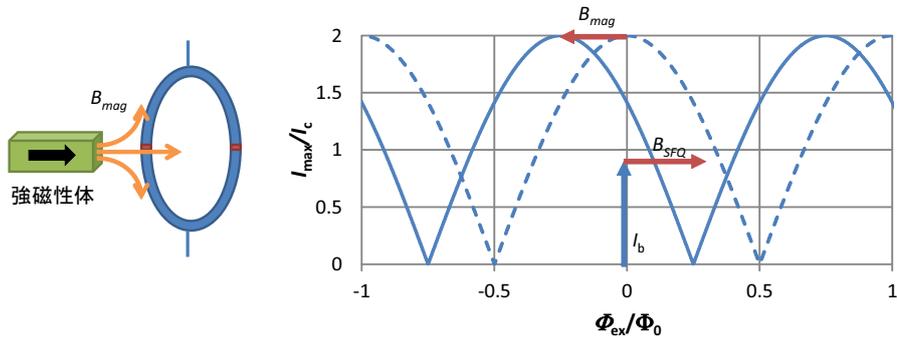


図 2.23 強磁性体薄膜を用いた位相シフタ

しては, PdNi[42], CuNi[55, 56], PdFe[57] などが存在する. CuNi は広く利用例があるが, Ni 割合によっては Ni がクラスタ化し, 膜内で Ni 割合の不均一な膜が生まれることが分かっている [58]. PdFe は膜厚によってキュリー点が大きく変わることが報告されている [57] ため磁性体の膜厚に応じ磁化手法を選ぶ必要があるほか, 比較的的反転しやすい磁化を持っているため固定磁束バイアスへの応用は適さない可能性がある.

そこで本研究では Ni 割合を変化させることによる磁気特性制御が容易で, 磁化反転が起きにくいとされる, 固定磁束バイアス応用に適した PdNi を採用した. PdNi は合金中の Ni 割合を変化させることで容易に合金のキュリー点を変更することができ [59], ばらつきの少ない均質な膜ができる [60]. 大きな保持力を持っており磁化反転が起きることがないため, 固定の磁束バイアスを主に利用する本研究に適していると考えられる.

## 2.5 まとめ

本章では, 本研究の基礎となる超伝導デバイスと磁性薄膜パターンの特徴について述べた. まず, ジョセフソン接合と SQUID に関する基礎を述べ, 応用となる RSFQ 回路に関する動作を述べた. さらに, 磁性体によって用いて期待される効果を述べ, 固定磁束バイアス, 超伝導位相シフタを紹介した.



## 第3章

# 超伝導回路上への 磁性薄膜パターンの作製と 磁気特性の制御

### 3.1 はじめに

本章では本研究で用いる磁性薄膜パターンの作製，磁気特性の制御を行った結果を述べる．超伝導回路の接合近傍に磁性薄膜パターンを導入した報告例がないため，超伝導回路で用いる前に低温での磁気特性の評価が必要不可欠である．さらには，磁性薄膜パターンによる固定磁束バイアスを超伝導デジタル回路で利用するためには，磁化強度が制御可能な磁化制御手法の確立と，実際に磁束バイアスを印加し動作を確認する必要がある．

本章では，最初にジョセフソン接合，磁性薄膜パターンプロセスについて述べる．その後作製した磁性薄膜パターンの磁化手法に関する検討を行い，磁性薄膜パターンをジョセフソン接合，超伝導量子干渉計に対して導入し，磁化特性の制御手法の確立と，固定磁束バイアスの確認をおこなった結果について述べる．

### 3.2 デバイス作製プロセス

本節ではジョセフソン接合，超伝導量子干渉計，磁性薄膜パターンの作製プロセスについて述べる．本章で用いる超伝導デバイスは名古屋大学藤巻研究室内のプロセス装置を用いて作製した．

#### 3.2.1 ジョセフソン接合作製プロセス

作製プロセスフローを図 3.1 に示す．

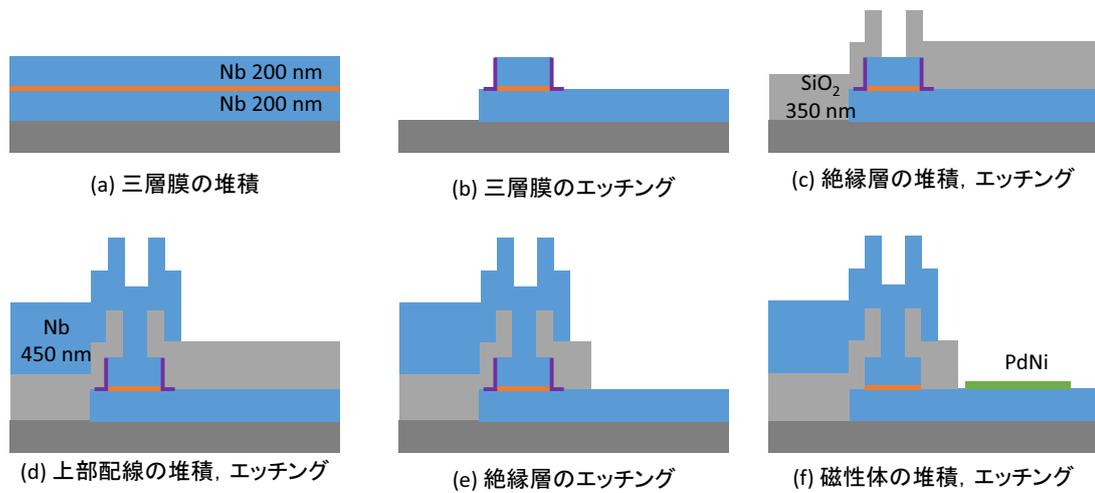


図 3.1 ジョセフソン接合作製プロセス

#### ■Nb/AIO<sub>x</sub>/Nb 三層膜の堆積

まず、熱酸化膜付き Si 基板に Nb/AIO<sub>x</sub>/Nb の三層膜を堆積させる。膜堆積の前に、Ar ガス中で基板にプラズマを発生させ表面のクリーニングを行う。その後、DC マグネトロンスパッタリング法によって Nb, Al を順に 200, 7 nm 堆積させる。Al 膜堆積後、Al 膜の酸化のために酸素ガス中に一定時間曝す。酸素圧力と酸化時間の積によって Nb/AIO<sub>x</sub>/Nb 接合の臨界電流密度を制御する [61]。酸化後は再度 DC マグネトロンスパッタリング法によって Nb を 200 nm 堆積させる。

#### ■上部 Nb, 障壁層のエッチング

上部 Nb 電極と障壁層 AlO<sub>x</sub> のエッチングによって接合形状を作製する。Nb を SF<sub>6</sub> ガスを用いた反応性イオンエッチング (Reactive ion etching: RIE) によって、AlO<sub>x</sub> を Ar プラズマエッチングによって削る。AlO<sub>x</sub> のエッチング後は接合特性の向上のために陽極酸化プロセス [62] を行う。三層膜のエッチングは熱などで接合特性に影響を与えることが多いため、比較的プラズマ出力を下げ、必要に応じて間欠エッチングを行う。またエッチングによって接合側壁などに特性の劣化した部分が生じたものを、陽極酸化によって完全に絶縁化する。

#### ■下部配線のエッチング

下部 Nb 電極をエッチングすることによって下部配線を作製する。上部電極と同様に SF<sub>6</sub> ガスによる RIE を用いる。

#### ■絶縁層の堆積・エッチング

上部配線との絶縁のための絶縁層として、SiO<sub>2</sub> の膜を RF スパッタリング法によって

350 nm 堆積させる。堆積後、絶縁層をエッチングすることによって接合上部電極と下部配線のコンタクトホールを形成する。絶縁層のエッチングは  $\text{CHF}_3$  と  $\text{O}_2$  の混合ガスによる RIE を用いる。

#### ■上部配線 Nb の堆積，エッチング

上部配線の Nb を DC マグネトロンスパッタリング法によって 450 nm 堆積させる。堆積後、 $\text{SF}_6$  ガスによるエッチングを行う。

#### ■絶縁層のエッチング

磁性体をジョセフソン接合と同じ高さに配置するため、下部配線上の  $\text{SiO}_2$  をエッチングする。

その後、磁性体プロセスに移る。

各工程のスパッタリング・エッチング条件を表 3.1, 表 3.2 に示す。

表 3.1 膜堆積条件

層	ガス	流量 [sccm]	圧力	電力 [W]	電圧 [V]	時間	膜厚 [nm]
下部 Nb	Ar	50	0.94 [Pa]	100	290	9'10"	200
Al	Ar	50	1.0 [Pa]	100		0'21"	7
$\text{AlO}_x$	$\text{O}_2$		20 [Torr]			40'	
上部 Nb	Ar	50	0.94 [Pa]	100	290	9'10"	200
$\text{SiO}_2$	Ar	14	0.2 [Pa]	100		9'30" × 2	350
配線 Nb	Ar	50	0.94 [Pa]	100	290	20'39"	450

表 3.2 エッチング条件

層	ガス	流量 [sccm]	圧力 [Pa]	電力 [W]	時間
下部 Nb	$\text{SF}_6$	80	5.0	35	2'00"
$\text{AlO}_x$	Ar	10	2.3	70	6'00" × 2
下部 Nb	$\text{SF}_6$	80	5.0	35	2'00"
$\text{SiO}_2$ (コンタクト)	$\text{CHF}_3 + \text{O}_2$	50 ( $\text{CHF}_3$ ), 3 ( $\text{O}_2$ )	5.0	100	6'30" × 2
配線 Nb	$\text{SF}_6$	80	5.0	70	2'30"
$\text{SiO}_2$ (下部電極上)	$\text{CHF}_3 + \text{O}_2$	50 ( $\text{CHF}_3$ ), 3 ( $\text{O}_2$ )	5.0	100	5'00" × 2

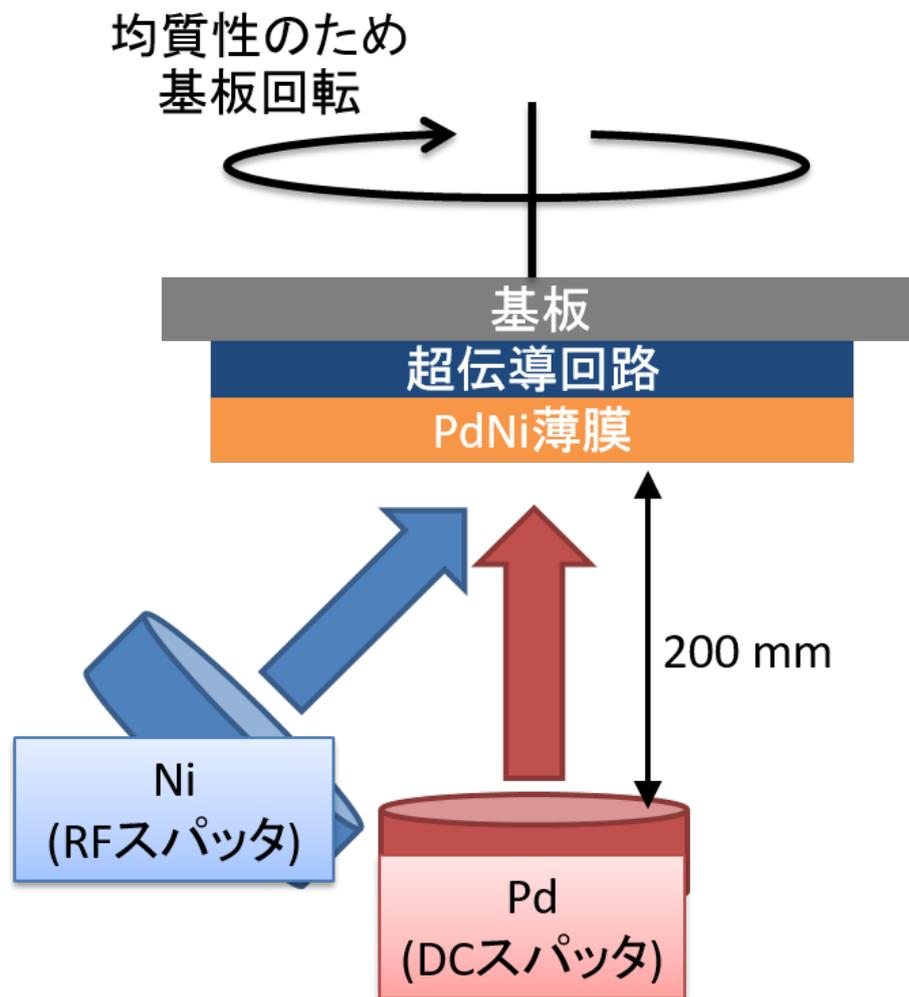


図 3.2 同時スパッタ法

### 3.2.2 磁性薄膜パターン作製プロセス

磁性薄膜パターンである PdNi 合金は Pd と Ni の同時スパッタ法によって作製した。図 3.2 に同時スパッタの概略図を示す。基板に対し垂直下側に Pd ターゲットを、45 度の位置に Ni ターゲットを配置している。Pd, Ni どちらのターゲットも基板中央からターゲット表面まで 200 mm の距離を持っている。Pd は DC マグネトロンスパッタリング法によって、Ni は RF マグネトロンスパッタリング法によってスパッタを行った。スパッタ中は膜の均質性の確保の為に、基板を 5 rpm の速度で回転させた。

PdNi 合金の組成は Pd と Ni の堆積レートによって得ている。堆積レートは単位時間あたりの膜厚増加量だが、Pd, Ni それぞれの密度、原子量を用いることで各原子の単位時間当たりの原子の数の増加量が得られ、合金中の原子割合が得られる。Pd の堆積レート

を  $r_{Pd}[\text{\AA}/\text{sec}]$ , 密度を  $d_{Pd}[\text{g}/\text{cm}^3]$ , 原子量を  $m_{Pd}[\text{g}/\text{mol}]$ , Ni の堆積レートを  $r_{Ni}[\text{\AA}/\text{sec}]$ , 密度を  $d_{Ni}[\text{g}/\text{cm}^3]$ , 原子量を  $m_{Ni}[\text{g}/\text{mol}]$  とすると, Ni 割合  $P_{Ni}[\%]$  は

$$P_{Ni} = \frac{r_{Ni} \times \frac{d_{Ni}}{m_{Ni}}}{r_{Ni} \times \frac{d_{Ni}}{m_{Ni}} + r_{Pd} \times \frac{d_{Pd}}{m_{Pd}}} \quad (3.1)$$

と示される. 本研究では,  $d_{Ni} = 8.91[\text{g}/\text{cm}^3]$ ,  $d_{Pd} = 12.02[\text{g}/\text{cm}^3]$ ,  $m_{Ni} = 58.69[\text{g}/\text{mol}]$ ,  $m_{Pd} = 106.42[\text{g}/\text{mol}]$  の値を利用した. 表 3.3 に本研究で用いた Ni 割合における Pd, Ni の各スパッタ条件, 堆積レートを示す. スパッタは 40 sccm で供給した 1.50 Pa の Ar ガス中で行った.

表 3.3 PdNi の堆積レート

Ni 割合 [at%]	Ni 堆積レート		Pd 堆積レート	
	Ni スパッタ条件	[ $\text{\AA}/\text{sec}$ ]	Pd スパッタ条件	[ $\text{\AA}/\text{sec}$ ]
11.4	RF,85W	0.181	DC,0.3A	1.89

作製した PdNi 薄膜はフォトリソグラフィによるレジストパターンを作製後, ECR プラズマを用いた Ar イオンによるミリングを行った. Pd は反応性が低く, Ar イオンを用いた物理的なエッチングが一般的である. また, ガス圧が低いため Ar イオンが散乱を受けず, 異方性の高いエッチングが期待できる. 本研究で用いた Ar イオンミリングの条件を表 3.4 に示す.

表 3.4 PdNi 合金のエッチング条件

項目	条件
加速電圧	700 V
マイクロ波出力	40 W
使用ガス	Ar
ガス流量	4 sccm
ステージ角度	ビーム入射角度に対し 90 度
ビーム電流密度	0.11 mA/cm <sup>2</sup>

### 3.3 デバイスの評価手法

全てのサンプルは液体ヘリウム (4.2K) 内にデバイスを浸すことによって超伝導状態にし, 動作させた. 測定は外部からの電磁波などの影響を防ぐために電磁シールドルーム内で行った. サンプルはさらに磁気シールドに囲まれた液体ヘリウムデュワー内に収められ



図 3.3 シールドルーム，液体ヘリウムデュワー

た．図 3.3 にシールドルーム，磁気シールド，液体ヘリウムデュワーを示す．液体ヘリウムデュワー内には専用の超伝導回路測定治具を用いた．図 3.4 にヘルムホルツコイルを備えた治具の写真を示す．作製したサンプルをチップキャリア上に載せ，Al ワイヤボンディングでチップキャリア上の電極へ引き出す．チップキャリアを治具先端にセットし，液体ヘリウムデュワー内に治具を挿入することで治具先端のみを 4.2K に設定する．なお，液体ヘリウムデュワー内は低温の気体ヘリウムで満たされていることから，治具の挿入位置を制御することでデバイス温度をある程度任意に変更可能である．治具の常温側には測定用の端子が出ており，必要に応じ信号源，オシロスコープ等を接続して測定系を構成する．表 3.5 に利用した測定機器を示す．

表 3.5 測定に利用した機器

機器	メーカー	型番
ファンクションジェネレータ	エヌエフ回路設計ブロック	WF1946A,WF1946B, WF1947,WF1948
作動増幅器	スタンフォードリサーチシステムズ	SR560
データ収集デバイス	ナショナルインスツルメンツ	PXI-6115
オシロスコープ	テレダインレクロイ	WaveRunner 610Zi
定電流源	ケースレー (テクトロニクス)	6221
マルチメータ	ケースレー (テクトロニクス)	2001

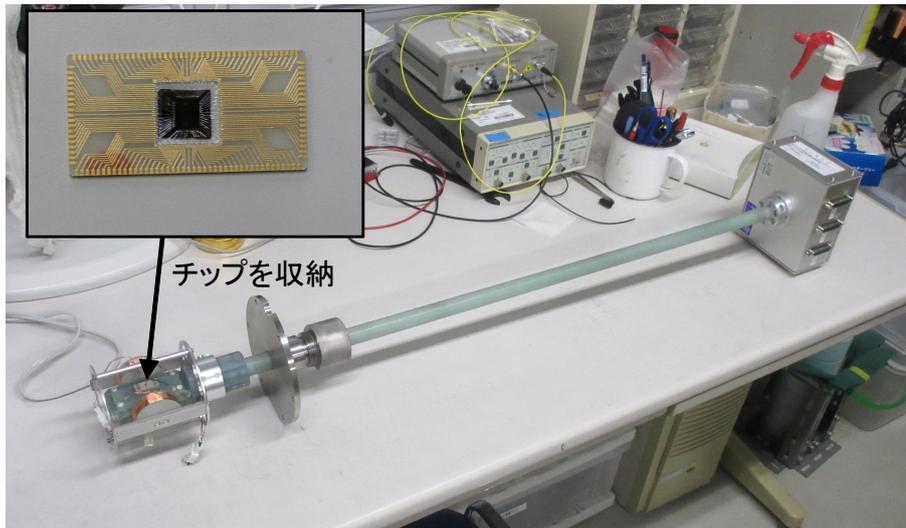


図 3.4 超伝導回路測定用治具

### 3.3.1 Nb/AlO<sub>x</sub>/Nb ジョセフソン接合の特性

本章で利用したジョセフソン接合の特性について述べる。ジョセフソン接合の特性は図 3.5 に示すような形になる。この特性は以下のパラメータで特徴づけられる

- 臨界電流値  $I_c$  直流ジョセフソン電流による電流
- 臨界電流密度  $J_c$  臨界電流値を接合面積で割った値
- ギャップ電圧  $V_g$  接合を流れる電流が臨界電流値を超えたときに発生する電圧
- 電圧遷移幅  $\Delta V_g$  ギャップ電圧の電圧幅
- サブギャップ抵抗  $R_{sg}$  サブギャップ領域 ( $0 \sim V_g$  の領域) での抵抗値，障壁層の電流リークなどで値が低くなり劣化する。
- 常伝導抵抗  $R_n$  常伝導領域 ( $V_g$  以上の領域) での抵抗値
- $V_m = I_c R_{sg}$  接合特性評価に用いられる品質パラメータ，一般に  $I_c$  が大きな接合ほど  $R_{sg}$  が低く悪化する傾向があるが， $I_c$  と  $R_{sg}$  二つの変化を見たもの。
- $R_{sg}/R_n$   $V_m$  とともに接合評価に用いられる品質パラメータ，

ジョセフソン接合の測定系を図 3.6 に示す。どのデバイスも四端子法を用いて測定した。信号源から 20 Hz 程度の三角波を入力してグラウンド側に接続した抵抗で入力電流

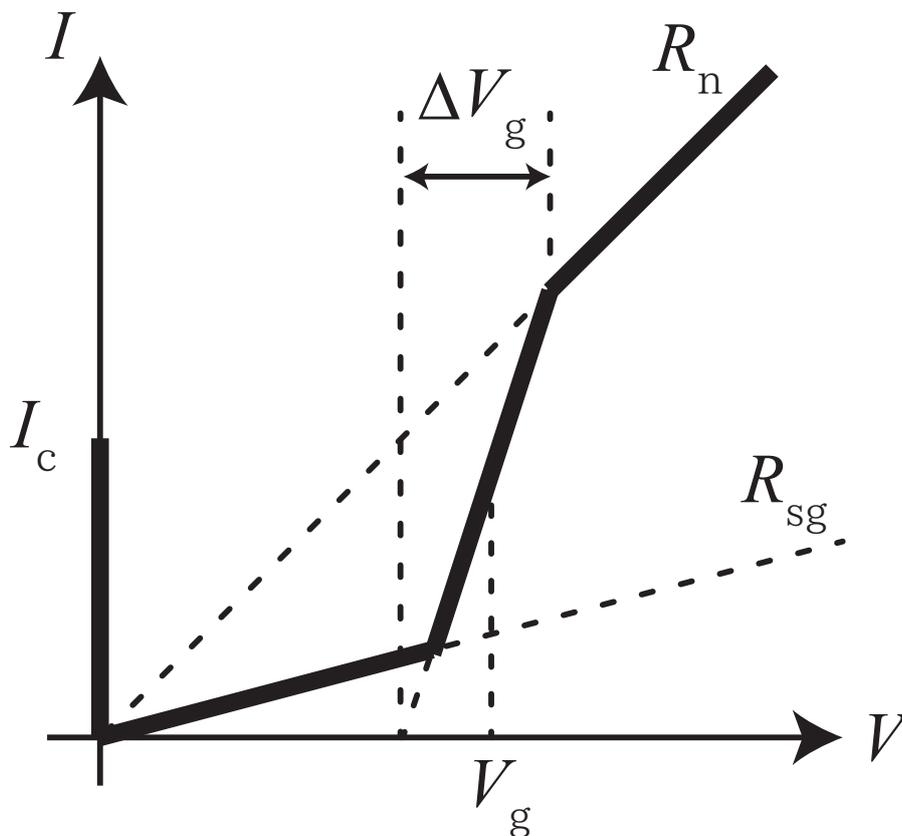


図 3.5 ジョセフソン接合特性とパラメータ

値をオシロスコープの Y 軸に入力する．接合の両端の電圧を超伝導配線上で分岐した端子で引出し，100 倍のアンプを通してオシロスコープに入力する．作製した接合の IV 特性を図 3.7 に，得られたパラメータを表 3.6 に示す．どのパラメータにおいても安定した品質が得られているほか，磁性体パターンを形成する前後での特性の変化を調査したが，劣化は見られなかった．

同様に，外部磁場特性の測定系を図 3.8 に示す．第 2 章で述べたように，ジョセフソン接合は磁場に対して応答し，臨界電流値に変化を生じる．電圧発生を検知する信号処理を行い，電圧発生が起きた電流値を臨界電流値として，横軸外部磁場，縦軸臨界電流値として外部磁場特性を調査した．ジョセフソン接合へ磁場を印加するために，超伝導回路測定用治具の低温側に銅巻き線コイルによるヘルムホルツコイルを配置した．このヘルムホルツコイルは測定治具ごとに異なる巻き数を持っており，治具に応じて巻き数は 6000 から 13000 ターンである．それぞれ電流 1 mA あたり 95 から 260 A/m, 最大 10.4 kA/m の磁場を印加可能である．

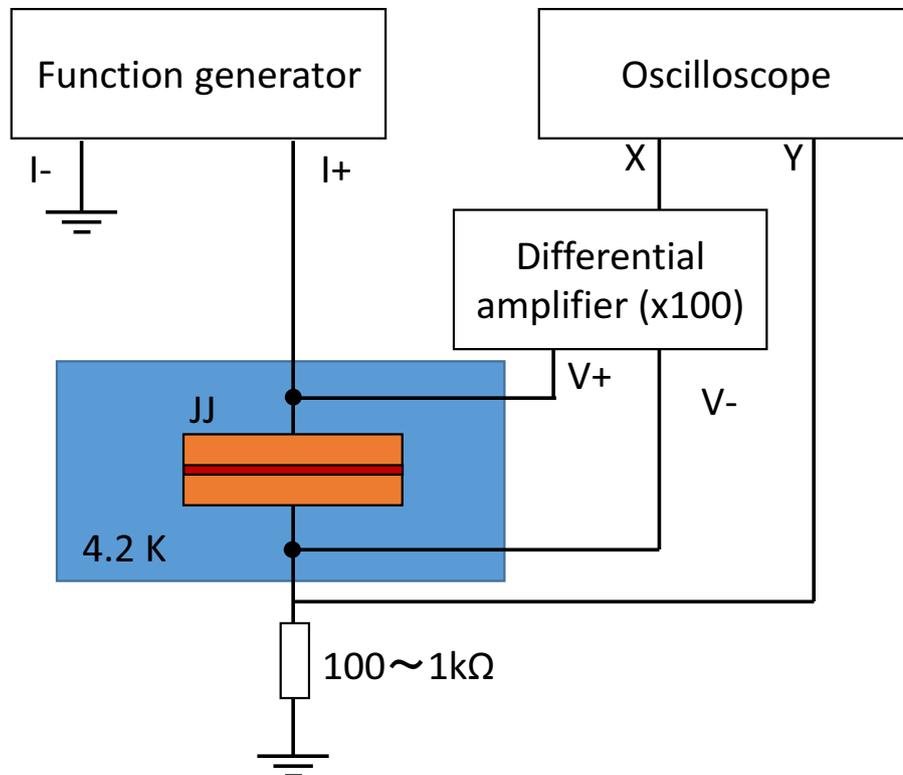


図 3.6 ジョセフソン接合の測定系

表 3.6 利用した  $60 \times 5\mu m$  接合のパラメータ

パラメータ	値
$I_c$	280 [ $\mu A$ ]
$J_c$	93 [ $A/cm^2$ ]
$R_n$	5.50 [ $\Omega$ ]
$R_{sg}$	50 [ $\Omega$ ]
$V_g$	2.8 [mV]
$\Delta V_g$	0.2 [mV]
$V_m$	12 [mV]
$R_{sg}/R_n$	9

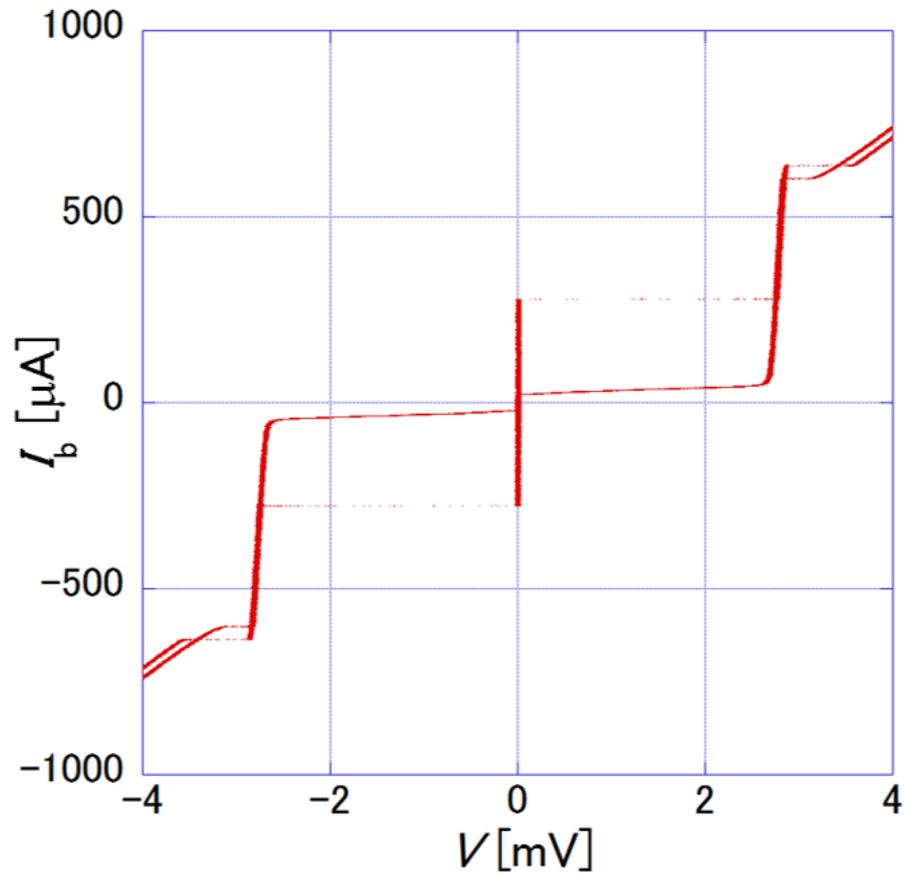


図 3.7 作製したジョセフソン接合の IV 特性

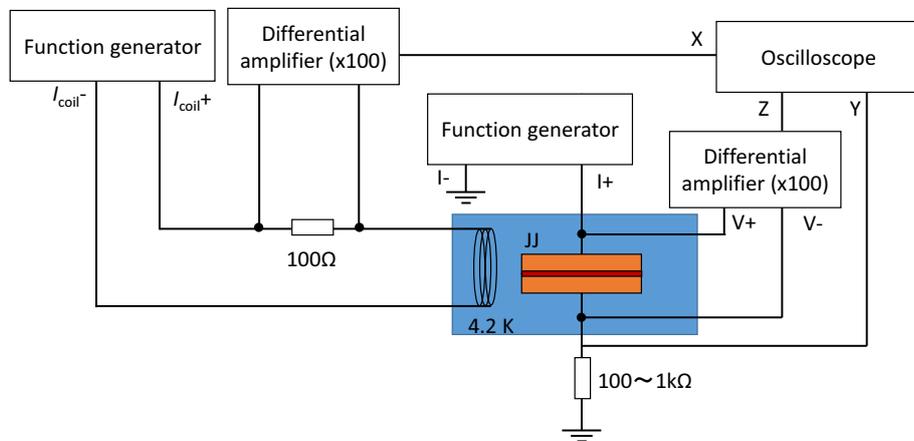


図 3.8 ジョセフソン接合の外部磁場特性測定系



図 3.9 MPMS の外観

### 3.4 磁性体パターンの磁気特性と磁化手法

まず、作製した磁性体パターンの磁気特性について述べる。作製した磁性薄膜はカンタムデザイン社製の MPMS (Magnetic Property Measurement System) によって磁気特性を調査した。MPMS は SQUID と超伝導コイルを用いた磁気測定装置で、最大 7 T の磁場、温度範囲 1.8 K - 400 K の条件で磁気測定ができる装置である。図 3.9 に装置の全体写真を示す。サンプルは 5 mm 角に準備し、切込みを入れたストロー内に固定し、サンプル室内にセットする (図 3.10)。測定項目及び手順を記述したプログラムを実行することによって半自動で測定がなされる。

5 mm 角の熱酸化膜付き Si 基板上に  $\text{Pd}_{0.89}\text{Ni}_{0.11}$  薄膜を 70nm スパッタ成膜したサンプルを用意した。図 3.11 にの 4.2K での磁化曲線を示す。超伝導コイルからの磁場は膜の面内方向に最大  $\pm 400$  kA/m を印加した。与えた磁場の範囲内では磁化は飽和していないことが予想されるものの、PdNi 薄膜は低温で十分なヒステリシスループを描き、残留磁化、保持力を持つことが確認された。保持力は 80~90 kA/m 程度あることから、4.2 K では安定した磁化を持ち、SFQ 回路の動作によって磁化反転がしないことが期待される。そのため、残留磁化を用いた固定磁束バイアスに対して適した特性が得られている。

図 3.12 に 70 nm 厚 5 mm 角の  $\text{Pd}_{0.89}\text{Ni}_{0.11}$  薄膜について、残留磁化の温度依存性を示す。このデータは 4.2 K に冷却されたサンプルに対して 400 kA/m の磁場を印加し、温度を 300 K まで昇温させたものである。各温度における残留磁化の値を測定でき、本



図 3.10 測定サンプルのセット

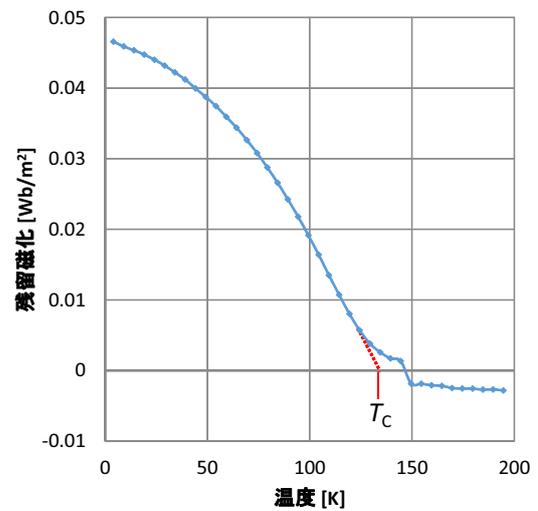
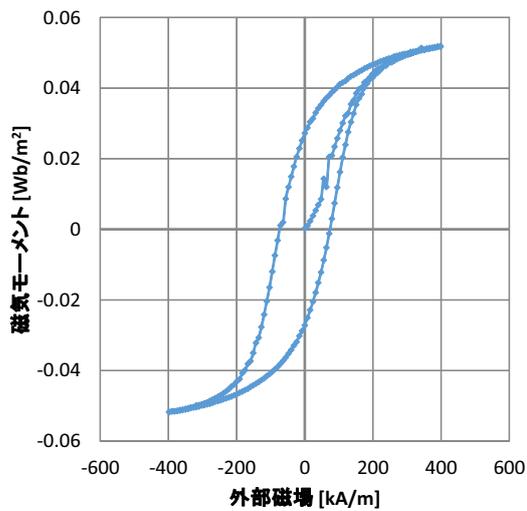


図 3.11 4.2K での PdNi 薄膜の磁化曲線 図 3.12 PdNi 薄膜の磁気モーメント温度依存性

研究において重要なキュリー点  $T_{Curie}$  を推定できる。温度を上げていくと磁性体の残留磁化は減少し、消失しているのが分かる。データから外挿してキュリー点を推定すると、130 K であることが分かる。この値は PdNi 合金の Ni 割合とキュリー点に関する先行研究 [59],[63] と比較し妥当な値が得られている。このことから、本研究で用いる PdNi 薄膜は妥当な磁気特性が得られていると考えられる。

4.2K での磁化曲線の測定から、利用する磁性体は SFQ 回路の動作する極低温で強い保持力を持っていることが分かった。一方、SFQ 回路の測定で用いることができる銅巻き

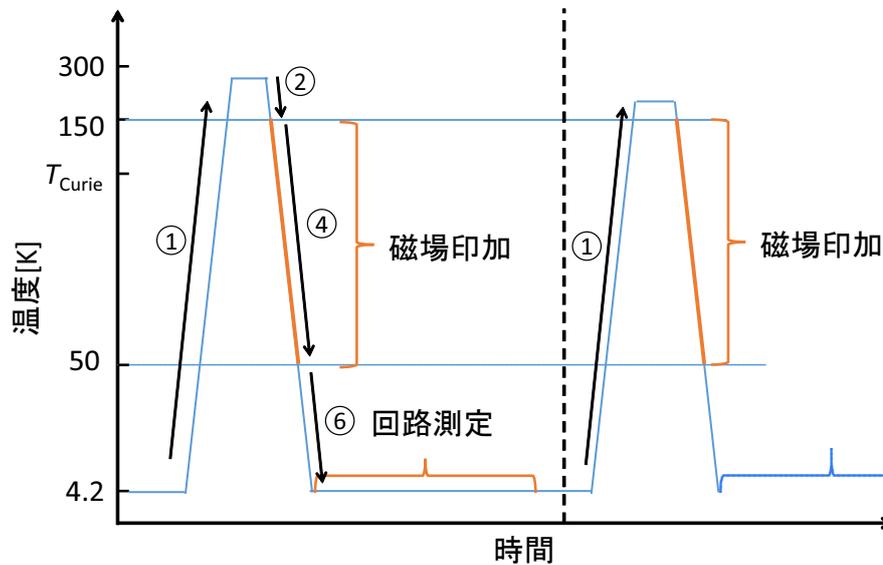


図 3.13 磁場中冷却の手順

線コイルなどでは高々数 kA/m 程度の磁場しか印加することができない．そのため，本研究では熱によって磁性体の保持力を弱めた条件下で磁場を印加し，磁性体を磁化させることとした．この手法を磁場中冷却と呼び，図 3.13 に用いた手法の概要を示す．冷却の手順は以下の通りである．

1. デバイスをキュリー点以上の温度にし，磁化を消失させる
2. 磁場を印加せず，150 K まで冷却する
3. 外部コイルや電流線を用いて任意の磁場を印加する
4. 磁場を印加しながら 50 K まで冷却する．
5. 50 K まで冷却したところで印加していた磁場を切る
6. 再び磁場を印加せずに 4.2 K まで冷却する．

この様に磁場を印加しながらキュリー点を超えるような冷却をすることで，磁性体はキュリー点付近において受けていた磁場方向に磁化する．なお，磁性体の磁化の強さ，向きを変更する際は再度手順 1 より，熱消磁を行う点から始める．

磁場中冷却を行った場合の磁気モーメントの変化を図 3.14 に示す．サンプルは 70 nm の PdNi 薄膜を 5 x 1 mm サイズに加工したもので，短尺方向に磁場を印加した．160 K から 4.2 K まで磁性体を冷却する過程において，150 K において磁場を加え始めると，加える磁場の大きさに応じて異なる依存性を示すようになる．この場合は，外部磁場がある状況で磁気モーメントの測定を行っているため，外部磁場の影響を示している．その後，磁場を印加しながら冷却していくと磁性体温度はキュリー点以下になり，磁性体は外部磁

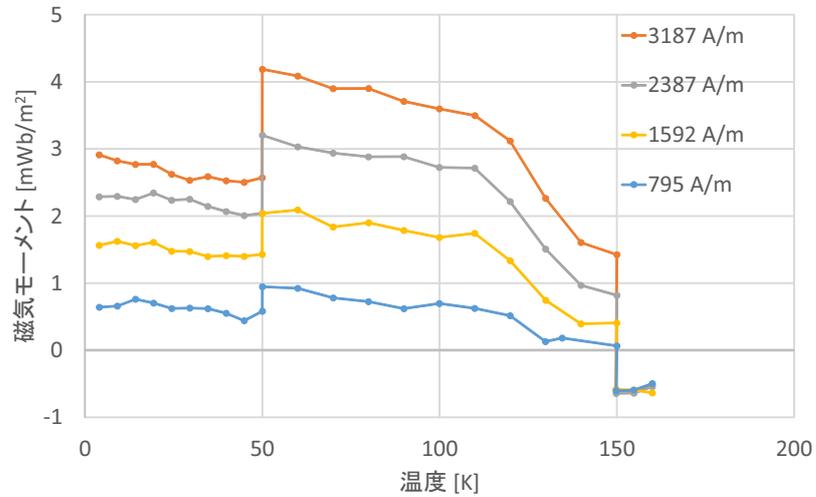


図 3.14 磁場中冷却時の磁化の変化

場の影響を受けながら磁気モーメントを持つようになる。その結果 50 K において外部磁場の印加をやめると、それまで印加していた磁場方向の残留磁化の値を示す。4.2 K での値を確認すると、磁性体の磁気モーメントの値は磁場中冷却時の磁場の大きさに依存し、おおよそ磁場中冷却時の磁場の大きさに比例することが分かった。

磁場を長尺方向に印加したときも同様の結果が得られており、そこから形状磁気異方性の影響が小さいことが確認されている。これは利用する磁性体の膜厚が薄いためであると考えられる。

### 3.5 ジョセフソン接合に対する磁束バイアス量の制御

前述の MPMS を用いた実験によって，磁場中冷却を用いた際の磁性体自身の磁化の変化を確認した．本節では実際に応用で用いるジョセフソン接合に対しての磁束バイアス量を調査した．

#### 3.5.1 ジョセフソン接合の設計

図 3.15 に利用したジョセフソン接合の顕微鏡写真と断面図を示す．この接合の作製は本章で述べた接合プロセスに従った．ジョセフソン接合は  $60\mu\text{m} \times 5\mu\text{m}$  の大きさで，臨界電流密度  $J_c = 93[\text{A}/\text{cm}^2]$  であることから臨界電流値は  $279\mu\text{A}$  となっている．磁性体は  $3\mu\text{m} \times 5\mu\text{m} \times 70\text{nm}$  の小さなパターンを用い，接合端から  $3\mu\text{m}$  離れた部分に  $3\mu\text{m}$  の間隔で複数配置した．磁性体の磁化に用いた磁場中冷却時の磁場  $H_{\text{FC}}$  と，ジョセフソン接合の磁場特性の調査に用いた磁場  $H_{\text{ex}}$  は同じコイルを用いて印加しており，向きは図 3.15 に示す向きである．

#### 3.5.2 ジョセフソン接合に対する磁束バイアスの効果

ジョセフソン接合の  $I_c - H_{\text{ex}}$  特性を調査すると，図 3.16 のようになる．図のうち，無磁場環境中で冷却した場合は Y 軸対称な特性が得られており，磁性体の影響を受けていないことが分かる．一方， $H_{\text{FC}} = 1.3\text{ kA}/\text{m}$  の磁場を冷却時に加え磁化させた場合では，特性がほぼそのまま横軸負方向にシフトしていることが分かる．これは，磁場中冷却で磁化した磁性体がジョセフソン接合に対して一定の磁束バイアスを加え，特性がシフトして

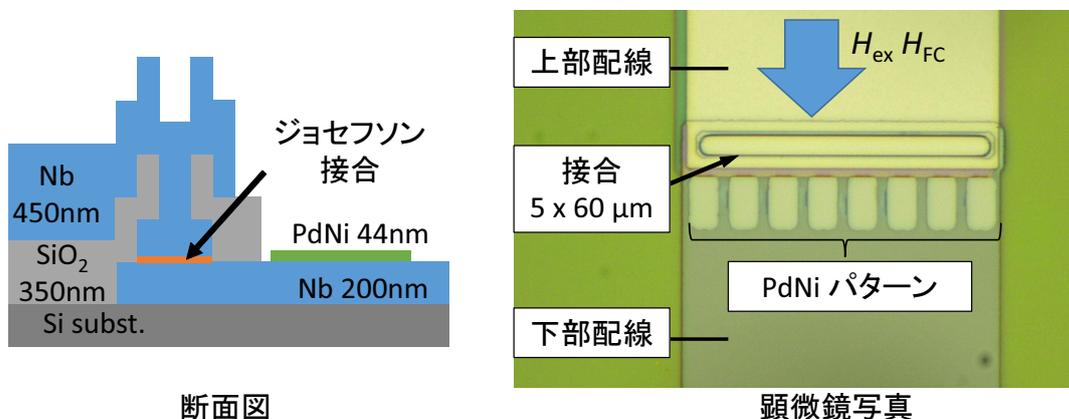


図 3.15 利用したジョセフソン接合の断面図と顕微鏡写真

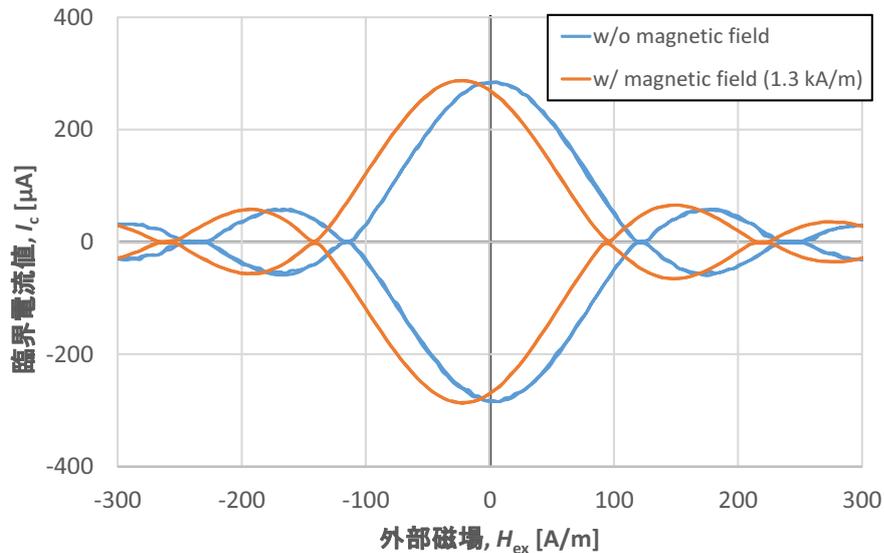


図 3.16 磁束バイアスによる外部磁場特性のシフト

いることによるものである。

さらに、冷却時磁場の大きさを変化させ、磁性体の磁化の強さを変化させた。冷却時磁場の大きさに対する外部磁場特性のシフト量を図 3.17 に示す。外部磁場特性のシフト量はジョセフソン接合自身が受けている磁束バイアス量に対応する。接合に加わっている磁束バイアス量はフィールドクーリング時に印加する磁場を大きくするにしたがって増加しており、この結果から磁束バイアス量は制御可能であるという結論が得られた。

図 3.14 の結果より、磁場中冷却によって磁性体が持つ磁化の強度は、冷却時の磁場  $H_{FC}$  に比例した。そのため、ジョセフソン接合に対する磁束バイアス量も同様に冷却時磁場に比例し、図 3.17 に存在する非線形成分は磁性体の磁化のばらつきと考えられる。また今回の場合では平均で 10% のばらつきが得られた。

また、今回得られた場合で最大の外部磁場特性のシフト量は 22 A/m であった。これは、 $9 \mu\text{m}^2$  の超伝導ループを考えた場合、 $2\pi$  のシフトに相当する磁束量子  $\Phi_0$  の 13% 分のシフトに相当する。応用先によっては今回得られたシフト量は小さいが、このシフト量は磁性体の位置や体積を変更することによって容易に変えることができると考えている。超伝導デバイスでよく用いられる縦型のループ構造ではループ上や、ループに近い部分に磁性体を配置することによって大きな磁束バイアスを得ることが可能である。

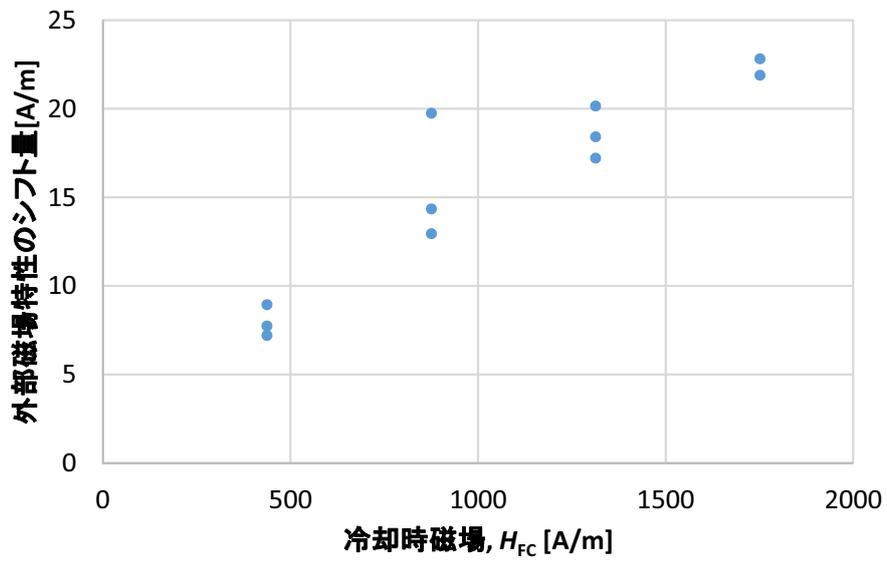


図 3.17 ジョセフソン接合に対する磁束バイアス量の変化

### 3.6 超伝導量子干渉計に対する磁束バイアス量の制御

本節では実際に超伝導位相シフタで用いる SQUID に対しての磁束バイアス量を調査した。前節のジョセフソン接合に対する結果では、RSFQ 回路の超伝導ループに対して応用した際に位相シフト量が小さい恐れがあった。SQUID の超伝導ループでは磁場を受ける面積が大きいため、より効率的な位相シフトを得ることができると考えられる。また、SQUID は SFQ 回路を構成する要素の一つといえ、実際の回路応用に対して重要である。

#### 3.6.1 SQUID の設計

本節では基板に垂直な向きに SQUID ループのある縦型 SQUID を利用した。縦型 DC-SQUID は上部配線と下部配線の二層で SQUID ループを構成しており、基板と平行な向きの磁場に対して磁場応答を示す。

図 3.18 に今回設計した SQUID の顕微鏡写真，断面図を示す。利用した SQUID は接合間距離が  $150 \mu\text{m}$  で、絶縁層厚さが  $350 \text{nm}$  であることから SQUID ループ面積は  $52.5 \mu\text{m}^2$  となっている。上部配線幅は  $10 \mu\text{m}$  で、上部配線上に  $30 \times 10 \mu\text{m}$  のサイズの PdNi パターンを二つ配置した。

#### 3.6.2 SQUID に対する磁束バイアスの効果

SQUID の  $I_c - H_{\text{ex}}$  特性を調査すると、図 3.19 のようになる。ジョセフソン接合で得られた結果と同じく、磁場中冷却を行い磁性体を磁化させることで、外部磁場特性は横軸方向へシフトする。このときのシフトの向きは SQUID ループ上部に配置した磁性体が磁化の向きと反対に磁束バイアスを印加するため、ジョセフソン接合の場合とは逆方向の横軸正方向である。SQUID ループに対しても同様に磁束バイアスを印加できることが分かった。

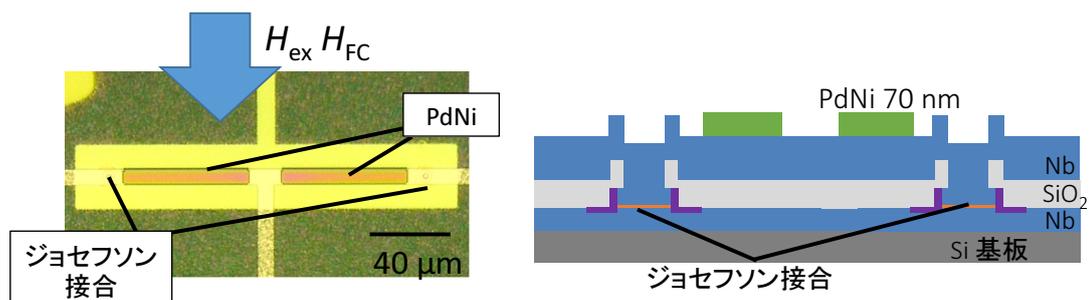


図 3.18 作製した DC-SQUID の顕微鏡写真，断面図

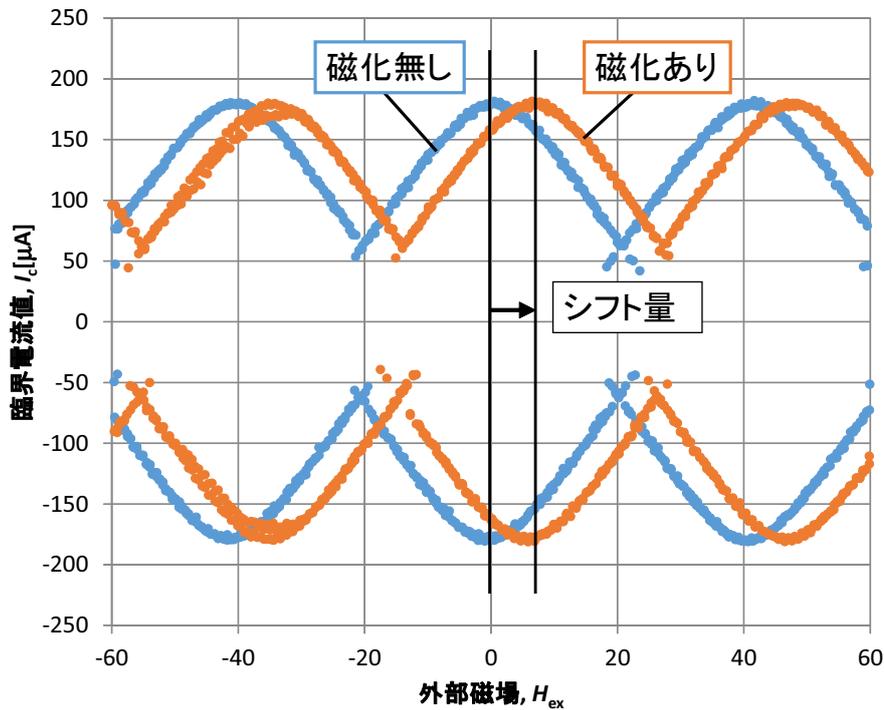


図 3.19 SQUID 外部磁場特性の変化

磁場中冷却においてある磁場  $H_a$  を印加した場合とまた別のある磁場  $H_b$  を印加した場合の磁場特性のずれを  $\Delta H_{ab}$  とする。ループ面積  $S$  の SQUID の外部磁場特性は  $I_c(H_{ex}) = I_{c0} |\cos(\pi\mu_0 H_{ex} S / \Phi_0)|$  であらわされるように周期的であるため、この  $\Delta H_{ab}$  が絶対的なシフト量とはならず、SQUID の周期  $\Delta H_{SQUID} = \Phi_0 / \mu_0 S$  を考慮してシフト量は  $\Delta H_{ab} + n \times \Delta H_{SQUID}$  となる。この際の  $n$  が不定となってしまうため、正確な見積もりのためには  $H_a, H_b$  の間隔を小さくし、二つの磁場特性の絶対的なシフトが SQUID の周期以下になるようにする必要がある。今回はフィールドクーリング時に印加する磁場の間隔を小さくし、フィールドクーリング時の磁場が 109,219,328,438,547 A/m の場合での特性比較を行い、最小と考えられる SQUID ループのシフト量を見積もった。

結果を図 3.20 に示す。磁場中冷却時の磁場を大きくしていくと、外部磁場特性のシフト量が大きくなる結果が得られた。また、逆方向に磁化させた場合も測定を行ったところ、逆方向にシフト量が増えていく結果になった。シフト量の増加傾向を調べると、ジョセフソン接合の時と比較して 5 倍の急な変化が得られている。これは SQUID ループ直上に磁性体を置いたことによって磁性体からの漏れ磁場が減り、SQUID ループとの結合が大きくなったことによるものと考えられる。この見積もりから、 $9\mu\text{m}^2$  の SQUID ループの上に磁性薄膜パターンを配置した場合は 2.5kA/m 程度の磁場印加で  $2\pi$  の位相シフトが得られることになる。

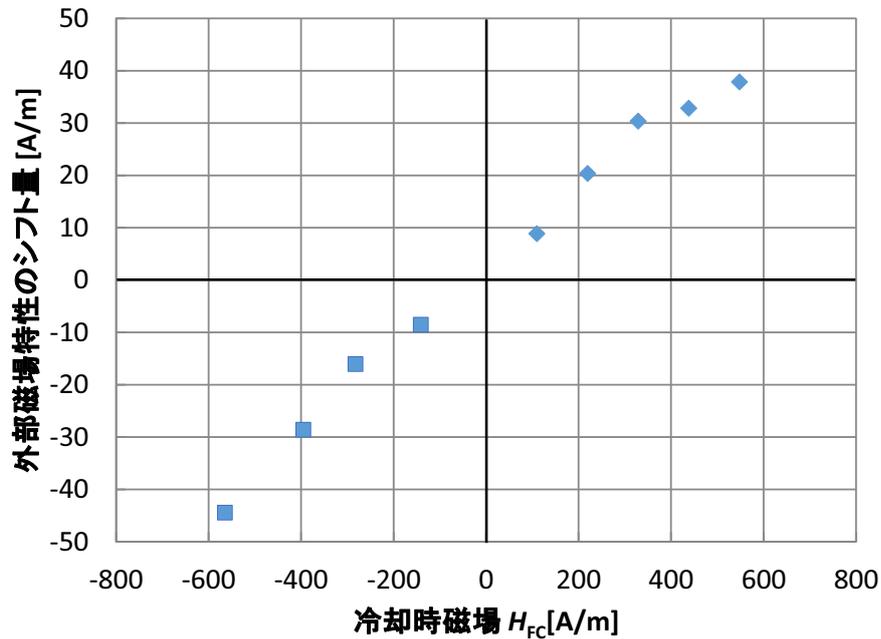


図 3.20 SQUID に対する磁束バイアス量の変化

SQUID に対する磁束バイアス量もが冷却時磁場に比例するとすれば、図 3.20 に存在する非線形成分は磁性体の磁化のばらつきと考えられる。今回の結果におけるばらつきの値は、最大で 18% の値であった。

### 3.7 固定磁束バイアスのばらつき

今回得られたデータでは平均して 10~18% 程度のシフト量のばらつきが生まれていた。詳細は第 5 章に示すが、磁束バイアスを用いた RSFQ 回路の磁束バイアスに対する動作マージンは  $\pm 33\%$  程度であった。そのため、デジタル回路の動作マージンに対しては 2 倍程度の余裕があり、動作に支障は出ないものとみられる。

一方超伝導回路プロセスである産総研のプロセス [29] におけるパラメータのばらつきは 2~5% である。今回の固定磁束バイアス量のばらつきは超伝導プロセスのばらつきと比較すると倍程度に大きい。そのため、磁束バイアス量のばらつきを改善することが集積回路応用として重要と考えられる。

ばらつきが生まれる主原因は完全に明らかにすることができていないが、原因の一つとして磁気シールドの不完全さが考えられる。地磁気は数十  $\mu\text{T}$  であり、地磁気が最大に影響を与えると 4% 程度のばらつきを生む可能性があるほか、測定機器等の生む磁気の影響も考えられる。また、磁性体の磁区を単磁区構造にすることもばらつきを減らすための有効な手段といえる。現状では磁性体パターンのサイズは大きく、多磁区構造となっている

と考えられ、磁場中冷却を繰り返した時完全に同じ磁区構造となっているか疑問がある。そのため、単磁区構造とし、磁区の構造を制限することでばらつきを抑えることができると考えられる。

### 3.8 まとめ

本章では、まず磁性薄膜パターンの作製手法と磁気特性の制御を試みた。まず、MPMSを用いて磁性薄膜の大まかな磁気特性を調査したうえで、磁場中冷却の手法の提案を行った。提案する磁場中冷却手法を用いることで、磁性体パターンの残留磁気モーメントの大きさを自由に制御可能である結果を得た。その後、ジョセフソン接合・磁束量子干渉計に磁束バイアスを印加し、磁束バイアスが制御可能であるという結果を得た。



## 第4章

# 固定磁束バイアスを利用した 交流/直流変換素子の実現

### 4.1 はじめに

第3章の結果によって、超伝導回路に固定磁束バイアスを印加することが可能となった。ジョセフソン接合に対して磁束バイアスを加えることで、超伝導ダイオードの実現が可能となる。ここではRSFQ回路が電源で抱える問題の解決の為に、RSFQ回路の電源で用いることができる超伝導ダイオードの実現について述べる。

RSFQ回路の電源で利用可能であるためには、少なくとも以下の四点が必要である。

■**ゼロに近い閾値電圧** RSFQ回路の電源電圧は2.5 mVが広く利用されている。一方ダイオードとして一般的な半導体ダイオードは閾値電圧が0.7 V程度ある。半導体ダイオードを用いて電力を供給すると抵抗を挟み電圧を下げる必要があり、その抵抗での消費電力により効率が悪化するため利用できない。閾値電圧はゼロであることが望ましい。

■**高速動作性** ダイオードによる整流後、コイルやコンデンサによって平滑化を行う必要がある。一般に平滑化に用いるコイル、コンデンサはインダクタンスや容量が大きい程平滑化能力が向上し、出力のリップルを低減することができる。逆に入力周波数を高くすればコイルのインダクタンス、コンデンサの容量を小さくすることができる。数百M~数GHzでスイッチするダイオードであれば時定数の計算から冷凍機内に実装可能なサイズのコイル、コンデンサが利用できると考える。

■**高い負荷駆動能力** 超伝導ダイオードが電圧状態になることで負荷を駆動することになるが、駆動する際の内部抵抗が高くなければ効率的に負荷に電力を送ることができない。電源から回路に効率的に電力を送るためには、駆動する際の実出力抵抗を高くすることが要求される。

■高い非対称性 我々の超伝導ダイオードによる整流は後ほど説明するが、非対称性の低さは電圧の出力されないデッドタイムを生むほか、入力電源の振幅を制限し出力可能な電流値を制限してしまう。効率を高くするためには、正負の臨界電流値が高い非対称性を持つことが要求される。

先行研究として、高温超伝導体 YBCO を用いた非対称ナノブリッジによる超伝導ダイオード [64] やアンチドットによりボルテックスの制御を行った整流素子 [65], [66], 非対称バリアによる整流素子 [67] が存在する。しかし、先行研究では負荷駆動能力が低いことが想定され、実用化には困難があった。

また、近年の高度な RSFQ 回路においては回路内で複数の電源電圧を用いる場合がある。臨界電流値  $20 \text{ kA/cm}^2$  となるプロセスを用いて動作周波数  $100 \text{ GHz}$  を目指して設計されたプロセッサ [68] においては、高速動作するデータパス部分は  $5 \text{ mV}$  の電源電圧、低消費電力性を優先するコントローラ部分では  $0.5 \text{ mV}$  の電圧を利用することで、高速動作性と低消費電力性を兼ね備えたプロセッサを実現している。そのため、整流を行うだけでなく、電圧、電力制御可能な素子が必要とされている。

本研究ではジョセフソン接合を用いた超伝導ダイオードを新規提案し、既存の超伝導ダイオードの性能を超え、十分実用可能な性能を持った超伝導ダイオードを具現化する。まず、利用する超伝導ダイオードの動作原理について説明を行い、最適なパラメータの検討を行ったうえで作製を行う。得られた特性を確認し、整流動作を確認する。さらに、電圧制御を行った結果を述べる。

## 4.2 超伝導ダイオードの設計

超伝導ダイオードにはグラウンドプレーン (GP) を持つインライン型ジョセフソン接合を用いた。GP を持つインライン型ジョセフソン接合の図を図 4.1 に示す。インライン型ジョセフソン接合は接合のある一辺から電流を導入し、反対側の辺から電流を取り出す構造である。絶縁層を挟んで接合よりも下の層に GP があることにより、式 (2.15) の関係から、GP に近い下部電極のインダクタンスが小さくなっている。そのため、上部電極よりもインダクタンスの小さい下部電極に電流が流れやすくなっており、接合自身を流れる電流による自己磁場の影響を受ける。

GP を持つインライン型ジョセフソン接合を用いて非対称性を生む手法の詳細を図 4.2 に示す。接合には奥向きのある一定の外部磁場  $H_{\text{ex}}$  が加えられているものとする。まず、電流が上部電極右側から下部電極左側へ流れる場合を考える。上部電極と下部電極のインダクタンスの差によって電流は接合の右側から多く下部電極に降り、下部電極を多く流れ

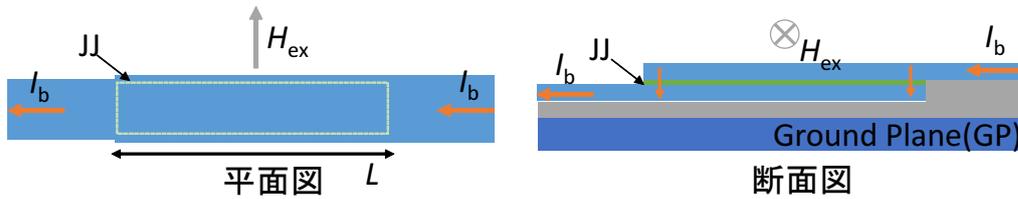


図 4.1 GP を持つインライン型ジョセフソン接合

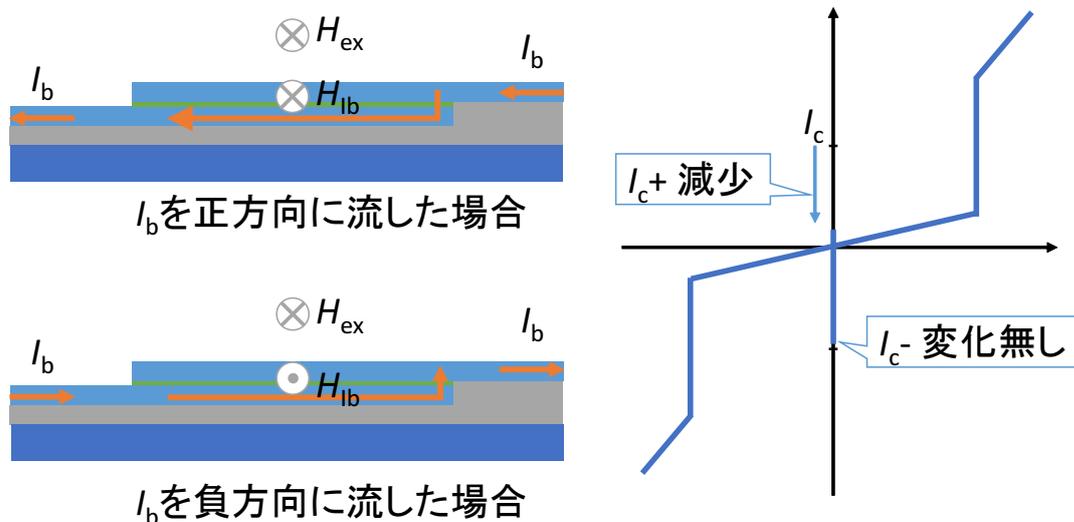


図 4.2 非対称特性の発生

ることになる。それによって接合には紙面奥に向けた磁場  $H_{Ib}$  が生まれる。この磁場はあらかじめ加えていた外部磁場  $H_{ex}$  と同じ向きになるため、強め合い、接合の臨界電流値が大きくなる。

一方、下部電極から上部電極へ逆向きに電流を流した場合を考える。この場合では下部電極を流れる電流によって紙面手前向きの磁場が生まれる。これは外部磁場  $H_{ex}$  と弱め合う向きになり、接合の臨界電流値を下げない。よって、図 4.2 に示すような正方向に電流を流した時は臨界電流値が低く、負方向に流した時は臨界電流値が高くなる非対称特性接合を作製することができる。

GP を持つインライン型ジョセフソン接合の臨界電流値-外部磁場特性 ( $I_c - H_{ex}$  特性) は、図 4.3 のようになる。本来のジョセフソン接合の外部磁場特性 (図 2.3) と比較すると原点対称の傾いた特性となる。この傾き量は接合幅  $L$  とジョセフソン侵入長  $\lambda_L$  の比に依存し [69],  $L/\lambda_L$  の値が低い場合では、傾き量は小さくなる。この場合に磁束バイアスを印加しても、あまり高い非対称性は得られない。超伝導ダイオードのためには正負臨界電流値の差が大きく非対称性の高いものが望ましいため、傾きの量が最適である

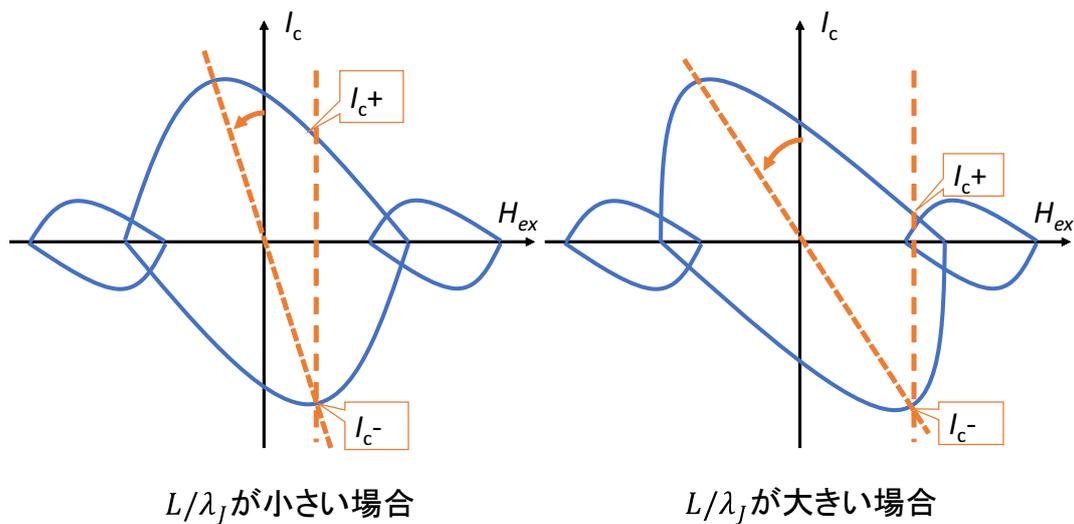


図 4.3 外部磁場特性の変化

$L/\lambda_J = 4$  となる条件を利用した。

また、非対称性を得るには一定の磁場を印加する必要がある。そのために第3章で得た磁性体による固定の磁束バイアスを用いて、接合に磁場を印加した。電流線を設け固定磁束バイアスを印加する場合と比較すると、磁性体は静的な消費電力なく固定磁束バイアスを印加できる利点がある。

ジョセフソン接合はゼロ電圧から電圧が立ち上がるため、先に挙げたゼロ閾値電圧という条件を満たす。またジョセフソン接合のスイッチング速度は非常に高速であるため、数GHzでの整流も可能である。負荷の駆動はジョセフソン接合のサブギャップ抵抗によって駆動するが、この値は先行研究で用いられる超伝導薄膜の抵抗と比べると非常に高い。さらに、高い非対称性を得ることも期待できる。そのため、提案する超伝導ダイオードは実用に適しているといえる。

### 4.3 超伝導ダイオードの作製

産業技術総合研究所 (AIST) の Nb4 層  $10 \text{ kA/cm}^2$  ハイスピードスタンダードプロセス (HSTP) を用いて GP を持つインライン型ジョセフソン接合の作製を行った。HSTP は AIST の Nb4 層  $2.5 \text{ kA/cm}^2$  スタンダードプロセス (STP)[29] の層構造を用い、同じく AIST の Nb9 層  $10 \text{ kA/cm}^2$  アドバンスドプロセス (ADP)[33] の接合構造を利用したものである。HSTP の層構造を図 4.4 に、プロセスのパラメータを表 4.1 に示す。

HSTP は臨界電流値が  $10 \text{ kA/cm}^2$  であることから、ジョセフソン侵入長が  $5 \mu\text{m}$  であり、そこから超伝導ダイオードに適した接合幅として  $L = 20 \mu\text{m}$  の接合を使用した。

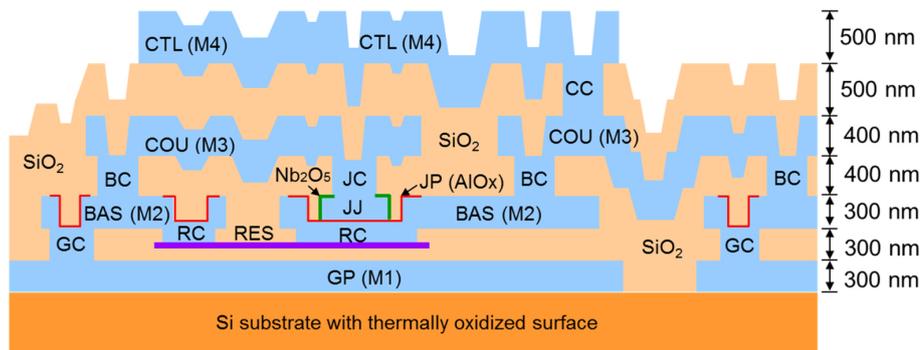


図 4.4 HSTP プロセスの層構造 [70]

表 4.1 Nb 4 層 10 kA/cm<sup>2</sup> プロセスの仕様

項目	パラメータ
配線層	グラウンド・プレーン +3 層
臨界電流密度	10 kA/cm <sup>2</sup>
最小接合サイズ	1.0 μm 角
最小コンタクトサイズ	0.8 μm 角
最小線幅	1.0 μm
最小線間	1.0 μm
シート抵抗	2.4 Ω (4.2 K)
接合のばらつき	$I_c$ の 1σ < 2%

AIST での接合プロセスの後、3 章に示した方法で磁性体層の作製を行った。磁性体は Ni 割合が 11%, 200nm のものを利用した。今回はジョセフソン接合に対し  $\Phi_0$  相当の磁場を印加する必要があるため、磁性体の体積を増やし残留磁化を大きくするように磁性体膜厚を増やしている。パターンは  $20 \mu\text{m} \times 8 \mu\text{m}$  のサイズで、接合下端から  $2.5 \mu\text{m}$  離れた部分に配置した。図 4.5 に実際に作製した超伝導ダイオードの顕微鏡写真を示す。測定系、磁化手法は第 3 に示した通りのものを用いた。

図 4.6 に作製したインライン型ジョセフソン接合の  $I_c - H_{\text{ex}}$  特性を示す。設計時の想定通り、原点点対称の傾いた特性が得られており、高い非対称性を持つ領域が存在するジョセフソン接合の作製に成功した。さらに、 $2.6 \text{ kA/m}$  の磁場によって磁場中冷却し磁性体を磁化させた場合の外部磁場特性を図 4.7 に示す。ジョセフソン接合の外部磁場特性はシフトし、磁場を印加していない  $H_{\text{ex}} = 0$  の状態においても正負の臨界電流値が非対称な特性になっている。

図 4.8 に  $2.6 \text{ kA/m}$  の磁場中冷却で磁化させた場合に得られた I-V 特性を示す。正負の臨界電流値が非対称な特性が得られた。具体的な値は正の臨界電流値  $I_{c+} = 700 \mu\text{A}$ 、負

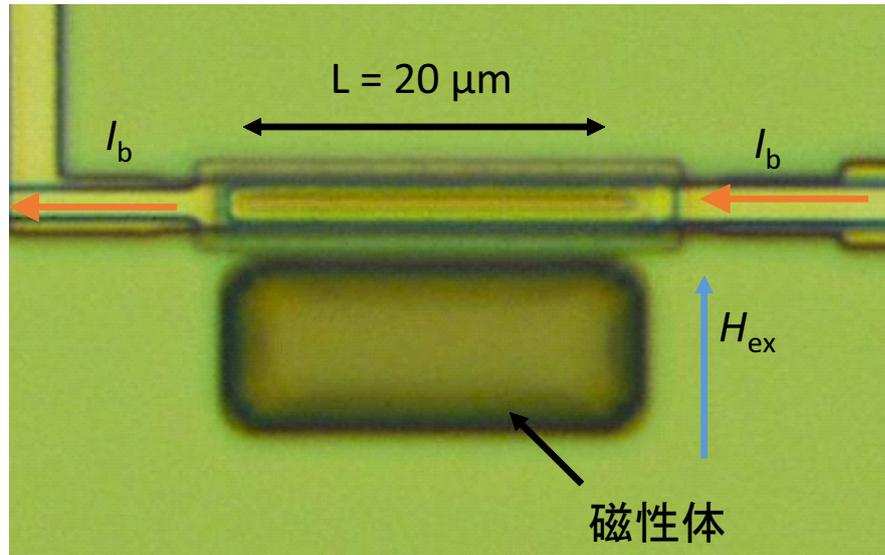


図 4.5 作製したインライン型ジョセフソン接合

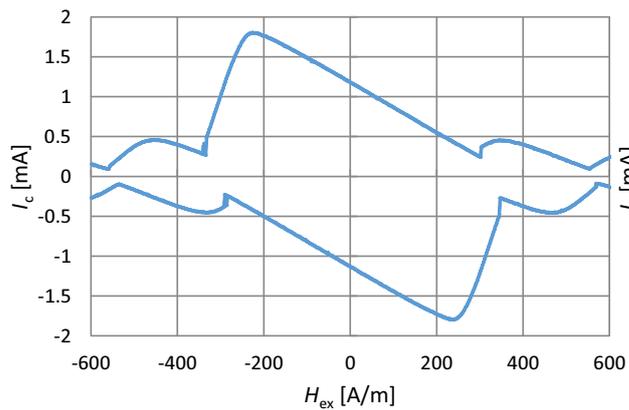


図 4.6 作成したインライン型ジョセフソン接合の外部磁場特性

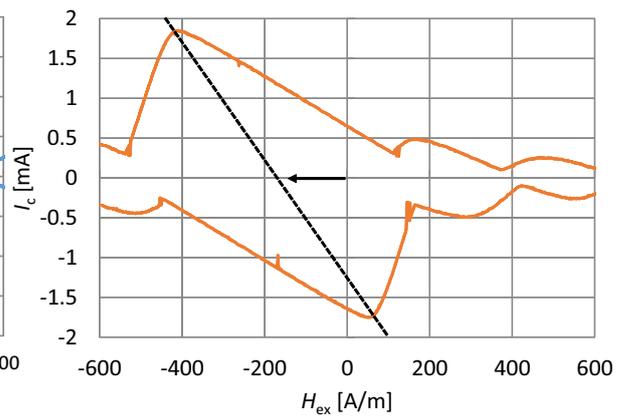


図 4.7 磁束バイアスを受けているインライン型ジョセフソン接合の外部磁場特性

の臨界電流値  $I_{c-} = -1800 \mu A$  であり，正負の臨界電流の値の比は  $I_{c-}/I_{c+} = 2.57$ ，無磁場中冷却の際の臨界電流値からの変化量は 44% となる結果であった．よって，高い非対称性を持つ超伝導ダイオードの作製に成功した．

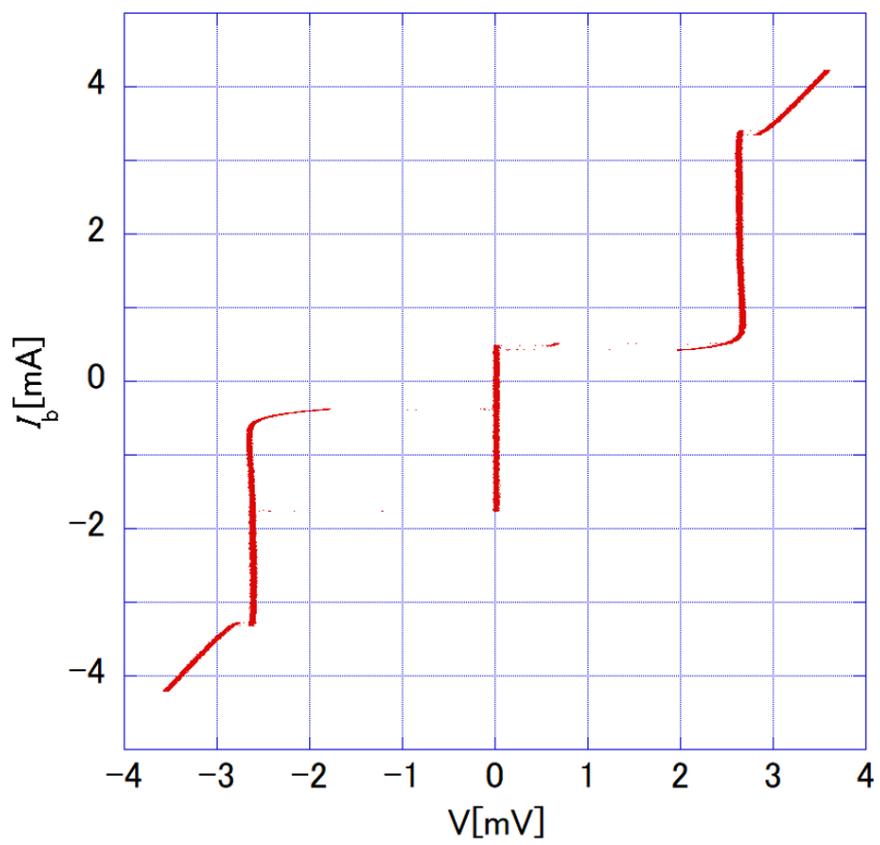


図 4.8 作製した超伝導ダイオードの特性

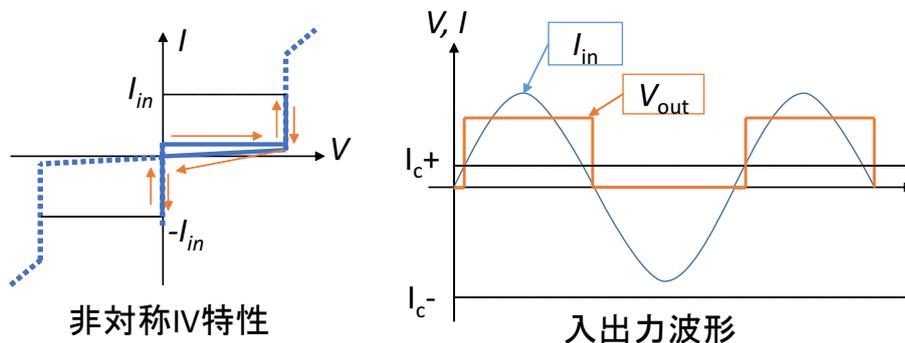


図 4.9 非対称 IV 特性による半波整流の手法

#### 4.4 超伝導ダイオードによる整流

図 4.9 に得られた超伝導ダイオードの特性と半波整流動作の対応を示す。半波整流の為に入力電流  $I_{in}$  が正負臨界電流値の間の値をとる ( $|I_{c+}| < I_{in} < |I_{c-}|$ ) 振幅の電流を入力する。入力電流が正の周期の場合、 $I_{in} < I_{c+}$  の場合はダイオードに超伝導電流が流れ電圧が発生しないが、 $I_{in}$  が  $I_{c+}$  を超えるとジョセフソン接合のギャップ電圧  $V_g$  分の電圧が発生する。 $I_c$  を超えた後も  $I-V$  特性に沿い一定の電圧  $V_g$  が出続け、入力電圧が下がり、サブギャップ領域のヒステリシス特性に従って出力電圧はゼロに戻る。入力電流が負の周期の場合、 $I_{in}$  が  $I_{c-}$  を超えることがないため、電圧は発生しない。この様にして矩形波のような出力電圧がなされ、半波整流を行うことができる。

作製した超伝導ダイオードによる整流を確認した。利用したのは前節で述べた超伝導ダイオードである。半波整流を行う測定系を図 4.10 に示す。信号源から 50Hz の正弦波を入力し、超伝導ダイオードに入力した。超伝導ダイオードの両端には負荷抵抗を接続せず、今回は開放の電圧を確認した。結果を図 4.11 に示す。図 4.9 と同様に半波整流波形が認められた。

全波整流に対しても確認を行った。超伝導ダイオードを 4 つ用いブリッジダイオードとした。図 4.12 に利用したブリッジダイオードの顕微鏡写真と測定系を示す。半波整流の際と同様に負荷抵抗を接続しない状態で測定を行った。結果を図 4.13 に示す。入力正弦波の周期が負の場合でも出力される全波整流波形を得ることができた。

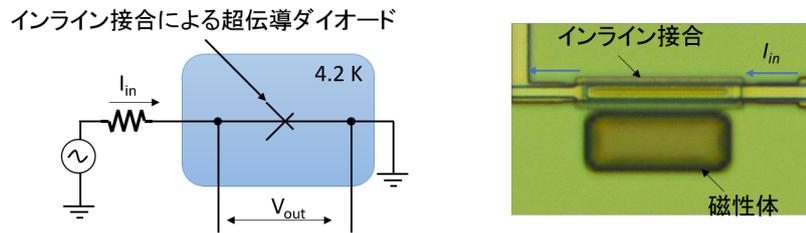


図 4.10 超伝導ダイオードによる半波整流回路



図 4.11 超伝導ダイオードによる半波整流

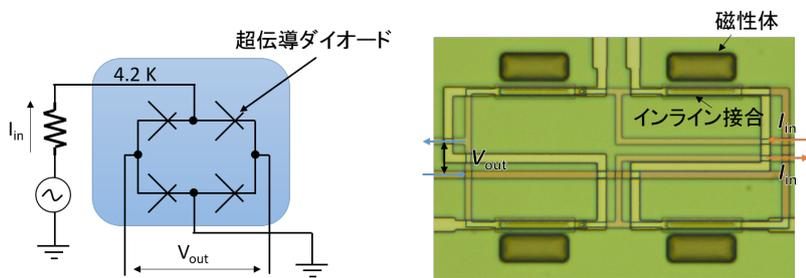


図 4.12 超伝導ダイオードによる全波整流回路

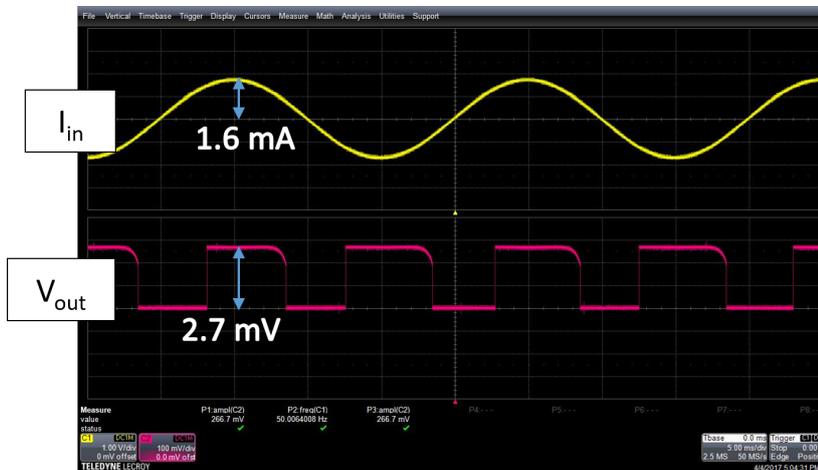


図 4.13 超伝導ダイオードブリッジによる全波整流

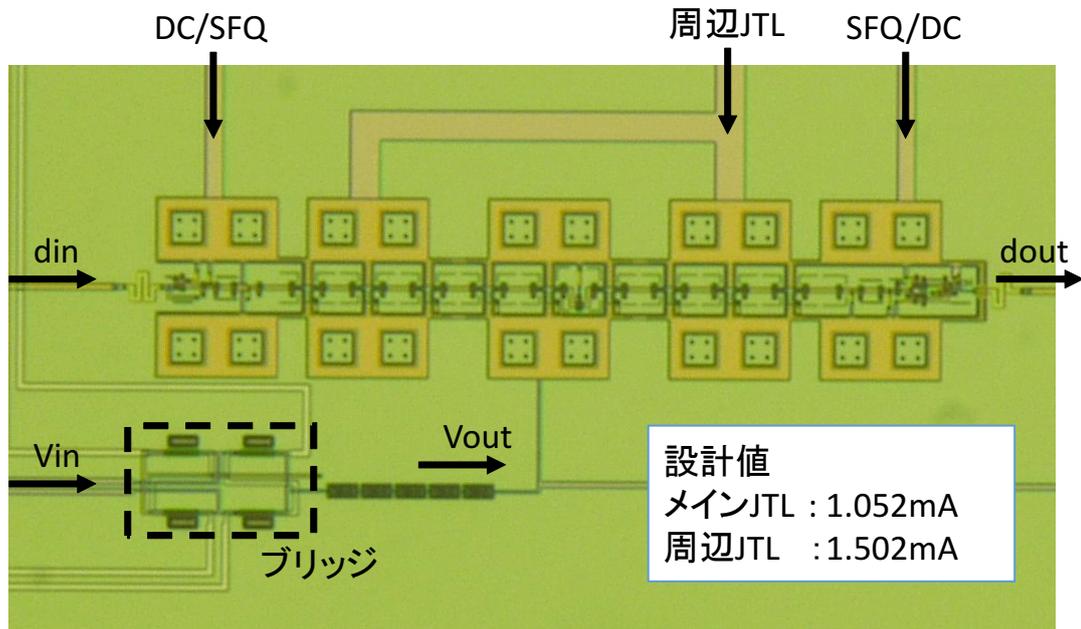


図 4.14 RSFQ 回路の駆動に用いた回路

## 4.5 単一磁束量子回路の駆動

単一磁束量子回路の駆動実験を行った。利用した回路の顕微鏡写真を図 4.14 に示す。電力供給対象の JTL は 7 つの接合で構成されており、設計電源電圧は 2.5 mV のものである。接合はすべて  $I_c = 213 \mu\text{A}$  であり、一接合あたり  $0.7I_c$  のバイアス電流を加えることから供給すべき電流量は  $213 \times 0.7 \times 7 = 1043 \mu\text{A}$  となる。前節で作製した超伝導ダイオードの入力最大振幅は 1.8 mA であったので、電圧が維持できればこの負荷は駆動できることになる。

電力供給対象の JTL の周辺には SFQ の発生を行う DC/SFQ 回路と、SFQ を安定させるための JTL, SFQ を検知する SFQ/DC 回路を接続した。

実験結果を図 4.15 に示す。入力正弦波はブリッジ回路によって  $V_{\text{out}}$  の端子において全波整流波形とされる。このときの矩形波電圧は 0.8 mV となった。今回は平滑化を行っていないため、矩形波の状態で JTL の電源へ入力される。din に入力された電圧パルスは DC/SFQ 回路によって SFQ に変換され、JTL へ入力されるが、平滑化を行っていないため、 $V_{\text{out}}$  に電圧が出ている時のみ SFQ は伝搬し出力 dout に現れた。

ブリッジ回路が出力する電圧は電圧状態になったブリッジ回路の抵抗値と、回路の負荷抵抗で変動する。今回は負荷抵抗が無大でないため、 $V_{\text{out}} = 0.8 \text{ mV}$  と電圧が低下した。供給対象の JTL の設計電源電圧は 2.5 mV であることから、ブリッジからは



図 4.15 RSFQ 回路の駆動

$1.052 \text{ mA} \times 0.8 \text{ mV} / 2.5 \text{ mV} = 0.33 \text{ mA}$  しか供給することができなかった。そのため、この実験結果においては、周辺の JTL に設計値の 146% となる  $2.20 \text{ mA}$  の過剰なバイアスを印加し、回路全体の供給電流値を合わせ、動作させた。ブリッジのみで電流を供給する場合は JTL の設計電圧を低くし、JTL 自身の抵抗とブリッジの出力抵抗を合わせる必要がある。

## 4.6 変換効率の検討

図 4.16 に示す回路において効率を検討する。この回路において、負荷抵抗  $R_L$  は駆動する回路によって決まる。一方、ブリッジ回路の電源側にトランスを入力するとすれば、電源の抵抗は  $R_s$  はトランスの巻線比によって自由に値をとることができる。ここで、ブリッジ回路による変換効率が 100% とすると、負荷で消費される電力が最大になるのは  $R_s = R_L$  が等しくなるときである。従って、トランスの巻数比によって  $R_s = R_L$  となるよう制御するものとする。このとき、負荷で消費されることのできる最大の電力は

$$P_{\max} = \frac{v_{\text{in}}^2}{4R_L} \quad (4.1)$$

となる。今回は、この電力  $P_{\max}$  に対し何割の電力が負荷で消費されるかを効率と定義する。

すでに図 4.9 で半波整流の場合を示したが、ブリッジ回路による整流の場合は入力電流

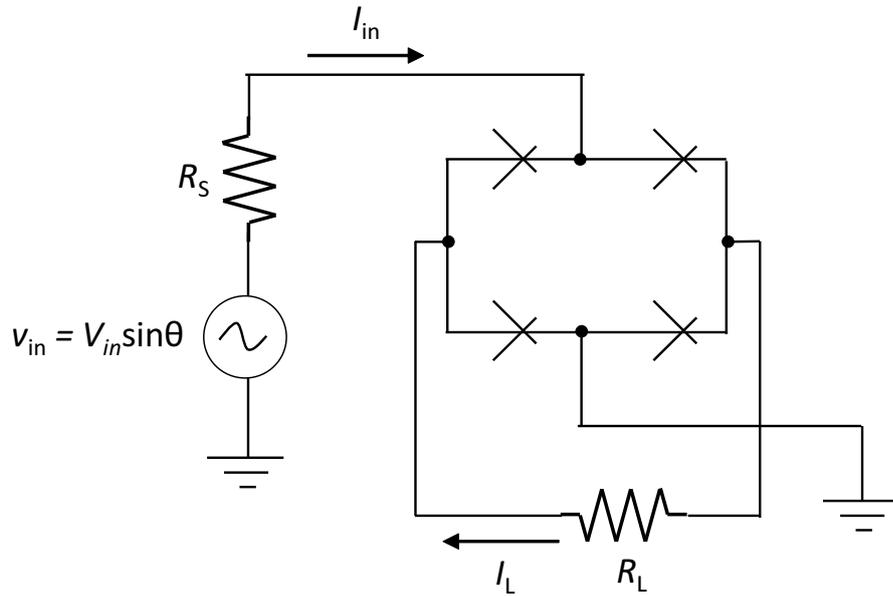


図 4.16 効率検討を行う回路

$I_{in}$  が分岐してブリッジ回路に流れる．その為、 $I_{in}$  が  $2I_{c+}$  以上になると、ブリッジを構成する接合のうち対角の接合が臨界電流値を超え、抵抗  $R_{on}$  を持つことによって電圧  $V_g$  が発生する．全波整流では電源が負の周期の場合は逆の対角の接合臨界電流値を超え、電圧  $V_g$  が発生する．よって、入力電流が  $0 \leq |I_{in}| \leq 2I_{c+}$  の時は  $I_L = 0$ ,  $2I_{c+} \leq |I_{in}| \leq 2I_{c-}$  の時は電圧が発生し、

$$I_L = \frac{v_{in}}{2R_L} - \frac{v_{in}}{2R_L + 2R_{on}} \quad (4.2)$$

となる．入力正弦波の周期  $\theta = a$  の時にジョセフソン接合が電圧状態になるとすると、負荷で消費される電力  $P_L$  は、

$$\begin{aligned} P_L &= \frac{1}{\pi} \int_0^\pi R_L I_L^2 d\theta \\ &= \frac{1}{\pi} \int_a^\pi R_L \left( \frac{v_{in}}{2R_L} - \frac{v_{in}}{2R_L + 2R_{on}} \right)^2 \\ &= \frac{1}{(1 + R_L/R_{on})^2} \times \left( 1 - \frac{a}{\pi} + \frac{\sin 2a}{2\pi} \right) \times P_{max} \end{aligned} \quad (4.3)$$

となる．実際の負荷としてジョセフソン接合の常伝導抵抗  $R_N$  を想定し  $R_L/R_{on} = R_N/R_{sg} = 16/100$  とし、図 4.13 より  $a = \pi/3$  とすると、効率  $P_L/P_{max} = 49.8\%$  となる．この様に、約半分が変換回路で消費されてしまうが、この値はブリッジを用いない場合と比べはるかに高い効率を得ることができる．

式 (4.3) より、効率を決定する要因として二つあることが示される．一つは超伝導ダイオードが電圧状態になった際の抵抗値  $R_{on}$  と負荷抵抗  $R_L$  の比である．これは、超伝導

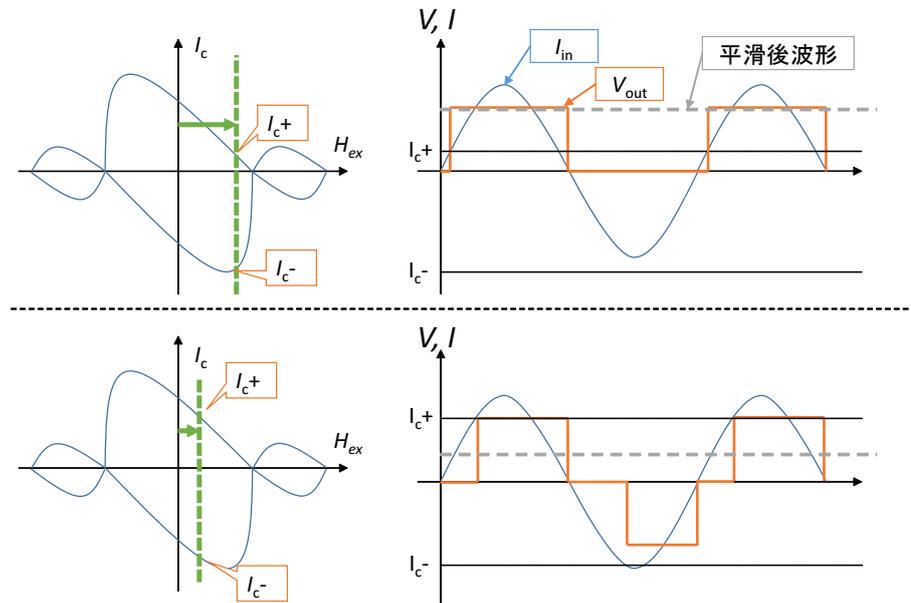


図 4.17 磁束バイアス量に対する出力電圧の依存性

ダイオードの品質を上げ，サブギャップ抵抗  $R_{sg}$  を高くさせることで改善できる．サブギャップ抵抗を高し抵抗比を小さくするに従って効率は 100% に漸近する傾向である．

もう一つは超伝導ダイオードが ON になるタイミングを早くすることである． $I_{c+}$  を下げ非対称性を高くすることで効率の改善が期待できる．

## 4.7 出力電圧の制御

出力電圧の制御を検討した．出力電圧の制御には半波整流で用いた図 4.10 の回路を用いる．

電圧可変の手法を図 4.17 に示す．電圧出力に十分な容量のコンデンサを接続すると，出力の矩形波は平滑化される．この電圧値は半波整流波形の duty 比に依存せず一定の電圧になる．

電圧制御のためには接合に加える磁束バイアス量を変化させ非対称性を操作することで，負側の電圧も出力させる．この波形を整流すると，正の周期で電圧が出ている時間と負の周期で電圧が時間の比に応じた電圧が出るようになる．よって，非対称性の制御によって出力電圧を制御することが可能となる．

今回は様々な磁束バイアス量の点で出力電圧を確認するため，接合上部に配置された制御電流線に電流  $I_{ctl}$  を流すことで磁場を印加した．図 4.18 に  $I_{ctl}$  による超伝導ダイオードの非対称性の変化を示す．今回は， $I_{ctl} = 0.3, 0.9, 1.2 \text{ mA}$  の場合で調査を行った．

入力の正弦波周波数を 100kHz に，接続するコンデンサの容量を  $4.7 \mu\text{F}$  とした．

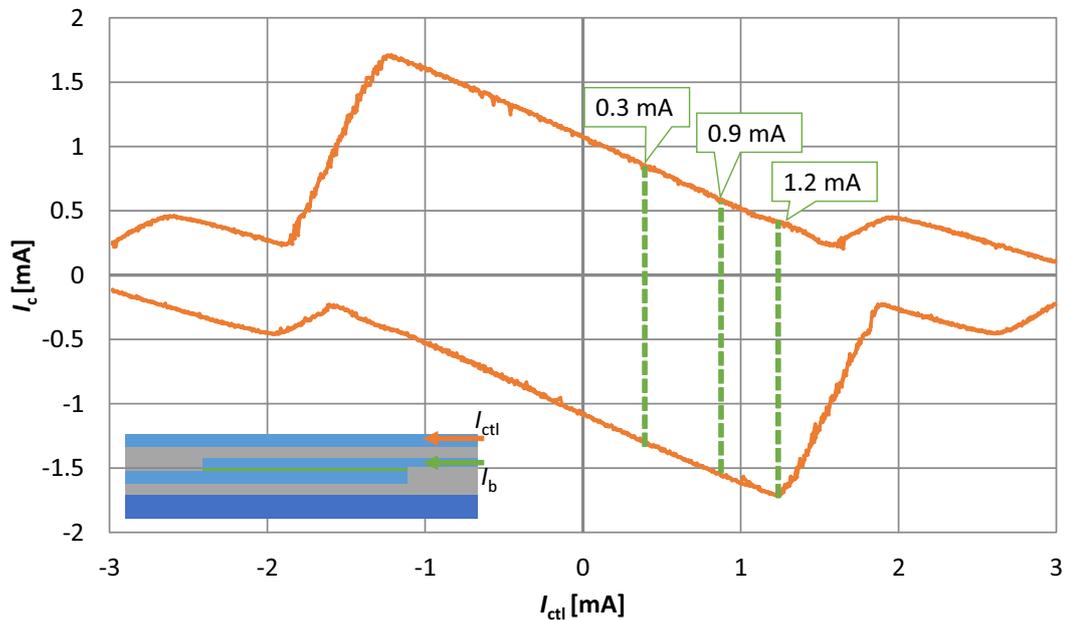


図 4.18 制御電流線による非対称性の変化

各磁束バイアス値でのダイオードの出力波形と、コンデンサによる平滑後の波形を図 4.19 に示す。  $I_{ctl} = 1.2 \text{ mA}$  の場合は矩形波が出力されているが、  $I_{ctl} = 0.9 \text{ mA}$  とすると負の電圧も出力されるようになる。さらに  $I_{ctl} = 0.3 \text{ mA}$  とすると、負の電圧が出力される時間が増える。平滑化を行った波形を見ると、  $I_{ctl} = 1.2 \text{ mA}$  の場合は  $1.1 \text{ mV}$  が出力されている。出力電圧  $V_{out}$  は開放電圧を見ているが、コンデンサ接続後は蓄えられた電荷が接合に逆流するため、平均電圧としてギャップ電圧以下の電圧が得られた。さらに  $I_{ctl}$  を下げていくと、負の電圧が出力されるようになり、負の電圧時間が長くなることによって平滑後の電圧は  $0.5 \text{ mV}$ 、  $0.2 \text{ mV}$  と変化する。

最後に、接合に加える磁束バイアスと出力電圧の関係を図 4.20 に示す。制御電流  $I_{ctl}$  を  $\pm 0.9 \text{ mA}$  の範囲で変化させることで、出力電圧を  $\pm 0.5 \text{ mV}$  の範囲で変化させることに成功した。なお、  $|I_{ctl}| > 0.9 \text{ mA}$  の領域では負の電圧が消滅しており、そのために  $I_{ctl} = 0.9 \text{ mA}$  において電圧ステップが生まれている。

制御可能な出力電圧を増加させるためには、超伝導ダイオードを直列接続することで容易に対処可能である。すでに二直列の超伝導ダイオードの特性を確認しているが、二つのダイオードは均一な特性を示し、出力電圧が倍になる特徴が得られている。

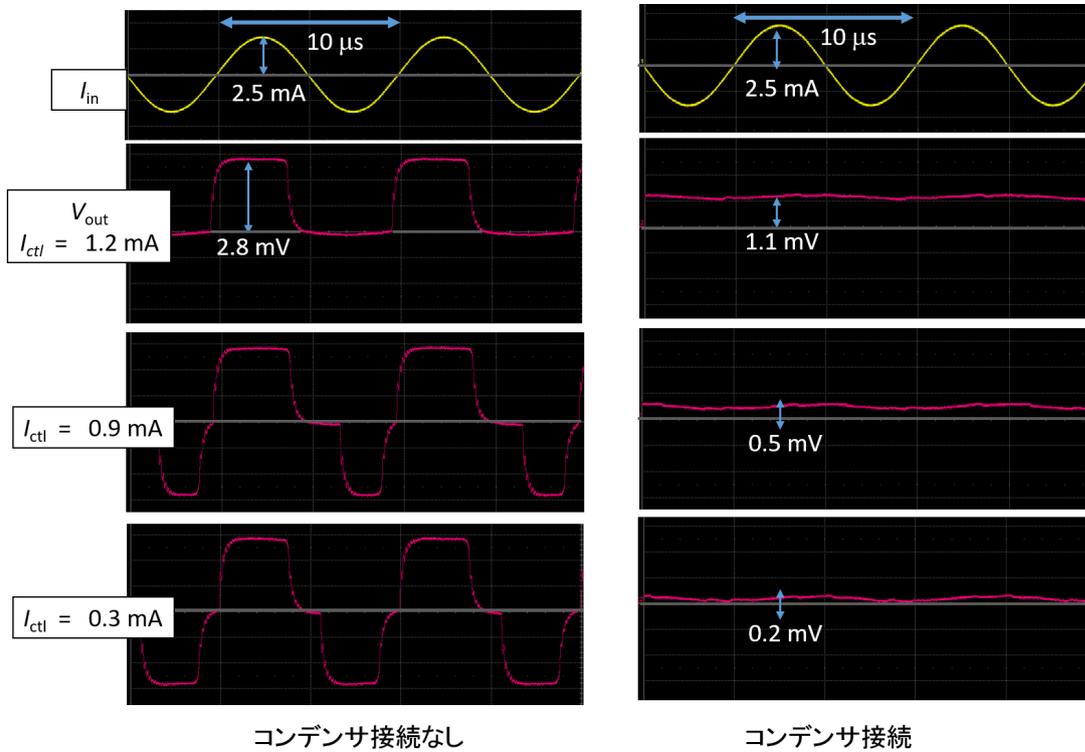


図 4.19 磁束バイアス量による出力電圧の変化

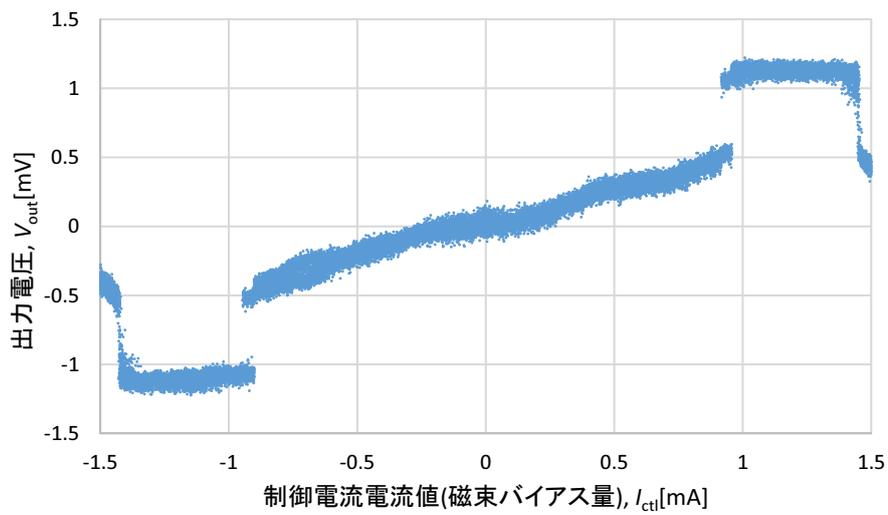


図 4.20 磁束バイアス量に対する出力電圧の依存性

## 4.8 まとめ

本章では残留磁化による固定磁束バイアスを用いた超伝導ダイオードの開発を行った。最初に、超伝導ダイオードと電力制御素子の必要性を述べ、超伝導ダイオードが RSFQ 回路の高効率駆動に利用できることを示した。次に提案する超伝導ダイオードの動作原理の説明をおこなった。インライン型ジョセフソン接合を用い、非対称な外部磁場特性を作製したうえで、固定磁束バイアスを用いて非対称 IV 特性を持つ点で動作させた。その結果、非対称性は 44% となる非常に高い超伝導ダイオードを得た。その後、超伝導ダイオードを用いた半波整流・全波整流を確認した。最後に、超伝導ダイオードを用いた出力電圧の制御を検討し、 $\pm 0.5$  mV の範囲で電圧制御が可能である結果を得た。

## 第 5 章

# 磁化反転を利用した 単一磁束量子回路の機能切り替え

### 5.1 はじめに

RSFQ 回路には実用可能な規模の再構成可能回路は存在しておらず、RSFQ 回路の作製にかかるコストに課題があった。また一方で、既存の CMOS 回路による FPGA は数 100 MHz 程度の動作が限界であった。RSFQ 回路は高速で動作する特徴を持つことから、この限界を超え数 10GHz で動作することが期待される。

先行研究として、すでに NDRO(非破壊読み出し) 回路をメモリに用いて実現された研究が存在しているが [36],[71]、集積度が低く実用的な規模の回路を構成することはできていない。

第 1 章で述べたように、磁性体を用いた超伝導位相シフトによって超伝導回路を多機能化することができる。それによって、単位面積当たりの機能を増やすことができ、集積度を向上させることができる。超伝導位相シフトには、第 3 章で確立した磁気特性の制御手法を用いる。この手法では、磁場中冷却を用い回路動作前に磁性体の磁化をプログラムし、回路動作中はそのプログラムを使い続けることになる。そのため、半導体 FPGA でみられる論理回路の動的再構成を行うことができないが、RSFQ 回路による FPGA は高速動作が見込めることから、静的な再構成のみで十分な有意性があるといえる。

最終目標は超伝導位相シフトによる実用的な規模を持つ超伝導 FPGA の実現であるが、今回は FPGA の重要な構成回路であるルックアップテーブル (LUT) の開発を行い、先行研究よりも省面積で実現できることを述べる。

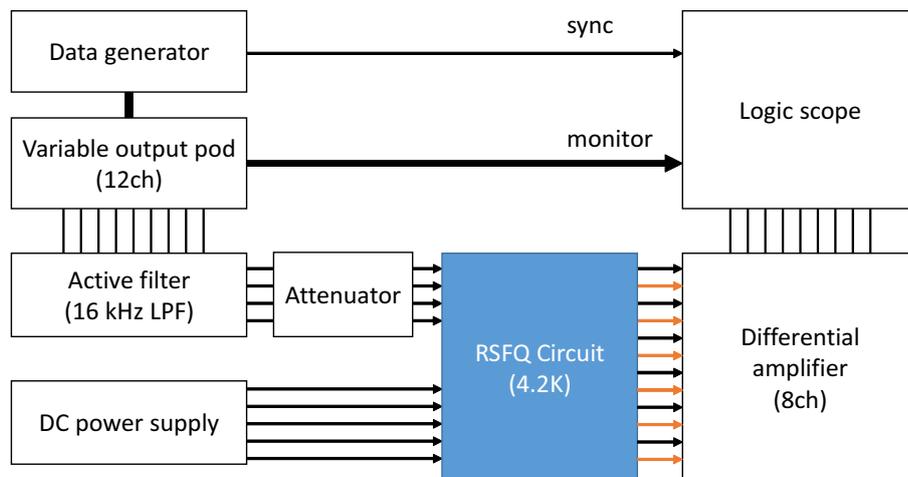


図 5.1 RSFQ 回路測定系

## 5.2 RSFQ 回路の評価手法

RSFQ 回路はセルベース設計を用いて設計を行った。磁性体を用いている回路に関しては新規にアナログ設計から行い、それ以外のセルは CONNECT セルライブラリを用いた。

RSFQ 回路の測定系を図 5.1 に示す。第 3 章と同様に、RSFQ 回路は超伝導回路測定治具によって液体ヘリウム温度に冷却される。RSFQ 回路へは、測定用治具を介し定電圧電流源を用いてバイアス電流が供給される。入力信号はデータジェネレータによって生成され、16 kHz のローパスフィルタによって高周波成分を取り除き、アッテネータを通し振幅の調整を行なった後で入力される。出力信号は 1000 倍の差動増幅器を用いて増幅し、ロジックスコープによって確認する。利用した測定機器を表 5.1 に示す。

表 5.1 SFQ 回路の測定に利用した機器

機器	メーカー	型番
データジェネレータ	ソニーテクトロニクス	DG2020A
可変出力ポッド	ソニーテクトロニクス	P3420
アクティブフィルタ	エヌエフ回路設計ブロック	P-82
アッテネータ	多摩川電子	URA-761A
作動増幅器	エヌエフ回路設計ブロック	P-61
ロジックスコープ	横河計測	DL850E
DC 電源	菊水電子工業	PMR24-1QV

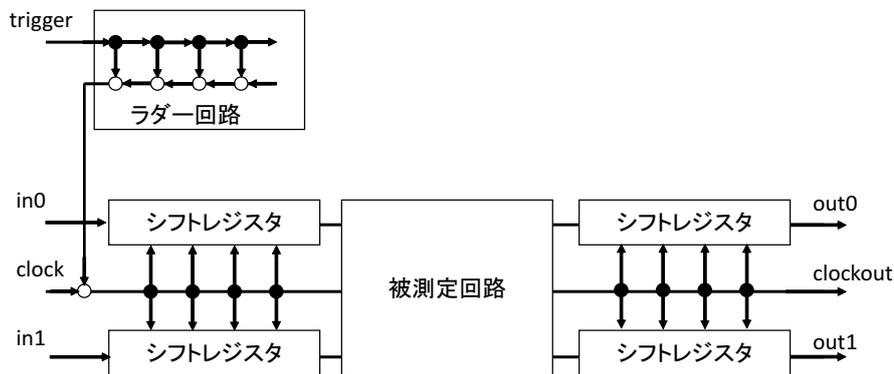


図 5.2 オンチップテストの模式図

RSFQ 回路は数十 GHz の高速で動作するが、そのような高い動作周波数ではチップ上と外部測定機器間で信号をやり取りするインターフェースが考慮する必要がある。低速であれば DC/SFQ, SFQ/DC コンバータによって変換しロジックスコープで信号を読むことができるが、この手法では 100kHz 程度までである。それ以上の周波数での動作は、オンチップテスト [72] 手法を用いた。オンチップテストでは被測定回路の前後に任意のビット数のシフトレジスタを接続する。そして、チップ上に高周波のクロックを生成するラダー回路を接続する。予め被測定回路前段のシフトレジスタを低速で操作しテストパターンを入力しておく。テストパターンはラダー回路の動作によって被測定回路に高速で入力され、後段のシフトレジスタに格納される。外部からシフトレジスタを低速で操作することによって実験結果を読み取る。ラダー回路が発生するクロック周波数はラダー回路に加えるバイアス電流量に依存して変化するため、回路の周波数依存性を測定することが可能である。

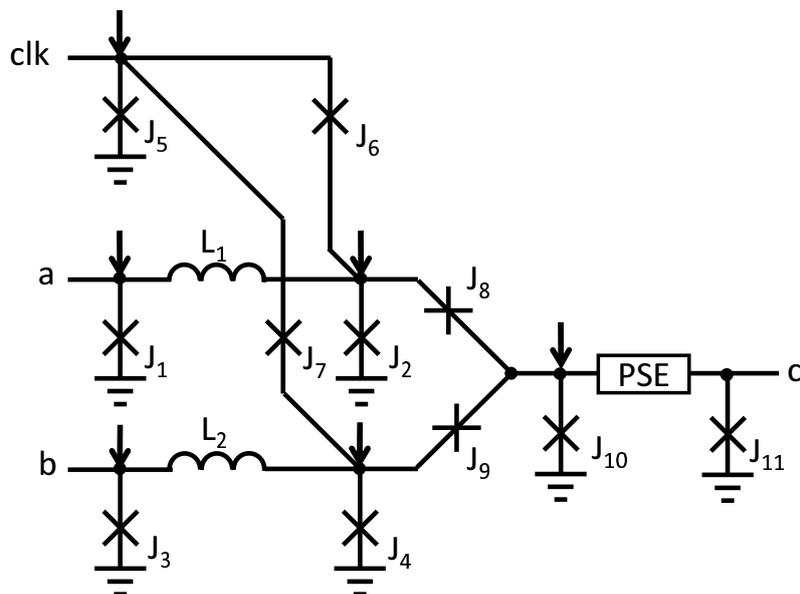


図 5.3 AND-OR 切り替え可能回路の回路図

### 5.3 磁性薄膜パターンによる論理動作の切り替え

RSFQ 回路の論理セルに対して，磁性体による超伝導位相シフタを適用した．利用する回路は RSFQ 回路の AND セルを基にした回路で，超伝導位相シフタによって回路の閾値を変え，一つの回路で AND 動作と OR 動作を切り替え可能にした．

#### 5.3.1 AND-OR 機能切り替え可能回路の設計

回路図を図 5.3 に示す．基となる AND の動作は第 2 章にて述べた通りである．重要な点は clk 信号によって a,b に入力されていた SFQ による電流が  $J_{10}$  に同時に流れ込むため， $J_{10}$  には a,b の入力に応じて SFQ による零から二つ分の電流が流れることである．AND 動作のためには，磁性体による周回電流を  $J_{10}$  から  $J_{11}$  に流すことによって， $J_{10}$  が SFQ 二つ分の周回電流のみでスイッチするように閾値を高く設定する．OR 動作のためには，磁性体による周回電流を  $J_{11}$  から  $J_{10}$  に流すことによって， $J_{10}$  が SFQ 一つ分と二つ分の周回電流でスイッチするように閾値を低く設定する．磁化の向きを反対に変えることによって，磁性体による周回電流の向きを変更する．このようにして，超伝導位相シフタを構成する磁性体の磁化の向きを変えることによって回路動作を AND から OR に切り替え可能な回路を実現できる．

回路の作製は 4.3 節と同様に AIST-HSTP と名大の磁性体プロセスを用いて作製を行った．作製した回路の顕微鏡写真を図 5.4 に示す．利用した磁性体は Ni 割合が 11% とな

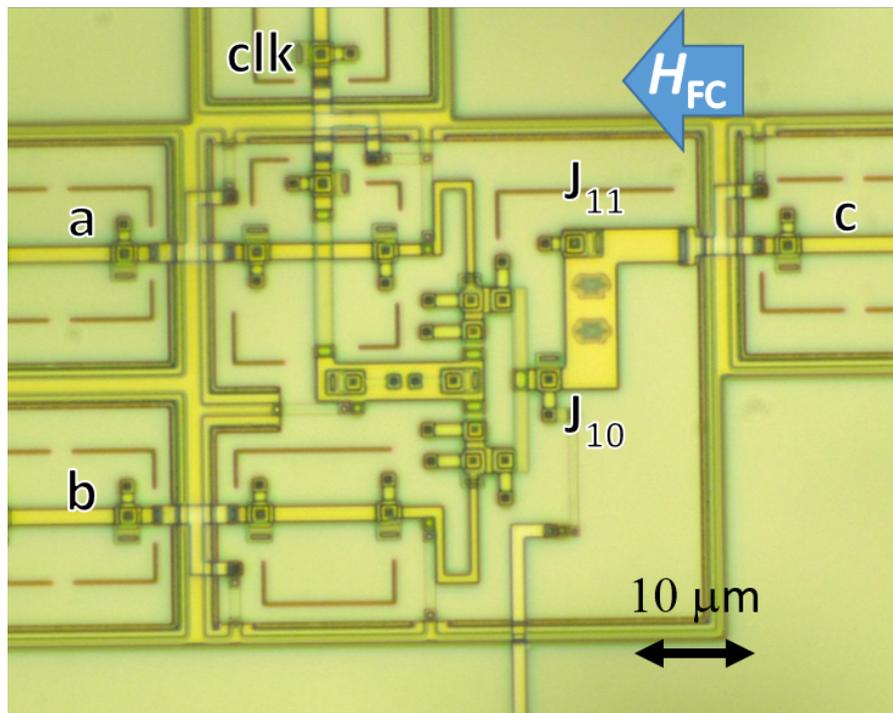


図 5.4 作製した AND-OR 機能切り替え可能回路

る PdNi 合金で、 $6.2 \mu\text{m} \times 4 \mu\text{m} \times 70 \text{nm}$  のサイズのを二つ配置した。磁束バイアスを加える対象の SQUID ループは図 4.4 の COU 層を用いているため、SQUID ループの直上には  $500 \text{nm}$  の  $\text{SiO}_2$  絶縁層がある。磁性体は  $150\text{K}$  から  $50\text{K}$  の間に磁場を加えることで磁場中冷却を行い磁化させた。

磁性体を図 5.4 の矢印に示す左向きに磁化させたとすると、超伝導ループに与える磁束バイアスの向きは右向きになる。その磁束バイアスを打ち消す  $J_{10}$  から  $J_{11}$  の向きに遮蔽電流が流れる。その時、 $J_{10}$  は逆バイアスになるため、回路は AND 動作になる。同様に磁性体を負方向に磁化させたとすると、回路は OR 動作になる。

### 5.3.2 測定結果

AND-OR 機能切り替え可能回路の測定によって得られた動作波形を図 5.5 に示す。図 5.5(a) は  $H_{\text{FC}} = +2190 \text{A/m}$  を印加して磁場中冷却し磁性体を磁化させたものである。入力 a,b に順番に 00,01,10,11 と入力すると 0001 と出力されていることから AND 動作であることが分かる。同様に、図 5.5(b) は  $H_{\text{FC}} = -2190 \text{A/m}$  によって磁化させたもので、出力が 0111 となっていることから OR 動作をしていることが分かる。回路のバイアス電流値はどちらも  $I_b = 3.5 \text{mA}$  であり、磁化の向きのみを変化させることで回路動作を切り替えることに成功した。

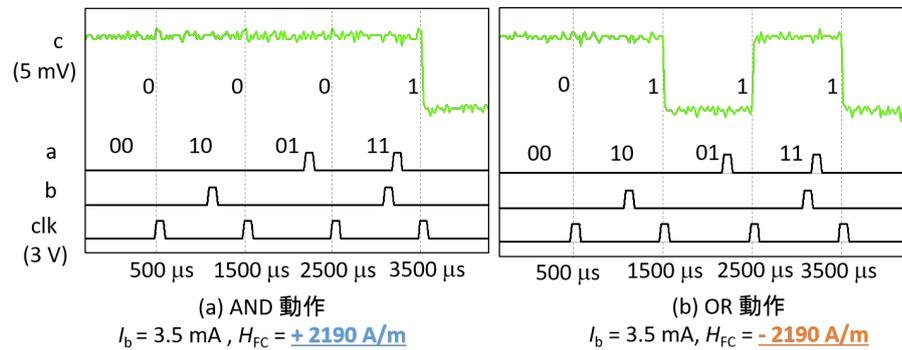


図 5.5 得られた AND 動作, OR 動作の動作波形

AND 動作, OR 動作それぞれの詳細な動作領域を図 5.6 に示す. この図では, 横軸を磁場中冷却の磁場, 縦軸を回路に供給したバイアス電流量を設計値で規格化した値を示す. 回路は, 磁性体の磁化の強さに関わらずバイアス電流量が低い領域で AND 動作, 高い領域で OR 動作となっている. これは, バイアス電流量を増やすことで図 5.3 の  $J_{10}$  に流れる電流量が増えることから理解できる.

回路は,  $H_{FC} = 0$  の状態においては AND 動作をしており,  $H_{FC}$  を正方向に大きくしていくと AND 動作領域が大きくなっていく. 逆に  $H_{FC}$  を負方向に大きくしていくと OR 動作領域が低いバイアス領域に下がり,  $H_{FC} < -1200 \text{ A/m}$  の領域では設計値において OR 動作をするようになる. よって, バイアス電流値が設計値である場合,  $|H_{FC}| > 1200 \text{ A/m}$  であれば磁化の向きを切り替えることで回路機能が切り替え可能であることが分かった.

なお, 今回得られた機能切り替え可能な領域のバイアスマージンは,  $H_{FC} = \pm 2200 \text{ A/m}$  の時, 89~106% であった. 大規模回路で用いるセルライブラリでは, バイアスマージンとして  $\pm 15\%$  以上のマージンを持つように設計されているが [48], 本回路はこれらよりも狭いバイアスマージンとなった. これは回路パラメータの最適化が十分に行われていなかったため起きたと考えられる. 最適化ツールを十分に用い回路の最適化を行えば十分な大きさのマージンを持つように改良できると考えられる. また, 冷却時の磁場 (磁束バイアス量) に対するマージンはバイアス電流が設計値の時, 1100~2200 A/m の範囲で動作していることから, 少なくとも  $\pm 33\%$  のバイアスマージンを持っている.

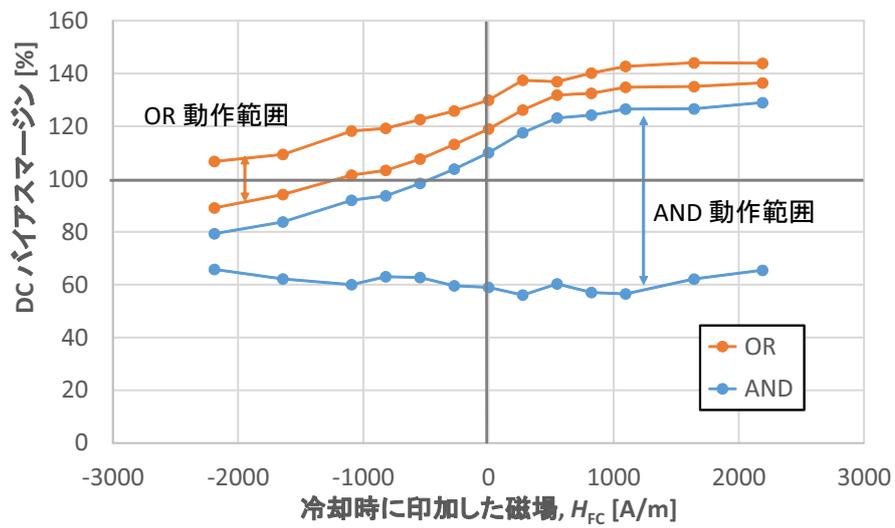


図 5.6 AND-OR 機能切り替え回路の各動作のバイアスマージン

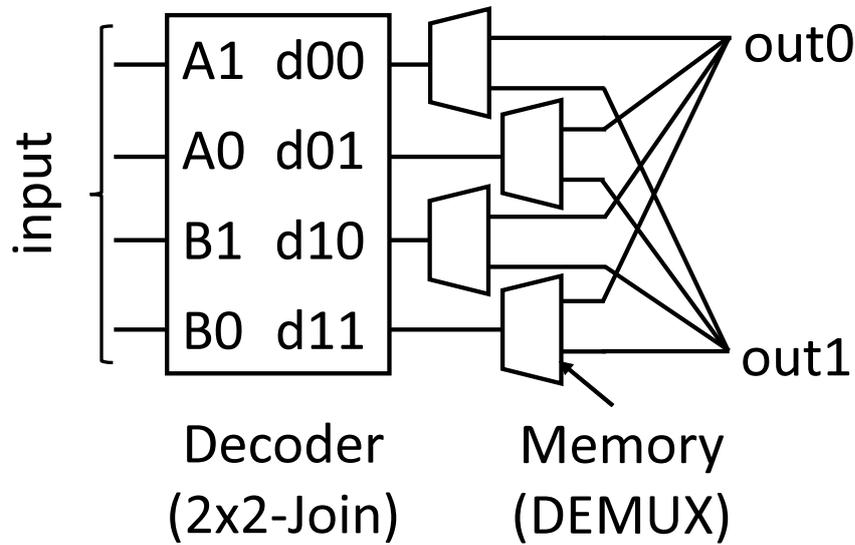


図 5.7 二線式 LUT のブロック図

## 5.4 磁性薄膜パターンを用いた二線式ルックアップテーブルの構築

RSFQ 回路の構成手法の一つである二線式に着目し，LUT の構築を行った．二線式論理回路では 2x2-join 回路を利用することができ，省面積化が期待できる．

### 5.4.1 LUT の構成とデマルチプレクサ回路の設計

図 5.7 に二線式 LUT のブロック図を示す．LUT は入力をデコードするデコーダ部分と，真理値表の情報を格納するメモリ部分に分けることができる．二線式 LUT においてはデコーダとして 2x2-join 回路を用いた．メモリとしてデマルチプレクサ回路 (DEMUX 回路) を新規設計した．

DEMUX 回路は一入力二出力の回路で，内部の磁性体の磁化の向きに応じて，入力された SFQ を二つの出力のうちどちらかの一つに出力する回路である．DEMUX 回路の回路図を図 5.8 に示す．回路内の磁性体によって，超伝導ループ  $J_4 - J_8 - J_5$  に周回電流が流れる． $J_4$  から  $J_5$  に流れる場合は，入力の SFQ によって  $J_5, J_2$  がスイッチし，out1 にのみ SFQ が出力される． $J_5$  から  $J_4$  に流れる場合は， $J_4$  と  $J_3$  がスイッチし，out0 にのみ SFQ が出力される．

図 5.9 に作製した DEMUX 回路の顕微鏡写真を示す．磁性体の磁束バイアスを受ける

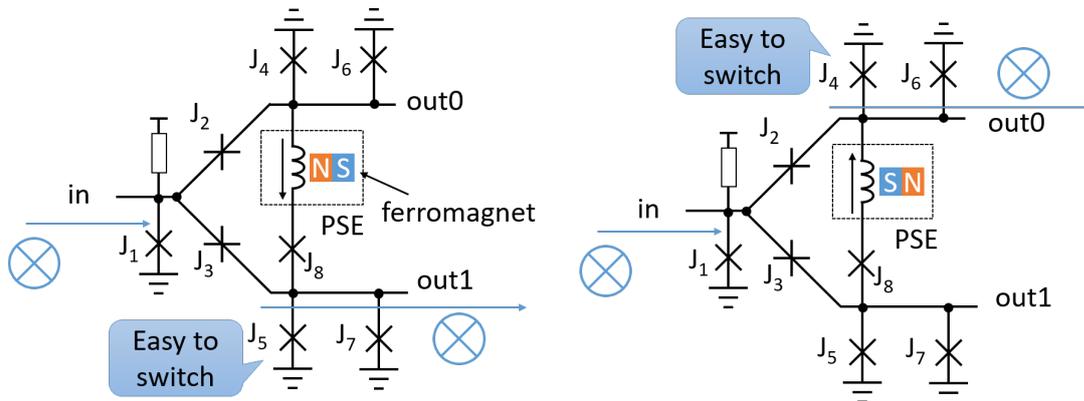


図 5.8 DEMUX 回路の動作

部分は HSTP の CTL 層を用いて SQUID ループを構成した。そのため、前節の COU 層を SQUID ループに用いた場合と比較してループ面積が増え、磁束バイアスを効率的に受けることが期待できる。磁性体は  $4 \mu\text{m} \times 12 \mu\text{m} \times 200 \text{nm}$  のサイズを SQUID ループの直上に配置した。

DEMUX 回路単体の測定結果を図 5.10 に示す。  $H_{\text{FC}} = +485 \text{ A/m}$  の磁場で正方向に磁化させた場合は、入力が out1 のみに出力され、  $H_{\text{FC}} = -485 \text{ A/m}$  の磁場で負方向に磁化させた場合は、out0 のみに出力される結果が得られた。それぞれの動作のバイアスマージンを比較し、機能が切り替え可能となる、二つの領域が重なる領域に着目すると、バイアスマージンは 58-117% となった。このバイアスマージンは十分に広く、大規模回路においても DEMUX 回路を利用できることを示している。

#### 5.4.2 二線式 LUT の動作実証

2x2-join 回路，DEMUX 回路を統合し，二入力一出力の LUT を作製した。図 5.11 に作製した回路を示す。回路面積は  $400 \mu\text{m} \times 480 \mu\text{m}$ ，ジョセフソン接合数は 158，バイアス電流量は 16.3 mA となった。LUT には四つの DEMUX 回路が存在し，実現する真理値表の内容に応じてそれぞれの DEMUX 回路を任意の方向に磁化させる必要がある。そのため，今回は各 DEMUX 回路に配線した電流線に電流を流すことによって磁場を発生させ，磁場中冷却を行うことで磁化させ，LUT のプログラムを行った。今回は，150 K から 50 K の間で電流線に  $\pm 12 \text{ mA}$  を流すことで磁化させた。

得られた動作波形と，それぞれの動作で実現した真理値表を図 5.12 に示す。どちらも，A,B に二回ずつ 00,10,01,11 と順番に入力したところ，LUT はプログラムを行った通り動作した。

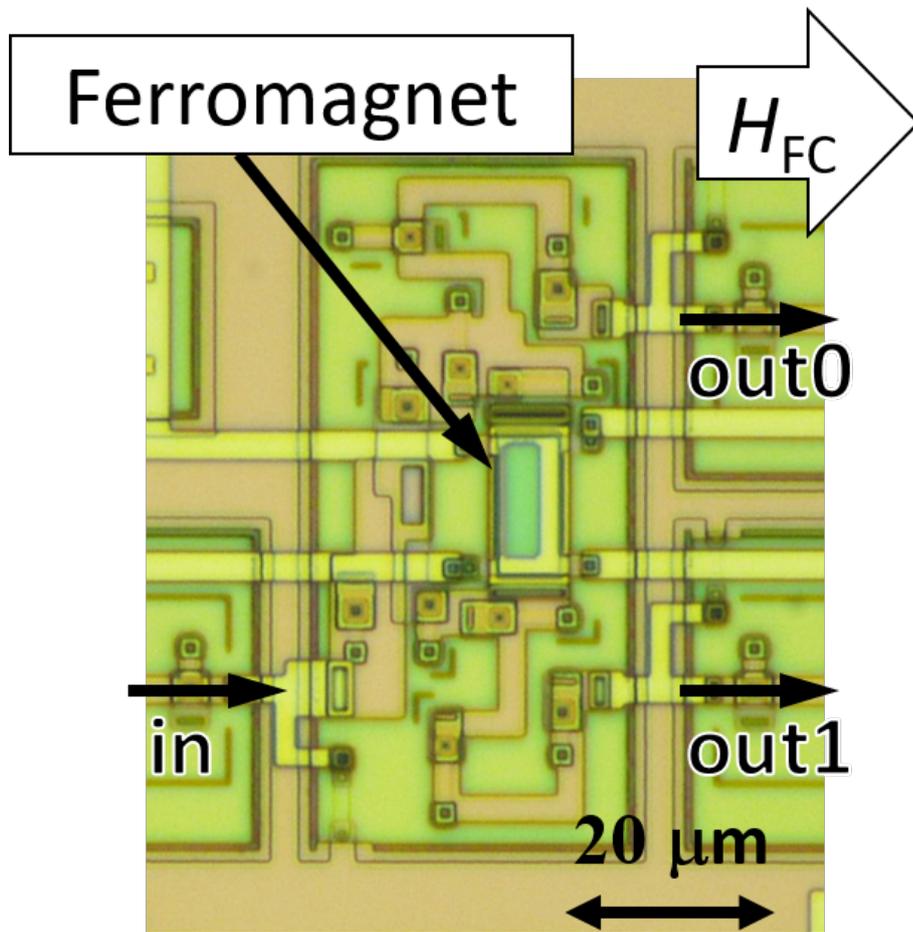


図 5.9 作製した DEMUX 回路

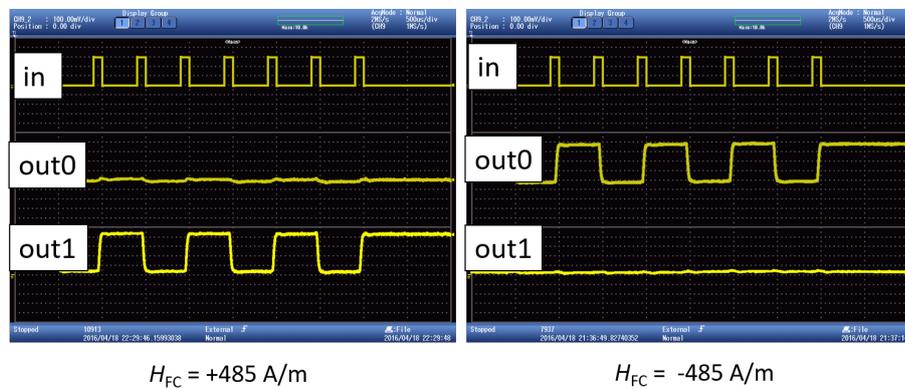


図 5.10 DEMUX 回路の測定波形

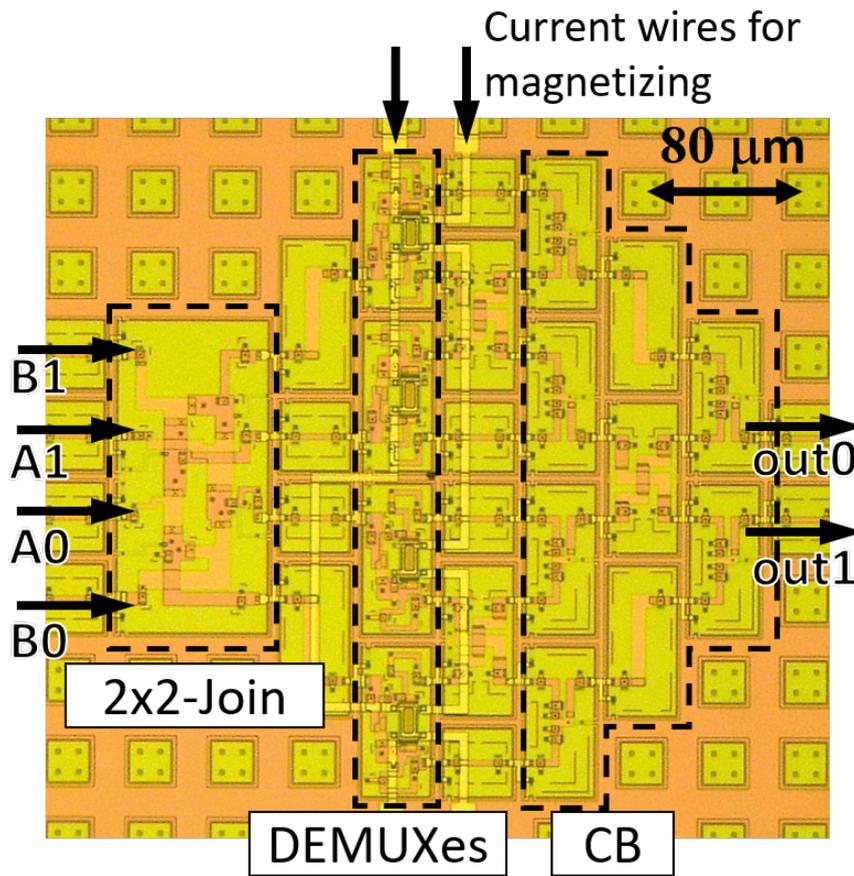


図 5.11 作製した二線式二入力一出力 LUT



図 5.12 二線式 LUT の測定結果

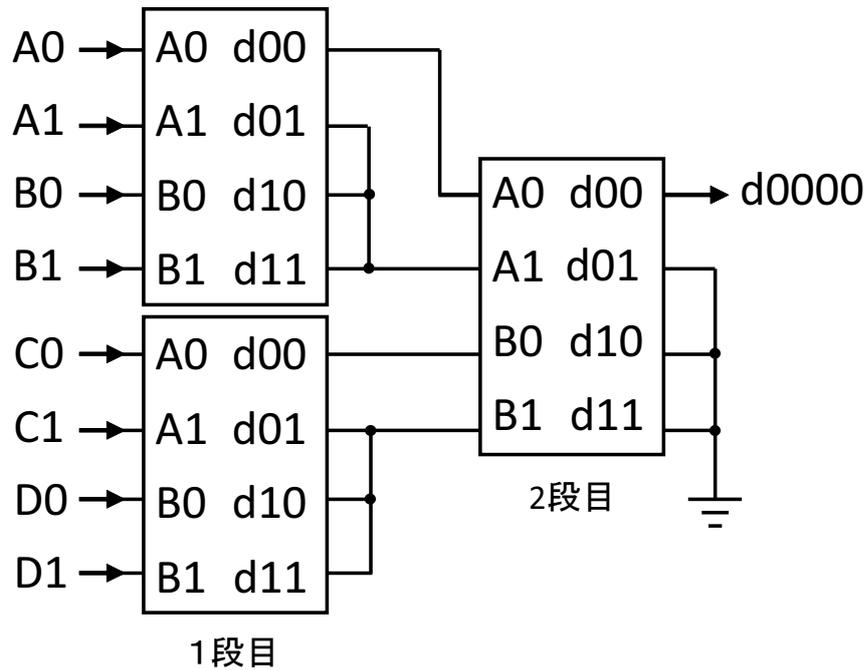


図 5.13 二線式四入力 LUT の構成

### 5.4.3 二線式 LUT の多入力化

二線式論理を持ちいた二入力 LUT の四入力への拡張を行った．二入力の場合では 2x2-join 回路をそのまま利用できるが，四入力のためのデコーダは既存のものが存在しないため，新規に設計する必要がある．検討の結果，2x2-join 回路を二段につなげて使い，前段で二入力ごとのデコードをし，その結果を集め二段目でさらにデコードを行う方式を用いた．この方式を図 5.13 に示す．この図には 1bit 分のみ示しているため，実際には後段の 2x2-join は  $2^4 = 16$  個必要である．図にあるように  $(A,B,C,D)=(0,0,0,0)$  の結果を出力する場合は入力 A,B からの d00 出力を後段の A0 に，d01,10,11 を束ねて A1 に入力し，入力 C,D からの d00 出力を後段の B0 に，d01,10,11 を束ねて B1 に入力する．そして後段の d00 から d0000 の出力が得られる．

この構成によって設計をし，試作を行った．顕微鏡写真を図 5.14 に示す．回路面積は  $1920\mu\text{m} \times 1440\mu\text{m}$ ，ジョセフソン接合数は 2492，バイアス電流量は 305.6mA となった．二入力から四入力に拡張するにあたって，回路面積，接合数ともに大きく増加する結果となってしまった．これは次節で述べる同期式による四入力 LUT よりも面積，接合数が増えてしまっている．二線式の場合は 2x2-join 回路が利用できることによる省面積化が主な利点であったが，多入力化でこの利点を生むことができなかった．そのため，大規模再構成可能回路の実現にはクロック同期式回路の利用が望ましいと考えられる．

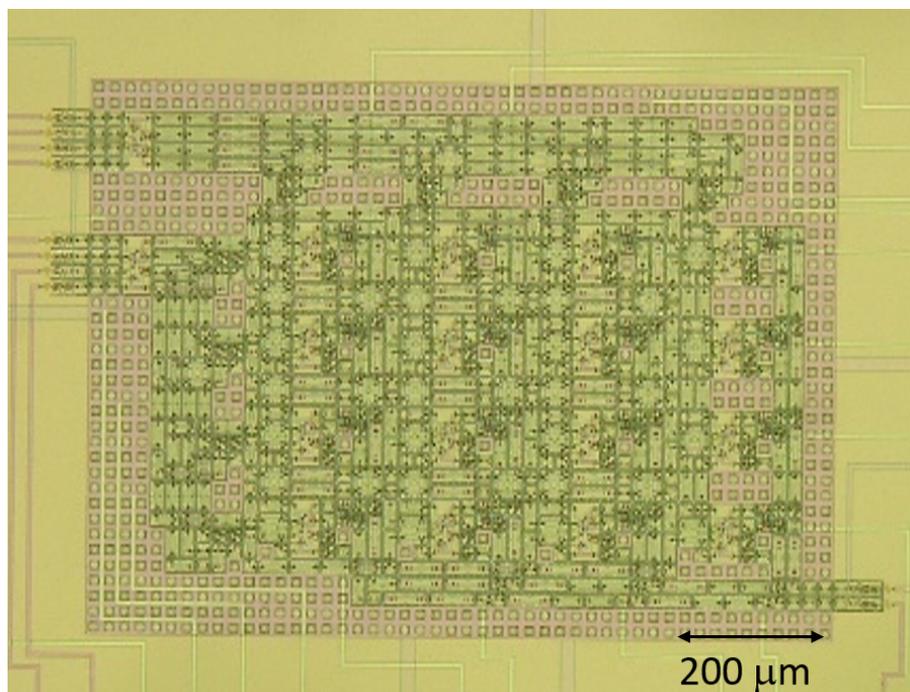


図 5.14 二線式四入力一出力 LUT

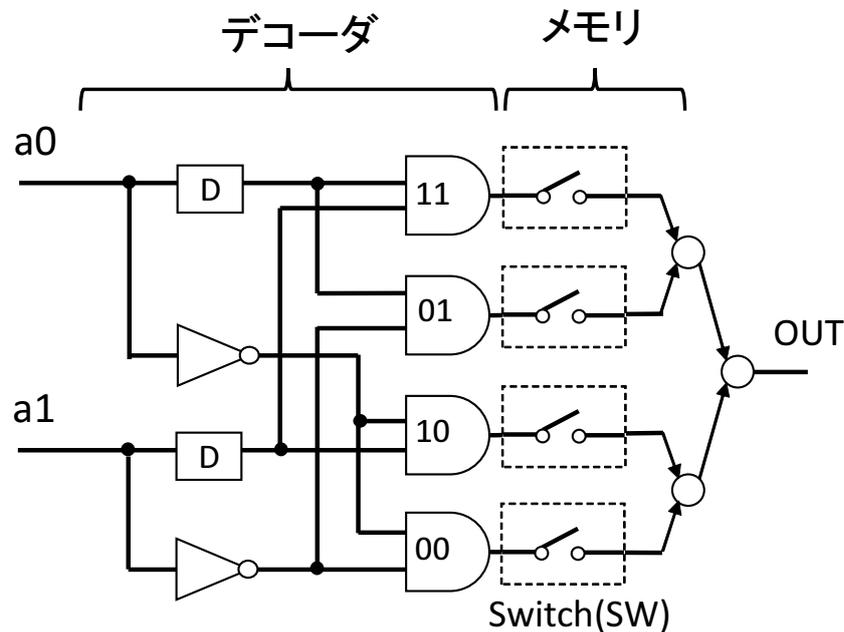


図 5.15 クロック同期式 LUT のブロック図

## 5.5 磁性薄膜パターンを用いたクロック同期式ルックアップテーブルの構築

クロック同期式を用いた二入力一出力ルックアップテーブルの構築を行った。二線式と比べ、LUT 自身の多入力化に向いており、LUT 間の配線に必要な面積も少なくなることが想定される。

### 5.5.1 クロック同期式 LUT の構成

同期式二入力一出力 LUT の構成を図 5.15 に示す。デコーダ部分は NOT と AND によって構成された一般的な設計となっている。2bit のアドレス入力である  $a_0, a_1$  の入力に応じて、4bit あるメモリのうち一つに入力がなされる。

メモリとして、スイッチと呼ぶ回路を新規に設計した。スイッチは内部の磁性体の磁化の向きに応じ、SFQ を通過させ 1 を出力するか、SFQ をエスケープさせ 0 を出力するかの動作をする。スイッチの回路図を図 5.16 に示す。ジョセフソン接合  $J_2$  と  $J_3$  でジョセフソン比較器を構成しており、 $J_3$  の閾値が磁束バイアスによって変化する。磁性体が (a) のように磁化している場合、 $J_3$  は逆バイアスとなりスイッチしにくくなる。そのため入力は  $J_2$  のスイッチによってエスケープされる。逆に (b) のように磁化している場合、 $J_3$  は

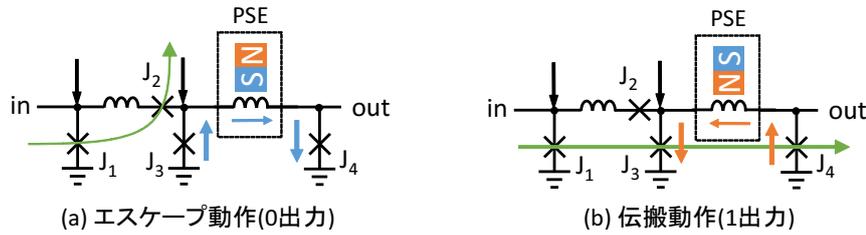


図 5.16 クロック同期式 LUT に用いるスイッチの動作

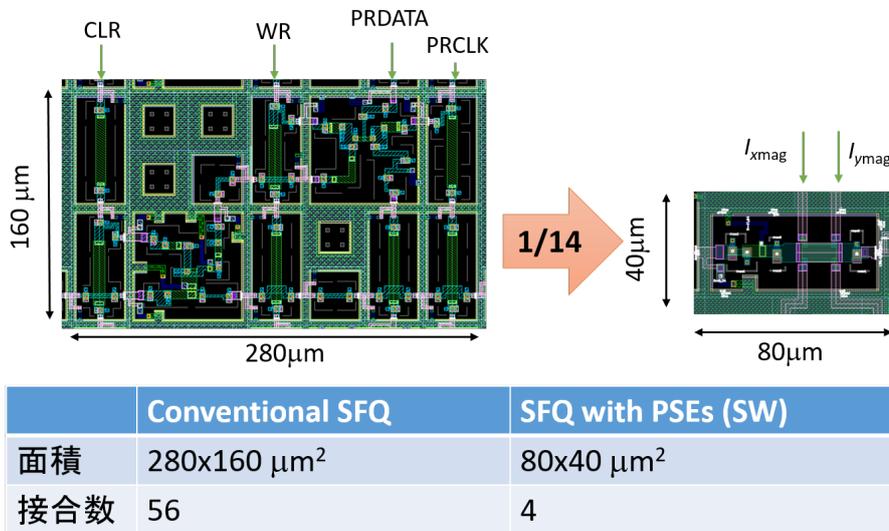


図 5.17 スイッチによる省面積化の効果

順方向にバイアスされ、スイッチしやすくなる。入力は  $J_3$  のスイッチによって伝搬する。

磁性体を用いたスイッチによって、LUT のメモリに必要な回路面積を大きく削減することができる。図 5.17 にこの効果を示す。磁性体を用いない場合は NDRO 回路を用いてメモリを実現する。その時にメモリ自身に必要な面積は  $80 \mu\text{m} \times 80 \mu\text{m}$  だが、そのメモリ自身の書き込みの為に別のメモリが必要になる。そのため、トータルの面積は  $160 \mu\text{m} \times 280 \mu\text{m}$  となった。一方、スイッチ回路を用いることによって、磁性体の磁化をメモリとして利用でき、磁性体の磁化の書き込みは電流線で置き換えることが可能になる。その結果  $40 \mu\text{m} \times 80 \mu\text{m}$  の面積でメモリを実現できる。面積、接合数は 1/14 で実現できる見積もりが得られた。再構成可能回路の高集積化に貢献できる。

### 5.5.2 クロック同期式 LUT の動作実証

クロック動作式二入力一出力 LUT の作製を行った。作製した回路を図 5.18 に示す。回路面積は  $680 \mu\text{m} \times 480 \mu\text{m}$ 、ジョセフソン接合数は 299、バイアス電流量は 36.1 mA

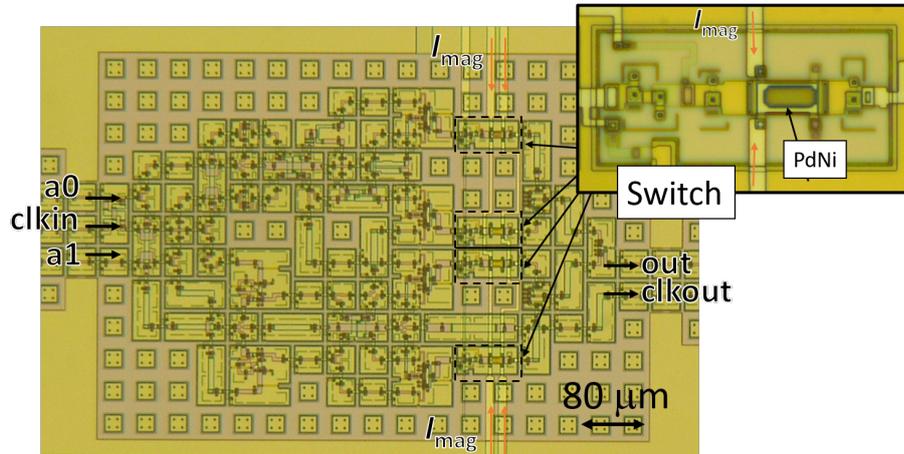


図 5.18 クロック同期式 LUT

となった．磁性体は  $4\ \mu\text{m} \times 12\ \mu\text{m} \times 70\ \text{nm}$  のサイズを SQUID ループの直上に配置した．磁性体の磁化の為に，SQUID ループ下部に電流線を配置し電流を流すことで磁場を印加し磁場中冷却を行った．磁場中冷却は  $150\text{K}$  から  $50\text{K}$  の間で行った．

LUT は高速周波数での動作確認を行った．図 5.19 に高速での実験結果を示す．動作波形の前半で入力パターンを設定を行い，トリガ信号 (trg) を入力することで回路に信号を入力する．その後クロックを入力して動作波形を確認している．

図 5.19(a) に示すのは OR 動作するように LUT をプログラムしたときの結果である．OR 動作のため，入力が 11,01,10,11 の時に 1 を出力するようにプログラムした．結果を見ると，入力が 00,01,10,11 と順番に入力したものが 0,1,1,1 と出力されたため，OR 動作が実現できていることが分かる．図 5.19(b) に NAND 動作をさせたときの結果を示す．同様に，入力 00,01,10,11 に対する出力が 1,1,1,0 となっていることから，正しい NAND 動作が得られていることが分かる．

図 5.20 に回路の電源動作マージンの周波数依存性を示す．最大で  $52\ \text{GHz}$  での動作を確認した．この結果は磁性体を用いた機能切り替え可能回路においてはじめて高速動作を確認したもので，磁性体を用いた超伝導位相シフタが高速で動作する RSFQ 回路において問題なく利用出来ることを示すことができた．なお，動作マージンは NAND と OR のものを示しているが，どちらも似たマージンを持っている．このことは磁性体パターンの磁気特性が十分均一であり，磁場中冷却によって均一に磁化されていることを示していると考えられる．

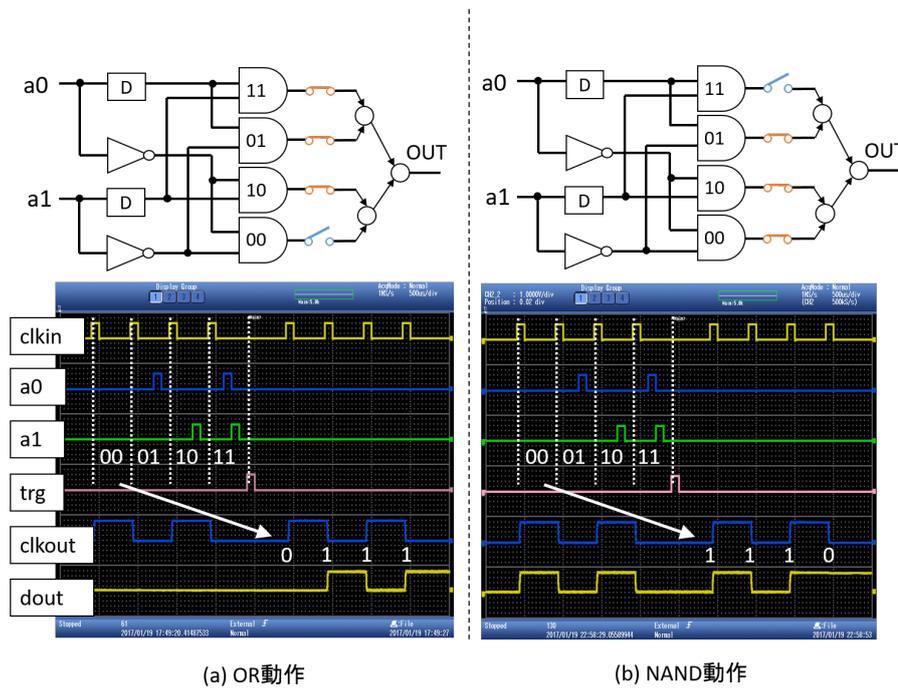


図 5.19 クロック同期式 LUT の動作波形

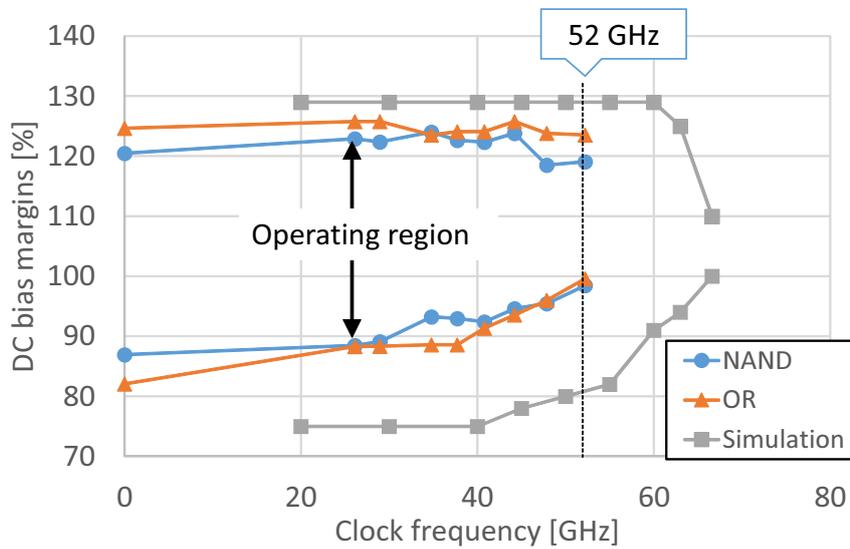


図 5.20 クロック同期式 LUT の動作マージン周波数依存特性

### 5.5.3 クロック同期式 LUT の大規模化

クロック同期式 LUT の四入力化を行った。四入力化は上位 2bit, 下位 2bit でそれぞれデコードを行った後, それらの組み合わせで AND をとり 16 本の出力にする。二入力の場合と同様に, デコーダの後段にスイッチによるメモリを接続して構成した。

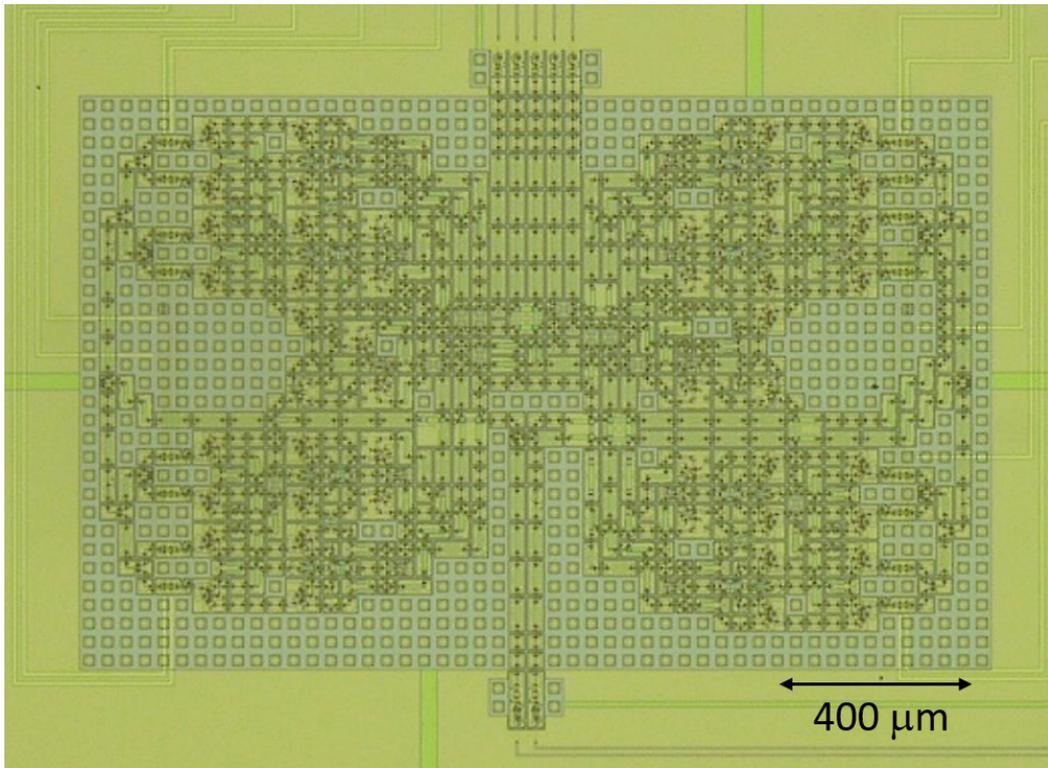


図 5.21 クロック同期式四入力一出力 LUT

図 5.21 に試作した 4 入力 LUT を示す．回路面積は  $1960 \mu\text{m} \times 1240 \mu\text{m}$ ，ジョセフソン接合数は 2361，バイアス電流量は 289.2 mA となった．これは二線式を用いて同等の LUT を構成した場合と比較して省面積，省電力となる結果だった．この回路は，低速において一部のプログラムパターンのみ動作を確認することができている．追加で他のパターンの実証を行う必要がある．

さらに二入力 LUT を基にして，配線を構成し組み合わせ回路を実現可能な FPGA プロトタイプを作製した．作製した回路の顕微鏡写真を図 5.22 に示す．作製した FPGA は 4 つの二入力 LUT を利用しており，各 LUT の入出力部分，配線の交点部分にスイッチを配置し，信号の伝搬先を制御できるようになっている．回路面積は  $2160 \mu\text{m} \times 1240 \mu\text{m}$ ，接合数 2310，バイアス電流量 281 mA となった．

この回路は，先行研究 [36] で設計された FPGA と同等の機能を持つ回路である先行研究では，回路面積  $16 \text{ mm}^2$ ，接合数 4250，バイアス電流量 560 mA という値であったため，磁性体を用いたことによって本研究では大きく改善をを行うことができた．より LUT 数を増やすことなどによって実用的な規模の FPGA を実現することができると考えられる．

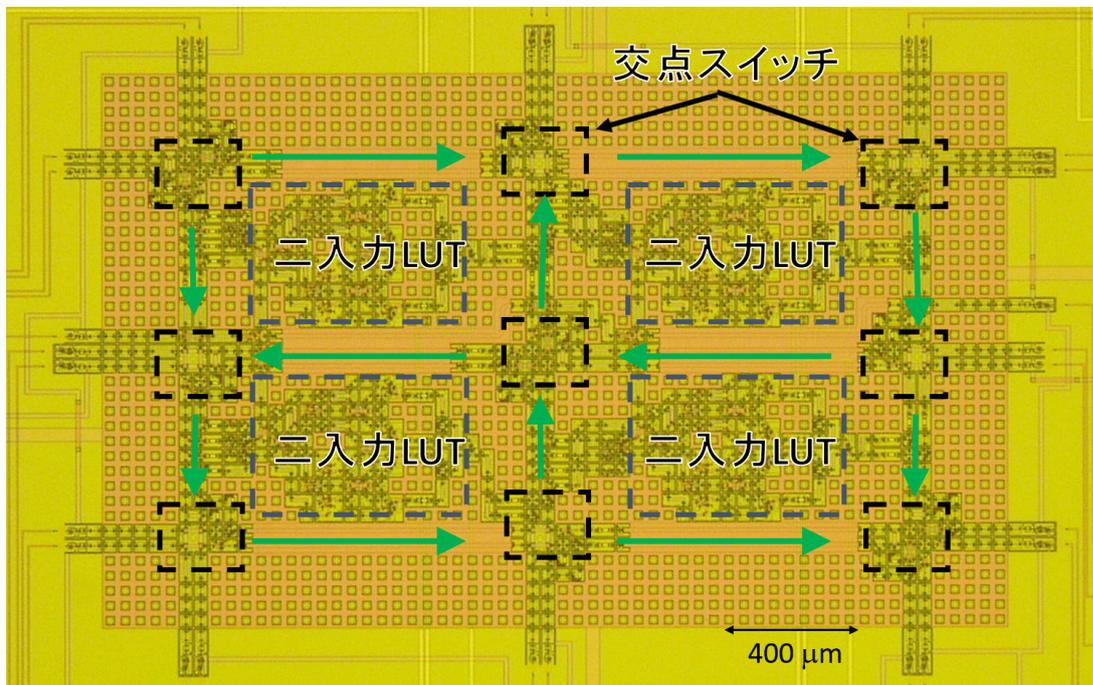


図 5.22 作製した LUT ベース FPGA

## 5.6 ルックアップテーブルの大規模化に向けた磁化制御方式の検討

ルックアップテーブルのような応用では回路上に複数存在する磁性体パターンの磁化の向きを個別に設定する必要がある。このためにこれまでは各磁性体下部に電流線を設け、電流を流すことで磁化させていたが、その場合では大規模化した際に磁性体の数だけ磁化制御線が必要になる。磁化制御線の増加はチップのピン数の増加につながり、望ましくない。

本節では、磁化制御線の必要本数を減らすために磁化制御線を行、列方向に並べる手法を検討した。磁性体の数  $n$  に対し  $n$  本の電流線が必要であったものが、本提案手法によって  $2\sqrt{n}$  程度に減らすことが可能になる。

### 5.6.1 提案手法

提案手法では格子状に磁化用の電流線を配置し、交点部分に磁性体を配置する。X 方向、Y 方向それぞれ一本ずつに電流を流すことで、交点部分の磁性体を磁化させ、順番に交点をずらし磁化させていく。磁性体の磁化はすべての磁性体を磁化させるまで一定温度下で行う。

提案手法の概要図を図 5.23 に示す。(a),(b),(c) の順に電流を流すことによって各磁性体を左上、右上、左下の順に磁化していく。(d) に想定される磁化曲線の遷移を載せる。

まず、(a) に示すように左上磁性体を磁化させるため、 $I_{x1}$  と  $I_{y1}$  の電流を流す。二つの電流線によって生じる磁場  $H_{\text{mag}}$  が左上磁性体に加えられ、磁化する。その時、(d) に示した磁化曲線で考えると、原点から A に移り、磁場を切ることで B に移動する。

次に交点をずらし、(b) に示すように、右上磁性体を磁化させるために  $I_{-x1}$  と  $I_{-y2}$  の電流を流す。右上磁性体は  $H_{\text{mag}}$  を受け磁化するが、左上磁性体も  $I_{-x1}$  の影響を受け、逆方向半分の  $-0.5H_{\text{mag}}$  を受ける。そのため左上磁性体は (d) に示す磁化曲線で B-C-D の順で移動する。

さらに (c) に示すように、左下磁性体を磁化させる。 $I_{x2}$  と  $I_{y1}$  流すと、左上磁性体には  $0.5H_{\text{mag}}$  が印加される。磁化曲線では、D-E-F へと移動する。

この様に、提案手法では行方向、列方向で配線を共有しているため、半分の大きさの磁場が加わってしまう「半選択状態」が発生してしまう。この半選択状態では磁化曲線はマイナーループを通り磁化が弱まるため、得られる磁束バイアスも変化する。なお、通常の磁場の大きさによる磁性体の磁化を便宜上「選択」と呼ぶ。以降、選択だけでなく半選択による回路への影響を調査した。

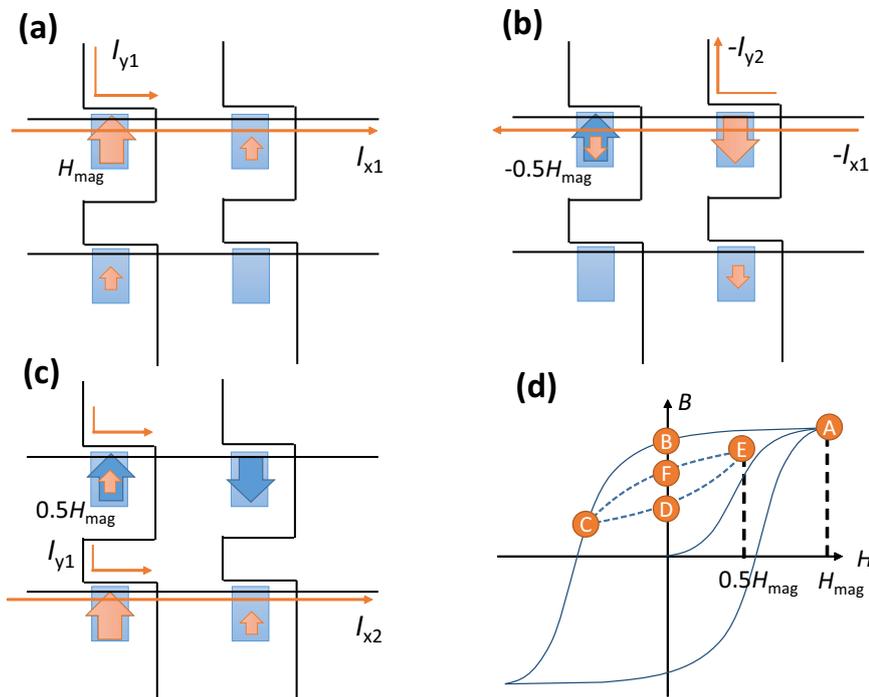


図 5.23 個別制御手法

この状況下の磁化曲線を異常ホール効果によって測定した。詳細は付録 A に示す。

### 5.6.2 半選択による機能切り替え回路の動作領域の変化

提案手法によって磁化の強さは以下の 6 つの状態をとることが考えられる。(図 5.24)

1. 正方向に選択された状態
2. 正方向に選択後、負方向に半選択された状態
3. 正方向に選択後、負方向、正方向の順に半選択された状態
4. 負方向に選択された状態
5. 負方向に選択後、正方向に半選択された状態
6. 負方向に選択後、正方向、負方向の順に半選択された状態

これらの状態において回路のバイアスマージンがどう変化するかを実験によって調査し、提案手法が論理回路で利用可能かを検討した。

#### 測定回路

5.3 節で利用した AND-OR 機能切り替え回路を基に改良した回路を利用した。図 5.25 に回路の顕微鏡写真を示す。磁性体を磁化させるための磁場印加用の電流線を配置し、そ

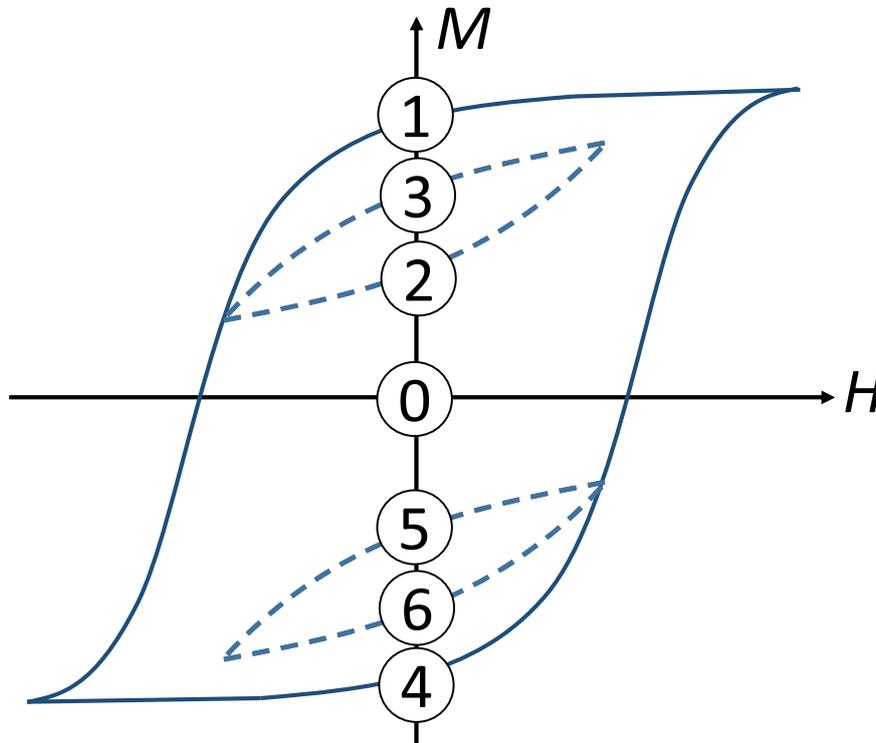


図 5.24 取りうる磁化の値

れに伴うレイアウトの変更を行っている．磁性体は 70 nm の PdNi を利用した．

この回路に電流  $I_{\text{ctl}}$  を流すことで磁性体に磁場を印加する．電流線は磁性体下部に存在するので，図 5.25 に示す位置関係から，正方向の  $I_{\text{mag}}$  によって右向きに磁化され，SQUID ループに磁束バイアスを左向きに加え，回路は OR 動作になる．逆に負方向の  $I_{\text{ctl}}$  によって磁化されると回路は AND 動作となる． $I_{\text{ctl}}$  によって生まれる電流をアンペールの法則より計算したところ，磁性体の中心部分において 1 mA あたり 60 A/m の磁場が発生する計算となった．その為，40 mA の電流によって 2.4 kA/m の磁場が磁性体に加えられていることになる．

今回は磁性体を冷却する過程の途中の 105 K において一度温度を安定させ，選択，半選択を模擬した電流を流すことによって磁化させた．磁性体を磁化させる温度が高いと磁性体は磁化を持っていない為磁場を加えても磁化しない．逆に温度が低すぎると，磁化が動かず磁化しない．

このことを実験によって示したものを図 5.26 に示す．この結果では AND-OR 機能切り替え回路を用い，横軸に示すような温度で  $I_{\text{ctl}} = +40$  mA の電流を一度流すことで磁性体を磁化させた．縦軸は回路のバイアスマージンで， $I_{\text{ctl}}$  によって磁化されるに従って回路は 100% 付近で OR 動作をするようになる．磁性体が磁化していない場合のバイア

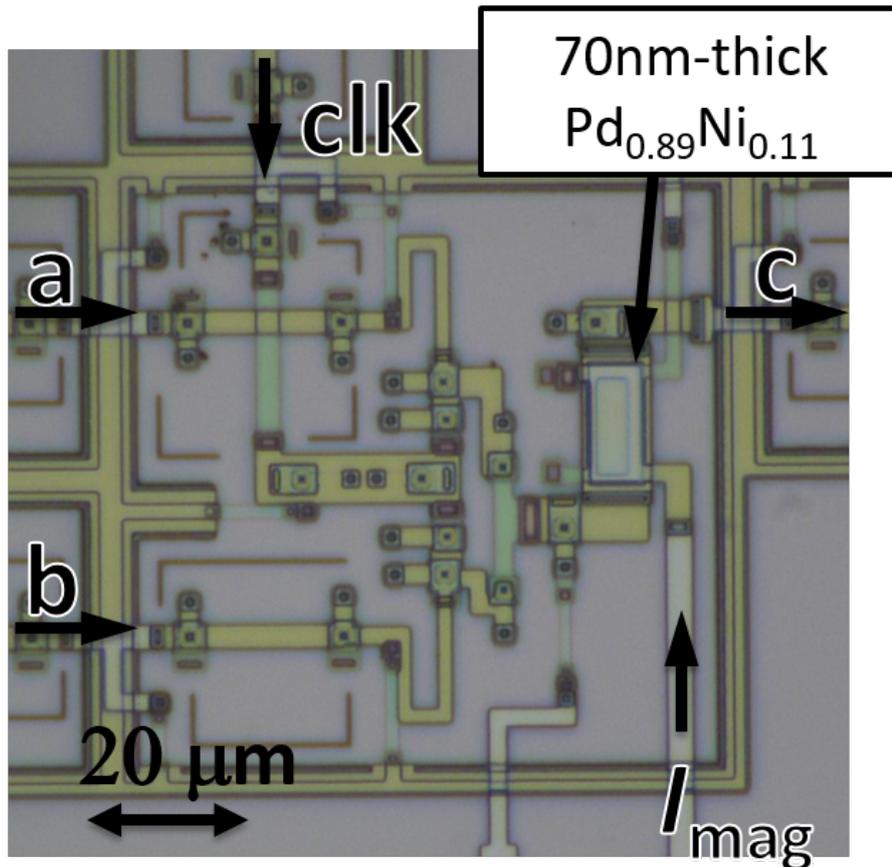


図 5.25 AND-OR 機能切り替え回路

スマージンを図中に点線で示す。115 K 等の高い温度で磁化を試みた場合はほぼ無磁場冷却時の結果と同じで、磁性体は磁化していないと解釈できる。そこから温度を下げて磁化させると、OR 動作の領域が設計値付近まで下がってくるのが分かる。さらに下げていくと、85 K ではマージンが元に戻っていき、無磁場冷却に近い状態になる。そのため、磁化を試みる温度としては 90~105 K 程度が望ましいと考えられる。

#### 提案手法によるバイアスマージンの変化

図 5.27 に実験結果を示す。結果中の数字は図 5.24 に対応している。まず大まかにみると、正方向に  $I_{ct1}$  を流すと半選択の有無にかかわらず設計値 (100%) で OR 動作に、負方向に流すと設計値で AND 動作になっていることから、半選択した場合も磁化の向きが保存されていることが分かる。正方向に選択を行った後に、負方向に半選択を行うと、磁化が弱まる方向にバイアスマージンが変化している。さらに正方向に半選択を行うと、やや磁化が強まる方向に動いた。負方向に選択を行った場合の結果も傾向は同じであることから、これは前節で行った磁化曲線と同様の変化をしていることが結果より得られた。

この回路を機能切り替え回路として用いる場合、ワーストケースは 2,5 の選択後に逆方

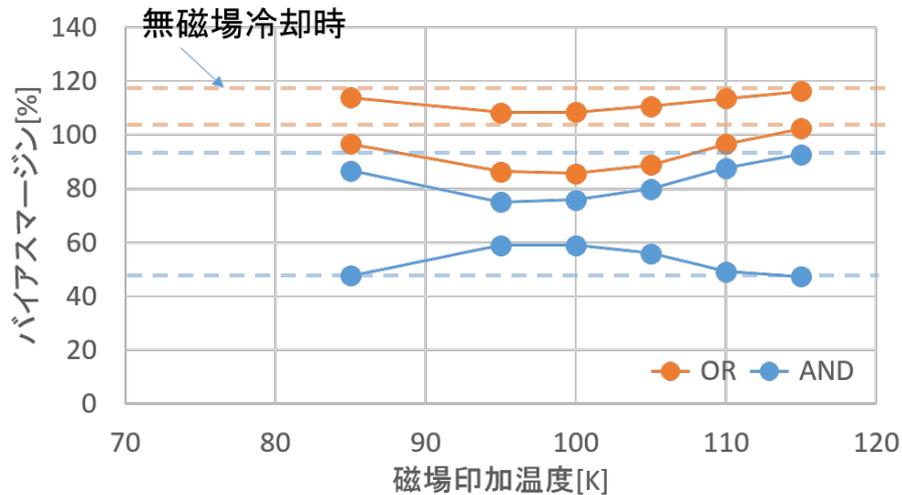


図 5.26 磁場を加える温度による磁化の動きの違い

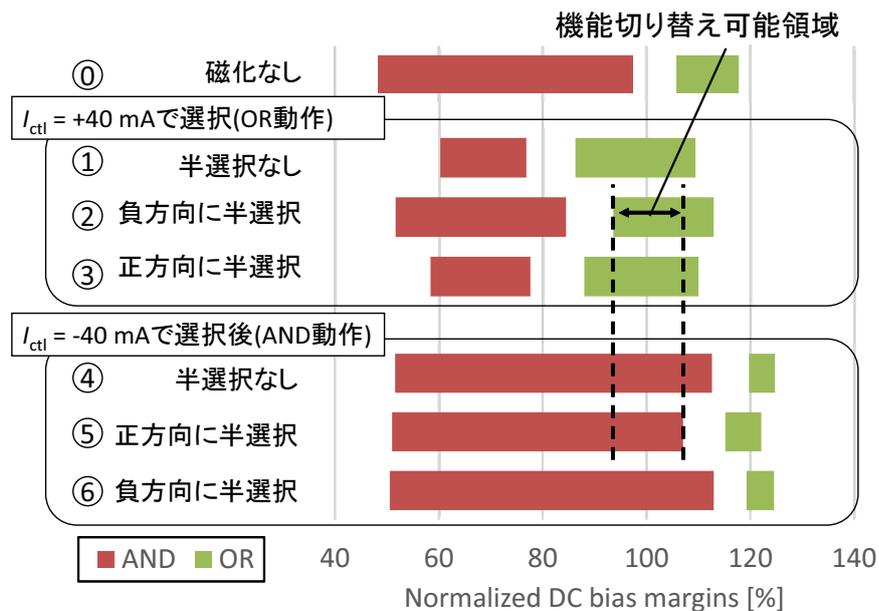


図 5.27 AND-OR 機能切り替え回路の動作領域の変化

向半選択を行った状態となる。それらのバイアスマージンの重なる領域がワーストケースでの機能切り替え可能領域であり、その時のバイアスマージンは 93.5-107% となった。この結果から、提案手法によって磁化の制御を行った場合においても動作領域が存在し、提案手法が利用可能であることを意味している。なお、バイアスマージンは磁化に用いた電流値  $I_{\text{ctl}}$  の値によって依存することが考えられるため、より広いバイアスマージンが必要な場合は、最適な  $I_{\text{ctl}}$  の値を検討することで解決できると考えられる。その場合は、 $I_{\text{ctl}}$  を流す電流線の材料を気に留める必要がある。現在用いている Nb 配線は比較的抵抗

が高く、エレクトロマイグレーションや熱による断線が起きる可能性が高い。プロセスの層構造を変化させ、アルミ配線等を用いることが望ましい。

## 5.7 まとめ

本章では、磁性薄膜パターンを用いた超伝導位相シフタを RSFQ 回路へ導入した。まず、AND-OR 機能切り替え可能な回路を設計し、磁性体による機能切り替えを実現した。さらに FPGA の実現を見据え、FPGA の構成回路である LUT の設計を行った。二線式 LUT は二入力一出力の場合省面積にすることができるため、設計を行った。試作の結果任意の真理値表を実現可能である結果が得られた。同期式 LUT は多入力化した際に面積、接合数で利点があった。試作の結果最大 52GHz での動作を確認し、磁性薄膜パターンを用いた超伝導位相シフタが高速動作する RSFQ 回路において問題なく利用できることを示した。さらに超伝導位相シフタを用いた回路の大規模化に向け、磁化の個別制御手法の提案を行った。AND-OR 機能切り替え可能回路に対して提案手法を導入した結果、半選択がある場合でもバイアスマージンが得られ、機能切り替えが可能であることがわかった。そのため、大規模化を行った場合の電流線の増加を抑えることができる。



## 第 6 章

# 総括

### 6.1 本論文のまとめ

本論文では、磁性薄膜パターンを利用した磁束バイアス手法の確立と、回路応用について述べた。RSFQ 回路の抱えるいくつかの課題のうち、電源での消費電力が大きいという点と、集積度が低くハードウェアの柔軟性欠如という点の解決を目指した。

第 1 章では、本研究において応用を目指す超伝導デバイスの半導体デバイスに対する優位性と、その発展の歴史について述べた。さらに超伝導回路が持つ課題と、それらを磁性体で解決する手法を示した。超伝導デバイスの課題のうち、磁性体を用いた超伝導ダイオードによって電源での消費電力の課題を解決し、磁性体を用いた超伝導位相シフタによって集積度とハードウェアの柔軟性に関する課題を解決することを述べた。最後に本研究の目的を示し、本研究の方向性を示した。

第 2 章では、超伝導デバイスの動作原理と、磁性体の導入によって期待できる効果について述べた。まず超伝導デバイスの動作原理として、基本素子であるジョセフソン接合について述べ、それを基に超伝導量子干渉計 (SQUID)、単一磁束量子 (RSFQ) 回路の動作原理と RSFQ 回路の代表的な論理回路、回路の設計手法を述べた。その後、磁性体を持つ特徴について述べた。キュリー点は温度に対する磁性体の特徴の変化であり、超伝導デバイスの動作する低温で磁気特性を利用する際に有効に利用できる特性である。本研究ではキュリー点を用い、熱の効果を利用することで磁化の制御を行った。残留磁化は磁性体が磁化するという特徴そのものであり、固定の磁束バイアスを加えることができる特性である。これを超伝導ループに対して用いたものを超伝導位相シフタと紹介し、動作の説明を行った。我々の磁性体を用いた超伝導位相シフタは既存の超伝導位相シフタと比較すると作製が容易で、高集積可能であることを述べた。超伝導位相シフタに用いる磁性体の磁化反転をさせることで、再構成可能回路が実現できることを述べた。最後に、本研究で用いる磁性体について述べた。本研究で用いる PdNi は、単体では高いキュリー点を持つ Ni の磁気特性を、常磁性体 Pd で薄めた希釈磁性体で、超伝導デバイスの動作する低温で

用いやすい特性である。さらに、本研究の磁束バイアスという技術に対して、他研究機関の用いている磁性体よりも適していることを述べた。

第3章では、まず本章で用いるジョセフソン接合の作製プロセスと、磁性薄膜パターンの作製手法を述べた。その後、MPMSを用いて4.2Kでの磁気特性について調査し、磁性体を磁化するための磁場中冷却という手法について述べた。磁場中冷却は磁性体を常温から4.2Kまで冷却する過程で、キュリー点をまたぐように磁場を加えながら冷却する手法である。この手法を用いたときの低温での磁気特性を調査したところ、磁気モーメントの値を磁場中冷却時の磁場の大きさを制御できる結果を得た。その後、ジョセフソン接合・磁束量子干渉計の近くに磁性体を配置したデバイスを作製し、磁束バイアスの効果を確認した。その結果、ジョセフソン接合に対して磁束バイアスを加えることができ、磁束バイアス量が制御可能である結果を得た。また、磁束量子干渉計に用いた結果では同様に磁束バイアスを受けている結果が得られ、固定磁束バイアス源として利用できる結果を得た。本章の結果によって磁気特性が制御できるようになり、さらに磁束バイアス量が制御出来るようになったため、磁性体による超伝導回路の多機能化が可能になった。

第4章では、RSFQ回路が持つ電源での消費電力の問題を解決するため、超伝導ダイオードの作製を行った。まず、超伝導ダイオードに必要な特性に述べたうえで、先行研究の問題を指摘した。そして我々が利用したランドプレーンを持つインライン型ジョセフソン接合について説明し、どのようにして非対称特性を得るかということを説明した。ランドプレーンを持つインライン型ジョセフソン接合は臨界電流値の最大値を持つ点がずれ、非対称な点が現れる。この点は磁束バイアスを加えた点であるので、磁性体を用いて磁束バイアスを加えることで静的消費電力無しに非対称特性が得られることを述べた。その後、設計した超伝導ダイオードの作製を行い、磁性体を用いて固定磁束バイアスを加えることによって非対称特性が得られることを確認した。非対称特性は正負臨界電流値の比で2.57、変化量で44%という値が得られ、非常に高い特性を確認した。さらに半波整流、全波整流の調査を行ったところ、問題なく整流ができることを確認した。整流の結果をもとに、SFQ回路の駆動を行った。駆動する回路に対して全波整流を行った矩形波を入力したところ、電圧が出ている部分のみSFQパルスが伝搬する結果が得られたため、電力の供給を行うことができたことを示した。また、交流から直流へ変換する際の変換効率について検討を行った。検討の結果、効率として49.8%という値を得た。この効率は従来の給電手法と比べて十分高い効率を持っていることを述べ、この変換効率の向上に必要な指針を示した。さらに、RSFQ回路の電源で必要とされている能力である電圧可変に関しても検討を行い、その結果 $\pm 0.5$  mVの範囲で電圧が制御可能である結果が得られた。

第5章では、磁性薄膜パターンを用いた超伝導位相シフタをRSFQ回路へ導入し再構成可能回路を実現した。まず、先行研究でに対する課題である高集積性について確認した。その後RSFQ回路の評価手法について述べた。最初に、回路動作をANDとORで

機能切り替え可能な回路の作製を行い、磁場中冷却によって磁束バイアス量を制御することで、超伝導回路の動作が AND と OR で切り替わることを確認した。その後、FPGA を目標に FPGA の構成要素である LUT の作製を行った。二線式論理を用いた LUT では、LUT のデコーダ部分を省面積化できる点に利点があった。二入力出力の LUT を作製した結果、任意の真理値表を実現可能である結果が得られた。クロック同期式論理を用いた LUT では、多入力化した際に二線式よりも省面積で実現できる結果が得られた。まず二入力出力の LUT を作製したところ、同様に任意の真理値表を実現できる LUT の動作に成功し、この LUT は最大 52 GHz で動作するという結果が得られた。また、二線式、クロック同期式の四入力出力 LUT の作製も行い、部分的に評価を行った。さらに、クロック同期式二入力出力の LUT をルーティング可能な配線スイッチでつないだ LUT ベースの FPGA を試作した。作製した FPGA は先行研究よりも実装面積、接合数、電流量のすべての点で優れている結果が得られた。また、ルックアップテーブルの大規模化に際して起きる磁化用配線の増加を抑えるために、磁化手法の提案を行った。最初に提案手法の解説を行い、提案手法では選択、半選択という状態が生じることを述べた。AND-OR 機能切り替え可能回路を用いて提案手法を試し、半選択状態がある場合でも論理機能は切り替え可能である結果を得た。

以上の結果から、磁性薄膜パターンを RSFQ 回路に導入することの有用性を明らかにすることができた。これは今後の超伝導デバイスの実用化や、更なる高機能化、高性能化のための大きな一歩であると考えている。

## 6.2 今後の課題と展望

第 4 章で行った超伝導ダイオードに関する課題としては、出力可能電流がまだ小さいという点が挙げられる。現在の RSFQ 回路では回路ブロックあたり 100 mA 程度の電流供給が求められるが、これに対して開発した超伝導ダイオードは 1mA 程度である。出力電流を上げるためにはまず接合面積を大きくし、接合面積がジョセフソン侵入長  $\lambda_J$  の制限を受けるようになれば並列化して電流量を増やす必要がある。なお現在では二直列の超伝導ダイオードの特性をすでに確認しており、ダイオードが直列、並列に接続された場合でも両ダイオード間で均一な特性が得られる結果が得られている。また、電圧制御を行った結果に対しても出力可能電圧をより広い範囲で制御できるようにするのが望ましい。

第 5 章の結果に対しては、LUT の多入力化や FPGA の大規模化を行う必要がある。今回用いたプロセスは産総研のハイスピードスタンダードプロセスであったため、利用できる層数に制限が生じており、複雑な受動配線路 (Passive transmission line: PTL) の利用などができなかった。産総研のアドバンスドプロセスを用いることで PTL の有効活用が可能になり、実用的な規模の実装が容易になる。また、磁性薄膜の条件の変更や、材料

の変更 (PdFe 等) を行なうことによって保磁力の小さい膜を得ることができる。そのような膜を用いて磁化反転を積極的に利用すれば、第5章で述べた機能切り替え回路を動的再構成可能にすることができる。さらに、磁性体パターンを微細化した際に磁性体パターンの磁化手法が問題となる。小さい磁性体をこれまでと同じように磁化させ、小さい面積の超伝導ループに磁束バイアスを加えるのは困難となる。このためにも、利用する磁性体膜の変更を行い、磁化強度を抑えるなどの対策が必要であると考えられる。

また、利用する PdNi 合金の特性に未解明な点が多く存在する。現在のような磁性体サイズでは磁性体は磁区を持っていると考えられるため、この磁区の観察を行い、特性を制御できるようにすることが望ましい。さらに微細化をした場合には単磁区構造となるためその場合の特性についても同様に調査が必要である。これらの極低温での磁気特性の調査は行われておらず、手法の確立を含めて研究を行う必要がある。

以上のことから本研究に対する課題はまだ残っているものの、磁性薄膜パターンを超伝導回路に利用する基礎的な事項に関しては明らかにすることができたため、本研究は超伝導デバイスの単なる高機能化だけでなく実用化に対して大きな意味を持っているといえる。本研究の結果を踏まえて超伝導デジタル回路の課題を解決し、超伝導デジタル回路が発展していくことを期待する。

## 付録 A

# 異常ホール効果による磁気特性の測定

本編では MPMS を用いて利用する磁性体のキュリー点の値を示した。しかし、簡易的な方法として異常ホール効果を用いてキュリー点を得ることができる。異常ホール効果は強磁性体に対するホール効果で [73]，得られるホール電圧に磁性体自身の磁化による項が存在するため，ホール電圧を調査することで磁性体の磁化を調査することができる。

一般的なホール電圧は外部磁場に対してリニアな変化をする。一方，磁性体によるホール電圧は磁化に起因するため，ヒステリシスループにある非線形な変化を示す。よって，磁場を掃引しホール電圧の磁場依存性を観察することによって，非線形であれば磁化あり，線形であれば磁化なしと判断することができる。今回は，各温度でホール電圧の磁場依存性を観察し，磁気特性の消失するキュリー点を調査した。

また，ホール電圧の変化を見ることで，磁化曲線を調査することができると考えられる。5.6 節で述べた個別磁化手法に関し，選択，半選択を行うことでどのような磁化曲線を示すのか測定を行った。

### A.1 異常ホール効果の測定系とキュリー点の測定

熱酸化膜付き Si 基板の上に 20 nm 厚，Ni 割合 10% の PdNi 薄膜を堆積させ，図 A.1 に示すようなホールバーと呼ぶ形状に加工した。ホールバーに対して一定の電流を流し，磁場を面外方向に印加することでホール電圧が発生する。

測定は図 A.2 に示すホール効果測定治具を用いた。今回の手法では磁化反転を観察するため大きな磁場を印加する必要がある。他の治具と比較してコイルの巻き数を増やしており，およそ 0.3 A の電流で 80 kA/m の磁場を印加可能である。

コイルには最大 0.3 A の三角波交流を流す。定電流源とリレーによる極性反転回路を用い，LabVIEW によってそれらを制御することで三角波を生成した。コイルの電流生成回

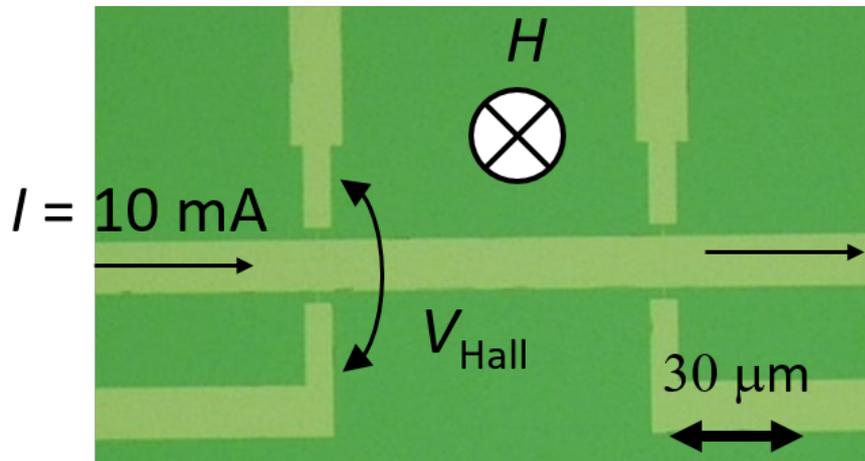
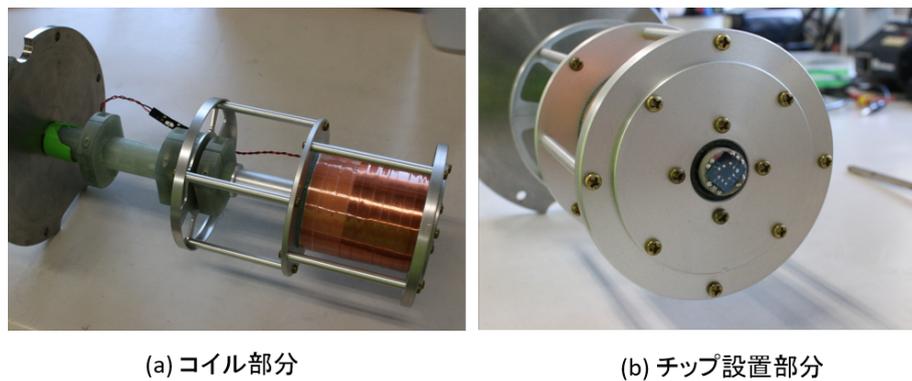


図 A.1 ホールバーの顕微鏡写真



(a) コイル部分

(b) チップ設置部分

図 A.2 異常ホール効果治具

路を図 A.3 に、利用した装置を表 A.1 に示す。

表 A.1 異常ホール効果の測定に利用した機器

機器	メーカー	型番
ナノボルトメータ (ホール電圧)	ケースレー	2182A
定電流源 (ホールバー)	ケースレー	6221
定電流源 (コイル電流)	菊水	PMC250-0.25A
マルチメータ (コイル電流)	アジレント	34411A

70,80,90,100,110,120 K の温度で磁場を掃引し、磁化反転を観察した。図 A.4 に測定結果を示す。70 K の場合を見ると、ホール電圧には非線形な成分が含まれており、磁化を持っていることが分かる。さらに、温度を上げた場合でも 100 K 程度までは非線形性が確認でき、110 K から非線形性を確認できなくなる。そのため、Ni 割合が 10% となる

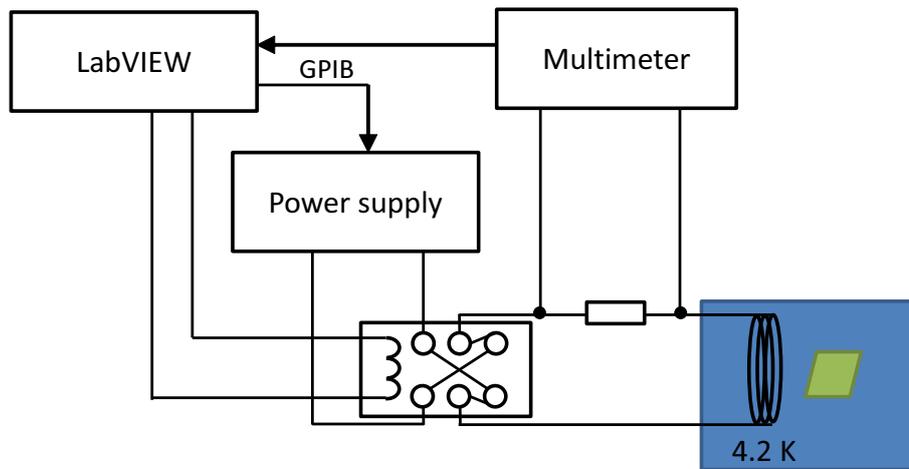


図 A.3 コイル制御系

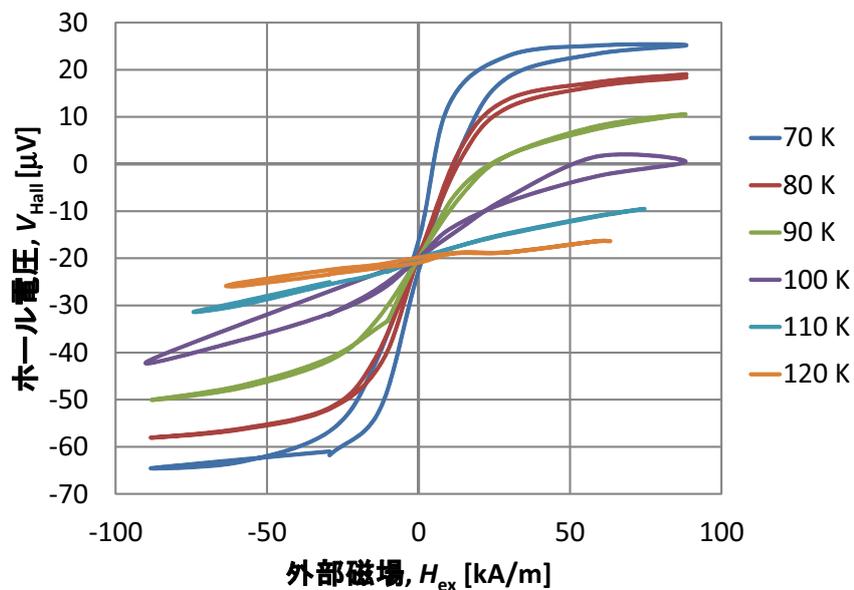


図 A.4 ホール電圧の測定結果

20 nm 膜厚の PdNi 薄膜はキュリー点が 110 K 程度にあることがこの実験より得られた。

この値は、Ni 割合 11%、70 nm 膜厚の PdNi 薄膜に対して MPMS を用いて得られた 130 K という値と比較し、低い値となっている。これは、Ni 割合が少し小さくなっていること、膜厚が薄いことによると考えられる。膜厚が薄くなるとキュリー点が低くなるという現象は PdFe において確認されている [57] ため、PdNi に対しても依存があると考えられる。

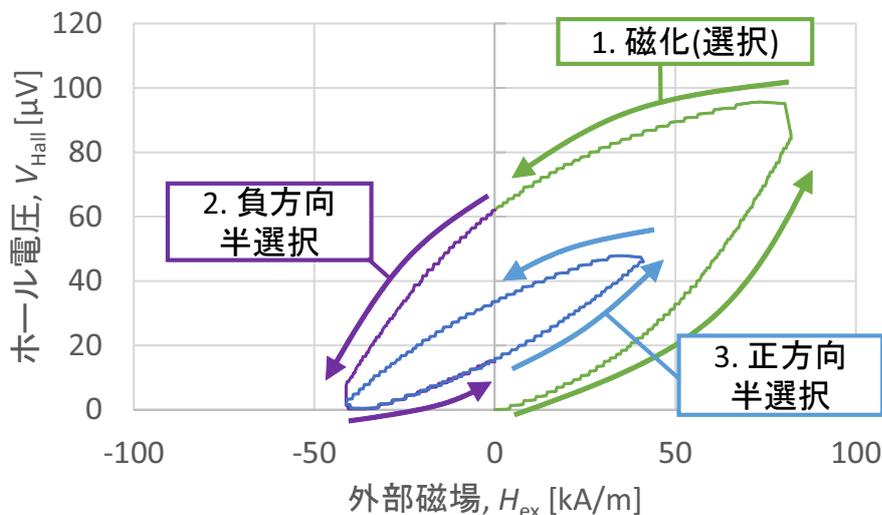


図 A.5 ホール効果による磁化曲線の測定結果

## A.2 磁化曲線の測定

30 nm, Ni 割合 11% の PdNi 薄膜を用意しホールバーとしてパターンを形成した。ホールバーに 10 mA の電流を流した。その他の測定系はキュリー点の測定で用いたものと同様である。測定は液体窒素を用いた 77 K の一定温度環境で行った。

### 磁化曲線の測定結果

測定結果を図 A.5 に示す。測定に入る前に、 $\pm 120$  kA/m の磁場によって交流消磁を行った。まず、正方向に +80 kA/m の磁場を加え、提案手法での「選択」を行う。磁性体は磁化され、正方向のホール電圧が得られている。その後逆方向半分の -40 kA/m の磁場を加え、逆方向半選択を行う。ホール電圧は下がり磁化が弱まっているものの、原点と比較して正方向に磁化を持っており、向きは保存されている。さらに  $\pm 40$  kA/m の磁場で正方向半選択、負方向半選択を順に行ったところ、マイナーループを描いた。

この結果により、提案手法に従って半選択を行った場合でも、磁化の向きは保存される結果が得られた。負方向半選択を重ねるといずれ磁化が弱まっていく可能性があるが、順に負方向、正方向と半選択を繰り返すとマイナーループに落ち着くため、磁化の向きを維持することは問題ないと考えられる。

しかし、異常ホール効果において磁性体が磁化する向きは基板に垂直な面外方向であり、実際の応用で用いる面内方向とは異なる向きである。そのため、本結果は一概に面内方向と共通した結果として利用することはできない。詳細な検討のためには MPMS 等を

用いて磁化曲線の測定を行うことが求められる。



## 付録 B

# 磁性薄膜パターンの干渉と スケーリング

第 5 章では，超伝導ループ上に磁性体を置き，磁性体はその超伝導ループのみに作用するものとした．しかし，回路上に複数の磁性体パターンが存在しその距離が近い場合，各磁性体パターンが生む磁力線は回路に広がっているため，互いに干渉して超伝導ループに磁束バイアスを加える．そのような状態で，ある磁性体が隣接する超伝導ループに加える磁場について調査した．

### B.1 隣接する磁性体による干渉

簡易的には，磁性体が生む磁場は磁気双極子が作る磁場として考えることができ，磁場の大きさは距離の三乗に反比例する．しかし，超伝導体は完全反磁性を持つことから，超伝導体上の磁性体が生む磁場分布は大きく変化し，解析的に求めることは難しい．その為，有限要素法を用いた静磁界シミュレータである ANSYS Maxwell を用いて磁場分布の調査を行った．

図 B.1 に示すように，5.5 節で用いた超伝導ループの構造を基に，ループ上の磁性体が X 軸方向に生む磁場の大きさを調査した．超伝導ループの線幅は  $8 \mu\text{m}$  となっており，原点を超伝導ループの中心とした．シミュレーションソフト上では超伝導体部分は透磁率  $\mu = 0$  として実現している．

得た結果を図 B.3 に示す．磁性体が配置された超伝導ループに加わっている磁場の大きさを 1 とし，規格化して縦軸に示した．超伝導ループに近い  $x = 7 \mu\text{m}$  付近までは磁場は急激に変化しているが，それ以上に離れた部分では素直に減少していく．現在の HSTP のセルサイズは  $40 \mu\text{m}$  であるから， $40 \mu\text{m}$  離れた部分での影響を考えると，磁場強度はループの 1% 程度となり，干渉の影響はほぼないことが分かる．しかし，超伝導ループが  $13 \mu\text{m}$  まで接近したとすると，干渉の影響は 20% まで増える．その際は隣接する磁性体

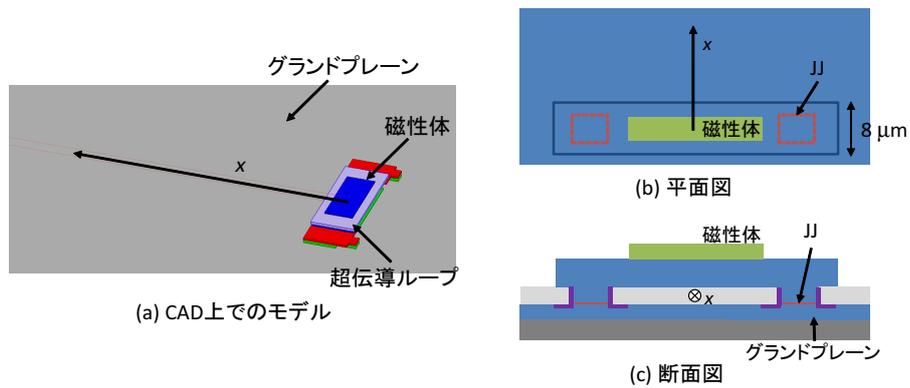


図 B.1 利用したモデル

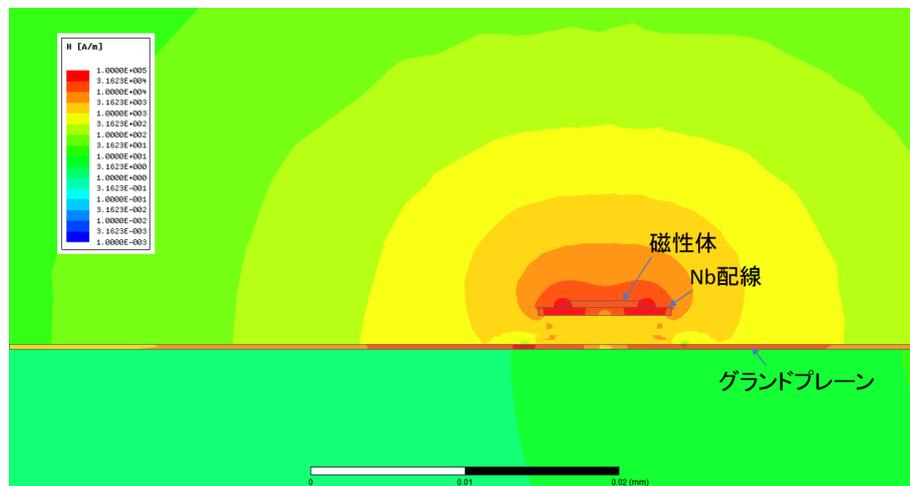


図 B.2 得られた磁場強度の変化

同士で回路の動作マージンに影響を与え始めると考えられる。

よって、 $15\ \mu\text{m}$  よりも磁性体を接近させる場合は、干渉を防ぐ対策が必要となる。最も有効なのは超伝導体で磁性体と超伝導ループを覆う超伝導磁気シールドを作成することである。磁力線は超伝導体を超えることができないため、隣接する磁性体の干渉を完全に抑えることができる。

## B.2 磁性体のスケーリング

微細化によって超伝導ループの幅が  $1/k$  としループ面積が  $1/k$  となったとすると、同様の磁束バイアス量を受けるためには磁性体を  $k$  倍の磁場を発生させるようにする必要がある。そのため、隣接するループが受ける磁場の大きさは  $k$  倍に大きくなるが、ループ面積が  $1/k$  となっているため、干渉によって受ける位相シフト量は微細化の前後で同じとなる。よって、超伝導ループの横幅に対しての微細化によって起きる干渉の影響は、磁性体

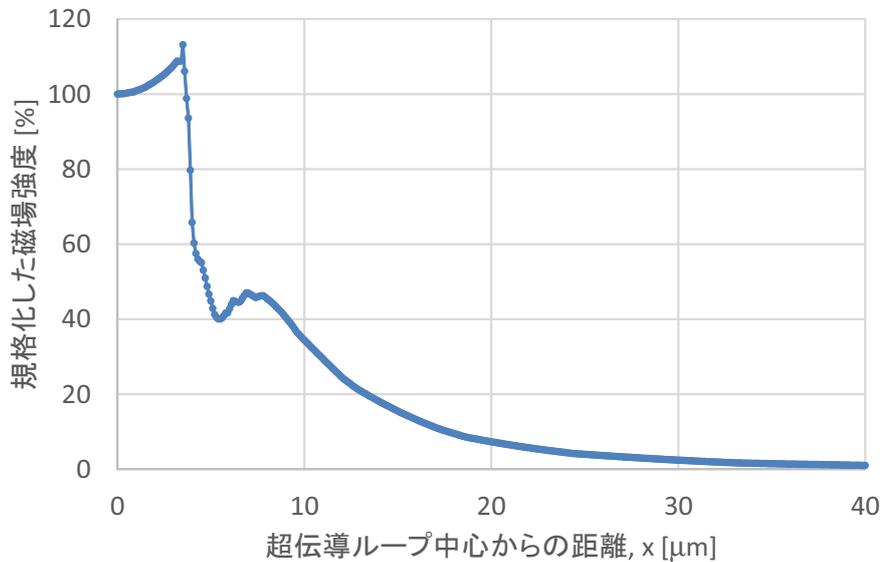


図 B.3 得られた磁場強度

がどれほど接近したかによってのみ決まる。

一方、超伝導ループの線幅が  $1/k$  となった場合、ループ面積は変化しないが磁性体の堆積が  $1/k$  に変化する。その為磁性体がおよそ  $k$  倍の磁場を発するようになる必要があり、隣接するループは  $k$  倍の磁場を受けるようになる。その時の影響は図 B.3 の縦軸を倍にしたものと考えることができ、同様に干渉の影響が 20% となる点を考えると、 $23 \mu\text{m}$  程度となる。

従って、セルサイズを  $20 \mu\text{m}$  程度に小さくし、磁性体サイズを現在の半分にした場合で、隣接するセル同士で影響が出る可能性がある。



# 謝辞

本研究は 2013 年 4 月より 2018 年 3 月にかけて名古屋大学大学院工学研究科量子工学専攻藤巻研究室において行われたものです。

本研究において、非常にご多忙の中、物理の基礎から超伝導デバイスの応用だけでなく、さらに研究生活全般にわたり指導を頂きました藤巻朗教授に深く感謝し、厚く御礼申し上げます。名古屋大学工学研究科・浅野秀文教授には副査として貴重な時間を割いていただき、磁性体、超伝導デバイスの特性に関しご指摘をいただきました。心より感謝いたします。名古屋大学未来材料・システム研究所・岩田聡教授には副査として磁性体の詳細な特性に関する指摘をいただき、またご助言をいただきました。心から感謝いたします。名古屋大学工学研究科・牧原克典准教授には副査として回路の集積、構成に関して指摘をいただきました。深く感謝いたします。名古屋大学工学研究科・山下太郎准教授には副査として磁性体の特性、超伝導デバイスに関するご指摘、議論をしていただきました。深く感謝いたします。本研究において、RSFQ 回路の動作や測定の手法について丁寧に御指導して頂いた田中雅光助教に深く感謝いたします。本研究において、RSFQ 回路の実験からプロセスの議論に関してまで、ご指摘頂いた佐野京佑特任助教に深く感謝いたします。本研究の細部にわたって、常に御助言を下さり御指導して頂いた赤池宏之教授 (現大同大学) に心より感謝致します。井上真澄教授 (現名城大学) には超伝導の基礎に問して基礎から丁寧に指導頂きました。深く感謝いたします。実験装置のメンテナンスや取り扱いに関してご指導頂いた澤木弘二技術職員に深く感謝いたします。備品や装置の管理から論文の校正に至るまで御指導して頂いた入谷安代氏に感謝致します。産業技術総合研究所の日高睦夫氏、永沢秀一氏には、超伝導クリーンルーム CRAVITY の運営、チップ作製プロセス等に関する議論をして頂きました。大変感謝致します。情報通信研究機構の寺井弘高氏、牧瀬圭正氏 (現産総研) には磁気測定の際お世話になりましたほか、超伝導、磁性全般に議論をしていただきました。ありがとうございました。

伊藤大氏、奥村崇之氏には先輩として、チップ作製から研究成果の発表まで様々なことを指導いただきました。深く感謝いたします。黒川綜太氏、石川航太氏、栗原卓也氏、神谷智大氏、岩下颯斗氏、加藤悠輝氏は同じ磁性を扱う研究グループとして磁性体を利用した超伝導デバイスの実験を共に行っていただき、また、さまざまな議論をしていただきま

した。深く感謝致します。梶野顕明氏，宮嶋茂之氏，福岡賢明氏，船井辰則氏，溝口翔太氏，山本宗範氏，坂本隼也氏，伊藤雄記氏，宗本健太郎氏，鈴木雅人氏，榊原啓人氏，丸山晃平氏には同じ超伝導デバイスのプロセスを扱うグループとして色々な視点から議論をしていただきました。深く感謝いたします。

研究生活を共に過ごした伊藤将人氏，北山敦史氏，松岡宏弥氏，伊藤圭介氏，于国偉氏，早川雄飛氏，上阪岬氏，神谷恭平氏，佐藤諒氏，津根彰久氏，大内朋也氏，畑中湧貴氏，松井裕一氏，竹下 雄登氏，近藤直生氏，長岡一起氏に感謝いたします。

最後になりましたが，いつも影から支えて下さり，このような貴重な研究の機会を与えて下さった家族に心より感謝致します。

本研究は JSPS 特別研究員奨励費 16J11440 の助成を受けたものです。

2018 年 3 月

谷口 壮耶

## 参考文献

- [1] Top500. <https://www.top500.org/>.
- [2] さくらインターネット石狩データセンター. <http://ishikari.sakura.ad.jp/>.
- [3] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc. Design of ion-implanted MOSFET's with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, Vol. 9, No. 5, pp. 256–268, Oct 1974.
- [4] D. A. Buck. The Cryotron-A Superconductive Computer Component. *Proceedings of the IRE*, Vol. 44, No. 4, pp. 482–493, April 1956.
- [5] IEEE History Center Newsletters. Issue 75, November 2007.
- [6] B. D. Josephson. Possible new effects in superconductive tunnelling. *Physics letters*, Vol. 1, No. 7, pp. 251–253, 1962.
- [7] P. W. Anderson and J. M. Rowell. Probable observation of the Josephson superconducting tunneling effect. *Physical Review Letters*, Vol. 10, No. 6, p. 230, 1963.
- [8] J. Matisoo. SUBNANOSECOND PAIR - TUNNELING TO SINGLE - PARTICLE TUNNELING TRANSITIONS IN JOSEPHSON JUNCTIONS. *Applied Physics Letters*, Vol. 9, No. 4, pp. 167–168, 1966.
- [9] ARTHUR L. ROBINSON. IBM Drops Superconducting Computer Project. *Science*, Vol. 222, No. 4623, pp. 492–494, 1983.
- [10] M. Gurvitch, M. A. Washington, and H. A. Huggins. High quality refractory Josephson tunnel junctions utilizing thin aluminum layers. *Applied Physics Letters*, Vol. 42, No. 5, pp. 472–474, 1983.
- [11] H. Nakagawa, I. Kurosawa, M. Aoyagi, S. Kosaka, Y. Hamazaki, Y. Okada, and S. Takada. A 4-bit Josephson computer ETL-JC1. *IEEE Transactions on Applied Superconductivity*, Vol. 1, No. 1, pp. 37–47, 1991.
- [12] K. Nakajima, Y. Onodera, and Y. Ogawa. Logic design of Josephson network. *Journal of Applied Physics*, Vol. 47, No. 4, pp. 1620–1627, 1976.

- [13] K. K. Likharev and V. K. Semenov. RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems. *IEEE Transactions on Applied Superconductivity*, Vol. 1, No. 1, pp. 3–28, 1991.
- [14] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, and K. K. Likharev. Rapid single flux quantum T-flip flop operating up to 770 GHz. *IEEE Transactions on Applied Superconductivity*, Vol. 9, No. 2, pp. 3212–3215, June 1999.
- [15] H. Akaike, T. Yamada, A. Fujimaki, S. Nagasawa, K. Hinode, T. Satoh, Y. Kitagawa, and M. Hidaka. Demonstration of a 120GHz single-flux-quantum shift register circuit based on a 10 kA/cm<sup>2</sup> Nb process. *Superconductor Science and Technology*, Vol. 19, No. 5, p. S320, 2006.
- [16] S. V. Polonsky, V. K. Semenov, and D. F. Schneider. Transmission of single-flux-quantum pulses along superconducting microstrip lines. *IEEE Transactions on Applied Superconductivity*, Vol. 3, No. 1, pp. 2598–2600, March 1993.
- [17] R. Sato, Y. Hatanaka, Y. Ando, M. Tanaka, A. Fujimaki, K. Takagi, and N. Takagi. High-Speed Operation of Random-Access-Memory-Embedded Microprocessor With Minimal Instruction Set Architecture Based on Rapid Single-Flux-Quantum Logic. *IEEE Transactions on Applied Superconductivity*, Vol. 27, No. 4, pp. 1–5, June 2017.
- [18] Y. Sakashita, Y. Yamanashi, and N. Yoshikawa. 50 GHz Demonstration of an Integer-Type Butterfly Processing Circuit for an FFT Processor Using the 10 kA/cm<sup>2</sup> Nb Process. *IEICE Transactions on Electronics*, Vol. E98.C, No. 3, pp. 232–237, 2015.
- [19] Cryogenic Computing Complexity (C3) . <https://www.iarpa.gov/index.php/research-programs/c3>.
- [20] O. A. Mukhanov, D. Kirichenko, I. Vernik, T. Filippov, A. Kirichenko, R. Webber, V. Dotsenko, A. Talalaevskii, J. C. TANG, A. SAHU, P. Shevchenko, Miller. R, S. B. Kaplan, S. Sarwana, and D. Gupta. Superconductor Digital-RF Receiver Systems. *IEICE Transactions on Electronics*, Vol. E91.C, No. 3, pp. 306–317, 2008.
- [21] A. Putnam. Large-scale reconfigurable computing in a microsoft datacenter. In *2014 IEEE Hot Chips 26 Symposium (HCS)*, pp. 1–38, Aug 2014.
- [22] N. Yoshikawa and Y. Kato. Reduction of power consumption of RSFQ circuits by inductance-load biasing. *Superconductor Science and Technology*, Vol. 12, No. 11, p. 918, 1999.
- [23] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki. 18-GHz, 4.0-

- aJ/bit Operation of Ultra-Low-Energy Rapid Single-Flux-Quantum Shift Registers. *Japanese Journal of Applied Physics*, Vol. 51, No. 5R, p. 053102, 2012.
- [24] D. E. Kirichenko, S. Sarwana, and A. F. Kirichenko. Zero static power dissipation biasing of RSFQ circuits. *IEEE Transactions on Applied Superconductivity*, Vol. 21, No. 3, pp. 776–779, 2011.
- [25] Q. P. Herr, A. Y. Herr, O. T. Oberg, and A. G. Ioannidis. Ultra-low-power superconductor logic. *Journal of applied physics*, Vol. 109, No. 10, p. 103903, 2011.
- [26] N. Takeuchi, D. Ozawa, Y. Yamanashi, and N. Yoshikawa. An adiabatic quantum flux parametron as an ultra-low-power logic device. *Superconductor Science and Technology*, Vol. 26, No. 3, p. 035010, 2013.
- [27] Y. Harada, E. Goto, and N. Miyamoto. Quantum flux parametron. In *Electron Devices Meeting, 1987 International*, Vol. 33, pp. 389–392. IEEE, 1987.
- [28] N. Takeuchi, Y. Yamanashi, and N. Yoshikawa. Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator. *Applied Physics Letters*, Vol. 102, No. 5, p. 052602, 2013.
- [29] S. Nagasawa, Y. Hashimoto, H. Numata, and S. Tahara. A 380 ps, 9.5 mW Josephson 4-Kbit RAM operated at a high bit yield. *IEEE Transactions on Applied Superconductivity*, Vol. 5, No. 2, pp. 2447–2452, June 1995.
- [30] V. V. Ryazanov, V. V. Bol'ginov, D. S. Sobanin, I. V. Vernik, S. K. Tolpygo, A. M. Kadin, O. A. Mukhanov. Magnetic Josephson junction technology for digital and memory applications. *Physics Procedia*, Vol. 36, pp. 35–41, 2012.
- [31] G. Konno, Y. Yamanashi, and N. Yoshikawa. Fully Functional Operation of Low-Power 64-kb Josephson-CMOS Hybrid Memories. *IEEE Transactions on Applied Superconductivity*, Vol. 27, No. 4, pp. 1–7, June 2017.
- [32] J. H. Kang and S. B. Kaplan. Current recycling and SFQ signal transfer in large scale RSFQ circuits. *IEEE Transactions on Applied Superconductivity*, Vol. 13, No. 2, pp. 547–550, June 2003.
- [33] S. Nagasawa, K. Hinode, T. Satoh, M. Hidaka, H. Akaike, A. Fujimaki, N. Yoshikawa, K. Takagi, , and N. Takagi. Nb 9-Layer Fabrication Process for Superconducting Large-Scale SFQ Circuits and Its Process Evaluation. *IEICE Transactions on Electronics*, Vol. E97-C, No. 3, pp. 132–140, March 2014.
- [34] D. Olaya, B. Baek, P. D. Dresselhaus, and S. P. Benz. High-Speed Nb/Nb-Si/Nb Josephson Junctions for Superconductive Digital Electronics. *IEEE Transactions on Applied Superconductivity*, Vol. 18, No. 4, pp. 1797–1800, Dec 2008.

- [35] S. K. Tolpygo, V. Bolkhovsky, T. J. Weir, C. J. Galbraith, L. M. Johnson, M. A. Gouker, and V. K. Semenov. Inductance of Circuit Structures for MIT LL Superconductor Electronics Fabrication Process With 8 Niobium Layers. *IEEE Transactions on Applied Superconductivity*, Vol. 25, No. 3, pp. 1–5, June 2015.
- [36] C. J. Fourie and H. van Heerden. An RSFQ Superconductive Programmable Gate Array. *IEEE Transactions on Applied Superconductivity*, Vol. 17, No. 2, pp. 538–541, June 2007.
- [37] T. Okumura, H. Ito, S. Yano, S. Taniguchi, H. Akaike, and A. Fujimaki. Effects of magnetic nanoparticle films on the electrical characteristics of dc superconducting quantum interference devices. *Japanese Journal of Applied Physics*, Vol. 53, No. 3, p. 033101, 2014.
- [38] D. Balashov, B. Dimov, M. Khabipov, T. Ortlepp, D. Hagedorn, A. B. Zorin, F. I. Buchholz, F. H. Uhlmann, and J. Niemeyer. Passive Phase Shifter for Superconducting Josephson Circuits. *IEEE Transactions on Applied Superconductivity*, Vol. 17, No. 2, pp. 142–145, June 2007.
- [39] O. Wetzstein, T. Ortlepp, R. Stolz, J. Kunert, H. G. Meyer, and H. Toepfer. Comparison of RSFQ Logic Cells With and Without Phase Shifting Elements by Means of BER Measurements. *IEEE Transactions on Applied Superconductivity*, Vol. 21, No. 3, pp. 814–817, June 2011.
- [40] O. Mielke, T. Ortlepp, P. Febvre, and F. H. Uhlmann. Reduced Probability of Noise Introduced Malfunction in RSFQ Circuits by Implementing Intrinsic  $\pi$ -Phaseshifter. *IEEE Transactions on Applied Superconductivity*, Vol. 19, No. 3, pp. 621–625, June 2009.
- [41] M. I. Khabipov, D. V. Balashov, F. Maibaum, A. B. Zorin, V. A. Oboznov, V. V. Bolginov, A. N. Rossolenko, and V. V. Ryazanov. A single flux quantum circuit with a ferromagnet-based Josephson  $\pi$ -junction. *Superconductor Science and Technology*, Vol. 23, No. 4, p. 045032, 2010.
- [42] A. K. Feofanov, V. A. Oboznov, V. V. Bolginov, J. Lisenfeld, S. Poletto, V. V. Ryazanov, A. N. Rossolenko, M. Khabipov, D. Balashov, A. B. Zorin, P. N. Dmitriev, V. P. Koshelets, A. V. Ustinov. Implementation of superconductor/ferromagnet/ superconductor  $\pi$ -shifters in superconducting digital and quantum circuits. *nature physics*, Vol. 6, pp. 593–597, 2010.
- [43] T. Kamiya, S. Taniguchi, K. Sano, and M. Tanaka A. Fujimaki. Numerical Analysis of Rapid Single-Flux-Quantum Circuits Composed of 0- and  $\pi$ -Shifted Josephson Junctions. In *International Symposium on Superconductivity*, Decem-

- ber 2017.
- [44] T. Oortlepp, Ariando, O. Mielke, C. J. M. Verwijs, K. F. K. Foo, A. Andreski, H. Rogalla, F. H. Uhlmann, and H. Hilgenkamp. RSFQ Circuitry Using Intrinsic  $\pi$ -Phase Shifts. *IEEE Transactions on Applied Superconductivity*, Vol. 17, No. 2, pp. 659–663, June 2007.
- [45] IEC 60417-6371. <https://www.iso.org/obp/ui#iec:grs:60417:6371>.
- [46] E. S. Fang and T. Van Duzer. A Josephson integrated circuit simulator (JSIM) for superconductive electronics application. *Ext. Abstr. 2nd ISEC, Tokyo, Japan*, pp. 407–410, 1989.
- [47] 山田隆宏. 超伝導ネットワークスイッチ要素回路の設計とその高速動作. Master's thesis, 名古屋大学, 2002 年.
- [48] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, and S. Tahara. A single flux quantum standard logic cell library. *Physica C: Superconductivity*, Vol. 378-381, No. Part 2, pp. 1471 – 1474, 2002.
- [49] H. Terai, Y. Kameda, S. Yorozu, A. Fujimaki, and Zhen Wang. The effects of DC bias current in large-scale SFQ circuits. *IEEE Transactions on Applied Superconductivity*, Vol. 13, No. 2, pp. 502–506, June 2003.
- [50] H. Terai, M. Tanaka, Y. Yamanashi, Y. Hashimoto, A. Fujimaki, N. Yoshikawa, and Z. Wang. Diagnostic Test of Large-Scale SFQ Shift Register. *IEEE Transactions on Applied Superconductivity*, Vol. 17, No. 2, pp. 422–425, June 2007.
- [51] 早川尚夫. 超高速ジョセフソンデバイス. 培風館, 昭和 61 年.
- [52] C. J. Fourie and W. J. Perold. Simulated inductance variations in RSFQ circuit structures. *IEEE transactions on applied superconductivity*, Vol. 15, No. 2, pp. 300–303, 2005.
- [53] W. A. Challener, Chubing Peng, A. V. Itagi, D. Karns, Wei Peng, Yingguo Peng, XiaoMin Yang, Xiaobin Zhu, N. J. Gokemeijer, Y.-T. Hsia, G. Ju, Robert E. Rottmayer, Michael A. Seigler, and E. C. Gage. Heat-assisted magnetic recording by a near-field transducer with efficient optical energy transfer. *Nature Photonics*, Vol. 3, pp. 220 EP –, Mar 2009. Article.
- [54] 高梨弘毅. 磁気工学入門 -磁気の初歩と単位の理解のために-. 共立出版, 2008.
- [55] S. M. Frolov, D. J. Van Harlingen, V. A. Oboznov, V. V. Bolginov, and V. V. Ryazanov. Measurement of the current-phase relation of superconductor/ferromagnet/superconductor  $\pi$  josephson junctions. *Phys. Rev. B*, Vol. 70, p. 144505, Oct 2004.
- [56] T. Yamashita, A. Kawakami, and H. Terai. NbN-Based Ferromagnetic 0 and  $\pi$

- Josephson Junctions. *Phys. Rev. Applied*, Vol. 8, p. 054028, Nov 2017.
- [57] V. V. Bol'ginov, V. S. Stolyarov, D. S. Sobanin, A. L. Karpovich, and V. V. Ryazanov. Magnetic switches based on Nb-PdFe-Nb Josephson junctions with a magnetically soft ferromagnetic interlayer. *JETP Letters*, Vol. 95, No. 7, pp. 366–371, Jun 2012.
- [58] V. N. Kushnir, S. L. Prischepa, J. Aarts, C. Bell, C. Cirillo, and C. Attanasio. Effect of the variation of the exchange energy on the superconducting critical temperature of S/F/S trilayers. *The European Physical Journal B*, Vol. 80, No. 4, pp. 445–449, Apr 2011.
- [59] W. A. Ferrando, R. Segnan, and A. I. Schindler. Matrix and Impurity-Cluster Polarization in Ni-Pt and Ni-Pd Alloys. *Phys. Rev. B*, Vol. 5, pp. 4657–4664, Jun 1972.
- [60] H. Ito, S. Taniguchi, K. Ishikawa, H. Akaike, and A. Fujimaki. Fabrication of superconductor/ferromagnet/insulator/superconductor Josephson junctions with critical current uniformity applicable to integrated circuits. *Applied Physics Express*, Vol. 10, No. 3, p. 033101, 2017.
- [61] H. Sugiyama, A. Fujimaki, and H. Hayakawa. Characteristics of high critical current density Josephson junctions with Nb/AlO<sub>x</sub>/Nb trilayers. *IEEE Transactions on Applied Superconductivity*, Vol. 5, No. 2, pp. 2739–2742, June 1995.
- [62] T. Imamura and S. Hasuo. Fabrication of High Quality Nb/AlO<sub>x</sub>-Al/Nb Josephson Junctions: II-Deposition of Thin Al Layers on Nb Films. *Applied Superconductivity, IEEE Transactions on*, Vol. 2, pp. 84 – 94, 07 1992.
- [63] J Beille and R Tournier. Critical pressure effects in PdNi alloys. *Journal of Physics F: Metal Physics*, Vol. 6, No. 4, p. 621, 1976.
- [64] K. Kajino, K. Fujita, B. An, M. Inoue, and A. Fujimaki. Ratchet Effect of Single Vortex Motion in Superconducting Asymmetrical Nanobridges. *Japanese Journal of Applied Physics*, Vol. 51, No. 5R, p. 053101, 2012.
- [65] J. E. Villegas, Sergey Savel'ev, Franco Nori, E. M. Gonzalez, J. V. Anguita, R. García, and J. L. Vicent. A Superconducting Reversible Rectifier That Controls the Motion of Magnetic Flux Quanta. *Science*, Vol. 302, No. 5648, pp. 1188–1191, 2003.
- [66] J. Van de Vondel, C. C. de Souza Silva, B. Y. Zhu, M. Morelle, and V. V. Moshchalkov. Vortex-Rectification Effects in Films with Periodic Asymmetric Pinning. *Phys. Rev. Lett.*, Vol. 94, p. 057003, Feb 2005.
- [67] D. Y. Vodolazov and F. M. Peeters. Superconducting rectifier based on the

- asymmetric surface barrier effect. *Phys. Rev. B*, Vol. 72, p. 172508, Nov 2005.
- [68] M. Tanaka, M. Kozaka, Y. Kita, A. Fujimaki, S. Nagasawa, and M. Hidaka. Rapid Single-Flux-Quantum Circuits Fabricated Using 20-kA/cm<sup>2</sup> Nb/AlO<sub>x</sub>/Nb Process. *IEEE Transactions on Applied Superconductivity*, Vol. 25, No. 3, pp. 1–4, June 2015.
- [69] S. Basavaiah and R. Broom. Characteristics of in-line josephson tunneling gates. *IEEE Transactions on Magnetics*, Vol. 11, No. 2, pp. 759–762, Mar 1975.
- [70] N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, Y. Yamanashi, and N. Yoshikawa. Adiabatic quantum-flux-parametron cell library designed using a 10 kA cm<sup>-2</sup> niobium fabrication process. *Superconductor Science and Technology*, Vol. 30, No. 3, p. 035002, 2017.
- [71] 荒木美佳, 山梨裕希, 吉川信行. 単一磁束量子回路を用いた fpga の実現に向けた 2 × 2 look-up table の設計および評価と 4 × 4 への拡張. 超伝導エレクトロニクス研究会, 8月 2017.
- [72] T. Yamada, A. Sekiya, A. Akahori, H. Akaike, A. Fujimaki, H. Hayakawa, Y. Kameda, S. Yorozu, and H. Terai. On-chip test of the shift register for high-end network switch based on cell-based design. *Superconductor Science and Technology*, Vol. 14, No. 12, p. 1071, 2001.
- [73] D. H. Wei, Y. Niimi, B. Gu, T. Ziman, S. Maekawa, and Y. Otani. The spin Hall effect as a probe of nonlinear spin fluctuations. *Nature Communications*, Vol. 3, pp. 1058 EP –, Sep 2012. Article.



## 研究業績

論文題目	公表の方法及び時期	著者
I. 学術雑誌等		
1. Effects of Magnetic Nanoparticle Films on the Electrical Characteristics of DC Superconducting Quantum Interference Devices	Jpn. J. Appl. Phys., Vol. 53, No. 3, 033101 (2014)	Takayuki Okumura, Hiroshi Ito, Shun Yano, Soya Taniguchi, Hiroyuki Akaike, Akira Fujimaki
2. Cryogenic Ferromagnetic Patterns with Controlled Magnetization for Superconducting Phase-Shift Elements	Jpn. J. Appl. Phys., Vol. 54, No. 4, 043101 (2015)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki
3. 強磁性パターンを用いた磁束量子パラメトロン論の論理機能切り替え	電気学会論文誌 A, Vol. 136, No. 12, pp. 753-758 (2016)	伊藤 大, 谷口 壮耶, 黒川 綜太, 田中 雅光, 赤池 宏之, 藤巻 朗
4. Investigation into the Individual Configuration of Superconducting Phase Shift Elements Made of Ferromagnetic Patterns for Reconfigurable Circuits	IEEE Trans. Appl. Supercond. Vol. 27, No. 4, 1501204 (2017)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Kota Kurokawa, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
5. Evaluation of the Uniformity of Superconductor-Ferromagnet-Insulator-Superconductor Josephson Junctions	Appl. Phys. Express, 10, 033101 (2017)	Hiroshi Ito, Soya Taniguchi, Kouta Ishikawa, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
6. Thermally assisted superconductor transistors for Josephson-CMOS hybrid memories	IEICE Trans. Electron. (accepted)	Kyosuke Sano, Masato Suzuki, Kohei Maruyama, Soya Taniguchi, Masamitsu Tanaka, Akira Fujimaki

論文題目	公表の方法及び時期	著者
II. 国際会議		
1. High-Frequency Characteristics of DC-SQUIDS with Fe <sub>3</sub> O <sub>4</sub> Nanoparticle Film Patterns	5th Supercond. SFQ VLSI Workshop (SSV2012), P-23, Nagoya, Aichi, Japan, Dec. 2012 (Poster)	Hiroshi Ito, Takayuki Okumura, Soya Taniguchi, Hiroyuki Akaike, Akira Fujimaki
2. High-Frequency Characteristics of DC-SQUIDS with Magnetic Nanoparticle Patterns	14th Int. Supercond. Electron. Conf. (ISEC2013), PF2, Cambridge, MA, USA, Jul. 2013 (Poster)	Hiroshi Ito, Soya Taniguchi, Takayuki Okumura, Hiroyuki Akaike, Akira Fujimaki
3. The Influence of Pd <sub>1-x</sub> Ni <sub>x</sub> Alloys on the Magnetic Field Characteristics of SQUIDS	6th Supercond. SFQ VLSI Workshop (SSV2013), O-6, Tsukuba, Ibaraki, Japan, Nov. 2013 (Oral)	Soya Taniguchi, Hiroshi Ito, Hiroyuki Akaike, Akira Fujimaki
4. Investigation on the Electrical Characteristics of SQUIDS with PdNi Thin Film Pattern	Supercond. SFQ VLSI Workshop for Young Scientists (SSV2014-YS), P-9, Nagoya, Aichi, Japan, Mar. 2014 (Poster)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki
5. Fabrication of Nb/Pd <sub>1-x</sub> Ni <sub>x</sub> /AlO <sub>y</sub> /Nb Josephson Junctions	Supercond. SFQ VLSI Workshop for Young Scientists (SSV2014-YS), O-13, Nagoya, Aichi, Japan, Mar. 2014 (Oral)	Hiroshi Ito, Soya Taniguchi, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
6. Study on the Formation and Magnetization Reversal of PdNi Patterns for Memory Applications	Supercond. SFQ VLSI Workshop for Young Scientists (SSV2014-YS), P-8, Nagoya, Aichi, Japan, Mar. 2014 (Poster)	Kouta Ishikawa, Hiroshi Ito, Soya Taniguchi, Hiroyuki Akaike, Akira Fujimaki
7. Superconducting Phase Shift Elements Made of Ferromagnetic Patterns for Functional Circuits	2014 Appl. Supercond. Conf. (ASC2014), 4EO3A-03, Charlotte, NC, USA, Aug. 2014 (Oral)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Sota Kurokawa, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
8. Fabrication of Nb Josephson Junctions with Ferromagnetic-Insulating Multilayer Barrier	2014 Appl. Supercond. Conf. (ASC2014), 1EO3A-03, Charlotte, NC, USA, Aug. 2014 (Oral)	Hiroshi Ito, Soya Taniguchi, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki
9. Low-Excitation-Current Operation of Quantum-Flux-Parametron Circuit Using Magnetic Flux Biasing	27th International Symposium on Superconductivity (ISS2014), FD-14, Tokyo, Japan, Nov. 2014 (Oral)	Sota Kurokawa, Akihisa Tsune, Kouta Ishikawa, Soya Taniguchi, Hiroshi Ito, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
10. Evaluation of Magnetic Field Induced by PdNi Ferromagnetic Patterns for Phase Shift Elements	7th Supercond. SFQ VLSI Workshop (SSV2014), P-17, Kobe, Hyogo, Japan, Dec. 2014 (Poster)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki
11. Electrical Characteristics of Nb Based Superconductor-Ferromagnet-Insulator-Superconductor Josephson Junctions	15th Int. Supercond. Electron. Conf. (ISEC2015), DP-O04, Nagoya, Aichi, Japan, Jul. 2015 (Oral)	Hiroshi Ito, Soya Taniguchi, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki
12. Application of Superconducting Phase Shift Elements Made of Ferromagnetic Patterns to Single-Flux-Quantum Circuits for Reconfigurable Functions	15th Int. Supercond. Electron. Conf. (ISEC2015), DS-P03-INV, Nagoya, Aichi, Japan, Jul. 2015 (Poster)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Sota Kurokawa, Akihisa Tsune, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
13. Reconfigurable Logic Gate of Quantum-Flux-Parametron Using Magnetic Material	15th Int. Supercond. Electron. Conf. (ISEC2015), DS-P27, Nagoya, Aichi, Japan, Jul. 2015 (Poster)	Sota Kurokawa, Akihisa Tsune, Kouta Ishikawa, Soya Taniguchi, Hiroshi Ito, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
14. Programmable Single-Flux-Quantum Circuits Based on Superconducting Phase Shift Elements Made of Ferromagnetic Patterns	12th Eur. Conf. Appl. Supercond. (EU-CAS2015), EUCAS-15_2M-E-O1-7, Lyon, France, Sep. 2015 (Oral)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Sota Kurokawa, Akihisa Tsune, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
15. Josephson Junctions with a PdNi Ferromagnetic Barrier Layer for Integrated Circuits	12th Eur. Conf. Appl. Supercond. (EU-CAS2015), EUCAS-15_3A-E-P-04.11, Lyon, France, Sep. 2015 (Poster)	Hiroshi Ito, Soya Taniguchi, Kouta Ishikawa, Hiroyuki Akaike, Akira Fujimaki
16. Design of a Look-Up Table Based on the Dual-Rail Single Flux Quantum Circuit with Ferromagnetic Materials	9th Supercond. SFQ VLSI Workshop (SSV2016), P-14, Yokohama, Kanagawa, Japan, Aug. 2016 (Poster)	Soya Taniguchi, Hiroshi Ito, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
17. Investigation on the Individual Configuration Method of Superconducting Phase Shift Elements Made of Ferromagnetic Patterns	2016 Appl. Supercond. Conf. (ASC2016), 3EPo1B-05, Denver, CO, USA, Sep. 2016 (Poster)	Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Sota Kurokawa, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
18. Operation of Adiabatic Quantum Flux Parametron Logic Circuits Based on $\pi$ Phase Shift Elements with Ferromagnetic Material	2016 Appl. Supercond. Conf. (ASC2016), 1EOr2B-04, Denver, CO, USA, Sep. 2016 (Oral)	Hiroshi Ito, Soya Taniguchi, Sota Kurokawa, Kouta Ishikawa, Takuya Kurihara, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
19. Implementation of a Look-Up Table Based on Phase Shift Elements and Dual-Rail SFQ Circuits	29th International Symposium on Superconductivity (ISS2016), EDP2-7, Tokyo, Japan, Dec. 2016 (Poster)	Soya Taniguchi, Hiroshi Ito, Takuya Kurihara, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
20. Evaluation of a SFQ look-up table based on superconducting phase shift elements for reconfigurable circuits	10th Supercond. SFQ VLSI Workshop (SSV2017), O-14, Nagoya, Aichi, Japan, Feb. 2017 (Oral)	Soya Taniguchi, Hiroshi Ito, Takuya Kurihara, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
21. Demonstration of a Compact Look-up Table Based on Superconducting Phase Shift Elements Using Ferromagnetic Patterns	16th Int. Supercond. Electron. Conf. (ISEC2016), We-SDM-09, Sorrento, Italy, Jun. 2017 (Poster)	Soya Taniguchi, Hiroshi Ito, Takuya Kurihara, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
22. Fabrication of NbTiN nanocryotrons for Josephson-CMOS hybrid memory application	16th Int. Supercond. Electron. Conf. (ISEC2016), We-C-HYB-04, Sorrento, Italy, Jun. 2017 (Poster)	Kyosuke Sano, Masato Suzuki, Soya Taniguchi, Kohei Maruyama, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki

論文題目	公表の方法及び時期	著者
<p>III. 国内会議</p> <p>1. Fe<sub>3</sub>O<sub>4</sub> ナノ粒子薄膜が形成された SQUID の共振ステップ</p> <p>2. 磁性ナノ粒子薄膜を形成した SQUID の閾値特性と共振ステップ</p> <p>3. SQUID 共振ステップを用いた Fe<sub>3</sub>O<sub>4</sub> ナノ粒子薄膜の周波数特性評価</p> <p>4. 超伝導デバイス応用に向けた磁性ナノ粒子薄膜の高周波特性評価</p> <p>5. PdNi 合金薄膜を形成した SQUID の磁場応答</p>	<p>第 73 回応用物理学会秋季学術講演会, 愛媛, 愛媛大学・松山大学, 13p-PA5-3, 2012 年 9 月 (ポスター)</p> <p>電子情報通信学会超伝導エレクトロニクス研究会, 東京, 機械振興会館, SCE2012-19, 2012 年 10 月 (口頭)</p> <p>第 60 回応用物理学会春季学術講演会, 神奈川, 神奈川県工科大学, 29p-G2-7, 2013 年 3 月 (口頭)</p> <p>第 74 回応用物理学会秋季学術講演会, 京都, 同志社大学, 18a-P4-52, 2013 年 9 月 (ポスター)</p> <p>2013 年度秋季低温工学・超電導学会, 愛知, ウィンクあいち, 1D-p04, 2013 年 12 月 (口頭)</p>	<p>伊藤 大, 奥村 崇之, 谷口 壮耶, 赤池 宏之, 藤巻 朗</p> <p>伊藤 大, 奥村 崇之, 谷口 壮耶, 赤池 宏之, 藤巻 朗</p> <p>伊藤 大, 奥村 崇之, 谷口 壮耶, 赤池 宏之, 藤巻 朗</p> <p>伊藤 大, 谷口 壮耶, 赤池 宏之, 藤巻 朗</p> <p>谷口 壮耶, 伊藤 大, 赤池 宏之, 藤巻 朗</p>

論文題目	公表の方法及び時期	著者
6. PdNi 薄膜パターンを用いた超伝導位相シフト	第 61 回応用物理学会春季学術講演会, 神奈川, 青山学院大学, 17p-D4-13, 2014 年 3 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 赤池 宏之, 藤巻 朗
7. PdNi 磁性障壁層を持った SFIS ジョセフソン接合の特性	第 61 回応用物理学会春季学術講演会, 神奈川, 青山学院大学, 17p-D4-12, 2014 年 3 月 (口頭)	伊藤 大, 谷口 壮耶, 石川 航太, 赤池 宏之, 藤巻 朗
8. SQUID 上への PdNi パターン形成とその磁化反転の検討	2014 年電子情報通信学会総合大会, 新潟, 新潟大学, C-8-13, 2014 年 3 月 (口頭)	石川 航太, 伊藤 大, 谷口 壮耶, 赤池 宏之, 藤巻 朗
9. 超伝導位相シフト応用のための磁性体による磁束バイアス量の評価	第 75 回応用物理学会秋季学術講演会, 北海道, 北海道大学, 17a-A20-4, 2014 年 9 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 赤池 宏之, 藤巻 朗
10. PdNi 層を持つジョセフソン接合の磁気的特性の検討	第 75 回応用物理学会秋季学術講演会, 北海道, 北海道大学, 17a-A20-3, 2014 年 9 月 (口頭)	伊藤 大, 谷口 壮耶, 石川 航太, 赤池 宏之, 藤巻 朗

論文題目	公表の方法及び時期	著者
11. 磁性体を用いた磁束量子パラメトロン回路の低電流化に関する研究	2014 年電子情報通信学会ソサイエティ大会, 徳島, 徳島大学, C-8-3, 2014 年 9 月 (口頭)	津根 彰久, 黒川 綜太, 谷口 壮耶, 伊藤 大, 田中 雅光, 赤池宏之, 藤巻 朗
12. SQUID 上に配置した PdNi パターンの磁化反転の検討	2014 年度秋季低温工学・超電導学会, 福島, コラッセふくしま, 3B-a08, 2014 年 11 月 (口頭)	石川 航太, 伊藤 大, 谷口 壮耶, 赤池 宏之, 藤巻 朗
13. 磁性体を用いた再構成可能な磁束量子パラメトロン回路	第 62 回応用物理学会春季学術講演会, 神奈川, 東海大学, 14a-A2-4, 2015 年 3 月 (口頭)	黒川 綜太, 津根 彰久, 伊藤 大, 谷口 壮耶, 田中 雅光, 赤池 宏之, 藤巻 朗
14. SFIS ジョセフソン接合の磁性層が接合特性に与える影響の検討	第 62 回応用物理学会春季学術講演会, 神奈川, 東海大学, 14a-A2-7, 2015 年 3 月 (口頭)	伊藤 大, 谷口 壮耶, 石川 航太, 赤池 宏之, 藤巻 朗
15. 磁性体を用いた超伝導位相シフトによる単一磁束量子回路の多機能化の検討	第 62 回応用物理学会春季学術講演会, 神奈川, 青海大学, 14a-A2-2, 2015 年 3 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 黒川 綜太, 津根 彰久, 田中 雅光, 赤池 宏之, 藤巻 朗

論文題目	公表の方法及び時期	著者
16. SQUID 上に配置した PdNi パターン磁気特性の膜厚依存性	2015 年度春季低温工学・超電導学会, 茨城, 産業技術総合研究所つくばセンター, 1C-p08, 2015 年 5 月 (口頭)	石川 航太, 伊藤 大, 谷口 壮耶, 赤池 宏之, 藤巻 朗
17. 磁性体パターンを用いたプログラマブル単一磁束量子論理セルの設計と評価	電子情報通信学会超伝導エレクトロニクス研究会, 東京, 機械振興会館, SCE2015-9, 2015 年 8 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 黒川 綜太, 田中 雅光, 赤池 宏之, 藤巻 朗
18. 強磁性体を用いた磁束遷移メモリセルの特性評価	電子情報通信学会 2015 年 ソサエティ大会, 宮城, 東北大学, C-8-2, 2015 年 8 月 (口頭)	大内 朋也, 幸村 勇斗, 谷口 壮耶, 田中 雅光, 藤巻 朗
19. 磁性体を用いたプログラマブル単一磁束量子論理セルの動作領域の変化	第 76 回応用物理学会秋季学術講演会, 愛知, 名古屋国際会議場, 15a-4B-5, 2015 年 9 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 黒川 綜太, 田中 雅光, 赤池 宏之, 藤巻 朗
20. 集積回路応用に向けた SFIS ジョセフソン接合の特性	第 76 回応用物理学会秋季学術講演会, 愛知, 名古屋国際会議場, 15p-4B-6, 2015 年 9 月 (口頭)	伊藤 大, 谷口 壮耶, 石川 航太, 赤池 宏之, 藤巻 朗

論文題目	公表の方法及び時期	著者
21. 磁性体を用いた単一磁束量子ルックアップテーブルの実証	第 76 回応用物理学会秋季学術講演会, 愛知, 名古屋国際会議場, 15p-4B-3, 2015 年 9 月 (口頭)	黒川 綜太, 伊藤 大, 谷口 壮耶, 石川 航太, 田中 雅光, 赤池 宏之, 藤巻 朗
22. SQUID による異なる寸法の PdNi パターン磁気特性評価	2015 年度秋季低温工学・超電導学会, 兵庫, 姫路商工会議所, 1D-p04, 2015 年 9 月 (口頭)	石川 航太, 伊藤 大, 谷口 壮耶, 赤池 宏之, 藤巻 朗
23. 磁性体を用いた超伝導位相シフトのための磁化の個別制御に関する検討	第 63 回応用物理学会春季学術講演会, 東京, 東京工業大学, 20p-W834-11, 2016 年 3 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 黒川 綜太, 田中 雅光, 赤池 宏之, 藤巻 朗
24. Nb/PdNi/Nb 磁性ジョセフソン接合の作製	第 63 回応用物理学会春季学術講演会, 東京, 東京工業大学, 20p-W834-6, 2016 年 3 月 (口頭)	栗原 卓也, 伊藤 大, 谷口 壮耶, 赤池 宏之, 藤巻 朗
25. 0.6mW, 1K bit 低消費電力磁束遷移メモリの設計	電子情報通信学会 2016 年総合大会, 福岡, C-8-9, 2016 年 3 月 (口頭)	大内 朋也, 幸村 勇斗, 谷口 壮耶, 田中 雅光, 藤巻 朗
26. 超伝導位相シフトに用いる磁性体の個別磁化制御による磁束バイアス量の変化	2016 年度春季低温工学・超電導学会, 東京, タワーホール船堀, 1D-p09, 2016 年 5 月 (口頭)	谷口 壮耶, 伊藤 大, 石川 航太, 黒川 綜太, 田中 雅光, 赤池 宏之, 藤巻 朗

論文題目	公表の方法及び時期	著者
27. 磁性体を用いた二線式 SFQ 回路に基づくルックアップテーブルの評価	第 77 回応用物理学会秋季 学術講演会, 新潟, 朱鷺メ ッセ, 15p-D61-11, 2016 年 9 月 (口頭)	谷口 壮耶, 伊藤 大, 田中 雅光, 赤池 宏之, 藤巻 朗
28. PdNi/AlO <sub>x</sub> 障壁層を用いた $\pi$ ジョセフソン接合の作製	第 77 回応用物理学会秋季 学術講演会, 新潟, 朱鷺メ ッセ, 15p-D61-5, 2016 年 9 月 (口頭)	伊藤 大, 谷口 壮耶, 栗原 卓也, 石川 航太, 田中 雅光, 赤池 宏之, 藤巻 朗
29. 磁性体を用いた単一磁束量子ルックアップテーブルの高速動作実証	第 64 回応用物理学会春季 学術講演会, 神奈川, パシ フィコ横浜, 15p-316-1, 2017 年 3 月 (口頭)	谷口 壮耶, 伊藤 大, 栗原 卓也, 田中 雅光, 赤池 宏之, 藤巻 朗
30. 超伝導デジタル回路応用に向けた磁性ジョセフソン接合の作製	電子情報通信学会超伝導 エレクトロニクス研究会, 東京, 機械振興会館, SCE2017-4, 2017 年 4 月 (口頭)	神谷 智大, 栗原 卓也, 谷口 壮耶, 伊藤 大, 田中 雅光, 赤池 宏之, 藤巻 朗
31. 磁性体を用いた超伝導整流素子	金属・セラミックス/超電 導機器合同研究会, 福島, 福島高専, MC-17-006, ASC-17-023, 2017 年 7 月 (口頭)	谷口 壮耶, 神谷 智大, 岩下 颯斗, 佐野 京佑, 田中 雅光, 藤巻 朗

論文題目	公表の方法及び時期	著者
32. 強磁性体を用いた直流オフセット電流を要しない磁束量子パラメトロン動作実証	電子情報通信学会超伝導エレクトロニクス研究会, 愛知, 名古屋大学, SCE2017-11, 2017年8月(口頭)	岩下 颯斗, 伊藤 大, 谷口 壮耶, 田中 雅光, 藤巻 朗
33. 超伝導デジタル回路のための磁性体を用いた超伝導整流素子の開発	第78回応用物理学会秋季学術講演会, 福岡, 福岡国際会議場, 7p-S41-15, 2017年9月(口頭)	谷口 壮耶, 神谷 智大, 岩下 颯斗, 佐野 京佑, 田中 雅光, 藤巻 朗
33. 磁性体を用いた単一磁束量子4入力クックアップテーブルの動作実証	第78回応用物理学会秋季学術講演会, 福岡, 福岡国際会議場, 7p-S41-11, 2017年9月(口頭)	岩下 颯斗, 谷口 壮耶, 田中 雅光, 藤巻 朗
34. 高駆動能力を持つ単一磁束量子回路向け交流/直流電力変換素子	第95回秋季低温工学・超電導学会, 高知, 高知文化プラザ かるぽーと, 2D-a04, 2017年11月(口頭),	谷口 壮耶, 神谷 智大, 岩下 颯斗, 佐野 京佑, 田中 雅光, 藤巻 朗
35. 超伝導整流素子による単一磁束量子回路の高効率駆動の検討	金属・セラミックス/超電導機器合同研究会, 愛知, 名古屋大学, MC-18-023, ASC-18-023, 2018年1月(口頭)	加藤 悠輝, 谷口 壮耶, 神谷 智大, 岩下 颯斗, 佐野 京佑, 田中 雅光, 藤巻 朗

論文題目	公表の方法及び時期	著者
IV. その他 1. 整流素子および超伝導回路用の電源回路	特願 2017-064951 2017年3月	藤巻 朗, 田中 雅光, 谷口 壮耶

## 賞与等

名称	講演題目	共著者
1. ISEC2015 POSTER AWARD SPONSORED BY IEEE CSC	Application of Superconducting Phase Shift Elements Made of Ferromagnetic Patterns to Single-Flux-Quantum Circuits for Reconfigurable Functions	Hiroshi Ito, Kouta Ishikawa, Sota Kurokawa, Akihisa Tsune, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki
2. 2015年8月 超伝導エレクトロニクス研究会 学生優秀発表賞	磁性体を用いたプログラマブル単一磁束量子論理セルの設計と評価	伊藤 大, 石川 航太, 黒川 綜太, 田中 雅光, 赤池 宏之, 藤巻 朗
3. 第41回(2016年秋季) 応用物理学会講演奨励賞	磁性体を用いた二線式SFQ回路に基づくルックアップテーブルの評価	伊藤 大, 田中 雅光, 赤池 宏之, 藤巻 朗