

報告番号	甲 第 12311 号
------	-------------

主 論 文 の 要 旨

論文題目 第一原理計算による次世代半導体素子の設計指針

(First-Principles Atomistic Study for the Next Generation Semiconductor Devices)

氏 名 白川 裕規

論 文 内 容 の 要 旨

電子の動きを制御することで、情報やデバイスを制御するエレクトロニクスはここ一世紀の間に急速に発展し人々の生活を劇的に変化させた。今では一人が一台以上の電子デバイスを所有しており、それらはインターネットに接続されている。さらに電子デバイスだけではなく、各種のセンサーとコンピューターが様々な種類の“モノ”に埋め込まれ、データセンターを介して接続され情報交換することにより、これらの“モノ”が相互に制御しあう社会が実現すると言われている。

このエレクトロニクス産業は、接合型トランジスタの発明を起点とし、様々な半導体素子の発明とその性能向上により発展してきた。現在の半導体素子は、微細化が進むことによりナノスケールの素子へと変化しており、それぞれの用途ごとに様々な材料が用いられている。例えばパワー半導体素子では、シリコンよりも物性値の良い炭化ケイ素や窒化ガリウムを用いたパワー半導体素子の研究・開発が盛んに行われている。また、半導体メモリでは、遷移金属酸化物、カルコゲン化合物、および磁性材料を用いた次世代半導体メモリ素子が研究されている。これら半導体素子の動作原理や信頼性劣化の物理的なメカニズムは、それぞれの半導体素子中の不純物原子や異なる材料の接合界面が重要な役割を果たしている。しかし、ナノスケールという非常に小さなスケールまで微細化された半導体素子中における不純物原子や接合界面の物理の全てを実験的に明らかにすることは不可能である。したがって、次世代半導体素子の設計指針を確立するため、実験結果に則して半導体素子を原子・電子スケールでモデル化し、シミュレーションすることが必須である。

電子・原子スケールの物理を明らかにする際に、最もよく用いられる方法が密度汎関数理論である。密度汎関数理論は、経験的なパラメータを用いることなく、構成される材料の原子種のみを用いてその系の基底状態の物理量を得ることができる理論である。経験的なパラメータを用いないことから、第一原理計算と呼ばれている。コンピュータの性能向上により、近年では密度汎関数理論を用いることで、数百から数千原子の系における、不純物原子の拡散過程や欠陥準位などを、実験することなく予測できるようになった。

本研究では第一原理計算を用いることで、次世代半導体素子の動作原理と信頼性劣化メカニズムを原子スケールで明らかにした。具体的には次世代パワー半導体素子である SiC-MOSFET、NAND フラッシュメモリに用いられている MONOS メモリ、次世代半導体メモリ素子である超格子 GeTe/Sb₂Te₃ を用いた相変化メモリについて研究を行った。

はじめに、パワー半導体素子について述べる。パワー半導体素子とは数百 V から数千 V という非常に高い電圧下で、交流/直流変換や電圧の昇降等の制御に用いられる。パワー半導体素子には、高い耐電圧、少ない発熱、および高い熱伝導性という特性が求められる。現在用いられている Si を用いたパワー半導体素子は、Si が元来持っている耐電圧性・発熱・熱伝導性の限界に到達しており、更なる高性能化が難しい。そこで、次世代パワー半導体素子の材料として炭化ケイ素(4H-SiC)が注目されている 4H-SiC は Si よりも絶縁破壊電界が 1 桁ほど大きいため、Si と同様の耐圧を保持するためのドリフト層の厚さを 1/10 にできる。また、絶縁破壊電界だけではなく、高い熱伝導度、高い飽和電子ドリフト速度などの優れた物性値をもつ。したがって、パワー半導体素子に 4H-SiC を用いることで電力変換の低損失化を実現できる。しかし、4H-SiC パワー半導体素子は 10 年以上研究されているが、未だに 4H-SiC の物性値から期待される性能を引き出すことができていない。その原因は、熱酸化により 4H-SiC 基板上に成膜した絶縁膜には従来の Si/SiO₂ の場合とは異なる格子欠陥が多数含まれており、これがデバイス動作に悪影響を与えるからである。その 1 つが、正の可動イオンに起因する負バイアス温度不安定性(NBTI)である。熱酸化 SiC/SiO₂ を高温下で水素アニールすると、Si/SiO₂ と同様に界面の電気特性は向上するが、Si/SiO₂ では現れない正に帯電した可動イオンが生成されることが報告されている。この未知の正に帯電した可動イオンは Si/SiO₂ では現れないことから、SiC/SiO₂ 固有の格子欠陥に由来するものと考えられる。

本研究では第一原理計算を用いて、SiC 基板上に熱酸化により製膜した SiO₂ 膜中には、正の水素イオン(プロトン)が吸着した擬似 CO₃ 欠陥(CO₃-H)が存在し、負バイアスと温度を印加した際にプロトンが CO₃-H 欠陥から脱離し、電極方向へ SiO₂ 膜中を拡散することで NBTI が引き起こされることを明らかにした。

面方位に依らず、熱酸化により形成した SiC/SiO₂ には、濃度の違いこそはあるが C 原子が残留する。SiO₂ 膜から C 原子を完全に除去することは非常に困難であるため、NBTI による信頼性低下を回避するためには、熱酸化 SiO₂ 膜ではなく積層膜を用いるべきであることがわかった。

次に半導体メモリについて述べる。現在のコンピューターは、情報が中央処理装置(CPU)に処理されるまでに、情報はストレージデバイスから様々なメモリを経由して CPU まで転送されている。これは、データを保存しているストレージデバイスの書込/読込速度が CPU の情報処理速度に比べて非常に遅いことが原因である。最も速度の速いメモリは Static Random Access Memory (SRAM)であり、次に Dynamic Random Access Memory(DRAM)、NAND フラッシュメモリ、ハードディスクドライブ(HDD)と続く。一般的に、処理速度の速いメモリは単位価格当たりの記録密度が低く、電源を切った後のデータを保存できる期間(データの寿命)が短い。

メモリの動作速度と記録密度に関して、DRAM と NAND フラッシュメモリの間に大きなギャップがある。このギャップにより、DRAM と NAND フラッシュメモリ間のシームレスなデータのやり取りが行えないため、CPU が演算を終えた後にデータを保存し次のデータを読み込む間に待ち時間が発生する。この間、情報処理は行っていないにも関わらず SRAM と DRAM は揮発性メモリであるため電力を消費している。さらに、この待ち時間は情報処理全体のパフォーマンスを低下させている。したがって、IT 機器の省電力化とパフォーマンスの向上のためにはこのギャップを埋める必要がある。

また、NAND フラッシュメモリと HDD の間に動作速度と記録密度に関しては大きなギャップは存在しないが、書き換え可能回数は大きなギャップがある。HDD は書き換え回数が実質無限回であることに対して、NAND フラッシュメモリは多値動作をすると 100 回程度しか書き換えができない。HDD を完全に NAND フラッシュメモリに置き換えるためには、書き換え可能回数の向上が重要である。

さらに、データを保存する HDD や NAND フラッシュメモリは、5~10 年程度しか寿命を保証していない。現在、ビッグデータを利用した新規サービスがいくつも考案されているが、これを持続的に提供するためには、そのビッグデータを長期にわたり保持するための、長期保存用メモリが必要である。

これらの半導体メモリにおける問題点を解決するために、本研究では Metal-Oxide-Nitride-Oxide-Semiconductor (MONOS)メモリと超格子 GeTe/Sb₂Te₃を用いた相変化メモリ(iPCM)に着目した。

MONOS メモリは、メタルゲート電極、ブロック絶縁膜(SiO₂、Al₂O₃)、電荷蓄積層(Si₃N₄)、トンネル絶縁膜(SiO₂)、Si 基板の積層構造からなる。オン、オフ状態は電荷蓄積層に蓄えられた電荷量で区別され、電荷が蓄えられた状態がオン、電荷が無い状態がオフである。

MONOS メモリの Si₃N₄ 層に電荷を注入すると、電荷は Si₃N₄/SiO₂ 界面に存在する格子欠陥にトラップされることで、局所的に蓄積する。この欠陥であるが、三浦らにより Si₃N₄/SiO₂ 界面付近で Si₃N₄ 中には酸素原子が、SiO₂ 中には窒素原子が互いに入り混じっており、その領域に電子占有欠陥があると報告されている。さらに、Vianello らは Si₃N₄ と Si₃N₄/SiO₂ 界面付近に水素原子が存在することを報告している。したがって、MONOS

メモリにおいて電荷を蓄積する格子欠陥は Si_3N_4 層中の酸素原子および水素原子からなる複合欠陥、または SiO_2 中の窒素および水素原子からなる複合欠陥である。

本研究では、 Si_3N_4 中の酸素原子欠陥、および SiO_2 中の窒素原子欠陥が書込消去動作においてどのような振る舞いをするのかについて第一原理計算を用いて調査した。

Si_3N_4 中の酸素原子欠陥はホール注入(書込動作)により、非常に大きな不可逆的な構造変化を示した。書き換え可能回数という観点では、書込前後の構造が異なるため、この欠陥は書き換え回数に悪影響を与えると考えられる。一方で、寿命という観点では、長寿命が期待できる。なぜならば、書込前後の構造が反応座標上で遠くに位置しており、書込前と書込後の構造間は熱による自発的な構造遷移が起きにくいからである。この構造遷移の活性化エネルギーは 1.9eV であり、室温では構造遷移するのに 100 億年以上も必要である。さらに、 Si_3N_4 中の酸素原子欠陥にトラップされたホールは電子的に非常に安定であり、その原子構造も安定であるため、トラップされたホールが熱によりリークすることはない。以上より、書込前後の構造がそれぞれ安定かつ、反応座標上で遠くに離れているため、この酸素原子欠陥を用いた MONOS メモリは、書き換え回数は少ないが長寿命を示すと考えられる。

次にトンネル絶縁膜(SiO_2)中の酸素空孔、窒素および水素原子からなる複合欠陥の振る舞いについて述べる。アモルファス SiO_2 中の 2 つの置換された窒素原子欠陥は酸素空孔を誘発し、ひとつの酸素空孔と 2 つの窒素原子からなる複合欠陥($(\text{No})_2\text{Vo}$)を形成するが、この欠陥は電荷をトラップしなかった。これは、 $(\text{No})_2\text{Vo}$ 欠陥を含む SiO_2 が電子的には良好な絶縁膜であることを意味する。しかし、 $(\text{No})_2\text{Vo}$ 欠陥は、負のゲートバイアスを印加したときに $\text{Si}(100)/\text{SiO}_2$ 界面の Si-H 結合の解離により生じたプロトンをトラップすることにより、正に帯電した $2\text{Si}=\text{N}=2\text{H}^+$ と変化した。さらに、トラップされたプロトンは、ゲートバイアスの除去後に $\text{Si}(100)/\text{SiO}_2$ 界面に戻らないことが分かった。これらの結果は、 SiO_2 中の $(\text{No})_2\text{Vo}$ 欠陥は、書込消去動作によりプロトンをトラップすることで荷電状態が変化し、書込前と書き換え後で捕縛する電荷量が増加することを示している。したがって、この欠陥は書込消去サイクルにおいて不可逆的な閾値電圧シフトを引き起こすため、書き換え可能回数を劣化させる原因となる。

SiO_2 中の窒素原子欠陥が書き換え回数を劣化させる原因であるため、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 界面に Si 原子層を導入するなどを行い、トンネル絶縁膜中の窒素原子欠陥の割合を少なくすることが MONOS メモリの書き換え可能回数を向上させるための指針である。

最後に、iPCM について述べる。iPCM は DRAM と NAND フラッシュメモリの間にあるギャップを埋めることができる次世代メモリの有力な候補である。iPCM は GeTe と Sb_2Te_3 を交互に積層させた、超格子 $\text{GeTe}/\text{Sb}_2\text{Te}_3$ を金属電極で挟んだ、(電極)/(超格子 $\text{GeTe}/\text{Sb}_2\text{Te}_3$)/(電極)の素子構造を持つ。iPCM は電流パルスにより、超格子 $\text{GeTe}/\text{Sb}_2\text{Te}_3$ 層の電気抵抗を操作することができ、その抵抗の違いを情報の「0」と「1」とするメモリである。iPCM は従来の半導体メモリと比べて、低電力かつ高速動作することが確認されてお

り、素子構造が単純であるため集積化に適し、大容量化が可能である。

電気抵抗の違いは GeTe 層の Ge 原子の配置の違いであると報告されており、いくつかの理論モデルが提唱されている。iPCM は、基本的にはユニポーラ型のスイッチング特性を示すが、DC スweepによるバイポーラ型のスイッチングも最近観察されている。電流パルスまたは、バイポーラの電圧下における Ge 原子の短距離移動の振る舞いは未だに解明されておらず、動作原理は完全に明らかとなっていない。実用化のための歩留まりの向上や、さらなる iPCM の高性能・高信頼化のためには、それぞれのスイッチングにおける動作原理を明らかにすることが必要不可欠である。

本研究では、第一原理分子動力学(MD)計算と非平衡グリーン関数法を用いて iPCM のユニポーラ型の抵抗変化は、高抵抗状態(HRS)から低抵抗状態(LRS)のスイッチングにはジュール熱、LRS から HRS へのスイッチングにはジュール熱とホール注入により行われることを明らかにした。ジュール熱を模した電荷中性状態の MD 計算により、超格子 GeTe/Sb₂Te₃ はバンドギャップを持たない構造へと変化し、ジュール熱とホール注入を模した正の荷電状態の MD 計算により、バンドギャップをもつ構造へと変化することを確認した。非平衡グリーン関数法と密度汎関数理論を組み合わせた第一原理伝導計算を行い、両者の電気抵抗を計算したところ、これらの構造間におおよそ 10 倍の抵抗比が存在することを確認した。また、GeTe/Sb₂Te₃ 層のバンドギャップは GeTe 層の構造によらず常に開いているため、LRS の構造のみ GeTe 層に正孔が閉じ込められることも確認した。

これらの結果より、HRS から LRS への切り替えがジュール熱のみによって行われ、LRS から HRS への切り替えが正孔注入およびジュール熱によって行われることが分かった。