

報告番号	甲 第 12768 号
------	-------------

## 主 論 文 の 要 旨

論文題目    ロジックデバイスにおける低誘電率層間絶縁膜形成プロセスに関する研究  
(Study on process engineering of low-k inter-layer-dielectric film for high-speed logic devices)

氏 名    宮島 秀史

## 論 文 内 容 の 要 旨

### 1. 本研究の目的

本研究では、高性能 logic 半導体に用いられる多層配線技術において、特に、微細化に伴う各世代に対応して要求される低誘電率膜(low-k 膜)に関して重要開発課題である、

- (1) 材料特性の理解と材料設計技術、
- (2) 成膜プロセスの最適化及び改善技術、
- (3) 界面制御技術、
- (4) 新規プロセスインテグレーション技術（新規プロセススキーム）の導入、

の各技術開発要求に関して資する知見や基本的なデータを元に、課題発生メカニズムの解明と課題解決技術の提案、及び提案の効果確認を目的とした。

### 2. 本研究の概要

本研究では、低誘電率層間絶縁膜の形成技術を主な対象として、配線微細化に伴う種々の低誘電率層間絶縁膜の形成方法とその材料特性に関して、その特性制御の方法と原理解明、課題の抽出と発生メカニズムの解明、更に改題の解決手法の提案と効果の確認を行った。以下に各章毎に概要を示す。

第1章序章前半において、半導体産業は、ゲルマニウム接合トランジスタで産声を上げ、シリコン MOS 集積回路の発明から”ムーアの法則”を指導原理に、技術的・経済的に大きな成長をし、今日も発展続けていることを述べた。1990年代から30年近くの間、インター

ネットの発達とともに、PC・携帯電話・スマートフォンなど情報端末の進化を支え、IoH(Internet of Human: 人のインターネット)、すなわち世界中どこでもだれとでもつながることにより新しい価値を生む社会への変化の原動力になったと考える。今後も微細化による高性能・低消費電力化は進み(“More Moore”)、また、IoT 社会への新たな潮流のもと、非デジタル機能を付加した SiP/SoC といったシステムなど、“More than Moore”による新たな成長が期待できる。さらに、新たなデバイス原理・材料・プロセスの発明発見による”Beyond Moore”による社会の大きな変化による新たな付加価値の創造も期待できることを示した。序章後半においては、東芝の 130 nm 世代以降のロジックデバイスにおける低誘電率層間絶縁膜の導入経緯に関して論じた。130 nm において従来の PE-CVD SiO<sub>2</sub> 膜に替わり PE-CVD SiOF 膜を導入し、従来の SiO<sub>2</sub> 膜が有する比誘電率 3.9-4.2 から 3.4 までの低減が可能であることを明らかにした。さらに、90 nm 世代においては、Cu/low-k 埋め込む多層配線との組み合わせで比誘電率 2.9 を有する PE-CVD SiOC 膜を採用した。65 nm 世代においては比誘電率 2.5 を有する SiOC 膜を採用したが、特に機械強度の劣化を改善するために後キュア技術として電子線キュアもしくは紫外線キュア技術を開発し導入するとともに、低誘電率有機ポリマーと SiOC 膜を積層する Hybrid DD (デュアルダマシン) 構造を採用した。45 nm 以降の世代においては、さらなる低誘電率化が必要とされるため、多孔質構造を有する比誘電率 2.3 以下の SiOC 膜を前述の後処理技術と組み合わせが有効であることを示した。

第 2 章では、90 nm で低誘電率層間絶縁膜として導入した SiOF 膜の特性と低誘電率化の限界を SiOF 膜の吸湿メカニズムを検討することにより明らかにした。PE-CVD 法を用いて従来の SiO<sub>2</sub> 膜に F を導入することにより比誘電率は低減が可能である。PE-CVD SiO<sub>2</sub> 膜が有する比誘電率 4.2 は、膜中の F 濃度を増加させることにより単調に減少するが、F 濃度が 12.6at%、比受電率 3.3 近傍において急激に吸湿減少が確認され膜の安定性が崩れる。FT-IR による Si-F 結合の詳細な観測により、=Si(-F)<sub>2</sub> 結合が 12at%以上で観測され始めることが確認された。高濃度に F を添加した SiOF 膜の Si-F 結合の吸湿による影響を調べたところ、急激な吸湿の理由は、膜中の=Si(-F)<sub>2</sub> 結合が容易に水分と反応して加水分解し、Si-OH 基が膜中に形成され、その Si-OH 基が吸湿サイトとして振る舞うことにより吸湿が急激に進むことを見いだした。SiOF 膜の吸湿現象は PE-CVD の形成方法などによらず SiOF 膜固有の特性であり、そのため、SiOF 膜の低誘電率としてのデバイス適用は比誘電率 3.3 が限界であることを示した。

第 3 章においては、SiCN/SiOC 界面密着強度とレジストポイズニングの課題に対して実験を通して現象の理解とモデル化を行い、デバイス性能に求められる誘電率や耐圧特性を維持しつつ解像不良を抑制するには、PE-CVD による low-k 膜成膜時の希ガス特に Ar プラズマによる前処理技術が有効であることを示した。PE-CVD 膜では、成膜前にチャンバ内壁にパーティクル抑制とメタルコンタミネーション抑制のために内壁に SiOC 膜をコーティングするが、Ar プラズマにより、カソード電極である SiOC 膜でコーティングされた表

面が Ar イオンによりスパッタリングされ、対向電極上に載置されたウエハ上に薄膜が堆積することを確認した。下地である SiCN 膜の表面に Si-C や Si-Si 結合を多く含むスパッタ膜である SiOC バッファ膜を堆積させることで、SiCN/SiOC 膜界面密着強度を確保し、且つ SiCN 膜の上層膜である SiOC 膜成膜時の O<sub>2</sub> プラズマによる SiCN 表面の酸化を抑制する。このバッファ膜を制御することにより、レジストポイズニングをフィールド領域に面したパターン Edge 領域含めて抑制できるプロセスの構築と、その抑制メカニズムを解明した。

第 4 章では 65 nm 世代から導入した SiOC 膜(k=2.9)に対して、さらなる低誘電率化要求に伴う、機械的強度の低下と下地密着強度の低下に対する対策として導入された電子線キュアを用いた後処理技術による機械的強度の改善メカニズムと、電子線 (EB) キュアとともに検討された紫外線 (UV) キュアとの違いに関して論じた。EB キュア技術もしくは UV キュアを用いることにより、従来の熱キュア膜に対して、高機械強度と高密着強度を有する low-k SiOC 膜が、低温・短時間で実現できること分かった。最適化された EB キュア条件下では下地トランジスタへの影響も無く、Cu / Low-k 構造形成工程においても悪影響が無いことを確認した。これらのことから、EB キュアおよび UV キュアの有効性を確認した。特に EB キュアは UV キュアに対して下地密着強度改善効果が大きいことを確認した。

第 5 章では、ポーラス SiOC 膜を組み込む low-k/Cu 配線プロセスにおいて、PE-CVD 成膜プリカーサにトリメチルシランガスを添加することによって PID 耐性が大きく改善したことに着目し、膜の化学結合状態の違いを解析することにより、膜中の高次の Si(-CH<sub>3</sub>)<sub>n</sub> (n=2,3) 結合の比率が、機械的強度と PID 耐性の両立、プラズマ処理による吸湿の抑制に重要であることを明らかにした。これは、k<2.4 の低誘電率とプラズマ処理に対する高い耐性を両立する上で非常に重要な技術であることを示した。

第 6 章では、ポーラス構造を有する低誘電率層間絶縁膜は、その低密度の構造と膜中にメチル基を含むために、特に機械的強度が弱く、またプラズマ耐性も弱いために、特にプラズマを使用するドライエッチング加工時においてプラズマに晒される表面領域の膜中メチル基がシラノール基に変わるため、吸湿現象による水分の影響や誘電率の上昇が問題となっている。本研究ではポーラス絶縁膜であるポーラス SiOC 膜を塗布法により形成後、更に塗布法によりポーラス SiOC 膜中の空孔にアクリル樹脂を含浸させた状態でドライエッチング加工を行い、加工後に含浸材料をその熱分解特性を利用して除去することにより、プラズマダメージによるドライエッチング加工後の表面荒れの改善と膜中 C の減少を抑えることにより比誘電率の上昇を抑制可能であることを確認した。今後の更なる材料・プロセスの改善により、比誘電率 2.3 程度の低密度材料を用いた Cu/low-k 多層配線技術の高速 Logic 半導体への適用が期待できることを示した。

第 7 章では、本研究の総括と今後の展望に関して、特に将来展望においては低誘電率層間絶縁膜を如何に直接加工せずにデバイス適用する技術開発の必要性に関して論じた。

以上のように、Si-O 骨格を有する Low-k 膜に関して、各章においてダメージ抑制及び

機械的強度の改善のための施策を論じた。結果的には如何に低誘電率層間絶縁膜の吸湿現象を抑制するかということが極めて重要であるということを示した。

### 3 今後の展望

本論文においては、低誘電率層間絶縁膜の低誘電率化とそれに伴う課題の解決に関して、特にドライ加工ダメージによる影響を如何に抑制するかに関しての様々な技術とそのダメージによる影響のメカニズムや改善のメカニズムに関して論じてきた。第 5 章で論じた空孔の埋め戻し技術やダメージ修復技術、空孔シーリング技術などの新規技術でプラズマダメージに対する耐性を改善する対応も進んでいるが、今後の更なる微細化に対して完全解にはなっていない。一つの低誘電率化の方向性として Air Gap 構造が提案されているが、Air Gap 構造の持つ大きな問題点は機械強度の低下と空孔を囲む薄い絶縁膜のクラックによる配線への影響、大きな空孔の存在によるエッチングガスや水分などの影響や実効的な誘電率のばらつき制御などの課題がある。また前述の薄い絶縁膜の堆積存在比率は空孔に対して微細化に伴い大きくなる。そのため、機械強度の要求と合わせると、結局低誘電率化は要求通りには進まない状況である。

今後の層間絶縁膜の低誘電率化に対する有効解としての考え方は単純で、低誘電率膜の加工を最小限に抑える必要があり、そのためにはあらかじめ Cu などの配線を加工し、低誘電率膜を配線間に埋め込めばよいことになる。配線の加工方法としては、

①絶縁膜に相当する犠牲膜を配線溝加工後にダマシン方式で埋め込み Cu 配線で形成し、犠牲膜を取り除いてから更に低誘電率絶縁膜を埋め込む。

②Cu を RIE にて加工して配線を形成し、配線間に低誘電率絶縁膜を埋め込む。

方法の 2 通りが考えられる。①の方法は Air Gap の形成方法と同じ手法が使えるが、加工コストは高い。また、②の方法は Cu の RIE によるか配線加工技術が確立されていないことから、加工に対しての技術革新が必要である。また、どちらの場合も低誘電率膜を埋め込み後にも更に加工が必要なため、第 5 章で議論したような空孔の再埋め込み等の手法も必要となる可能性が高い。そのため、①の手法であれば、ナノインプリントのような低コストのパターニングプロセスにて犠牲膜を形成する技術との組み合わせ、②であれば Cu(やそれに替わる W や Mo などの金属材料)の加工技術との組み合わせが必要となると考えられる。半導体の微細化の歴史は性能 up と価格 down の両方の実現が必須条件として要求されており、高い材料や複雑な構造、煩雑なプロセスは採用されて成功した例は極めて少ないと言ってよい。この単純な要求の歴史に対して低誘電率絶縁膜の適用に関しては、今の方向性が合っているとは言いがたいのも事実である。ロジック半導体の微細化は今後も進むと考えられるが、低誘電率層間膜の採用は実効的な誘電率の値を如何に簡略化したプロセスや安価な材料で実現できるかにより決まると考えられる。