

ロジックデバイスにおける低誘電率層間絶縁膜形成
プロセスに関する研究

2019年3月

宮島 秀史

目次

第 1 章 序論	1
1.1 半導体技術と産業	2
1.1.1 半導体技術の発展	2
1.1.2 半導体産業の発展	8
1.1.3 半導体技術・産業に関するまとめ	10
1.2 ロジックデバイス向け Cu/low-k 配線技術	11
1.2.1 Cu/low-k 配線技術への要求課題	11
1.2.2 130 nm 世代の多層配線技術: CVD SiOF film ($k=3.4$)	17
1.2.3 90 nm 世代の多層配線技術 CVD SiOC film ($k=2.9$)	19
1.2.4 65 nm 世代以降の多層配線技術	
CVD SiOC film ($k=2.5$) and Spin-on PAr film ($k=2.6$)	23
1.2.5 Si-O based porous materials and porous PAr for 45 nm node	29
1.2.6 ロジックデバイス向け Cu/low-k 配線技術に関するまとめ	32
1.3 本論文の目的と構成	34
参考文献	38

第2章 プラズマ CVD 法による低誘電率 SiOF 膜の吸湿特性に関する考察

.....	41
2.1 研究の背景	42
2.2 SiOF 膜の低誘電率化のメカニズム	44
2.3 SiOF 膜の吸湿特性	48
2.4 成膜方法と吸湿特性	50
2.5 吸湿による問題点と改善	58
2.6 吸湿メカニズムからみた SiOF 膜の低誘電率化の限界	61
2.7 まとめ	74
参考文献	75

第3章 PE-CVD チャンバを利用したリスパッタ膜制御技術

(低誘電率層間絶縁膜の界面密着強度及びレジストボイズニングの改善) ..	79
3.1 研究の背景	80
3.2 SiOC 膜の適用における課題	81
3.3 実験装置と評価方法	85
3.4 実験結果	88
3.4.1. SiOC/SiCN 密着強度改善	88

3.4.2 レジストポイズニングと Cu 拡散防止膜との関係	90
3.4.3 レジストポイズニングと SiOC 成膜後の大気放置との関係	91
3.4.4 レジストポイズニングと SiOC 成膜時の Chamber coating 膜との関係	92
3.4.5 レジストポイズニングの発生モデル	93
3.4.6 Ar プラズマ処理によるレジストポイズニング抑制メカニズム	96
3.5 まとめ	106
参考文献	107

第4章 電子線キュアおよび紫外線キュア技術の Cu/Low-k 配線への適用

.....	111
4.1 研究の背景	112
4.2 電子線キュア装置及び評価方法	114
4.3 電子線キュアに関する実験結果と考察	118
4.3.1 プロセス最適化とキュアメカニズム	118
4.3.2 モジュールインテグレーション	126
4.4 紫外線キュアと電子線キュア	134
4.5 まとめ	141

参考文献	142
第 5 章 プラズマ CVD 法による SiOC 系低誘電率材料の構造設計	145
5.1 研究の背景	146
5.2 実験手法	148
5.3 結果と考察	151
5.3.1 電子線キュア処理後の膜特性	151
5.3.2 膜構造の違いの究明と効果	157
5.3.3 デュアルダマシン (DD) 配線の性能	160
5.4 まとめ	164
参考文献	165
第 6 章 埋め戻し技術を用いた低誘電率ポーラス SiOC 膜のプラズマダメージ抑制	
.....	169
6.1 背景と目的	170
6.2 ポーラス Low-k 膜に対する新規インテグレーションコンセプトの提案	174
6.3 基礎実験方法	178
6.3.1 実験サンプル	178

6.3.2 実験方法	179
6.4 結果と考察	182
6.5 まとめ	189
参考文献	190
第 7 章 本研究の総括と今後の展望	193
7.1 本研究の総括	194
7.2 今後の展望	200
謝辞	203
研究業績	205

1 章

序論

1.1 半導体技術と産業

1.1.1 半導体技術の発展 [1]

半導体の最初の重要な物理現象の発見は 1833 年のファラデー (Michael Faraday) による、金属とは異なる特異な電気伝導の温度依存性の発見[2]が挙げられる。また半導体素子の重要な発見は 1874 年のブラウン (Ferdinand Braun) による、金属-半導体点接触による整流素子の発見[3]が挙げられる。半導体の理解は、固体物理学・量子力学の発展とともに進み、1931 年にウィルソン (Alan Wilson) により、基本的な半導体中の電気伝導現象をバンド理論や不純物効果から理論的に記述された[4]。その後、ダビドフ (Boris Davydov)、モット (Nevill Mott)、ショットキ (Walter Schottky) らの、それぞれ独立の研究で特に整流に関する記述に関して補われるが、これらの理論により、それまで発見されてきた半導体に関わる諸現象は理解され、また同時に将来の半導体素子の発見発明を促すことになった。

今日の電子化社会・情報化社会の黎明を告げる大きな変化点は、いずれもベル研究所の研究者による発明、すなわち、1947 年のバーディーン (John Bardeen) とブラッテン (Walter Brattain) によるゲルマニウム点接触トランジスタ発明[5]と 1948 年のショックレー (William Shockley) による PN 接合とバイポーラ接合トランジスタ (BJT: Bipolar junction transistor: BJT) の理論的発明[6]である。これらの発明はそれまでの使われてきた真空管の機能を固体素子 (トランジスタ) で実現し、機器の小型化・低消費電力化、さらに高信頼化を促進させた。1950 年代の補聴器・トランジスタラジオから始まるトランジスタ化された家電・電子機器 (Consumer Electronics) の登場は、その後の電気電子産業の大きな発展と人々の暮らしの著しい変化をもたらす始点となった。

トランジスタの発明から約 10 年後、現在の半導体市場の約 80% を占める集積回路 (Integrated Circuit: IC) の基本構造を構成する諸発明が提案される。1959 年のテキサスインスツルメンツ社キルビー (Jack Kilby) によるゲルマニウム基板上に形成したバイポーラトランジスタ・コンデンサー・抵抗器を金細線で接続 (ボンディング)

した集積回路の発明[7]から始まり、同年フェアチャイルドセミコンダクター社ノイス（Robert Noyce）による半導体酸化膜上にアルミニウム薄膜を真空蒸着し、リソグラフィ/ドライエッチングで配線を形成した単一基板上に作成した集積回路（Monolithic IC）の発明[8]、同じくフェアチャイルドセミコンダクター社のホエニ（Jean Hoerni）による半導体酸化膜をマスクに、半導体基板に不純物拡散領域を選択的に形成する Planer 技術の発明[9]、さらに翌 1960 年ベル研究所カーン（Dawon Kahng）とアタラ（John Atalla）によるシリコン熱酸化膜により表面準位制御をおこなった MOSFET（metal-oxide-semiconductor field-effect transistor）の発明実証[10]といった 1959-1960 年の重要な発明が統合され、現在に繋がる量産化に優れ信頼性の高いシリコン MOS（metal-oxide-semiconductor）集積回路の基本構造・技術が確立した。

1965 年に“集積回路の素子密度は 1 年毎に 2 倍になる”というフェアチャイルドセミコンダクター社ムーア（Gordon Moore）による“予測”、いわゆるムーアの法則（Moore's Law）[11]が出された。1975 年には“集積回路の素子密度は 2 年毎に 2 倍になる[12]”と修正されたが、このムーアの法則をガイドラインとして MOS 集積回路の技術開発が進められ、IC から LSI（Large Scale Integration）、VLSI（Very Large Scale Integration）、ULSI（Ultra-Large Scale Integration）と呼称を変えて集積度を向上させながら、市場に製品が提供され続けてきた。この予測を牽引する科学的原理は IBM 社デナード（Robert Dennard）らによるスケーリング則[13]である。すなわち、素子内電界を一定にして寸法縮小（ $1/\kappa$ 倍）すると、素子密度は κ^2 、回路遅延は $1/\kappa$ 、素子当たりの消費電力は $1/\kappa^2$ となり、素子密度・素子性能は改善し電力消費量は低減することが結論される。スケーリング（微細化）することによりコストが低減し性能が向上するという偉大なパラダイムが産業・工業的にきわめて魅力的な牽引要因になり、ムーアの法則が出されて半世紀たった現在も、この法則を指導原理に集積回路の高集積化が進められている。例えばマイクロプロセッサ（Micro Processing Unit: MPU）のトランジスタ素子数では、1971 年に 2,300 個であったものが、2015 年には 1.75×10^9 個と 1 素子当たりのコストは 70 万分の 1 程度と指数関数的改善が実現されている[14]（表 1-1）。このように、ムーアの法則に従った LSI 技術の進歩により、他の工業製品にはない特異な指数関数的な製品進化が実現され、情報化革命ともいえる社会の大きな変化発展を牽引する要因になっている。

表 1-1. マイクロプロセッサの微細化[14].

	1971	2015
チップの価格	\$351	\$393
チップ面積	12 mm ²	122 mm ²
トランジスタ 1000 個 あたりの価格	\$150	\$0.00022
チップあたりの トランジスタ数	2,300	1,750,000,000
チップ製造における最小寸法	10,000 nm	14 nm

ムーアの法則・微細化を維持するためにどのような技術を必要としているか、企業や研究機関が参照するものとして1998年に発足したITRS（International Technology Roadmap for Semiconductor, 国際半導体技術ロードマップ）がある。2011年 ITRS よると、半導体集積回路微細化を単なる微細化だけでなく、素子構造や設計の工夫による集積度と性能の向上も含め、“More Moore”をとらえ、次の 3 つに細分している。

(1) 幾何学的微細化（Geometrical Scaling）はチップ上の素子を平面的・垂直的物理寸法を縮小し続けることであり、素子密度を向上させ機能あたりのコストを削減し、性能（速度と消費電力）を向上することである。リソグラフィ・ドライエッチングやダブルパターニングといった技術で推進されている。(2) 等価的微細化（Equivalent Scaling）は三次元的な素子構造の導入、物理効果の異なる新規材料を導入することで平面積縮小や性能向上させることで、低抵抗金属材料・高誘電体ゲート絶縁膜・低誘電体層間絶縁膜導入などが挙げられる。(3)設計による等価的微細化（Design Equivalent Scaling）は高性能・高信頼性・低コスト・効率向上を可能にする設計技術を示す。さらに”More than Moore”として必ずしも微細化によらない機能的多機能化が挙げられており、非デジタル機能（無線通信・受動素子・センサ・アクチュエータなど）をパッケージレベル（例えば System-in-Package: SiP）やチップレベル

(例えば System-on-a-chip: SoC) で実装し付加価値の顧客提供することを示している。また、“Beyond Moore”として新探求デバイス・材料による相補型 MOS (Complementary MOS) いわゆる CMOS を超えた機能の実現も挙げられている[15] (図 1-1)。

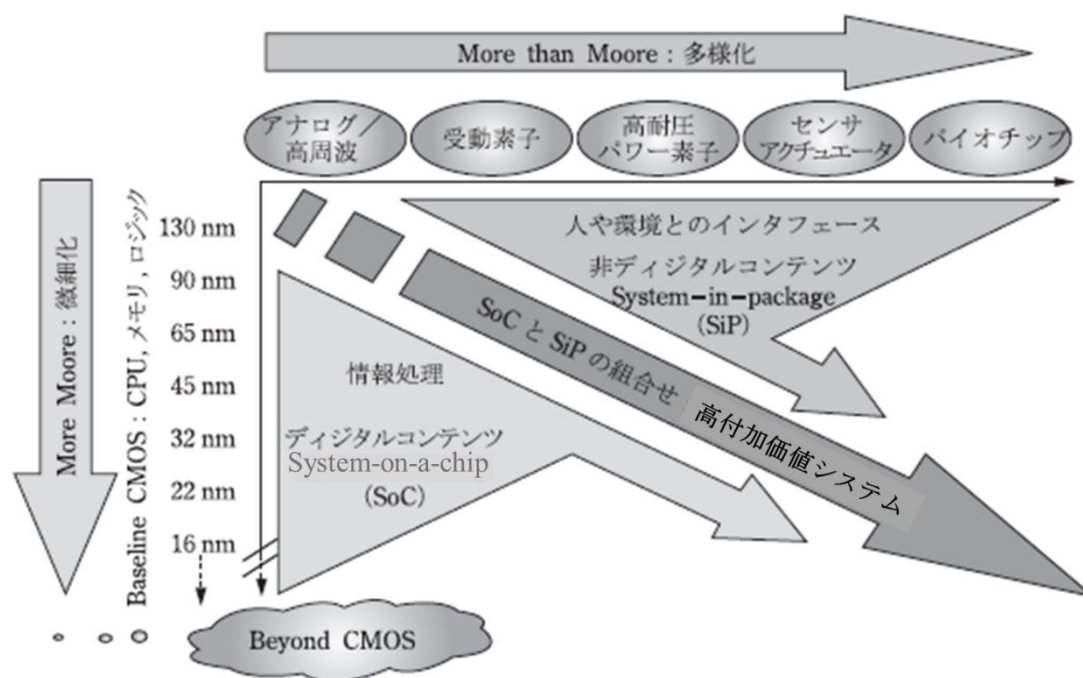


図 1-1. 半導体集積回路微細化の区分[15].

例えば、集積回路を構成する配線の性能である信号の遅延は、配線の抵抗 (R : resistance) と配線間の容量 (C : capacitance) の積 (RC 遅延) で記述される。これに着目して、幾何学的微細化と等価的微細化の実際を見てみる。

一般的に RC は以下で表される

$$RC = 2\rho k(4L^2/P^2 + L^2/T^2) \quad (\text{式 1-1})$$

L: 配線幅、P: 配線ピッチ、T: 配線高さ、

ρ : 配線金属抵抗率、k: 層間絶縁膜誘電率

この式 1-1 により配線幅、配線ピッチ、配線高さそれぞれが単純に比例縮小されるだけでは RC 遅延は改善せず、一定値に維持されることがわかる。LSI の性能がトランジスタ素子性能で律速される間は、RC 遅延の改善は特に必要がない。しかし LSI の性能が配線遅延によって律速され始めるクォータミクロン世代以降は RC 改善が必要になる。そのためには配線金属材料の抵抗率 (ρ) の低減や層間絶縁膜の誘電率 (k) の低減といった、新しい材料の導入が必要になる。配線金属材料に関しては、サブミクロン世代まで、アルミニウム (Al) やその合金が広く使われてきたが、配線遅延が LSI 性能を律速し始めたクォータミクロン世代から、Al に比べ抵抗率が約 40% 低い、銅 (Cu) が導入され、今日に至っている。一方、層間絶縁膜に関しては、二酸化ケイ素 (SiO_2) が広く用いられてきたが、0.18 μm 世代から誘電率を低減させる目的で SiO_2 にフッ素 (F) を導入した Fluorinated silicate glass (FSG あるいは SiOF) が用いられ始めた。 SiO_2 から SiOF に材料変更することにより比誘電率 k は 4.1 から 3.4 程度まで低減することができる。非 SiO_2 系の材料として SiOC が検討され、90 nm 世代から $k=3.0$ を実現する材料として導入されている。更なる誘電率低減としてポーラス SiOC などが導入されている。幾何学的微細化とともに、金属材料・誘電体材料の新規導入による等価的微細化が同時に進められていることが理解できる。MOS トランジスタにも同じような微細化が進められ、幾何学的寸法のみではなく、新規材料・構造が取り入れられ、ムーアの法則が維持され続けている。

ITRS の最終版である ITRS2.0 (2015 年) に示されているロジック LSI 微細化トレンドからは、半導体集積回路微細化のペースが近い将来スローダウンすることが予想されている[15] (図 1-2)。Moore の法則を指導原理にしてきた半導体集積回路微細化も大きなパラダイムシフトが必要になってきている。現在半導体技術の応用分野を起点に、IEEE Rebooting Computing が中心になり、半導体デバイスだけでなく、その応用分野やコンピュータアーキテクチャを視野に入れた IRDS (International

Roadmap for Devices and Systems) が半導体技術に関わる新たなロードマップとして策定されている。フラッシュメモリは既に 3 次元化した製品が実用化されている。

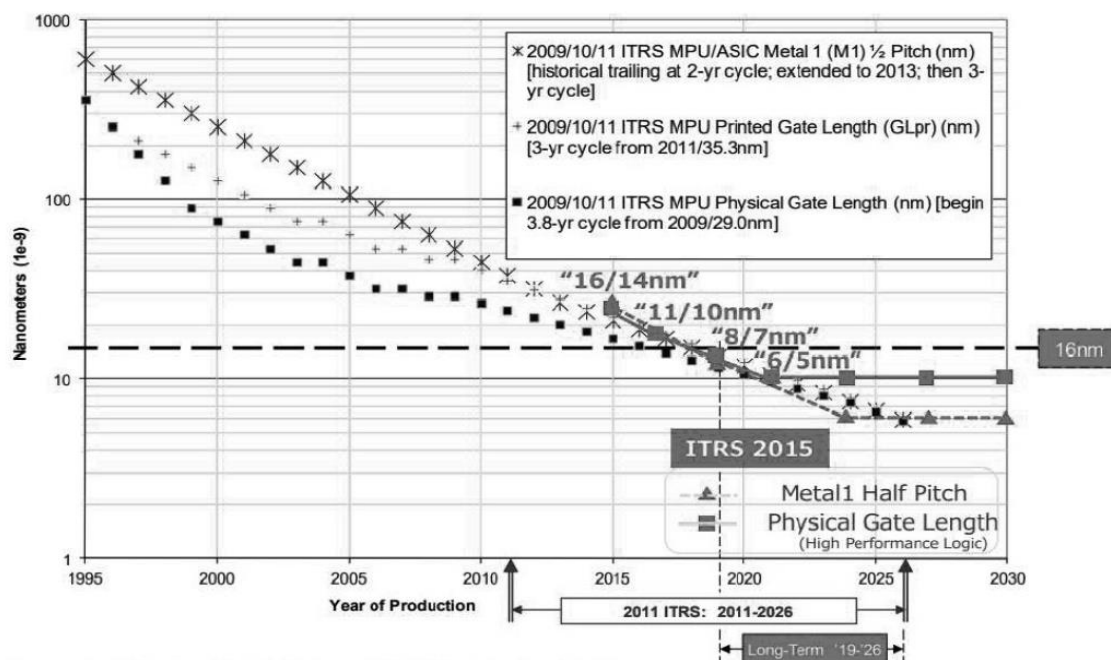


図 1-2. マイクロプロセッサの微細化[15].

ロジック LSI にもこのような 3 次元化技術の開発が進んでゆくと考えられる。2017 年 IRDS は ITRS2.0 で微細化ペースが停滞する 2025 年以降、完全垂直 MOS トランジスタと低消費電力技術が相まって、新たな半導体技術を牽引する微細化原理として、3D Power Scaling の時代が到来するとしている。半世紀以上にわたり進化してきた半導体技術・半導体産業は、今後も様々な技術革新を行いながら、新たな価値を生み出し、社会や人々の生活をよりよく変えていくものと考えられる。このように、引き続き大きな動機に基づき、半導体技術はさまざまな研究機関・企業でさらに広く深く研究開発が進められるものとする。

1.1.2 半導体産業の発展

世界の半導体市場は、2000 年までは年平均約 14%、2001 年以降は年平均約 7%で成長していることがわかる（図 1-3）。別の指標である、シリコンウエハ出荷面積で 2001 年以降を見てみると、やはり年平均約 7%でウエハ出荷面積が増加していることがわかる（図 1-4）。売上ベースだけではなく、実出荷製品そのものの量も増加し続けていることがわかる。世界通貨基金（International Monetary Fund: IMF）によると、先進国の平均 GDP 成長率は 2000 年まで 3.0%（1980 年～2000 年）、2001 年以降は 1.7%（2001 年～2014 年）となっており、半導体市場は先進国の経済成長率に比べ 4 倍前後で安定した成長を続けていることがわかる。2017 年の市場規模は 4,000 億米ドル規模に成長している。

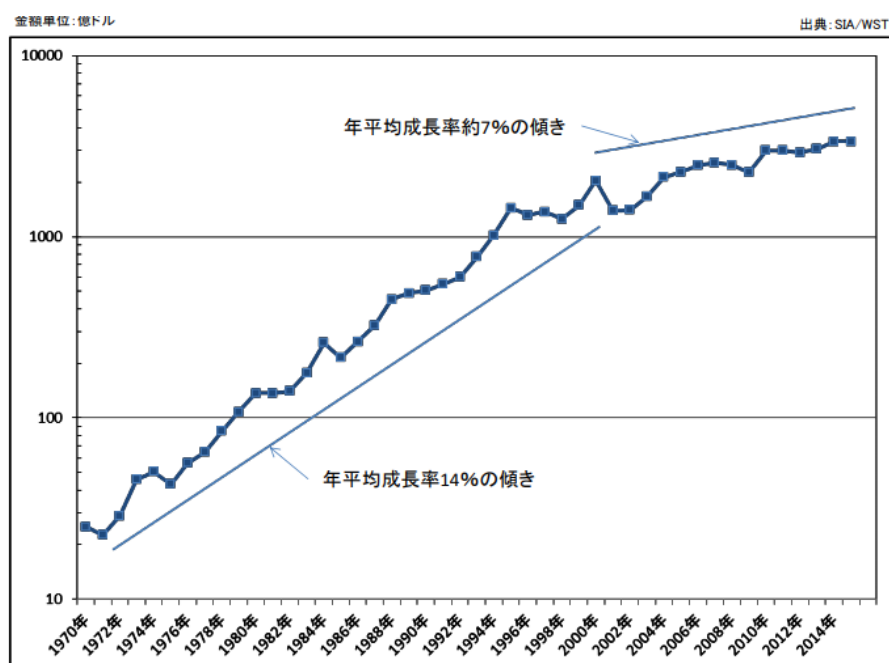


図 1-3. 世界の半導体市場の推移 [16].

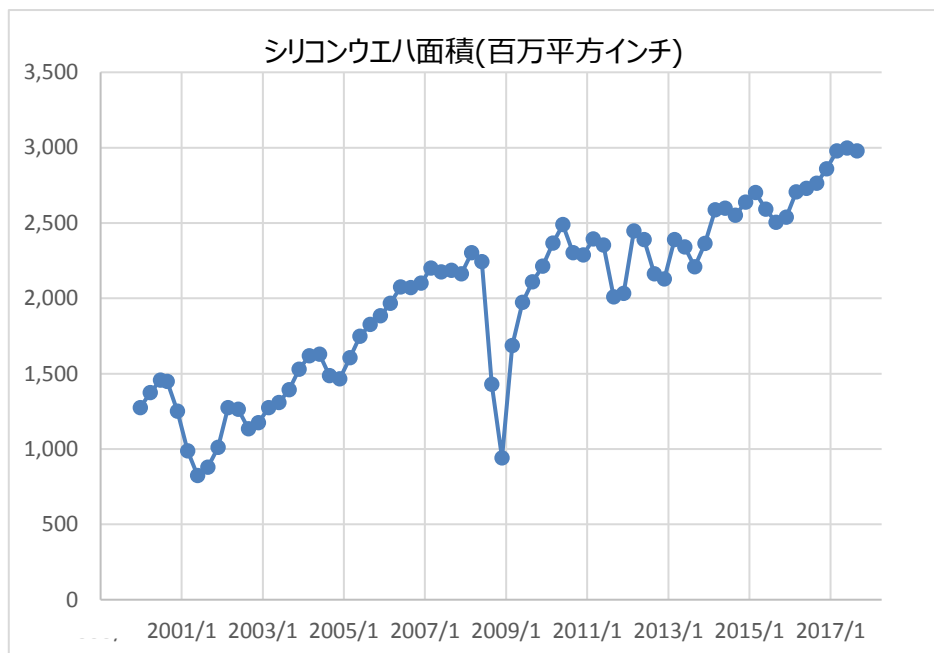


図 1-4. シリコンウエハ供給推移（面積ベース） [17].

ここまで、半導体供給側から市場動向を考察してきたが、ここからは半導体需要側から市場動向を考察する。現在、情報の処理・保存・通信の質（速度・量）の向上とコスト低減が進み、情報化社会は新たな変革の時期に来ている。それは、IoT（Internet of Things）、ビッグデータ、機械学習、AIなどで象徴される新たな情報技術が、さまざまな領域に利用され、次々に新たな価値が創造されていく社会への変化である。そこには、クラウドサーバ・エッジサーバといった既存の需要機器の拡大による MPU/Memory といった需要とともに、今まで半導体需要者としてあまり目立たなかった、車載機器や産業機器への半導体需要の拡大が予想される[18]（図 1-5）。新たに開拓される車載機器・産業機器に搭載される IoT 端末はデータを取得するセンサー機能・無線通信機能・電源を確保する機能（電源 IC）などが不可欠で、“More than Moore”による、新たな付加価値創造が期待できる領域にも広がってゆくと考えられる。

世界の電子デバイス関連産業の市場規模

- 2000年台はPC、携帯電話、TVが牽引役だったが成長は止まった。
- 2010年以降に産業、車載エレクトロニクスが拡大を始めている。
- IoTの主戦場は産業機器分野で拡大期に入った。

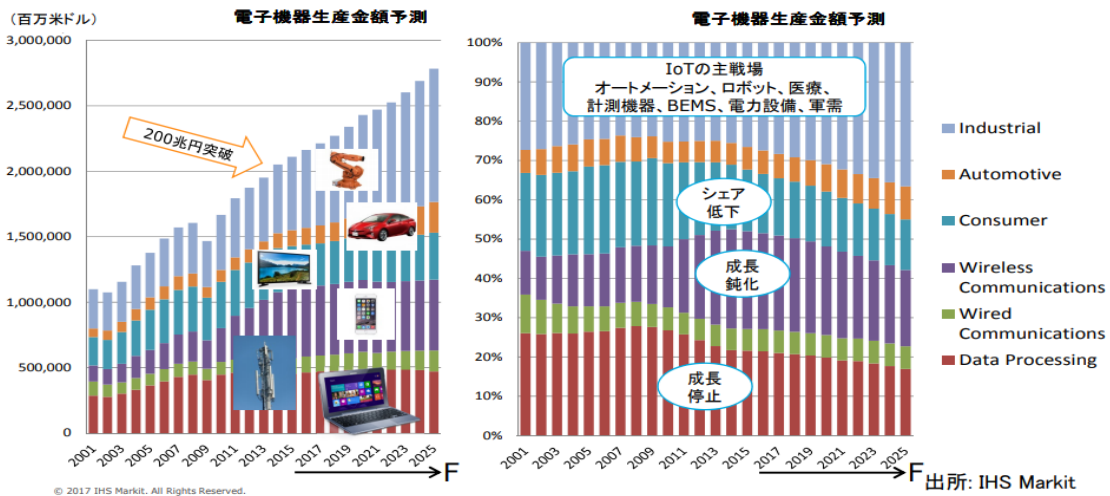


図 1-5. 世界の電子デバイス関連産業の市場規模[18].

1.1.3 半導体技術・産業に関するまとめ

ここまで見てきたように、半導体産業は、ゲルマニウム接合トランジスタで産声を上げ、シリコン MOS 集積回路の発明から”ムーアの法則”を指導原理に、技術的・経済的に大きな成長をし、今日も発展し続けている。1990 年代から 30 年近くの間、インターネットの発達とともに、PC・携帯電話・スマートフォンなど情報端末の進化を支え、IoH (Internet of Human: 人のインターネット)、すなわち世界中どこでもだれとでもつながることにより新しい価値を生む社会への変化の原動力になったと考える。今後も“More Moore”微細化による高性能・低消費電力化は進み、また、IoT 社会への新たな潮流のもと、非デジタル機能を付加した SiP/SoC といったシステムなど、“More than Moore”による新たな成長が期待できる。さらに、新たなデバイス原理・材料・プロセスの発明発見による”Beyond Moore”による社会の大きな変化による新たな付加価値の創造も期待できる。

1.2 ロジックデバイス向け Cu/low-k 配線技術

1.2.1 Cu/low-k 配線技術への要求課題

高性能のロジックデバイスと大容量のメモリを搭載したシステム LSI 技術への強い市場要求、ならびに当時の国際半導体技術ロードマップ (ITRS) においても SoC (System-on-a-Chip) の 70%以上の面積をメモリが占めると予想されていたことから、著者の所属した株式会社東芝 セミコンダクター社 (以下、東芝と記載) においては、130 nm 世代以降において DRAM (Dynamic Random Access Memory) 半導体とロジック半導体混載技術を開発してきた。DRAM セルとしてトレンチ・キャパシタを採用することにより、スタック・キャパシタとは異なり、キャパシタ形成後にトランジスタや配線を形成するため、ロジックデバイスへの影響を抑え込むことが可能となった。一方、高性能ロジックデバイスに対しては、微細化によるトランジスタの高性能化とともに、Cu 配線、新規低誘電率 (low-k) 層間絶縁膜の多層配線技術への導入が、各世代の技術開発の中でも極めて重要な開発テーマであった。ここでは、多層配線プロセスと採用された低誘電率膜に関して、世代ごとにその課題と対策に関して紹介する。

まず、図 1-6 を参照しつつ Cu 配線プロセスのフローに関して説明を行う。

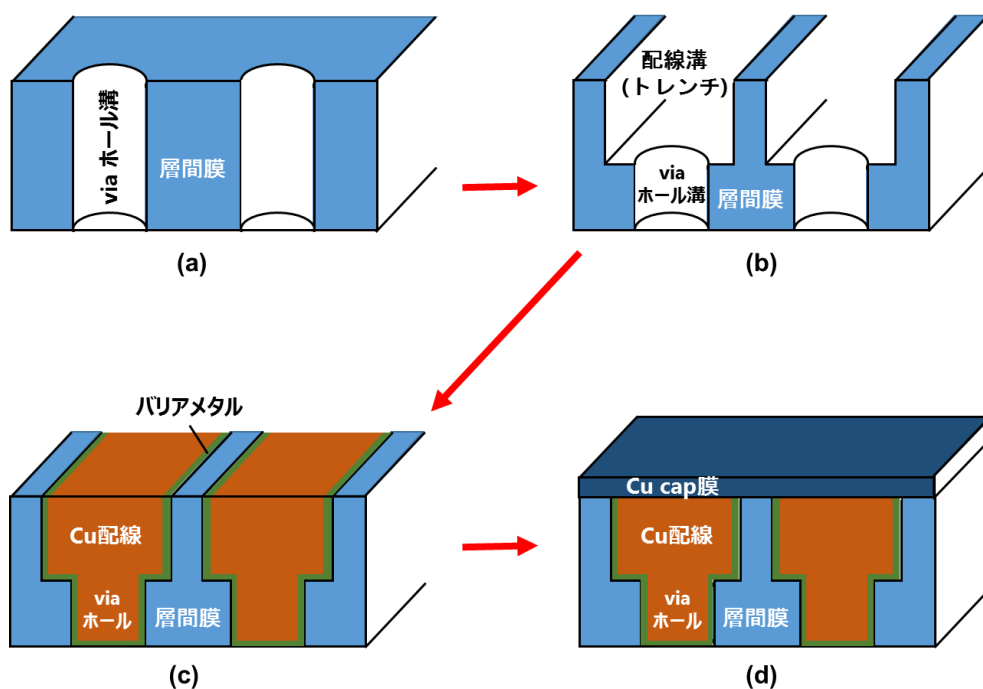


図 1-6. Cu 配線の形成フロー (a)via ホール溝を加工した層間絶縁膜、(b)配線溝（トレンチ）形成後の層間絶縁膜、(c)バリアメタルと Cu 配線を埋め込んだ構造、(d)Cu 配線上に Cu cap 層を形成した構造.

多層配線は Si 基板表面に形成された CMOS 半導体を金属配線で接続する構造のことで、CMOS 半導体形成後、その上層に積み重ねる形で金属配線層を形成する。金属配線層は、金属部分と配線間を絶縁する絶縁物から形成されている。金属配線として従来は加工しやすく抵抗が低い Al 配線が使用されてきたが、更なる半導体の速度要求による低抵抗化の必要性から現在は Cu 配線がロジック半導体では用いられている。上層・下層の配線を via ホールもしくはコンタクトホールと呼ばれる円筒状の微細な Cu で連結されている。ハロゲンガスによるドライエッチングにおいて、蒸気圧の高い副生成物を形成するために加工しやすい Al と異なり、Cu は蒸気圧の高い副生成物を形成しにくいために、配線構造や via ホール構造を直接ドライエッチングにより加工することは困難なため、Al 配線を形成後に絶縁膜をかぶせて形成する従来の手法ではなく、ダマシン（damascene、象嵌）と呼ばれる埋め込み配線の形成手法がとられる。図 1-6 はその形成方法の一例であるが、図 1-6 (a)に示すように SiO₂ 膜

を絶縁膜としてプラズマ CVD 法により形成後に、異方性イオンエッチングを用いて via ホール用の穴溝を形成する。さらに、図 1-6 (b)に示すように配線溝を同じく異方性イオンエッチングを用いて形成する。配線溝と配線穴の形成には別途有機材料であるマスクを使用するが、加工後にマスク材料を、 O_2 ラジカルなどを用いて選択的に除去している。このように加工された絶縁膜層に、Ta や Ni などの絶縁膜中への Cu 拡散防止のためのバリアメタル薄膜をスパッタリング法により表面全面に成膜後、さらに Cu をスパッタリング法により薄く形成し、それを種として電解メッキ法により Cu を堆積させる。その後、余分な部分の金属を CMP (Chemical Mechanical Polishing) と呼ばれる化学機械研磨法により表面から除去して図 1-6(c)の形状を得ることができる。さらに Cu 表面に Cu Cap 層と呼ばれる絶縁膜を上層に形成して一層が形成される。これを、サイズを変えながら複数回繰り返して積層し多層配線が作られる。Cu-cap 層としては、上層形成時の異方性イオンエッチングをエッチングストップ層として制御する目的と Cu の拡散を抑制する必要から SiN が広く用いられている。図 1-6 に示す方法は、via ホールと配線を同時に形成することが可能であり、デュアルダマシン法と呼ばれている。下層配線とのコンタクトホールと配線溝を所望形状に加工する技術と金属である Cu を埋め込み、且つ via ホールの底で下層の配線とオーミックコンタクトをしっかりとる必要があるため、技術的難易度は非常に高い。そのため、via ホールの加工と配線埋め込み、配線溝の加工と配線埋め込みを別々に行うダマシン法も一部では採用されておりシングルダマシンと呼ばれ区別される。シングルダマシンはデュアルダマシン法と比較して技術難易度は低いが、工程数も多くコストも高いため、特別な理由が無い限りは一般的にはデュアルダマシン法が用いられる。

高速なロジック半導体を実現するためには、配線抵抗のみでなく 1.1 章で論じたように絶縁層の低誘電率化が必要であり、従来の SiO_2 膜に変わり低誘電率膜の導入が要求される微細化の世代に応じて要求される絶縁膜の比誘電率に合わせて開発・導入されたが、ダマシン法では各世代の低誘電率膜を加工する際に絶縁膜に与える影響が問題となる。

表 1-2. 低誘電率ポーラス 材料導入による材料及びデバイスに対するモジュール技術の観点から見た問題点.

材料観点での課題	デバイス観点での課題
プラズマによるダメージ耐性	加工変換差
吸湿性	誘電率上昇
ガスの透過性	レジストの解像不良
金属拡散	配線間リーク
低い密着強度	CMP工程時の剥がれ
低い機械強度	積層時の剥がれ
	配線積層時の割れ
	パッケージでの不良

Cu / low-k を用いた多層配線技術開発には表 1-2 に示すように多くの特性が要求されるが、特に最近のポーラス 材料の検討結果から、重要な開発項目は以下の 3 項目に集約されることが明らかになってきた。3 項目とは、

- (1) 材料設計技術、
- (2) プロセスの最適化及び改善、
- (3) 界面制御技術、

である。特に材料設計とプロセススキームの最適化による加工ダメージの低減は配線の信頼性確保の為にきわめて重要な技術である。また、高いパッケージ信頼性を確保するためには、材料設計のみでなく全ての薄膜界面においての密着強度制御が要求される。

表 1-3 に東芝が採用した 130 nm 以降の世代に採用した低誘電率絶縁膜材料と構造に関して、表 1-4 に Si-O を基本骨格に有する材料の特性を示す。この表 1-4 において、材料の機械的強度は硬度（Hardness）とヤング率（Young's Modulus）で、また

密着強度は m-ELT 法による密着指数で表している。また、SiOC 膜は膜中にメチル基を有することから、酸素 (O) やフッ素 (F)、水素 (H) などを含むプラズマに晒されることによりメチル基が影響を受け、Si-OH 基に替わることにより吸湿現象が起きることを主な原因として膜がダメージを受ける。その際に誘電率の上昇が起きるため、ここでは、NH₃ プラズマに晒された場合の前後での比誘電率 k の変化をプラズマ耐性の弱さを示す指標としている。比誘電率 k 値の減少とともに機械強度やプラズマ耐性が低下することが確認できる。そのため、各世代に対し、膜特性に応じて最適化したプロセススキームの開発が要求された。以下に、130 nm 世代以降にて採用もしくは採用を検討した low- k 技術に関して議論する[19]。

表 1-3. 130nm 世代以降に対応した Cu/low-k 多層配線構造の変遷[19].

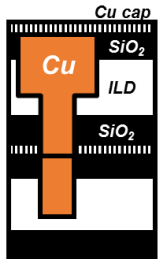
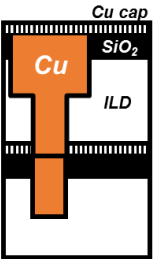
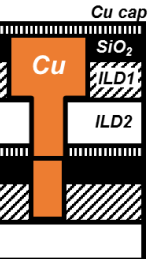
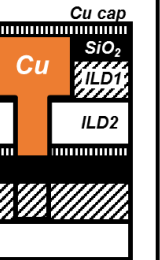
Technology node	130 nm	90 nm	65 nm	45 nm
Structure of intermediate layers	 Monolithic	 Monolithic	 Hybrid	 Hybrid
Low-k ILD materials	SiOF	SiOC	PAr / SiOC	porous PAr / porous SiOC
Cu cap materials	SiN	SiCN	SiCN	p-SiCN
k of ILD	3.4	2.9	2.6	2.3
k of Cu cap	7.0	4.9	4.9	3.5

表 1-4. CVD 法により形成した Si-O 骨格を有する Low-k 膜の基本特性[19].

Technology node	130 nm	90 nm	65 nm	< 45 nm
配線構造での実効k	4.0	3.3	3.0	2.7
Low-k Film	SiOF	SiOC:H	p-SiOC:H + eB/UV	p-SiOC:H + eB/UV
比誘電率: k	3.4	2.9	2.6	2.3
硬度: Hardness (GPa)	4.4	1.9	1.9	0.7
弾性率: Modulus (GPa)	40	11	10	5.9
NH ₃ plasmaによるk変動	0	0.4	0.4	0.7
low-k/SiCN界面密着性 (K_{IC} : MPa·m ^{1/2})	> 0.4	> 0.4	> 0.4	0.3
膜密度 (g/cc)	2.2	1.4	1.3	1.1
空孔径 (median, nm)	ND	ND	< 1.0	< 3.0

1.2.2 130 nm 世代の多層配線技術: CVD SiOF film (k=3.4)

130 nm 世代においては単一（monolithic）の低誘電率材料を層間絶縁膜として用いているため monolithic DD 構造と呼ぶ PE-CVD SiOF (k=3.4)/PE-CVD SiN (k=7.0)の積層構造に Cu 埋め込み配線を組み合わせた構造を量産製品に適用した。図 1-7 は平行平板プラズマ CVD 法を用いて $\text{SiH}_4/\text{SiF}_4/\text{N}_2\text{O}$ を原料ガスとして SiOF 膜を形成した場合であるの、膜中 F 濃度と 30 日間大気中に放置した場合の膜中吸湿量である。図 1-7 に示すように SiO_2 膜中に F を添加することにより SiO_2 の比誘電率は単調に減少するが、11at%を越える高濃度に F を添加すると大気放置により SiOF 膜の吸湿量が増加する現象が観測される[19]。

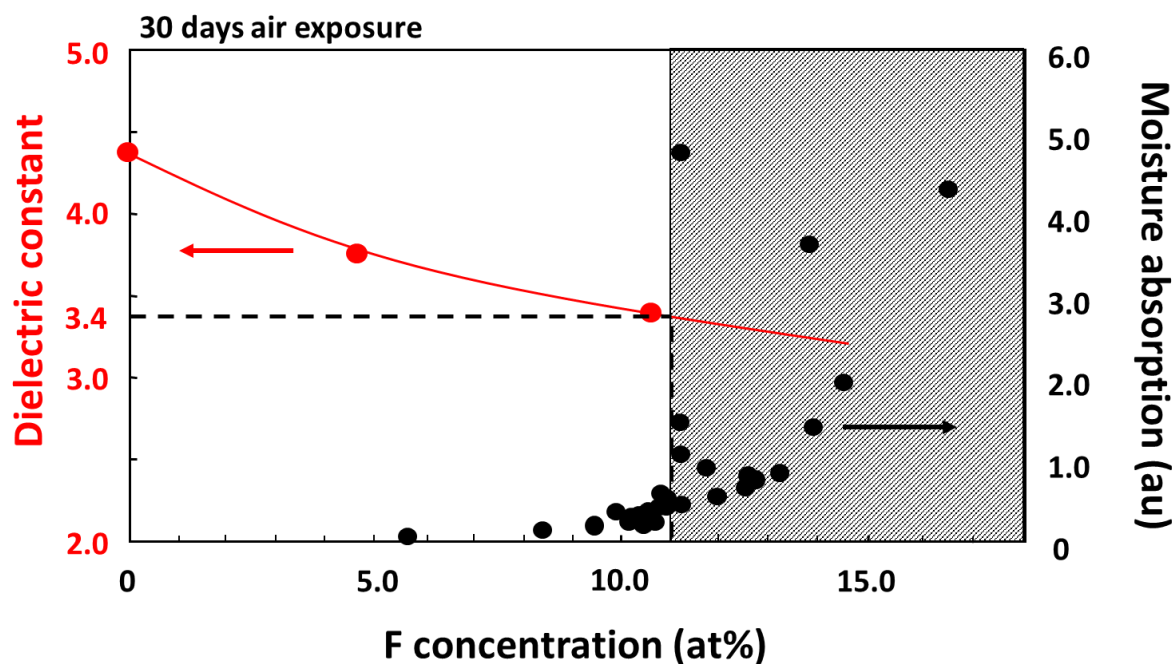


図 1-7. 平行平板 PE-CVD SiOF 膜において、膜中 F 濃度と比誘電率、及び 30 日大気放置後の膜中吸湿量の関係[19].

そのため、ここに示す成膜条件下では、SiOF 膜の低誘電率化の限界は、吸湿の観点からは 3.4 近傍と考えられる。SiOF 膜をデバイスに適用する場合には吸湿による影

響をすべて F 濃度の領域において完全に抑制する必要があるため、実際には膜中濃度によらず、表 1-3 に示すように SiOF 膜を SiO₂ で上下を挟んだサンドイッチ状の構造を適用した SiO₂/SiOF/SiO₂ の三層構造を用いる必要があった。吸湿により膜中 F が拡散しやすくなり、後工程での熱処理により膜剥がれ配線不良の原因となるが、この三層構造の採用により、信頼性の高い配線構造を構築することが出来た。第 2 章において層間絶縁膜としての SiOF 膜の特性に関しては詳細に論ずる。

1.2.3 90 nm 世代の多層配線技術 CVD SiOC film (k=2.9)

90 nm 世代において monolithic DD 構造と呼ぶ PE-CVD SiOC (k=2.9)/PE-CVD SiCN (k=4.9)の積層構造に Cu 埋め込み配線を組み合わせた構造を量産製品に適用した[20]。図 1-8 に TEM (Transmission Electron Microscope、透過型電子顕微鏡) による断面写真を示す。

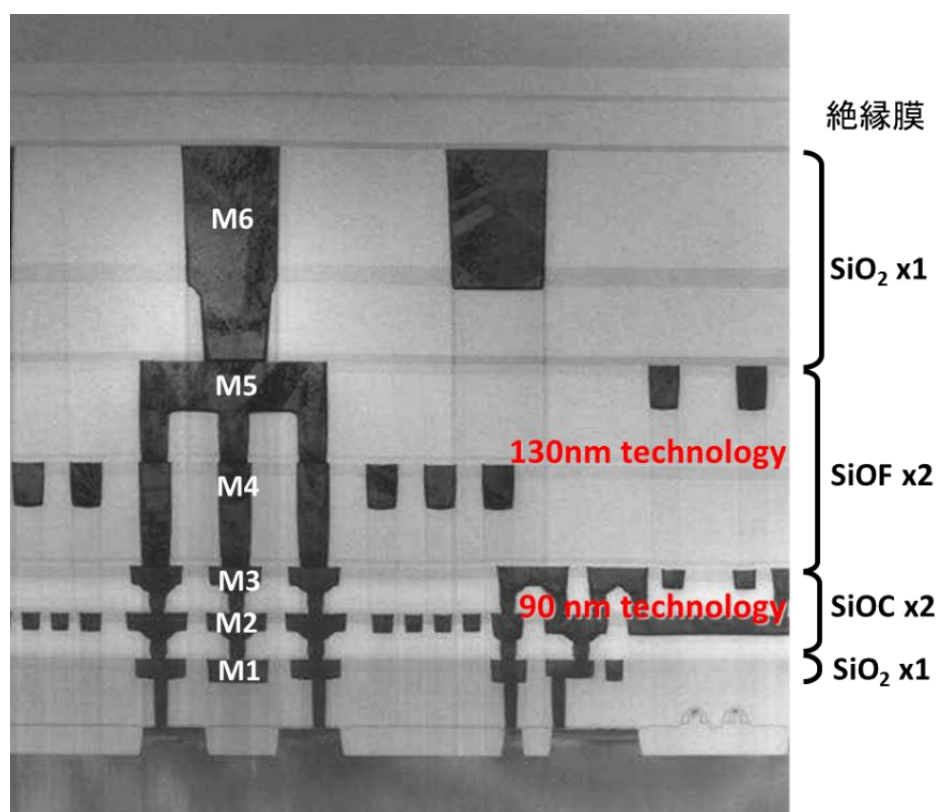


図 1-8. 90 nm 世代 6 層多層配線の断面 TEM 像 (M2-3: SiOC(k=2.9), M4-5: SiOF(k=3.4), M6: (k=4.2))[19].

SiOC 膜は、その膜中に Si-CH₃ 基を有するが為に、C 膜を除去する工程であるレジストマスク剥離工程などのプラズマ処理工程にて膜中 C が容易にダメージを受ける。図 1-9 に低誘電率 SiOC 膜(k=2.9)に NH₃ プラズマによる Ashing と呼ばれる有機レジストマスク膜の除去工程で用いられている処理を行った前後での影響を FT-IR (Fourier Transform Infrared Spectroscopy、フーリエ変換赤外分光法) を用いて調べた

結果を示す。NH₃ プラズマに晒されることにより膜中 Si-CH₃ 基が影響を受けると同時に、膜中 Si-OH 基が増加している。これは



式 1-2 に示す NH₃ プラズマ中の H が膜中のメチル基と反応して Si ダングリングボンドを形成し、更に大気中において(式 1-3)に示すようにダングリングボンドが大気中の水分と反応することなどにより Si-OH 基が形成されると考えられる。Si-OH 基は水分の吸着サイトとして振る舞い膜中の吸湿した H₂O も増大する。Si-OH 基や水分は分極性が高いことから膜の比誘電率を増加させる。水分は金属腐食にも影響するため膜の吸湿は配線性能や信頼性に影響が大きい。これらを総称して一般的には低誘電率材料のプラズマダメージと呼び、デバイスへの実用化には高いプラズマ耐性が要求される。

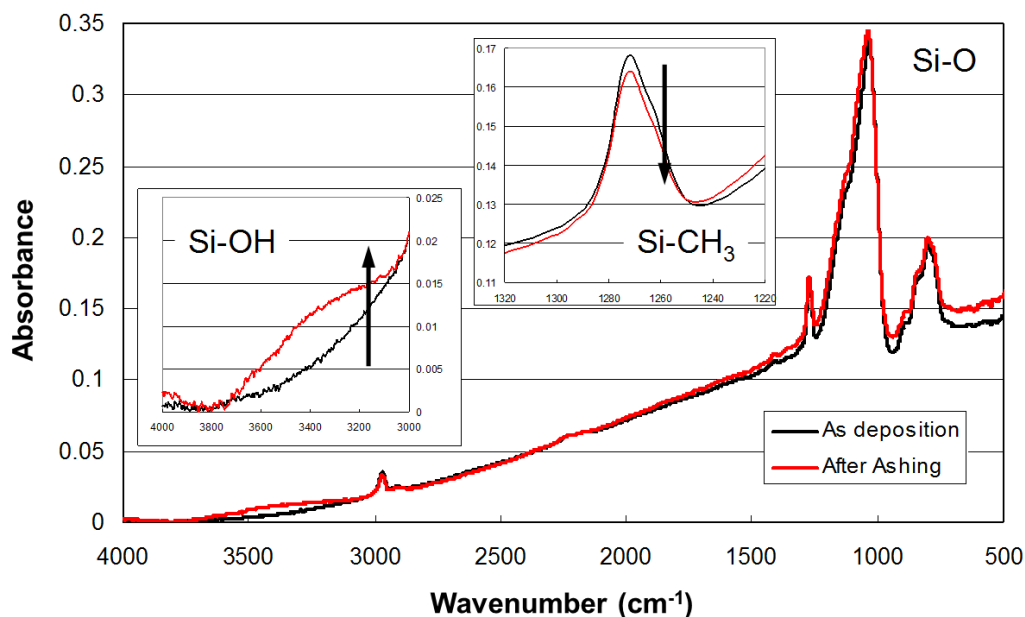


図 1-9. NH₃ プラズマ処理前後での SiOC 膜(k=2.9)の FT-IR のスペクトル。

90 nm 世代開発におけるキーポイントと得られた電気特性に関して報告する。90 nm 世代においてはデュアルダマシンの形成 scheme として、配線とコンタクトホールの合わせずれに強い via-first プロセスを新規に開発した。従来の塗布による反射防止膜（Anti Reflective Layer, ARL）を用いて加工した場合、ARL とレジストとの選択比が不十分なことから配線層であるトレンチ RIE の際に via ホール内の ARL がマスクとなり via ホール開孔部にクラウンフェンスと呼ばれる残渣が発生し、その後のバリアメタル/Cu の埋め込み工程においてボイド等の埋め込み不良を生じる。（図 1-11(a)）それに対し、我々は3層の多層マスク構造（Top レジスト/SOG/Bottom レジスト）を利用した S-MAP（Stacked Mask Process）を開発した。S-MAP プロセスを用いたデュアルダマシン形成のプロセスフローを図 1-10 に示す。

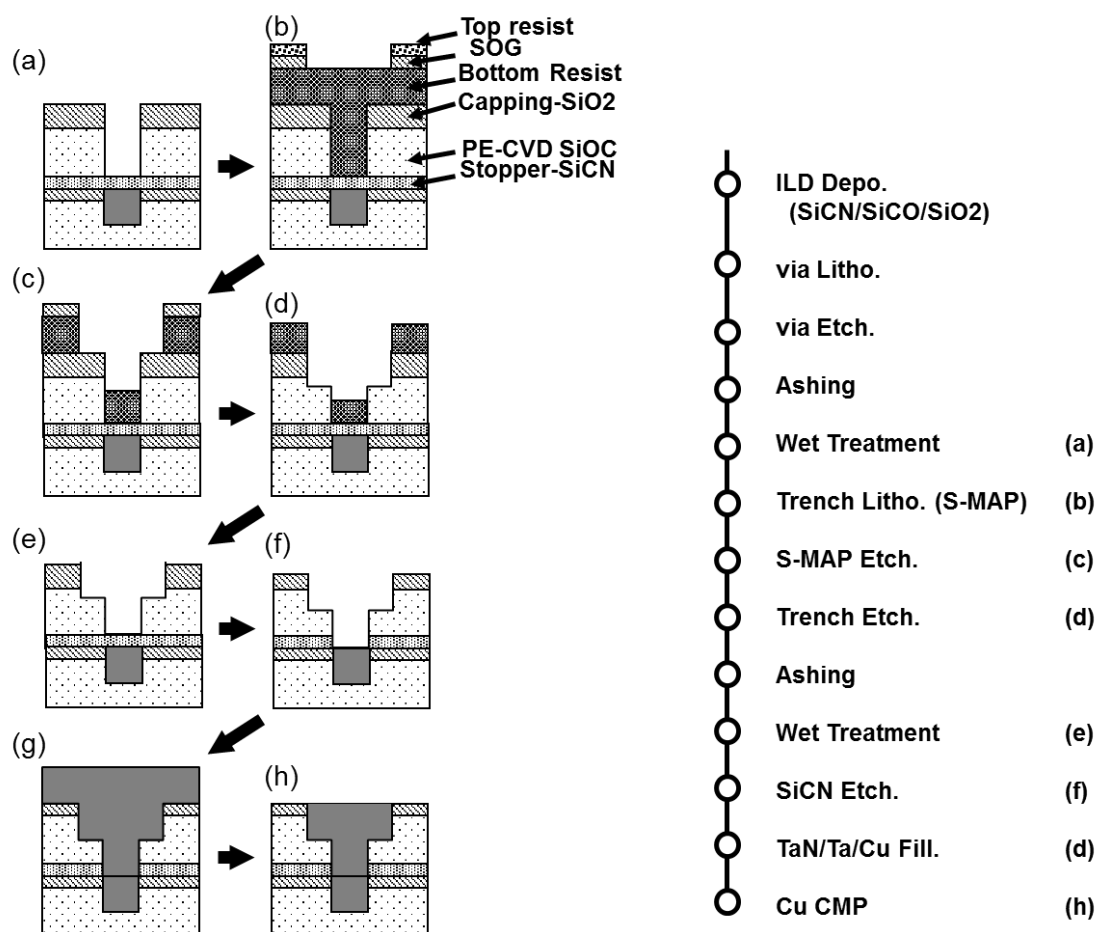


図 1-10. 多層マスク構造（Top レジスト/SOG/Bottom レジスト、S-MAP）を用いた Dual-Damascene 形成プロセスフロー.

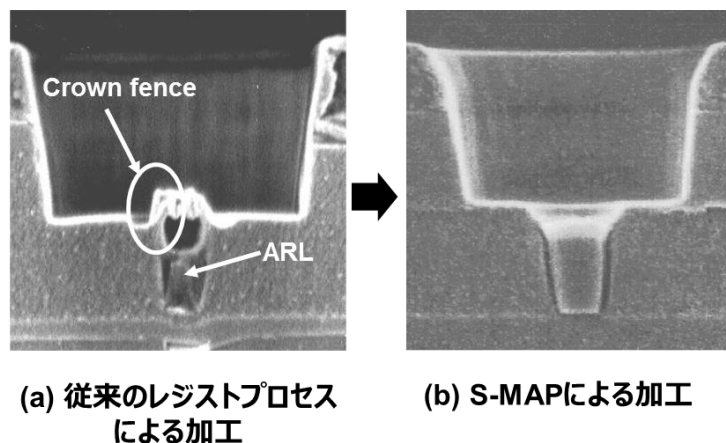


図 1-11. 断面 SEM による DD 溝加工形状の比較.

via ホール形成後、図 1-10(c)に示すように、配線溝加工用のマスクを形成時に、via ホール内部に **Bottom レジスト**と呼ばれるマスク材料で埋め込んだ状態で、さらに配線溝加工用のマスクとなる **SOG/Top レジスト**を形成する。**SOG** をマスクとして **bottom レジスト**量をホール内で制御可能となったため、図 1-11(b)に示すようにクラウンフェンスの形成を抑止し、良好な形状を得ることが可能となった。

90 nm 世代において、 SiO_2 膜を Low-k 膜である **SiOC 膜**の上層 **Cap 膜**として採用した。**Cap 膜**は、レジストマスク形成工程のやり直し時や配線溝加工後のレジストマスク除去工程時、**CMP 工程**時、**SiCN 膜**形成時のプラズマ前処理工程時等のダメージから、Low-k 膜である **SiOC 膜**を保護し、配線間リークや配線信頼性に対してきわめて有効に機能した。ただし、**Cap** 構造を採用したことにより、当初、via ホール加工後の配線溝形成のためのレジストマスク形成時に現像不良を引き起こす。この原因は、積層時や加工時に Low-k 膜中に取り込まれた NH_3 に代表されるいわゆるアミンが脱離・拡散し、レジストと反応することにより引き起こされる。この不良現象はレジストポイズニング (resist poisoning) 不良と呼ばれる。この問題に対しては、(a)**Cap** 形成時および加工時に **N** を用いたプロセスの排除、(b)**SiCN 膜**の安定化処理、(c)高アミン耐性を有するレジストの採用、により対策を行った。この不良現象と対策に関しては第 2 章で詳細に議論する。

1.2.4 65 nm 世代以降の多層配線技術[3-5] CVD SiOC film ($k=2.5$) and Spin-on PAr film ($k=2.6$)

図 1-12 に示すように、90 nm 世代の多層配線で用いた単一材料による Monolithic 構造に対して、65 nm 世代においては 2 種類の異なる Low-k 材料の積層構造を用いた Hybrid と呼ぶ構造を採用した[21-24]。

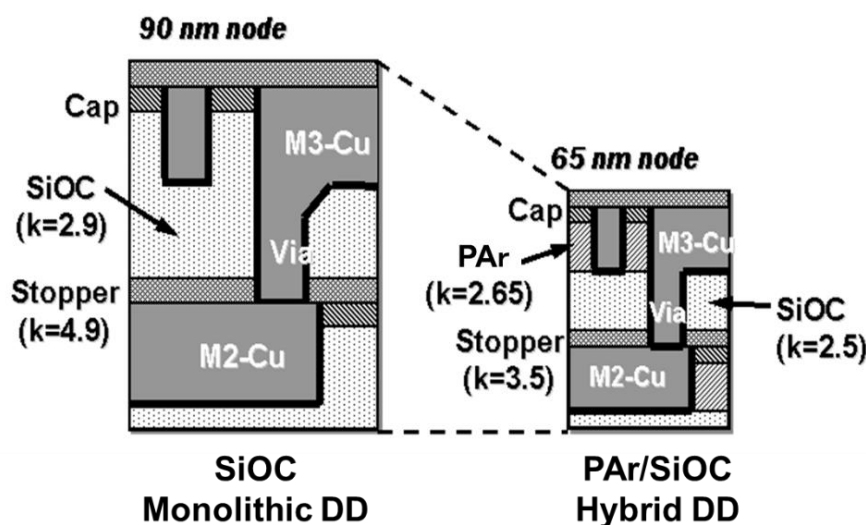


図 1-12. 90 nm 及び 65 nm 世代における多層配線構造の概略図.

上層から SOD (Spin on dielectric、塗布型絶縁膜) -PAr (polyarylene、ポリアリーレン樹脂) 膜($k=2.65$) / PE-CVD SiOC 膜($k=2.5$) / PE-CVD SiC 膜($k=3.5$)の積層構造を層間絶縁膜として導入した。さらに、最上層の Cap 層として SiO_2 層を用いている。PAr 膜は基本骨格としてフェニル構造を有する高耐熱樹脂であり多層構造を形成する際の熱工程に耐えうる特性を有していること、またその比誘電率は 2.65 と低い値を示すことから SiOC 膜との組み合わせ材料として導入した。非常に複雑な Hybrid 構造を採用した主な理由としては、特に加工選択比の異なる絶縁膜を組み合わせることにより、配線溝加工の際に、従来は配線溝を異方性イオンエッチングで形成する際に加工時間制御で配線溝の深さを制御していたが、配線溝層の材料を有機樹脂にすることでドライエッチングが溝底部において異なる SiOC 材料に変化するため、高い

加工選択比が実現され、単一材料では Si 基板全面での均一な深さ制御の実現が難しかった溝加工の容易性が実現されている。これにより、Low-k 材料に対して低ダメージ加工が単一の SiOC 系の低誘電率絶縁膜を用いた場合に対して可能となり、配線性能のばらつきが大きく向上した。また、高精度の形状制御が可能となったことにより Cu 埋め込み性が改善された。以下、Hybrid 構造を用いた 65 nm 世代の多層配線技術の特徴に関して述べる。

図 1-13 に 65 nm 世代における 6 層モジュールを示す。Spin-on PAr (Poly-Arylene, $k=2.65$) polymer / PE-CVD SiOC ($k=2.5$) / PE-CVD SiC ($k=3.5$) 積層膜を利用した Hybrid DD 構造を採用している。高いドライエッチング選択性が、優れた DD 形状実現するとともに、レジスト剥離によるダメージを抑制している[19, 20]。さらに電子線キュアの導入により表 1-4 に示すように SiOC 膜の機械強度、プラズマ耐性、密着強度を前世代の材料と同程度まで改善している[21]。また、表 1-5 に電子線キュアによる PAr 膜の基本特性を示す[22]。表 1-5 に示すように電子線キュアは PAr の架橋反応を促進するため、キュア時間を従来の 400°C 30 分から 350°C 5 分に低減できることから、半導体拡散層不純物分布への影響やトランジスタ材料中の欠陥形成などへの熱負荷による影響を抑制できることから、CMOS への悪影響の低減を実現可能であるとともに、同時に有機/無機接合となる下地密着強度も改善した。電子線キュアに関しては第 3 章で議論する。

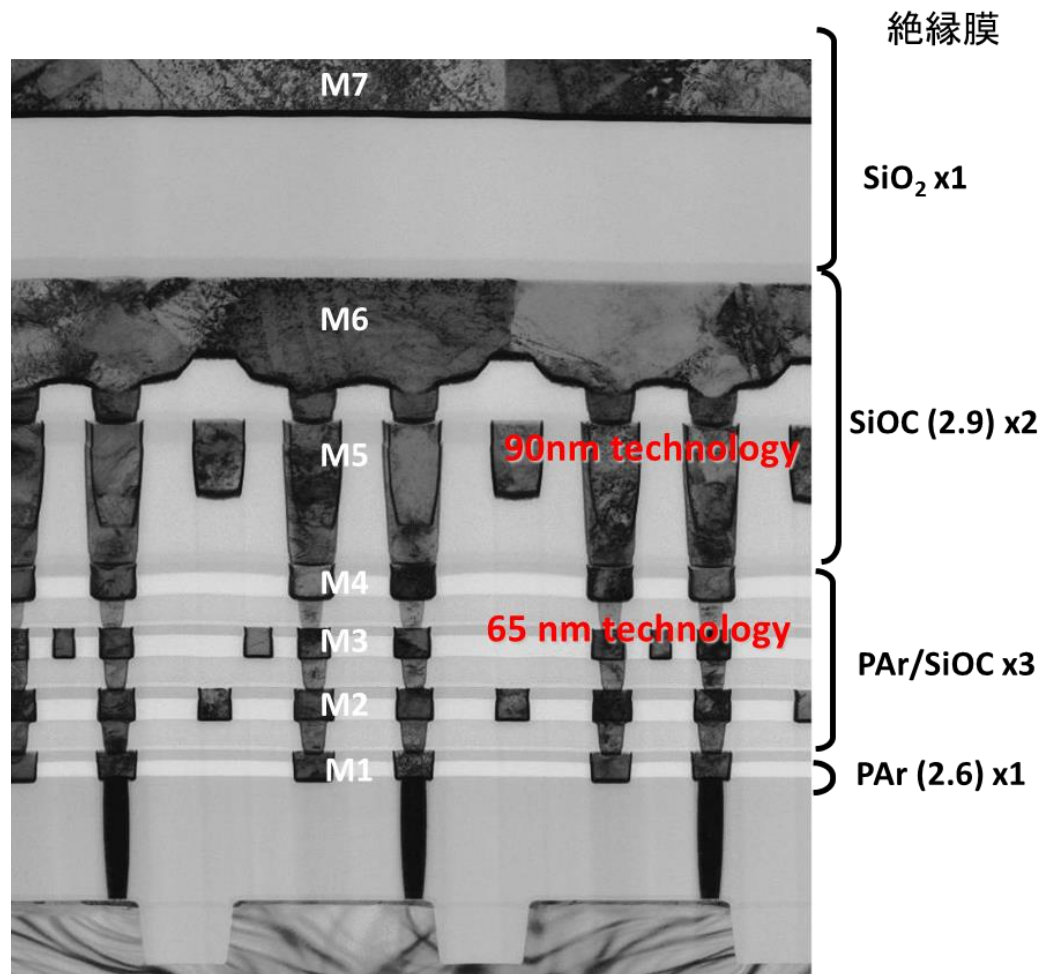


図 1-13. 65 nm 世代の技術による 6 層配線構造の断面 TEM (M1: PAr($k=2.65$), M2-M4: PAr($k=2.65$)/SiOC($k=2.5$)Hybrid 構造, M5: SiOC($k=2.9$), M6: SiO₂)[19].

表 1-5. 熱キュア及び電子線キュアで焼成された PAr 膜の基本特性[19].

Cure method	Thermal cure	eBeam cure
Cure temperature (°C)	400	350
Cure time (min)	30	5
k	2.64	2.66
Modulus (GPa)	3.3	3.1
C ₃ /C ₆ H ₆ ratio (%)	24	23
Adhesion strength (J/m ²)	2	15

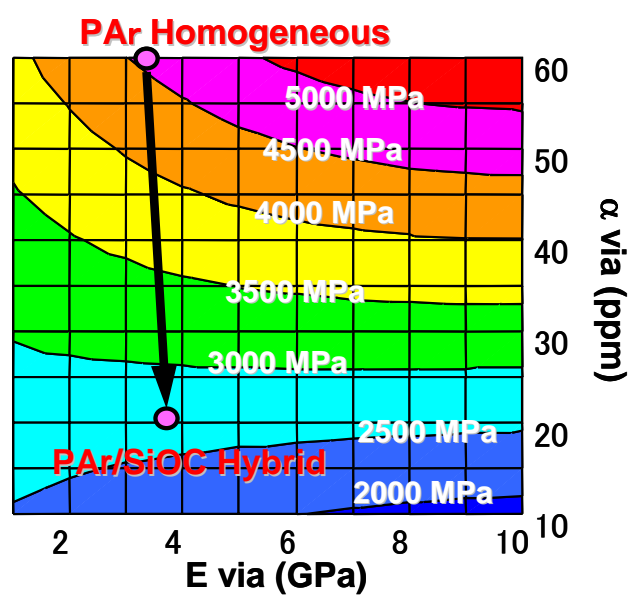


図 1-14. 370°C における via ホール側壁のバリアメタルにかかる最大ストレス値。

Hybrid 構造はストレス低減に対して有効[19].

図 1-14 に示すシミュレーションの結果から、PAr/SiOC 積層構造は、via 側壁におけるバリアメタルにかかるストレスを低減する効果があることが確認された。

さらに図 1-15 および 1-16(a)に電子線キュア採用による MOSFET へのチャージングダメージの影響と、電気伝導体の中で移動する電子と金属原子の間に運動量の交換が行われるために、イオンが徐々に移動することにより材の形状に欠損が生じる現象であるいわゆる EM (Electromigration、エレクトロマイグレーション) への影響を評価した結果を示す[23]。

その結果、MOSFET 特性の劣化はみられず、また EM 特性は電子線キュアの導入によりむしろ改善していることがわかる。図 1-16(b)に TDDDB (Time Dependent Dielectric Breakdown、酸化膜経時破壊) 特性を示す。電子線キュアの導入による界面密着強度の改善効果により、積層構造の影響などにより EM とは異なり電気を流さなくとも via 構造を有する配線で断線不良等が起きる現象である SM (Stress migration) 特性の向上も確認されている。

電子線キュアを用いた 8 層構造を有するモジュールを使用したフリップチップパッケージ試験では、TCT 評価 (Temperature Cycle Test, -55°C to 125°C, 1000 cycles)、PCT 評価 (Pressure Cooker Test, 110°C/85%H, 500Hrs)、THB 評価 (Temperature Humidity Bias, 85°C/85%H/2.5V, 500Hrs) および HTS 評価 (High Temperature Storage, 150°C, 500Hrs) により劣化が全く確認できなかった。以上の結果により、hybrid DD 構造と電子線キュアの組み合わせは、量産適用に対して高い信頼性を有していることを示した[19]。

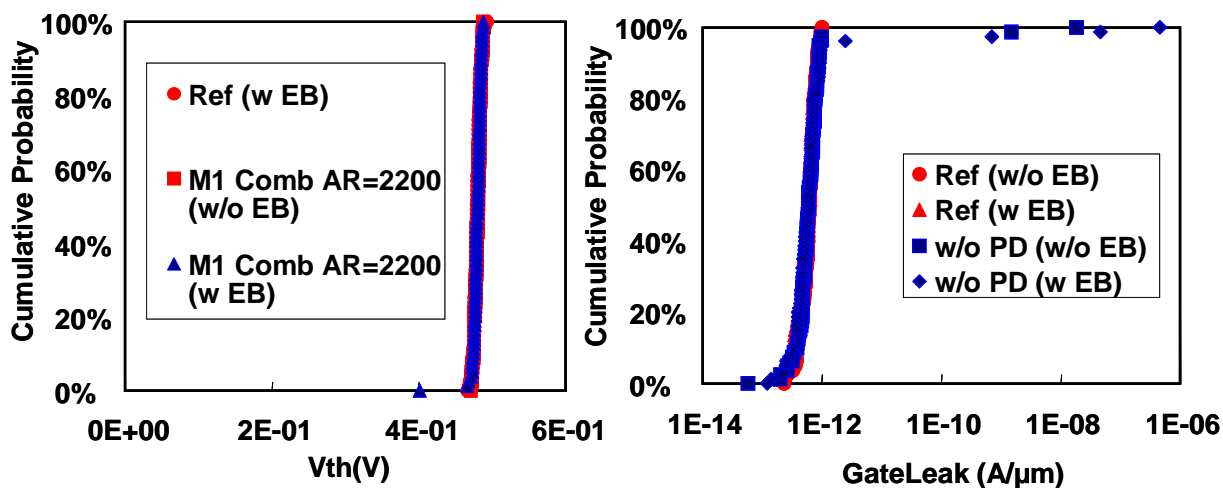


図 1-15. 電子線キュアを用いて形成した 3 層配線構造の V_{th} 及び gate leakage 特性 (Gate ox = 5.0 nm, Gate W=4 μm , Gate L=0.4 μm with M2 Comb Antenna) . Reference pattern は protection diode (PD)有り [19].

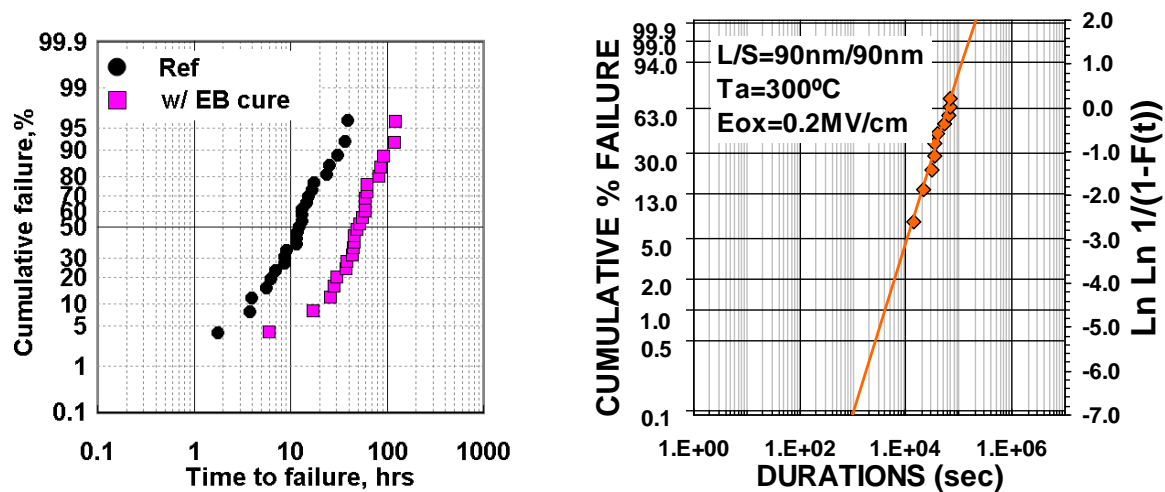


図 1-16. (a) 電子線照射有無の EM への影響評価. (Electron flow は M1→M2, 325°C、Jstress=1.0 MA/cm²) (b) 65 nm hybrid 構造での TDDDB 特性[19].

1.2.5 Si-O based porous materials and porous PAr for 45 nm node

一般的に、多孔質（porous）絶縁膜の形成にはポロジェン（porogen）と呼ばれる膜中に空孔を導入するためにあらかじめ成膜時に基本骨格材料とは異なるいわゆる犠牲材料を導入して、薄膜形成後に熱処理などでポロジェンを熱分解して脱離させて空孔構造を作製する方法を利用した形成技術が用いられる。表 1-6 および表 1-7 に 45 nm 世代に電子線キュアを用いて適用を検討しているポーラス-MSX（methylsiloxane）膜、ポーラス PE-CVD SiOC 膜およびポーラス PAr 膜の特性を示す。SOD（spin on dielectric）は塗布膜である。これらの結果は、電子線キュアの高い適合性を示している[25-27]。電子線キュアの特性とその焼成メカニズム詳細に関しては第 4 章において議論する。表 1-6.に 45 nm 世代において適用された Si-O 骨格を有する low-k 材料の基本的特性を示す。加工ダメージ量は 200°C と室温の比誘電率の違いで示している。ここではプラズマダメージによる吸湿量がダメージ量を表す指標となると仮定しているおり、ダメージを受け難い膜においては、 Δk は小さくなる[19].

表 1-6. 45 nm 世代において適用された Si-O 骨格を有する low-k 材料の基本的特性 [19].

Low-k Film		p-MSX		SiOC:H
		SOD		PE-CVD
Cure methods		Thermal	eBeam	eBeam
k		2.30	2.30	2.37
Hardness (GPa)		0.6	0.9	0.7
Modulus (GPa)		3.5	5.6	5.9
Delta k (=k(RT)-k(200°C)) after NH ₃ RIE treatment		1.2	1.0	1.4
Adhesion (MPa·m ^{1/2})	Film/SiCN	0.2	0.3	0.3
Film density (g/cc)		1.0	1.2	1.1

表 1-7. 熱キュアおよび電子線キュアで焼成されたポーラス-PAr 膜の基本的特性[19].

Cure method	Thermal cure	eBeam cure
Cure temperature (°C)	370	370
Cure time (min)	60	8
k	2.35	2.38
RI (@633 nm)	1.618	1.620

また、90 および 65 nm 世代に対しては Cu 配線の信頼性の優位性から CVD 膜を選択してきたが、45 nm 世代に対しては、表 1-6 に示すように塗布膜と CVD 膜との間に大きな差はみられず、また図 1-17 に示すように膜中空孔サイズ分布も非常に近い。

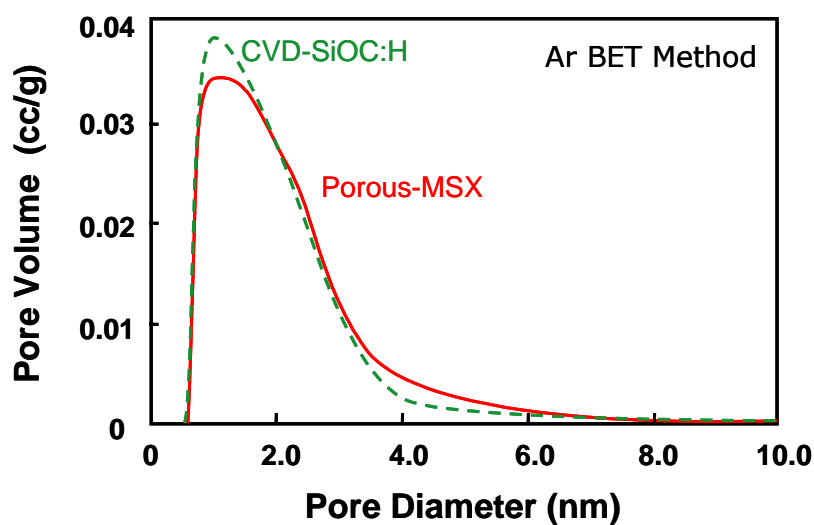


図 1-17. 電子線キュアにて形成したポーラス MSX 膜とポーラス CVD- SiOC 膜の
空孔サイズ分布（Ar BET method により測定） [19].

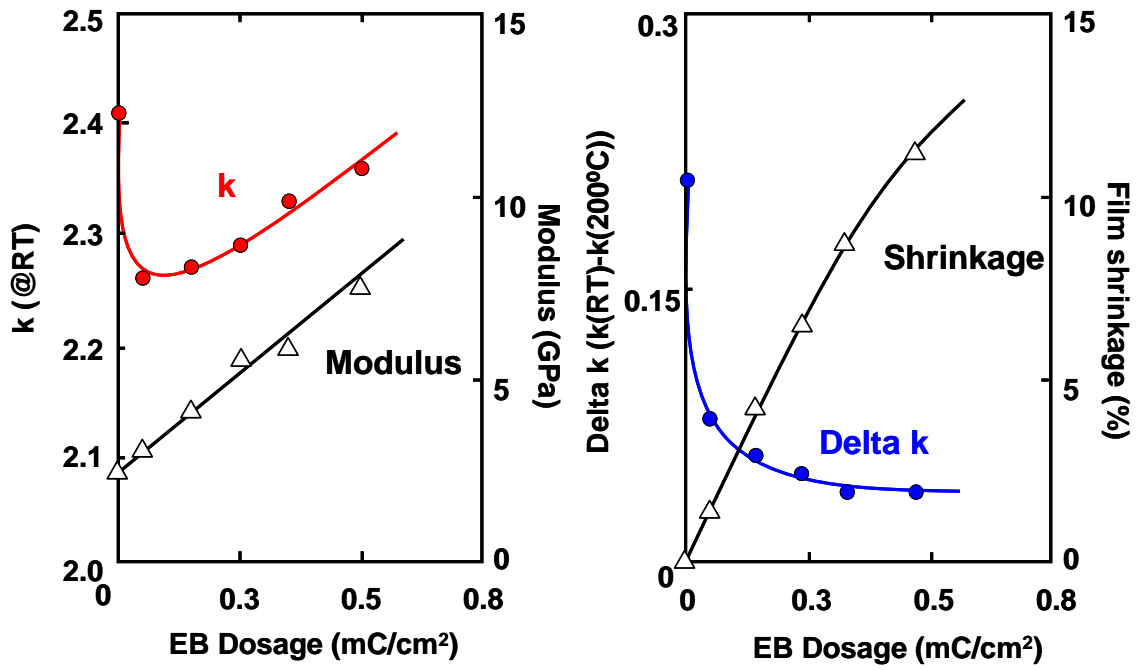


図 1-18. ポーラス-MSX 膜における k 値、Modulus、delta k ($k(\text{RT})-k(200^\circ\text{C})$) および film shrinkage と電子線照射量との関係[19].

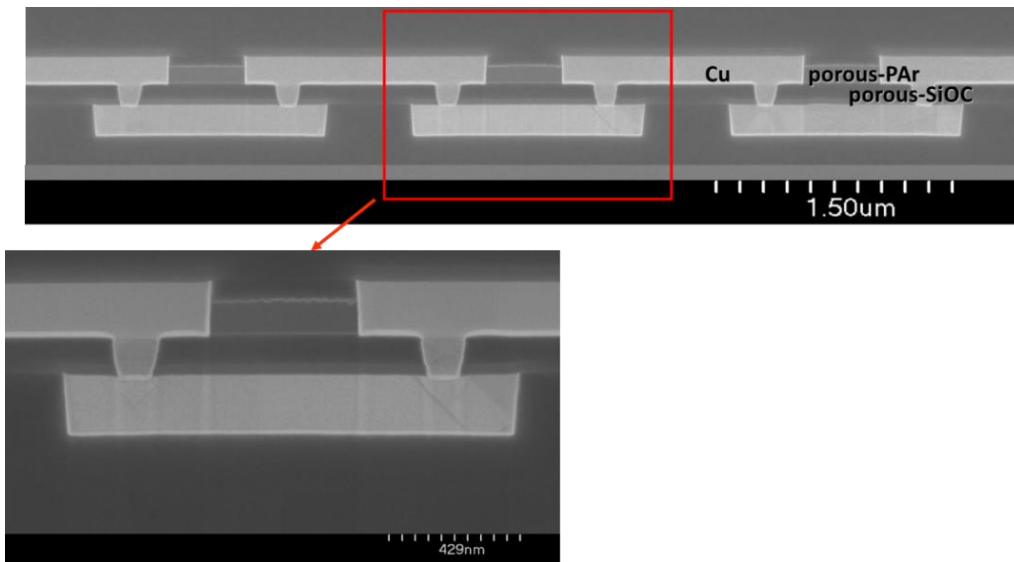


図 1-19. PAr($k=2.2$)/ポーラス MSX($k=2.2$) 積層 hybrid DD 構造の断面 TEM 像 (via size=0.1 μm)[19].

図 1-18 にポーラス-MSX に電子線キュアを適用した場合の膜特性とドーズ量との関係を示すが、この結果は電子線キュアの高い整合性を示している。65 nm 世代から導入した Hybrid DD スキームを適用することにより、図 1-19 に示すように優れた DD 形状がポーラス材料を用いた場合でも得られている。

一方で、表 1-4、表 1-6 から明らかなように、ポーラス材料のプラズマ耐性は電子線キュアを採用しても前世代の材料と比較して大きな値を示しており、従来のプロセスの最適化だけでなく、ダメージ修復や空孔（ポア）シーリングなどのプラズマダメージを改善する新たな技術の導入が、45 nm 世代以降の多層配線技術では要求される。

1.2.6 ロジックデバイス向け Cu/low-k 配線技術に関するまとめ

Low-k/Cu 配線技術においては、

- (1) 材料特性の理解と材料設計技術、
- (2) プロセスの最適化及び改善、
- (3) 界面制御技術、
- (4) 新規プロセスインテグレーション（プロセススキーム）の導入、

の開発がきわめて重要であり、東芝においては表 1-8 に示すように各世代において (1)-(4)の観点から様々な提案を行ってきた。

表 1-8. 各世代において適用した低誘電率材料と適用技術

世代	130 nm	90 nm	65 nm	45 nm 以降
ILD材料	SiOF	SiOC	PAr/SiOC	p-PAr/p-SiOC
プロセス			EB/UV	EB/UV ダメージ修復 ポアシール
界面制御		プラズマ処理	EB/UV	EB/UV
DD構造	Monolithic	Monolithic	Hybrid	Hybrid

東芝の 130 nm 世代以降のロジックデバイスにおける低誘電率層間絶縁膜の導入経緯に関して論じた。130 nm において従来の PE-CVD SiO₂ 膜に替わり PE-CVD SiOF 膜を導入し、従来の SiO₂ 膜が有する比誘電率 3.9-4.2 から 3.4 までの低減が可能であることを明らかにした。さらに、90 nm 世代においては、Cu/low-k 埋め込む多層配線との組み合わせで比誘電率 2.9 を有する PE-CVD SiOC 膜を採用した。65 nm 世代においては比誘電率 2.5 を有する SiOC 膜を採用したが、特に機械強度の劣化を改善するために後キュア技術として電子線キュアもしくは紫外線キュア技術を開発し導入するとともに、低誘電率有機ポリマーと SiOC 膜を積層する Hybrid DD（デュアルダマシン）構造を採用した。45 nm 以降の世代においては、さらなる低誘電率化が必要とされるため、多孔質構造を有する比誘電率 2.3 以下の SiOC 膜を前述の後処理技術と組み合わせが有効であることを示した。

1.3 本論文の目的と構成

図 1-20 に、特に株式会社東芝で量産採用または採用を検討した low-k 膜の変遷を改めて示す。図中に示したように、一般的に材料の比誘電率は分極率に比例し、密度に反比例することから、特に層間絶縁膜として広く利用されている SiO₂（シリコン酸化膜）の誘電率を下げる試みとしては、Si に対して分極率が低い B（ホウ素）を添加するか、O に対して分極率が低い F（フッ素）を添加する技術が採用された。ただし、B や F を SiO₂ に高濃度に添加した場合、吸湿性が増加し、誘電率の上昇のみでなく、水分が配線信頼性に影響を与えるため、誘電率は 3.4 まで低減するのが限界であった。そのため、分極率の制御から膜密度の制御に開発方針は移行し、SiO₂ に≡Si-CH₃ 基を導入することにより Si-O ネットワークを寸断して終端し、膜密度を下げる方法を選択した。図 1-20 には、各世代で採用した材料とその焼成方法、ならびに誘電率を、更に各章にて議論する内容との対応に関して明示している。

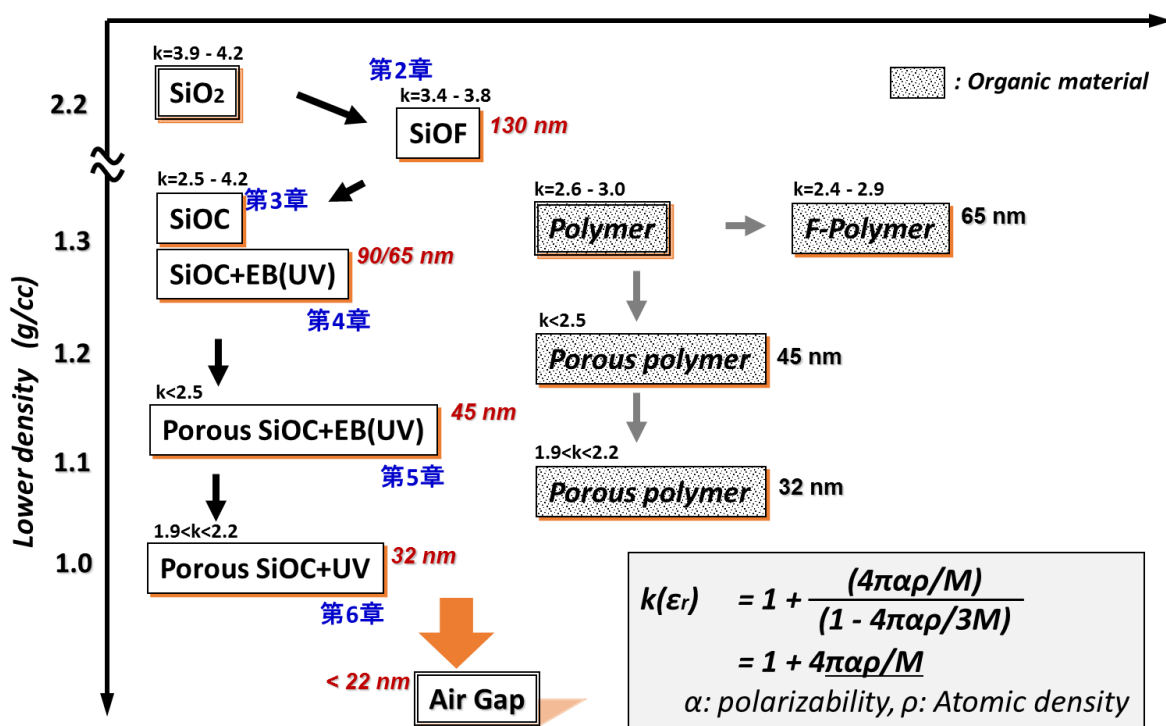


図 1-20 東芝における層間低誘電率絶縁膜の材料開発トレンド。

低密度材料に代表される低誘電率層間絶縁膜は、図 1-21 に示すように「材料技術視点」からも「半導体デバイス視点」からも多くの問題を生じる。

半導体デバイス視点での課題

- | | |
|--|--|
| <ul style="list-style-type: none"> 加工変換差 レジスト解像不良 CMP時における剥がれ不良 積層構造でのクラック | <ul style="list-style-type: none"> 実効的な誘電率の上昇 配線間リーク 積層時の剥がれ パッケージングにおける不良 |
|--|--|



材料技術視点での課題

- | | |
|--|--|
| <ul style="list-style-type: none"> 低いプラズマダメージ耐性 吸湿による影響 ガスの膜中拡散 金属の拡散 低い機械強度 低い密着性 | <ul style="list-style-type: none"> 材料構造の最適化
第2章SiOF 第5章SiOC中のMe結合 プロセスの最適化・改善
第4章EB/UV Cure 第6章PoreRefill 界面制御技術
第3章Ar plasma treatment |
|--|--|

図 1-21 低誘電率層間絶縁膜の抱える課題と、材料視点の課題に対しての対応技術。

本研究においては、各世代で採用した材料に関し、特に「材料視点での課題」に対して、

- ・材料構造の最適化
- ・プロセス(インテグレーション)の最適化・改善
- ・界面制御技術

の 3 つの切り口から、課題発生メカニズムの解明と、課題克服に関して検討した。つまり、本論文の主たる論点は、先端ロジックデバイスの重要な要素技術である低誘電率層間絶縁膜形成プロセスに関し、実際に量産で使用するための現実開発に即して行われた研究開発成果をまとめることにある。基本的には、すべて実験結果に基づいて明確な結論を導びき、科学的根拠に基づいた各世代における材料の有する

課題と課題に対しての解決方法の提案を論じた。以下に各章における論点を整理する。

第 1 章序章前半において、過去から現在における半導体産業の発展の歴史に関して論じている。序章後半においては、東芝の 130 nm 世代以降のロジックデバイスにおける低誘電率層間絶縁膜の導入経緯に関して論じた。130 nm において PE-CVD SiOF 膜を導入し、従来の SiO₂ 膜が有する比誘電率 3.9-4.2 から 3.4 までの低減が可能であることを明らかにした。さらに、90 nm 世代においては、比誘電率 2.9 を有する PE-CVD SiOC 膜を採用し、65 nm 世代においては比誘電率 2.5 を有する SiOC 膜を採用したが、特に機械強度の劣化を改善するために後処理技術として電子線キュアもしくは紫外線キュア技術を開発し導入するとともに、低誘電率有機ポリマーと SiOC 膜を積層する Hybrid DD（デュアルダマシン）構造を採用した。45 nm 以降の世代においては、さらなる低誘電率化が必要とされるため、多孔質構造を有する比誘電率 2.3 以下の SiOC 膜と後処理技術との組み合わせが有効であることを示した。さらに、最後に本論文の目的と構成に関して述べている。

第 2 章では、130 nm で低誘電率層間絶縁膜として導入した SiOF 膜の特性と低誘電率化の限界を SiOF 膜の吸湿メカニズムを検討することにより明らかにした。PE-CVD 法を用いて従来の SiO₂ 膜に F を導入することにより比誘電率は低減可能である。高濃度に F を添加した SiOF 膜の Si-F 結合の吸湿による影響を調べたところ、急激な吸湿の理由は、膜中の=Si(-F)₂ 結合が容易に水分と反応して加水分解し、Si-OH 基が膜中に形成され、その Si-OH 基が吸湿サイトとして振る舞うことにより吸湿が急激に進むことを見いだした。SiOF 膜の吸湿現象は PE-CVD の形成方法などによらず SiOF 膜固有の特性であり、そのため、SiOF 膜の低誘電率としてのデバイス適用は比誘電率 3.3 が限界であることを示した。本章は、図 1-21 における「材料構造の最適化」に関する研究となる。

第 3 章においては、90 nm 世代のデバイスで採用された低誘電率 SiOC 絶縁膜において、SiCN/SiOC 界面密着強度とレジストポイズニングの課題に対して実験を通して現象の理解とモデル化を行い、デバイス性能に求められる誘電率や耐压特性を維持しつつ解像不良を抑制するには、PE-CVD による low-k 膜成膜時の希ガスプラズマ特に Ar プラズマによる前処理技術が有効であることを示した。これは、Ar プラズマ

により、カソード電極表面にコーティングされた SiOC 膜が Ar イオンによりスパッタリングされ、対向電極上に載置されたウエハ上にリスパッタされ堆積した薄膜がバッファ膜として振る舞い、SiCN/SiOC 膜界面密着強度を確保し、且つ SiCN 膜の上層膜である SiOC 膜成膜時の O₂ プラズマによる SiCN 表面の酸化を抑制することを示し、その抑制メカニズムを解明した。本章は、図 1-21 における「界面制御技術」に関する研究となる。

第 4 章では 65 nm 世代から導入した SiOC 膜(k=2.9)に対して、さらなる低誘電率化要求に伴う、機械的強度の低下と下地密着強度の低下に対する対策として導入された電子線キュアを用いた後処理技術による機械的強度の改善メカニズムと、電子線 (EB) キュアとともに検討された紫外線 (UV) キュアとの違いに関して論じた。特に電子線キュアは紫外線キュアに対して下地密着強度改善効果が大きいことを確認した。本章は、図 1-21 における「プロセスの最適化・改善」及び「界面制御技術」に関する研究となる。

また、第 5 章では、45 nm 世代で採用されたポーラス SiOC 膜を組み込む low-k/Cu 配線プロセスにおいて、PE-CVD 成膜プリカーサに 3MS ガスを添加することによってプラズマダメージ耐性が大きく改善したことに着目し、膜の化学結合状態の違いを解析することにより、膜中の高次の Si(-CH₃)_n (n=2,3) 結合の比率が、機械的強度とプラズマダメージ耐性の両立、プラズマ処理による吸湿の抑制に重要であることを明らかにした。本章は、図 1-21 における「材料構造の最適化」に関する研究となる。

第 6 章では、32 nm 以降での採用が期待される k < 2.2 を有するポーラス SiOC 膜を塗布法により形成後、更に塗布法によりポーラス SiOC 膜中の空孔にポリオレフィン骨格樹脂を含浸させた状態でドライエッチング加工を行い、加工後に含浸材料をその熱分解特性を利用して除去することにより、プラズマダメージによるドライエッチング加工後の表面荒れの改善と膜中 C の減少を抑えることにより比誘電率の上昇を抑制可能であることを確認した。今後の更なる材料・プロセスの改善により、比誘電率 2.3 の低密度材料を用いた Cu/low-k 多層配線技術の高速 Logic 半導体への適用が期待できることを示した。本章は、図 1-21 における「プロセスの最適化・改善」に関する研究となる。以下、各章において各論を詳細に議論する。

参考文献

- [1] S. M. Sze and M. K. Lee, Semiconductor Devices Physics and Technology 3rd Ed (2013), Chapter 0.
- [2] Faraday, M. Experimental Researches in Electricity, Volume 1. (London: Richard and John Edward Taylor, 1839) pp.122-124.
- [3] Braun, F. "Uber die Stromleitung durch Schwefelmetallic", Annalen der Physik and Chemie, Vol. **153**, No. 4 (1874) 556.
- [4] Wilson, A. H. "The Theory of Electronic Semi-Conductors," Proceedings of the Royal Society of London. Series A, Vol. 133, No. 822 (Oct. 1, 1931) pp. 458-491 and "The Theory of Electronic Semi-Conductors II," in Vol. 134, No. 823 (Nov. 3, 1931) pp. 277-287.
- [5] John Bardeen and Walter Brattain, "The Transistor, a Semi-Conductor Triode," Physical Review **74** (15 July 1948) 230.
- [6] Shockley, William. "The Theory of P-N Junctions in Semiconductors and P-N Junction Transistors," Bell System Technical Journal **28** No. 3 (July 1949) 435.
- [7] Kilby J. S., "Miniaturized Electronic Circuits" U. S. Patent 3138743 (Filed February 6, 1959. Issued June 23, 1964).
- [8] Noyce, Robert N. "Semiconductor device-and-lead structure," U. S. Patent 2981877 (Filed July 30, 1959. Issued April 25, 1961).
- [9] Hoerni, J. A., "Method of Manufacturing Semiconductor Devices," U. S. Patent 3,025,589 (Filed May 1, 1959. Issued March 20, 1962). See also Hoerni's U.S. Patent No. 3,064,167.
- [10] Kahng, Dawon, "Electric Field Controlled Semiconductor Device," U. S. Patent No. 3,102,230 (Filed May 31, 1960, issued August 27, 1963).
- [11] Moore, Gordon. "Cramming More Components onto Integrated Circuits," Electronics Magazine **38**, No. 8 (April 19, 1965).
- [12] Moore, Gordon. "Progress in Digital Integrated Electronics" IEEE, IEDM Tech Digest (1975) pp.11-13.

- [13] Dennard, Robert H., Gaensslen, Fritz H., Yu, Hwa-Nien, Rideout, V. Leo, Bassous, Ernest, & LeBlanc, Andre R. "Design of ion-implanted MOSFET's with Very Small Physical Dimensions," IEEE Journal of Solid-State Circuits, Vol. 9 (October 1974) pp. 256-268.
- [14] Intel社製品データシート等.
- [15] JEITA, http://semicon.jeita.or.jp/STRJ/STRJ/2015/2015_01_ITRS.pdf "半導体ロードマップ 過去・現在・未来".
- [16] SSIJ, http://www.shmj.or.jp/toukei/pdf/STA2016_01.pdf "グラフで見る半導体産業".
- [17] SEMI, Quarterly Shipments of Silicon* Materials in Million of Square Inches (MSI).
- [18] METI, http://www.meti.go.jp/meti_lib/report/H29FY/000881.pdf "平成29年度我が国におけるデータ駆動型社会に関わる基盤整備".
- [19] H. Miyajima, K. Watanabe, K. Fujita, S. Ito, K. Tabuchi, T. Shimayama, K. Akiyama, T. Hachiya, K. Higashi, N. Nakamura, A. Kajita, N. Matsunaga, Y. Enomoto, R. Kanamura, M. Inohara, K. Honda, H. Kamijo, R. Nakata, H. Yano, N. Hayasaka, T. Hasegawa, S. Kadomura, H. Shibata and T. Yoda, "Challenge of low-k materials for 130, 90, 65 nm node interconnect technology and beyond ", 2004 International Electron Devices Meeting (USA) P.P.329-332, (2005).
- [20] K. Higashi, N. Nakamura, H. Miyajima, S. Satoh, A. Kojima, J. Abe, K. Nagahata, T. Tatsumi, K. Tabuchi, T. Hasegawa, H. Kawashima, S. Arakawa, N. Matsunaga and H. Shibata, "A manufacturable copper/low-k SiOC/SiCN process technology for 90 nm-node high performance eDRAM ", Proceedings of the IEEE 2002 International Interconnect Technology Conference (USA) P.P.15-17, (2002).
- [21] A. Kajita, T. Usui, M. Yamada, E. Ogawa, T. Katata, A. Sakata, H. Miyajima, A. Kojima, R. Kanamura, Y. Ohoka, H. Kawashima, K. Tabuchi, K. Nagahata, Y. Kato, T. Hayashi, S. Kadomura, H. Shibata, "Highly, Reliable Cu/low-k Dual-Damascene Interconnect Technology with Hybrid (PAE/SiOC) Dielectrics for 65nm-node High Performance eD, RAM", Proceedings of the IEEE 2003 International Interconnect Technology Conference (USA) P.P.9-11, (2003).

- [22] K. Fujita, H. Miyajima, R. Nakata, N. Miyashita, "Notable Improvement in Porous Low-k film Properties using Electron-Beam Cure method", Proceedings of the IEEE 2003 International Interconnect Technology Conference (USA) P.P.106-108, (2003).
- [23] H. Miyajima, K. Fujita, R. Nakata, T. Yoda, N. Hayasaka, "The Application of Simultaneous eBeam Cure Method for 65 nm node Cu/Low-k Technology with Hybrid (PAE/MSX) Structure", Proceedings of the IEEE 2004 International Interconnect Technology Conference (USA) P.P.222-224, (2004).
- [24] K. Honda, M. Kanda, R. Ishizuka, Y. Moriuchi, Y. Matsubara, M. Habu, T. Yoshida, S. Matsuda, H. Kittaka, H. Miyajima, T. Hachiya, A. Kajita, T. Usui, N. Nagashima, R. Kanamura, Y. Okamoto, S. Yamada, T. Noguchi, "Integration of Interconnect Process Highly Manufacturable for 65nm CMOS Platform Technology (CMOS5)", 2004 Symposium on VLSI Technology. Digest of Technical Papers (USA) P.P.62-63, (2004).
- [25] R. Kanamura et al., "Integration of Cu/low-k Dual-Damascene Interconnects with a Porous PAE/SiOC Hybrid Structure for 65nm-node High Performance eDRAM", 2003 Symposium on VLSI Technology. Digest of Technical Papers (USA) P.107, (2003).
- [26] N. Nakamura, T. Yoshizawa, T. Watanabe, H. Miyajima, S. Nakao, N. Yamada, K. Fujita, N. Matsunaga, H. Shibata, "A Plasma Damage Resistant Ultra Low-k Hybrid Dielectric Structure for 45nm Node Copper Dual-Damascene Interconnects", Proceedings of the IEEE 2004 International Interconnect Technology Conference (USA) P.P.228-230, (2004).
- [27] A. Oishi, O. Fujii, T. Yokoyama, K. Ota, T. Sanuki, H. Inokuma, K. Eda, T. Idaka, H. Miyajima, S. Iwasa, H. Yamasaki, K. Oouchi, K. Matsuo, H. Nagano, T. Komoda, Y. Okayama, T. Matsumoto, K. Fukasaku, T. Shimizu, K. Miyano, T. Suzuki, K. Yahashi, A. Horiuchi, Y. Takegawa, K. Saki, S. Mori, K. Ohno, I. Mizushima, M. Saito, M. Iwai, S. Yamada, N. Nagashima and F. Matsuoka, " High performance CMOSFET technology for 45nm generation and scalability of stress-induced mobility enhancement technique", International Electron Devices Meeting 2005 (USA) P.P.229-232, (2005).

第 2 章

プラズマ CVD 法による低誘電率 SiOF 膜の吸湿特性 に関する考察

2.1 研究の背景

近年、MPU 等の高速ロジックデバイスなどで高機能・高性能化に対する多層配線技術の役割が大きくなっている。なかでも層間絶縁膜に対する要求は多様化してきている。従来、層間絶縁膜には優れた段差被覆性を有する膜に重点を置いて開発がなされてきた。成膜方法としては、従来から用いられている TEOS (Tetra-ethoxy-silane) + O₂ を用いたプラズマ CVD 膜にかわり、SiH₄+O₂ を用いた高密度プラズマ CVD 膜、TEOS+O₃ を用いた熱 CVD 膜、SiH₄+H₂O₂ による CVD 膜などが提案されている。これらの膜に CMP (Chemical Mechanical Polish) 技術を組み合わせることによりウエハ面内でのグローバルな平坦化が可能となった。一方で、素子の微細化に伴い隣接配線間の寄生容量の増大がデバイスの動作速度に与える影響が無視できなくなっている。そのため、段差被覆性に加えて寄生容量を低減するために低誘電率を有する絶縁膜の開発が必須とされている。これらの要求に応えるべく、メチルポリシロキサン (MSX) やポリハイドロジェンシルセスキオキサン (HSQ) などの低誘電率塗布材料や、従来のプラズマ CVD-SiO₂ 膜中に F やメチル基に代表される有機成分を添加することにより SiO₂ 膜の比誘電率を下げる技術が提案されている。本章では、特に CVD 法を用いて形成する低誘電率層間絶縁膜である SiOF 膜の特性に関して検討した結果を論じる。

SiOF 膜は、FSG 膜 (Fluorinated Silica Glass) とも呼ばれている。SiO₂ 中に F を添加する方法としては、従来の TEOS を原料ガスとして用いたプラズマ CVD 法において F 含有のガス (NF₃、CF₄、C₂F₆ などの F 系のガス) を添加する方法などいくつかの方法が報告されており、中でも高密度プラズマを用いることにより埋め込み特性・低誘電率化と、特に耐吸湿性に代表される高品位な膜質を両立させる試みが現在では主流となっている[1-9]。SiO₂ 中に F を添加することにより屈折率 (比誘電率) を低減させる試みは、光ファイバー材料の分野においては比較的古くから検討がなされていたが[10-13]、LSI の分野においても多層配線への適用が検討された。光ファイバー材料の分野に対し、LSI の分野においては SiO₂ 中に高濃度の F を添加する必要があるが、膜中 F 濃度が高くなるにつれて膜の安定性が劣化し、大気放置により急激に吸湿するという現象が報告されており、これが F 添加 SiO₂ (SiOF) 膜の大き

な課題であり、本章では、SiOF 膜の吸湿特性とその吸湿メカニズム、及び成膜方法の依存性に関して議論する[14-20]。

2.2 SiOF 膜の低誘電率化のメカニズム

従来の TEOS+O₂ のプラズマ CVD に CF₄ 等の F 系のガスを添加することにより成膜した SiOF 膜では、膜中において F 原子は主に Si 原子と結合し、Si-F の形で添加されていることが FT-IR による測定結果から分かっている（図 2-1）。また、図 2-2 に膜中の F 濃度と比誘電率との関係を示す。膜中の F 濃度が増加するにつれて比誘電率は単調に減少している。

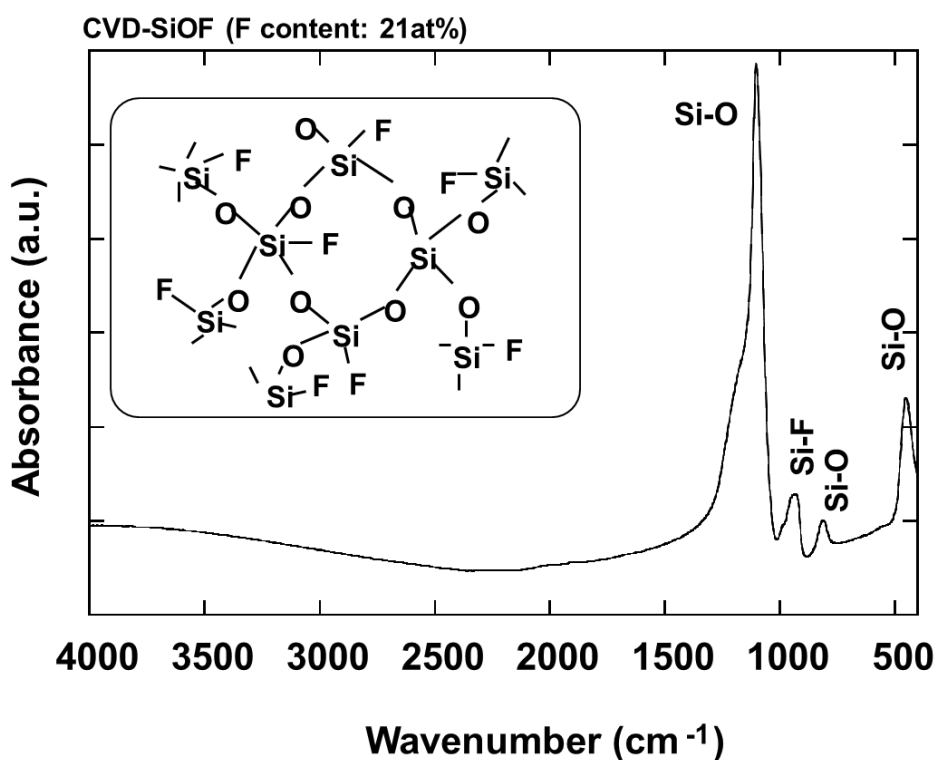


図 2-1. SiOF 膜の FT-IR スペクトルと膜構造の概念図[18].

ここで、膜中の F 濃度は FT-IR スペクトルにおいて、Si-F（980cm⁻¹ 近傍）と Si-O の吸収スペクトル（1060cm⁻¹ 近傍）の面積比を XRF（蛍光 X 線分析）を用いて換算している。図 2-2 に示すように、比誘電率は成膜方法には依存せず、膜中 F 濃度で一意に決まる。ここで、成膜方法は、従来の平行平板プラズマ CVD 装置（13.56

MHz)、2 周波励起方式の平行平板プラズマ CVD 装置 (13.56 MHz と 400 kHz の重畳)、高密度プラズマ CVD 装置 (13.56 MHz) の 3 種類のプラズマ CVD 方式によっている。

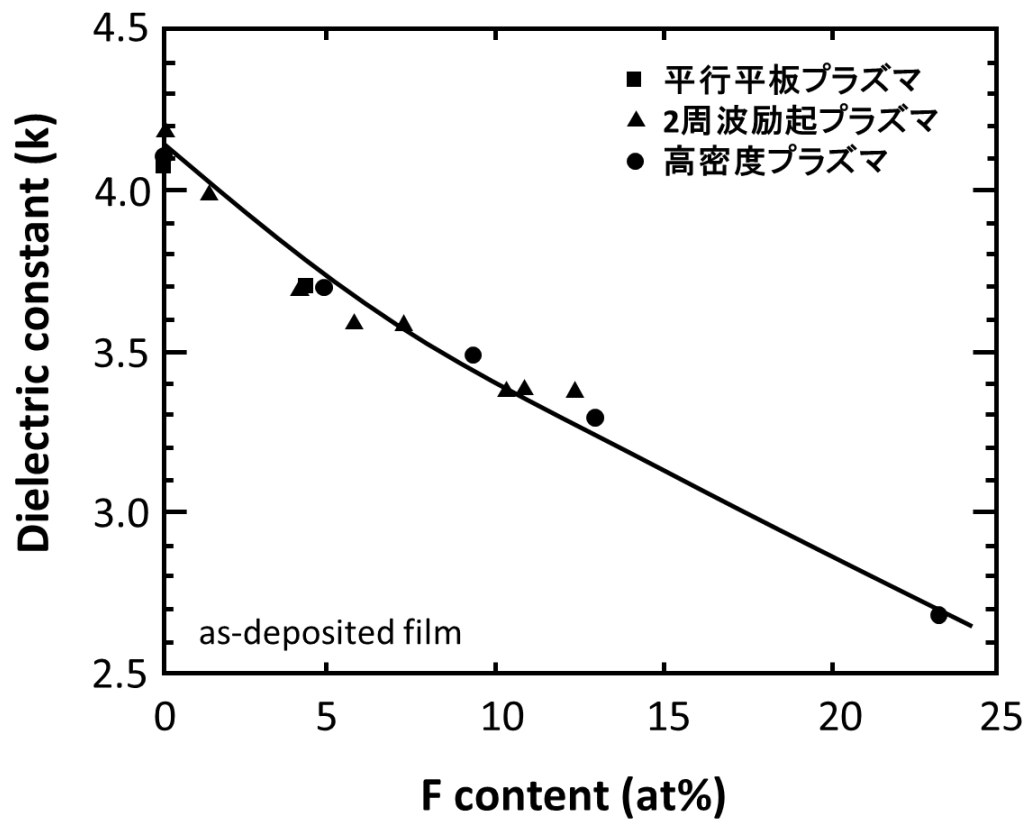


図 2-2. SiOF 膜の比誘電率と膜中 F 濃度との関係[18].

表 2-1. 平行平板プラズマ CVD 装置、2 周波励起方式の平行平板プラズマ CVD 装置、高密度プラズマ CVD 装置それぞれの成膜条件[18].

	平行平板プラズマ	2周波励起プラズマ (13.56 MHz /400 kHz)	高密度プラズマ
ガス流量			
TEOS (sccm)	10.0	10.0	12.5
O ₂ (sccm)	100	100	50
CF ₄ (sccm)	100	100	10
圧力 (torr)	5.0	5.0	5.0 × 10 ⁻³
温度 (°C)	400	400	400
放電パワー (W)	100	20/80	250

ここで、成膜条件はそれぞれ表 2-1 に示す条件を使用した。SiO₂ 中に F を添加することにより比誘電率が低下する理由については、モデルクラスターを用いた非経験的分子軌道法を用いて比誘電率の低下メカニズムについて理論的に解析が行われている[21,22]。

SiO₂ の比誘電率は膜密度ならびに分極率に依存する。ただし、SiOF 膜の F 濃度の増加に伴う屈折率の減少は、RBS 法（ラザフォード・バック・スキャタリング法）による膜密度測定の結果、プラズマ CVD 膜の膜密度低下のみによる効果だけでは説明がつかないことから、主に F 原子自体の効果によると考えられる。SiO₂ においては、配向分極は無視でき、電子雲の歪みに起因する電子分極と核変位に起因するイオン分極とによって分極率が決定される。そこで、*ab-initio* Hartree-Fock 法により SiOF 膜の電子密度分布・電子構造および振動状態の変化を計算した結果、以下に示すことが明らかになっている。

- (1) F 添加により SiO_2 の全電子密度分布に顕著な変化はない。
- (2) F 添加により SiO_2 の価電子帯が再構築され、価電子帯の上端が約 0.4 eV 下がり、かつ価電子帯上端の状態密度分布が減少する。その結果、電子分極率ならびに屈折率が低下する。
- (3) F 添加により SiO_2 の赤外基準振動モードが変化し、その結果イオン分極率も低下する。

この結果から、 SiOF 膜の比誘電率の低下の原因は、主に、 SiO_2 中の O の一部が F に置換することにより静電分極率が低下したためであると考えられる。

2.3 SiOF 膜の吸湿特性

原料ガスとして TEOS+O₂+CF₄ を用い、平行平板型プラズマ CVD 装置により SiO₂ 中に F を添加した場合、成膜直後における Si-OH 結合の赤外吸収量は、F を添加しない場合に比べて減少する。SiO₂ 中の -OH 基は膜中にて吸湿サイトとして振る舞い、水素結合により大気中の水分を膜が吸収することから吸湿の要因となる。その観点からは、膜の耐吸湿性は単純には向上したかのようにも見える。同時に、Si-OH 基は分極性が高いため、OH 基起因の比誘電率上昇も抑制される。ただし、図 2-3 に示すように膜中 F 濃度が高い場合には大気放置後に吸湿現象が見られる。

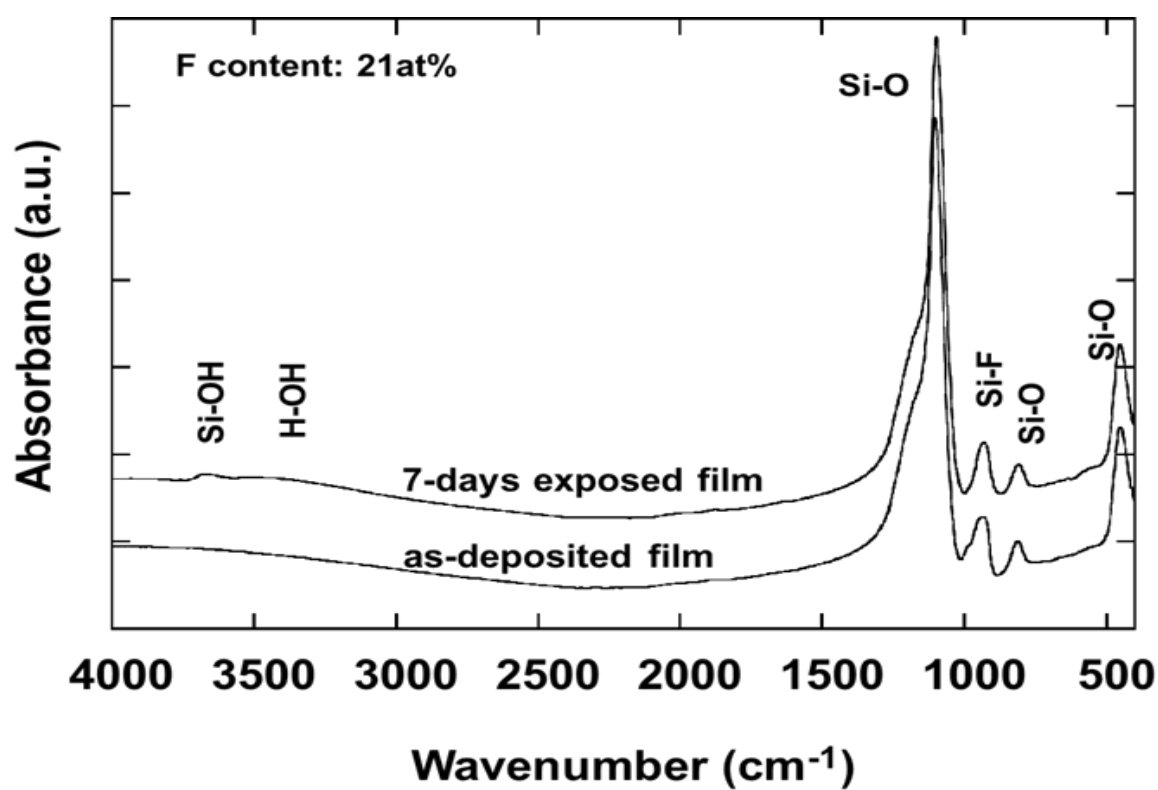


図 2-3. F 濃度の高い (21 at%) SiOF 膜の FT-IR スペクトルの大気放置による変化[18].

図 2-4 に示すように、膜中 F 濃度が増加するにつれ、1 週間大気放置（湿度 40%、室温）後の吸湿量は急激に増加する。ここで、吸湿量は FT-IR スペクトルにおいて、Si-OH/H-OH（ 3670 cm^{-1} 近傍および 3400 cm^{-1} 近傍）と Si-O の吸収スペクトル（ 1060 cm^{-1} 近傍）の面積比で表している。一方、高密度プラズマを用いて成膜した場合、図 2-4 に示すように F 濃度が 5.0-12.6 at% の領域で大気放置によっても吸湿は見られず、F 濃度 12.6 at% にて比誘電率 3.3 を有する安定した SiOF 膜が得られることが確認された。ただし、F 濃度が 12.6 at% を越えると大気放置後の吸湿量は急激に増加する。耐吸湿性の低下は、後述するようにトランジスタ特性や上部バリアメタル層の密着強度に影響を及ぼすため深刻な問題となる。

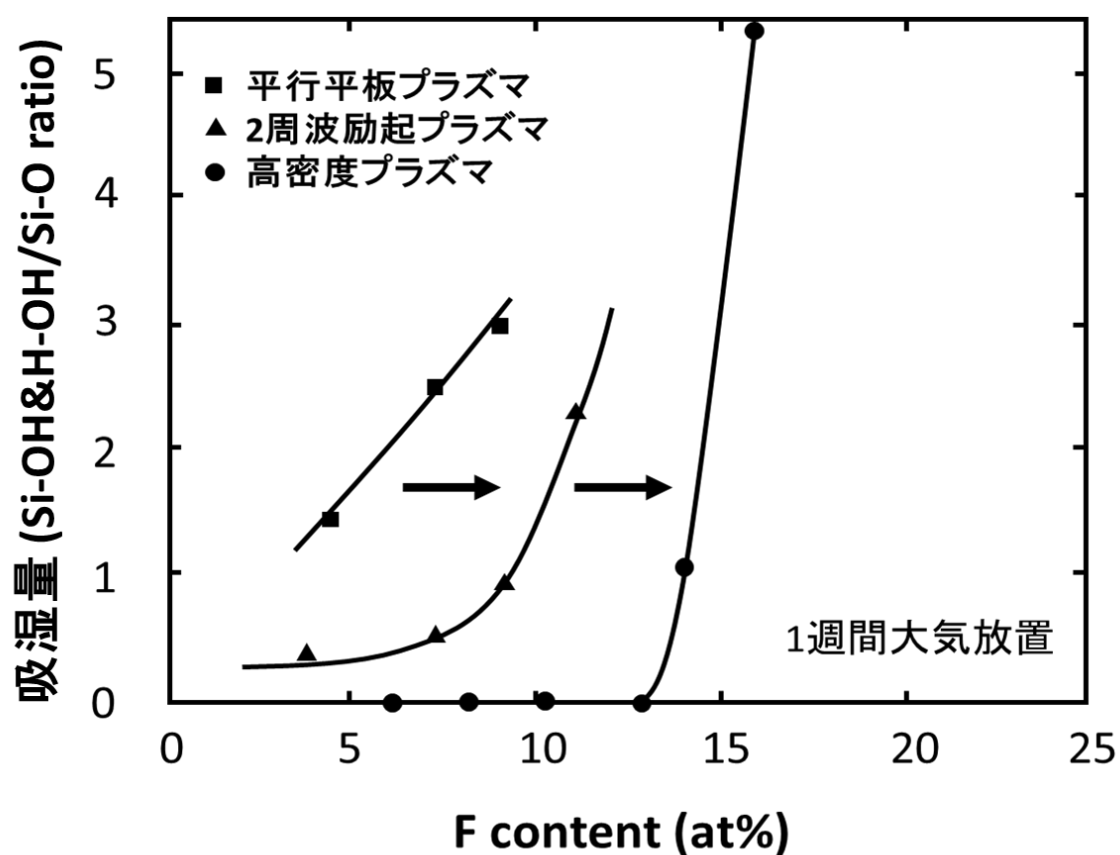


図 2-4. SiOF 膜の膜中 F 濃度と大気放置による吸湿量の関係[18].

2.4 成膜方法と吸湿特性

SiOF 膜の吸湿特性に関して、

(1) SiOF 膜の吸湿特性の成膜方法依存性の原因

(2) 高密度プラズマを用いても高 F 濃度(12.6at%以上)で大気放置後の吸湿量が急激に増加する原因

の 2 つの点に注目し、検討を行った結果、以下のことが明らかになった。第 1 の疑問点である吸湿特性の CVD 方法依存性の理由を調べるため、従来の平行平板プラズマと高密度プラズマにより形成された F 濃度が 7.5 at% の SiOF 膜の膜中不純物と欠陥量の違いを二次イオン質量分析法 (SIMS) および電子スピン共鳴法 (ESR) により調べた。その結果を表 2-2 に示す。

表 2-2. SiOF 膜中の不純物及び欠陥密度の成膜方法による違い[18].

	XRF (at%)	SIMS (cm ⁻³)		ESR (cm ⁻³)	
	[F]	[C]	[H]	Si'	C'
熱酸化膜	n/a	< 1 × 10 ¹⁹	< 1 × 10 ¹⁹	< 1 × 10 ¹⁷	< 1 × 10 ¹⁷
平行平板プラズマ法 によるSiOF膜	7.5	3 × 10 ²¹	7 × 10 ²⁰	1 × 10 ¹⁹	1 × 10 ¹⁹
高密度プラズマCVD法 によるSiOF膜	7.5	< 1 × 10 ¹⁹	5 × 10 ²⁰	< 1 × 10 ¹⁷	< 1 × 10 ¹⁷

F 濃度 7.5 at%においては従来の平行平板プラズマで形成した場合には大気放置後に吸湿が見られるが、高密度プラズマにより形成された SiOF 膜では顕著な吸湿は確認されない。高密度プラズマにより形成した SiOF 膜では、平行平板プラズマと比較した場合、膜中の C、H などの不純物量や Si ダングリングボンドなどの欠陥量が少な

く、高品位な膜が形成されていることが分かった。RBS 法によれば両者の膜密度に大きな違いが見られなかった。以上の結果より、吸湿特性がプラズマ CVD 方法に依存する理由は、膜中不純物および欠陥量が異なることに起因していると考えられる。すなわち、膜中不純物および欠陥が SiOF 膜の吸湿を促進する要因として働いていると考えられる。

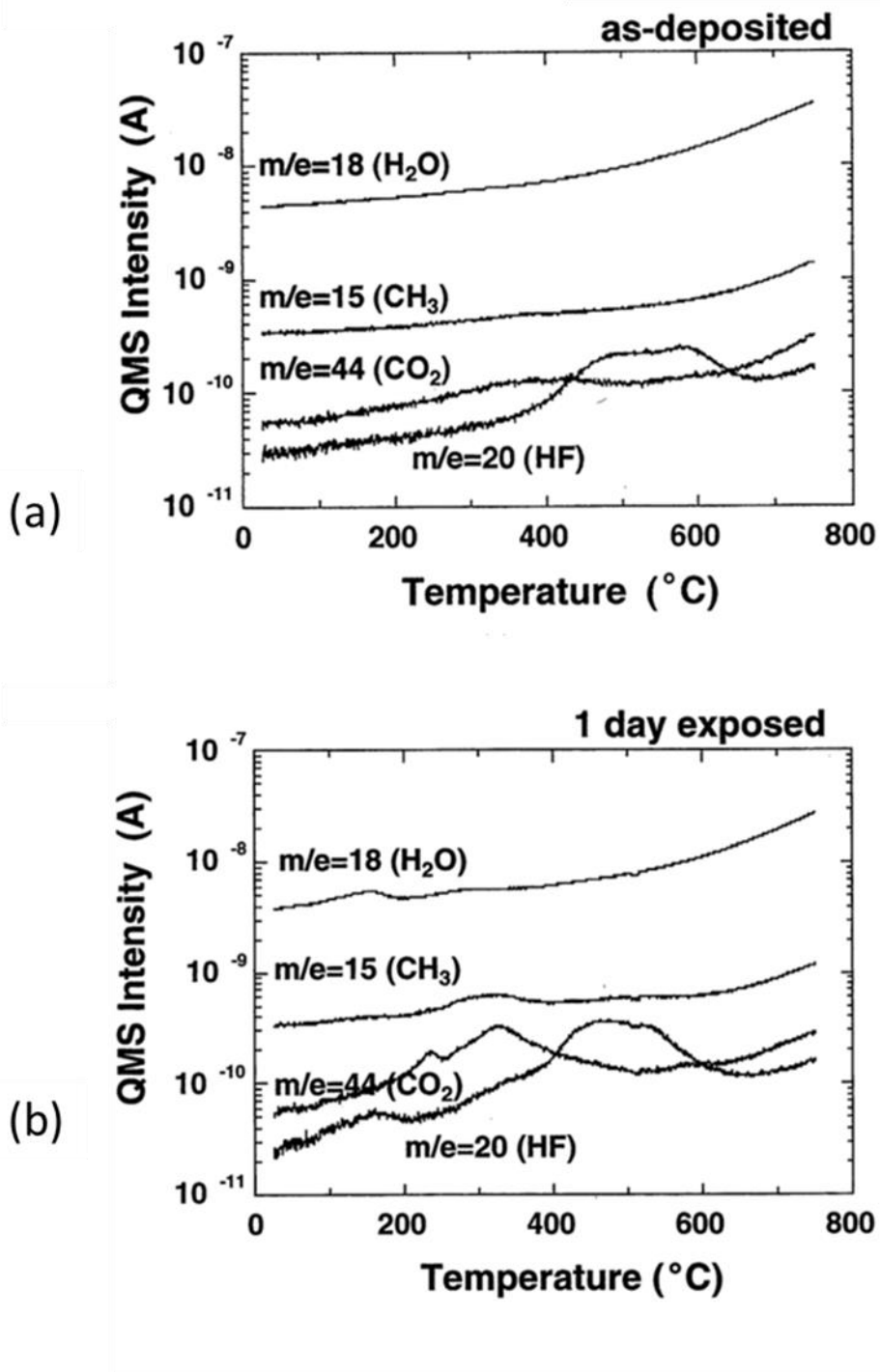


図 2-5. 平行平板プラズマで成膜した SiOF 膜(F 濃度: 7.5 at%)の TDS 分析結果
(a)成膜直後、(b)一日間大気放置後[18].

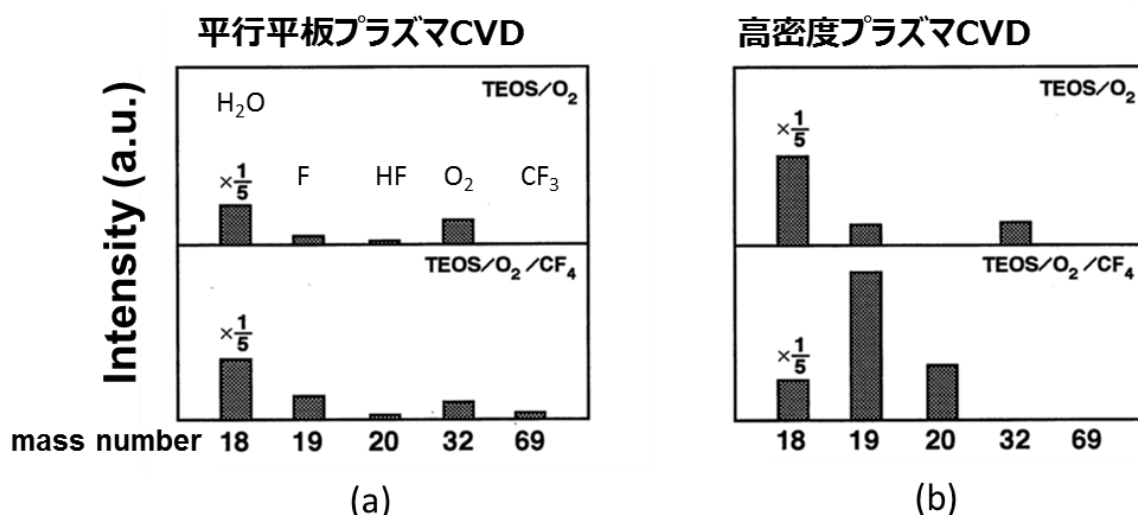


図 2-6. TEOS+O₂ 及び TEOS+O₂+CF₄ を放電した場合の QMS による気相分析を用いた H₂O, F, O₂, CF₃ の分圧比較、(a)平行平板プラズマ、(b)高密度プラズマ [18].

プラズマ CVD 方法の違いにより膜中不純物量や欠陥量が異なる理由を明らかにするために、図 2-5 に示すように、平行平板プラズマで成膜した SiOF 膜(F 濃度: 7.5 at%)の TDS 分析結果を (a)成膜直後、(b)一日間大気放置後に対して行った。その結果、大気放置により、(1)200°C 以下の低温領域における H₂O 脱離量の増加、同様に、(2)HF の高温域での脱離量の増加と水分脱離域にリンクした HF 脱離、CO₂/CH₃ の脱離の増加が確認された。Si-F 結合自体は熱的には 800°C 以下では安定していると考えられるため、成膜直後での HF の脱離は、膜中における遊離 F の存在を示唆していると考えられる。一方で、大気放置後には水分の低温域における脱離とそれに伴う HF や C 系不純物の脱離が観測されている。このことは吸湿した水分が膜中の Si-F 基や不純物と反応していることを示唆している。一方、高密度プラズマにより成膜した SiOF 膜では、大気放置前後では TDS の結果に大きな違いは見られなかった。

次に、プラズマ CVD 方法の違いにより膜中不純物量や欠陥量が異なる理由を明らかにするために、成膜メカニズムの検討を行った。成膜ガスにより放電した気相中の QMS 分析 (四重極質量分析) を行った。図 2-6 に TEOS+O₂ 及び TEOS+O₂+CF₄ を放電した場合の H₂O, F, O₂, CF₃ の分圧比較を示す。高密度プラズマでは平行平板プラズマに比べ F (m/e=19) および HF (m/e=20) の生成量が相対的に高く H₂O (m/e=18)

の分圧が低い。これは高密度プラズマではガスの分解効率が高いために、多量に生成された F が気相中および膜表面から効率よく H および H₂O を HF として除去していることを示しており、その結果、膜中への H の取り込みを抑えていると理解される。

成膜中のプラズマパラメータを、ダブルプローブ（複探針）を用いて測定した。ダブルプローブ法は従来の短針によるエミッシブプローブ法によるに対してプラズマ電位が固定されていない場合に、高周波プラズマ装置の電位（アース電位）から浮遊させて測定ができる。プローブ先端は通常の成膜位置にセットした。

表 2-3. ダブルプローブによる Ar 放電時のプラズマパラメータの測定[18].

	平行平板プラズマ	2周波励起プラズマ (13.56 MHz /400 kHz)	高密度プラズマ
放電パワー (W)	100	20/80	250
圧力 (torr)	5.0	5.0	5.0×10^{-3}
電子密度 (cm ⁻³)	4.8×10^9	4.4×10^9	8.0×10^9
電子温度 (eV)	3.4	2.4	4.5
浮遊電位 (V)	-0.5	0.5	9.5

表 2-3 に平行平板プラズマ、2 周波励起平行平板プラズマ、高密度プラズマにおける使用した放電パワーと圧力、ならびに成膜位置でのイオン密度 (n_i)、電子温度 (T_e)、浮遊電位 (V_f) の測定結果を示す。放電には Ar を利用し、成膜圧力と放電パワーは表 2-1 で示した成膜時の条件を使用した。この結果から、成膜位置においてはイオン密度と電子温度とはそれぞれのプラズマで大きな違いはなく、浮遊電位のみが異なるという結果であった。このことから、各放電方式によるイオンエネルギー分布の影響が成膜に大きく影響している可能性を示唆する。そのため、成膜にお

けるイオンの効果を調べるために、 O_2 を放電し、基板に入射する O_2^+ イオンのエネルギー分布を図 2-7 に示すイオンエネルギーアナライザー機能を有する QMS を用いて調べた。

その結果を図 2-8 に示す。平行平板プラズマでは高エネルギーイオンのピークが 10 eV 程度であるのに対し、高密度プラズマでは 40 eV 程度のピークを有しており、この高エネルギーのイオンの入射が、膜表面において欠陥の生成や不純物の取り込みを抑制するとともに酸化反応を促進していると考えられる。ただしウエハに入射するイオンのエネルギーがある一定の値を超えた場合、膜質が逆に劣化することも報告されている。

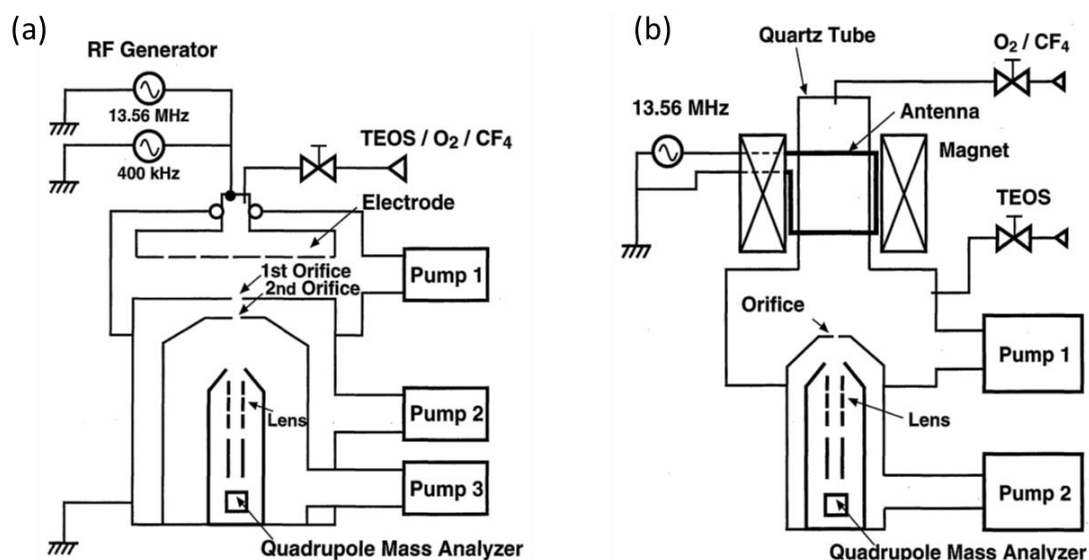


図 2-7. O_2 プラズマ中の O_2^+ イオンのエネルギー分布測定装置の概略図[18].

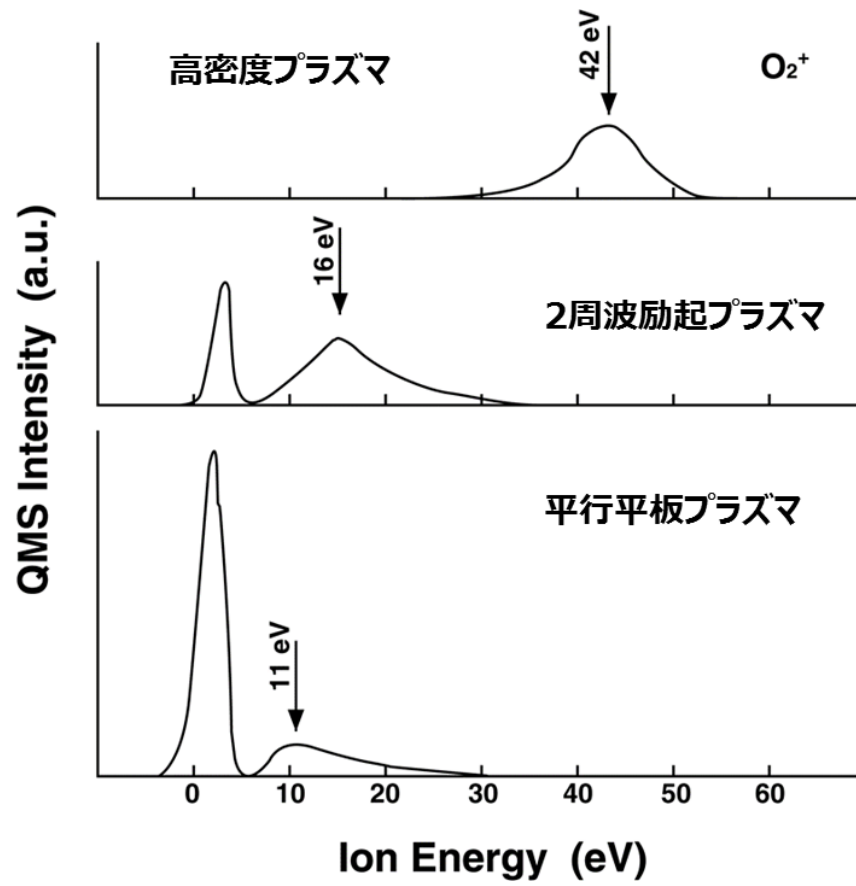


図 2-8. O_2 プラズマ中の O_2^+ イオンのエネルギー分布[18].

高密度プラズマ CVD による SiOF 膜の形成は、ガス系として $\text{SiH}_4/\text{SiF}_4/\text{O}_2/\text{Ar}$ を用いて成膜する方法が広く検討されている。SiOF 膜の吸湿特性は原料ガスとして TEOS を用いた場合と同様にやはり膜中 F 濃度 12.6 at% 程度から急激に劣化する。一般に、 $\text{SiH}_4/\text{SiF}_4/\text{O}_2$ を用いて高密度プラズマ CVD 法にて SiOF 膜を堆積する場合、Ar のスパッタ現象を用いて成膜とスパッタを同時に行うことが可能なため、異方性の成膜が可能となる。また、配線の肩部においてスパッタリング効果による堆積の抑制が行われるため平行平板型のプラズマ CVD 法で見られる肩部での閉塞が起き難いために、図 2-9 に示すように優れた埋め込み形状が得られる。

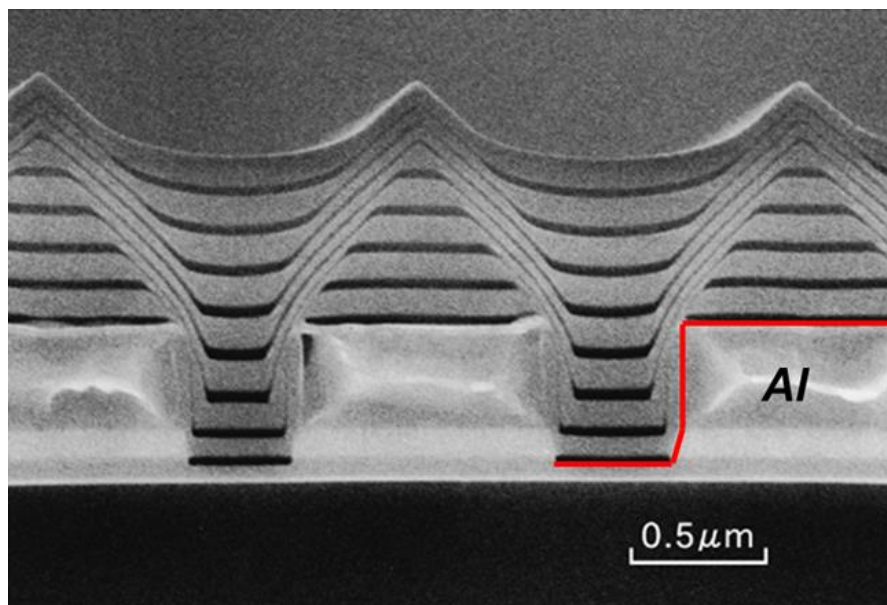


図 2-9. 高密度プラズマ CVD 法による Al 段差下地への埋め込み形状.

2.5 吸湿による問題点と改善

SiOF 膜の吸湿による問題点として、

- (1) 比誘電率の上昇、
- (2) F の脱離によるトランジスタ特性への影響、
- (3) F の脱離による上部金属配線の密着強度劣化、

等があげられる。特に SiOF 膜上におけるバリア金属の密着強度の劣化現象に関しては TEOS/O₂/C₂F₆ によるプラズマ CVD-SiOF 膜（比誘電率 3.6）を用いて検討した結果、Ti/SiOF 界面において熱工程によって遊離した F が界面にて TiSi_xO_yF_z 層を形成することが密着強度劣化の主な要因であり Ti/SiOF 界面での F 濃度が 1×10^{14} atoms/cc 以上になると劣化が顕著になると考えられる。ここで熱工程は 450°C を想定している。後工程における熱工程が密着強度の劣化に与える影響は、SiOF 膜からの F の遊離によるが、F の遊離の主な原因は膜中の水分との反応であると考えられる。TEOS/O₂/C₂F₆ によるプラズマ CVD 膜では、もともと膜中に水分が存在している。この水分が後工程において膜中の F と反応して HF の形で遊離し界面において密着強度を劣化させる層を形成する。そのため、SiOF 膜とバリア金属との界面にはバッファ層として SiO₂ 膜を形成することが有効であるとしている。また、SiN 膜もバッファ層として有効であることが報告されている。これらのバッファ層を用いることにより、SiOF 膜中への水分の進入を防ぐことができるために後工程における熱工程でも F の拡散を抑制でき、結果的に前述の(1)-(3)の影響が抑えられる。

高密度プラズマ CVD 法による SiOF 膜では、FT-IR で見る限り膜中 F が高濃度まで吸湿しないため比誘電率 3.3 程度まで安定であるとしたが、TDS（昇温脱離分析法）で詳細に調べると SiOF からの F の脱離は避けられないことが確認できる。そのため、量産においては、高密度プラズマ CVD による SiOF においても 100 nm 程度のバッファ層を上部金属配線のバリア金属の下層に適用した。

高密度プラズマ CVD による SiOF 膜の形成は、従来の平行平板プラズマ CVD に対して耐吸湿性の優位性を示すが、平行平板プラズマ CVD においても成膜温度を従来の 400°C から 470°C に上げることで吸湿性の抑制が可能であった。その結果を図 2-10 に示す。耐吸湿性改善の観点からは、高温での成膜は高密度プラズマ CVD における高エネルギーイオンを利用した成膜方法と同様に、高濃度の F 領域まで耐吸湿性を改善できると考えられる。

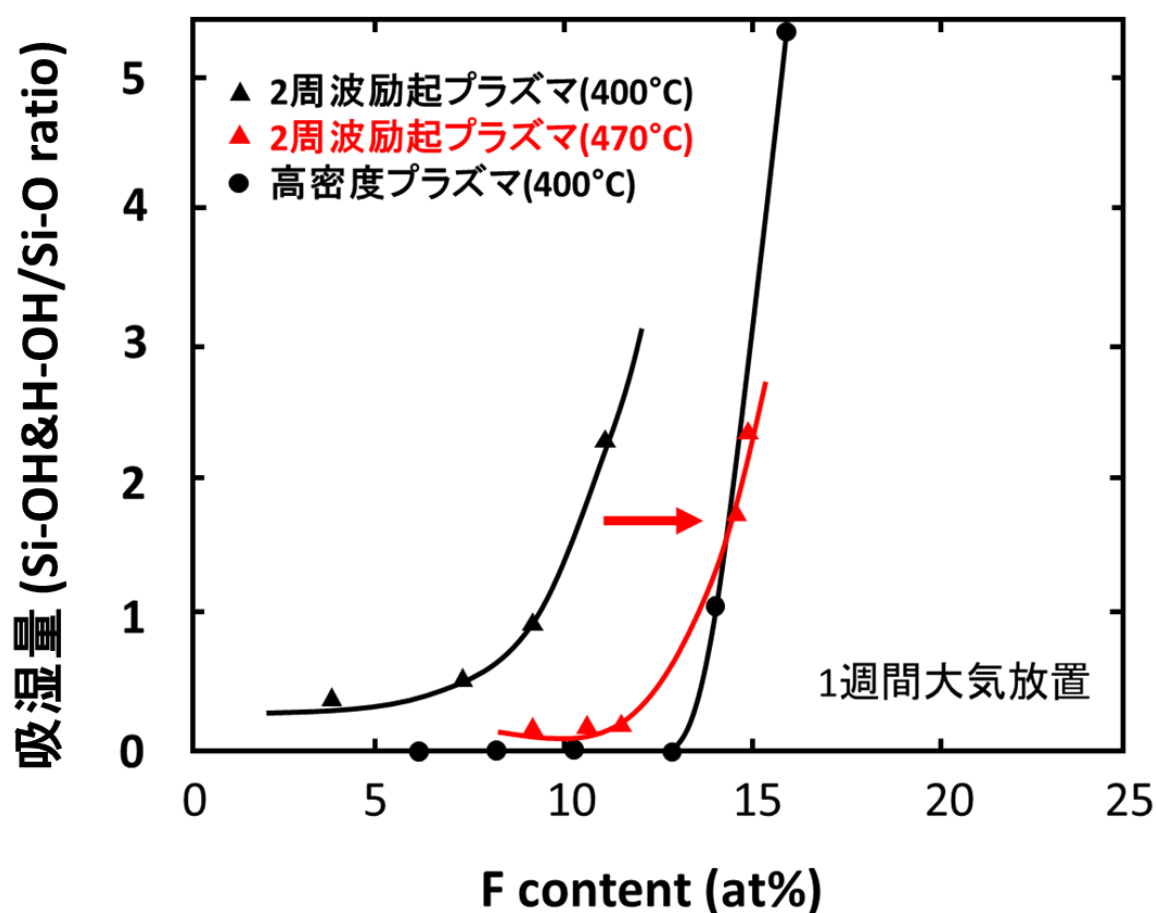


図 2-10. 二周波励起平行平板プラズマ CVD 法による耐吸湿性[18].

更に平行平板にプラズマにおいて、従来の TEOS/O₂/CH₄ 系のガスによる SiOF 膜ではなく、SiH₄/N₂O/SiF₄ 系ガス利用によっても耐吸湿性は改善する。図 2-11 に平行平板プラズマ CVD 法により SiH₄/N₂O/SiF₄ 系ガスを利用して成膜した SiOF 膜の吸湿特性

を示す。ここで SiOF 膜中の F 濃度は、成膜パラメータにより変化する。ここでは、成膜圧力、放電パワー、電極間距離、SiH₄ 流量、SiF₄ 流量、N₂O 流量、成膜温度を変化させることにより膜中 F 濃度が異なる SiOF 膜を作製し、30 日大気放置後の吸湿特性を調べた。ここで得られた 11at% という値は、高密度プラズマ法により得られた吸湿量が急激な増加する際の F 濃度である 12.6at% に対しては低い値であるが、イオンエネルギーの低い平行平板型プラズマを用いた場合の限界を示していると考えられる。

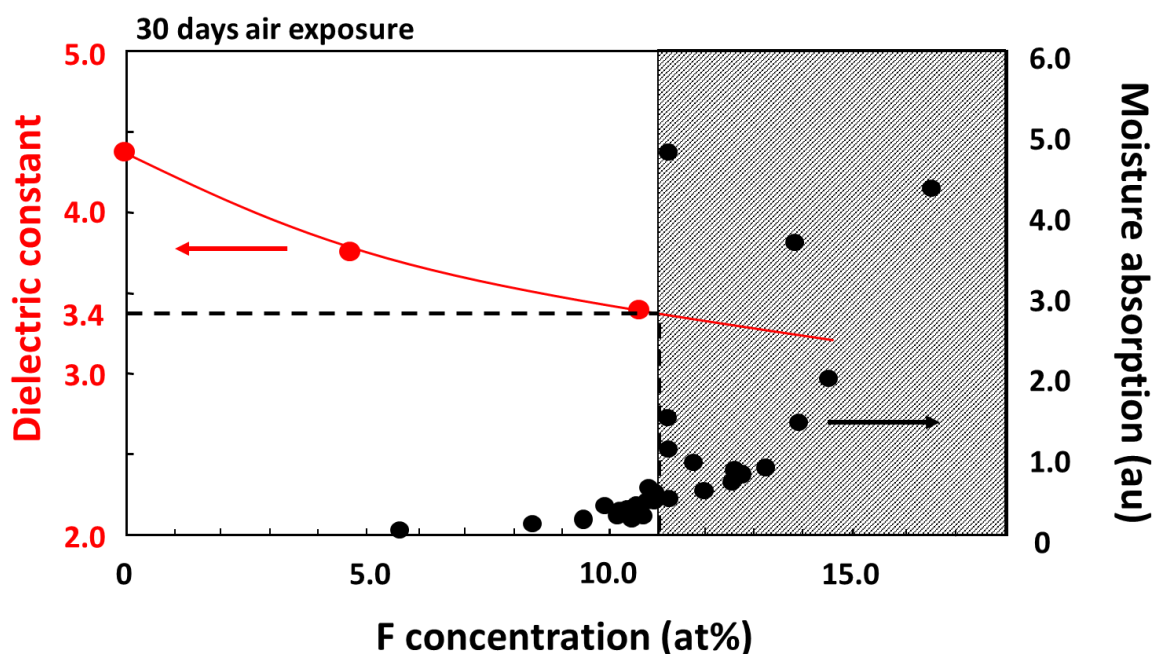


図 2-11. 2 周波励起平行平板プラズマ CVD 法による SiOF 膜の吸湿性.

これまでの検討から、高密度プラズマ CVD による SiOF、TEOS 系高温成膜による SiOF、SiH₄ 系による SiOF 全ての場合において、膜中 F 濃度が 11at% 以上の高濃度 F を添加した場合には成膜方法によっても急激な耐吸湿性の劣化を抑制できないことが分かったが、次章において、SiOF 膜中の F 濃度が高濃度領域での耐吸湿特性の劣化メカニズムに関して FT-IR を用いて詳細に検討を行った。

2.6 吸湿メカニズムからみた SiOF 膜の低誘電率化の限界

膜中 F 濃度が 12.6at% を越えた場合、つまり誘電率 3.3 以下の領域では高密度プラズマを用いた場合においても吸湿を抑制できない。高 F 濃度の領域での吸湿メカニズムを調べるため、まず高密度プラズマを用いて形成した F 濃度 22.5 at% の SiOF 膜を大気放置し、吸湿過程を FT-IR を用いて詳細に検討した。図 2-1 において、SiOF の FT-IR スペクトルを示したが、3200-3700 cm^{-1} 付近で観測される Si-OH および H-OH に起因するピーク、及び 900-1000 cm^{-1} 付近に観測される Si-F に起因するピークを図 2-12 に示すようにそれぞれ 3 つ Gaussian 分布を用いてピーク分離し、Si-OH/H-OH に関しては、Si-OH に起因するピークとして 3670 cm^{-1} のピークを、H₂O に関しては 3230/3440 cm^{-1} のピークをアサインした。

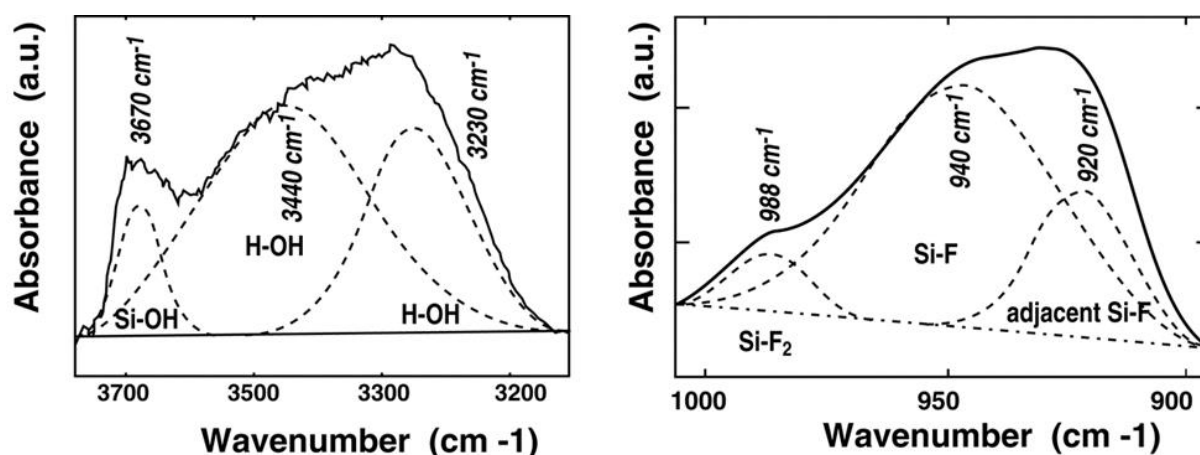


図 2-12. Si-OH、H-OH および Si-F に起因する FT-IR 吸収ピークの分離[18].

ここで、Si-F 結合のピーク分離の同定は、液体ソースである TEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$)、F-TEOS ($\text{FSi}(\text{OC}_2\text{H}_5)_3$)、F₂-DEOS ($\text{F}_2\text{Si}(\text{OC}_2\text{H}_5)_2$) を用いて行った (図 2-13)。Si-F の吸収スペクトル (980 cm^{-1} 近傍) をそれぞれ 3 つの Gaussian 分布でピーク分離し

た各々のピークは、図 2-12、及び図 2-14 に示すように、 $\text{Si}(\text{-F})_2$ (@988 cm^{-1})、 Si-F (@949 cm^{-1})、O を介して隣接した (adjacent) Si-F (@920 cm^{-1}) と同定した。

次に F 濃度 22.5 at% と高濃度に F を添加した SiOF 膜を用い、大気放置した際の吸湿現象と、それに伴うピーク分離した Si-F 結合のそれぞれの挙動を、FT-IR を用いて詳細に分析した。その結果を図 2-16 に示す。

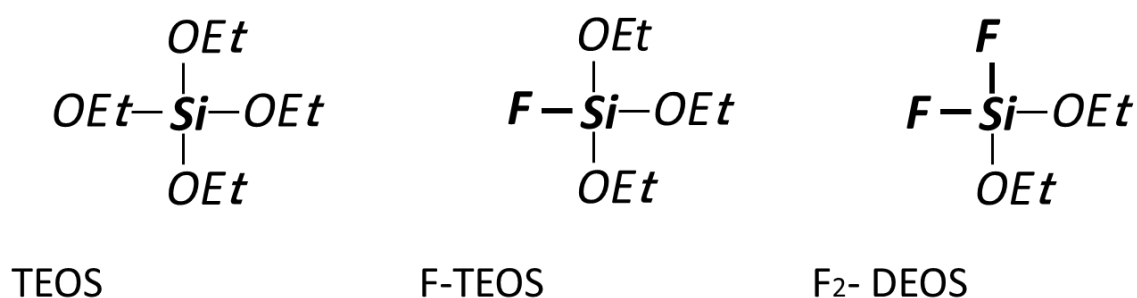


図 2-13. Si-F ピーク分離の同定に使用した液体ソースの構造.

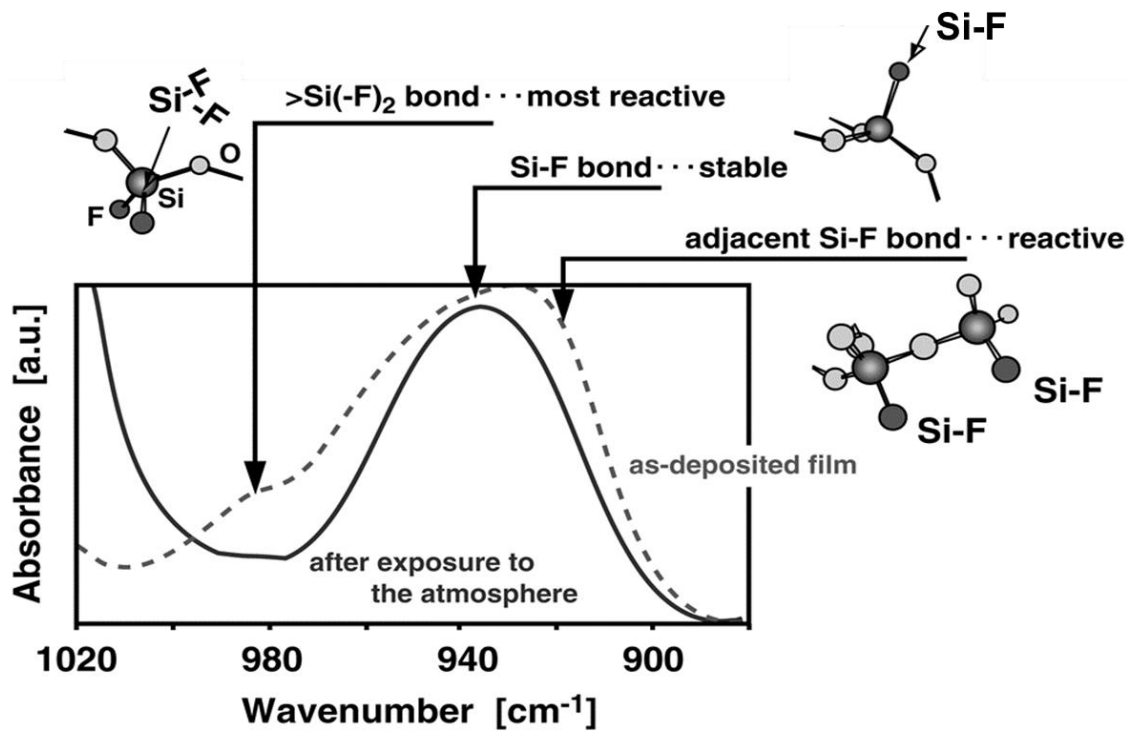


図 2-14. FT-IR により観測される Si-F 結合の吸湿による変化.

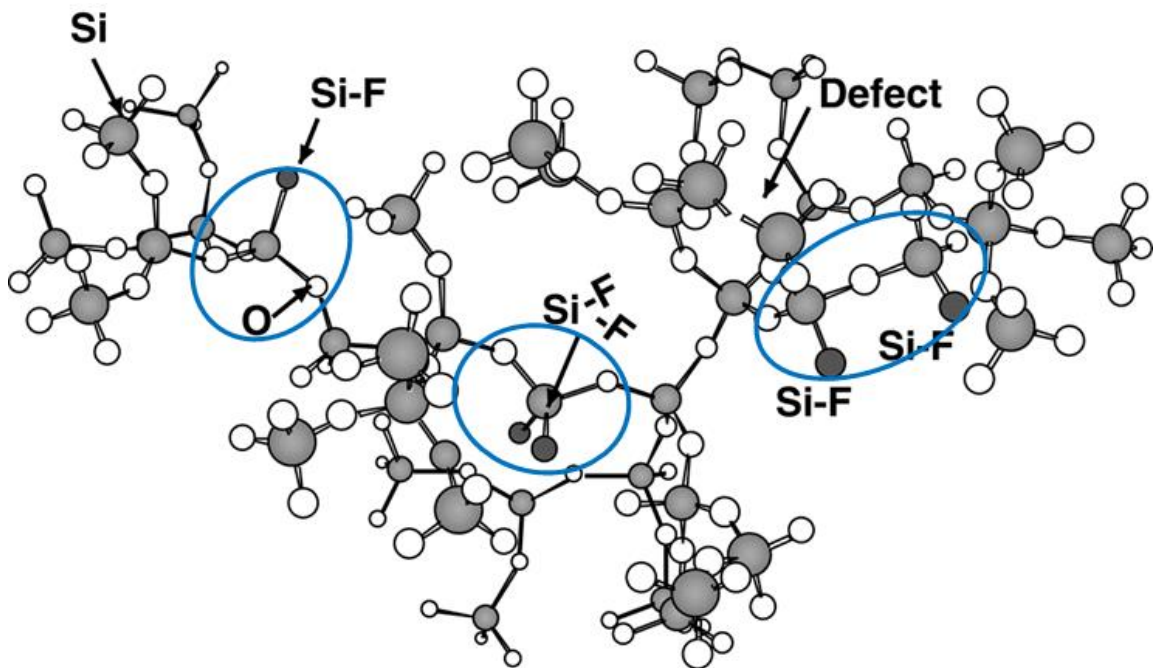
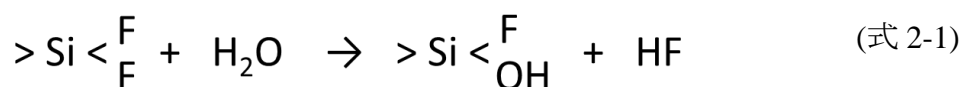


図 2-15. SiOF 膜において Si-F 結合の状態を示す概念構造図.

ここで、SiOF 膜の構造を理解するために、SiOF 膜の構造の概念図を図 2-15 に示す。大気放置により Si 原子に 2 つの F 原子が結合したと考えられる Si(-F)₂ 結合(988 cm⁻¹ 近傍)と O 原子を介して近接した Si-F ではないかと考えられる結合(920 cm⁻¹ 近傍)の吸収は減少する。Si-F 結合(940 cm⁻¹ 近傍)は大気放置に対して安定している。さらに、放置時間による Si(-F)₂ 結合(988 cm⁻¹ 近傍)と O 原子を介して近接した Si-F ではないかと考えられる結合(920 cm⁻¹ 近傍)の吸収スペクトルの変化を図 2-16(a)(b)に示す。図 2-16(a)は横軸を大気放置時間、縦軸は各々の Si-F 結合及び Si-OH および H-OH 結合の FT-IR 強度を示す。膜中の水分量が急激に変化する放置時間 5 日までを第 1 段階、以降を第 2 段階とすると、第 1 段階においては、まず膜中の Si(-F)₂ 結合が急激に減少し、同時に O を介して隣接する Si-F 結合も徐々に減少する。その際、Si-F 結合が増えるように観測されること、及び Si-OH 結合および H-OH 結合が増加することから、初期段階においては膜中において、「加水分解反応」が進行していると考えられる。特に、膜中においては、



(式 2-1)に示す反応が急激に進行し、Si-OH が形成され、Si-OH が更に吸湿サイトとして振る舞い膜中水分量も増加する。Si(-F)₂ 結合は第 1 段階 (Initial stage) において消失する。第 2 段階 (Next stage) においては「吸湿現象」が進行し、豊富な水分により O を介して隣接する Si-F 結合が消失する。

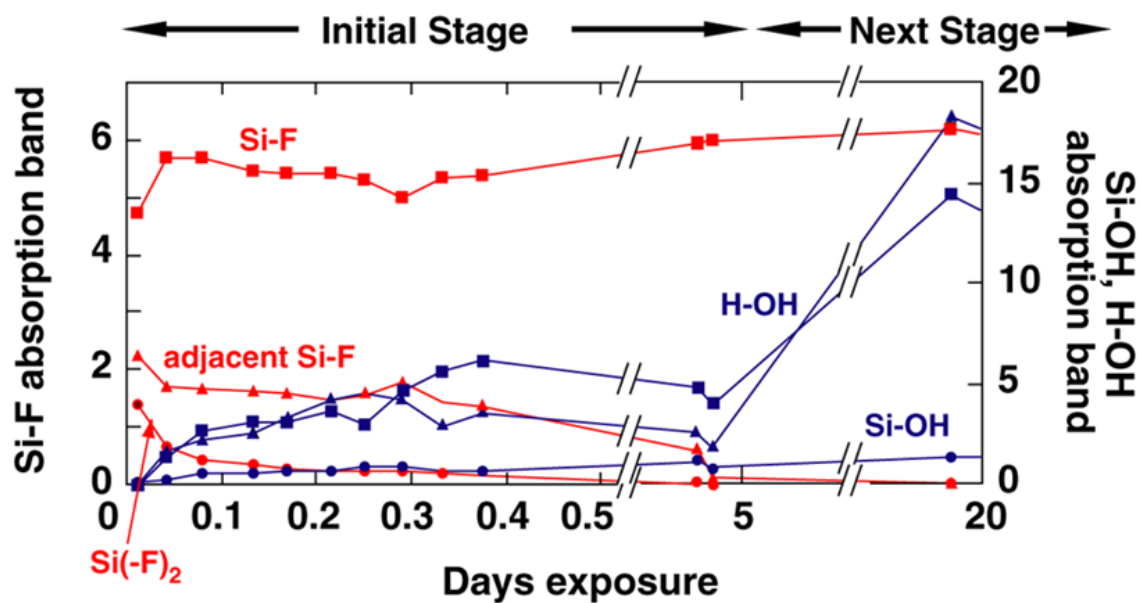


図 2-16(a). FT-IR による観測されるピーク分離された Si-F 結合の時間変化[18].

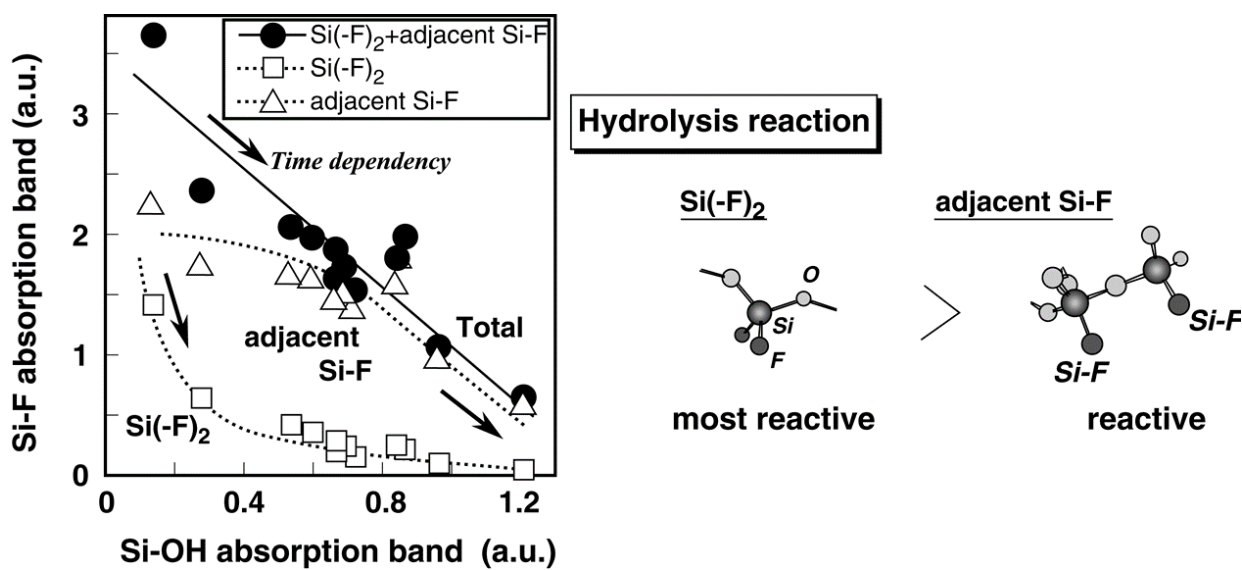


図 2-16(b) Si-F₂ 結合及び O を介して隣接した Si-F 結合の時間変化[18].

ここで興味深いのは、 940 cm^{-1} に観測される Si-F 結合は吸湿現象には大きく関与していないことである。図 2-16(b)に吸湿過程における膜中 $\text{Si}(-\text{F})_2$ 結合および O を介して隣接する Si-F 結合の振る舞いと Si-OH 結合の振る舞いの相関を示す。ここから明らかのように、吸湿による膜中の Si-OH 結合の増加は、水分に対して弱い $\text{Si}(-\text{F})_2$ 結合および O を介して隣接する Si-F 結合の加水分解反応によるものであり、 $\text{Si}(-\text{F})_2$ 結合は O を介して隣接する Si-F 結合と比較して水分に対してはより活性な状態にあると考えられる。

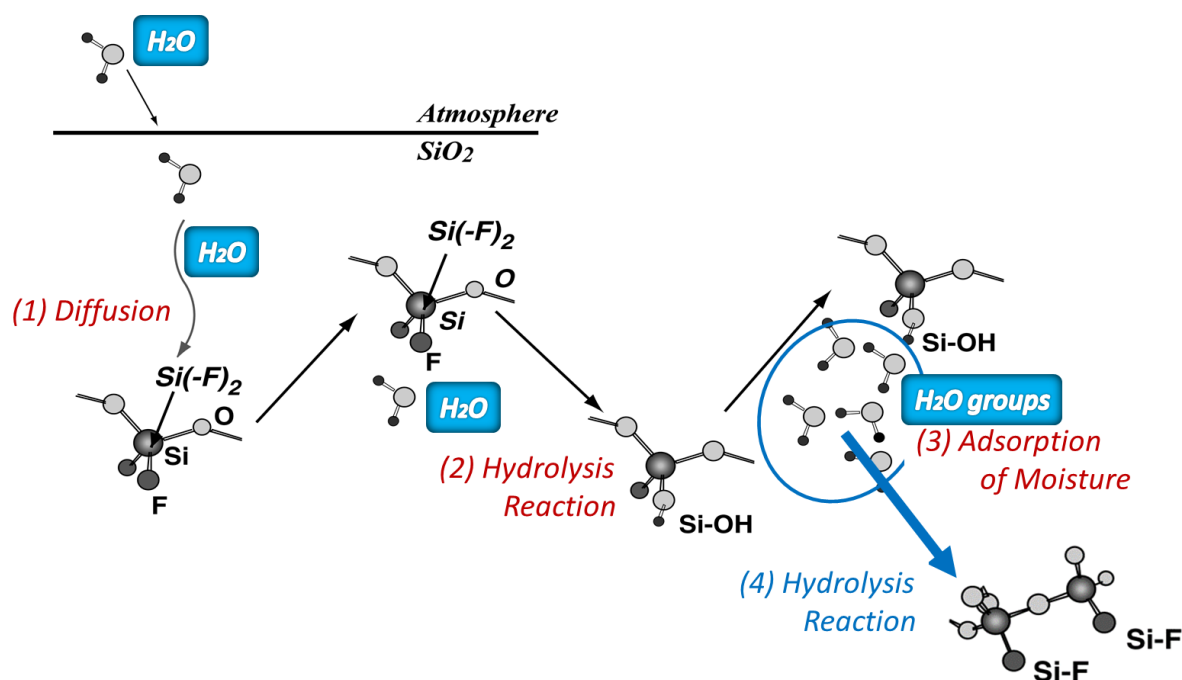


図 2-17. SiOF 膜の吸湿モデル.

この結果をモデル化したものを図 2-17 に示す。 SiO_2 中に F を高濃度に添加した場合の Si と F の結合には、 H_2O に対し非常に反応の高い $\text{Si}(-\text{F})_2$ 結合、及び O を介して隣接する Si-F 結合が存在し、 H_2O と加水分解反応により Si-OH 結合を形成する。その際に、吸湿によりまず Si $(-\text{F})_2$ 結合が水と反応し Si-OH 結合を形成し、Si $(-\text{F})_2$ 結合

は膜中から消滅する。膜中に形成された Si-OH 基に水素結合した H₂O が、更に水素結合で大気中の H₂O をさらに吸湿することにより膜中に吸湿した H₂O が増加していく。この増加した H₂O 群が、次に、O を介して近接した Si-F 結合を攻撃、反応して更に Si-OH 結合が形成される。この反応の連鎖により SiOF 膜の吸湿は進行すると考えられる。

次に、このような H₂O に対し反応性の高い Si-F 結合の存在と膜中 F 濃度との関係を調べた結果を図 2-18 に示す。膜中 F 濃度が 10 at% を越えたあたりから反応性の高いと考えられる Si-F 結合である Si(-F)₂ 結合および O を介して隣接する Si-F 結合が膜中に形成されることが分かった。これが、高密度プラズマを用いた場合においても膜中 F 濃度が 12.6 at% を越えた場合に耐吸湿性が急激に劣化する原因であると考えられる。

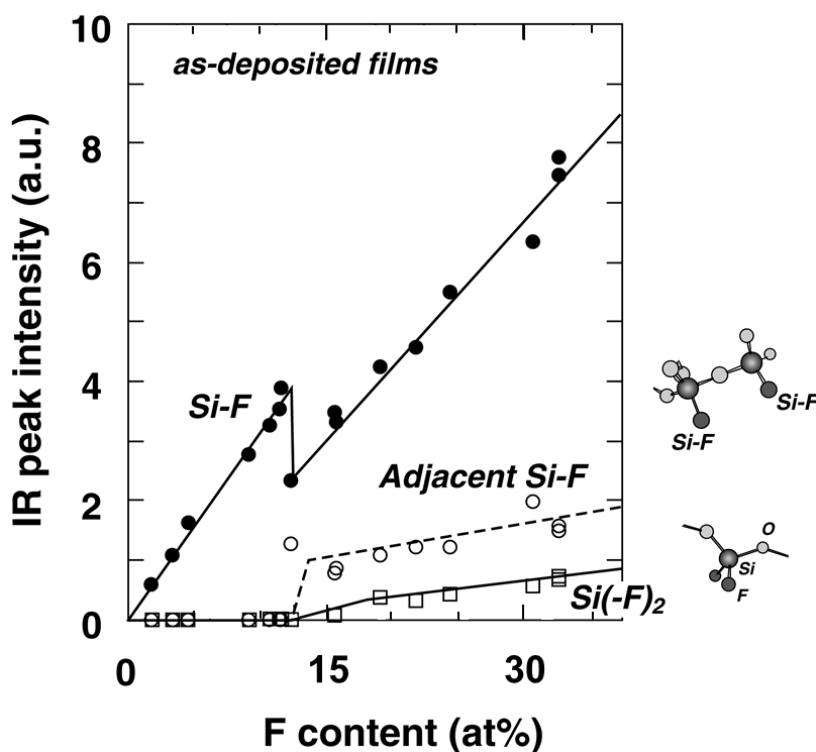


図 2-18. ピーク分離した SiOF 結合と膜中 F 濃度との関係[18].

また、図 2-19 に示すように FT-IR による Si-O-Si 結合のストレッチングモードの振動を示す吸収スペクトルの波数と膜中 F 濃度との関係を調べた。膜中 F 濃度が増加するにつれて吸収スペクトルは高波数側にシフトしていくが、膜中 F 濃度が 12-15 at% 近傍での波数が 1098 cm^{-1} 程度の一定の値をとることが分かった。波数のシフトは SiO_2 の網目構造の変化を表していると考えられ、これが前述した $\text{Si}(-\text{F})_2$ などの形成とともに耐吸湿性の F 濃度 12.6at% における急激な劣化の要因となっていると考えられる。この SiO_2 の網目構造の変化に関して、ラマン分光を用いて分析した結果を図 2-20 に示す。

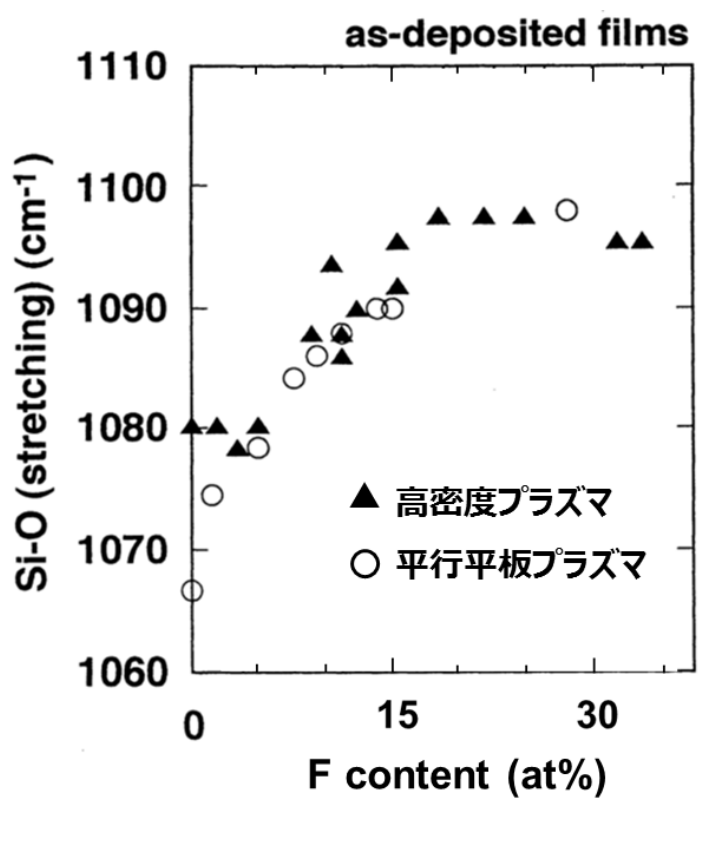


図 2-19. SiOF 膜における Si-O Stretching-mode の波数と膜中 F 濃度の関係[18].

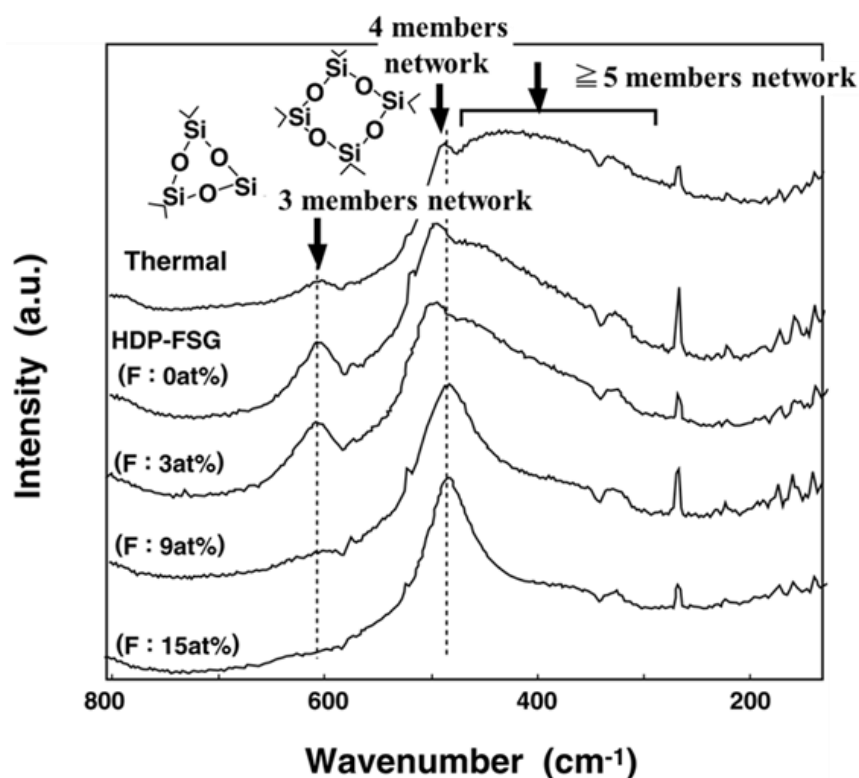


図 2-20. ラマン分光を用いて分析した F 添加による SiO₂ 網目構造の変化.

サンプルは、SiH₄/O₂/SiF₄を原料ガスとした HDP プラズマ CVD 装置により作製した。熱酸化による SiO₂ 膜もプラズマ CVD 法による SiO₂ 膜も構造は非晶質（アモルファス）であり、Si-O 結合は複雑な網目構造を有して形成されている。ラマン分光により網目構造の環構造分析を行ったところ、熱酸化膜は、一般的に歪みが大きいとされる 3 員環構造（3 members network）の割合は少なく、4 員環構造および 5 員環以上の高次の網目構造が主流であることが確認できる。それに対して、F を添加しない HDP プラズマによる SiO₂ 膜は、酸化膜構造とは異なり、歪みが大きいとされる 3 員環構造の割合が多く、また、5 員環以上の高次の網目構造は少ない。また、4 員環構造の示す端数が高波数側にずれていることが観測される。膜中に F を添加することにより、3 員環構造が F 濃度 9 at% 以上で消失しており、同時に 5 員環以上の高次の網目構造を示す信号も低下していき、F 濃度 15 at% では SiOF 膜は強い 4 員環構造主体の網目構造を有していることをラマン分光の結果は示している。プラズマ CVD では、成膜時において一般的に歪みが大きいとされる 3 員環構造に F 原子がア

タックし消失させ、膜中に取り込まれると考えられるが、同時に 5 員環以上の高次構造も消失させる。 SiO_2 の結晶構造は、一般的には、低温型石英、高温型石英、低温型トリディマイト、高温型トリディマイト、低温型クリストバライト、高温型クリストバライトの 6 形態に加えて、超高压で安定なコーサイトやスティショバイトの計 8 形態が存在する。なかでもコーサイトは 4 員環構造を有する構造であるが、自然界には地下 100-300 km のマントル表層部で存在する構造で、石英より高密度である 2.9 g/cm^3 を有する材料である。一般的に我々が目にする石英は低温型石英であり、 Si-O-Si の結合角は 146.5° で、水晶と呼ぶ結晶は密度 2.7 g/cm^3 を有する六方晶系六角柱状の結晶である。一方、コーサイトは Si-O-Si の結合角は 130.5° で、密度は前述した 2.9 g/cm^3 を有する単斜晶系の結晶であり、 SiO_4 四面体が 4 員環構造をなし、これらが連結して 2 重鎖の構造を作る。さらに、 Si-O の架橋結合により長石と同じような 3 次元構造を形成している。 SiOF 膜自体はもちろん非晶質（アモルファス）構造であるが、F を添加することにより SiO_2 自体が、石英より高密度な材料構造を有するコーサイトと同じ 4 員環ネットワークを主構造とした網目構造へとシフトするという結果は非常に興味深く、そのメカニズムに関しては更なる検討が必要である。 $\text{Si-O bond stretching}$ がおよそ 12 at% の F 濃度から一定の波数を取るということは、ラマン分光による 4 員環ネットワークが SiOF 網目構造の主構造となるという分析結果と一致する。

さらに、膜中 F 濃度 12.6 at% 以上（比誘電率 3.3 以下）において SiOF 膜中に存在する水に対し不安定な結合が SiOF 膜の形成方法により抑制できるのかどうかについて次のような方法で検討した。熱酸化膜へ F^+ イオン注入を行い、さらにイオン注入後の酸化膜を RTA（Rapid Thermal Anneal）により活性化することにより、 SiO_2 中に Si-F 結合を形成した。この方法により形成された SiOF 膜は単純には成膜方法や膜中不純物の影響を受けず SiOF 膜本来の特性を示すと考えられる。

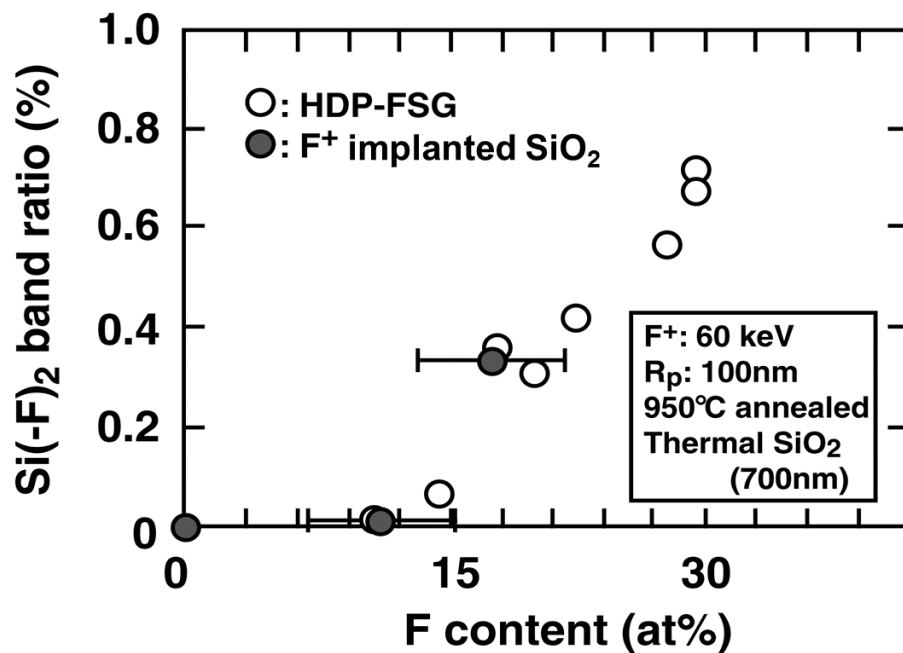


図 2-21. イオン注入法により形成した SiOF 中における Si(-F)₂ 結合と F 濃度.

しかしこの場合においても図 2-21 に示すように膜中 F 濃度が約 12 at% 以上で Si(-F)₂ に代表される不安定な F 結合の形成がみられた。この結果は膜中 F 濃度 12.6% 以上（比誘電率 3.3 以下）において安定な SiOF 膜を得ることは確率論に支配された製造方法では原理的に困難であることを示していると考えられる。また、膜中に F のみでなく N を添加することによりその耐吸湿性が向上することも報告されている [23] が N 添加により比誘電率が上がってしまうためこの方法によりどこまで誘電率が下げられるか今後詳細な検討が必要と考えられる。SiOF 膜は、基本的な結合ユニットで考えれば、Si に O が 4 つ結合したユニットと Si に F が 1 つ結合し O が 3 つ結合したユニットの組み合わせである。高密度プラズマ CVD 法にて SiOF 膜を成膜した場合に、膜中に Si(-F)₂ 結合が観測され始める膜中 F 濃度 12.6at% とは、図 2-21 に示すように Si に O が 4 つ結合したユニットの割合と Si に F が 1 つ結合し O が 3 つ結合したユニットの割合が 3:2 (12.5 at%) に相当する。この 3:2 を超えて F を SiO₂ 中に導入した場合に、特に水分に対して不安定な F 結合（Si(-F)₂ 結合および O を介して隣接する Si-F 結合）の形成始まると考えられる。つまりユニット比 3:2 以下では Si に

F が 1 つ結合し、かつ Si-F 結合が O を介して隣接していない構造が SiOF にとって最も安定であることを示す。


$\begin{array}{c} \\ \text{O} \\ \\ -\text{O}-\text{Si}-\text{O}- \\ \\ \text{O} \\ \end{array}$	$\begin{array}{c} \text{F} \\ \\ -\text{O}-\text{Si}-\text{O}- \\ \\ \text{O} \\ \end{array}$	F content [at%]
3	1	8.0
2	1	10.5
3	2	12.5  12.6at%
1	1	15.4

図 2-22. SiOF 膜の Si 基本ユニットの割合からみた F 濃度 12.6at%.

SiOF 膜が、水分に対して不安定な F 結合 ($\text{Si}(\text{-F})_2$ 結合および O を介して隣接する Si-F 結合) を有することなくどこまで F を安定に導入できるかは、SiOF が 4 員環構造を安定な構造と仮定するのであれば、Si に O が 4 つ結合したユニットの割合と Si に F が 1 つ結合し O が 3 つ結合したユニットの割合が 1:1(15.4 at%)に相当する。その場合の基本ユニットは 4 員環を基本ユニットとすると、図 2-22 となる。ただし、Si 基本ユニットの組み合わせを満足させるためには、4 員環基本ユニットから伸びる各ボンドの組み合わせは図 2-23 に赤丸黒丸で示すように限定される。

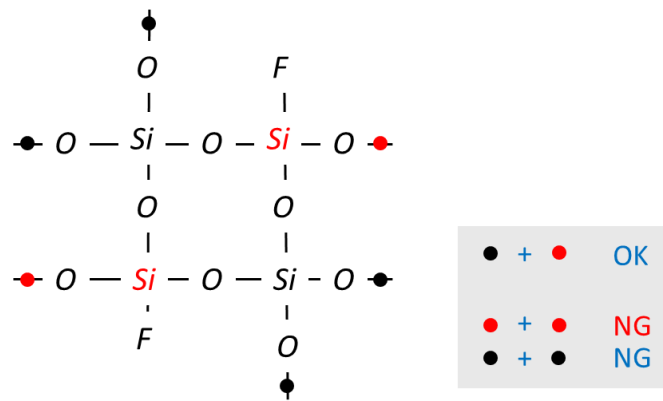


図 2-23. F 濃度 15.4at% を満たす 4 員環基本ユニット

さらに、この基本ユニットを使用してすべて 4 員環構造で SiOF バルク構造を形成することは 2 次元では不可能であるが、3 次元構造であれば可能であると考えてよい。図 2-24 に 2 次元で 4 員環構造を維持したままバルク構造が形成可能であることと例を示す。吸湿性の観点から安定な SiOF を作るためには、図 2-23 のユニット構造を有する原料ガスもしくは原料薬液を用いることが有効であると考えられるが、今後の課題とする。図 2-2 から、仮に F 濃度 15.4at% の安定した SiOF が製造可能であれば誘電率は、3.1 になると考えられる。

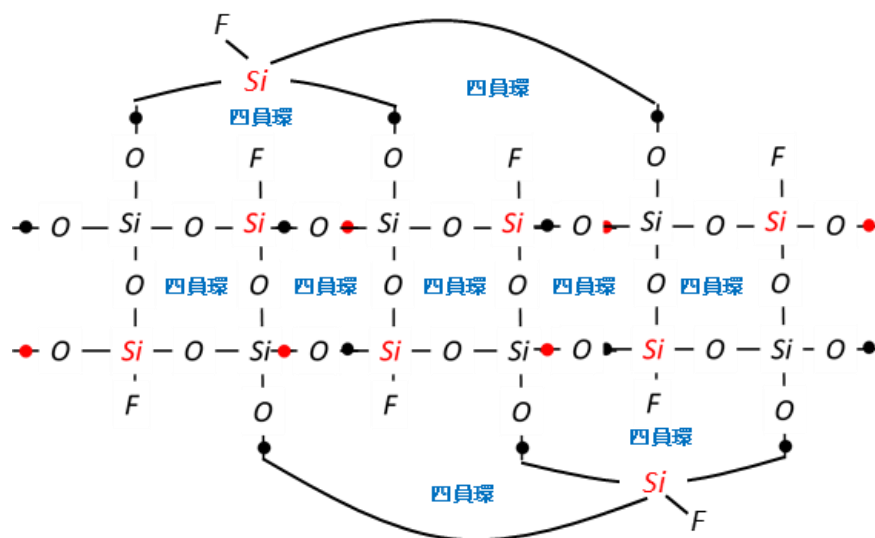


図 2-24. F 濃度 15.4at% を満たす 4 員環基本ユニットの組み合わせ.

2.7 まとめ

PE-CVD 法を用いて従来の SiO_2 膜に F を導入することにより比誘電率は低減が可能である。PE-CVD SiO_2 膜が有する比誘電率 4.2 は、膜中の F 濃度を増加させることにより単調に減少するが、F 濃度が 12.6at%、比誘電率 3.3 近傍において急激に吸湿現象が確認され膜の安定性が崩れる。FT-IR による Si-F 結合の詳細な観測により、 $=\text{Si}(\text{-F})_2$ 結合が 12 at% 近傍で観測され始めることが確認された。高濃度に F を添加した SiOF 膜の Si-F 結合の吸湿による影響を調べたところ、急激な吸湿の理由は、膜中の $=\text{Si}(\text{-F})_2$ 結合が容易に水分と反応して加水分解し、Si-OH 基が膜中に形成され、その Si-OH 基が吸湿サイトとして振る舞うことにより吸湿が急激に進むことを見いだした。SiOF 膜の吸湿現象は、どのような手法の PE-CVD を適用しても、形成方法などによらず SiOF 膜固有の吸湿特性を抑制することは高濃度領域においては困難であり、そのため、SiOF 膜の低誘電率としてのデバイス適用は比誘電率 3.3 が限界であることを示した。

参考文献

- [1] T. Usami, K. Shimokawa, M. Yoshimaru, "Low Dielectric Constant Interlayer Using Fluorine Doped Silicon Oxide ", Ext. Abstr. 1993 Solid State Devices and Materials, Chiba, 1993, p. 161-163 (1993).
- [2] T. Fukada and T. Akahori, "Preparation of SiOF Films with Low Dielectric Constant by ECR Plasma Chemical Vapor Deposition" Ext. Abstr. 1993 Solid State Devices and Materials, Chiba, , p. 158-160 (1993).
- [3] T. Homma, R. Yamaguchi and Y. Murao, "A Room Temperature Chemical Vapor Deposition SiOF Film Formation Technology for the Interlayer in Submicron Multilevel Interconnections", J. Electrochem. Soc., **140**, 3, 687 (1993).
- [4] T. Usami, K. Shimokawa and M. Yoshimaru, " Low Dielectric Constant Interlayer Using Fluorine-Doped Silicon Oxide" Jpn. J. Appl. Phys. **33**, 1B, 408 (1994).
- [5] J. Ida, M. Yoshimaru, T. Usami, A. Ohtomo, K. Shimokawa, A. Kita and M. Ino, "Reduction of Wiring Capacitance with New Low Dielectric SiOF Interlayer Film for High Speed/Low Power Sub-half Micron CMOS", 1994 Symposium on VLSI Technology Digest of Technical Papers, pp.59-66 (1994).
- [6] T. Fukuda, T. Hosokawa, E. Sasaki and N. Kobayashi, "Highly Reliable LOW-E (3.3) SiOF HDP-CVD for subquarter-micron CMOS Applications", Proceedings of the IEEE 2006 International Interconnect Technology Conference, pp. 42-44 (1998).
- [7] H. Kakiuchida, N. Shimodaira, E. Sekiya, K. Saito, and A. Ikushima, "Refractive index and density in F- and Cl-doped silica glasses", Appl. Phys. Lett. **86**, 161907 (2005).
- [8] L. Martinu, and D. Poitras, Plasma deposition of optical films and coatings: A review, Journal of Vacuum Science & Technology A 18 (2000), pp.2619.
- [9] B. Wei, Y. Cheng, F. Lu, T. Chiu, and H. Shih", Comparative study of low dielectric constant material deposited using different precursors", Journal of Vacuum Science & Technology A, **29**, 041507 (2011).
- [10] P. D. Dragic, M. Cavillon, and J. Ballato, "Materials for optical fiber lasers: A review", Applied Physics Reviews **5**, 041301 (2018).

- [11] D. Milam, and M. J. Weber, "Measurement of nonlinear refractive-index coefficients using time-resolved", *Journal of Applied Physics* **47** 2497 (1976).
- [12] T. Nakai, N. Norimatsu, Y. Noda, O. Shinbori, and Y. Mimura, Changes in refractive index of fluoride glass fibers during fiber fabrication processes, *Appl. Phys. Lett.* **56**, 203 (1990).
- [13] L. Martinu, and D. Poitras, Plasma deposition of optical films and coatings: A review, *Journal of Vacuum Science & Technology A* 18, pp.2619 (2000).
- [14] N. Hayasaka, Y. Nishiyama, H. Miyajima, K. Tomioka, R. Nakata and H. Okano, " 1. High-Quality and Low Dielectric Constant SiO₂ CVD Using High Density Plasma" *Proc. 15th Dry Process Symp.*, Tokyo, 1993, p. 163-168 (1993).
- [15] H. Miyajima, R. Katsumata, N. Hayasaka and H. Okano, "Formation Mechanism of F-added SiO₂ Films using Plasma CVD ", *Proc. 17th Dry Process Symp.*, Tokyo, 1994, p. 133-138 (1994).
- [16] R. Katsumata, H. Miyajima, Y. Nakasaki and N. Hayasaka, "Improvement in Hygroscopicity of PE-CVD F-doped SiO₂", *Proc. 18th Dry Process Symp.*, Tokyo, 1995, p. 269-274 (1995).
- [17] H. Miyajima, R. Katsumata, Y. Nakasaki, N. Hayasaka and H. Okano, "Water-absorption Mechanisms of F-doped PECVD SiO₂ with Low-dielectric Constant", *Proc. 12th Int. VMIC*, Santa Clara, 1995, p. 391-393 (1995).
- [18] H. Miyajima, R. Katsumata, Y. Nakasaki, Y. Nishiyama, and N. Hayasaka, "Water absorption properties of fluorine-doped SiO₂ films using plasma-enhanced chemical vapor deposition", *Jpn. J. Appl. Phys.* **35**, No.12A, 6217 (1996).
- [19] R. Katsumata, H. Miyajima, Y. Nakasaki and N. Hayasaka, " "Improvement in Hygroscopicity of HD-PECVD SiOF Films", *Proc. 12th Int. VMIC*, Santa Clara, 1996, p. 107-109 (1996).
- [20] 宮島秀史 "次世代 ULSI 多層配線の新材料・プロセス技術「第 3 章 Low-k 膜、第 1 節 CVD」 (技術情報協会発行) (2000)"

- [21] Y. Nakasaki, H. Miyajima, R. Katsumata and N. Hayasaka, "Ab initio molecular orbital study of water absorption and hydrolysis of chemical vapor deposited SiOF films. I ", Jpn. J. Appl. Phys. 1, **36**, 4B, 2533 (1997).
- [22] Y. Nakasaki, H. Miyajima, R. Katsumata and N. Hayasaka, "Ab initio molecular orbital study of water absorption and hydrolysis of chemical vapor deposited SiOF films. II", Jpn. J. Appl. Phys. 1, **36**, 4B, 2545 (1997).
- [23] Y. Nakasaki, H. Miyajima, R. Katsumata and N. Hayasaka, "Ab initio molecular orbital study of suppression of water absorption and hydrolysis (F-removal) of chemical-vapor-deposited SiOF films by nitrogen doping", Jpn. J. Appl. Phys. 1, **36**, 8, 5259 (1997).

第 3 章

PE-CVD チャンバを利用したリスパッタ膜制御技術

（低誘電率層間絶縁膜の界面密着強度及び

レジストポイズニングの改善）

3.1 研究の背景

LSIに搭載される回路の微細化が進むにつれて、配線抵抗 R と配線間容量 C の積、いわゆる RC 積の増大による信号線での遅延およびクロストーク、電源線での電力損失が製品に及ぼす影響が無視できなくなってきた[1]。従来 Al 配線では層間絶縁膜の低誘電率化には優れた段差被覆性を有するプロセスに重点を置いて開発がなされてきた。一方、配線抵抗 R に対する低減要求も大きく、 RIE 加工による Al （あるいはアルミ合金）配線形成に代わる技術として IBM 社から提案されたダマシン法による Cu 配線形成技術が、めっき法による溝への埋め込み技術および CMP 法による平坦化技術の向上と相まって量産適用されている[2-3]。

これにより層間絶縁膜プロセスには段差被覆性に対する要求は無くなり、低誘電率化に対する材料選定の自由度が格段に広がった。特にメチルポリシロキサン（ MSX ）やハイドロジェンシルセスキオキサン（hydrogen silsesquioxanes: HSQ ）などの低誘電材料の開発が $PE-CVD$ 法や塗布法などの手法で様々な装置メーカー、材料メーカーで試みられた[4]。また、 Cu 配線の採用と共に必要となった Cu 拡散防止膜にも低誘電率化が要求され、従来の SiN 膜中にメチル基等の有機基を付与する $SiCN$ 膜の開発が検討された[5-7]。しかし、これらの低誘電率化は異種膜との界面密着強度低下や加工時のプラズマダメージによる絶縁特性低下、膜自身の密度の低下により機械的強度の低下や透ガス性の増大を伴い、後工程の熱プロセスによって剥がれやクラックの発生[8-16]、アミン成分の透過によるレジスト解像異常（レジストポイズニング）等、インテグレーション上の課題の克服が新たに必要となった[17-27]。

本章では、特に $PE-CVD$ 法を用いて形成する低誘電率層間絶縁膜である $SiOC$ 膜を適用した Cu ダマシン配線構造で課題となるレジストポイズニングの発生メカニズムと解決法に関して報告する[28-30]。

3.2 SiOC 膜の適用における課題

はじめに、Cu ダマシン配線構造を形成するプロセスフローを、図 3-1 を用いて説明する。ここでは、めっきプロセスで Via と配線層を同時に埋設することを特徴とする、デュアルダマシン (DD) 配線構造を用いた。

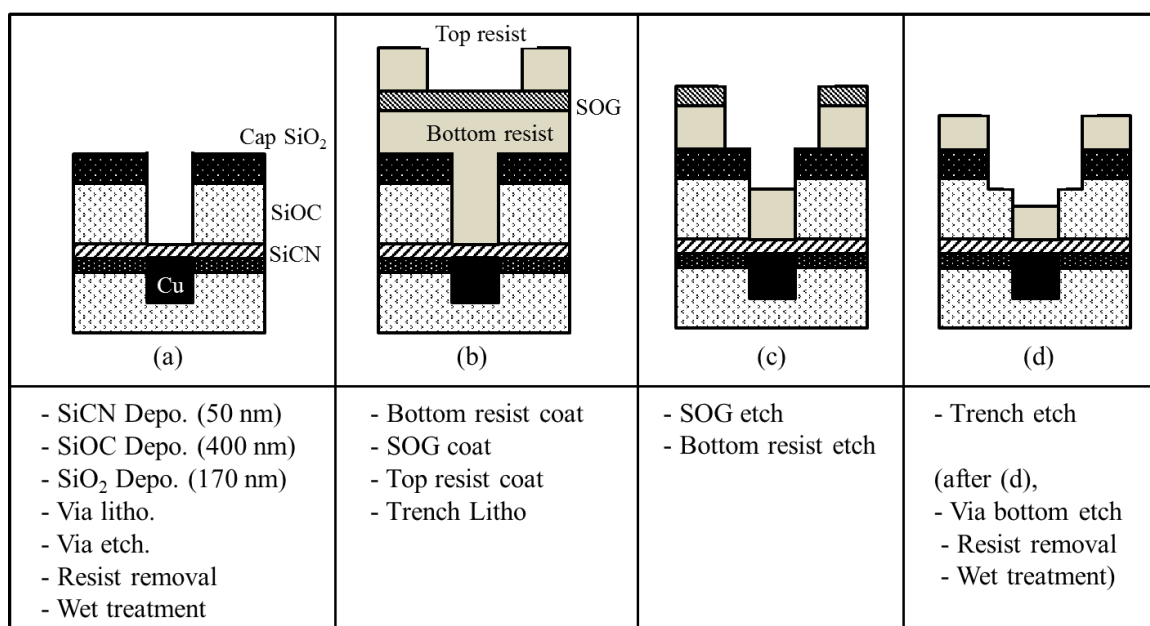


図 3-1. Cu ダマシン配線構造の形成フロー.

まず、PE-CVD SiOC 膜を成膜後に更にその上層に Cap SiO₂ 膜を配置している。これは、

- (1) ダマシン法では埋め込み配線である Cu の余剰部分を CMP（化学機械研磨）により研磨除去するが、その際 Cap SiO₂ 膜が無い場合においては金属が SiOC 表面に残存するために、配線間リークの原因となる。

(2) ダマシン法では Cu 表面に絶縁膜による Cu-Cap 膜と呼ばれる Cu 拡散防止膜を形成するが、その際の前処理として NH₃ プラズマ処理を行い、表面の Cu 酸化物を除去する必要がある。Cu 酸化膜除去が十分に行われずに Cu-Cap 膜を形成した場合、上層の絶縁膜 Cap と Cu との密着強度が十分に確保できず、結果、配線断線にいたる EM (Electro Migration) 不良を誘発する。

ためである。

次に PE-CVD 法による SiOC 膜適用におけるプロセス課題である界面密着強度について述べる。前述のように Cu 配線上には Cu 拡散防止膜として SiCN 膜が配置される。SiCN 膜はメチル基等を導入して SiN 膜よりも低誘電率化している。SiCN 膜上には誘電率が更に低い SiOC 膜を成膜するが、これらの膜組成が異なり、且つメチル基等の立体障害により結合に寄与する結合手が減少するために界面密着強度が低下する。その結果、後工程の熱プロセスや CMP 平坦化プロセス等で剥がれを生じるといった課題があった。

SiOC 膜上への Cap SiO₂ の挿入により Cu 配線と SiCN 界面での密着強度及び界面リーク特性の改善が達成されたが、リソグラフィ技術を用いて微細回路パターンを転写した場合に図 3-2 に示すように、密パターンにおける解像不良が発生した。この解像不良はレジストポイズニングと呼ばれ、図 3-1 のフローにおいて、図 3-1(b) の状態で最上層の Top resist がパターンニングされない問題を指す。この際、レジスト塗布後に 350°C にて 1 分間の焼成工程が必要であるが、この焼成工程においてレジストがアミンの影響により変質することが原因と考えられるが、アミンのメカニズムに関しては、「3.4.5 レジストポイズニング発生モデル」にて詳細を論じる。また、この不良は発生位置に特徴があり、パターンの無い領域に面する密パターンで生じやすく、Via Chain 歩留りを低下させる。一般的には開口した via ホールを介して発生するガス（例えばアミン）が上記の様な領域にて増大する。配線露光の際に塗布したフォトリソレジストに含まれる化学増幅基がアミンにより変質し、その結果、配線パターンの解像不良を生じると考えられている。この現象をレジストポイズニングと呼び、それを引き起こすガスをポイズニングガスという。

ポイズニングの影響を定量評価するため、 Δ poisoning (nm)という数値を(式 3-1)にて定義した。

$$\Delta \text{ poisoning (nm)} = W_{\text{edge}} - W_{\text{center}} \quad (\text{式 3-1})$$

ここで、 $W_{\text{edge}}/W_{\text{center}}$ は図 3-2 に示すように、ポイズニングの影響が顕著な via チェーン BLOK 端でのレジストマスクの配線幅と影響の少ない BLOK 中心部でのレジストマスクの配線幅の差である。レジストポイズニングの影響が大きければこの値はマイナス方向に絶対値は大きくなり、影響が低ければ0に近づく。測定は、図 3-1 のダマシンプローにおいて、(b)の状態です法 SEM を用いて測長した。

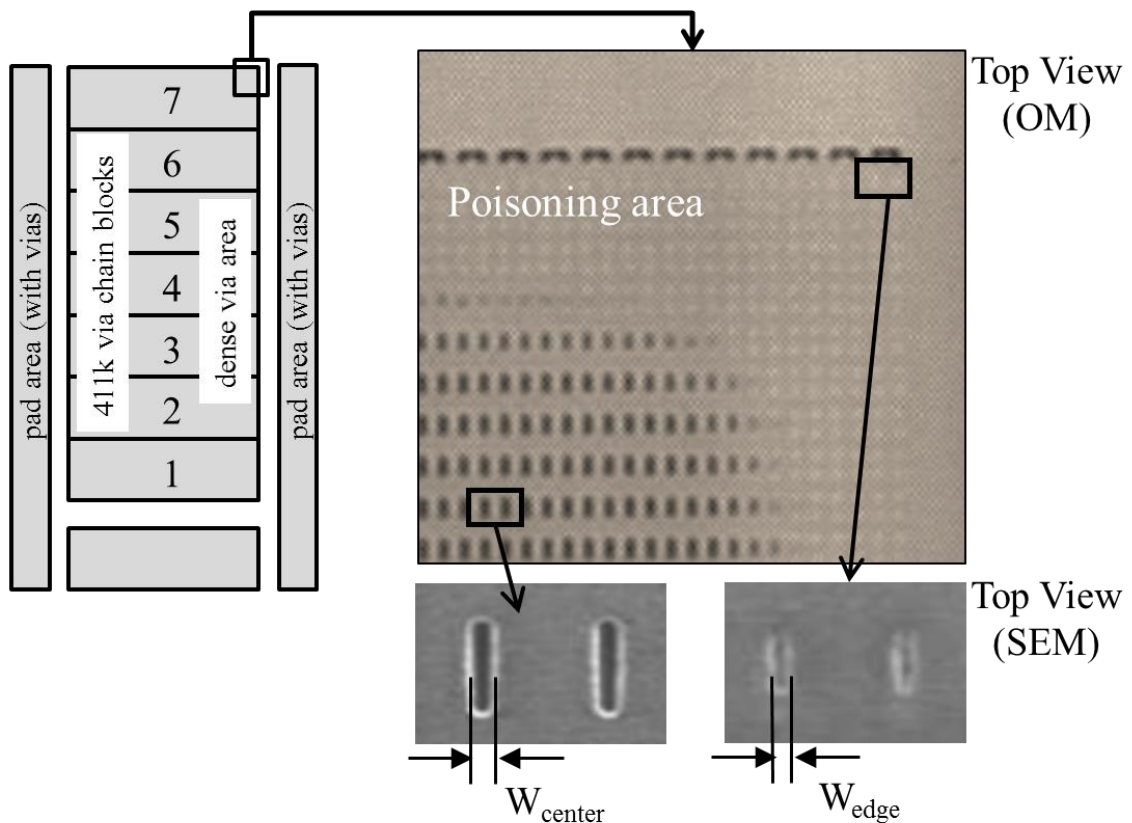


図 3-2. レジストポイズニングの評価パターン。

このレジストポイズニング現象を防ぐ手法として、従来、多層レジストプロセスが用いられてきた。例えば、デュアルダマシン配線に適用する露光技術としては、Via ホール内に bottom Resist として塗布法を用いた Spin-On-Carbon (SOC) 膜を埋め込み平坦化したのち、同様に塗布法による Spin-On-Glass (SOG) 膜形成後、反射防止膜 (BARC: Bottom Anti Reflection Coating)、化学増幅型レジストなどの多層レジスト構造を用いたパターニング手法が知られている。多層構造を用いることにより、たとえアミンがレジスト下層で生成されても最上層のフォトリソレジストまでのアミン到達が抑制されるからである。しかしながら、微細配線パターンを形成するためには多層レジスト構造の各構成膜の薄膜化が必須であり、ポイズニングガス発生の十分な抑制が困難となっている。また、Cu 上の拡散防止のための Cap 膜として従来の SiN に替わり、低誘電率を有する SiCN 膜を Cu cap 層として採用したこともレジストポイズニングが発生する大きな要因であると考えられる。

3.3 実験装置と評価方法

本章では SiOC 成膜プロセスでの改善検討を詳細に行い、SiCN 層に起因したレジストポイズニング現象の発生メカニズムと解決方法を検討した。

本実験の SiCN 膜や SiOC 膜の成膜には CCP 方式のプラズマ CVD 成膜装置（AMAT 社製 Producer-SE Low-k システム）を用いた。本装置では、ヒータを搭載した下部電極を兼ねるステージ上に Si 基板を載置し、リフト機構により上部電極となる Si 基板対向天板との距離を可変できる。上部電極には 13.56MHz の RF 電源が接続されており、電力を印加することで電極間にプラズマを発生することが出来る。Si 基板対向天板は、ガスを導入するために多数の貫通孔が形成されたシャワーヘッド構造であり、成膜ガスはそれぞれマスフローコントローラー（MFC）で流量を制御してチャンバへ供給される。SiCN 膜はヒータを 350°C に制御しトリメチルシラン（ $\text{SiH}(\text{CH}_3)_3$ ）、 NH_3 ガスを主原料として 80/160 sccm（standard-cc-per-minutes）の流量でチャンバ容器内へ導入、圧力を 3 torr、電極間距離を 8 mm に制御したのち RF 電力を 0.4 W/cm^2 、18 秒間印加して成膜する。SiOC 膜は上記と同様の構造の専用チャンバで成膜する。ヒータを 350°C に制御しトリメチルシラン（ $\text{SiH}(\text{CH}_3)_3$ ）、 O_2 ガスを主原料として 550 / 225 sccm の流量でチャンバ容器内へ導入後、圧力を 4.5 torr、電極間距離を 9 mm に制御したのち RF 電力を 0.9 W/cm^2 、32 秒間印加して成膜する。このようにして成膜される SiCN 膜および SiOC 膜の膜特性を表 3-1 に示す。

SiCN、SiOC の積層膜を形成するが、SiOC 成膜のチャンバでは、Al 等の金属汚染やパーティクル抑制のために、チャンバ内壁や電極表面には予め SiOC 膜を被覆しておく（以降、SiOC コーティング膜と記載する）。コーティング膜を形成する条件は、ヒータ温度 350°C、トリメチルシラン（ $\text{SiH}(\text{CH}_3)_3$ ）、 O_2 ガス流量 225 / 75 sccm、ガス圧力 4.0 torr、電極間距離 7.5 mm として RF 電力を 0.6 W/cm^2 印加し、10 秒間放電した。SiCN を形成したウエハをこのチャンバに導入し、SiOC 成膜の前に、前処理を行う。前処理プロセスは、ヒータを 350°C に制御し、ガスをチャンバ容器内へ 200 sccm 導入、圧力を 4.5 torr、電極間距離を 9 mm に制御したのち RF 電力を 0.25 W/cm^2 、

20 秒間印加した。ガス種の影響を評価するため、ここでは O₂、He、Ar を用いて実験した。

表 3-1. SiCN および SiOC の膜特性.

	SiCN	SiOC
Dielectric constant	5.02	3.03
Refractive index	1.94	1.42
Film density (g/cm ³)	2.0	1.4
Stoichiometry (at%)	Si/C/N/H = 27.6/21.7/14.2/36.5	Si/O/C/H = 19.7/30.0/12.3/38.1

次に図 3-1 に示す Cu デュアルダマシン構造を形成するフローの一部を用いて本実験で使用する評価サンプルの作製方法について説明する。SiCN/SiOC 界面密着強度評価は、Si 基板上に成膜した SiCN 膜（厚さ 50nm）上に上記 SiOC 成膜装置を用いてプラズマ照射を種々のガスを用いて実施した後に SiOC 膜を 400 nm 程度成膜した。密着強度の解析は、FSM 社製 Laminar Series2 装置を用いて modified Edge Lift off (m-ELT) 法[31]により行った。

レジストポイズニングの評価は図 3-1(b) の Trench Litho.工程迄を行い、光学顕微鏡（オリンパス社製 MX50）による観察及び CD-SEM（日立ハイテック社製 S-9300）により Via パターンの寸法測定を行った。レジストポイズニング量 (Δ poisoning) は、図 3-2 に示すように、各 Via チェーンブロックのマスク寸法上は 150 nm 幅で作製したパターンの実際の寸法幅 W(nm)を CD-SEM により測長し、edge と center 間の差で定義し、ブロック毎に求めた。

ポイズニング抑制モデルの解明のために、SiCN 膜表面に SiOC 成膜チャンバでプラズマ前処理を施したのちに SiOC を成膜したサンプルを作製し、Via の開口、

Bottom Resist 塗布迄行ったサンプルの断面を NH_4F 薬液に 5 秒間浸漬させ、断面を SEM により観察した。また、プラズマ前処理で生じる SiCN 表面に形成された層の分析を SiCN 膜表面にプラズマ前処理を施したサンプルを作製し SiCN 表面の深さ方向の元素分析をオージェ電子分光 (AES: Auger electron spectroscopy) 法を用いて行った。測定装置はアルバックファイ社製 FE-SAM 680 装置であり、測定条件は 10 keV、10 nA で行い、深さ方向分析における Ar^+ によるスパッタドライエッチング条件は加速電圧 1kV、raster size 2 x 2mm、スパッタレート 1nm/min (SiO_2 換算) を用いた。更に成膜チャンバ壁や Si 基板対向天板に予め SiOC 膜コーティングをした状態で Bare-Si 基板上に同様に各種プラズマ照射処理を行ったサンプルを用いて X 線光電子分光 (XPS: X-ray Photoelectron Spectroscopy) 法で分析を行い各構成元素の結合状態を比較した。測定装置は PHI 社製 Quantera SXM 装置であり、光源は単色化した Al α 線源 (1,486.5 eV、50W) である。また、リスパッタ膜の脱ガス分析 (TDS: thermal desorption spectroscopy) に関しては、測定温度範囲 50 から 550°C、昇温速度 1°C/min にて行った。測定装置は ESCO 社製 EMD-WA100 を用いた。.

3.4 実験結果

3.4.1. SiOC/SiCN 密着強度改善

はじめに、界面密着強度を高めるための対策として SiCN 膜にプラズマ照射による改質処理を施して評価した。評価構造は、Si 基板上に SiCN 成膜チャンバ内にて SiCN 膜 50 nm を堆積したサンプルを準備し、更に SiCO 成膜チャンバにて SiCN 膜上に SiOC 膜を成膜する際に、前処理としてプラズマ処理を行った。サンプルはプラズマ処理無し、O₂、He、Ar 単ガスの各種プラズマ処理を施したサンプルを準備し、さらに同一チャンバ内で SiOC 膜を 400 nm 程度成膜した。密着強度の解析は m-ELT 法を用いた。界面密着強度改善効果について表 3-2 に示す。ガス種に依らずプラズマ処理を施すことでプラズマ処理を施さない場合に比較し密着強度が向上している。このことから、プラズマ処理は今回使用した O₂、He、Ar などのガス種にはよらず SiCN 表面が改質を改質し、SiCN/SiOC 界面強度を上げる効果があることを示している。

表 3-2. 界面密着強度およびレジストポイズニングのプラズマ前処理効果.



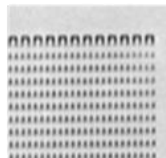

	No treatment	Pre-plasma treatment		
Plasma chemistry	no	O ₂	He	Ar
Adhesion K _{IC} (MPa·m ^{1/2})	0.27	0.3	0.3	0.3
Optical Microscope image				
Δ poisoning (nm)	-150	-147	-21	-9

表 3-2 にポイズニング対しての結果を示すが、プラズマ前処理無し、O₂ プラズマ前処理では密パターンプロブロックの Center-Edge 寸法差で表される Δ Poisoning 値（未解像によるパターン細り）の著しい劣化がみられた。一方、He、Ar の希ガスを用いたプラズマ前処理ではポイズニング寸法差は大幅に改善された。特に Ar ガスを用いた場合に Δ poisoning 値を最小化することが出来た。そこで SiCN 膜適用時におけるアミン生成抑制の必要性を定量評価するため、プラズマ前処理条件（ガス種）依存性を 411k 規模の Via チェーン Test Element Group (TEG) を用いて歩留りを比較した（図 3-3）。

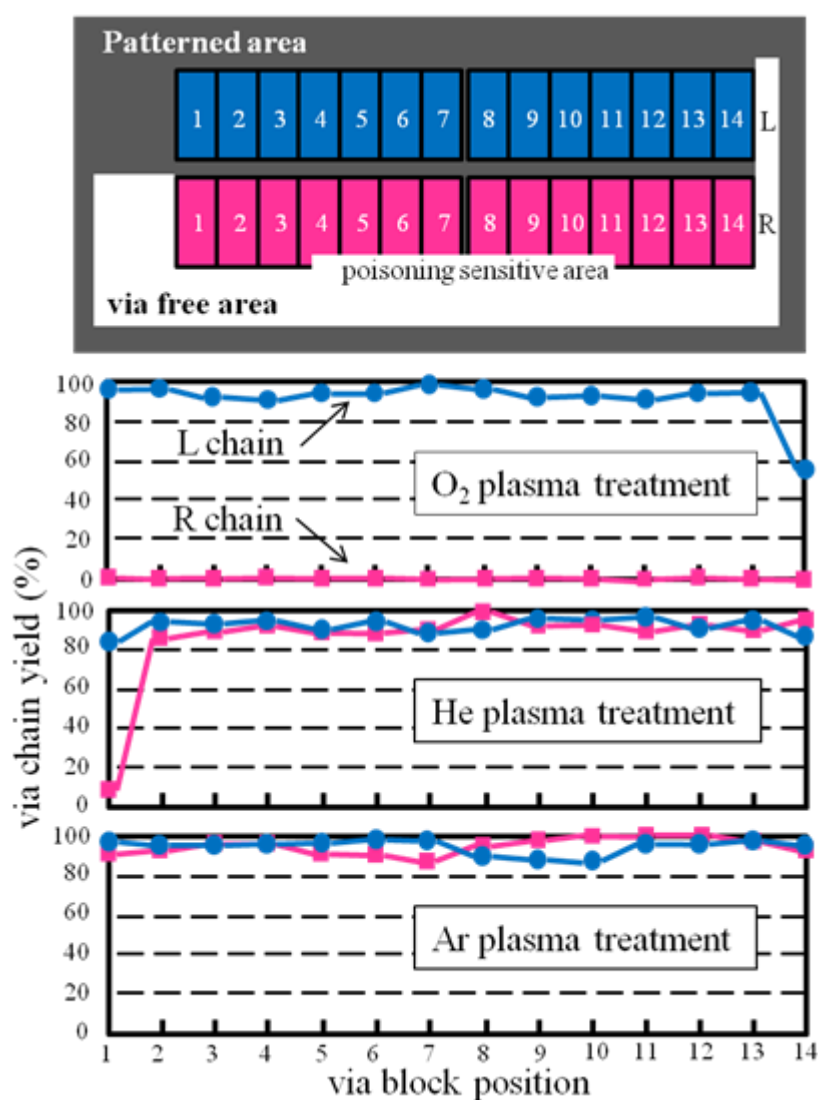


図 3-3 プラズマ前処理による Via チェーン歩留比較.

その結果、SiOC 成膜前のプラズマ処理条件依存性は

O₂ プラズマ・・・パターン Edge 全領域で発生

He プラズマ・・・フィールド領域に面したパターン Edge 領域でのみで発生

Ar プラズマ・・・全領域で発生抑制

となり、SiCN 膜表面の O₂ プラズマ処理による酸化反応がアミン発生を促進していることが分かる。一方、希ガスプラズマ処理を行うことでレジストポイズニング現象が大幅に改善し、特に Ar プラズマを行うことで、全領域で歩留りを確保できることが確認された。

3.4.2 レジストポイズニングと Cu 拡散防止膜との関係

まず、図 3-4 に Cu 拡散防止膜として用いられる SiCN 膜の FT-IR スペクトルを示す。膜中にはアミン源として Si-N 結合の他、N-H 基を含むことが判る。

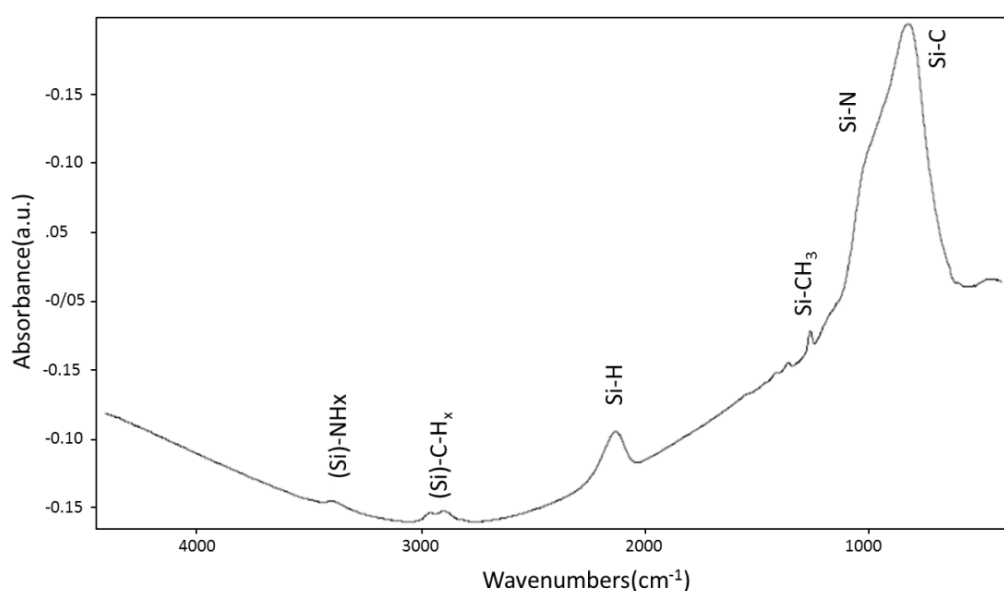

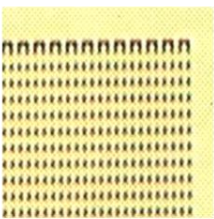
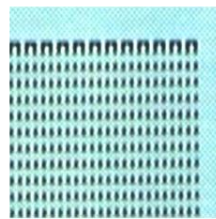



図 3-4. PE-CVD SiCN 膜の FT-IR スペクトル.

図 3-1 に示す Cu 配線構造におけるアミン源は Cu 拡散防止膜である SiCN 膜にしか存在しないため、Cu 拡散防止膜の膜組成を変えた場合のポイズニング現象への影響を、O₂ プラズマ前処理を用いた場合について調べた。表 3-3 に結果を示す。

表 3-3. レジストポイズニングの Cu 拡散防止膜組成影響

Cu diffusion barrier	SiCN	Si	SiN	SiC
amine source	with	with out	with	with out
Resist Poisoning OM image				
film density (g/cm3)	2.0	2.3	2.6	2.4 ³¹

結果、Cu 拡散防止膜に SiCN 膜を用いた構造のみでポイズニング現象が発生し、この現象が SiCN 膜固有の問題であることが確認された。

3.4.3 レジストポイズニングと SiOC 成膜後の大気放置との関係

SiOC 膜は SiO₂ ネットワークの Si-O 結合を分断した Si-にメチル基を結合させた構造を有し、SiO₂ 膜に比較して低密度化しているため透ガス性、透水性が高い。そこで、SiOC 膜を通した加水分解反応の影響を調べるために SiCN 膜表面に O₂ プラズマ前処理を施した SiOC 成膜後に続く Capping SiO₂ 成膜工程までの 1 週間の大気放置有りと大気放置無し（1 時間以内に次工程を成膜処理）のサンプルを作製して比較した。

表 3-4. レジストポイズニングの SiOC 吸湿性影響.




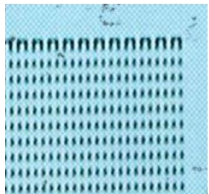
	一週間大気放置	大気放置無し
Resist Poisoning OM image		

表 3-4 に示す結果から、SiOC 成膜後に大気放置をさせたサンプルでレジストポイズニングが生じることが判った。このことはアミンの発生が SiOC 膜を通して生じる SiCN 膜表面に形成された酸化ダメージ層の吸湿特性が関与していることを示唆している。

3.4.4 レジストポイズニングと SiOC 成膜時の Chamber coating 膜との関係

一般的に、PE-CVD プロセスではチャンバ内壁や電極表面には Al 等の金属汚染やパーティクル抑制のために、予め絶縁膜によって被覆（コーティング膜を形成）する。プラズマ前処理はその後の工程として実施されるため、プラズマ前処理で生じるイオンやラジカルとの反応により Si 基板の堆積膜への影響が考えられる。そこで、SiOC 成膜前のチャンバ壁の膜組成がレジストポイズニングにどのように影響するかを評価した。前処理には He プラズマを使用した。結果を表 3-5 に示す。

表 3-5. レジストポイズニングのコーティング膜組成影響.

Pre-coat film	SiOC	SiCN	SiON	SiC
precursor	3MS/O ₂	3MS/NH ₃	SiH ₄ /N ₂ O	3MS
amine source	without	with	with	without
Resist Poisoning OM image				

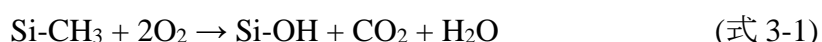
その結果、アミンの発生は、プラズマ前処理時にチャンバ壁に堆積している膜（コーティング膜）の組成に強く依存していることが判った。このことはチャンバ壁に堆積しているコーティング膜が前処理プラズマ中に分解やなんらかの反応を経て、SiCN 膜表面状態に影響を及ぼしていることに他ならない。特にコーティング膜にアミン源となる N を含む膜を使用すると、著しいレジストポイズニング現象が見られた。

3.4.5 レジストポイズニング発生モデル

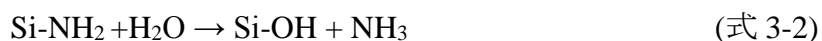
前節までの検討から、

- (1) 希ガスプラズマ処理、特に Ar プラズマ処理によりポイズニングが改善される。
一方で、O₂ プラズマ処理ではポイズニングは改善されない、
- (2) ポイズニングは SiCN を Cu 拡散防止膜として使用した場合の固有の現象である、
- (3) SiOC 成膜後の大気放置により、ポイズニングは悪化する、
- (4) プラズマ処理の際のチャンバコーティング膜の種類にポイズニングは影響する、

ことが分かった。以上の結果から、Cu 拡散防止膜 SiCN の膜中 Si-N 基、(Si-)N-H_x 基成分がアミン源となっていること、SiOC 膜の透水性を有することから、SiOC 成膜後の大気放置により SiCN 膜表面において O₂ プラズマ処理による形成されたダメージ層における吸湿がアミン発生を促進している可能性を示していると考えられる。図 3-5 は本検討で明らかにしたレジストポイズニングに影響を及ぼす事象を視覚化した説明図である。O₂ プラズマ前処理および SiOC 成膜時の O₂ プラズマの影響を受け、SiCN 膜表面では



で示される反応で表層部が酸化され、Si-OH 基を含むダメージ層が形成される。SiOC 膜はメチル基を多く含み疎水性を有し、膜自体は吸湿しないが低密度であるため透水性が高く、図 3-5(a) に示すように Capping SiO₂ が成膜されるまでに SiOC 膜を透過した H₂O がダメージ層の Si-OH 基に水素結合により吸湿する。更に、図 3-5(b) に示すように Via 開口後の SiOC 側面からも同様に、透過した H₂O がダメージ層の Si-OH 基に吸湿する。この水分がレジスト塗布後の熱処理工程において、SiCN 膜中の Si-NH₂ 基と反応し、



加水分解反応に NH₃ を生成し、再度透ガス性の高い SiOC 膜中へ拡散し Via を介して放出されることにより、この NH₃ が化学増幅型レジスト中の酸を失活させて解像不良を起こすと考えられる（図 3-5(c)）。

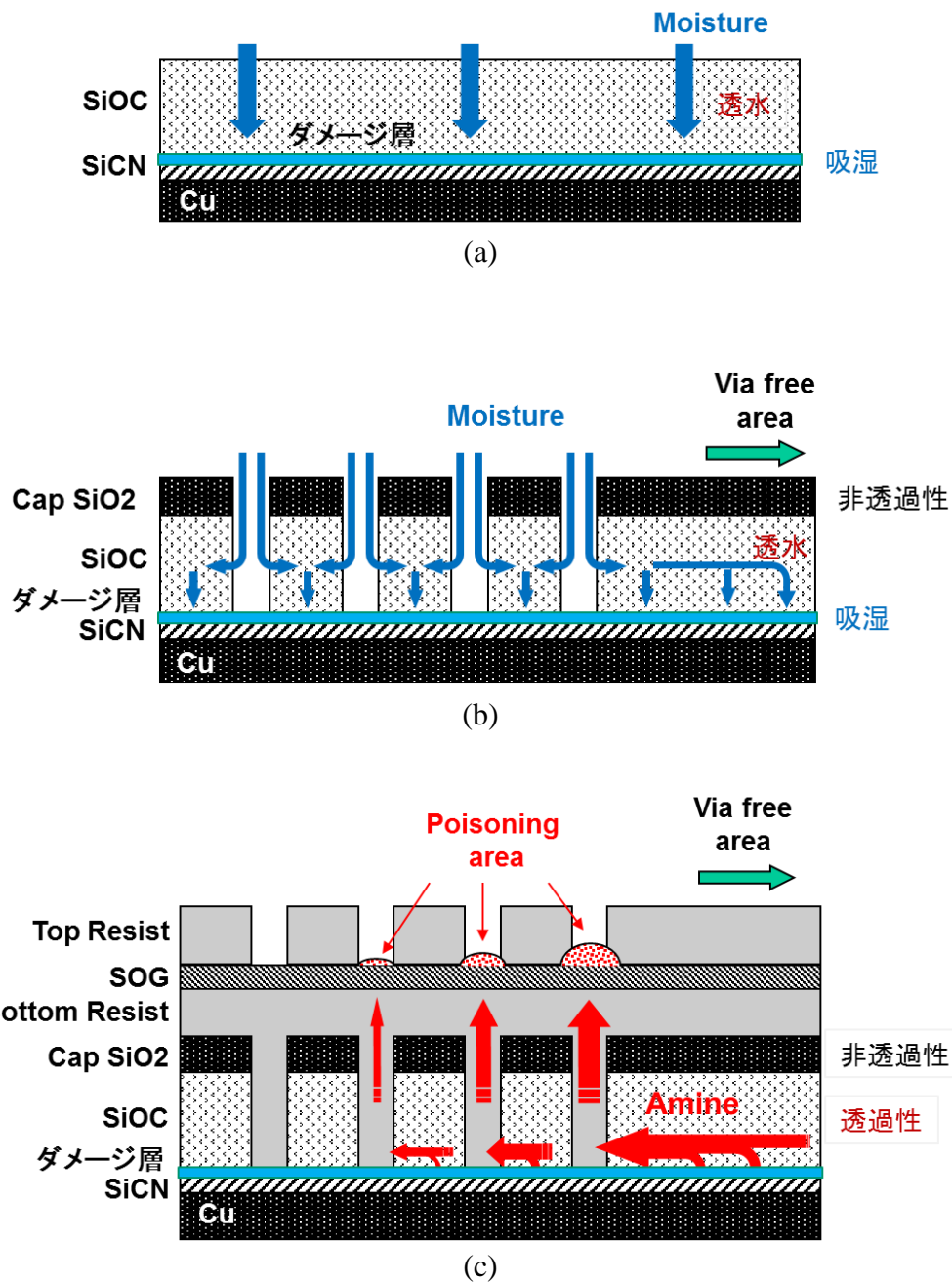


図 3-5. レジストポイズニングのモデル(a) 水分が SiOC 膜を透水し SiCN ダメージ層が吸湿、(b) 水分が via ホールから侵入し SiCN ダメージ層が吸湿、(c) 熱処理により SiCN ダメージ層の水分と膜中アミノ基が反応しアミンを形成。

SiN 膜でも SiCN 膜同様にアミン源を含むが、SiCN 膜の様に Si-CH₃ 基を含まないため O₂ プラズマにより Si-OH 基を含むダメージ層が形成されず、NH₃ 生成も生じることはないと考えられる。

3.4.6 Ar プラズマ処理によるレジストポイズニング抑制メカニズム

前節で議論したポイズニングメカニズムによれば、ポイズニング現象は Ar プラズマ前処理により大幅に改善していることを考えれば、Ar プラズマ前処理が SiCN 膜表面の酸化ダメージ層形成を抑制している可能性があることを示している。そこで、O₂ プラズマ前処理と希ガスプラズマ前処理による SiCN 膜の表面状態の差異を確認するために、SiCN 膜表面に O₂、He、Ar プラズマ前処理を施したサンプルをそれぞれ作製し、図 3-1(b) にて示した Via の開口、Bottom Resist 塗布までを行ったサンプルの断面を NH₄F 薬液に 5 秒間浸漬させ、断面を SEM により観察した。結果を表 3-6 に示す。O₂ プラズマ前処理の場合には SiCN 膜上に暗部のコントラストが観察される。これは NH₄F 薬液により界面層がドライエッチングされたためであり、SiO₂ 層が界面に形成されたことを示唆している。一方で He、Ar プラズマ前処理の場合は界面に明瞭な層は見られなかった。

次に、より詳細な評価とメカニズム解明を行うことを目的に、フィールド領域に面したパターン Edge 領域でのポイズニング発生の有無に着目し、SiOC 組成のコーティング膜を用いて He プラズマ前処理条件（基本条件 4.5 torr、20 sec）による SiCN 膜表面改質状態とレジストポイズニング現象を調べた。

表 3-6. SiCN/SiOC 断面 NH₄F 浸漬試験のプラズマ前処理依存.

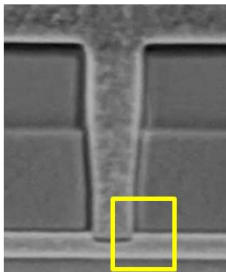
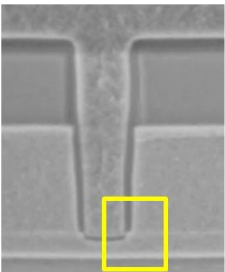
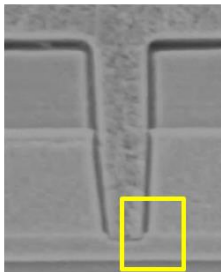
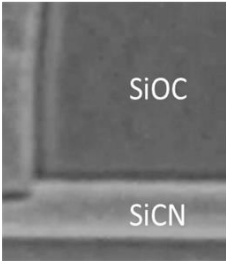
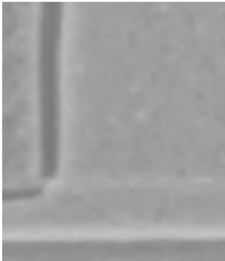
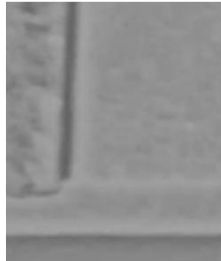
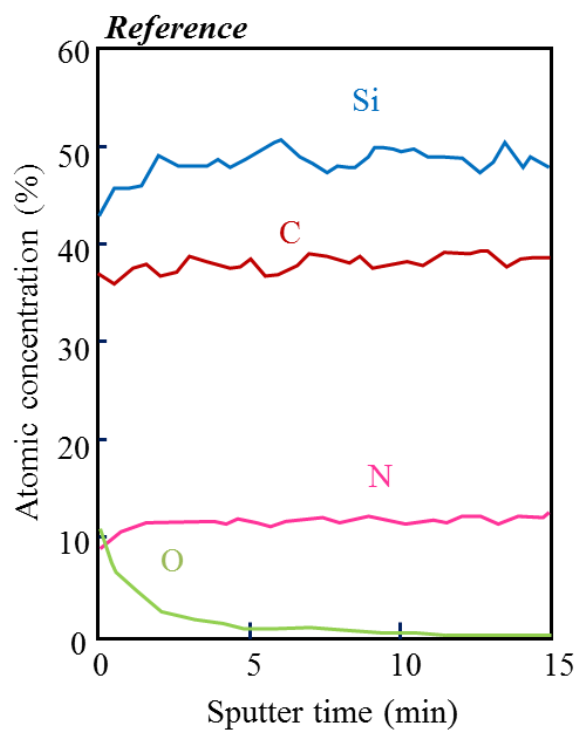
Treatment chemistry	O ₂	He	Ar
Cross-sectional SEM image			
Zooming			

表 3-7. He プラズマ処理条件によるレジストポイズニングへの影響

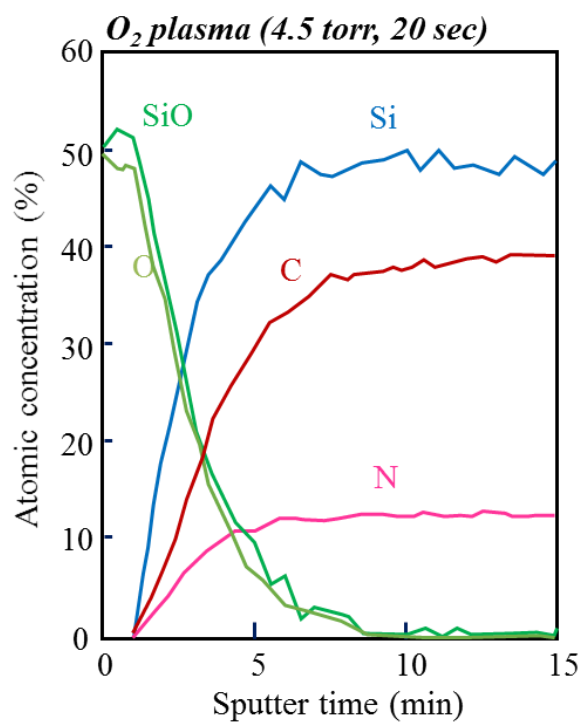
	ガス	圧力	処理時間	Δ poisoning
標準条件	He	4.5 torr	20 sec	-45 nm
時長条件	He	4.5 torr	60 sec	-88 nm
高圧条件	He	10 torr	20 sec	-10 nm

表 3-7 に示す通り、He プラズマ前処理の条件によりポイズニングの発生指標の数値 Δ poisoning には明確な差が見られ、高圧下で短時間のプラズマ処理が有効であった。また、長時間の処理は逆にポイズニング不良を悪化させることが分かった。

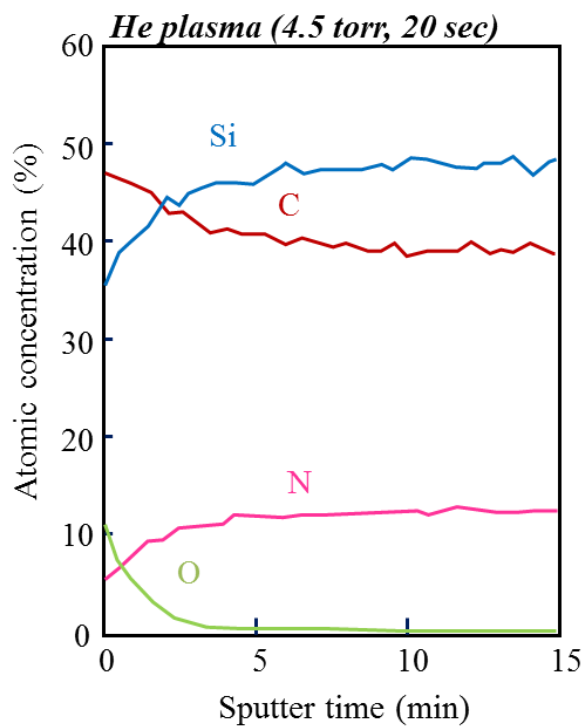
そこで成膜チャンバ壁に SiOC 膜コーティングをした状態で SiCN 膜上に各種プラズマ前処理を行ったサンプルを用いて SiCN 膜表面改質層の AES 分析を行い各構成元素の深さ方向プロファイルと比較した。



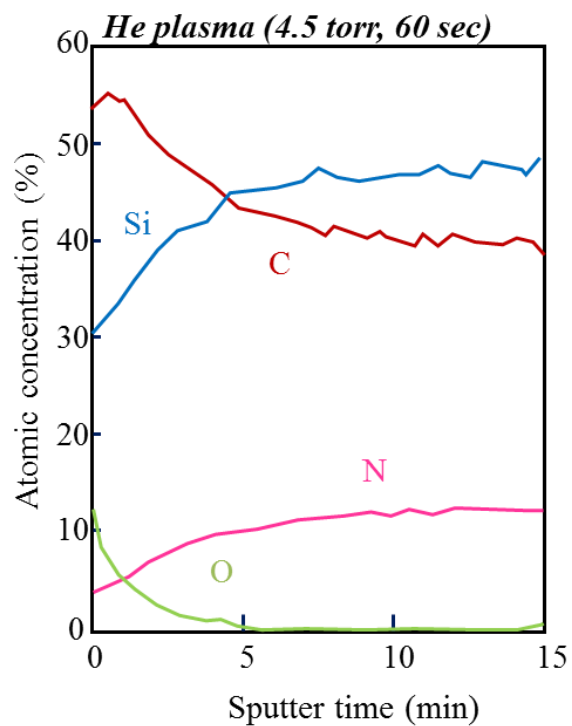
(a)



(b)



(c)



(d)

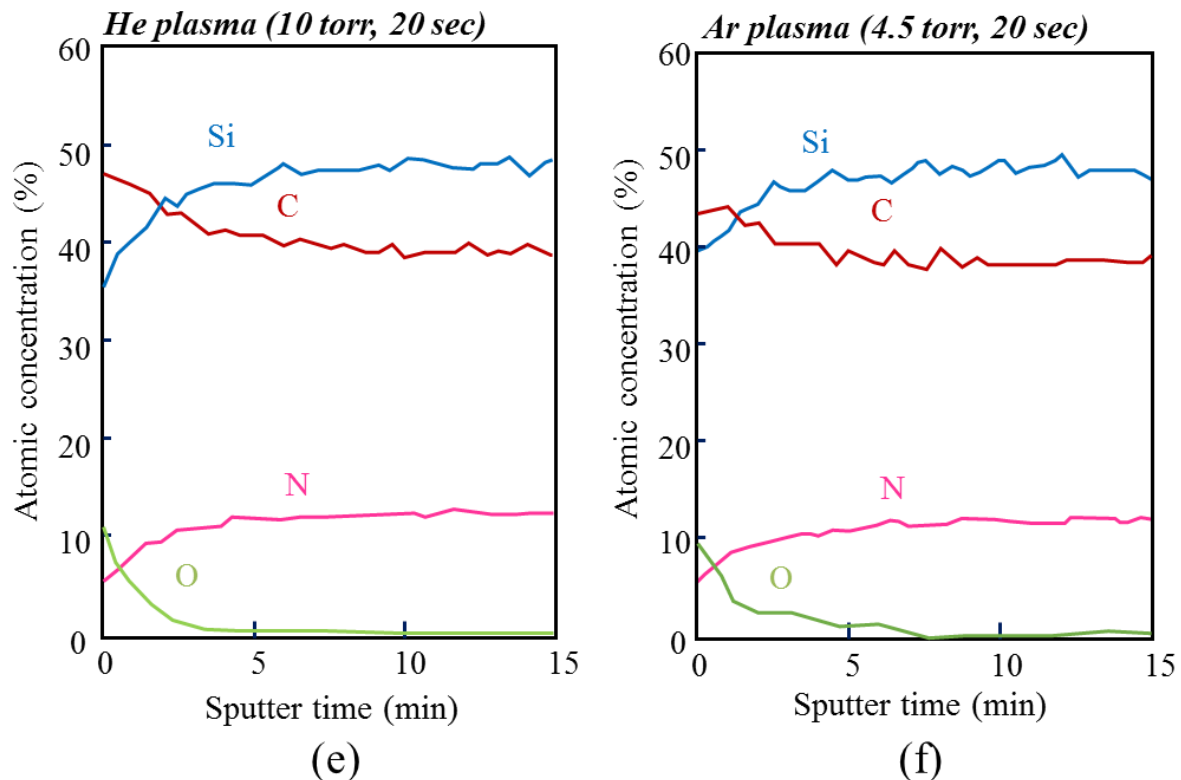


図 3-6. SiCN 表面の AES 分析結果、(a) プラズマ照射前(Reference)、(b) O₂ プラズマ照射後(4.5 torr、20 sec)、(c) He プラズマ照射後(4.5 torr、20 sec)、(d) He プラズマ照射後(4.5 torr、60 sec)、(e) He プラズマ照射後(10 torr、20 sec)、(f) Ar プラズマ照射後(4.5 torr、20 sec).

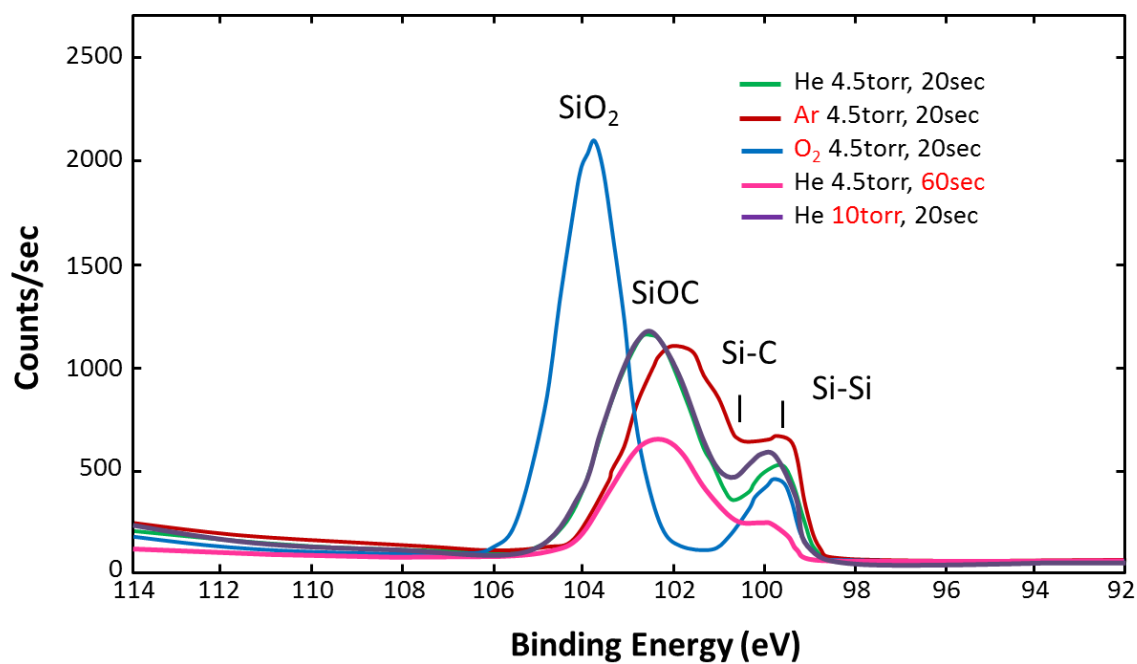
以上の結果から、O₂ プラズマ処理では SiCN 膜最表面に C 及び N が 10 nm の深さに渡って存在せず、SiO₂ が形成されていることが分かった。表 3-6 の結果および 3.4.5 で述べたレジストポイズニングモデルと一致した。また、He プラズマ前処理の場合、条件間で比較すると、SiCN 膜表面の Si、N 組成比が低下、C 組成比が上昇する傾向は一致しているが、それぞれの変化量には違いが見られた。時長条件>標準条件>高圧条件の順にその変化量が鈍化しており、これは Δ poisoning（寸法細り）への各条件の影響と同様の傾向を示した。さらに、Ar プラズマ前処理では He プラズマの高圧化条件と同等のプロファイルを示し Δ poisoning の結果と一致する。

これまでの結果から、Ar などの希ガスプラズマによる前処理は、プラズマが直接 SiCN 膜表面に作用することが主となる効果ではなく、

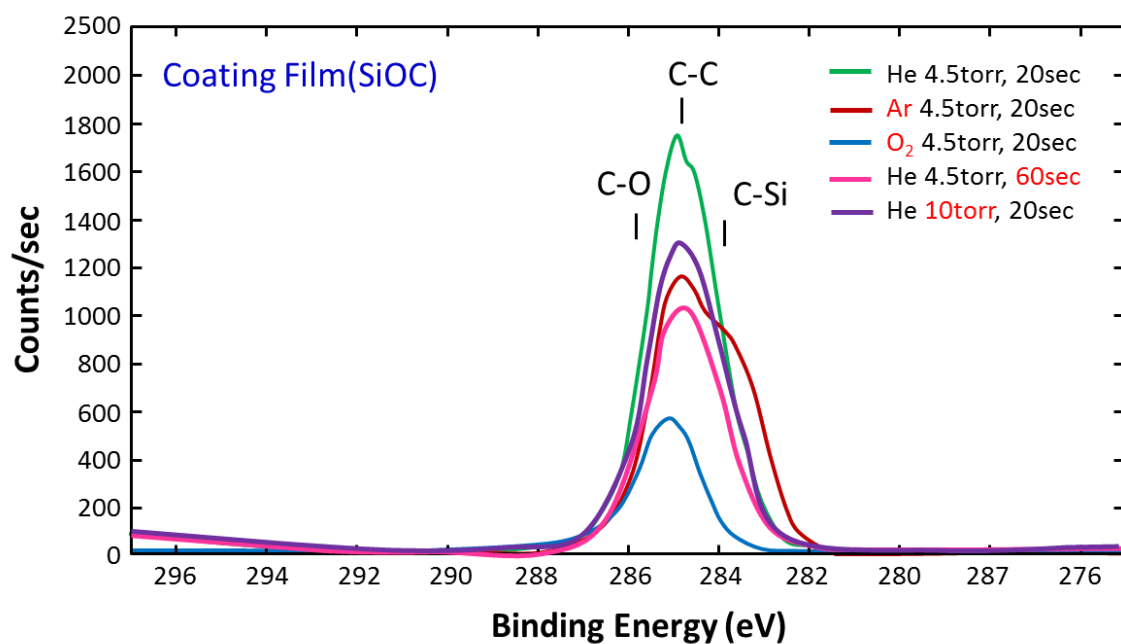
「レジストポイズニングは SiCN 表面が上層 SiOC 成膜時の O₂ プラズマにより酸化され Si-OH 基を含むダメージ層が形成され、吸湿する。吸湿した水分がレジスト塗布後の熱工程時に SiCN 膜中のアミノ基と反応しアミンを形成し、レジストを失活させる。CVD 装置では、Si 基板は接地された陽極(anode)上に置かれ、高周波電源は対向電極である陰極(cathode)に接続される。そのため、高周波の印加により cathode 電極はマイナス電位を有し、希ガスイオンは対応電極である陰極側に引き込まれる。対向電極には SiOC 膜があらかじめコーティングされているため、そのコーティング膜が希ガスイオンによりスパッタされ、Si 基板の SiCN 膜上に膜となって堆積する。この堆積膜が、薄膜のバッファ層を形成し O₂ プラズマによる SiCN 膜表面の酸化を抑制し、犠牲膜として作用している。」

と考えられる。

前述の希ガスプラズマ前処理によるポイズニング抑制モデルを確認するため、プラズマ前処理により堆積する成分のみを比較評価することを目的に、Si 基板上に同様に各種プラズマ照射処理を行ったサンプルを作製した。評価は XPS 分析により各構成元素の結合状態を比較した。



(a)



(b)

図 3-7. プラズマ照射後の Si 基板上膜表面 XPS 分析、(a) Si_{2p}、(b) C_{1s}。

図 3-7 に示す通り、Si 基板上に堆積された成分はプラズマ前処理により組成が大きく異なることが明らかとなった。図 3-7(a) Si_{2p} プロファイルより、O₂ プラズマ前処理

では Si 基板表面に SiO_2 を主成分とする堆積物が形成されていることが判った。また、希ガスによるプラズマ前処理ではいずれも SiOC を主成分とする堆積物が形成されており、Ar プラズマ前処理では更に透ガス性の低い Si-C、Si-Si 結合量が多いことが判った。また、He プラズマ前処理の条件依存性については高圧化により Si-C、Si-Si 結合が増加し $\Delta\text{poisoning}$ の改善に寄与しているものと考えられる。一方、時長条件では SiOC 、Si-C、Si-Si 各成分の減少が見られ、コーティング膜が不足だった可能性を示唆している。

図 3-7(b) C_{1s} プロファイルより、 O_2 プラズマ前処理では Si 基板表面の堆積物中の C 成分は大部分が C-O、C-C 結合であり、Si-C 結合を殆ど含まないことが判った。一方でポイズニングを抑制可能な Ar プラズマでは透ガス性の低い Si-C 結合の比率が高いことが判った。また、He プラズマ前処理では基本条件で C-C 結合が多いが、高圧条件では C-C 結合量が減少し、Si-C 結合比率が高くなったことがポイズニング抑制に改善の見られた要因として考えられる。

以上より、ポイズニング現象のプラズマ前処理による抑制モデルを図 3-8 のプラズマ前処理時の成膜チャンバ概略図を用いて示す。Ar ガスを成膜チャンバに導入し、上部電極 (Si 基板対向天板) に設置した RF 電源に電力を印加し容量結合モードにてプラズマを発生させると、生成した Ar^+ は Cathode、Anode 電極双方に聞き込まれるが、Cathode 側にはマイナス電位をもつため、高エネルギーイオンが衝突する。

- (1) Si 基板上に到達した Ar^+ 、 Ar^* は、SiCN 膜表面を活性化及び activate 化して密着強度の向上に寄与する。 Ar^+ は V_{dc} により Cathode 側への高エネルギーで衝突し、予め Si 基板対向天板上に堆積させているコーティング SiOC 膜をスパッタし、 SiOC 成分がプラズマ空間中へ供給され、
- (2) Anode 側に配置している Si 基板上にリスパッタされて堆積する。
- (3) 同時に、スパッタされた粒子の一部はプラズマ中で更に分解しイオン及びラジカルとなり、特に O 原子は SiCN 表面の酸化に寄与する。

長時間の He 放電がレジストポイズニングを悪化させる理由は、この酸化効果であると考えられる。つまり、希ガスイオンである Ar^+/He^+ の挙動が大きく影響する(2)、

(3)のバランスで Si 基板上に堆積する Si-C、Si-Si を含有する極薄膜 SiOC バッファ膜の組成比が変化して、アミン発生反応抑制の特性が決定すると考えられる。特に Ar プラズマ前処理では Ar^+ が重いためイオン衝撃による高エネルギー特性のリスパッタ成分の比が高くバッファ膜の堆積には有効であると考えられる。一方で、He プラズマ前処理の基本条件では He^+ はその質量が軽いため、イオン衝撃による高エネルギー特性のリスパッタ成分の比が低く、リスパッタによる堆積に対して、スパッタされた成分がプラズマ中でイオン化して酸化剤として作用する成分が比較的大きいために、Ar プラズマ前処理に比較しバッファ膜の酸化が進んでいると考えられる。また、He プラズマ前処理の高圧条件でポイズニング現象が抑制されるのは、平均自由工程が短くなることでイオンエネルギーの低下によりコーティング膜のリスパッタレートが減少したために、酸化と堆積のバランスが変化した結果と考えられる。

[32-33]

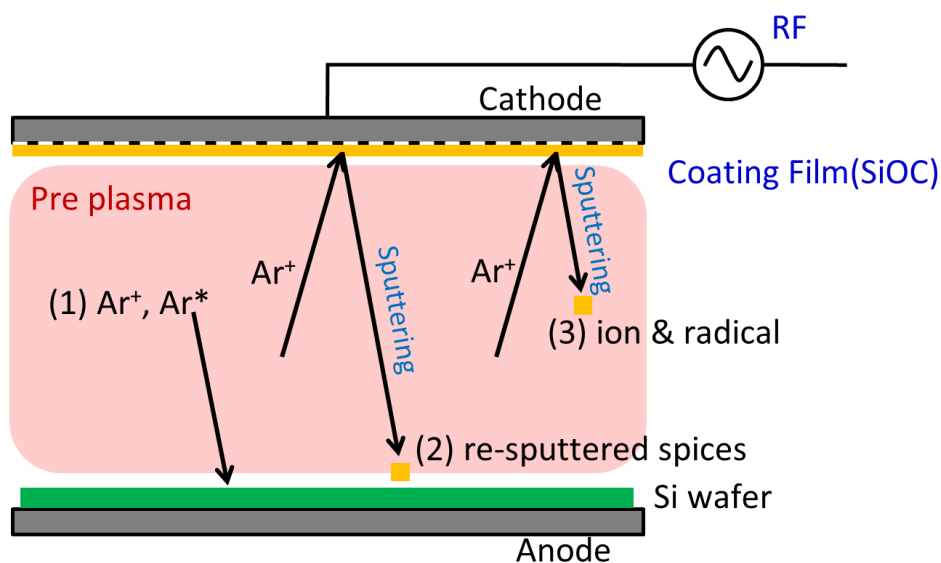


図 3-8. SiOC 成膜チャンバにおける Ar プラズマの影響をモデリング.

リスパッタ膜がアミン生成を抑制し、レジストポイズニングを減らす理由を示すために、 O_2 及び Ar プラズマ前処理によって SiCN 膜上に形成された SiOC 膜に対し

て脱ガス分析（TDS 測定）を行った。図 3-9 に示すように、 O_2 および Ar プラズマ前処理を用いた SiCN 膜に対して NH_2 ($m/e = 16$)、 NH_3 ($m/e = 17$) 及び H_2O ($m/e = 18$) に対しての脱ガス量を比較したが、 O_2 プラズマ前処理では、 H_2O と同様に NH_2 と NH_3 のシグナルは 250 から 300°C 近傍で明らかに増加した。一方、Ar プラズマ前処理では、 H_2O 、 NH_2 、 NH_3 の生成が抑制されている。これらの結果は、Ar プラズマ前処理を行わない場合、SiCN 上への O_2 プラズマ前処理もしくは上層の SiOC 堆積において SiCN 表面が酸化され、Si-OH 基を含むプラズマダメージ層を形成する。Si-OH 基は、水素結合によって大気から水蒸気を容易に捕獲する。この H_2O は、フォトレジストの 350°C のレジスト焼成工程時に SiCN 膜中の Si- NH_2 基と反応して NH_3 を生成することを示している。

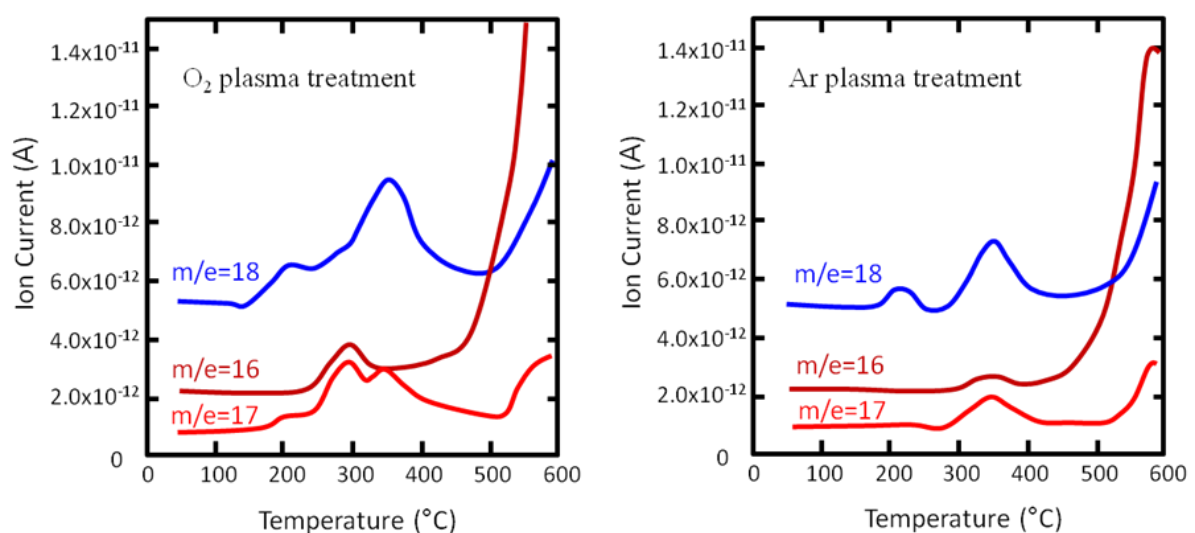


図 3-9 O_2 および Ar プラズマ前処理を用いた SiCN 膜に対する NH_2 ($m/e = 16$)、 NH_3 ($m/e = 17$) および H_2O ($m/e = 18$) の TDS スペクトル。

一方で、詳細に評価した He プラズマ処理では、既に述べたように 10 torr 程度に圧力を上げることで、パターン密度が低いフィールド領域に面した Edge 領域で発生していた解像不良も対策可能であることがわかった。しかしながら、10 torr 程度の領域を用いるプラズマプロセスでは、実際にはプラズマ自体が安定に放電を維持する

ことが困難であったため、実際の量産においては長期間の使用に懸念が有ることが判明した。一方、Ar プラズマ照射条件として 4.5 torr、20 sec を選択することでバッファ膜の特性として He プラズマ照射の高圧条件以上の Si-C、Si-Si 結合量および C-C 結合量の抑制が可能であり、量産適用に問題ないことが検証されたため、量産においては Ar プラズマ処理を採用した。

3.5 まとめ

本研究では、SiCN/SiOC 界面密着強度とレジストポイズニングの課題に対して各種実験を通して現象の理解とモデル化を行い、デバイス性能に求められる誘電率や耐圧特性を維持しつつ解像不良を抑制出来ることを確認した。具体的には、PE-CVD 装置を用いた成膜プロセスにおけるコーティング膜の選定と SiCN 表面のプラズマ照射による界面制御が重要であることを述べた。SiOC 成膜チャンバに予め SiOC 組成からなるコーティング膜でウエハの対向電極表面を被覆したのち、希ガス、特に Ar プラズマ照射を行い、Si-C や Si-Si 結合を多く含む SiOC バッファ膜を堆積させることにより、SiCN/SiOC 膜界面密着強度の確保とレジストポイズニング抑制を両立できるプロセスを構築し、抑制メカニズムを示した。

以上のように、我々は PE-CVD 装置を使用して、コーティング膜のスputタリングを活用した極薄膜のバッファ膜を使うことで界面制御が可能となる興味深い現象を見出した。今後、PE-CVD プロセスを用いる様々な分野への応用が進むものと期待される。

参考文献

- [1] International Technology Roadmap for Semiconductors 2013 Edition.
- [2] J. Torres, "Cu dual damascene for advanced metallisation (0.18 μm and beyond)," Proc, IEEE Int. interconnect Techno. Conf., pp. 253-255 (1999).
- [3] M. Fayolle, J. Torres, G. Passemard, F. Fusalba, G. Fanget, D. Louis, L. Arnaud, V. Girault, J. Cluzel, H. Feldis, M. Rivoire, O. Louveau, T. Mourier, and L. Broussous, "Integration of Cu/SiOC in dual damascene interconnect for 0.1 μm technology using a new SiC material as dielectric barrier," in Proc. IEEE Int. Interconnect Technol. Conf., 2002, pp. 39-41 (2002).
- [4] Y. Hayashi, "Impacts of low-k film on sub-100 nm-node, ULSI devices," in Proc. IEEE Int. Interconnect Technol. Conf., 2002, pp. 312–314 (2002).
- [5] M. Tada, "Performance Modeling of Low-k/Cu Interconnects for 32-nm-Node and Beyond," IEEE Trans. Electron Devices, vol ED-56, no.9, pp.1852-1861, (2009).
- [6] M. R. Baklanov, J-F. de Marneffe, D. Shamiryan, A. M. Urbanowicz, H. Shi, T. V. Rakhimova, H. Huang, and P. S. Ho, "Plasma processing of low-k dielectrics," J. App. Phys. **113**, 041101 (2013).
- [7] A. Grill, S. M. Gates, T. E. Ryan, S. V. Nguyen, and D. Priyadarshini, "Progress in the development and understanding of advanced low k and ultralow k dielectrics for very large-scale integrated interconnects—State of the art," Appl. Phys. Rev. **1**, 011306 (2014).
- [8] J. Huang, T. Bo, W. Chang, Y. Chang, J. Leu, and Y. Cheng, "Effect of NH_3/N_2 ratio in plasma treatment on porous low dielectric constant SiCOH materials", J. Vac. Sci. Technol. A **32**, 031505 (2014).
- [9] Y. Cheng, C. Haung, W. Hung, C. Sun, W. Lee, "Effect of H_2/He plasma treatment on porous low dielectric constant materials", Surf. Coat. Technol. **308**, 182 (2016).
- [10] S. King, "Dielectric Barrier, Etch Stop, and Metal Capping Materials for State of the Art and beyond Metal Interconnects", ECS Solid State Sci. Technol. **4**, N3029 (2015).
- [11] X. Liu, S. Gill, F. Tang, S. King, and R. Nemanich, "Remote H_2/N_2 plasma processes for simultaneous preparation of low-k interlayer dielectric and interconnect copper surfaces", J. Vac. Sci. Technol. B **30**, 031212 (2012).
- [12] H. Shi, H. Huang, J. Bao, J. Liu, P. Ho, Y. Zhou, J. Pender, M. Armacost, and D. Kyser,

- "Role of ions, photons, and radicals in inducing plasma damage to ultra low-k dielectrics", J. Vac. Sci. Technol. B **30**, 011206 (2012).
- [13] E. Vinogradova, E. Osei-Yiadom, C. Smith, D. Mueller, R. Reidy, "Effects of plasmas on porous low dielectric constant CVD SiOCH films", Microelectro. Eng. **86**, 176 (2009).
- [14] M. Darnon, T. Chevolleau, T. David, N. Posseme, J. Ducote, C. Licitra, L. Vallier, O. Joubert, and J. Torres , "Modifications of dielectric films induced by plasma ashing processes: Hybrid versus porous SiOCH materials", J. Vac. Sci. Technol. B **26**, 1964 (2008).
- [15] J. Bao, H. Shi, J. Liu, H. Huang, P. Ho, M. Goodner, M. Moinpour, and G. Kloster, "Mechanistic study of plasma damage of low k dielectric surfaces", J. Vac. Sci. Technol. B **26**, 219 (2008).
- [16] B. Kong, T. Choi, S. Sirard, D. Kim, and N. Lee, "Etch induced sidewall damage evaluation in porous low-k methyl silsesquioxane films", J. Vac. Sci. Technol. A **25**, 986, (2007).
- [17] S. Takei, "Resist Poisoning Studies of Gap Fill Materials for Patterning Metal Trenches in Via-First Dual Damascene Process", Japan. J. Appl. Phys. **47**, 8766 (2008).
- [18] R. Kumar, N. Singh, C. K. Chang, L. Dong, and T. Wong, "Deep-ultraviolet resist contamination for copper/low-k dual-damascene patterning", J. Vac. Sci. Technol. **22**, 1052 (2004).
- [19] J. Simon, F. Weisbuch, Y. Quere, O. Louveau, C. Bourlot , "Monitoring of photo-resist poisoning", Proc. SPIE, 5039, pp. 303-309, (2003).
- [20] H. Ohtake, M. Tagami, K. Arita, Y. Hayashi, "Misalignment-tolerated, Cu dual damascene interconnects with low-k SiOCH film by a novel via-first, multi-hard-mask process for sub-100nm-node, ASICs", Tech. Dig. IEDM (Washington, USA, 2003).
- [21] S. Nagahara, M. Fujimoto, M. Yamana, S. Watanabe, K. Shiba, and M. Tominaga, "Elimination of resist poisoning in via-first dual damascene processes", J. Photopolym. Sci. Technol. **16**, 351 (2003).
- [22] M Fayolle, J Torres, G Passemard, F Fusalba, G Fanget, D Louis, M Assous, O Louveau, M Rivoire, K Haxaire, M Mourier, S Maitrejean, P Besson, L Broussous, L Arnaud, H Feldis, "Integration of Cu/SiOC in Cu dual damascene interconnect for 0.1- μ m technology", Microelectron. Eng. **64**, 35 (2002).

- [23] O. Louveau, D. Louis, M. Assous, R. Blanc, P. Brun, S. Lamy, E. Lajoinie, "Challenge of ashing and cleaning on SiOC-H dielectric: characterization and main issues", *Microelectron. Eng.* **61/62**, 867 (2002).
- [24] S. Lamy, O. Louveau, G. Fanget, M. Fayolle, N. Rochat, D. Louis, and L. Broussous , "Characterization of photoresist poisoning induced by a post etch stripping step", *Proc. IITC (Burlingame, USA, 2002)*, pp. 30-32 (2002).
- [25] G. M. Wallraff, R. D. Allen, W. D. Hinsberg, C. F. Larson, R. D. Johnson, R. DiPietro, G. Breyta, N. Hacker, and R. R. Kunz, "Single-layer chemically amplified photoresists for 193-nm lithography," *J. Vac. Sci. Tech. B***11**, 2783 (1993).
- [26] O. V. Braginsky, A. S. Kovalev, D. V. Lopaev, E. M. Malykhin, Yu. A. Mankelevich, O. V. Proshina, T. V. Rakhimova, A. T. Rakhimov, D. G. Voloshin, A. N. Vasilieva, S. M. Zyryanov, E. A. Smirnov, and M. R. Baklanov, "The effect of He plasma treatment on properties of organosilicate glass low-k films," *J. Appl. Phys.*, **109**, 043303 (2011).
- [27] H. Kazi and J. A. Kelber, "Plasma damage mechanisms in low k organosilicate glass and their inhibition by Ar ion bombardment," *J. Vac. Sci. Tech. A***32**, 021302 (2014).
- [28] K. Higashi, N. Nakamura, H. Miyajima, S. Satoh, A. Kojima, J. Abe, K. Nagahata, T. Tatsumi, K. Tabuchi, T. Hasegawa, H. Kawashima, S. Arakawa, N. Matsunaga, and H. Shibata, "A manufacturable copper/low-k SiOC/SiCN process technology for 90 nm-node high performance eDRAM," in *Proc. IEEE Int. Interconnect Technol. Conf.*, 2002, pp. 15-17 (2002).
- [29] H. Miyajima, K. Watanabe, K. Fujita, S. Ito, K. Tabuchi, T. Shimayama, K. Akiyama, T. Hachiya, K. Higashi, N. Nakamura, A. Kajita, N. Matsunaga, Y. Enomoto, R. Kanamura, M. Inohara, K. Honda, H. Kamijo, R. Nakata, H. Yano, N. Hayasaka, T. Hasegawa, S. Kadomura, H. Shibata, and T. Yoda, "Challenge of low-k materials for 130, 90, 65 nm node interconnect technology and beyond," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, 2004. PP. 329-332 (2004).
- [30] N. Matsunaga, "Robust 45nm porous low-k process integration with well-controlled plasma process damage and moisture uptake," *2006 IEEE International Conference on IC Design and Technology*, pp. 1-4 (2006).
- [31] M. Hasunuma, S. Ito, and H. Kittaka, "Interfacial Adhesion Study for Multi - Layer

Structures with m - ELT Method and FEM Simulation", AIP Conference Proceedings **741**, 45 (2004).

[32] S. Berg, and T. Nyberg, Thin Solid Film **476**, 215 (2005).

[33] J. Musil, Thin Solid Film **475**, 208 (2005).

第 4 章

電子線キュアおよび紫外線キュア技術の

Cu/Low-k 配線への適用

4.1 研究の背景

90 nm 世代の高性能ロジックデバイスにおいては、RC 遅延による信号伝達への影響を抑制するために Cu 配線ならびに Low-k 膜が多層配線に導入されている。90 nm 世代では Low-k 材料として当初多くの材料が検討されていたが、量産時における材料としてはその特性や従来材料との整合性からプラズマ CVD 法による SiOC 膜が主流となりつつあった。さらに、65 nm 世代以降においては、前世代と同様に Si-O 結合を主骨格とするポーラス材料をプラズマ CVD 法や塗布法により形成した Low-k 膜の導入が検討されていた。一方、図 4-1 に示す各種の Low-k 膜の比誘電率 (k 値) と機械的強度 (弾性率、Modulus) の相関図のとおり、SiOC 膜やポーラス Low-k 膜は k 値低減に伴い機械的強度が低下する課題がある。

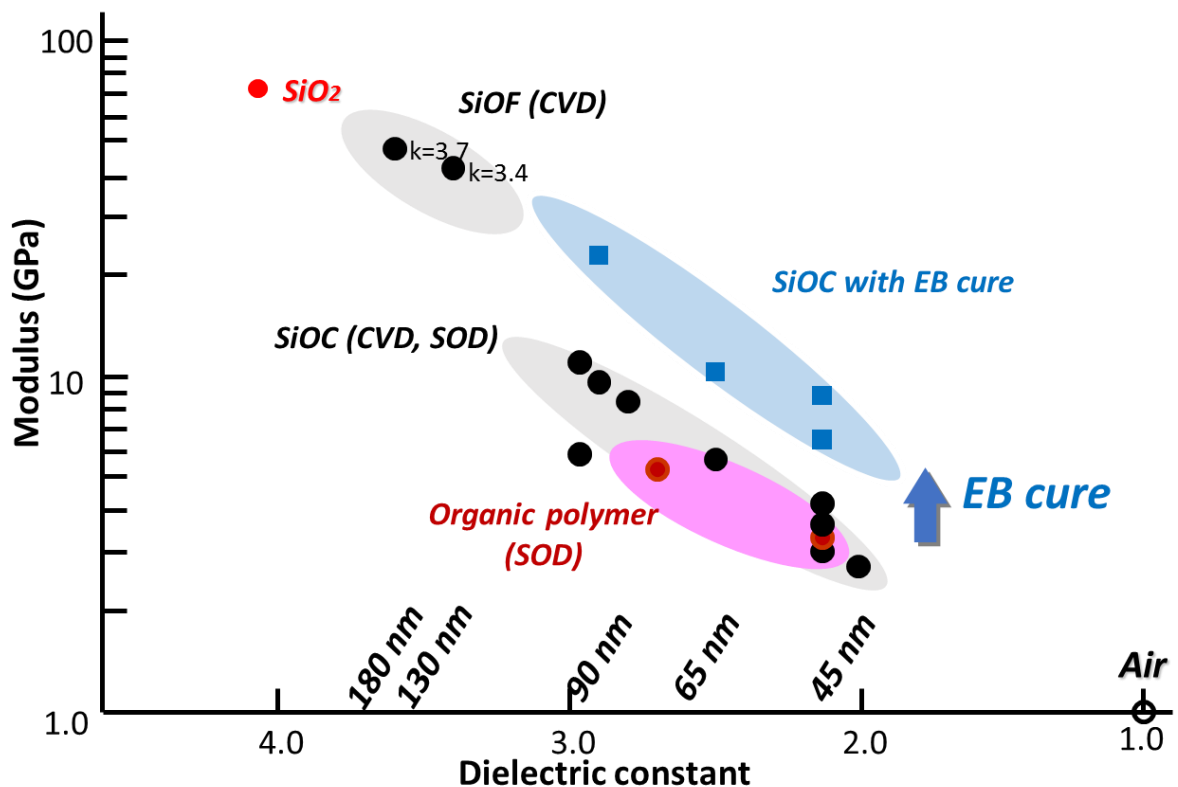


図 4-1. 各種 Low-k 膜の k 値と弾性率の相関.

特に、一般的に塗布法によるポーラス Low-k 材料は、

- 機械的強度が低い、
- 上層膜及び下層膜との密着強度が低い、
- 400°C 以上で 60 分程度の焼成を必要、

などの特性を有しており、CMP 工程での剥がれ、パッケージング工程での剥がれ不良、高い熱処理温度に起因する Cu 配線の信頼性低下、などの問題が懸念されている。

これらの問題を解決する方法として、Low-k 膜を成膜後に後処理として電子線[1-6]もしくは紫外光[6-14]を照射しつつ熱処理を行うことで、機械強度の改善と下地密着強度の改善及び短時間での焼成が同時になされることが分かっている。本章では電子線照射による low-k 膜の焼成メカニズムと、電子線キュアと紫外線キュアとの違いに関して特に、porous Low-k 塗布膜を用いた多層配線技術へ応用を念頭に置いて検討を行ったのでその結果に関して述べる。

4.2 電子線キュア装置及び評価方法

(1) 実験サンプル

今回の検討において、ポーラス材料としては、JSR Corporation のポーラス LKD (p-LKD、 $k=2.2$) を用いた。この p-LKD は Ladder 構造を有する Poly-methylsiloxane (MSX) である。図 4-2 に、p-LKD 膜の Ladder 構造の概念図を示す。電子線キュア後の p-LKD 膜の基本特性を表 4-1 に示す。サンプルはウエハに p-LKD を回転塗布後、80°C / 200°C で各々1 分ホットプレート上でベークし、さらに電子線キュア装置で焼成硬化した。一般的な加熱による焼成（熱キュア）と電子線キュアのプロセスシーケンスの比較を図 4-3 に示す。

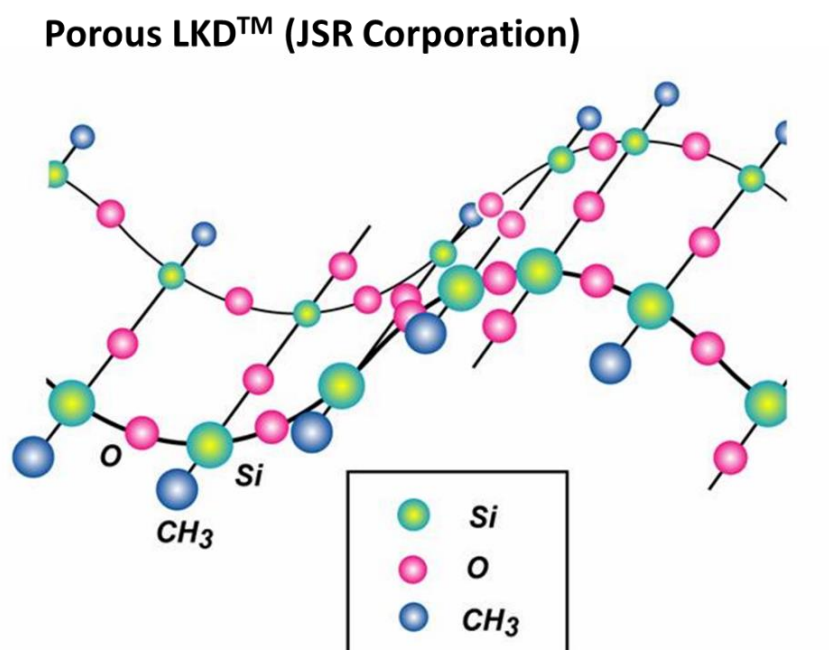


図 4-2. JSR p-LKD™ の Ladder 構造概念図.

表 4-1. 熱キュア後、電子線キュア後の p-LKD 膜の基礎特性比較.

	Thermal cure	EB cure
Cure temperature (°C)	420	350
Cure time (min)	60	3
Dielectric constant: k	2.25	2.26
Modulus (GPa)	6.0	9.1
Hardness (GPa)	0.69	1.15
Adhesion strength (J/m ²) by 4pts-bending	2.2	3.5
Pore size (nm, median)	3.3	3.3
H ₂ O outgas by TDS (a.u., RT-450°C)	0.40	0.51

Film thickness: 500 nm

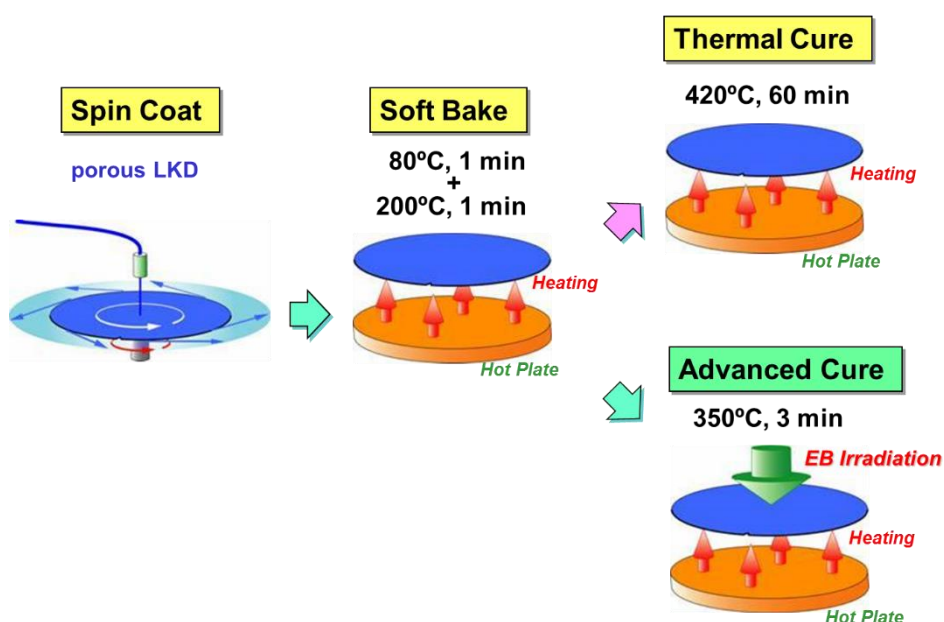


図 4-3. 熱キュアと電子線キュアの p-LKD 膜形成シーケンス.

(2) 電子線キュア装置

電子線キュア装置（東京エレクトロン製）の基本構成は、19本のEB管（ウシオ製）からなるEBユニットと、ホットプレートステージを含む真空チャンバとガス供給ユニットからなる。図4-4に電子線キュア装置の概念図とEB管の写真を示す。

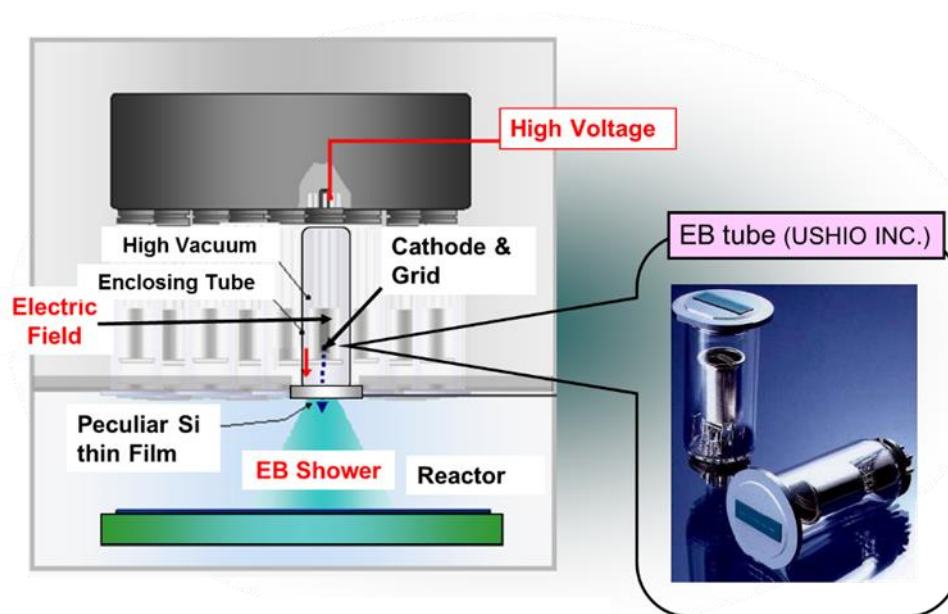


図 4-4. 電子線キュア装置（東京エレクトロン製）と EB 管（ウシオ製）。

電子線発生源であるフィラメント部は Si 薄膜によってチャンバから分離されており、照射中のウエハからの脱ガスに影響されることが無いため、高いプロセス安定性を有する。電子線は、Si 薄膜を介してホットプレート上の Si 基板に照射される。今回の検討において、基板温度は 350°C に固定した。被照射体である p-LKD の膜厚に対しては EB 管の加速電圧にて制御する。EB のドーズ量については、EB 管のフィラメント電流・チャンバ圧力・電子管と基板間距離により制御・最適化が可能である。本検討においては、膜厚 500 nm の p-LKD に対して、加速電圧: 13 keV、圧力: 10 torr (Ar 雰囲気) の条件にて電子線照射を行うことにより、膜厚方向に対して均一にキュアすることが可能であった。また、トータル Dose 量は照射時間にて制御した。

(3) 膜特性評価

膜厚・屈折率・機械強度測定に関しては Ellipsometer 及び Nanoindentor を用いた。比誘電率測定には Hg プローブ及び MIM キャパシタを利用した。密着強度測定に関しては 4-point Bending Tester を用いた。電子線キュアによる組成や構造変化の評価に対しては、Fourier Transform Infrared Spectroscopy (FT-IR)、Raman Spectroscopy、Solid State Nuclear Magnetic Resonance Spectroscopy (SS-NMR)、Ar BET Adsorption Isotherm (Ar 比表面積測定法) 及び Rutherford Backscattering Spectrometry (RBS) を用いた。

4.3 電子線キュアに関する実験結果と考察

4.3.1 プロセス最適化とキュアメカニズム

図 4-5 に、膜厚 500 nm の p-LKD に電子線キュアにて形成した場合の、電子 Dose 量と、比誘電率及び弾性率との関係を示す。ここで、基板温度は 350°C とし、その際の Dose rate は $42 \mu\text{C}/\text{cm}^2 \cdot \text{min}$ 、電子 Dose 量は照射時間により制御した。この結果から、弾性率は照射量に比例して単調に増加することが分かる。それに対して、比誘電率は、照射量の増加に伴い単調に増加し、照射量 $0.2 - 0.5 \mu\text{C}/\text{cm}^2$ の領域においてはほぼ一定値を示し、それ以上の領域においては単調に増加する傾向を示している。

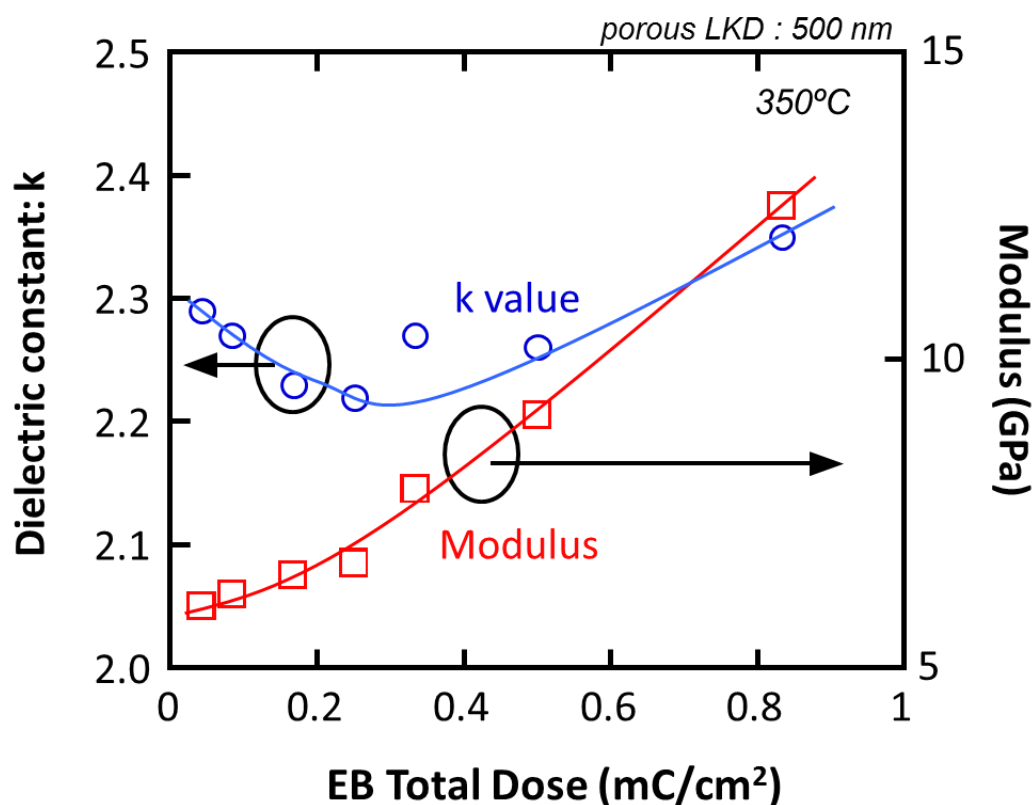


図 4-5. 電子 Dose 量に対する p-LKD 膜の k 値と弾性率.

よってこの図から、Dose 量 $0.5 \mu\text{C}/\text{cm}^2$ において、比誘電率 2.25、弾性率 9.1 GPa の p-LKD 膜が得られていることが分かる。この弾性率は熱キュアによるものに対して 1.5 倍の強度を有する。この際の、電子線照射による膜収縮率は 8.0% であった。さらに、図 4-6 に電子 Dose 量 $0.5 \mu\text{C}/\text{cm}^2$ と一定にした場合の照射時間と、比誘電率及び弾性率との関係を示す。比誘電率・弾性率ともに照射時間に対する依存性は低く、この結果は、照射時間 3 分で焼成が可能であることを示している。従来の熱による焼成時間 60 分に対して 1/20 倍に短縮が可能であった。その際の、膜厚分布ならびに屈折率分布については図 4-7 に示すように、良好な面内均一性が得られている。

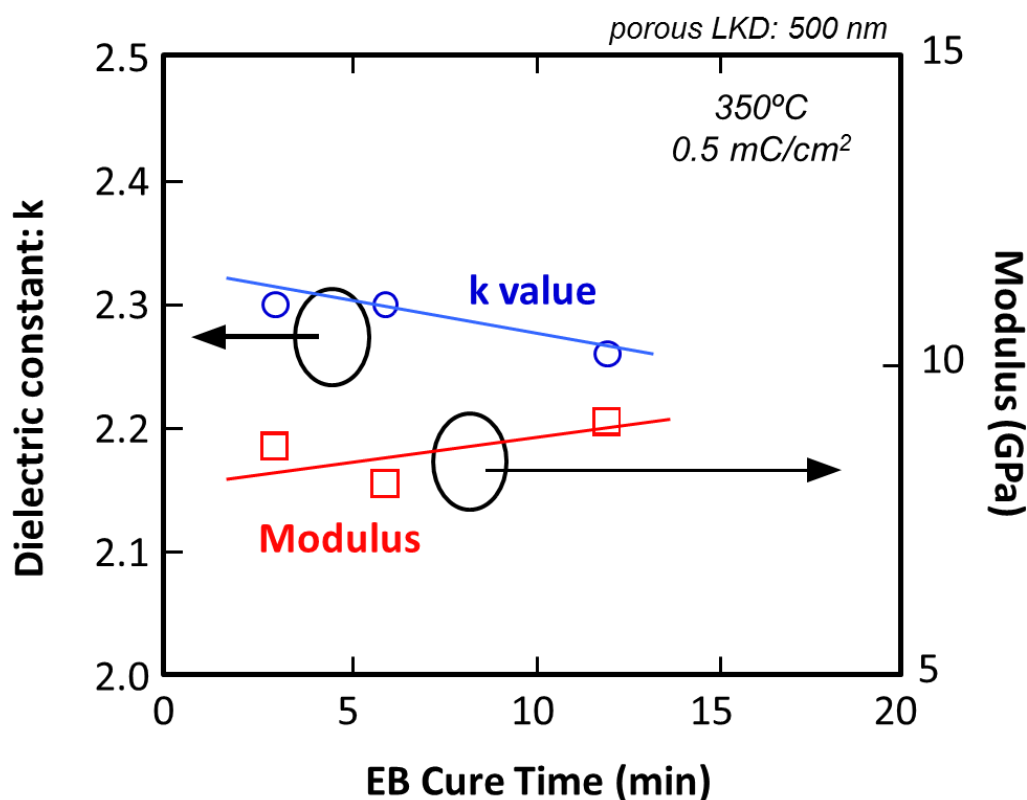


図 4-6. 電子線照射時間に対する p-LKD 膜の k 値と弾性率.

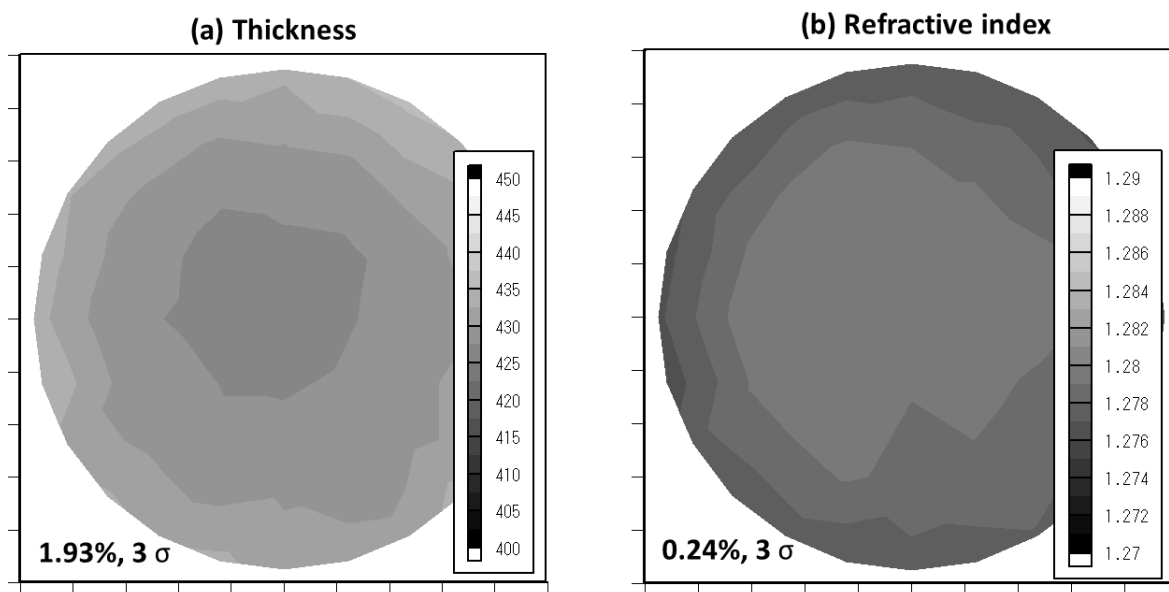


図 4-7. 電子線キュア後の p-LKD 膜(500nm)における、(a)膜厚及び(b)屈折率のウエハ面内均一性.

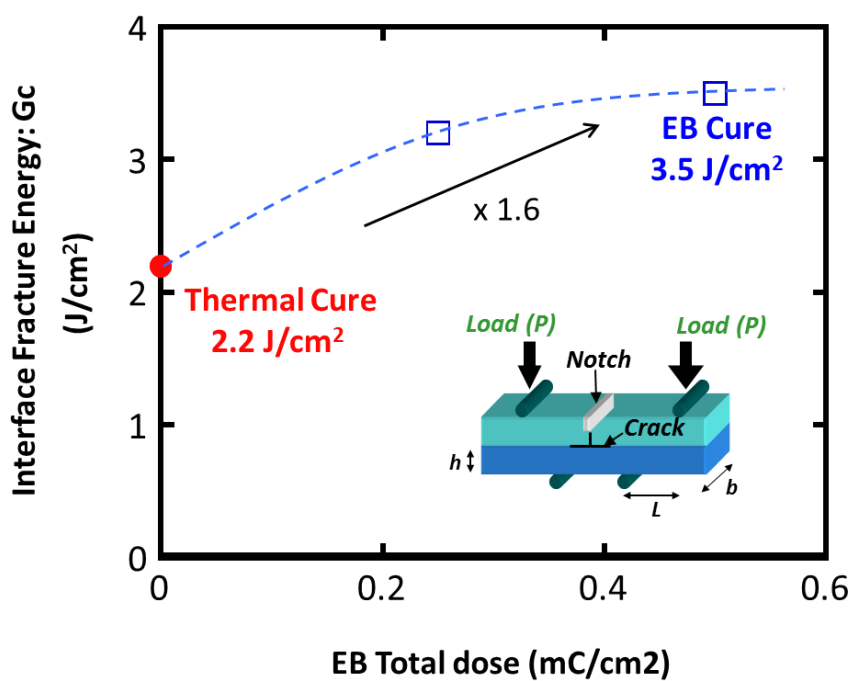


図 4-8. 4 point bending 法を用いた電子 Dose 量に対する p-LKD/SiCN 界面密着強度.

低機械的強度、高サーマルバジェットに加え、ポーラス low-k 膜では密着強度が低いことが懸念される。図 4-8 に電子線照射量と下地と p-LKD との界面の密着強度の関係を示す。この図から電子線キュアにより、密着強度は従来の 2.2 J/cm^2 から 3.5 J/cm^2 と 1.6 倍に改善されることが分かる。

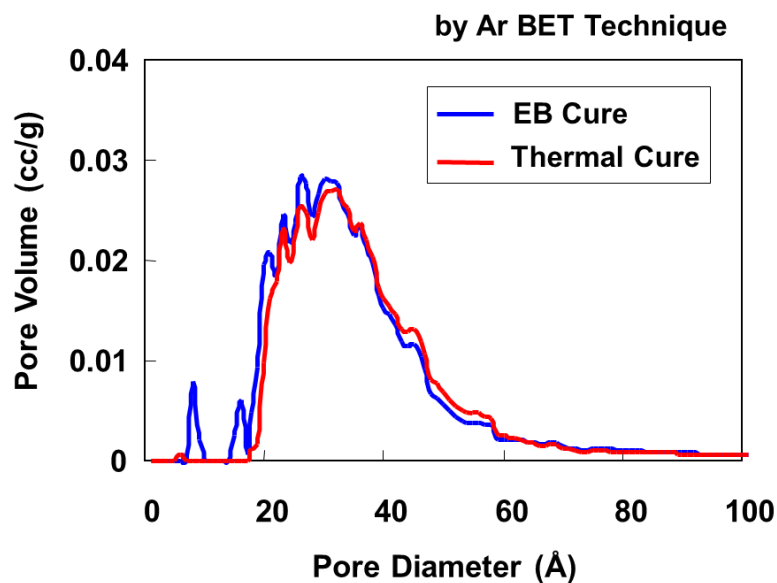


図 4-9. 熱キュア後と電子線キュア後の p-LKD 膜の空孔サイズ分布。

図 4-9 に電子線照射による p-LKD の空孔サイズへの影響を示す。熱キュアと電子線キュアの間には空孔サイズ分布差は見られない。

典型的な電子線キュアによる p-LKD の膜特性に関してすでに表 4-1 に示しているが、熱負荷の低減に加えて、膜の機械強度ならびに下地密着強度が改善されることから、電子線キュアによるポーラス Low-k 膜の形成方法は非常に有効な手段であると期待される。

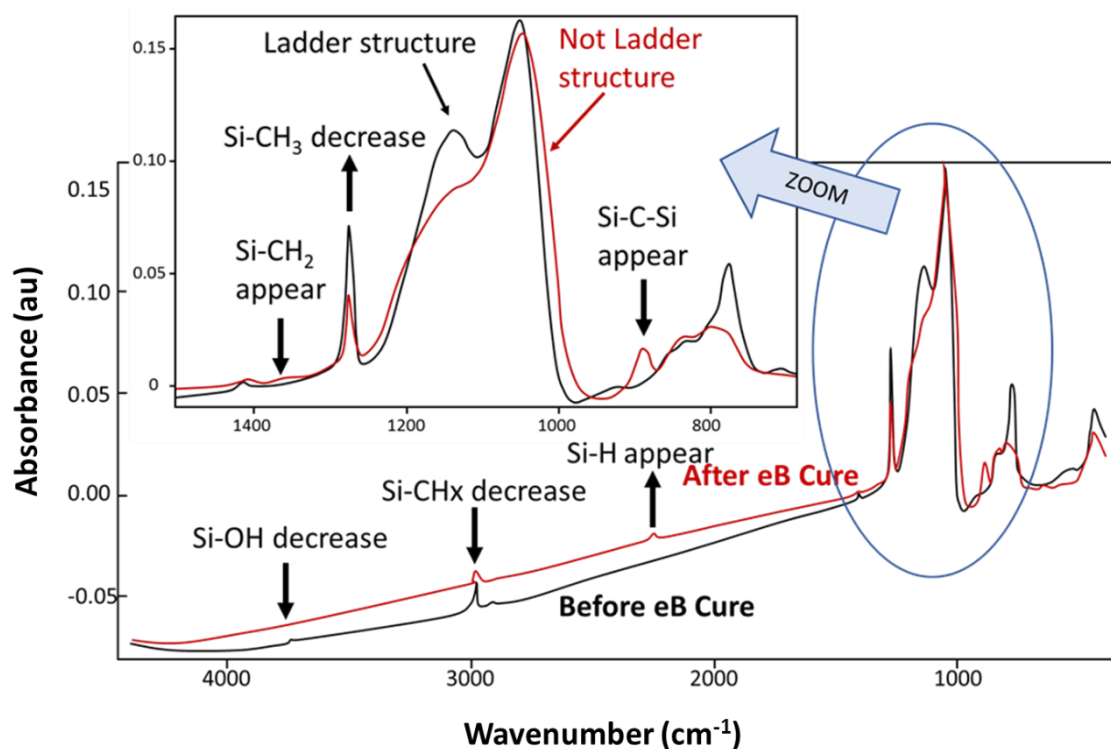


図 4-10. 熱キュア及び電子線キュア後の p-LKD 膜の FT-IR スペクトル.

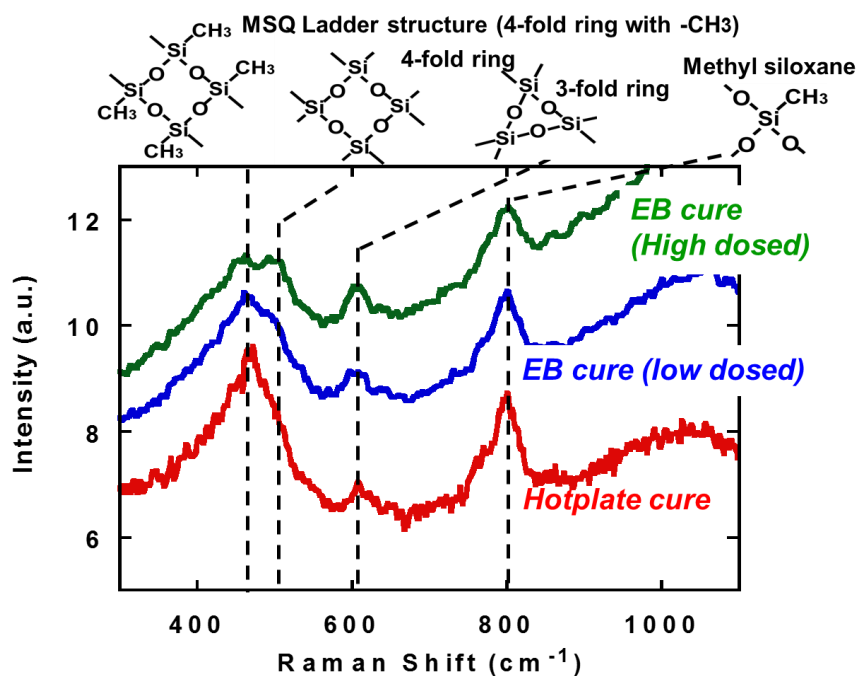


図 4-11. 熱キュア後と電子線キュア後の p-LKD 膜 Raman スペクトル.

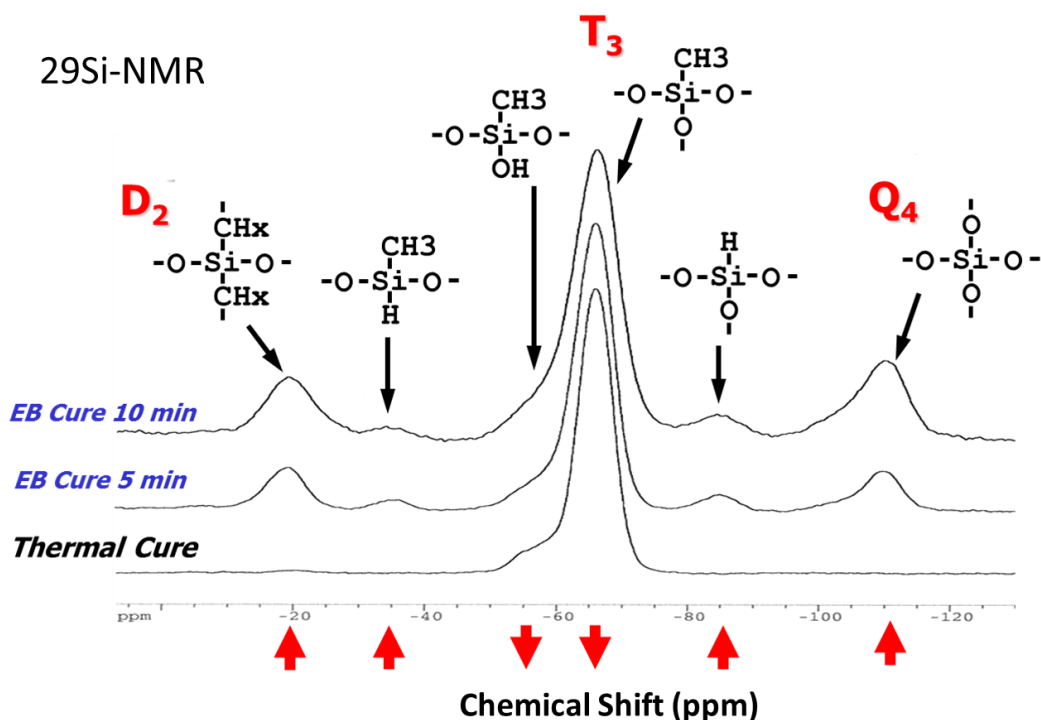


図 4-12. 熱キュア後と電子線キュア後の p-LKD 膜 SS-NMR スペクトル。

電子線キュア法を用いた焼成は、p-LKD の架橋を低温で促進するのみでなく、p-LKD を構成する結合を再配列させていることが分かっている。図 4-10 に FT-IR を用い、焼成方法の違いによる構造の違いを示す。従来の p-LKD が有する Ladder 構造が電子線キュアによる p-LKD では再構築されて Ladder 構造から Random 構造に変化していること、さらに膜中に Si-C-Si 結合が導入されていることが分かる。また、図 4-11 に示す Raman 分析、および図 4-12 に示す SS-NMR 分析による結果もそのことを裏付ける。これらの構造変化が機械的強度の改善、密着強度の改善をもたらしていると考えられる。

本研究においては図 4-2 概略図を示したように Ladder 構造を有するポリマーを用いて低誘電率薄膜を形成していることから、単純な熱焼成膜では、いわば糸状の樹脂が絡み合っ低密度の薄膜を形成していると考えて良い。図 4-10、図 4-11、図 4-

12 に示す FT-IR、Raman、NMR スペクトルは熱焼成膜が直鎖上の 4 員環構造から形成されていることを示している。それに対して電子線キュアにより焼成した低誘電率膜は、電子線による高エネルギー原子間結合の再配置が起こり、メチル基を有する 4 員環主体の直鎖状の微細構造が、メチル基を有しない 4 員環及び、3 員環や 5 員環以上の多員環が形成されていることから、より熱酸化膜に近づいた構造有す、複雑な三次元ネットワーク構造へ変化していると考えられる。熱酸化膜の有する構造のラマン分析結果は本論文の第 2 章図 2-18 に示している。また、電子線キュア後の FT-IR の結果が示すように -Si-C-Si birdge 結合の形成が機械強度の改善に強くつながったと考えて良い。同時に、ラマン分析結果から (-O-)₂Si(-CH₂-)₂ 結合が新たに形成されていることが示されており、また本論文第 5 章において =Si(CH₃)₂ 結合を有する CVD 膜が高いプラズマ耐性を有すことを論じているが、塗布膜においても電子線キュアにより =Si(CH₃)₂ 結合の形成が同時に起きていることから、プラズマ耐性の改善に対しての電子線キュアが改善効果を有していることを示していると考えられる。

本研究においては入射する一次電子のエネルギー及び電子ドーズ量は対象薄膜の膜厚により制御した。本研究で使用した 500 nm の薄膜に 0.5 mC/cm² の一次電子が注入されているので、その電子密度 De(/cm³)は

$$De = (0.5 \times 10^{-3}) \times (\text{電子数/C}) / (500 \times 10^{-9} \times 100) \quad (\text{式 4-1})$$

$$= 6.24 \times 10^{21} \text{ (個/cm}^3\text{)} \quad (\text{式 4-2})$$

となる。一方で Si 系酸化膜が有する膜中の Si-O などの結合密度 B(/cm³)は、SiO₂ の場合は、

$$B_{\text{SiO}_2} = 4 \times (\text{SiO}_2 \text{ 膜密度}) \times NA / \text{SiO}_2 \text{ の分子量} \quad (\text{式 4-3})$$

$$= 8.8 \times 10^{22} \text{ (個/cm}^3\text{)} \quad (\text{式 4-4})$$

本章で使用した Low-k 膜の膜密度が 1.1 g/cm³ であったことから、

$$B_{\text{low-k}} = 4 \times (\text{Low-k 膜密度}) \times NA / \text{SiO}_2 \text{ の分子量} \quad (\text{式 4-5})$$

$$= 4.8 \times 10^{22} \text{ (個/cm}^3\text{)} \quad (\text{式 4-6})$$

であり、単純に電子線照射による keV の高エネルギー一次電子照射された数とエネルギーは膜中に含まれる結合数とは桁として 1 桁、エネルギーとしても数桁以上異なることから、結合に直接影響を与えたわけではなく、膜中での原子への衝突により生成された二次電子群が結合の再形成に関与していると考えられる。二次電子の電子エネルギー分布は一般的には 10 eV 以下にピークを有するブロードな分布を有することから、一次電子の衝突により生じた複数の二次電子が Si-O 結合（結合エネルギー: 6.5 eV）や Si-CH₃ 結合（結合エネルギー: 3.3 eV）に影響を与えたと考える。

表 4-2. 熱キュア及び電子線キュア膜の p-LKD 膜の RBS による元素密度及び膜密度.

	元素密度 (10^{22} atoms/cm ³)				数密度	膜密度
	Si	O	C	H	(10^{22} atoms/cm ³)	(g/cm ³)
Thermal cure	1.16	1.88	0.84	2.42	6.30	1.25
EB cure	1.28	1.98	0.89	2.09	6.24	1.34

表 4-2 に、電子線キュアにおける膜中元素密度への影響を RBS により調べた結果を示す。膜密度が電子線キュアにより増加していることから、膜の収縮が起きていることが分かる。一方で、膜の原子数密度は減少している。この理由は、各元素数密度の変化から、膜中水素の脱離による影響と考えられる。各元素の中で水素のみが減少しているが、膜中に存在している主要結合のエネルギーは、

Si-CH ₃	3.0 eV
C-H	4.3 eV
O-H	4.6 eV
Si-OH	5.0 eV
Si-O-Si	6.5 eV

であることから、比較的低い結合エネルギーを有する水素の脱離が起きると理解できる。さらに、エネルギーの低い Si-CH₃ 結合への影響があることも示唆している。

熱キュア膜と電子線キュア膜の膜中元素数密度の違いに関してであるが、熱キュア膜では、C:H 比率は 2.9 で、C 及び H は、モノマー材料が元々有している化学結合 CH₃ の形で膜中に存在していることを示している。対して、電子線キュア膜においては、C:H 比率は 2.3 であり、一部の水素が脱離していることが分かる。仮に、Si-CH₃ 基から H が脱離し、Si-CH₂-Si 架橋ができたとすれば、C 元素密度 0.89 atoms/cm³、H 元素密度 2.09 atoms/cm³ から算定すれば、Si-CH₃ 基が 0.3 atoms/cm³、Si-CH₂-Si 架橋が 0.59 atoms/cm³ であり、膜中 Si-CH₃ 基の 2/3 が架橋に寄与したことになる。この架橋への構造変化が電子線照射における機械強度の改善に起因している一つの理由であると考えられる。また、Si 及び O の数密度の増加は、膜中における単位体積当たりの Si-O 結合の増加を示しており、このことも構造変化が電子線照射における機械強度の改善に起因していると考えられる。

4.3.2 モジュールインテグレーション

電子線キュアプロセスでは電子による下層のトランジスタへの影響が懸念されるため、上部の配線層に 9.8 2m の配線長を有する櫛歯形アンテナ (Comb antenna) 構造を有する p 型 MOS トランジスタ評価サンプル (Tox=5.0 nm) を用いてトランジスタ (Tr) 特性の評価を行なった。図 4-13 に用いた p 型 MOS トランジスタ評価サンプルの構造を、図 4-14 にトランジスタゲート電極の電流漏洩(リーク)及びトランジスタの動作閾値電圧の変動(Vth shift)の評価結果を示す。

電子線キュアの照射条件は評価に用いた p-LKD 120 nm を焼成するように電圧制御された条件を使用した。評価サンプルは楕歯型アンテナ構造を有するするため、120 nm の p-LKD 膜を突き抜けて電子線が突き抜けて配線部分に達した場合、トランジスタのゲート絶縁膜に影響を及ぼし、リーク電流や閾値に影響を及ぼすことが予想される。結果から、電子線照射による Tr 特性への影響は十分に抑止されていることが分かる。

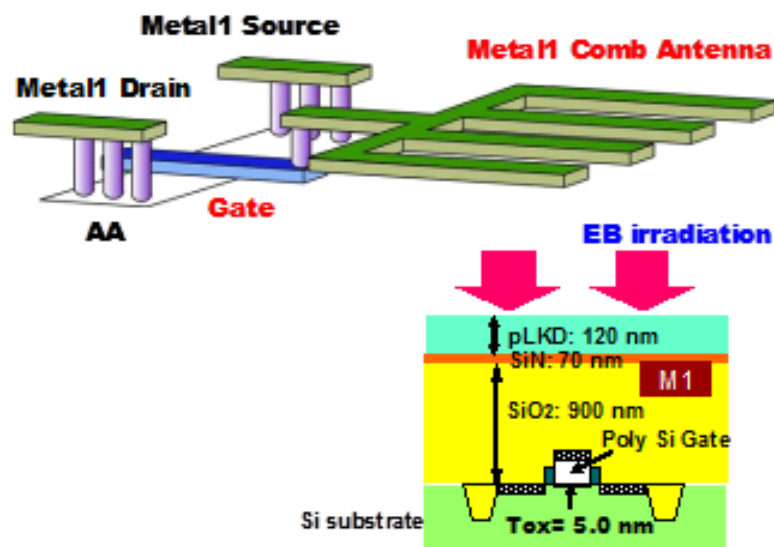


図 4-13. 電子線照射の評価に用いた p 型 MOS トランジスタ評価サンプル構造および断面の概念図（アンテナ比 x5k）。

これまでの結果をもとに、電子線キュアプロセスを 90 nm node (Line / space = 0.12 / 0.12 μm) Cu / Low-k SD (Single Damascene)による 2 層配線に工程に適用した。図 4-15 に評価に用いた 2 層構造を、図 4-16 に M1 配線抵抗及び M1 配線間のリークを評価した結果を示す。この結果から、電子線キュアを用いた場合においても従来の熱キュアと同等の電気特性が得られていることが分かる。

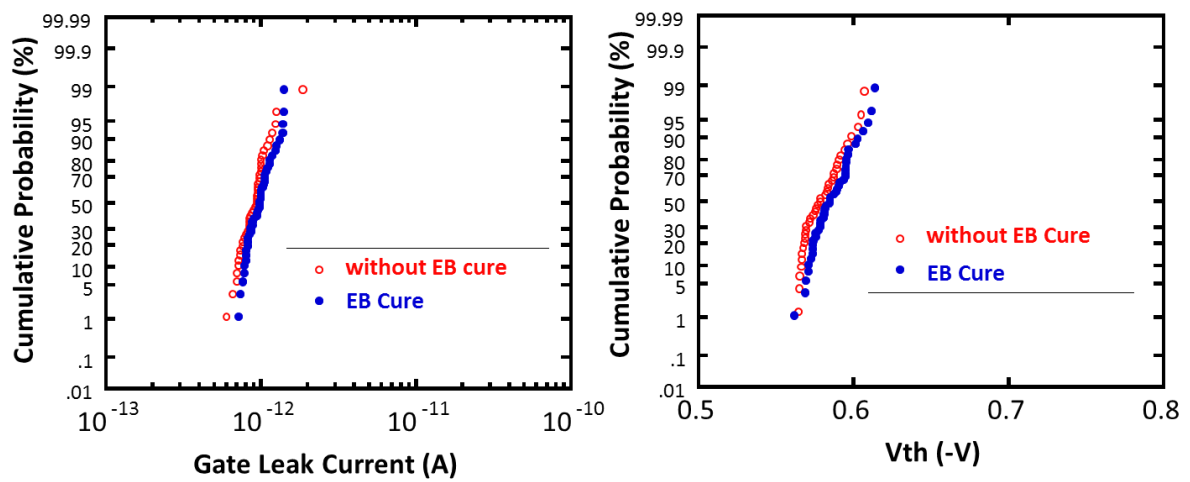


図 4-14. (a)Gate leakage current と(b) V_{th} の累積確率分布.

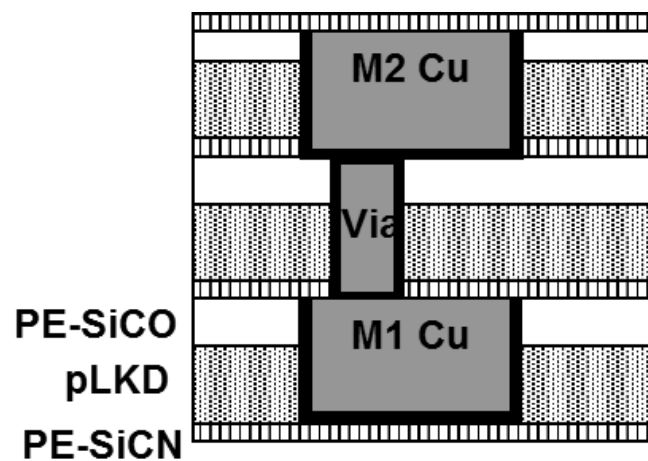


図 4-15. 評価に用いた 2 層配線構造の模式図.

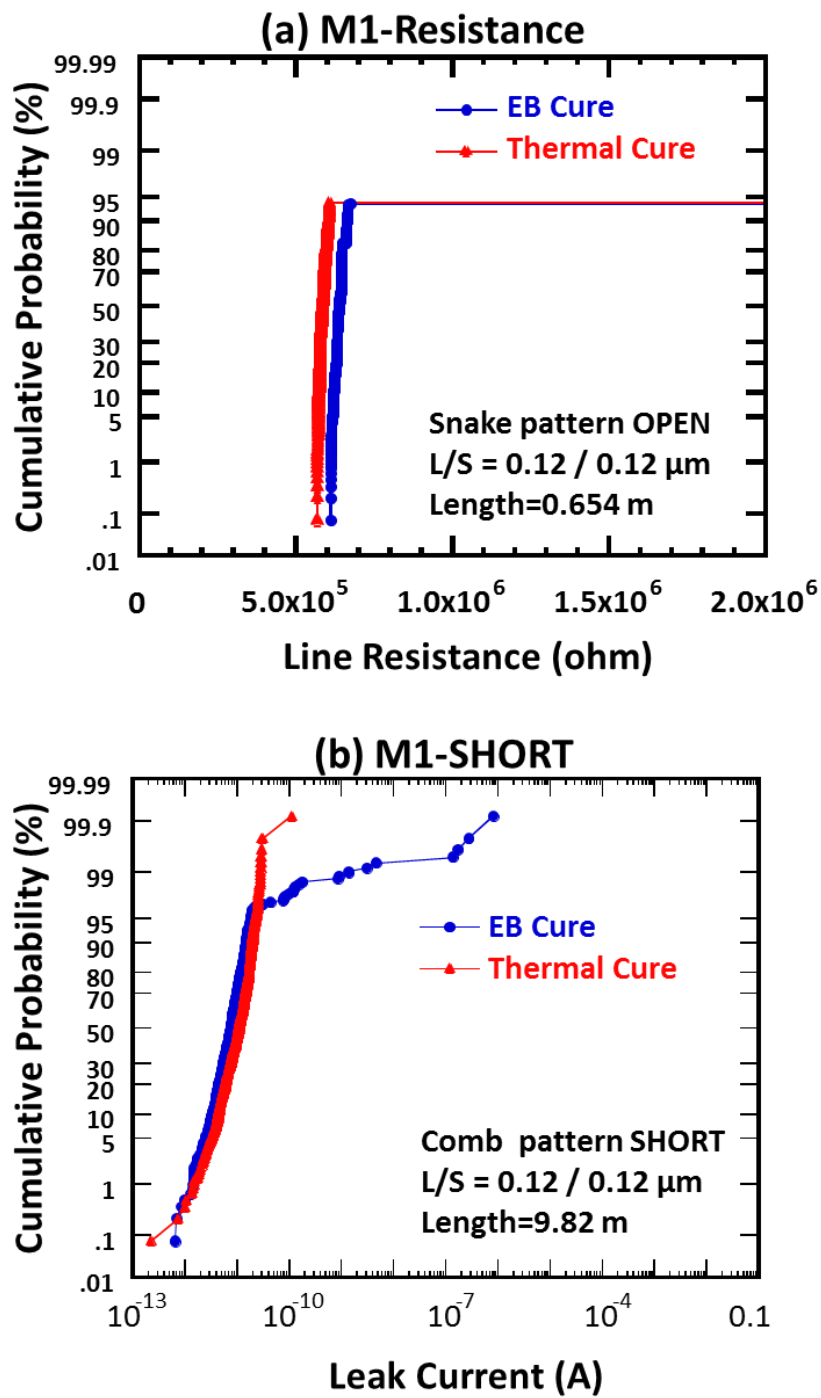


図 4-16. 櫛形配線(配線長 9.82m)の(a)M1 配線抵抗および(b)M1 配線間リーク電流の累積確率分布.

また上層に電子線キュアを適用した場合の下層への影響を配線間の RC 積（R: 配線抵抗、C: 配線間容量）で評価した結果を図 4-17 に示す。下層配線間の RC 積に影響を及ぼしておらず、電子線キュアが積層化に適用可能であることを示している。更に、2 層構造を形成した場合、熱キュア膜では図 4-18 に示すように上層の Cu-CMP の際に p-LKD と下地 SiCN 膜との界面で膜剥がれ不良が生じたが、電子線キュアの場合には膜剥がれは生じず、良好な密着強度が得られることが確認できた。

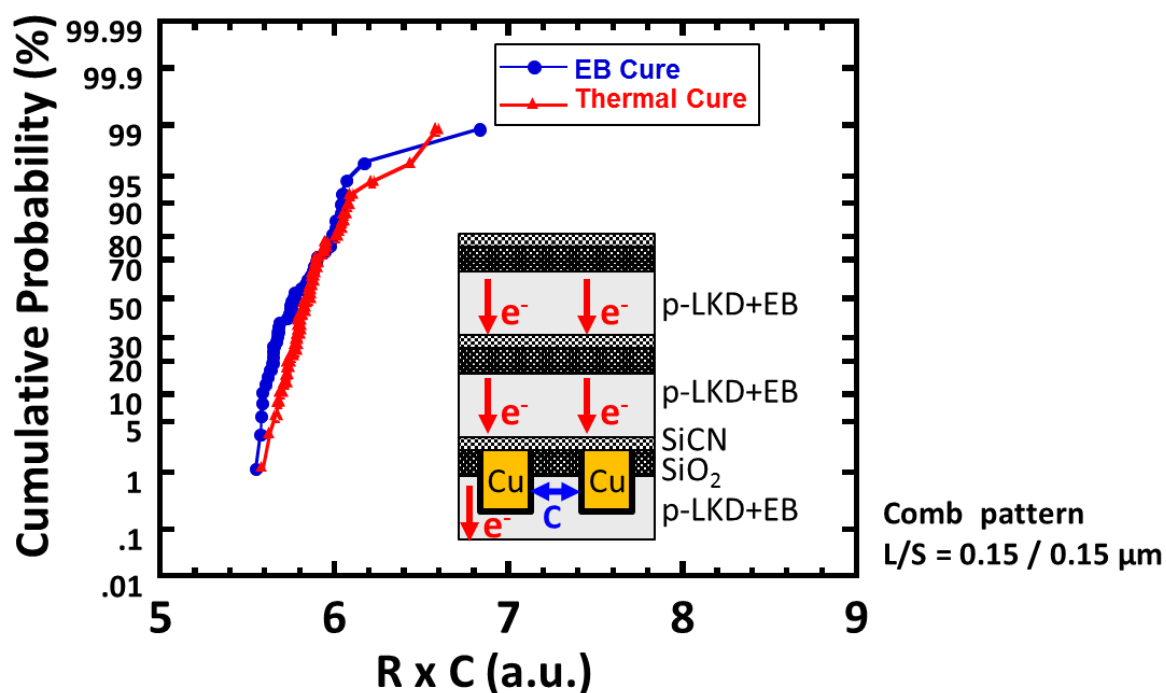


図 4-17. M1 配線の RC 積(L/S=120/120 nm)の累積確率分布.

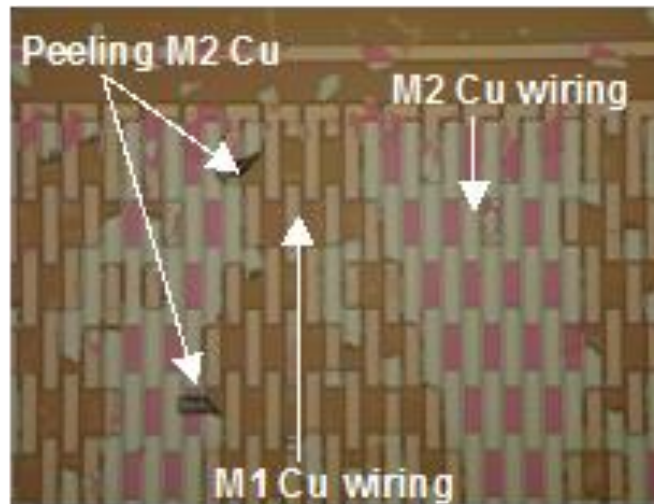


図 4-18. 熱キュア処理した p-LKD 膜を適用した 2 層配線の、M2 CMP 処理後に観察された表面剥がれ写真.

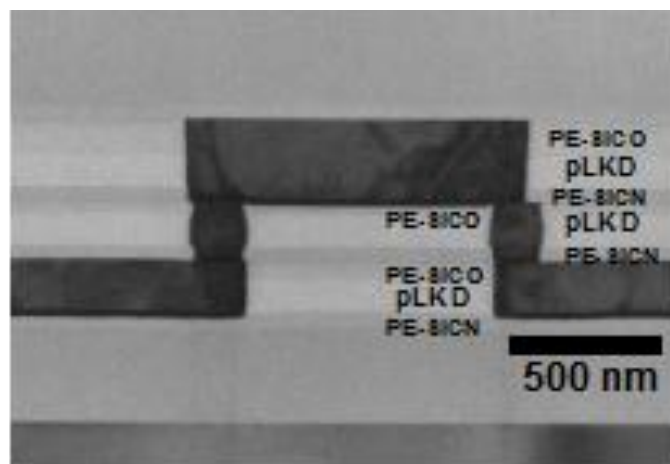


図 4-19. 電子線キュア処理した p-LKD 膜を適用した 2 層 SD 配線の via-chain 構造の断面 TEM.

図 4-19 にダマシンプロセスを用いた via チェーン構造の断面 TEM を示す。今回の検討では、図 4-20 に示す via chain yield 結果が示すように、電気特性として良好な結果が得られていないことが分かる。この結果から、電子線キュアの効果と併せて、Low-k 膜中 pore 分布の改善やドライエッチング加工プロセスの技術の改善が今後必要であろうと考えられる。

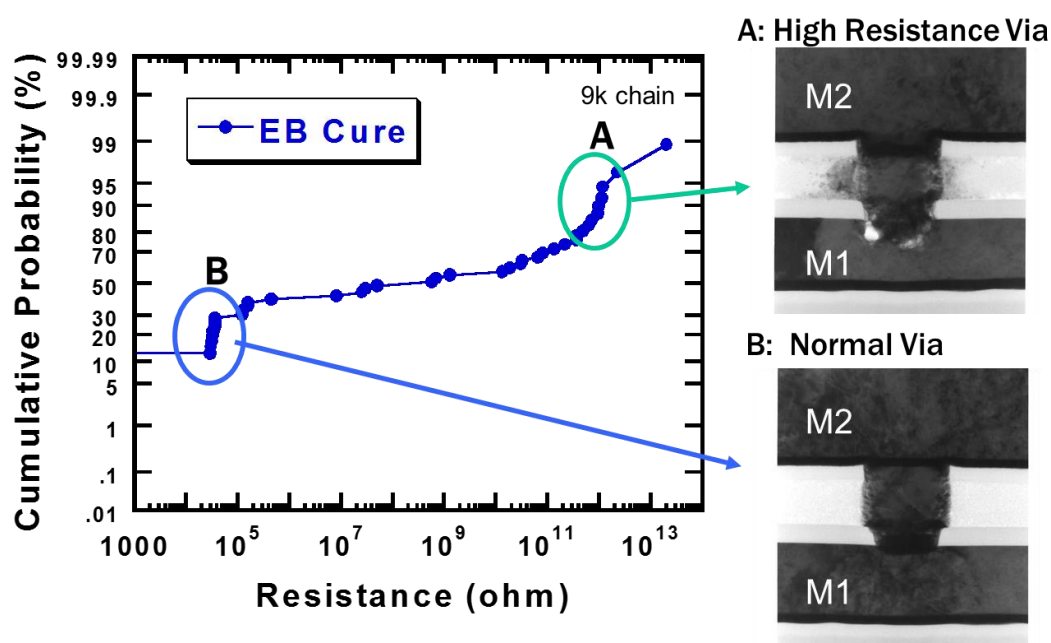


図 4-20. 9k 規模 0.14 μm Via-chain Yield.

そのため、更に材料開発を行い、空孔サイズを従来の 33Å から 20Å に改善した Low-k 膜を導入して同様の検討を行った。その結果、図 4-21、図 4-22 に示すように加工形状と電気特性の改善が確認された。このことから、材料の持つ空孔のサイズ制御がポーラス構造を有する Low-k に対しては重要であることを確認できた。

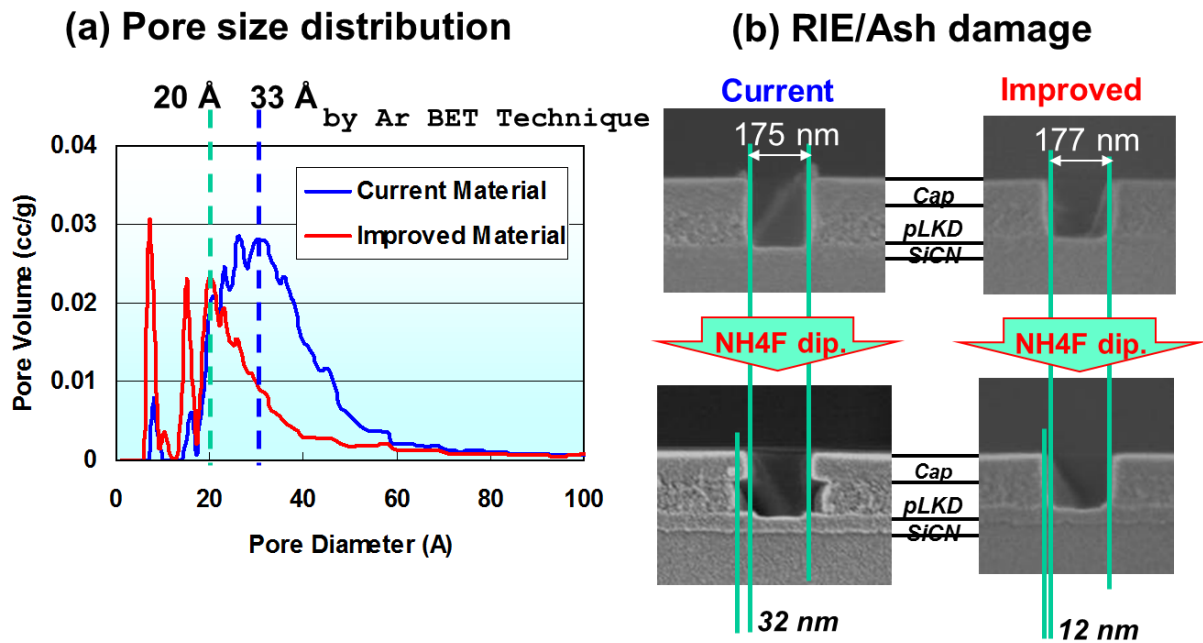


図 4-21. 膜中空孔サイズの改善による加工ダメージの低減.

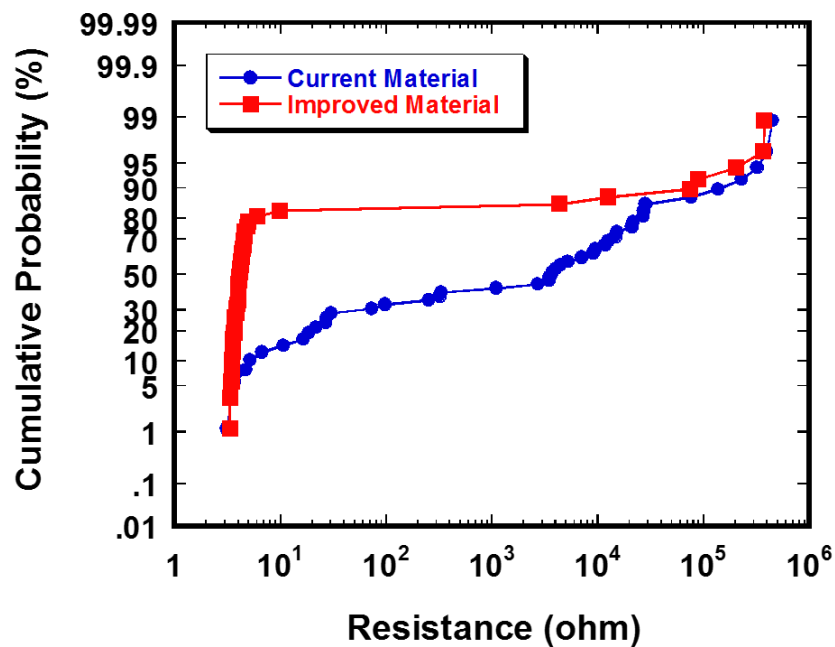


図 4-22. 膜中空孔サイズの改善の 9k 規模 0.14 μm Via-chain Yield への影響.

4.4 紫外線キュアと電子線キュア

塗布 Low-k 膜の焼成方法として、紫外線照射による焼成(紫外線キュア)もまた有効な手法である。以下に、p-LKD 膜に電子線キュアと紫外線キュアを施した場合の違いについて述べる。

紫外線キュアも電子線キュア同様、ウエハ基板上に p-LKD を回転塗布後、80°C/200°C で各々1 分間ホットプレート上にてベークし、さらに紫外線キュア装置で焼成硬化する。今回の実験では、紫外線キュア時の基板温度は、電子線キュアと同じ 350°C で固定した。

図 4-23 に、電子線キュア装置と紫外線キュア装置の断面の概念図を示す。電子線キュア装置と同様、紫外線キュア装置も紫外線発生源である UV bulb が Quartz Window によってチャンバから分離しており、ウエハからの脱ガスに影響されず、高いプロセス安定性を有する。紫外線キュアの特徴として、キュアを行う膜種毎に UV 波長分布を最適化する必要がある。今回の実験では、MSX 膜である p-LKD に最適な UV 波長分布を持つ UV bulb (高圧 Hg ランプ、250~350 nm の高い強度を有する幅広い波長分布を有する) を選択した。紫外線照射ドーズ量は、照射時間にて制御した。図 4-21 は、キュア時間に対する k 値の挙動について、電子線キュアと紫外線キュアを比較したグラフである。電子線キュアは、キュア時間 2 分で k 値が最小値となり、以降は k 値が上昇するのに対して、紫外線キュアもキュア時間 2 分で k 値が最小値となるが、以降はほぼ k 値が変わらず飽和した。

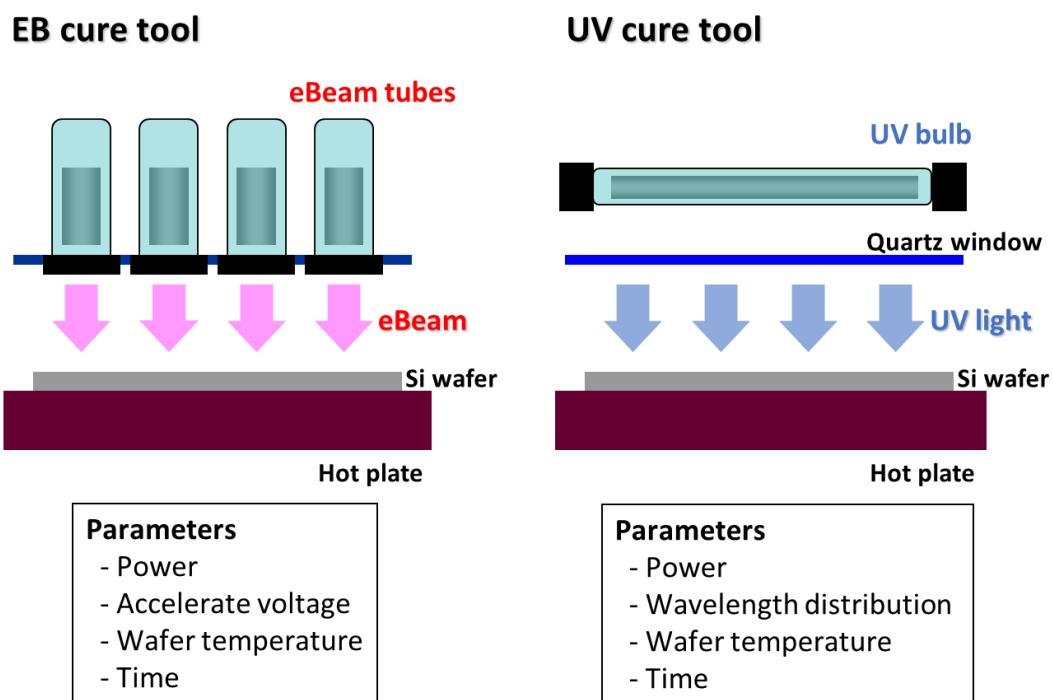


図 4-23. 電子線キュア装置と紫外線キュア装置の断面の概念図.

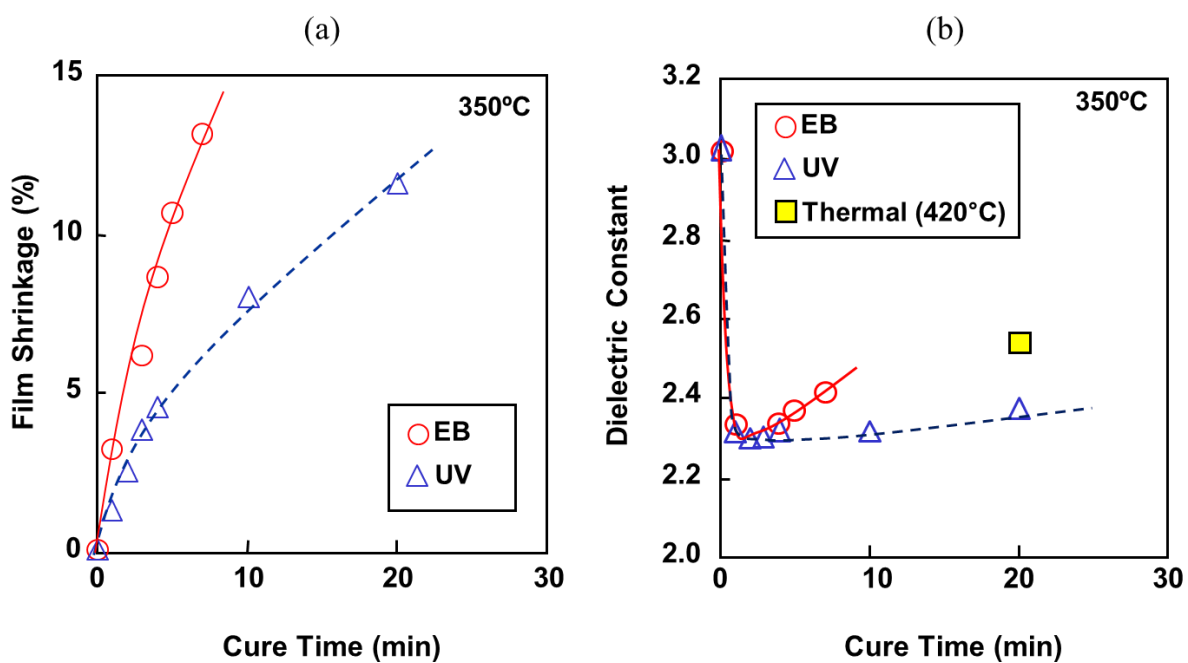


図 4-24. キュア時間に対する塗布 LKD 膜の(a)膜収縮率と(b)比誘電率との関係.

次に、図 4-24(a)(b)に、キュア時間に対する塗布 Low-k 膜の膜収縮率と比誘電率 (k 値) の挙動に関して示す。350°C の同一温度においても、電子線キュアも紫外線キュアも、ともに照射時間に対して膜収縮率、比誘電率は増加するが、電子線キュアの方が増加率は大きい。このことからは一見電子線キュアと紫外線キュアではキュアのメカニズムが異なるようにも考えられる。しかしこれでは、単なる強度の違いを表しているのかどうかの区別が付かないため、次に、膜の収縮率をパラメータにしてそれぞれ機械強度と比誘電率の関係を表したのが図 4-25(a)(b)である。(a)機械強度、(b)比誘電率の膜収縮率との相関は電子線キュア・紫外線キュアともに同じ傾向であることが分かる。

これらの結果から、電子線キュアも紫外線キュアも焼成による膜質変化は同じメカニズムだが、電子線キュアの方が速く膜質変化が進むと考えられる。図 4-25 より、機械的強度について EB と UV は同じ傾向を示している。ただし、ここで大きく特性が異なるのは、図 4-24 の示す紫外線キュアにおける変化の飽和性である。焼成時間は生産性観点からは大きく寄与するが、飽和性はプロセスばらつき制御の観点においては非常に有用である。このことは、材料特性や膜厚、積層構成、周辺プロセス影響などを加味してキュア方法を選ぶ必要があることを示している。

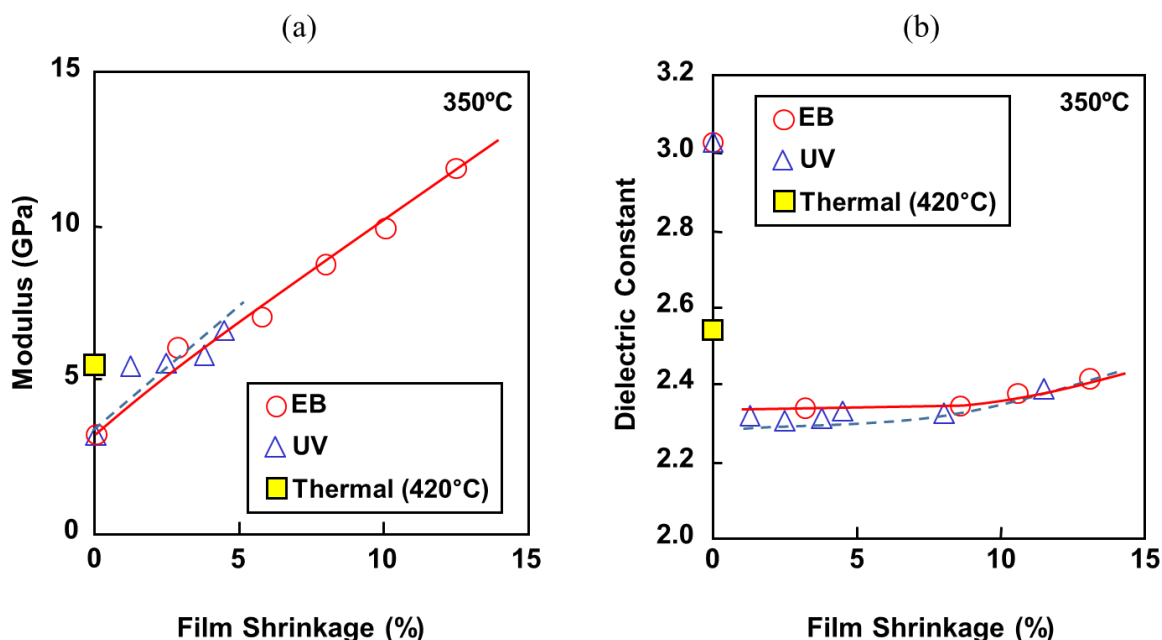


図 4-25. p-LKD 膜の(a) 機械強度の Shrinkage 依存、(b) k 値の Shrinkage 依存.

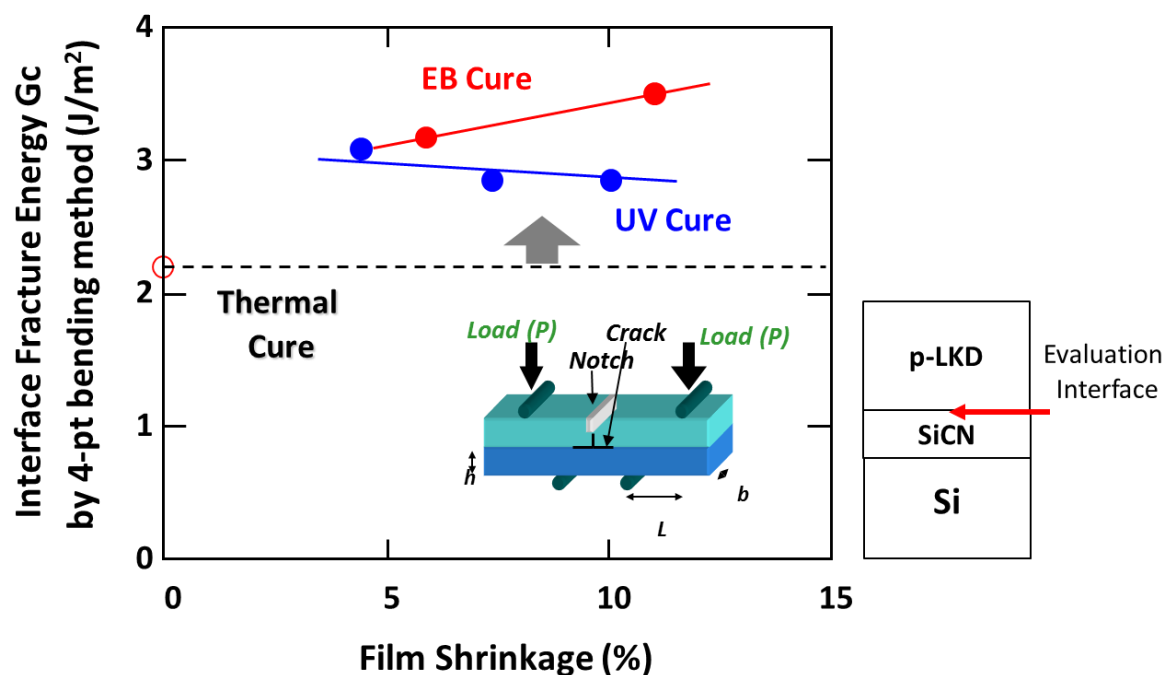


図 4-26. Shrinkage と p-LKD/SiCN 界面の密着強度の相関.

一方、下地との密着強度は電子線キュアと紫外線キュアで差が見られた。図 4-26 に、下地 SiCN 膜と p-LKD 膜の密着強度について電子線キュアと紫外線キュアを比較した結果を示す。ここで密着強度の測定は 4-PB 法（Four-points bending 法）を用いた[15, 16]。電子線キュアはキュアが進んで shrinkage が増加すると密着強度が向上するが、紫外線キュアは shrinkage が増加しても密着強度は向上しない。これは、紫外線キュアが p-LKD 膜の焼成に最適化されており、SiCN 膜との界面や SiCN 膜自体の膜質に影響しないが、波長を有する紫外線に対して高エネルギーを有する電子線は膜種の影響を受けにくく、すべての界面や SiCN 膜の膜質にまで影響している可能性を示唆している。この原因を明らかにするには詳細な分析が必要だが、一度のキュアで異なる膜種・界面を変化させることができる電子線キュアの利点である。

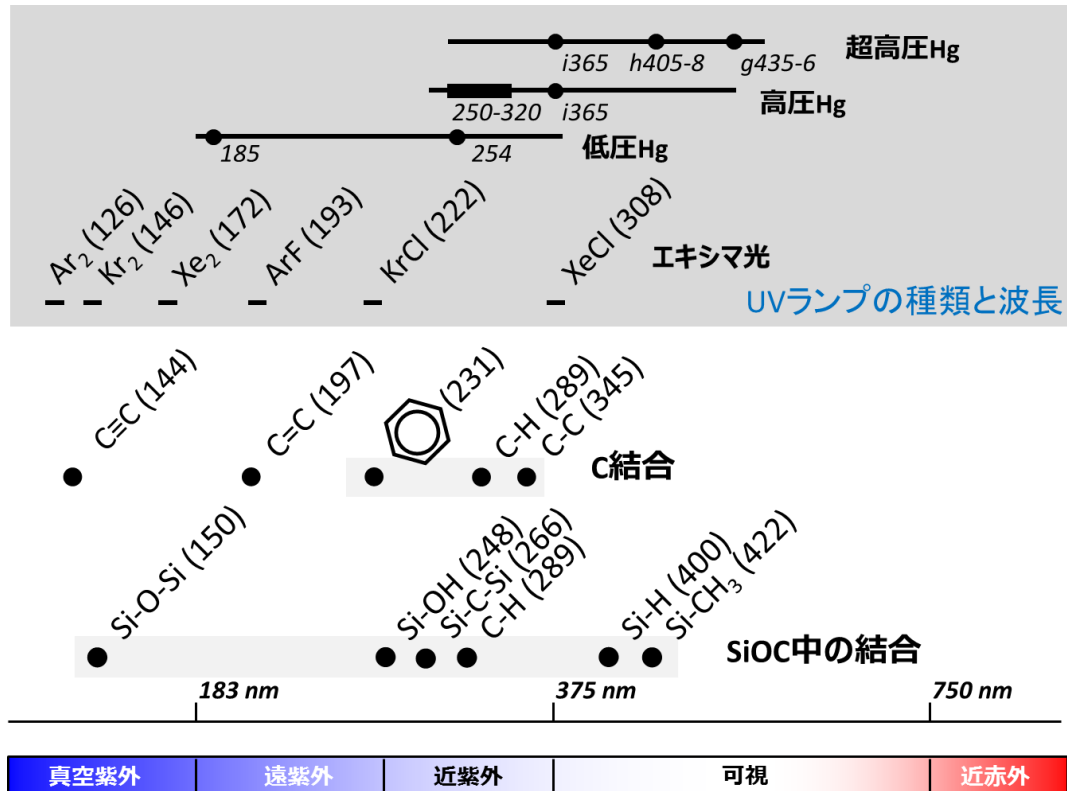


図 4-27 紫外線ランプの種類と低誘電率膜の有する結合のエネルギーの関係

図 4-27 に一般的な UV ランプ及びエキシマランプが有する波長と SiOC 膜及び代表的な樹脂が有する化学結合の結合エネルギーを波長表記して記載した。低誘電率層間膜の後処理に用いられる紫外線キュアでは高压 Hg ランプが使用されている。エキシマランプとは異なりブロードな波長を有しており、特に 250-320 nm の強度が高い。この波長は SiOC 膜が有する特に Si-OH 結合の結合エネルギーと、Si-CH₃ 結合の C-H 結合のエネルギーにあたる。このことから、紫外線キュアは塗布膜の脱水縮合を促進し、さらに C-H 結合への影響が Si-C-Si 結合の形成を促進していると考えて良い。

一方、電子線キュアの場合には二次電子が深く関わっていると論じた。電子線をレジストなどの絶縁体に照射した際の二次電子の挙動に関しては分析や電子線リソグラフィの分野では古くから実験やシミュレーションで議論されており、一次電子の絶縁膜中での衝突挙動や二次電子の分布に関してモンテカルロシミュレーションを用いて実験との比較検証も広く議論されている[17, 18]。二次電子は keV 程度の高

いエネルギーが照射された場合においてもそのエネルギー分布は80%が10eV以下、60%が5eV以下に存在し、2-5eVにピークを有する。図2-15に示したSi-OH(248 nm)、Si-C-Si(266 nm)、C-H(289 nm)はそれぞれ、5.0, 4.7, 4.3 eVにあたり、両者のエネルギー領域は一致する。このことから、両者のキュアの低誘電率膜への効果は同様の傾向を示すと考えられる。ただし、UV光は照射エネルギーが低いことから減衰も早く、その光源強度を高めても厚膜の焼成には向きにくい、電子線照射は照射する一次電子の加速エネルギー量を自由にコントロールできるため厚膜の短時間での焼成には適している。ただし、半導体デバイスの場合には、特に配線領域のキュアに電子線を用いた場合、下層に存在するトランジスタに直接影響を与える懸念や、電荷蓄積が影響を与える懸念があり、その適用には注意が必要である。

図4-26によれば、電子線キュアでは密着性が改善し、紫外線キュアでは密着性が逆に劣化している。実効的には非常に似通った領域にエネルギー分布を有するが、密着性改善効果に差が出ている原因は、前述した深さ方向への影響の違いであると考えられる。以下、整理して議論する。

一般的に薄膜と薄膜の積層界面において密着力を支配しているのは分子間力（ファンデルワールス力）である。膜密度の低減を利用した低誘電率膜の場合、密度の低下に伴い当然密着力は劣化する。さらに、後キュア技術を利用した場合。キュアによる膜中での脱水縮合などのボンド形成が促進されるために、膜の収縮が発生する。このことは、上層膜が収縮した場合、下地との界面においては収縮によるひずみが生じる。これは、密着性に対しては劣化方向に作用する。

界面においては、同時に上層膜/下層膜間で新たなボンドの形成も起きると考えられる。薄膜界面におけるボンド形成に関しては、深さ方向に対して二次電子の影響を維持しやすい電子線キュアが優位ということになる。このことを表4-3に示す。結合の形成は膜中と同様に、界面に存在すると考えられるSi-OH基やSi-CH₃基が関与した縮合反応によるSi-O-Si架橋やSi-C-Si架橋が起きていると考えられる。電子線キュアは、深さ方向に対しての一次電子の侵入制御性が可能なことから、二次電子の影響深さも、影響深度が比較的深く、下地界面における架橋生成が効果的に起きていると考えられる。

前述したように、電子線キュアは電荷蓄積によるトランジスタへの影響などが懸念されるが、低誘電率膜の膜質改善や下地との密着性改善に極めて効果的である。

表 4-3. 電子線キュア及び紫外線キュアが下地との密着性に与える影響

		熱キュア	EBキュア	UVキュア
密着強度改善要因	膜中における架橋促進による膜密度増加	中	大	大
	下層膜との界面における架橋促進	小	大	中
密着強度劣化要因	膜収縮による界面のひずみ	中	大	大

4.5 まとめ

電子線キュア技術を用いることにより、熱キュア膜に対して高い機械強度を有し、更に密着強度の高いポーラス Low-k 膜が、低温・短時間で実現できることが分かった。最適化された電子線キュア条件下では下地トランジスタへの影響も無かった。さらに、Cu / Low-k 構造形成工程における悪影響が無いことを確認した。これらのことから、ポーラス Low-k 膜の実用化に際して、電子線キュアの有効性を確認した。電子線照射による keV の高エネルギー一次電子照射された数とエネルギーは膜中に含まれる結合数とは桁として 1 桁、エネルギーとしても数桁以上異なることから、結合に直接影響を与えたわけではなく、膜中での原子への衝突により生成された二次電子群が結合の再形成に関与していると考えられる。

電子線キュアと紫外線キュアは低誘電率の焼成特性に差を有するようにみられるが、膜収縮の観点で両者を比較した場合、膜強度への影響に対して大きな差が見られないことから、膜中における架橋促進による膜強度の改善効果としては同様であると言えるが、焼成速度に対しては強度の違いを容易に制御可能な電子線キュアが優位である。また、一般的に薄膜と薄膜の積層界面において密着力を支配しているのは分子間力であるが、後キュア技術を利用した場合、キュアによる膜中での脱水縮合などのボンド形成に起因する膜の収縮は、下地との界面にひずみを生じ、密着性に対しては劣化方向に作用するが、界面においては、同時に上層膜/下層膜間で新たなボンドの形成も起き、密着性に関しても改善方向に作用すると考えられる。電子線キュアは深さ方向への影響が強く下地との架橋促進においても優位である。

参考文献

- [1]. T. Onishi, K. Nagaseki, M. Shimada, H. Miyajima, R. Nakata, M. Yamaguchi, J. Murase, H. Hata, "Advanced EB-cure process and equipment for low-k dielectric", 2001 IEEE International Symposium on Semiconductor Manufacturing. ISSM 2001 325-328 (2001).
- [2]. M. Shimada, H. Miyajima, R. Nakata and T. Yoda, "High-Performance Low-k Dielectric Using Advanced EBCure Process", Proceedings of International Conference on Solid State Devices and Materials (SSDM2001) p. 416, 2001.
- [3]. K. Fujita, H. Miyajima, R. Nakata and N. Miyashita, Proceeding of IITC, "Notable Improvement in Porous Low-k Film Properties using Electron-Beam Cure Method", p. 106-110, 2003.
- [4]. K. Fujita, H. Miyajima, S. Nakao, T. Sakanaka, R. Nakata, H. Yano and T. Yoda, "Comparison between UV and EB cure method for porous PAr / porous MSX hybrid structure", Proceedings of International Conference on Solid State Devices and Materials (SSDM2005) p. 298-299, 2005.
- [5]. H. Nagai, K. Fukawa, M. Iwashita, M. Muramatsu, K. Kubota, K. Hinata, T. Kokubo, A. Shiota, M. Hattori, H. Nagano, K. Tokushige, M. Kodera, K. Mishima, "Spin-on Dielectric Stack Low-k Integration with EB Curing Technology for 45nmnode and beyond", Proceedings of the IEEE 2004 International Interconnect Technology Conference 145-147 (2004).
- [6]. S. Nakao, J. Ushio, T. Ohno, T. Hamada, Y. Kamigaki, M. Kato, K. Yoneda, S. Kondo and N. Kobayashi, "UV/EB Cure Mechanism for Porous PECVD/SOD Low-k SiCOH Materials", 2006 International Interconnect Technology Conference 66-68 (2006).
- [7]. M. Urbanowicz, K. Vanstreels, D. Shamiryan, S. De Gendt, and M. R. Baklanov, "Effect of Porogen Residue on Chemical, Optical, and Mechanical Properties of CVD SiCOH Low-k Materials", Electrochem. Solid-State Lett., **8**, H292 (2009).
- [8]. A. Urbanowicz, K. Vanstreels, P. Verdonck, D. Shamiryan, S. Gendt, and M. Baklanov, "Improving mechanical robustness of ultralow- SiOCH plasma enhanced chemical vapor deposition glasses by controlled porogen decomposition prior to UV-hardening", Journal of Applied Physics **107**, 104122 (2010).

- [9]. E. Kunnen, G. Barkema, C. Maes, D. Shamiryan, A. Urbanowicz, H. Struyf, and M. Baklanov, "Integrated diffusion–recombination model for describing the logarithmic time dependence of plasma damage in porous low-k materials", *Microelectron. Eng.* **88**, 631 (2011).
- [10]. A. Urbanowicz, K. Vanstreels, P. Verdonck, E. Besien, T. Christos, D. Shamiryan, S. De Gendt, and M. Baklanov, "Effect of UV wavelength on the hardening process of porogen-containing and porogenfree ultralow- plasma-enhanced chemical vapor deposition dielectrics", *Journal of Vacuum Science & Technology B* **29**, 032201 (2011).
- [11]. H. Sinha, H. Ren, M. Nichols, J. Lauer, M. Tomoyasu, N. Russell, G. Jiang, G. Antonelli, N. Fuller, S. Engelmann, Q. Lin, V. Ryan, Y. Nishi, and J. Shohet, "The effects of vacuum ultraviolet radiation on low-k dielectric films", *Journal of Applied Physics* **112**, 111101 (2012).
- [12]. H. Zheng, E. Ryan, Y. Nishi, and J. Shohet, "Effect of vacuum-ultraviolet irradiation on the dielectric constant of low-k organosilicate dielectrics", *Appl. Phys. Lett.* **105**, 202902 (2014).
- [13]. K. Kao, W. Chang, Y. Chang, J. Leu, and Y. Cheng, "Effect of UV curing time on physical and electrical properties and reliability of low dielectric constant materials", *Journal of Vacuum Science & Technology A* **32**, 061514 (2014).
- [14]. F. Choudhury, E. Ryan, H. Nguyen, Y. Nishi, and J. Shohet, "Effects of ultraviolet (UV) irradiation in air and under vacuum on low-k dielectrics", *AIP Advances* **6**, 075012 (2016).
- [15]. "Effects of friction and loading parameters on four-point bend adhesion Measurements of low-k thin film interconnect structures", D. Gage, K. Kim, C. Litteken and R. Dauskardt, *Proceedings of the IEEE 2005 International Interconnect Technology Conference*, 42-44, USA(2005).
- [16]. "Benchmarking Four Point Bend Adhesion Testing: The Effect of Test Parameters On Adhesion Energy", Z. Cui, G. Dixit, L. Xia, A. Demos, B. Kim, D. Witty, H. M'saad and R. H. Dauskardt, *AIP Conference Proceedings* 788, 507 (2005).
- [17]. " Secondary and backscattered electron yields of polymer surface under electron beam irradiation", Z.G. Song, C.K. Ong and H. Gong, *Appl. Surf. Sci.*, **119**, 169 (1997).

- [18] " Simulation of time-dependent Charging of Insulators under Electron Beam Irradiation (in Japanese)", M. Kotera, Journal of Surface Analysis, **6**, 1, 22 (1999).

第 5 章

プラズマ CVD 法による SiOC 系低誘電率材料の構造設計

5.1 研究の背景

近年の高性能ロジック製品のメタル配線形成工程において、Cu 配線適用による配線抵抗低減と共に配線間容量の低減は大きなチャレンジの 1 つであり、メタル配線間絶縁膜として比誘電率 (k 値) 4.0 以下の低誘電率 (Low- k) 絶縁膜が求められている。一般的な配線間絶縁膜である SiO_2 膜に替わり、求められる k 値に応じて数多くの新材料絶縁膜が開発されている[1,2]。フッ素ドーパ SiO_2 膜 (SiOF 膜) は膜中 F 濃度によって k 値を制御できるが、 $k < 3.4$ では膜自体の吸湿問題が顕在化するため、 $k > 3.4$ の Low- k 膜として用いられている[3,4]。 $k < 3.4$ の Low- k 膜としては、炭素ドーパ SiO_2 膜 (SiOC 膜) がよく知られており、ダマシン構造の Low- k /Cu 配線の配線間絶縁膜として広く用いられている[5-7]。 SiOC 膜は、 Si-O-Si 結合で構成される SiO_2 膜中に Si-CH_3 結合を導入することにより膜密度を低減させ低誘電率化している。

Low- k /Cu 配線の重要課題の 1 つは信頼性の向上である。高い信頼性を持つ Low- k /Cu 配線の実現には、Low- k 膜形成後に行われるドライエッチングプロセスやフォトレジストマスク材除去プロセスで用いる O_2 プラズマ、Cu 配線表面の還元を行う NH_3 プラズマ等の反応性ガスを用いたプラズマ処理において膜質劣化が起きにくい必要がある。すなわち、Low- k 膜にはプラズマが誘起するダメージ (PID : Plasma Induced Damage) 対して高い耐性が求められる[8-11]。Low- k SiOC 膜では、前述の O_2 プラズマや NH_3 プラズマ処理以外にも様々なプラズマ処理によって PID が発生し、膜中の Si-CH_3 結合が Si-OH 結合に置換される。この結合の変化は、プラズマ中の酸素ラジカル種や水素ラジカル種との反応によって引き起こされると考えられている。例えば、 NH_3 プラズマ中の水素ラジカル種は Si-CH_3 結合と反応し、ダングリングボンドや Si-NH_x 結合を形成する。これらの結合はプラズマ処理後に大気中に晒された際に大気中の水分と容易に反応し、Low- k SiOC 膜中に Si-OH 結合が形成される。ドライエッチングプラズマ処理においても、フッ素ラジカル種によって同様の反応が起き、 Si-OH 結合が形成される[12-17]。Low- k SiOC 膜中の Si-OH 結合は、膜の吸湿を増長し、配線間容量を増大、Cu 配線を酸化させ配線抵抗の増大および信頼性の低下を招く[1,2,12-18]。この問題は、特に 2.4 未満の k 値を達成する上で必要なポーラ

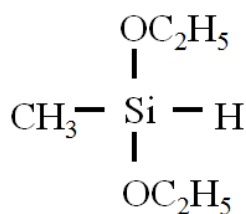
ス構造を持つ SiOC 膜において深刻になる。ゆえに、信頼性の高い Low-k/Cu 配線を形成するためには、PID 耐性を高める Low-k SiOC 膜の構造設計が重要となる[19-22]。

本研究では、Low-k SiOC 膜中の Si 原子に結合したメチル結合 (Si-CH₃ 結合) の数に着目し、高い PID 耐性を持つ膜構造について議論を行った。具体的には、Low-k SiOC 膜の形成に PE-CVD 成膜法を用い、最適な結合を持つ PE-CVD プリカーサガスを選択することで、膜構造を変えた Low-k SiOC 膜を形成し、評価した。さらに、PE-CVD 成膜と電子照射による膜焼成技術を用いてポーラス構造を持った Low-k SiOC 膜 ($k < 2.4$) (以降、ポーラス SiOC 膜) を形成した。NH₃ プラズマ処理前後の膜特性・結合状態の変化を評価することで、PID 耐性を高めるメカニズムについて考察を行った[23]。

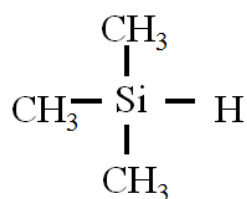
5.2 実験手法

本研究においては、ポーラス SiOC 膜の成膜に PE-CVD 法を用い、ポーラス SiOC 膜の主骨格を形成するマトリックスプリカーサとして 2 種類の有機シランガスを選択した。2 種類の有機シランガス的一方は、Si-CH₃ 結合を 1 つ持つ Methyl diEthoxy dilane (mDEOS) であり、もう一方は Si-CH₃ 結合を 3 つ持つ Trimethyl silane (3MS) である。また、空孔を形成するためのポロジェンプリカーサとして、炭化水素の環状構造を持つ Alpha-terpinene (ATRP) を用いた。それぞれのプリカーサガスの分子構造の概念図を図 5-1 に示す[24-28]。

Matrix Precursors

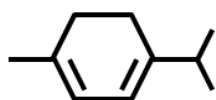


Methyl diethoxy silane
(mDEOS)



Trimethyl silane
(3MS)

Porogen Precursor



alpha-terpinene (ATRP)

図 5-1. 2 種のマトリックスプリカーサ mDEOS/3MS、およびポロジェンプリカーサ ATRP の分子構造の概念図.

PE-CVD によってポロジェンを膜中に含んだ SiOC 膜をウエハ基板上に形成した後、ウエハ基板を 400℃ に加熱し電子線キュアを行い、膜中のポロジェンを分解、膜から除去することでポーラス SiOC 膜を形成した。なお、電子線キュアによって、ポー

ラス構造形成と同時に、膜の機械的強度の向上、下地との密着強度の強化も行われる。ポーラス SiOC 膜形成装置に関して、PE-CVD 成膜は一般的な容量結合型のチャンバを持つ PE-CVD 装置を用いた。また、電子線キュア処理は、同 PE-CVD 装置に付随し PE-CVD 成膜後に *in-situ* 処理可能な専用チャンバにおいて、真空状態で数 keV の電子線を照射した[29-32]。

Low-k 膜形成より後工程のドライエッチングや Cu 配線表面還元処理等のプラズマに対する PID 耐性評価の指標として、比誘電率の変動量 (k-shift) を用いた。具体的には、ウエハ基板上に SiOC 膜を形成したブランケットサンプルを NH₃ プラズマに曝し、NH₃ プラズマ処理前後の k-shift を評価した。NH₃ プラズマ処理は、ウエハ基板温度 350°C、チャンバ内圧力 4.2 torr、並行平板電極間距離 8.9 mm、13.56 MHz の RF 電力 300 W、NH₃ ガス/N₂ ガスの流量 80 sscm / 9000 sscm、プラズマに曝す時間 20 秒の処理条件にて、一般的な容量結合型の PE-CVD チャンバで行った。k 値は、水銀プローブ (Four Dimensions 社製 CVmap 3029) を用いた容量測定 (C-V 測定) の結果を元に算出した。C-V 測定は、水銀プローブ電極面積 0.015 cm²、測定周波数 100 kHz、掃引印加電圧 +10 V ~ 30 V の測定条件で行った。本評価に用いた数種類の SiOC 膜の形成に関して、PE-CVD 成膜条件は異なるが、電子線キュア処理条件は統一した。その他の条件は、ウエハ基板加熱温度 400°C、照射 EB ドーズ量 110 μC/cm²、加速電圧 2.0 kV である。また、電子線キュア処理後の SiOC 膜の膜厚がほぼ 100 nm になるように PE-CVD 成膜時に膜厚を調整した。

SiOC 膜の膜特性評価に関して、硬度と弾性率の測定にはナノインデントアー (Agilent Technologies 製 G200) を用いた。ポーラス膜の空孔径測定は小角散乱分析 (SAXS) 法 (リガク製 NANOPIX) を用いた。150°C ~ 550°C 温度領域での膜からの水の脱ガス測定は昇温脱離ガス分析 (TDS) 法 (電子科学製 EMD-WA100) を用いた。膜構造の分析はフーリエ変換赤外分光分析 (FT-IR) 法 (Thermo Fisher Scientific 製 ECO3000) を用いた。膜の深さ方向の元素濃度分析には二次イオン質量分析 (SIMS) 法 (ULVAC-PHI 製 PHI6800T) を用いた。

Low-k/Cu 配線の電気特性の信頼性評価として、SiV (Stress-induced Void) テストを用いた。SiV テストサンプルの配線構造断面の概念図を図 5-2 に示す。ポーラス SiOC

膜上に $k=2.3$ のポーラスポリアリーレン (p-PAr) 膜が積層成膜されたハイブリッド構造の配線間絶縁膜に適用したデュアルダマシン配線を用いて評価を行った[31-34]。

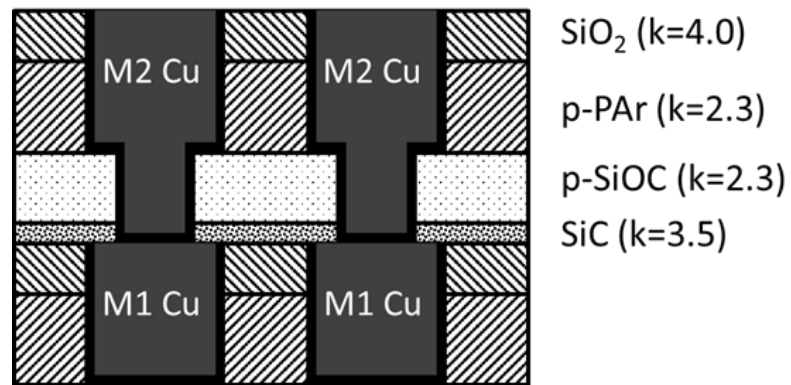


図 5-2. ポーラス SiOC 膜上に $k=2.3$ のポーラス ポリアリーレン (p-PAr) 膜を積層成膜したハイブリッド構造デュアルダマシン配線の断面模式図.

5.3 結果と考察

5.3.1 電子線キュア処理後の膜特性

表 5-1 に、有機シランガスの mDEOS と 3MS、それぞれをマトリックスプリカーサとして使用した $k=2.9$ の SiOC 膜の成膜条件と膜特性を示す。どちらの膜特性も成膜後に電子線キュアを行っていない結果である。表 5-1 の膜特性比較から、mDEOS を使用した SiOC 膜の方が 3MS を使用した SiOC 膜より硬度・弾性率が 1.6 倍高いことがわかる。

表 5-1. 2 種の SiOC 膜($k=2.9$)の成膜条件と基礎特性.

		mDEOS-based	3MS-based
PECVD Condition	Temperature	350°C	350°C
	Pressure	5.0torr	4.0torr
	Electrode Gap	12.7mm	8.9mm
	RF(13.56MHz) Power	500W	1100W
	Gas flow	mDEOS/O ₂ /He 0.35gm/350sccm/500sccm	3MS/O ₂ /He 850sccm/200sccm/500sccm
Film Characteristics	D/R	290 nm/min	933 nm/min
	k value	2.92	2.96
	k-shift	0.39	0.32
	R.I.	1.42	1.42
	Hardness/Modulus	2.1/12.5 GPa	1.3/7.9 GPa
	Si-CH ₃ /Si-O	3.1%	3.2%
	Si-H/Si-O	1.4%	1.1%
	C-H/Si-O	2.0%	2.2%

表 5-1 に記載の 2 つの SiOC 膜の膜構造を比較するため、図 5-3 に 2 つの膜の FT-IR スペクトル波形を示す。どちらの膜の波形にも、波数 1270cm⁻¹ 付近に Si-CH₃ 結合に

由来するピークが見られるが、mDEOS の膜に比べて 3MS の膜は、 1260cm^{-1} 付近の $\text{Si}-\text{CH}_3$ ピークの低波数側に肩が見られる。この肩は高次の $\text{Si}-\text{CH}_3$ 結合 ($\text{Si}(-\text{CH}_3)_n$ ($n=2,3$)) に由来し、 $\text{Si}(-\text{CH}_3)_3$ 結合を持つ 3MS ガスの分子構造を反映した結果である。

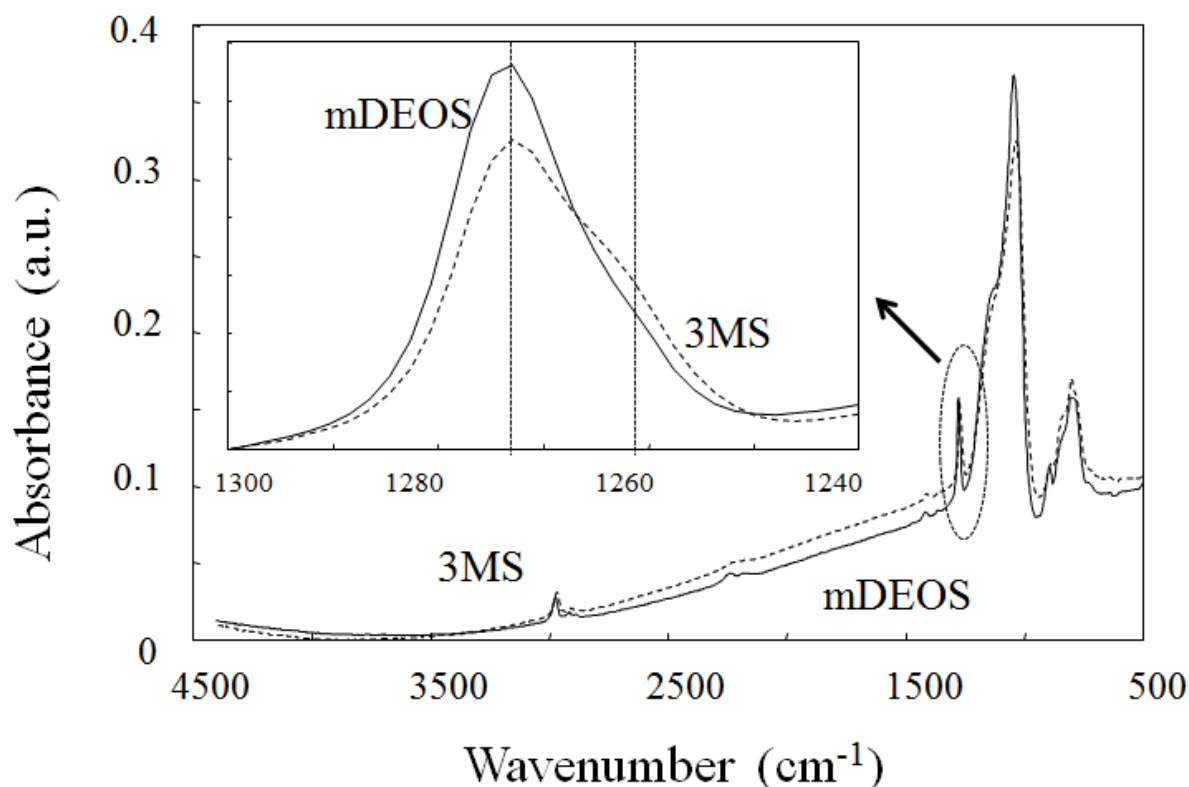


図 5-3. 2 種の SiOC 膜($k=2.9$)の FT-IR スペクトル。

次に、マトリックスプリカーサとして mDEOS を、ポロジェンプリカーサとして ATRP を使用した SiOC 膜の k 値と NH_3 プラズマ処理による k -shift の結果を図 5-4 に示す。どちらの結果も、横軸に mDEOS と ATRP の流量比 (ATRP/mDEOS) を取っている。mDEOS と ATRP を用いたこれらの SiOC 膜には、PE-CVD 成膜直後、ATRP から生成されるポロジェンが SiOC 膜中に取り込まれており、電子線キュア処理を行うことでポロジェンを分解、膜中から除去することで SiOC 膜中にポーラス構造を形成する。したがって、ATRP/mDEOS 流量が増加すると成膜直後の膜中ポロジェン量が増加するため、電子線キュア後には膜中の空孔の体積が増加し k 値が低減する。

一方、k-shift は ATRP/mDEOS 比増加と共に増加する。結果として、膜のポーラス化により k 値を低減するほど k-shift は増加する。これは、ポーラス構造が k 値低減と PID 耐性向上の両方に対して重要な要素であることを意味している。

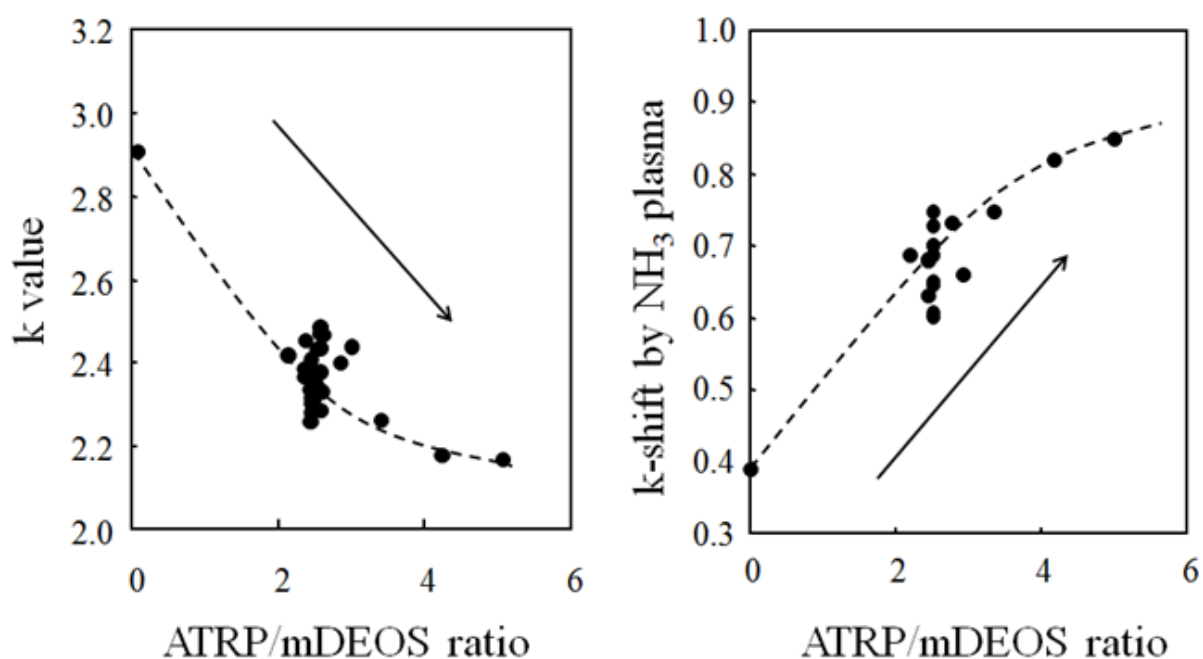


図 5-4. ATRP/mDEOS 流量比に対する k 値（左グラフ）と NH_3 プラズマ処理による k-shift（右グラフ）。

次に、2 種類の $k < 2.4$ のポーラス SiOC 膜の成膜条件と膜特性を表 5-2 に示す。2 つの膜の一方は、マトリックスプリカーサとして mDEOS のみを使用し、もう一方は mDEOS と 3MS を混合したガス(以降、mDEOS+3MS)を使用して PE-CVD 成膜を行った。また、どちらの膜もポロジェンプリカーサとして ATRP を使用し、同じ条件で電子線キュア処理を行いポーラス SiOC 膜を形成した。表 5-2 のとおり、どちらのポーラス SiOC 膜も同程度の k 値であるが、mDEOS+3MS を使用した膜の方が k-shift が低い。すなわち、3MS を添加することで、mDEOS のみの膜より PID 耐性が向上し

た。PID 耐性と機械的強度のバランスは Low-k/Cu 配線の信頼性性能に影響するが、この mDEOS+3MS 膜の有効性については、後述のデュアルダマシン配線の SiV (Stress-Induced Voiding) テストによる信頼性結果で示す。

表 5-2. 2 種のポーラス SiOC 膜の成膜条件と基礎特性比較.

		mDEOS only	mDEOS+3MS
PECVD Condition	Temperature	225°C	225°C
	Pressure	8.0torr	8.0torr
	Electrode Gap	7.6mm	7.6mm
	RF(13.56MHz) Power	450W	450W
	mDEOS/3MS flow	mDEOS/3MS 0.2gm/0sccm	mDEOS/3MS 0.1gm/50sccm
	ATRP/Other gas flow	ATPR/O ₂ /He 0.75gm/50sccm/750sccm	ATPR/O ₂ /He 0.75gm/50sccm/750sccm
Film Characteristics	D/R	335 nm/min	400 nm/min
	k value	2.26	2.30
	k-shift	0.66	0.54
	R.I.	1.32	1.37
	Hardness/Modulus	0.7/5.0 GPa	0.9/6.3 GPa
	Pore Size(mean)	1.1nm	1.1nm
	Si-CH ₃ /Si-O	2.1%	2.4%
	Si-H/Si-O	1.1%	0.9%
	C-H/Si-O	1.6%	3.4%

図 5-5 に、2 つのポーラス SiCO 膜の FT-IR スペクトル波形を示す。1250cm⁻¹~1300cm⁻¹の波数領域において、mDEOS+3MS を使用したポーラス SiOC 膜は Si-CH₃ 結合に由来する複合的なピークを見せている。図 5-5 の差し込みに Si-CH₃ 結合ピークの詳細なスペクトル波形を示す。mDEOS+3MS を使用した膜の Si-CH₃ 結合ピークは、1265cm⁻¹ 付近に肩が観察され、高次の Si-CH₃ 結合(Si(-CH₃)_n (n=2,3))を有していることを示している。

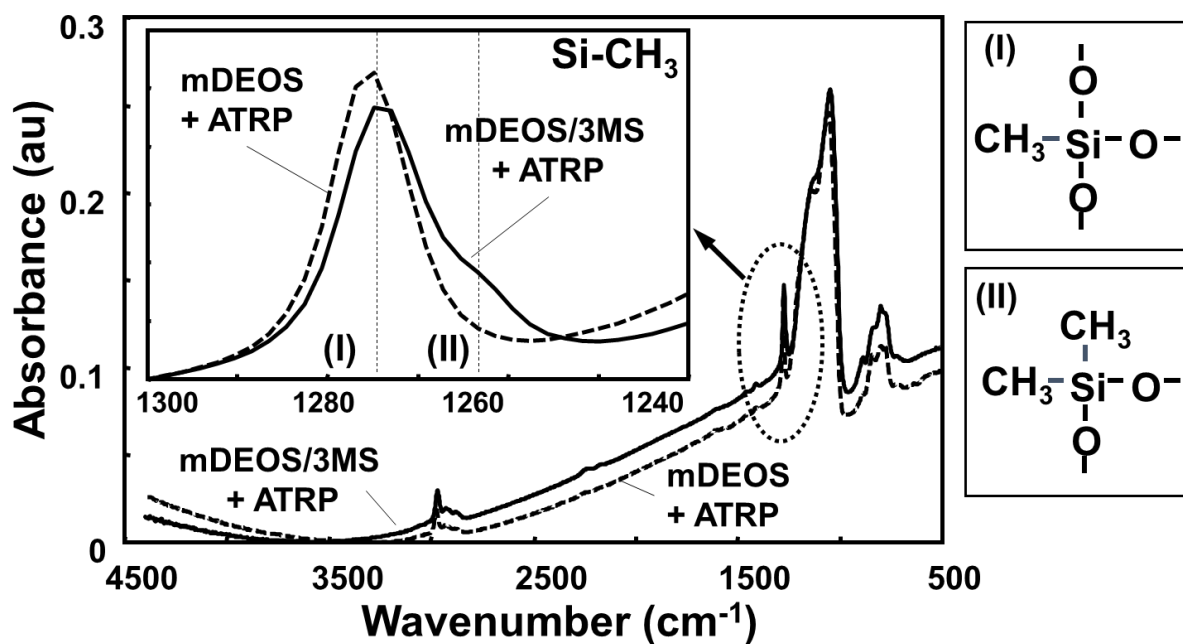


図 5-5. 2 種のポーラス SiOC 膜の FT-IR スペクトル.

NH₃ プラズマ処理による Si-CH₃ 結合状態の変化を評価する上で、高次の Si(-CH₃)_n 結合の挙動に注目するために、1250cm⁻¹~1300cm⁻¹ 領域の Si-CH₃ 結合ピークを Si(-CH₃)_n (n=1,2,3) 結合に対応する 3 つのピークに分離した。図 5-6 は、mDEOS+3MS を使用したポーラス SiOC 膜の Si-CH₃ 結合の信号をピーク分離した結果である。1275cm⁻¹ 付近のモノメチル結合 ≡Si-CH₃ のピーク、1265cm⁻¹ 付近のジメチル結合 ≡Si(-CH₃)₂ のピーク、1250cm⁻¹ 付近のトリメチル結合 -Si(-CH₃)₃ のピークの 3 つのピークが得られた。

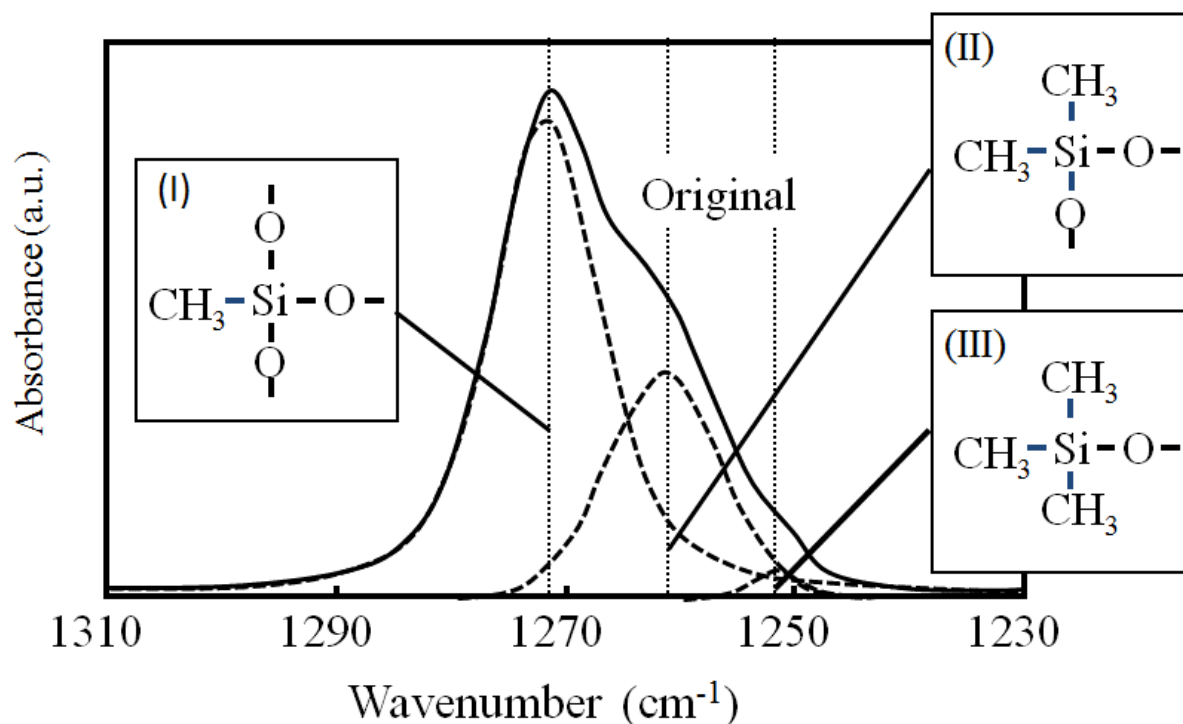


図 5-6. mDEOS+3MS を使用したポーラス SiOC 膜の Si-CH₃ ピーク(1,300 ~ 1,250 cm⁻¹) の波形分離.

次に、3MS 添加による SiOC 膜の結合状態への影響を示す。図 5-7 は、3MS/mDEOS 混合比を変化させて形成したポーラス SiOC 膜の NH₃ プラズマ処理後の k-shift (左のグラフ) および Si-CH₃/Si-O ピーク面積比 (右のグラフ) である。

Si-CH₃/Si-O ピーク面積比は、ピーク分離前の全体の Si-CH₃ 信号と、ピーク分離を行って抽出された =Si(-CH₃)₂ ピークの 2 つの結果を示している。k-shift は、3MS/mDEOS 混合比増加に伴い、3MS/mDEOS 混合比=1 までは減少し、3MS/mDEOS>1 以降は飽和した。Si-CH₃/Si-O ピーク面積比について、全体の Si-CH₃/Si-O ピーク面積比は 3MS/mDEOS 混合比増加に伴い単調に増加するが、一方の =Si(-CH₃)₂/Si-O ピーク面積比は k-shift と似た傾向を示し、3MS/mDEOS=1 までは増加、3MS/mDEOS>1 以降は飽和した。この結果は、k-shift が =Si(-CH₃)₂ 結合と相関を持っている可能性を示唆している。以降の節で、NH₃ プラズマ処理前後の =Si(-

$\text{CH}_3)_2$ 結合の挙動を評価した結果を示し、k-shift と $=\text{Si}(-\text{CH}_3)_2$ 結合量の相関を議論する。

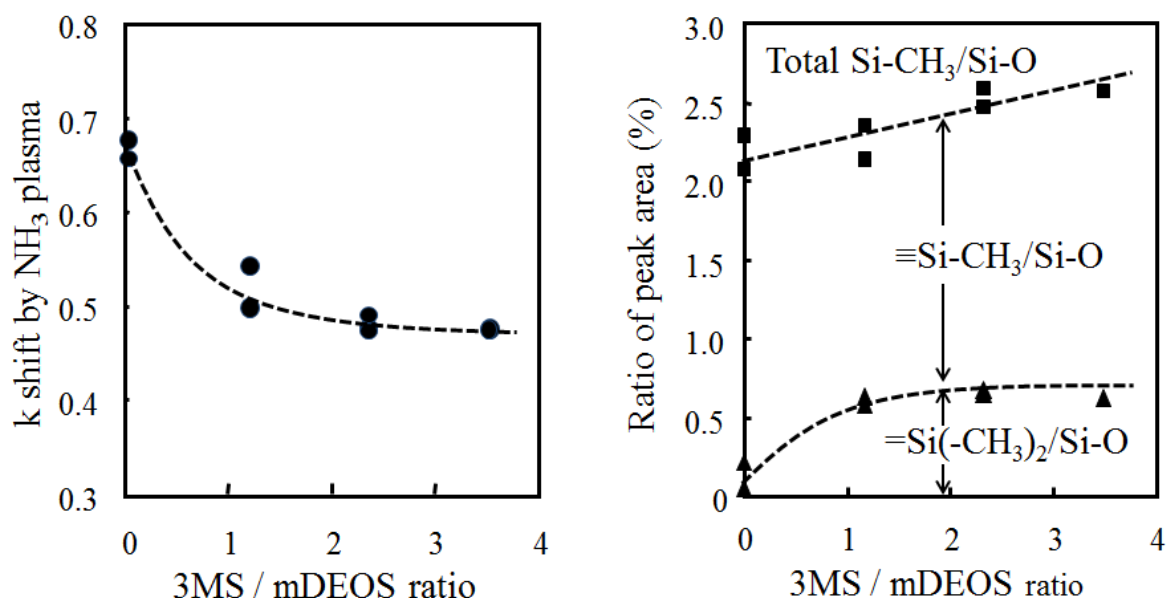


図 5-7. 3MS/mDEOS 流量比に対する、NH₃ プラズマ処理による k-shift (左グラフ) と、Si-CH₃/Si-O ピーク面積比および $=\text{Si}(-\text{CH}_3)_2/\text{Si-O}$ ピーク面積比 (右グラフ)。

5.3.2 膜構造の違いの究明と効果

図 5-7 で示した 3MS 添加による PID 耐性向上の理由を明らかにするため、 $=\text{Si-CH}_3/\text{Si-O}$ ピーク面積比と $=\text{Si}(-\text{CH}_3)_2/\text{Si-O}$ ピーク面積比の NH₃ プラズマ処理前後の変化を図 5-8 に示す。ここでは、mDEOS のみのポーラス SiOC 膜と mDEOS+3MS のポーラス SiOC 膜の 2 種類の膜の比較を行っている。図 5-8 に示す通り、mDEOS+3MS の膜は $=\text{Si-CH}_3/\text{Si-O}$ ピーク面積比と $=\text{Si}(-\text{CH}_3)_2/\text{Si-O}$ ピーク面積比共に mDEOS のみの膜より高い。また、 $=\text{Si-CH}_3/\text{Si-O}$ ピーク面積比の結果に関して、どちらの膜も NH₃ プラズマ処理後に同程度の減少を示した。

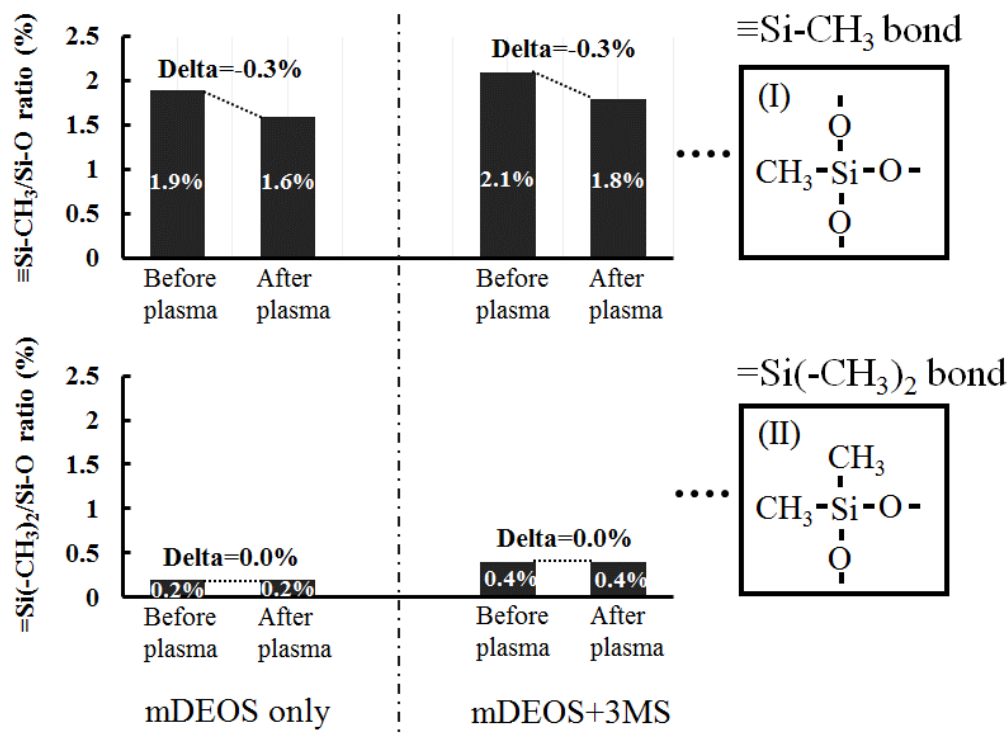


図 5-8. 2 種のポーラス SiOC 膜の Si-CH₃/Si-O ピーク面積比、 $\equiv\text{Si}-\text{CH}_3/\text{Si}-\text{O}$ ピーク面積比、 $=\text{Si}(-\text{CH}_3)_2/\text{Si}-\text{O}$ ピーク面積比の NH₃ プラズマ処理前後の変動。

これは、 $\equiv\text{Si}-\text{CH}_3$ 結合が膜種にかかわらず PID 耐性が高くないことを示唆している。一方、 $=\text{Si}(-\text{CH}_3)_2/\text{Si}-\text{O}$ ピーク面積比の結果については、どちらの膜も NH₃ プラズマ処理による減少が見られない。前述のとおり、高い PID 耐性に関して $=\text{Si}(-\text{CH}_3)_2$ 結合は重要な役割を担っていることを示したが、当結果からも電子線キュア後のポーラス SiOC 膜中の Si-CH₃ 結合を制御することによって、NH₃ プラズマに対する高い PID 耐性を膜に付与できることが分かる。

$=\text{Si}(-\text{CH}_3)_2$ 結合を多く持つことによって高い PID 耐性が得られる理由は、NH₃ プラズマ処理後のポーラス SiOC 膜の深さ方向の膜成分濃度分析結果からも分かる。図 5-9 は、2 種のポーラス SiOC 膜について、NH₃ プラズマ処理前後の炭素元素プロファイル SIMS 分析した結果である。NH₃ プラズマ処理前は、炭素は Depth = 0 nm の膜表面から一様に膜中に存在しているが、mDEOS のみの膜に比べて mDEOS+3MS の膜の方が含有量が多い。NH₃ プラズマ処理後は、膜種に関係なく炭素の膜表層のプ

ロファイルが変化しているが、これは NH_3 プラズマ処理によって膜中の Si-CH_3 結合が破壊され、炭素が脱離したためである。また、影響を受けている炭素量自体は大きな差は無いように観測されている。この結果は 3MS 添加による $=\text{Si}(\text{CH}_3)_2$ 形成の効果が、

- 同一の誘電率であっても、膜中に炭素を高強度に維持させて、高い機械強度を得ることが可能、
- ダメージによる C 濃度の低下に関しては、影響量に差は無いが、ダメージ後に高い疎水性を維持することが可能、

であることを示していると考えられる。

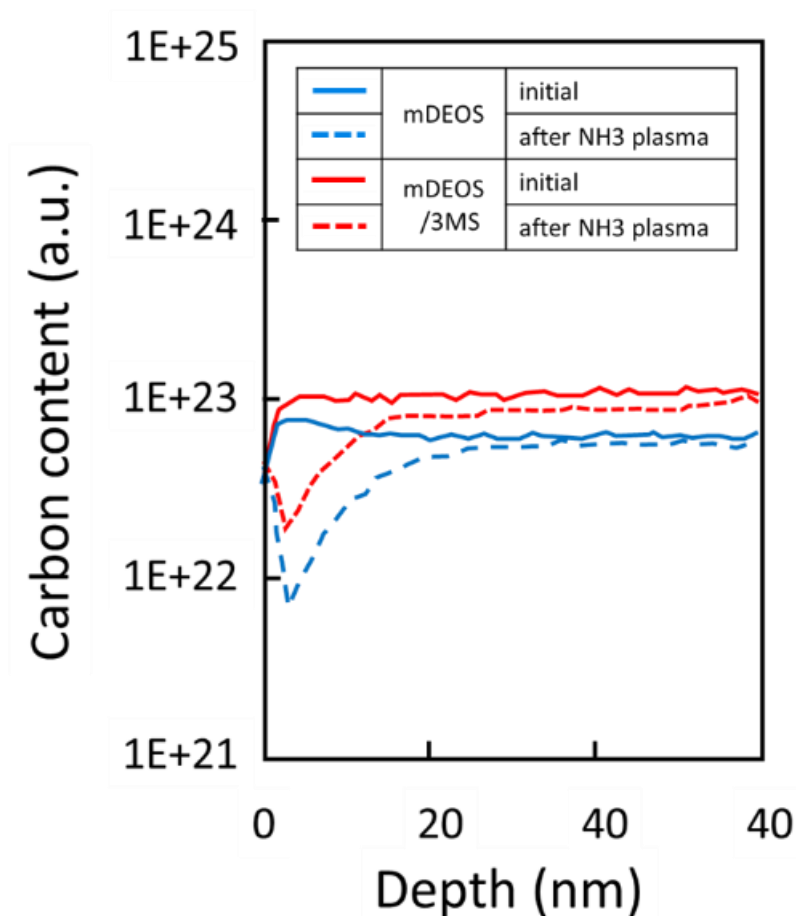


図 5-9. 2 種のポーラス SiOC 膜の NH_3 プラズマ処理前後の炭素プロファイル。

5.3.3 デュアルダマシン（DD）配線の性能

図 5-10 は、p-PAr 膜($k=2.3$)とポーラス SiOC 膜の積層から成るハイブリッド配線間絶縁膜を適用したデュアルダマシン配線の信頼性評価結果である。2 つのポーラス SiOC 膜の結果比較から、mDEOS+3MS を用いて成膜されたポーラス SiOC 膜を適用することで、mDEOS のみを用いたもう一方の膜より高い信頼性が得られた。

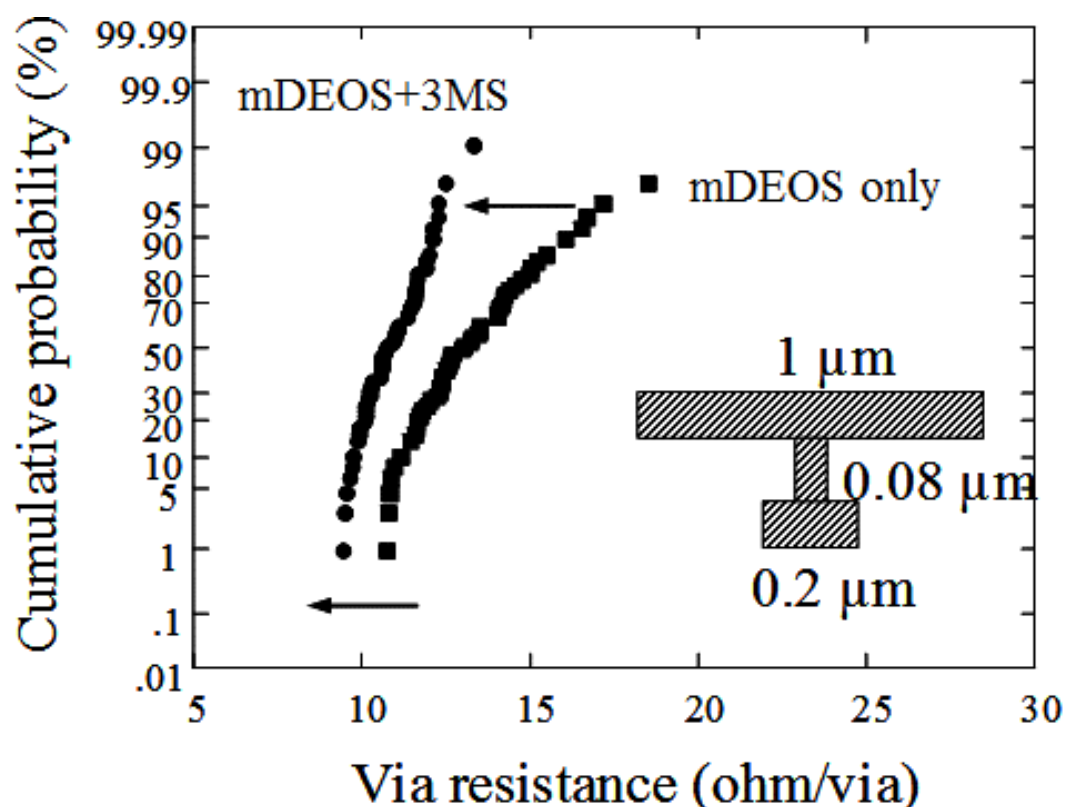


図 5-10. p-PAr 膜($k=2.3$)とポーラス SiOC 膜から成るハイブリッド構造 DD 配線の信頼性 (SiV) 評価結果 (Via 数: 2000 個).

図 5-11 は、 NH_3 プラズマ処理後の 2 種のポーラス SiOC 膜の水 ($m/z : 18$) の脱ガススペクトル波形である。両膜共に NH_3 プラズマ処理後に大気放置一週間にて測定を行った。どちらの膜も吸湿が確認されるが、mDEOS+3MS の膜は mDEOS のみの膜より吸湿が少ないことが分かる。この吸湿量の差は、 NH_3 プラズマ処理後もポー

ラス SiOC 膜中に存在する Si-CH₃ 結合による疎水性の差に起因しており、プラズマによる膜変質と吸湿悪化の間には強い相関があることを意味する。

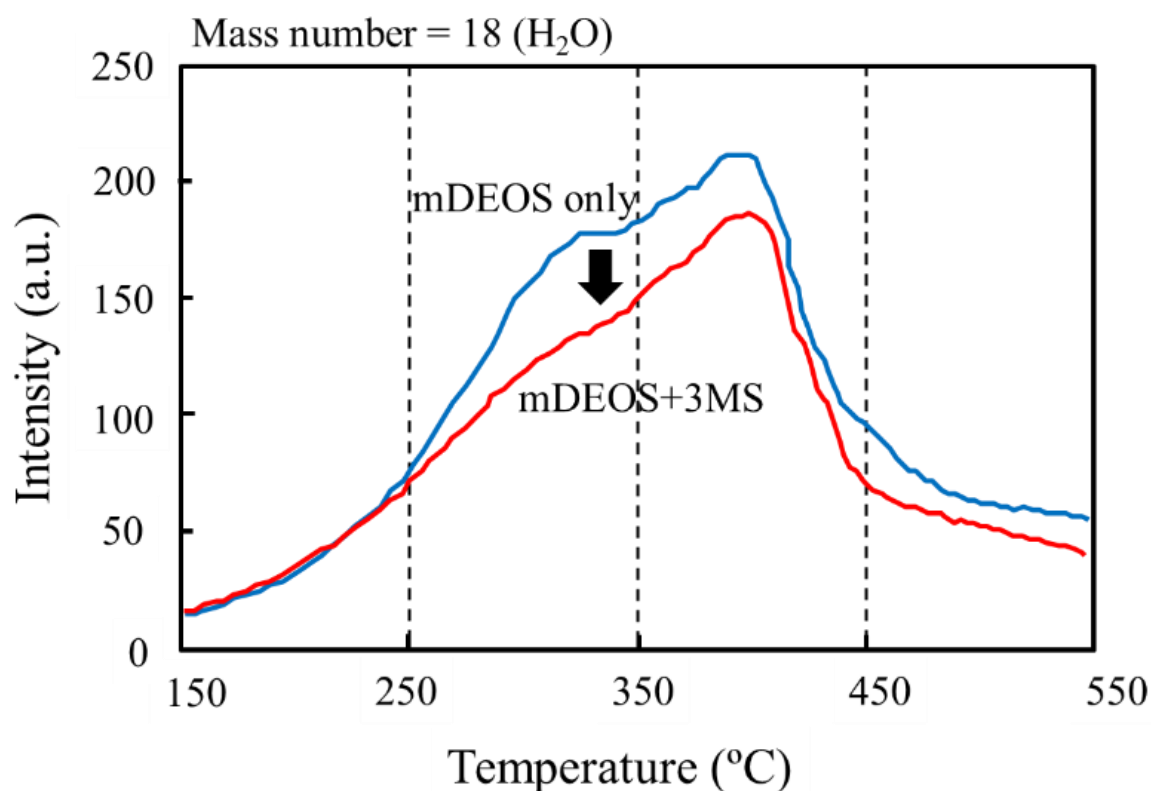


図 5-11. 2 種のポーラス SiOC 膜の NH₃ プラズマ処理後の水 ($m/z=18$) の脱ガススペクトル。

NH₃ プラズマ処理後の吸湿について、2 種のポーラス SiOC 膜の差の詳細な要因を明らかにするために、150°C ~550°C の温度領域の脱ガススペクトル波形の波形分離を行い、要因毎に分析した。図 5-12 に示す通り、脱ガススペクトルを波形分離することで、350°C を中心に広い温度領域に分布するスペクトル波形と、380°C 付近にシャープなプロファイルをもつスペクトル波形が得られた。前者の幅広いプロファイルのスペクトル波形はポーラス SiOC 膜中の空孔内に束縛された成分であり、後者のシャープなプロファイルのスペクトル波形は膜中の Si-OH 結合に起因した成分と思われる。2つの膜の結果を比較すると、mDEOS+3MS 膜において空孔起因の吸湿が顕著に低減することが分かる。

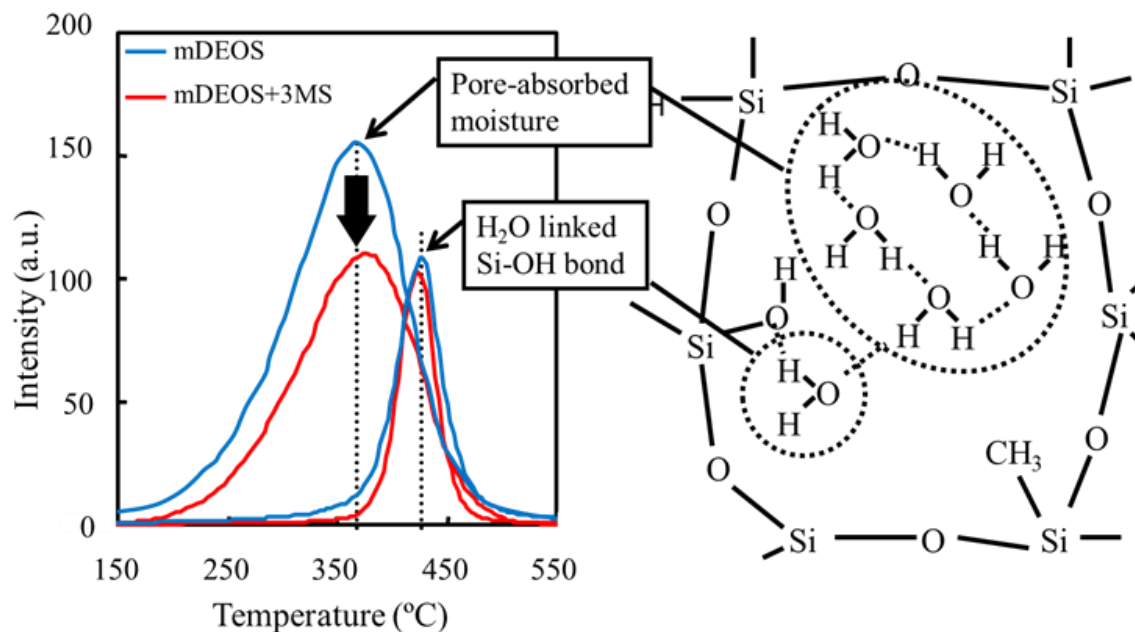


図 5-12. NH_3 プラズマ処理後のポーラス SiOC 膜の水 ($m/z=18$) の脱ガススペクトル波形から分離された 2 つのピークと、それぞれの吸湿モデル概念図。

表 5-2 に記載したように、mDEOS のみをマトリックスプリカーサとした膜と、mDEOS と 3MS を混合して作成した 2 つのポーラス SiOC 膜の空孔径はどちらも 1.1 nm である。単純計算だが、直径 0.3-0.4 nm の水分子を、ポーラス SiOC 膜の 1.1 nm 径の空孔中に最密含浸した場合、15 個の水分子が空孔中に入る。これは、プラズマによる変質でポーラス SiOC 膜が疎水性を失うと、容易に吸湿性が高まることを意味している。

以上の考察から、ドライエッチングプロセスや Cu 表面還元プロセスにおけるプラズマ処理が Low-k 膜の吸湿性を高め、Low-k/Cu 配線へ悪影響を及ぼすメカニズムが明らかとなった。プラズマ処理後のポーラス SiOC 膜において、膜中炭素含有量、すなわち疎水性の維持がプラズマ処理による悪影響の低減に必須である。3MS のような高次の $\text{Si}(-\text{CH}_3)_n$ ($n=2,3$) 結合をもったマトリックスプリカーサの使用により、高い PID 耐性と $k<2.4$ の低い誘電率を両立したポーラス SiOC 膜形成が可能となり、高い信頼性を持った Low-k/Cu 配線を有する高性能ロジック製品が実現できる。

3MS 添加による SiOC 膜の形成効果は、膜中炭素を反応により脱離させるという観点からのプラズマ耐性をあげているのではなく、プラズマダメージ後の吸湿を抑制するために膜中に炭素を効率的に導入し、疎水性を効果的に維持させていると考えられる。導入された $=\text{Si}(\text{CH}_3)_2$ 基は、

- ・プラズマに対して耐性がある、
- ・疎水性が高い、

特性を有していることが、誘電率上昇の観点から見た 3MS の添加効果であり、 $=\text{Si}(\text{CH}_3)_2$ 基導入の効果であると考えられる。ただし、これまでの検討からは、なぜ、 $=\text{Si}(\text{CH}_3)_2$ 基が高いプラズマ耐性を有しているように観測されるのか、 $=\text{Si}(\text{CH}_3)_2$ 基が $\equiv\text{Si}-\text{CH}_3$ 基 2 つに対して疎水性が本当に高いのかは明らかにできなかった。今後に対しての大きな課題としたい。また、表 5-2 に示すように、 $=\text{Si}(\text{CH}_3)_2$ 基を有する多孔質 SiOC 膜は、膜中炭素濃度が高いにもかかわらず高い機械強度を有している。これは、電子線キュアの効果も影響しており、電子線キュアによる膜の硬化に対して有効に働いていると考えられる。この点に関しても、更に詳細な検討が必要と考えられる。

5.4 まとめ

半導体デバイスのメタル配線に高い信頼性を持ったポーラス SiOC 膜を組み込むプロセスにおいて、PE-CVD 成膜プリカーサに 3MS ガスを添加することによってプラズマ誘起ダメージ (PID) への耐性が大きく改善した。膜の結合に注目することにより、膜中の高次の $\text{Si}(-\text{CH}_3)_n$ ($n=2,3$) 結合の比率が、機械的強度と PID 耐性の両立、プラズマ処理による吸湿の抑制に重要であることが分かった。さらに、mDEOS と 3MS の混合比を調整することによりジメチル結合 $=\text{Si}(-\text{CH}_3)_2$ の比率を制御できることも示した。これは、 $k<2.4$ の低誘電率とプラズマ処理に対する高い耐性を両立する上で非常に重要な技術である。

参考文献

- [1] K. Maex, M. R. Baklanov, D. Shamiryan, F. Iacopi, S. H. Brongersma, and Z. S. Yanovitskaya, *J. Appl. Phys.* **93**, 8793 (2003).
- [2] M. R. Baklanov, J. de Marneffe, D. Shamiryan, A. M. Urbanowicz, H. Shi, T. V. Rakhimova, H. Huang, and P. S. Ho, *J. Appl. Phys.* **113**, 041101 (2013).
- [3] H. Miyajima, R. Katsumata, N. Hayasaka and H. Okano, *Proc. 16th Dry Process Symp.*, Tokyo, 133-138 (1994).
- [4] H. Miyajima, R. Katsumata, Y. Nakasaki, Y. Nishiyama, N. Hayasaka, *Jpn. J. Appl. Phys.* **1**, **35**, no.12A, 6217-25 (1996).
- [5] A. Grill, and D. A. Neumayer, *J. Appl. Phys.* **94**, 6697 (2003).
- [6] A. Grill, S. M. Gates, T. E. Ryan, S. V. Nguyen, and D. Priyadarshini, *Appl. Phys. Reviews* **1**, 011306 (2014).
- [7] A. Grill, *J. Vac. Sci. Technol. B* **34**, 020801 (2016).
- [8] R. J. O. M. Hoofman, G. J. A. M. Verheijden, J. Michelon, F. Iacopi, Y. Travaly, M. R. Baklanov, Zs. Tökei, and G. P. Beyer, *Microelectron. Eng.* **80**, 337 (2005).
- [9] V. McGahay, *Materials* **3**, 536-562 (2010).
- [10] M. R. Baklanov, Q. T. Le, E. Kesters, F. Iacopi, J. Van Aelst, H. Struyf, W. Boullart, S. Vanhaelemeersch, and K. Maex, *Proceedings of the IEEE 2004 International Interconnect Technology Conference, USA*, 187-189 (2004).
- [11] F. Bailly, T. David, T. Chevolleau, M. Darnon, N. Posseme, R. Bouyssou, J. Ducote, O. Joubert, and C. Cardinaud, *J. Appl. Phys.* **108**, 014906 (2010).
- [12] M. R. Baklanov, S. Vanhaelemeersch, H. Bender, and K. Maex, *J. Vac. Sci. Technol. B* **17**, 372 (1999).

- [13] E. Smirnov, A. K. Ferchichi, C. Huffman, and M. R. Baklanov, Proc. SPIE 7521, 752107 (2010).
- [14] C. S. Moon, K. Takeda, M. Sekine, Y. Setsuhara, M. Shiratani, and M. Hori, J. Appl. Phys. **107**, 113310 (2010).
- [15] M. A. Worsley, S. F. Bent, S. M. Gates, N. C. M. Fuller, W. Volksen, M. Steen, and T. Dalton, J. Vac. Sci. Technol. B **23**(2), 395 (2005).
- [16.] N. Posseme, T. Chevolleau, T. David, M. Darnon, O. Louveau, and O. Joubert, J. Vac. Sci. Technol. B **25**, 1928 (2007).
- [17] E. T. Ryan, S. M. Gates, A. Grill, S. Molis, P. Flaitz, J. Arnold, M. Sankarapandian, S. A. Cohen, Y. Ostrovski, and C. Dimitrakopoulos, J. Appl. Phys. **104**(9), 094109 (2008).
- [18] J. Bao, H. Shi, J. Liu, H. Huang, P. S. Ho, M. D. Goodner, M. Moinpour, and G. M. Kloster, J. Vac. Sci. Technol. B **26**, 219 (2008).
- [19] E. Kunnen, M. R. Baklanov, A. Franquet, D. Shamiryan, T. V. Rakhimova, A. M. Urbanowicz, H. Struyf, and W. Boullart, J. Vac. Sci. Technol. B **28**(3), 450 (2010).
- [20] N. Nakamura, T. Yoshizawa, T. Watanabe, H. Miyajima, S. Nakao, N. Yamada, K. Fujita, N. Matsunaga, H. Shibata, Proceedings of the IEEE 2004 International Interconnect Technology Conference (USA) 228-30, (2004).
- [21] S. Uchida, S. Takashima, M. Hori, M. Fukasawa, K. Ohshima, K. Nagahata, and T. Tatsumi, J. Appl. Phys. **103**, 073303 (2008);
- [22] H. Yamamoto, K. Takeda, K. Ishikawa, M. Ito, M. Sekine, M. Hori, T. Kaminatsui, H. Hayashi, I. Sakai, and T. Ohiwa, J. Appl. Phys. **109**, 084112 (2011).
- [23] H. Miyajima, H. Masuda, T. Idaka, T. Shimayama, Y. Kagawa, K. Tabuchi, H. Yano, T. Hasegawa, S. Kadomura, and T. Yoda, Advanced Metallization Conference 2005 (AMC 2005) (USA) 297-302, (2006).
- [24] A. Grill, Annu. Rev. Mater. Res. **39**, 49 (2009).

- [25] S. Sankaran, S. Arai, R. Augur, M. Beck, G. Biery, T. Bolom, G. Bonilla, O. Bravo, K. Chanda, M. Chae, F. Chen, L. Clevenger, S. Cohen, A. Cowley, P. Davis, J. Demarest, J. Doyle, C. Dimitrakopoulos, L. Economikos, D. Edelstein, M. Farooq, R. Filippi, J. Fitzsimmons, N. Fuller, S. M. Gates, S. E. Greco, A. Grill, S. Grunow, R. Hannon, K. Ida, D. Jung, E. Kaltalioglu, M. Kelling, T. Ko, K. Kumar, C. Labelle, H. Landis, M. W. Lane, W. Landers, M. Lee, W. Li, E. Liniger, X. Liu, J. R. Lloyd, W. Liu, N. Lustig, K. Malone, S. Marokkey, G. Matusiewicz, P. S. McLaughlin, P. V. McLaughlin, S. Mehta, I. Melville, K. Miyata, B. Moon, S. Nitta, D. Nguyen, L. Nicholson, D. Nielsen, P. Ong, K. Patel, V. Patel, W. Park, J. Pellerin, S. Ponoth, K. Petrarca, D. Rath, D. Restaino, S. Rhee, E. T. Ryan, H. Shoba, A. Simon, E. Simonyi, T. M. Shaw, T. Spooner, T. Standaert, J. Sucharitaves, C. Tian, H. Wendt, J. Werking, J. Widodo, L. Wiggins, R. Wisnieff, and T. Ivers, Tech. Dig. - Int. Electron Devices Meet. 355 (2006).
- [26] A. Grill, S. Gates, C. Dimitrakopoulos, V. Patel, S. Cohen, Y. Ostrovski, E. Liniger, E. Simonyi, D. Restaino, S. Sankaran, S. Reiter, A. Demos, K. S. Yim, V. Nguyen, J. Rocha, and D. Ho, in Proceedings of the IEEE 2008 International Interconnect Technology Conference, 28 (2008)
- [27] D. Kioussis, E. T. Ryan, A. Madan, N. Klymko, S. Molis, Z. Sun, H. Masuda, T. Lee, D. Restaino, L. Clevenger, R. Quon, R. Augur, S. M. Gates, A. Grill, H. Shobha, S. Cohen, S. Liana, and K. Virwani, Proceedings of the IEEE 2011 International Interconnect Technology Conference and 2011 Materials for Advanced Metallization, Germany, (2011).
- [28] L. Matz, M. K. Haas, R. N. Vrtis, X. Jiang, A. Wu, M. B. Rao, and M. L. O'Neill, 2010 IEEE International Interconnect Technology Conference, CA, USA, (2010).
- [29] K. Fujita, H. Miyajima, R. Nakata, and N. Miyashita, Proceedings of the IEEE 2003 International Interconnect Technology Conference (USA) P.P.106-8, (2003).
- [30] T. Yoda, Y. Nakasaki, H. Hashimoto, K. Fujita, H. Miyajima, M. Shimada, R. Nakata, N. Kaji, N. Hayasaka, Jpn. J. Appl. Phys. 2, Lett. (Japan) **44**, 1A, 75 (2005).
- [31] H. Miyajima, K. Fujita, R. Nakata, T. Yoda, and N. Hayasaka, Proceedings of the IEEE 2004 International Interconnect Technology Conference (USA) 222-224, (2004).

- [32] H. Miyajima, K. Watanabe, M. Shimada, T. Sakanaka, N. Nakamura, T. Shimayama, Y. Enomoto, H. Yano, and T. Yoda, Advanced Metallization Conference 2006 (AMC 2006). Proceedings (USA) (2006).
- [33] M. Inohara et al., 2002 International Electron Devices Meeting (USA), 77-80, (2002).
- [34] H. Miyajima, K. Watanabe, K. Fujita, S. Ito, K. Tabuchi, T. Shimayama, K. Akiyama, T. Hachiya, K. Higashi, N. Nakamura, A. Kajita, N. Matsunaga, Y. Enomoto, R. Kanamura, M. Inohara, K. Honda, H. Kamijo, R. Nakata, H. Yano, N. Hayasaka, T. Hasegawa, S. Kadomura, H. Shibata, and T. Yoda, 2004 International Electron Devices Meeting (USA) 329-332, (2005).

第 6 章

埋め戻し技術を用いた低誘電率ポーラス SiOC 膜の プラズマダメージ抑制

6.1 背景と目的

本来層間膜の Low-k 化は微細化に伴う RC 遅延の問題解決として期待されてきたが、当初のもくろみからは大きくずれており、思うように推進できていない。k=2.4-2.5 で足踏み状態に入り、32nm 世代以降はむしろ層間膜の k 値は上昇傾向にすらある。この理由はいくつかあるが、大きくは 2 つの要因によると考えられる。一つは Low-k 膜の後工程におけるプロセス耐性、もう一つが Low-k 膜の機械的特性の脆弱さにある。(図 6-1)

後工程におけるプロセス耐性に関しては、特に、

- ドライエッチング時のプラズマダメージ
- Metallization (PVD) によるダメージ
- PreClean/SiC(N)成膜時のプラズマダメージ

が注目される。そのため、特に 22nm 世代以降の現実的な課題としては、

- ドライエッチング時の配線パターンの変形 (Wiggling、俯瞰で配線溝のよれ)
- ドライエッチング形状制御 (ボーイング、CD 制御)
- PVD 工程後のプラズマダメージやストレスによる形状の変形 (ボーイング)
- 加工形状に起因した Cu 埋め込み不良
- Cu 信頼性 (特に EM、TDDB 耐性) の確保
- 実効 RC の上昇 (特に Module 形成後での k 値の上昇)
- Packaging での不良 (特に、剥がれおよび Low-k 材料自体の破断)

などが挙げられる。これらは微細化による影響だけからも発生する問題であり、k 値を前世代と同じ材料で維持するか、むしろ k 値を上げないと対応できない状況である。次世代に対して、少なくとも微細化技術(リソグラフィ技術を含む)と Low-k 技術を同時に開発するのは特に 80 nm Pitch 以降の配線では困難になっている。

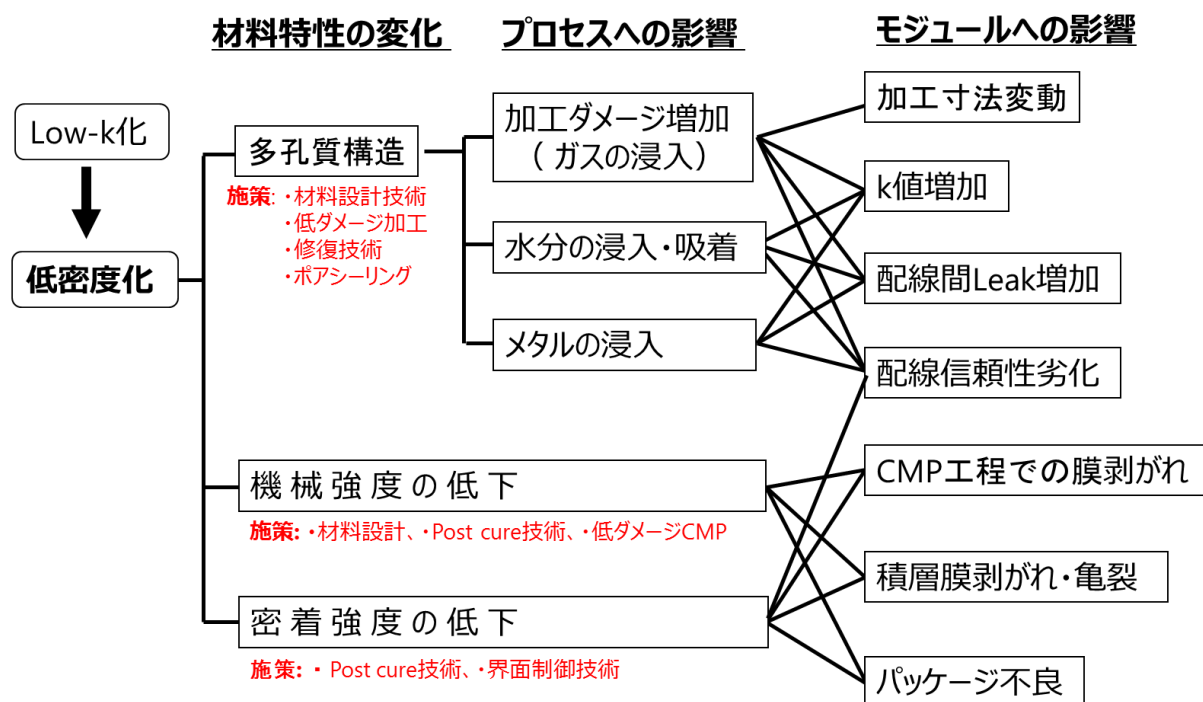


図 6-1. ILD の Low-k 要求に伴う膜密度低下に伴う課題と対する施策.

これまで、CVD・塗布膜にかかわらず多くの Low-k 膜が検討されてきたが、材料候補として挙がっている全ての材料において多くの問題を解決するまでにはいたっていない。課題は、微細化技術が並行して開発されていることにもある。2回の露光によって解像度を2倍(パターンの最小寸法を半分)にするダブルパターニングなど新規の技術が必要なために、ターゲット寸法での検討までには時間がかかるので、それまでは前世代の寸法での検討が必要となり、現実にかかる問題の抽出及び対応が遅れがちになりやすい。さらに、問題としているのが、Blanket 膜での膜特性の評価結果が、実際に問題となっている前述の課題に対して、どのように関連しているかが必ずしも理解できていない点と、次世代で必要とされる SPEC (機能や性能の仕様) が分からない点である。例えば、Low-k 膜にある条件で O_2 プラズマを暴露し、そのときの誘電率の上昇を1日後に測定し、膜厚やプラズマ条件をそろえることで A 膜と B 膜の優劣は言うことが出来たとしても、その優れている方の膜が次世代の TDDB などの配線信頼性に対して SPEC を満たしているかは分からない。TDDB を満たすためにはまずはパターニングする前の単膜でどの特性を満たしていればいいの

か、特に次世代に関しては不明である。結局、有望そうな膜に対しては配線構造を作って評価せざるを得ない。モジュール技術に関しても、前世代の技術を使用して優劣を判定しており、最終的にはコンサバティブなアプローチに陥っている。

ブレイクスルーのためには、新規材料のみではなく新たなインテグレーションアプローチの検討が急務である。現時点において Blanket 評価において重要視している Low-k 膜の特性は図 6-2 に示すように、比誘電率、機械強度、密着強度、加工耐性などになるが、この項目では十分とは考えられず、材料やプロセス、インテグレーションの違いによる見直しが必要である。

表 6-1. Low-k 膜材料の開発において重要視されている薄膜としての基本特性とそのデバイスへの影響領域.

Low-k材料としての評価項目		モジュールへの要求
機械強度	比誘電率 (k)	デバイス性能
	硬度、弾性率	パッケージ信頼性
	クラック耐性(厚膜限界)	
密着強度	ストレス、 ストレスヒステリシス	
	線膨張係数	
	密着強度	
加工強度	プラズマ耐性	配線信頼性

プラズマダメージ以外に直面している問題は、大まかには以下のような事柄も懸念されている。CMP 工程による明らかな問題は報告されていないが、(1)メタルマスク材料採用による CMP 工程におけるスクラッチ(scrach)と呼ばれる表面表面傷の増加、それに伴う配線間での電氣的な短絡不良(Short や leak と呼ばれる)、(2)CMP 工程において使用する薬液の膜中への浸入による誘電率上昇や水分との反応による薬液成分の再結晶によるパーティクル発生、などが観測されているが、後工程の Cu 拡散防止層の Cap 成膜の際の昇温および NH₃ プラズマ処理でその影響が現状では消されていることが分かっている。これらの CMP ダメージは、今後問題となる可能性が高いと考えられ、CMP 後のダメージ修復処理などの検討が必要である。

金属配線形成工程に関しては、バリアメタルによる Low-k 膜のダメージ層の水分が SM や EM に及ぼす影響の違いは考えられるが、少なくとも Ta/TaN 系のバリアメタルを使用した場合にはでは顕著な影響は見られていない。ただし、バリアメタル成膜による膜ストレスやスパッタ工程におけるプラズマの影響による Low-k 膜の変形や金属拡散による誘電率の上昇は今後強く懸念されている。CoWP/Co/Ru のような選択的な金属膜の形成方法を用いた Cu 表面の拡散防止層形成プロセスに選択メッキ法を用いた場合はメッキに使用する薬液の膜中への浸入による Leak や TDDB の問題や、CVD の場合は、選択崩れによる defect の生成にともなう配線間の電氣的短絡(配線間 Short)の問題が観測されている。

Patterning 工程においては、MHM の採用により、微細 Pattern 加工後に Wiggling と呼ばれる配線よれや、洗浄後の Flop-over と呼ばれる配線 Pattern 倒れが問題になっている。これは明らかに膜の機械強度に依存しており、Low-k 化に伴い問題になる。IPA (isopropyl alcohol) 洗浄や金属材料によるドライドライエッチング加工用ハードマスク材料の選定・改良によりある程度の改善は望めるが、将来的には大きな問題として残ると考えられる。

本章では上述のポーラス Low-k 材料の有する問題点、特にプラズマ耐性に対する脆弱性と低機械強度による膜形成後の後工程における課題を解決するための新規プロセスインテグレーションのコンセプトを提案すること、及びそのコンセプトの基礎検討を行うことを目的とする。

6.2 ポーラス Low-k 膜に対する新規インテグレーションコンセプトの提案

Logic 半導体において、BEOL 多層配線構造に対しては、RC 遅延の低減が要求されており、配線は Al から Cu に、層間絶縁膜は、 SiO_2 ($k=3.9-4.2$) から、 SiOF ($k=3.7-3.9$)、 SiOC ($k=3.0-3.7$)、Porous- SiOC ($k=2.0-3.0$) が検討されてきた。

ただし、特に Porous- SiOC 膜は機械的強度が低くパッケージング工程においてに問題を有するとともに、低プラズマ耐性に起因した吸湿による信頼性劣化が問題となっている。図 6-2 に東芝において検討した Si-O 骨格を有する低誘電率塗布膜の膜中炭素濃度とプラズマ耐性との関係を示す。ここでプラズマ耐性は、一定条件でアンモニアのプラズマに晒した際の誘電率の変化で示す。図 6-2 に示すように、膜中 C 濃度を増加させることによりプラズマ耐性は改善する。その反面、炭素の膜中への導入は Si-CH_3 基の導入を意味するため、膜の基本骨格である Si-O 結合が減少することになり、結果、機械的強度は更に低下する。

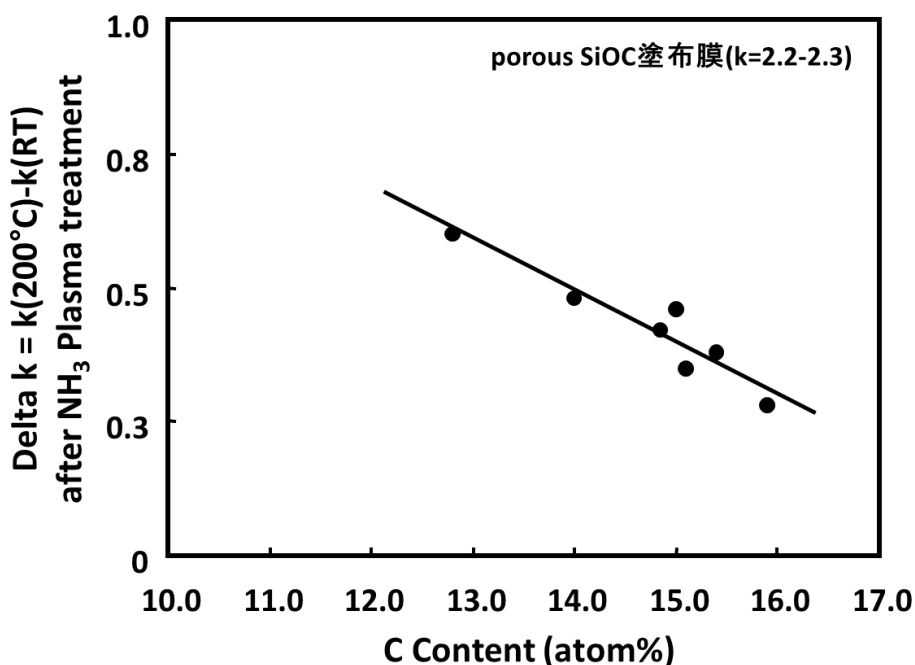


図 6-2. SiOC 膜中における C 濃度とプラズマ耐性との関係。

本章で提案する新規インテグレーションコンセプトについて説明する前に、従来のプロセスフローによる配線形成の断面構造を図 6-3 に示す。

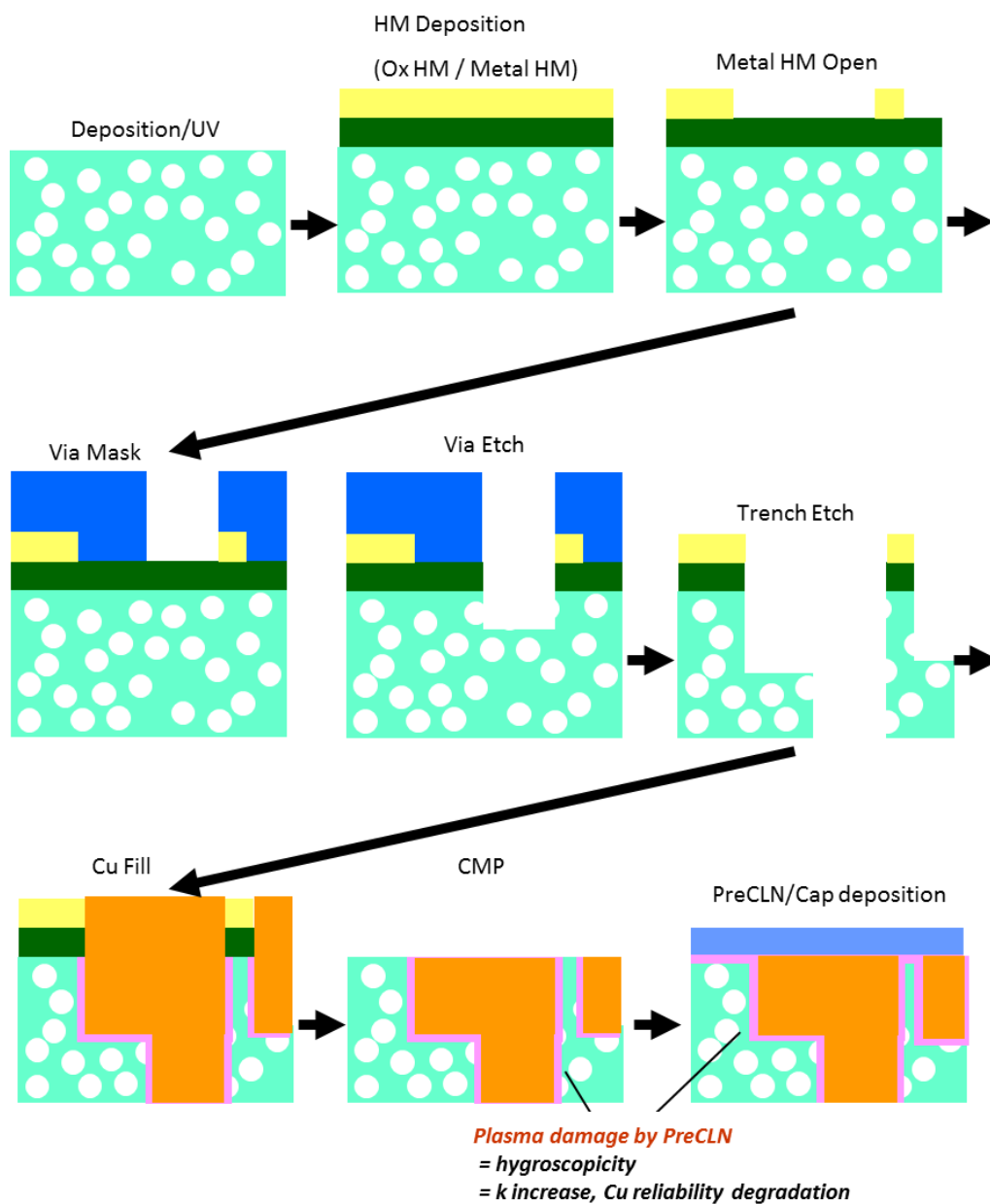


図 6-3. Low-k 膜を用いた Cu 埋め込み配線の一般的な形成方法.

従来は、ポーラス Low-k 膜を形成後に配線溝及び via ホールを 2 層のハードマスクを用いて RIE により形成し、その後 Cu 配線の埋め込みを行い、さらに、Cu 表面に

Cap 層を形成する。ただし、配線構造の際のプラズマダメージ、及び上層 Cap 層を形成する際のプラズマダメージの影響で、ポーラス Low-k 膜表面にはいわゆる吸湿層であるダメージ層が形成され、誘電率の上昇や配線信頼性の劣化原因となる。また、ポーラス材料であるため、CMP の際にスクラッチなどの傷が入りやすく、配線間リークの原因となる。それに対して、新規提案するプロセスインテグレーションを図 6-4 に示す。一度形成したポーラス Low-k 膜をカーボン材料で埋め戻すことにより、膜中の空孔をカーボン材料で含浸して膜中カーボン濃度を高くするとともに膜強度を補強し、配線形成後に含浸したカーボン材料を除去するものである。同様のコンセプトにより検討は IBM などのグループも検討を行っている[12]。

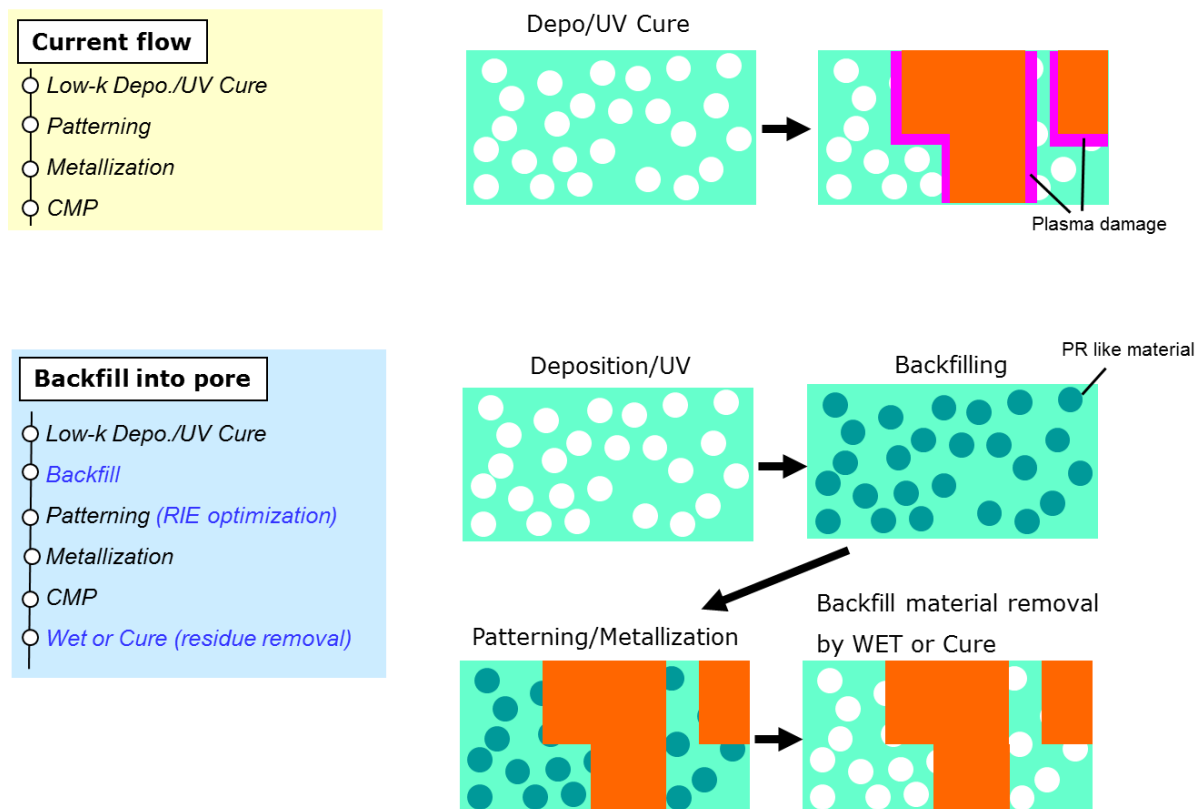


図 6-4. 空孔を埋め戻しすることによる加工ダメージ低減スキーム(1).

ただし、提案されている図 6-4 のプロセススキームに従い Cu 配線を CMP にて形成後すぐに Low-k 膜中に含浸した材料を除去した場合、その後の Cu 表面の前処理であ

る NH_3 プラズマ工程と Cu cap 成膜工程で使用する NH_3 などのガスで再びポーラス Low-k 材料にダメージが入る可能性があるため完全解にはいたっていないと考えている。

そのため、図 6-5 で示すように CuSiN のような選択的な Cu 表面にのみ拡散防止層を形成する Cu Cap 成膜技術を利用して、Cap 成膜後に含浸材料を除去するプロセスフローが効果的と考えられる。また、その際ダマシン工程において、配線溝形成途中で含浸させた場合、必要な領域にのみ含浸材料を充填させるため、含浸材料の除去も容易に出来ると考える。本章ではこのコンセプトに基づき、多孔質低誘電率膜の加工ダメージを抑制するためのスキームを構築するための基礎検討である。

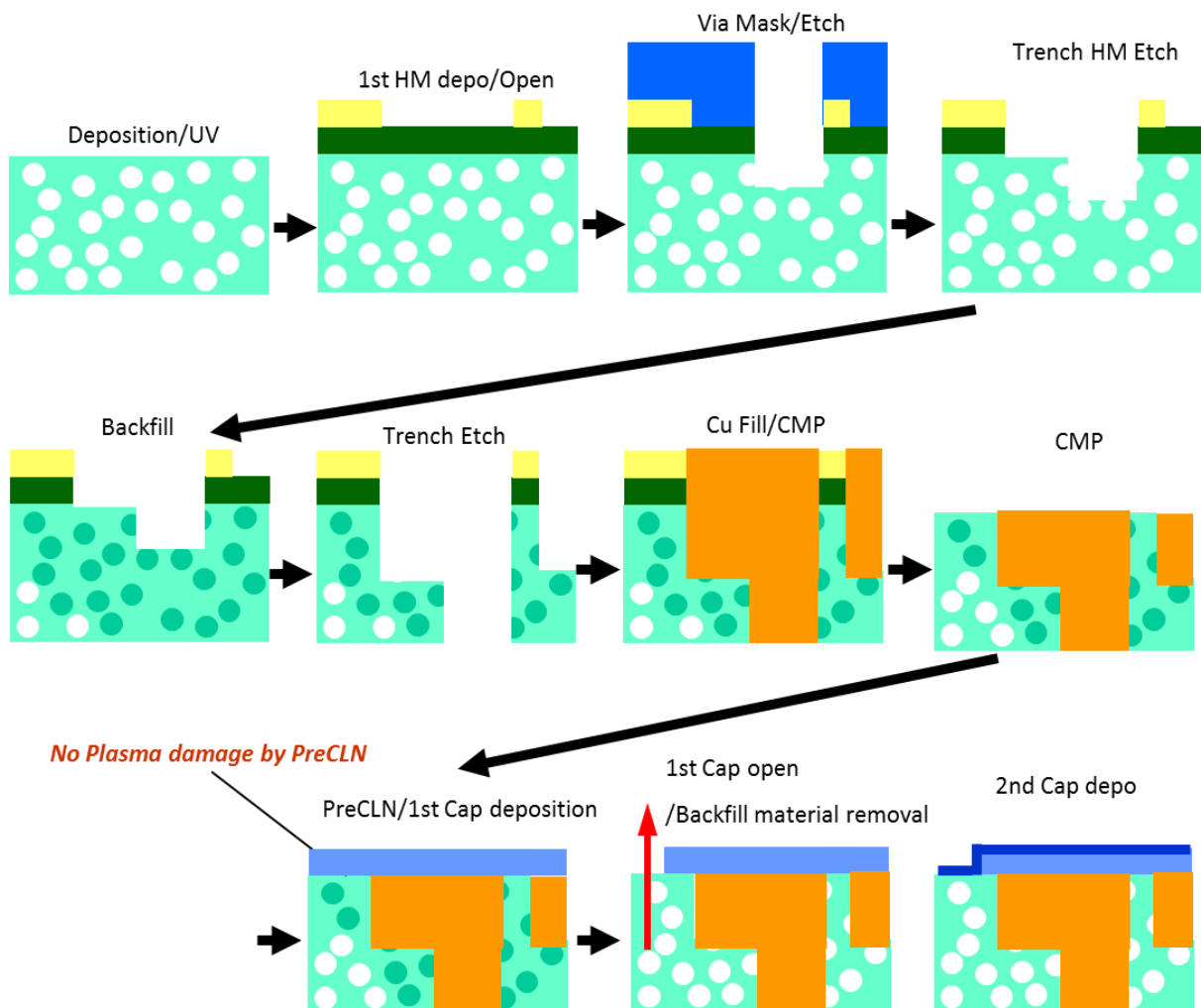


図 6-5. 空孔を埋め戻しすることによる加工ダメージ低減スキーム(2).

6.3 基礎実験方法

6.3.1 実験サンプル

本研究ではモチーフとして JSR 社製の低誘電率ポーラス SOG 膜である LKD-6206 を用いた。表 6-2 に LKD-6206 の基本特性を示す。LKD6206 は膜中に 2.4nm 程度の空隙を導入したメチルシロキサン樹脂である。表 6-2 にその基本的特性を示す。膜の硬化には Axcelis 社製の紫外線キュア装置を使用した。一般的には、SOG 膜は空孔と呼ばれる空隙が連結性を示すため、薄膜形成後に異種材料を含浸させるのは適していると考えられる。

表 6-2. 本実験で用いたポーラス Low-k 膜である JSR 社製 LKD-6206 の基本特性.

		LKD-6206
Cure		Axcelis UV (400°C, 6 min)
k	RT	2.34
	200°C	2.28
Leakage current (A/cm ² @2MV/cm)		1.40E-09
RI		1.309
C content (at%)		29.0
Modulus (GPa)		6.0
Pore diameter (nm)		2.4 (median)

また、図 6-6 に LKD-6206 成膜後に含浸させる材料として、ポリオレフィン骨格樹脂(モノマー分子量 Mw=1000)である JSR 製の MT-1000 を選択した。MT-1000 は熱 250°C 以上で熱分解特性を示す。

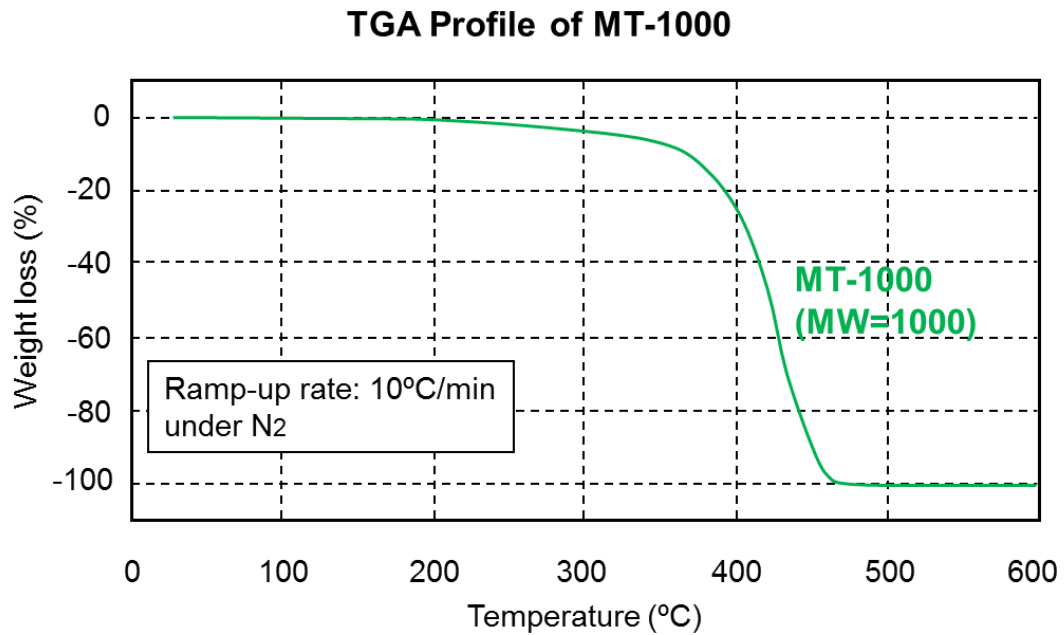


図 6-6. 含浸材料として用いた JSR 社製ポリオレフィン骨格樹脂 MT-1000 の耐熱特性.

6.3.2 実験方法

サンプルとして、200nm の厚さに成膜したポーラス low-k 膜(LKD-6206)を塗布し、紫外線キュア法により硬化させた。ポーラス 膜形成後、さらに、ポリオレフィン骨格樹脂(MT-1000)を塗布法により含浸させて、200°C で N₂ 雰囲気にて 5 分焼成したものを準備した (図 6-7) 。ダメージ耐性の評価は、実際のプロセス工程を考慮し、

- (1) via ホール加工条件にて 100nm ドライエッチングする、
 - (2) Trench 加工条件にて 100nm ドライエッチングする、
 - (3) via/trench 条件の 2 ステップで 50/50nm のトータル 100nm ドライエッチングする、
- ことにより準備した (図 6-8) 。

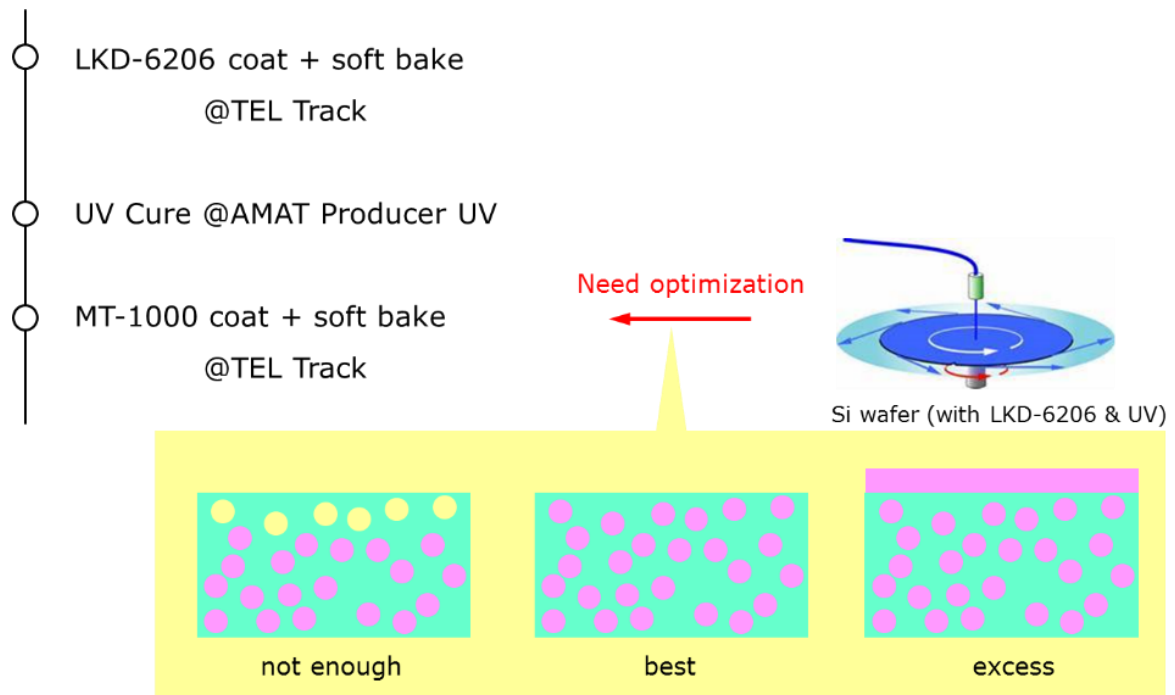


図 6-7. ポーラス Low-k 膜である LKD-6206 の成膜及び含浸材料 MT-1000 の形成.

via etch/trench etch/full etch

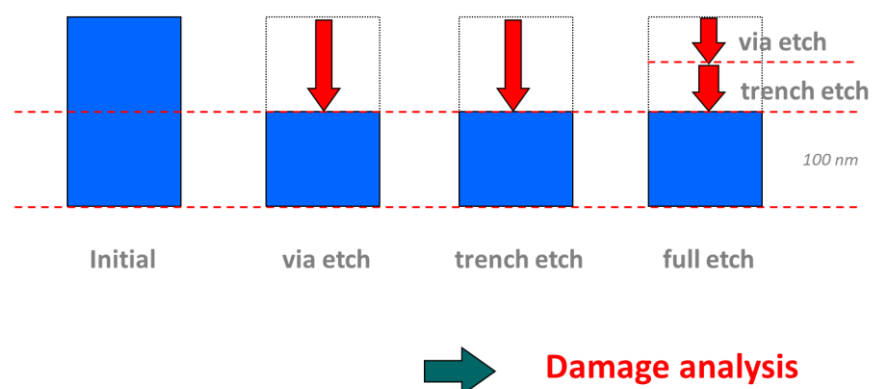


図 6-8. ダメージ耐性評価におけるサンプルメイクの方法.

加工ダメージの評価は、膜の比誘電率を室温と 200°C で測定することにより行った。O ラジカルによるダメージが膜中に生じた場合、



なる反応等により、膜中の Si-CH₃ 基が酸化され Si-OH 基（シラノール基）が膜中に形成される。このシラノール基が吸湿サイトとなり、大気中の水分が Si-OH 基に水素結合し、更に水分同士が水素結合により水分が連鎖的に膜中に増加するいわゆる吸湿現象が起きることにより室温における誘電率は上昇する。つまり、ダメージを受けた膜の誘電率は、ダメージにより形成された Si-OH 基と吸湿水分の合成されたものである。水の沸騰点以上の 200°C で誘電率を測定した場合、膜中水分は脱離するため、200°C での誘電率は膜中に形成された Si-OH 量に依存する。これを利用し、膜中ダメージ量を、

$$\Delta k = k(200^\circ\text{C}) - k(\text{RT}) \quad (\text{式 6-2})$$

と定義する。

6.4 結果と考察

結果を図 6-9 に示す。ベースとなる LKD-6206 に、(1) via ホール加工条件(100 nm ドライエッチング)、(2) Trench 加工条件 100 nm ドライエッチング、(3) via/trench 条件の 2 ステップで 50/50 nm ドライエッチング、した。ドライエッチングガスは、via 加工及び Trench 加工ともメインドライエッチングでは C_4F_8 ガスを使用した。via 加工条件では、2 step 条件を採用し、2 step 目の Via 底部を加工する際のオーバーエッチと呼ばれるウエハ面内での不十分な加工の抜け残りをなくするために設定する時長条件において CF_4 ガスを使用していることから trench 加工条件と比較して F の影響のためにダメージ量が多い。

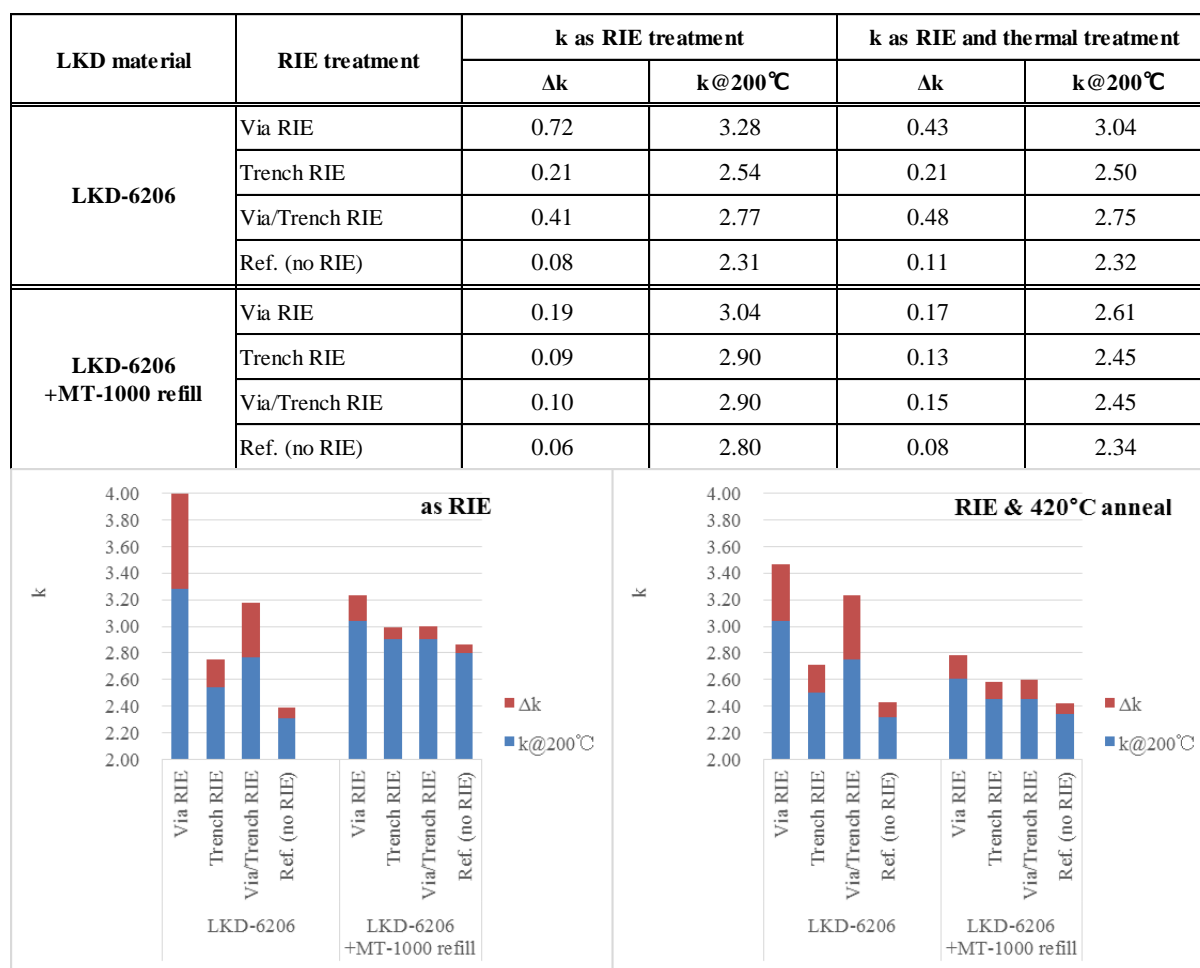


図 6-9. プロセスによる LKD-6206 の比誘電率 k の変動.

次に、図 6-10 に、S1 サンプルとして、LKD-6206 に via/trench 加工を行い、更に 420°C N₂ 雰囲気中で 60 分アニールしたサンプルの 200°C における誘電率の変化、S2 サンプルとして、LKD-6206 に MT-1000 を含浸させ、更に 420°C N₂ 雰囲気中で 60 分アニールしたサンプルの 200°C における誘電率の変化、S3 サンプルとして、LKD-6206 に MT-1000 を含浸させ、via/trench 加工を行い、更に 420°C 真空雰囲気中で 60 分アニールしたサンプルの 200°C における誘電率の変化を示す。

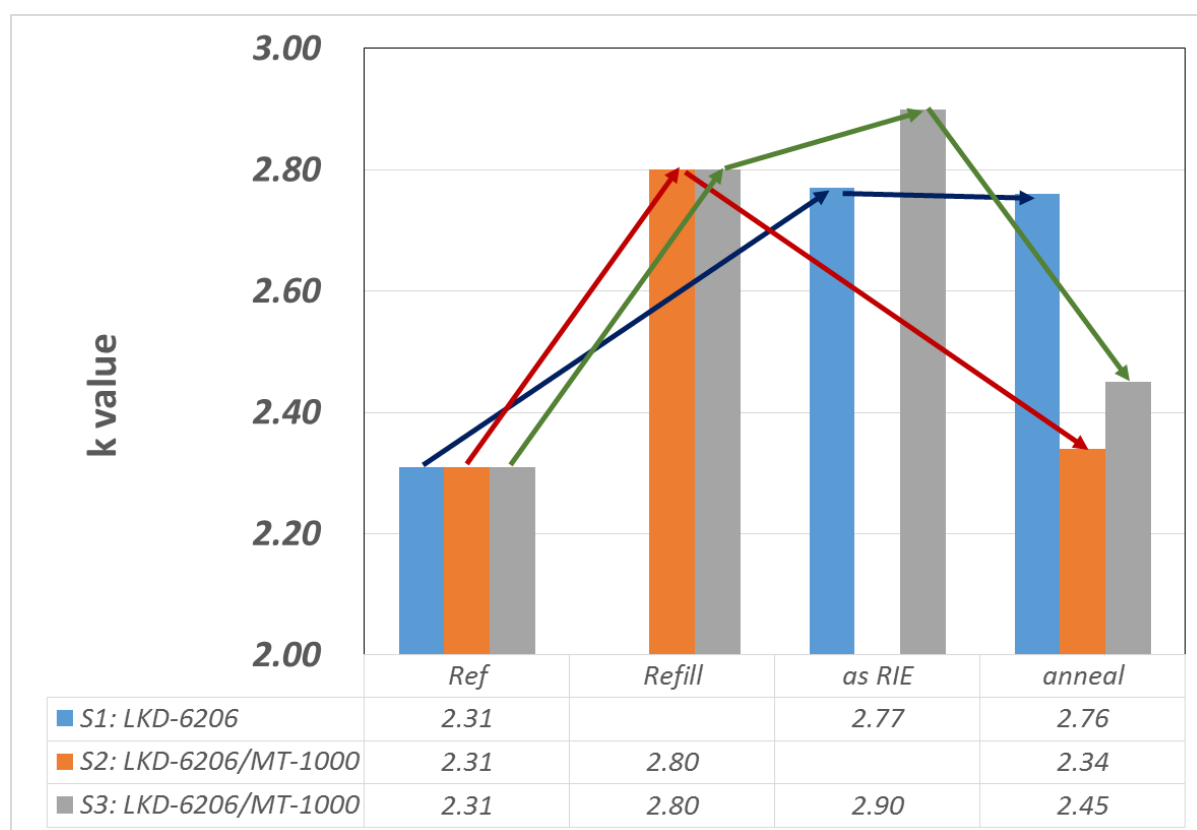


図 6-10. LKD-6206 の比誘電率 k の変動量と MT-1000 含浸有無の影響比較.

LKD-6206 はドライエッチング加工により誘電率が変化し、加工ダメージと考えられる k shift は、

$$k \text{ shift} = 2.76 - 2.31 = 0.45 \quad (\text{式 6-3})$$

であったのに対して、LKD-6206 に MT-1000 を含浸させた後にドライエッチング加工を行い、さらに 420°C 真空雰囲気 で 60 分アニールしたサンプルの k -shift は、

$$k \text{ shift} = 2.45 - 2.31 = 0.11 \quad (\text{式 6-4})$$

とダメージ量は 1/4 に抑制されていることが分かる。サンプル S3 は LKD-6206 に MT-1000 を含浸させた後にドライエッチング加工を行わず、さらに 420°C 真空雰囲気 で 60 分アニールしたサンプルであるが、 k -shift は、

$$k \text{ shift} = 2.34 - 2.31 = 0.03 \quad (\text{式 6-5})$$

であり、MT-1000 による含浸が、誘電率に影響を大きく与えることなくアニールによる除去可能なことを示している。

次に、深さ方向における膜中 Carbon Profile の XPS による測定結果を示す。ここで図 6-11(a)は、ポーラス Low- k 膜である LKD-6206 自体の Carbon profile、およびポリオレフィン骨格樹脂である MT-1000 を更に含浸させた膜の XPS による Carbon profile を示す。LKD は表面 Carbon 濃度が高いことが特徴であり、ポリオレフィン骨格樹脂含浸後は表面近傍の Carbon 濃度が膜中より若干低いが、Profile は膜中においては均一であり、含浸が膜中においては理想的に行われていることを示す。表面におけるプロファイルは、含浸させたポリオレフィン骨格樹脂が表面においては十分ではないことを示すと考えられるが、ポリオレフィン骨格樹脂の塗布量を増やすことにより調整は可能と考えられる。

図 6-11(b)にポーラス Low- k 膜 (LKD-6206, 膜厚 200 nm) にポリオレフィン骨格樹脂 (MT-1000)を含浸させ、さらに膜厚を 100nm までドライエッチング後、ポリオレフィン骨格樹脂をアニールにより昇華させた後の XPS による膜中 Carbon profile と、ポーラス Low- k 膜 (LKD-6206, 膜厚 200 nm) を膜厚 100nm までドライエッチング後、ポリオレフィン骨格樹脂をアニールにより昇華させる工程と同等の熱処理を加えた膜中 Carbon profile とを、オリジナルのポーラス Low- k 膜 (LKD-6206) の Carbon profile と比較した。図 6-11(b)から明らかなように、LKD-6206 は RIE を行うことによ

り表面から 25 nm 程度の深さまで C 濃度が大きく減少しており、最表面部において C 濃度はオリジナルの膜から 1/2 まで減少している。また、膜中の C 濃度も 25 nm より深い領域では 5 at% 程度低下しており、RIE によるダメージが表面のみでなく全領域に及んでいることが分かる。一方で、MT-1000 を LKD-6206 に含浸させてから、100 nm ドライエッチングした後に、MT-1000 をアニールアウトした膜においては、LKD-6206 の際にみられた表層部での極端なダメージは観測されず、Carbon の Profile は Flat である。一方で、膜全領域において、平均的には 2at% 程度の C 濃度の低下がみられた。

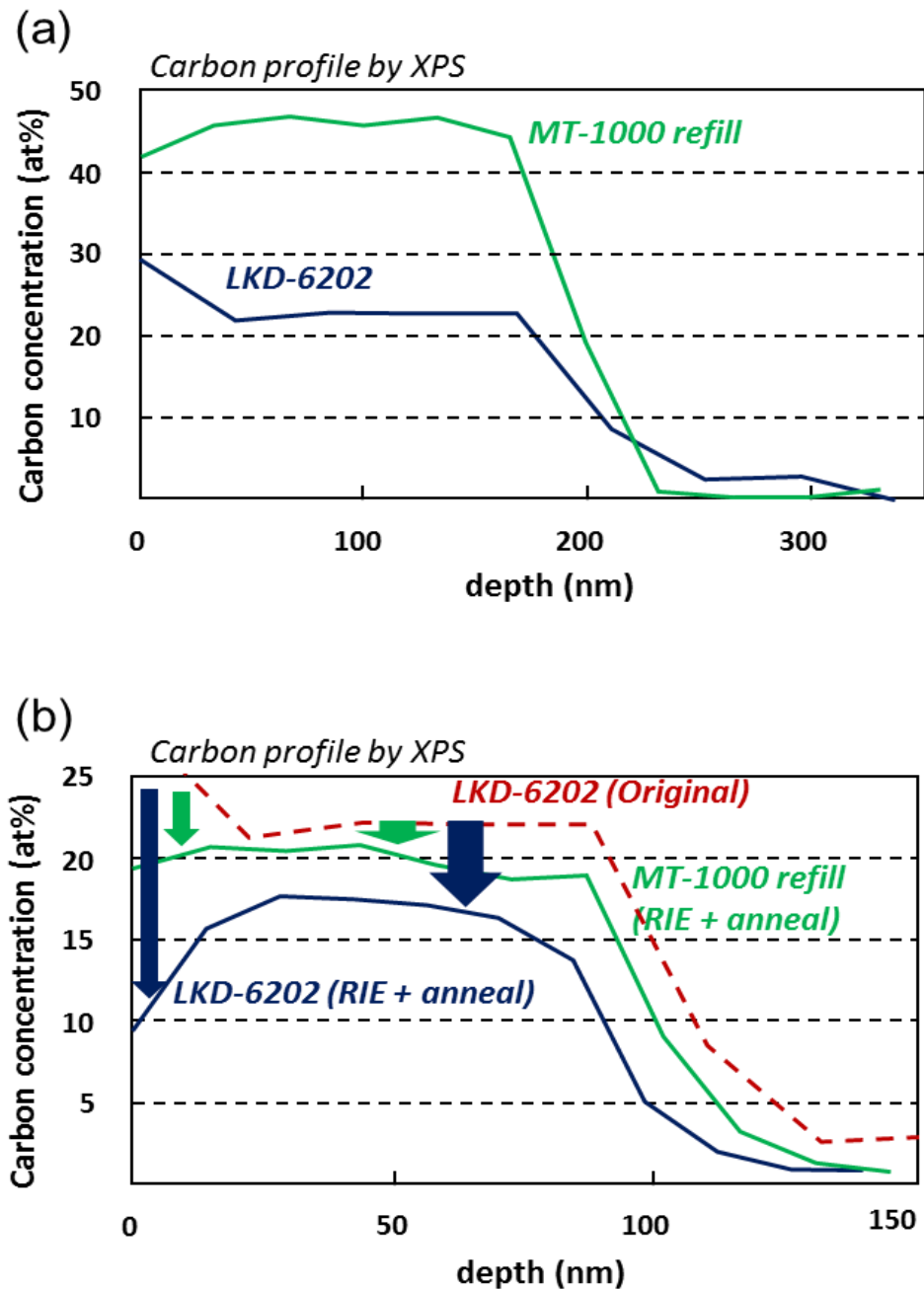


図 6-11. 深さ方向における膜中 Carbon Profile の XPS による測定結果 (a)MT-1000 含浸有無での C プロファイルの比較、(b)ドライエッチング後の C プロファイルの比較.

配線に接する Low-k 膜表面におけるダメージ層の存在が、配線信頼性に大きく影響する。これは、前述したように、ダメージ層に形成される Si-OH 基が吸湿サイトとして振る舞うためである。水分が配線を酸化することが最大の配線の信頼性劣化

の原因であることから、ポリオレフィン骨格樹脂による埋め戻し技術における表層領域の加工ダメージの抑制効果は大きな改善が期待できる。

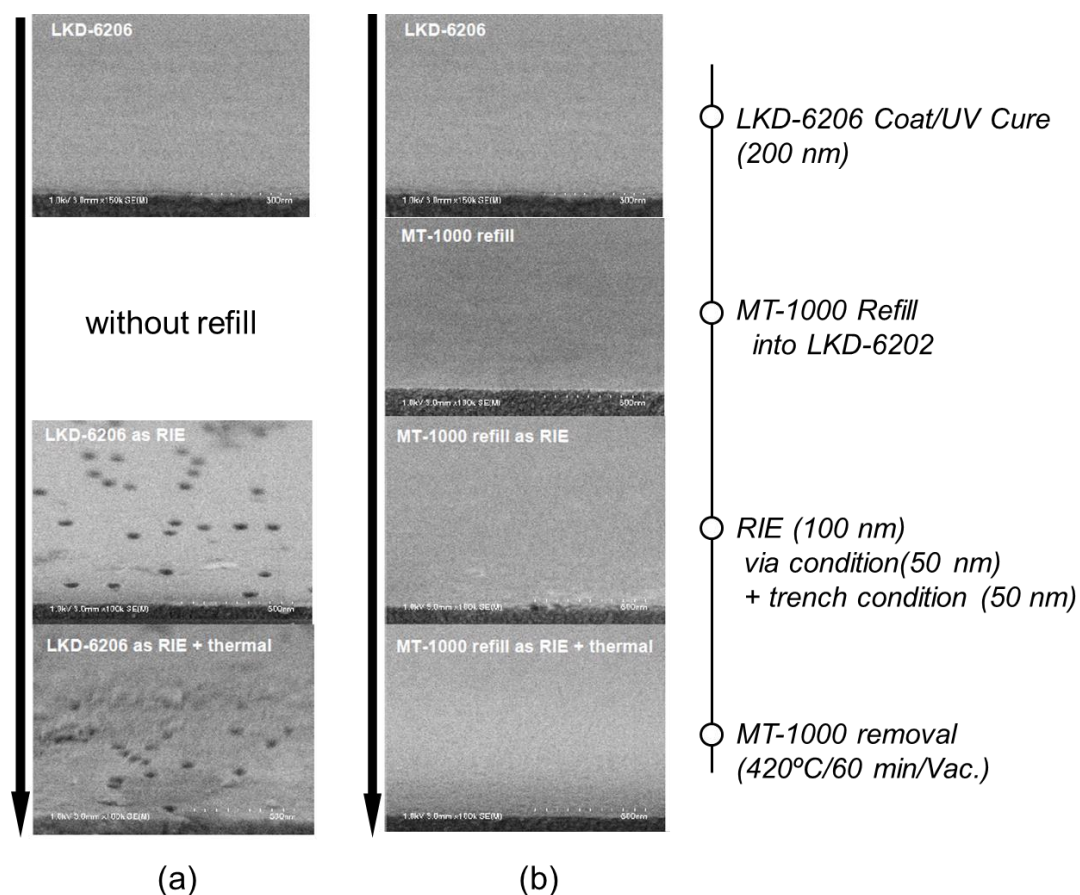


図 6-12. RIE によるポーラス Low-k 膜表面の変化と含浸技術適用有無の影響比較.

ポーラス Low-k 膜は膜中に空孔と呼ばれる空孔を持つ構造を取るため、ドライエッチング時に表面の平滑度が劣化する。次に、ポリオレフィン骨格樹脂による埋め戻し技術による表面平滑度の制御が可能かどうかを SEM により確認した。図 6-12 にその結果を示す。実験に用いたサンプル、及び実験方法は、膜中 Carbon profile の影響を調べた手順と同じである。図 6-12 に示すように、MT-1000 を含浸させて加工を行い、加工後に MT-1000 を加熱による昇華除去した表面は、含浸を行わずに加工した表面に対して明らかに表面状態が異なり、表面におけるプラズマによる加工ダメ

ージの影響と考えられる細かい表面荒れや、ポーラス材料の構造起因と考えられる局所的な空孔の拡大が見られず平滑な表面を保っていることが観測できる。

以上の結果から、含浸材料を用いた加工ダメージの抑制技術はポーラス Low-k 材料のプロセスインテグレーションにおいて非常に効果的であることが確認できた。今後、材料の最適化や加工条件や加工ガスの最適化を行うことにより、さらに比誘電率の上昇を抑えた技術の確立を進める必要がある。また、材料を含浸させることにより配線形成時における機械強度の改善も見込まれるため、より低誘電率材料である、空孔率を更に増加させたより脆弱な材料のドライエッチングや CMP 加工時のダメージを抑制できる可能性を示した。今後は、プロセスの最適化とともに実際の Cu 埋め込み配線構造の形成フローに適用し、効果を確認しつつ、材料・プロセス条件の最適化を進める必要がある。

6.5 まとめ

ポーラス構造を有する低誘電率層間絶縁膜は、その低密度の構造と膜中にメチル基を含むために、特に機械的強度が弱く、またプラズマ耐性も低いために、特にプラズマを使用するドライエッチング加工時においてプラズマに晒される表面領域の膜中メチル基がシラノール基に変わるため、吸湿現象による水分の影響や誘電率の上昇が問題となっている。本研究ではポーラス絶縁膜であるポーラス SiOC 膜を塗布法により形成後、更に塗布法によりポーラス SiOC 膜中の空孔にポリオレフィン骨格樹脂を含浸させた状態でドライエッチング加工を行い、加工後に含浸材料をその熱分解特性を利用して除去することにより、プラズマダメージによるドライエッチング加工後の表面荒れの改善と膜中 C の減少を抑えることにより比誘電率の上昇を抑制可能であることを確認した。今後の更なる材料・プロセスの改善により、比誘電率 2.3 程度の低密度材料を用いた Cu/low-k 多層配線技術の高速 Logic 半導体への適用が期待できることを示した。

参考文献

- [1] W. Volksen, R.D. Miller and G. Dubois, "Low dielectric constant materials" *Chemical Reviews* **110**, 56, (2010)。
- [2] A. Grill, S. M. Gates, T. E. Ryan, S. V. Nguyen, and D. Priyadarshini. "Progress in the development and understanding of advanced low k and ultralow k dielectrics for very large-scale integrated interconnects—State of the art." *Applied Physics Reviews* **1**, 1, 011306, (2014)。
- [3] E. T. Ryan, D. Priyadarshini, S. M. Gates, H. Shobha, J. Chen, K. Virwani, A. Madan et al. "Optimizing ULK film properties to enable BEOL integration with TDDDB reliability." In *Interconnect Technology Conference and 2015 IEEE Materials for Advanced Metallization Conference (IITC/MAM)*, 2015 IEEE International, pp. 349-352, (2015).
- [4] S. Nguyen, D. Priyadarsini, H. shobha, E. G. Liniger, S. A. Cohen, C-K. Hu, et al, "Highly reliable pSiCOH k=2.4 interconnect dielectric for sub-10 nm nodes fabricated with single precursor", *MRS*, (2015).
- [5] W. Volksen, K. Lioni, T. Magbitang and G. Dubois, "Hybrid low dielectric constant thin films for microelectronics", *Scripta Materialia*, **74**, 19, (2014).
- [6] T T. Frot, W. Volksen, S. Purushothaman, R. Bruce, and G. Dubois. "Application of the protection/deprotection strategy to the science of porous materials" *Advanced Materials*, **23**, 2828, (2011).
- [7] T. Frot, W. Volksen, S. Purushothaman, R. L. Bruce, T. Magbitang, D.C. Miller, V.R. Deline and G. Dubois. "Post Porosity Plasma Protection: scaling of efficiency with porosity." *Advanced Functional Materials*, **22**, 3043, (2012).
- [8] E. T. Ryan, S. M. Gates, A. Grill, S. Molis, P. Flaitz, J. Arnold, M. Sankarapandian, S. A. Cohen, Y. Ostrovski, and C. Dimitrakopoulos. "Property modifications of nanoporous pSiCOH dielectrics to enhance resistance to plasma-induced damage." *Journal of Applied Physics* **104**, (9) 4109, (2008).
- [9] J. H-C. Chen, T. E. Standaert, E. Alptekin, T. A. Spooner, and V. Paruchuri. "Interconnect performance and scaling strategy at 7 nm node." In *Interconnect Technology Conference (IITC)*, 2014 IEEE International, pp. 93-96, (2014).

- [10] H. Huang, K. Lioni, W. Volksen, T. Spooner, H. Shobha, J. Lee, J. Hsueh-Chung Chen, T. Magbitang, B. Peethala, E. Liniger, C. Hu, E. Huang, D. Canaperi, T. Standaert, D. Edelstein, A. Grill, G. Dubois, and G. Bonilla, "Post porosity plasma protection integration at 48 nm pitch", 2016 IEEE International Interconnect Technology Conference / Advanced Metallization Conference (IITC/AMC), pp. 153-155, (2016).
- [11] S. Isaacson, C. Wang, K. Lioni, W. Volksen, T. Magbitang, R. Dauskardt, G. Dubois, "Transforming the P4 process to enhance mechanical and fracture properties of ULKs", 2016 IEEE International Interconnect Technology Conference / Advanced Metallization Conference (IITC/AMC), pp. 150-152, (2016).
- [12] M. Fujikawa, T. Yamaguchi, S. Nozawa, R. Niino, R. Chanson, K. Gavan, F. Lazzarino, J. Marneffe, "Gas Phase Pore Stuffing (GPPS)", 2018 IEEE International Interconnect Technology Conference (IITC), pp. 129-131, (2018).

第 7 章

本研究の総括と今後の展望

7.1 本研究の総括

本論文は、高性能ロジック半導体の多層配線技術として必要不可欠な低誘電率層間絶縁膜に関して、微細化の各世代において要求される比誘電率を満足させるために開発した材料を如何に量産において使いこなしていくかに関して検討した結果をまとめた、言わば低誘電率層間絶縁膜開発の一つの歴史を記したものである。特に低密度材料に代表される低誘電率層間絶縁膜は、図 1-21 に示したように「材料技術視点」からも「半導体デバイス視点」からも多くの課題を抱えていた。本研究においては、特に「材料視点での課題」に対して、各世代で採用した材料に対して

- ・材料構造の最適化
- ・プロセスの最適化・改善
- ・界面制御技術

の 3 つの切り口から、各世代での課題発生メカニズムの解明と、それぞれの課題克服の手法に関して論じた。ここでは、実験結果に基づいて明確な結論を導びき、科学的根拠に基づき、各世代において、材料の有する課題と課題に対しての解決方法の提案を論じた。以下に各章における論点を整理する。

第 1 章序章前半において、半導体産業は、ゲルマニウム接合トランジスタで産声を上げ、シリコン MOS 集積回路の発明から”ムーアの法則”を指導原理に、技術的・経済的に大きな成長をし、今日も発展続けていることを述べた。1990 年代から 30 年近くの間、インターネットの発達とともに、PC・携帯電話・スマートフォンなど情報端末の進化を支え、IoH (Internet of Human: 人のインターネット)、すなわち世界中どこでもだれとでもつながることにより新しい価値を生む社会への変化の原動力になったと考える。今後も微細化による高性能・低消費電力化は進み (“More Moore”)、また、IoT 社会への新たな潮流のもと、非デジタル機能を付加した SiP/SoC といったシステムなど、“More than Moore”による新たな成長が期待できる。さらに、新たなデバイス原理・材料・プロセスの発明発見による”Beyond Moore”による社会の大きな変化による新たな付加価値の創造も期待できることを示した。

序章後半においては、東芝の 130 nm 世代以降のロジックデバイスにおける低誘電率層間絶縁膜の導入経緯に関して論じた。130 nm において従来の PE-CVD SiO₂ 膜に替わり PE-CVD SiOF 膜を導入し、従来の SiO₂ 膜が有する比誘電率 3.9-4.2 から 3.4 までの低減が可能であることを明らかにした。さらに、90 nm 世代においては、Cu/low-k 埋め込む多層配線との組み合わせで比誘電率 2.9 を有する PE-CVD SiOC 膜を採用した。65 nm 世代においては比誘電率 2.5 を有する SiOC 膜を採用したが、特に機械強度の劣化を改善するために後キュア技術として電子線キュアもしくは紫外線キュア技術を開発し導入するとともに、低誘電率有機ポリマーと SiOC 膜を積層する Hybrid DD (デュアルダマシン) 構造を採用した。45 nm 以降の世代においては、さらなる低誘電率化が必要とされるため、多孔質構造を有する比誘電率 2.3 以下の SiOC 膜を前述の後処理技術と組み合わせが有効であることを示した。

第 1 章最終節において、本論文の目的と構成を提示した。

第 2 章では、90 nm で低誘電率層間絶縁膜として導入した SiOF 膜の特性と低誘電率化の限界を SiOF 膜の吸湿メカニズムを検討することにより明らかにした。PE-CVD 法を用いて従来の SiO₂ 膜に F を導入することにより比誘電率は低減が可能である。PE-CVD SiO₂ 膜が有する比誘電率 4.2 は、膜中の F 濃度を増加させることにより単調に減少するが、F 濃度が 12.6at%、比誘電率 3.4 近傍において急激に吸湿減少が確認され膜の安定性が崩れる。FT-IR による Si-F 結合の詳細な観測により、=Si(-F)₂ 結合が 12at% 以上で観測され始めることが確認された。高濃度に F を添加した SiOF 膜の Si-F 結合の吸湿による影響を調べたところ、急激な吸湿の理由は、膜中の=Si(-F)₂ 結合が容易に水分と反応して加水分解し、Si-OH 基が膜中に形成され、その Si-OH 基が吸湿サイトとして振る舞うことにより吸湿が急激に進むことを見いだした。SiOF 膜の吸湿現象は PE-CVD の形成方法などによらず SiOF 膜固有の特性であり、そのため、SiOF 膜の低誘電率としてのデバイス適用は比誘電率 3.4 が限界であることを示した。本章は、「材料構造の最適化」に関する研究となる。

第 3 章においては、SiCN/SiOC 界面密着強度とレジストポイズニングの課題に対して実験を通して現象の理解とモデル化を行い、デバイス性能に求められる誘電率や耐圧特性を維持しつつ解像不良を抑制するには、PE-CVD による low-k 膜成膜時の希ガスプラズマ特に Ar プラズマによる前処理技術が有効であることを示した。PE-

CVD 膜では、成膜前にチャンバ内壁にパーティクル抑制とメタルコンタミネーション抑制のために内壁に SiOC 膜をコーティングするが、Ar プラズマにより、SiOC 膜でコーティングされたカソード電極の表面が Ar イオンによりスパッタリングされ、対向電極上に載置されたウエハ上に薄膜が堆積することを確認した。下地である SiCN 膜の表面に Si-C や Si-Si 結合を多く含むスパッタ膜である SiOC バッファ膜を堆積させることで、SiCN/SiOC 膜界面密着強度を確保し、且つ SiCN 膜の上層膜である SiOC 膜成膜時の O₂ プラズマによる SiCN 表面の酸化を抑制する。このバッファ膜を制御することにより、レジストポイズニングをフィールド領域に面したパターン Edge 領域含めて抑制できるプロセスの構築と、その抑制メカニズムを解明した。本章は、「界面制御技術」に関する研究となる。

第 4 章では 65 nm 世代から導入した SiOC 膜(k=2.9)に対して、さらなる低誘電率化要求に伴う、機械的強度の低下と下地密着強度の低下に対する対策として導入された電子線キュアを用いた後処理技術による機械的強度の改善メカニズムと、電子線 (EB) キュアとともに検討された紫外線 (UV) キュアとの違いに関して論じた。電子線キュア技術もしくは紫外線キュアを用いることにより、従来の熱キュア膜に対して、高機械強度と高密着強度を有する low-k SiOC 膜が、低温・短時間で実現できることが分かった。最適化された電子線キュア条件下では下地トランジスタへの影響も無く、Cu / Low-k 構造形成工程においても悪影響が無いことを確認した。これらのことから、電子線キュアおよび紫外線キュアの有効性を確認した。特に電子線キュアは紫外線キュアに対して下地密着強度改善効果が大きいことを確認した。本章は、「プロセスの最適化・改善」及び「界面制御技術」に関する研究となる。

また、第 5 章では、ポーラス SiOC 膜を組み込む low-k/Cu 配線プロセスにおいて、PE-CVD 成膜プリカーサに 3MS ガスを添加することによってプラズマダメージ耐性が大きく改善したことに着目し、膜の化学結合状態の違いを解析することにより、膜中の高次の Si(-CH₃)_n (n=2,3) 結合の比率が、機械的強度とプラズマダメージ耐性の両立、プラズマ処理による吸湿の抑制に重要であることを明らかにした。これは、k<2.4 の低誘電率とプラズマ処理に対する高い耐性を両立する上で非常に重要な技術であることを示した。本章は、「材料構造の最適化」に関する研究となる。

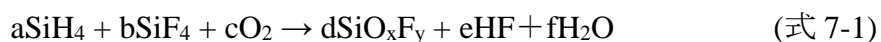
第 6 章では、ポーラス構造を有する低誘電率層間絶縁膜は、その低密度の構造と膜中にメチル基を含むために、特に機械的強度が弱く、またプラズマ耐性も弱いために、特にプラズマを使用するドライエッチング加工時においてプラズマに晒される表面領域の膜中メチル基がシラノール基に変わるため、吸湿現象による水分の影響や誘電率の上昇が問題となっている。本研究ではポーラス絶縁膜であるポーラス SiOC 膜を塗布法により形成後、更に塗布法によりポーラス SiOC 膜中の空孔にポリオレフィン骨格樹脂を含浸させた状態でドライエッチング加工を行い、加工後に含浸材料をその熱分解特性を利用して除去することにより、プラズマダメージによるドライエッチング加工後の表面荒れの改善と膜中 C の減少を抑えることにより比誘電率の上昇を抑制可能であることを確認した。今後の更なる材料・プロセスの改善により、比誘電率 2.3 程度の低密度材料を用いた Cu/low-k 多層配線技術の高速 Logic 半導体への適用が期待できることを示した。本章は、「プロセスの最適化・改善」に関する研究となる。

図 1-20 に東芝における低誘電率層間絶縁膜の採用の変遷を示した。また、表 1-4 にデバイス各世代における低誘電率層間膜の特性をまとめた。Si-O 骨格を有する Low-k 膜においては、第 2 章においては SiOF 膜の吸湿メカニズムとそれによる低誘電率化の限界に関して、第 3 章では SiOC 膜成膜時の下地 SiCN 膜の酸化による吸湿が原因として発生したアミンによるレジストポイズニング現象の発生メカニズムと対策に関して、第 4 章では電子線や紫外線を用いた後キュア技術による機械的強度の改善に関して、第 5 章ではポーラス low-k 膜に関して、後キュア技術と原料ガスによる膜中の化学結合を制御することによりプラズマダメージを抑制し、吸湿を抑制することが重要であることを論じ、第 6 章ではポーラス low-k 膜に関して、プラズマダメージを抑制する手法の提案と基礎検討を行った。電子線キュアや紫外線キュアの導入は機械的強度の改善に極めて有効であるのみでなくプラズマダメージの抑制においても有効であったことがわかる。

本論文において、第 2 章では SiOF 膜の吸湿に関して、第 3 章ではプラズマダメージを受けた SiCN 膜の吸湿によるアミン不良に関して、第 5 章ではダメージを受けた多孔質 SiOC 膜の吸湿と膜中化学結合の関係に関して、第 6 章は多孔質 SiOC 膜のプラズマダメージ抑制に関して、論じた。これらの章に共通して通じている論点は、

「如何に低誘電率膜のプラズマダメージダメージを抑制し、さらに、如何にダメージによる吸湿現象を制御するか」という技術開発が重要であるということであると
言える。一般的にプラズマダメージと呼ばれる現象は、「(1) 膜中化学結合への影
響」、「(2) 化学結合の変化による吸湿現象」の 2 つの段階の総称である。どちらを
制御しても、プラズマダメージの程度を吸湿による影響で観測される数値、例えば
比誘電率の変化で表した場合、その数値は制御可能である。本研究においては、こ
の 2 つの現象の関係性に関して、特に第 5 章において詳細に議論した。

第 2 章においては、SiOF 膜中における $=\text{Si}(\text{-F})_2$ 結合が膜の吸湿性に対して重要な役
割を果たしていることを議論した。また、第 5 章においては、SiOC 膜において $=\text{Si}(\text{-CH}_3)_2$ 結合が同様に膜のプラズマ耐性に大きな役割を果たしていることを議論した。
ここで、どちらも Si-O-Si 骨格を有する低誘電率膜であり、かつ、どちらもハロゲン
基(-F)とメチル基(-CH₃)の違いはあるものの 2 つ基が 1 つの Si 結合した状態が膜の安
定性に深く関与しているところは非常に興味深い。低誘電率化という観点からは、
SiO₂ 中に Si-F を如何に多く導入するかが SiOF 膜の場合には課題となる。SiOC 膜に
関しては膜中に Si-CH₃ 基を導入することにより膜に空孔を導入し膜密度を低減する
ことにより誘電率を下げているが、Si-F 結合とは異なり、Si-CH₃ 基の導入自体は、
その分極特性から誘電率増加の方向に作用する点は化学結合の特性自体は異なると
いえる。SiO₂ 中に-F 基もしくは-CH₃ 基を導入する場合、その導入濃度を増加させれ
ば、確率論が支配するとすればある濃度以上からは $=\text{Si-F}_2$ 結合もしくは $=\text{Si}(\text{-CH}_3)_2$ 結
合が形成されると考えてよいが、これまでの検討では $=\text{Si-F}_2$ 結合は低濃度では生成
されないが、 $=\text{Si}(\text{-CH}_3)_2$ 結合は低濃度では生成可能である。この理由は単純で、例え
ば、SiOF 膜を SiH₄/SiF₄/O₂ 系の原料ガスでプラズマ CVD 法にて形成した場合、一般
的には、存在のみで

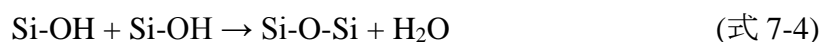
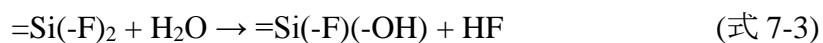


となるが、実際には SiH₄ の流量は SiF₄ 流量に対して多いため、同時に、



なる反応も当然起きている。そのため、CVD 成膜中の気相には H₂O が十分な割合で
存在しており、膜表面で形成された $=\text{Si}(\text{-F})_2$ 結合は気相中の H₂O と容易に反応してシ

ラノール基(Si-OH)となり、脱水縮合のサイトとして振る舞う。シラノール基は最終的には骨格である Si-O-Si を形成すると考えられる。



そのため、気相中において原料ガスである SiF₄ が低濃度では Si(-F)₂ は H₂O が存在する条件下では、H₂O に対して活性なために生成されないと考えられる。一方で、=Si(-CH₃)₂ は同様に O₂ の存在下では逆に酸化耐性が高いと考えられるため低濃度から存在させることが可能と考えられる。つまり、Si(-F)₂ 基は膜 F が低濃度では生成されず F が高濃度で生成される。Si(-CH₃)₂ 基は低濃度から生成される理由であると考えられる。Si(-CH₃)₂ 基は高濃度において生成が抑制されるように観測されたが、これは Si(-CH₃)₂ 基が比誘電率を上昇させる方向に強く働くために、比誘電率を上昇させないように成膜条件を制御した結果、見かけ上、そのように見えているだけと考えられる。比誘電率を考慮しない場合、Si(-CH₃)₂ 基をさらに膜中に導入することは可能であろうと考えてよい。

SiOF 膜の場合は、膜中に如何に高濃度の膜中 F 領域まで Si(-F)₂ 基を導入させないかを、SiOC 膜の場合は、如何に高濃度まで CH₃ 基を Si(-CH₃)₂ 基の形で導入できるかになるが、原料となるガスや薬液モノマーの構造制御を行うことによりさらに特性を制御することは可能と考えられる。ただし、原料の構造制御は可能ではあるが、一般的な材料ではない可能性が非常に高く、工業製品を作る原料として考えた場合、コストを押し上げる可能性が高い。現状では、汎用的な原料で単純に特性を改善することは難しいと言える。

また、第 4 章で論じた電子線キュアにおいては、ラマン分析結果から塗布膜においても(-O-)₂Si(-CH₂-)₂結合が新たに形成されていることが示されている。また第 5 章において=Si(CH₃)₂結合を有する CVD 膜が高いプラズマ耐性を有することを論じているが、塗布膜の電子線キュアにより=Si(CH₃)₂結合の形成がプラズマ耐性の改善に対して、電子線キュアの改善効果を示していると考えられる。

7.2 今後の展望

本論文においては、低誘電率層間絶縁膜の低誘電率化とそれに伴う課題の解決に関して、特にドライ加工ダメージによる影響を如何に抑制するかに関しての様々な技術とそのダメージによる影響のメカニズムや改善のメカニズムに関して論じてきた。低誘電率材料は、求められる絶縁特性や耐熱性などから今後も SiO_2 膜にメチル基を導入することにより Si-O 骨格を分断して終端することにより膜中に微細な空孔を導入し膜密度を低下させることにより比誘電率を下げる手法を用いた SiOC 膜が有望である。ポーラス SiOC 膜は疎水性で水分の透過性はあるもの吸湿性は低く、絶縁耐性も優れているため層間絶縁膜には適している。しかし、膜の低密度化による機械的強度の低下と膜中の C の存在によるプラズマダメージに対しての低い耐性が更なる低誘電率化のデバイスへの導入を阻んでいる。また、デバイスの微細化の進行は単位体積当たりの絶縁膜の体積密度を下げる方向に進むため、特に加工表層部に形成されるダメージ層の存在割合は大きくなる方向で、加工ダメージの与える影響はますます大きくなる。そのため、層間絶縁膜の低誘電率化は進んでいない。また、 Si-O-Si 骨格材料に Si-C-Si 骨格を導入して機械強度を上げることに加えて、第 5 章で論じた空孔の埋め戻し技術やダメージ修復技術、空孔シーリング技術などの新規技術でプラズマダメージに対する耐性を改善する対応も進んでいるが、現時点では完全解にはなっていない。一つの低誘電率化の方向性として **Air Gap** 構造が提案されているが、**Air Gap** 構造の持つ大きな問題点は機械強度の低下と空孔を囲む薄い絶縁膜のクラックによる配線への影響、大きな空孔の存在によるエッチングガスや水分などの影響や実効的な誘電率のばらつき制御などの課題がある。また前述の薄い絶縁膜の堆積存在比率は空孔に対して微細化に伴い大きくなる。そのため、機械強度の要求と合わせると、結局低誘電率化は要求通りには進まない状況である。

今後の層間絶縁膜の低誘電率化に対する有効解は第 5 章の空孔埋め戻しに加えてさらに 1 つの方向性が考えられる。考え方は単純で低誘電率膜の加工を最小限に抑える必要があり、そのためにはあらかじめ Cu などの配線を加工し、低誘電率膜を配線間に埋め込めばよいことになる。配線の加工方法としては、

- (1) 絶縁膜に相当する犠牲膜を配線溝加工後にダマシン方式で埋め込みCu配線で形成し、犠牲膜を取り除いてから更に低誘電率絶縁膜を埋め込む。
- (2) Cu を RIE にて加工して配線を形成し、配線間に低誘電率絶縁膜を埋め込む。

方法の2通りが考えられる。(1)の方法は Air Gap の形成方法と同じ手法が使えるが、加工コストは高い。また、(2)の方法は Cu の RIE による配線加工技術が確立されていないことから、加工に対しての技術革新が必要である。また、どちらの場合も低誘電率膜を埋め込み後にも更に加工が必要なため、第 5 章で議論したような空孔の再埋め込み等の手法も必要となる可能性が高い。そのため、(1)の手法であれば、ナノインプリントのような低コストのパターニングプロセスにて犠牲膜を形成する技術との組み合わせ、(2)であれば Cu(やそれに替わる W や Mo などの金属材料)の加工技術との組み合わせが必要となると考えられる。

半導体の微細化の歴史は性能 up と価格 down の両方の実現が必須条件として要求されており、高い材料や複雑な構造、煩雑なプロセスは採用されて成功した例は極めて少ないと言ってよい。この単純な要求の歴史に対して低誘電率絶縁膜の適用に関しては、今の方向性が合っているとは言いがたいのも事実である。ロジック半導体の微細化は今後も進むと考えられるが、低誘電率層間膜の採用は実効的な誘電率の値を如何に簡略化したプロセスや安価な材料で実現できるかにより決まると考えられる。

謝辞

本論文をまとめるにあたり、懇切なるご指導と激励を賜り、本論文の主査を務めてくださった名古屋大学大学院工学研究科 堀勝教授、副査を務めてくださった豊田浩孝教授、五十嵐信行教授、中塚理教授、石川健治特任教授に心より感謝致します。同じく暖かい激励とご指導を頂きました名古屋大学大学院工学研究科 関根誠特任教授に厚くお礼申し上げます。

本論文の研究の一部は、株式会社東芝、東芝メモリにおいて、故岡野晴雄博士、早坂伸夫博士、柴田英毅博士、依田孝博士、中田鍊平様の暖かいご指導の下で進めました。さらに共に研究開発を推進していただきました渡邊桂様、増田秀顕様、勝又竜太博士、島田美代子様、山田展英様、伊藤仁様、東和幸様、中村直文様、をはじめ、東芝メモリ株式会社及び株式会社東芝の皆様、及び藤田敬次様（現ソニーセミコンダクタマニュファクチャリング株式会社）に感謝いたします。

また、成膜関連装置、プロセス技術開発、及び材料開発で絶大なご協力をいただきましたアプライドマテリアルズ社、ラムリサーチ社、東京エレクトロン社、ASM ジャパン社、ウシオ電機社、バーサム・マテリアルズ、エアプロダクツ・アンド・ケミカルズ社、JSR 社、ダウケミカル社、をはじめ、多くのパートナーカンパニーの皆様心から感謝いたします。

数々の学会、研究会等でいただいた企業・大学研究者の皆様からのご指摘、ご鞭撻も本研究の推進に大きな役割を担いました。皆様に心より感謝の意を表します。

最後に、常に筆者を理解し、支えとなってくれた親愛なる宮島順子に心からの感謝の意を込めて謝辞といたします。

2019年3月

宮島 秀史

研究業績

I. 学会誌等 主論文

論文題目	公表の方法および時期	著者
1. Water absorption properties of fluorine-doped SiO ₂ films using plasma-enhanced chemical vapor deposition	Jpn. J. Appl. Phys. 1, 35 , 12A, 6217 (1996)	H. Miyajima, R. Katsumata, Y. Nakasaki, Y. Nishiyama, and N. Hayasaka
2. Material design of balance between high mechanical strength and high plasma resistance for porous PECVD SiOC film (k=2.3)	Advanced Metallization Conference 2005 Proceedings (Materials Research Society), pp.297-302 (2006)	H. Miyajima, H. Masuda, T. Idaka, T. Shimayama, Y. Kagawa, K. Tabuchi, H. Yano, T. Hasegawa, S. Kadomura, and T. Yoda
3. Reliable and manufacturable 45 nm BEOL structure using hybrid porous PAr/porous SOG stack	Advanced Metallization Conference 2006 Proceedings (Materials Research Society), pp.37-43 (2007)	H. Miyajima, K. Watanabe, M. Shimada, T. Sakanaka, N. Nakamura, T. Shimayama, Y. Enomoto, H. Yano and T. Yoda
4. Adhesion enhancement and amine reduction using film redeposited at the interface of a stack of plasma-enhanced CVD dielectrics for Cu/low-k interconnects	Jpn. J. Appl. Phys. 58 , 020908 (2019)	H. Miyajima, K. Watanabe, K. Ishikawa, M. Sekine and M. Hori
5. Chemical bonding structure in porous SiOC films (k<2.4) with high plasma-induced damage resistance	Microelectronic Engineering (2019), Accepted	H. Miyajima, H. Masuda, K. Watanabe, K. Ishikawa, M. Sekine and M. Hori
6. Review of methods for the mitigation of plasma-induced damage to low-dielectric-constant interlayer dielectrics used for semiconductor logic device interconnects	Submitted to Plasma Processes and Polymers	H. Miyajima, K. Ishikawa, M. Sekine and M. Hori

II. 国際会議筆頭発表

論文題目	公表の方法および時期	著者
1. Formation Mechanism of F-added SiO ₂ Films using Plasma CVD	Proc. 17th Dry Process Symp., Tokyo, 1994, p. 133-138.	H. Miyajima, R. Katsumata, N. Hayasaka and H. Okano
2. Water-absorption Mechanisms of F-doped PECVD SiO ₂ with Low-dielectric Constant	Proc. 12th Int. VMIC, Santa Clara, 1995, p. 391-393.	H. Miyajima, R. Katsumata, Y. Nakasaki, N. Hayasaka and H. Okano
3. The application of simultaneous ebeam cure methods for 65 nm node Cu/low-k technology with hybrid (PAE/MSX) structure	Proceedings of the IEEE 2004 International Interconnect Technology Conference (USA) P.P.222-224, 2004	H. Miyajima, K. Fujita, R. Nakata, T. Yoda, N. Hayasaka
4. Challenge of low-k materials for 130, 90, 65 nm node interconnect technology and beyond	2004 International Electron Devices Meeting (USA) P.P.329-332, 2005	H. Miyajima, K. Watanabe, K. Fujita, S. Ito, K. Tabuchi, T. Shimayama, K. Akiyama, T. Hachiya, K. Higashi, N. Nakamura, A. Kajita, N. Matsunaga, Y. Enomoto, R. Kanamura, M. Inohara, K. Honda, H. Kamijo, R. Nakata, H. Yano, N. Hayasaka, T. Hasegawa, S. Kadomura, H. Shibata and T. Yoda.
5. Material design of balance between high mechanical strength and high plasma resistance for porous PECVD SiOC film (k=2.3)	Advanced Metallization Conference 2005 (AMC 2005) (USA) P.P.297-302, 2006	H. Miyajima, H. Masuda, T. Idaka, T. Shimayama, Y. Kagawa, K. Tabuchi, H. Yano, T. Hasegawa, S. Kadomura and T. Yoda
6. Reliable and manufacturable 45 nm BEOL structure using hybrid porous PAr/porous SOG stack	Advanced Metallization Conference 2006 (AMC 2006). Proceedings (USA) P.P.37-43, 2007	H. Miyajima, K. Watanabe, M. Shimada, T. Sakanaka, N. Nakamura, T. Shimayama, Y. Enomoto, H. Yano and T. Yoda

Ⅲ. その他の(学会誌、国際会議)

論文題目	公表の方法および時期	著者
1. High-Quality and Low Dielectric Constant SiO ₂ CVD Using High Density Plasma	Proc. 15th Dry Process Symp., Tokyo, 1993, p. 163-168	N. Hayasaka, Y. Nishiyama, H. Miyajima, K. Tomioka, R. Nakata and H. Okano
2. Improvement in Hygroscopicity of PE-CVD F-doped SiO ₂	Proc. 18th Dry Process Symp., Tokyo, 1995, p. 269-274	R. Katsumata, H. Miyajima, Y. Nakasaki and N. Hayasaka
3. Fluorine Doped SiO ₂ for Low Dielectric Constant Films in Sub-Half Micron ULSI Multilevel Interconnect	Ext. Abst. 1995 Int. Conf. Solid State Devices and Materials, Osaka, 1995, pp. 157-159	N. Hayasaka, H. Miyajima, Y. Nakasaki, and R. Katsumata
4. Improvement in Hygroscopicity of HD-PECVD SiOF Films	Proc. 12th Int. VMIC, Santa Clara, 1996, p. 107-109	R. Katsumata, H. Miyajima, Y. Nakasaki and N. Hayasaka
5. Ab initio molecular orbital study of water absorption and hydrolysis of chemical vapor deposited SiOF films. I	Jpn. J. Appl. Phys. 1, 36 , 4B, 2533 (1997)	Y. Nakasaki, H. Miyajima, R. Katsumata and N. Hayasaka
6. Ab initio molecular orbital study of water absorption and hydrolysis of chemical vapor deposited SiOF films. II	Jpn. J. Appl. Phys. 1, 36 , 4B, 2545 (1997)	Y. Nakasaki, H. Miyajima, R. Katsumata, N. Hayasaka
7. Ab initio molecular orbital study of suppression of water absorption and hydrolysis (F-removal) of chemical-vapor-deposited SiOF films by nitrogen doping	Jpn. J. Appl. Phys. 1, 36 , 8, 5259 (1997)	Y. Nakasaki, H. Miyajima, R. Katsumata and N. Hayasaka
8. Quick-turnaround-time improvement for product development and transfer to mass production	IEEE Trans. Semicond. Manuf., vol.11, no.1, P.P.54-62, 1998	H. Koike, F. Matsuoka, S. Hohkibara, E. Fukuda, K. Tomioka, H. Miyajima, K. Muraoka, N. Hayasaka, and M. Kimura
9. A manufacturable copper/low-k SiOC/SiCN process technology for 90 nm-node high performance eDRAM	Proceedings of the IEEE 2002 International Interconnect Technology Conference (USA) P.P.15-17, 2002	K. Higashi, N. Nakamura, H. Miyajima, S. Satoh, A. Kojima, J. Abe, K. Nagahata, T. Tatsumi, K. Tabuchi, T. Hasegawa, H. Kawashima, S.

		Arakawa, N. Matsunaga and H. Shibata
10. Plasma process-induced wire-to-wire leakage current for low-k SiOC/Cu damascene structure	2002 7th International Symposium on Plasma- and Process-Induced Damage (USA) P.P.162-165, 2002	N. Nakamura, K. Higashi, N. Matsunaga, H. Miyajima, S. Sato and H. Shibata
11. Film properties of high-performance FSG films	Materials Issues in Novel Si-Based Technology. Symposium (Materials Research Society Symposium Proceedings Vol.686) (USA) P.261-266, 2002	T. Yoda, H. Miyajima, R. Fujita, R. Nakata and Y. Nishiyama
12. X-ray absorption studies of high performance low-k dielectric materials	Novel Materials and Processes for Advanced CMOS. Symposium (Mater. Res.Soc. Symposium Proceedings Vol.745) (USA), P.P.67-72 PD:2003	T. Yoda, H. Miyajima, M. Shimada, R. Nakata and H. Hashimoto
13. Notable improvement in porous low-k film properties using electron-beam cure method	Proceedings of the IEEE 2003 International Interconnect Technology Conference (USA) P.P.106-108, 2003	K. Fujita, H. Miyajima, R. Nakata and N. Miyashita
14. Highly reliable Cu/low-k dual-damascene interconnect technology with hybrid (PAE/SiOC) dielectrics for 65 nm-node high performance eDRAM	Proceedings of the IEEE 2003 International Interconnect Technology Conference (USA) P.P.9-11, 2003	A. Kajita, T. Usui, M. Yamada, E. ;Ogawa, T. Katata, A. Sakata, H. Miyajima, A. Kojima, R. Kanamura, Y. Ohoka, H. Kawashima, K. Tabuchi, K. Nagahata, Y. Kato, T. Hayashi, S. Kadomura and H. Shibata
15. Identification of electromigration dominant diffusion path for Cu damascene interconnects and effect of plasma treatment and barrier dielectrics on electromigration performance	2004 IEEE International Reliability Physics Symposium. Proceedings (USA) P.P.246-250, 2004	T. Usui, T. Oki, H. Miyajima, K. Tabuchi, K. Watanabe, T. Hasegawa and H. Shibata
16. Integration of interconnect process highly manufacturable for 65nm CMOS platform technology (CMOS5)	2004 Symposium on VLSI Technology. Digest of Technical Papers (USA) P.P.62-63, 2004	K. Honda, M. Kanda, R. Ishizuka, Y. Moriuchi, Y. Matsubara, M. Habu, T. Yoshida, S. Matsuda, H. Kittaka, H. Miyajima, T. Hachiya, A. Kajita, T. Usui, N. Nagashima, R. Kanamura, Y.

		Okamoto, S. Yamada and T. Noguchi
17. A plasma damage resistant ultra low-k hybrid dielectric structure for 45nm node copper dual-damascene interconnects	Proceedings of the IEEE 2004 International Interconnect Technology Conference (USA) P.P.228-230, 2004	N. Nakamura, T. Yoshizawa, T. Watanabe, H. Miyajima, S. Nakao, N. Yamada, K. Fujita, N. Matsunaga and H. Shibata
18. High-performance SiOF film fabricated using a dual-frequency-plasma chemical vapor deposition system	Jpn. J. Appl. Phys. 1, 43 , 9A, 5984 (2004)	T. Yoda, K. Fujita, H. Miyajima, R. Nakata, Y. Nishiyama and Y. Nakasaki
19. Structural studies of high-performance low-k dielectric materials improved by electron-beam curing	Jpn. J. Appl. Phys. 2, Lett. 44 , 1A, 75 (2005)	T. Yoda, Y. Nakasaki, H. Hashimoto, K. Fujita, H. Miyajima, M. Shimada, R. Nakata, N. Kaji and N. Hayasaka
20. Improvement of interfacial adhesion in chip-package interaction of 65nm node SoC	Advanced Metallization Conference 2004 (USA) P.P.265-268, 2005	H. Kitsutaka, K. Suzuki, H. Inoto, M. Kawakami, K. Honda, M. Hasunuma, S. Ito, H. Miyajima, K. Fujita, H. Kaneko, T. Yoda, H. Oyamatsu, S. Yamada, F. Matsuoka and T. Noguchi
21. Properties of high-performance porous SiOC low-k film fabricated using electron-beam curing	J. Appl. Phys. 1, 44 , 6A, 3872 (2005)	T. Yoda, K. Fujita, H. Miyajima, R. Nakata, N. Miyashita and N. Hayasaka
22. High performance CMOSFET technology for 45nm generation and scalability of stress-induced mobility enhancement technique	International Electron Devices Meeting 2005 (USA) P.P.229-232, 2005	A. Oishi, O. Fujii, T. Yokoyama, K. Ota, T. Sanuki, H. Inokuma, K. Eda, T. Idaka, H. Miyajima, S. Iwasa, H. Yamasaki, K. Oouchi, K. Matsuo, H. Nagano, T. Komoda, Y. Okayama, T. Matsumoto, K. Fukasaku, T. Shimizu, K. Miyano, T. Suzuki, K. Yahashi, A. Horiuchi, Y. Takegawa, K. Saki, S. Mori, K. Ohno, I. Mizushima, M. Saito, M. Iwai, S. Yamada, N. Nagashima and F. Matsuoka

23. High performance ultra low-k ($k=2.0/k_{\text{sub eff}} = 2.4$)/Cu dual-damascene interconnect technology with self-formed MnSixOy barrier layer for 32 nm-node	Proceedings of the IEEE 2006 International Interconnect Technology Conference P.P.216-218, 2006	T. Usui, K. Tsumura, H. Nasu, Y. Hayashi, G. Minamihaba, H. Toyoda, H. Sawada, S. Ito, H. Miyajima, K. Watanabe, M. Shimada, A. Kojima, Y. Uozumi and H. Shibata
24. Effect of plasma treatment and dielectric diffusion barrier on electromigration performance of copper damascene interconnects	Jpn. J. Appl. Phys. 1, 45 , 3A, 1570 (2006)	T. Usui, H. Miyajima, H. Masuda, K. Tabuchi, K. Watanabe, T. Hasegawa and H. Shibata
25. New reliability failure by water absorption into low-k SiOCH dielectric on Cu dual-damascene interconnects	Advanced Metallization Conference 2005 (AMC 2005) (USA) P.P.701-706, 2006	K. Tsumura, H. Miyajima, S. Ito, T. Usui and H. Shibata
26. Impact of damage restoration process on electrical properties and reliability of porous low-k SiOC/copper dual-damascene interconnects	Advanced Metallization Conference 2005 (AMC 2005) (USA) P.P.707-712, 2006	N. Nakamura, N. Yamada, S. Nakao, K. Akiyama, H. Miyajima, N. Matsunaga, Y. Enomoto and H. Shibata
27. High performance ultra low-k ($k=2.0/k_{\text{eff}}=2.4$) hybrid dielectrics/Cu dual-damascene interconnects with selective barrier layer for 32 nm-node	Advanced Metallization Conference 2006 (AMC 2006). Proceedings (USA) P.P.263-268, 2007	Y. Hayashi, K. Tsumura, M. Shimada, K. Watanabe, H. Miyajima, T. Usui and H. Shibata
28. Material design of porous low-k materials for 45 nm node interconnects	Advanced Metallization Conference 2006 (AMC 2006). Proceedings (USA) P.P.307-312, 2007	K. Watanabe, H. Miyajima, M. Shimada, N. Nakamura, T. Shimayama, Y. Enomoto, H. Yano and T. Yoda
29. Influence of moisture uptake in porous PAr film on electrical properties	Advanced Metallization Conference 2007 (AMC 2007) (USA) P.P.569-573, 2008	N. Nakamura, N. Matsunaga, K. Watanabe, H. Miyajima, Y. Enomoto, N. Okada and H. Shibata
30. A Study of Adhesion and Improvement of Adhesion Energy Using Hybrid Low-k (porous-PAr/porous-SiOC($k=2.3/2.3$)) Structures with Multi-layered Cu Interconnects for 45-nm Node Devices	Technical report of IEICE. SDM 107(481), P.P. 29-32, 2008	T. Usami, M. Tagami, K. Watanabe, T. Kameshima, H. Masuda, M. Shimada, A. Gawase, Y. Kagawa, N. Nakagawa, H. Miyajima, H. Naruse, Y. Enomoto, T. Kitano and M. Sekine