

博士学位論文

金属／IV族半導体界面の
固相反応と電気的特性

2000年

名古屋大学大学院

工学研究科結晶材料工学専攻

中塚 理

名古屋大学図書



11315829

Ph. D THESIS

**Studies on Solid-Phase Reactions and
Electrical Properties at the Interfaces of
Metals and Group-IV Semiconductors**

2000

**Department of Crystalline Material Science,
Graduate School of Engineering, Nagoya University,
Japan**

Osamu Nakatsuka

目次

第1章	序論	1
1.1	研究の背景	1
1.2	本研究の目的	1
1.3	本論文の概要	7
1.4	参考文献	8
第2章	金属/半導体界面における電気的特性	11
2.1	バンド構造	11
2.2	電気伝導機構	17
2.3	コンタクト抵抗率	23
2.4	参考文献	27
第3章	実験方法	29
3.1	実験装置	29
3.1.1	金属蒸着装置	29
3.1.2	SiGe層成長装置	31
3.1.3	急速熱処理装置	33
3.2	試料作製方法	35
3.2.1	基板洗浄法	35
3.2.2	サリサイド形成法	35
3.2.3	ショットキーダイオード作製法	37
3.3	電気的特性評価法	40
3.3.1	電流-電圧特性	40
3.3.2	DLTS測定	41
3.3.3	コンタクト抵抗率測定法	47
3.4	参考文献	51
第4章	Co/Si界面の固相反応と電気的特性	53
4.1	はじめに	53
4.2	実験方法	54
4.3	界面固相反応による生成物の評価	54

4.4	ショットキーダイオードの電気伝導特性	56
4.5	界面欠陥の評価	64
4.6	まとめ	70
4.7	参考文献	72
第5章	Co/Si系のコンタクト抵抗率の不純物濃度依存性	73
5.1	はじめに	73
5.2	実験方法	74
5.3	イオン注入後の界面不純物濃度分布	75
5.4	コンタクト抵抗率の熱処理温度依存性	79
5.5	コンタクト抵抗率の界面不純物濃度依存性	79
5.5.1	高濃度不純物ドーピング状態における半導体のバンド構造	82
5.5.2	数値計算によるコンタクト抵抗率	87
5.5.3	コンタクト抵抗率の界面不純物濃度依存性	92
5.6	まとめ	95
5.7	参考文献	97
第6章	Ti及びZr/SiGe界面の固相反応	99
6.1	はじめに	99
6.2	実験方法	103
6.3	Ti/Si _{0.5} Ge _{0.5} /Si系の固相反応	104
6.4	Zr/Si _{0.5} Ge _{0.5} /Si系の固相反応	114
6.5	固相反応と電気的特性の関係	118
6.6	まとめ	120
6.7	参考文献	122
第7章	総括	125
7.1	本研究の要約	125
7.2	今後の展望	127
謝辞		129
研究業績		130

第 1 章 序論

第1章

序論

1.1 研究の背景

現代の情報化社会を支える半導体素子は、加速的にその性能を向上させてきた。その中でもSi基板を用いた超々大規模集積回路（ULSI: Ultra Large Scale Integrated circuit）の集積度は、誕生当時から1年当たり約1.6倍の勢いのまま上昇してきている。集積度の向上は、その基本素子であるMOS型電界効果トランジスタ（MOSFET: Metal-Oxide-Semiconductor Field-Effect Transistor）の微細化に依るところが大きい。図1.1に現在のMOSFETの概略図を示す。MOSFETは、その単純な構造から微細化に適しており、その高性能化はスケーリング則に則した縮小化によって進展してきた[1]。表1.1に電界一定の条件におけるMOSFETのスケーリング則を示す。この表からも分かる様に、スケーリング則とは、トランジスタ各部の寸法を均等に $1/k$ に縮小する時、基本的にはトランジスタの電気的特性も電流・電圧等が $1/k$ に縮小されることを示す法則である。素子の微細化を行うことによって、一つの素子の占める面積は $1/k^2$ に縮小され、回路のスイッチング時間は $1/k$ に短縮されるので、LSIの高集積化及び高速化が可能となる。スケーリング則が提唱された1970年代前半において、素子の設計ルールは $10\mu\text{m}$ 前後であったが、微細化の進展によって、現在においてはそれが研究レベルで $0.05\mu\text{m}$ 、工業化レベルで $0.1\mu\text{m}$ の段階にまで到達している[2, 3]。しかし、それと同時に極度の微細化に伴って様々な問題点が顕在化してきている。

ULSI内部には、信号を処理するトランジスタとして機能する半導体部分と、各トランジスタ間の配線及び信号入出力用の電極を形成する金属部分がある。従って、ULSI内部にはこの二つの領域を繋ぐ為の金属/半導体界面が無数に存在する。これらの金属/半導体界面においても、素子の微細化に伴う様々な問題が現れてくる。その主なものとして、金属/半導体界面におけるコンタクト抵抗の増大及び接合リーク電流の増大が挙げられる。以下、これらの問題点について順に述べる。

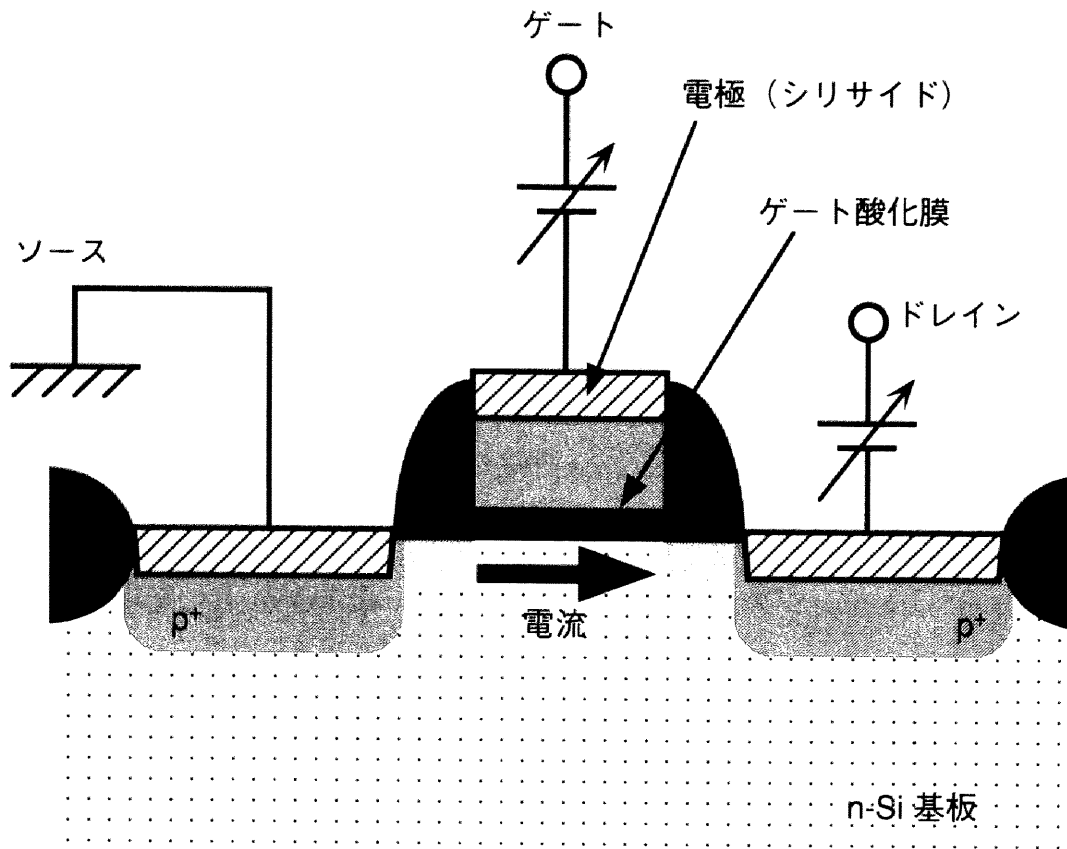


図1.1 MOSFETの断面構造の概略図。

表1.1 MOSFETのスケーリング則。

項目	スケーリング則
ゲート長 (L)	$1/k$
ゲート幅 (W)	$1/k$
接合深さ (x_j)	$1/k$
ゲート面積 (S)	$1/k^2$
ゲート酸化膜厚 (t_{ox})	$1/k$
不純物濃度 (N_D)	k
電源電圧 (V)	$1/k$
電界 (F)	1
電流 ($I = (W/L)(1/t_{ox})V^2$)	$1/k$
しきい値電圧 (V_{th})	$1/k$
ゲート容量 ($C = \epsilon S/t_{ox}$)	$1/k$
ゲート遅延 (VC/I)	$1/k$
消費電力 (P)	$1/k^2$
電流密度 (J)	k

(1) 金属/Si界面のコンタクト抵抗増大

コンタクト抵抗は、MOSFET中に存在する寄生抵抗の一種である。図1.2に、現在のMOSFETの構造図及びMOSFETにおける典型的な寄生抵抗の概念図を示す。MOSFETはチャネル部分の抵抗（チャネル抵抗） R_{ch} をゲート電極に印加した電圧によって変化させることにより、ソース-ドレイン間を流れる電流を制御するデバイスである。しかし現実の回路においては、チャネル抵抗以外にも寄生抵抗と呼ばれる様々な抵抗成分が存在する。図1.2に示す様に、寄生抵抗としては半導体内部（ R_d ）、シリサイド/Si界面（ $R_{contact1}$ ）、シリサイド内部（ $R_{silicide}$ ）、金属/シリサイド界面（ $R_{contact2}$ ）、金属配線内部（ R_{metal} ）等における抵抗成分が挙げられる。チャネル抵抗によるソース-ドレイン電流の制御という本来のMOSFETの機能を保つためには、寄生抵抗がチャネル抵抗に比較して十分に低いことが必要である。シリサイド/Si界面におけるコンタクト抵抗 $R_{contact1}$ は、本質的にはコンタクト部分の面積と比例関係にある為、素子が $1/k$ に縮小された場合、その抵抗値は k^2 倍に増大する。従って、コンタクト面積の縮小によるコンタクト抵抗の増加を考慮した上で、十分に低いコンタクト抵抗率を持つ材料及び構造を適用する必要がある。表1.2に今後要求されるコンタクト抵抗率及びソース・ドレイン接合深さのロードマップを示す[4]。コンタクト部分の金属には元々Alが用いられていた。しかしAl/Si系のコンタクト抵抗率は $10^{-6}\Omega\text{cm}^2$ 台（Siの不純物濃度が 10^{20}cm^{-3} の場合）と比較的高い為、現在ではより熱的安定性が高く、コンタクト抵抗率も $10^{-7}\Omega\text{cm}^2$ 台とより低い TiSi_2 や CoSi_2 等のシリサイドに置き換わっている。しかし表1.2からも分かる様に将来のサブミクロンデバイスにおいては、現在のコンタクト抵抗率よりも更に低い $10^{-8}\Omega\text{cm}^2$ 台のコンタクト抵抗率が必要とされる。それ故に素子の微細化の実現の為には、よりコンタクト抵抗率の低い金属材料の探求及びコンタクト抵抗を下げるためのプロセス技術・コンタクト構造の開発が不可欠となる。

詳細については後述するがコンタクト抵抗率の低減には、半導体中の不純物濃度を高くすること及び金属/半導体界面のショットキー障壁高さを低減することが、本質的には有効である。非常に高不純物濃度の半導体は金属的な特性を示し、そのバンド構造も低不純物濃度の場合に比較して大きく変化する。具体的には、半導体の

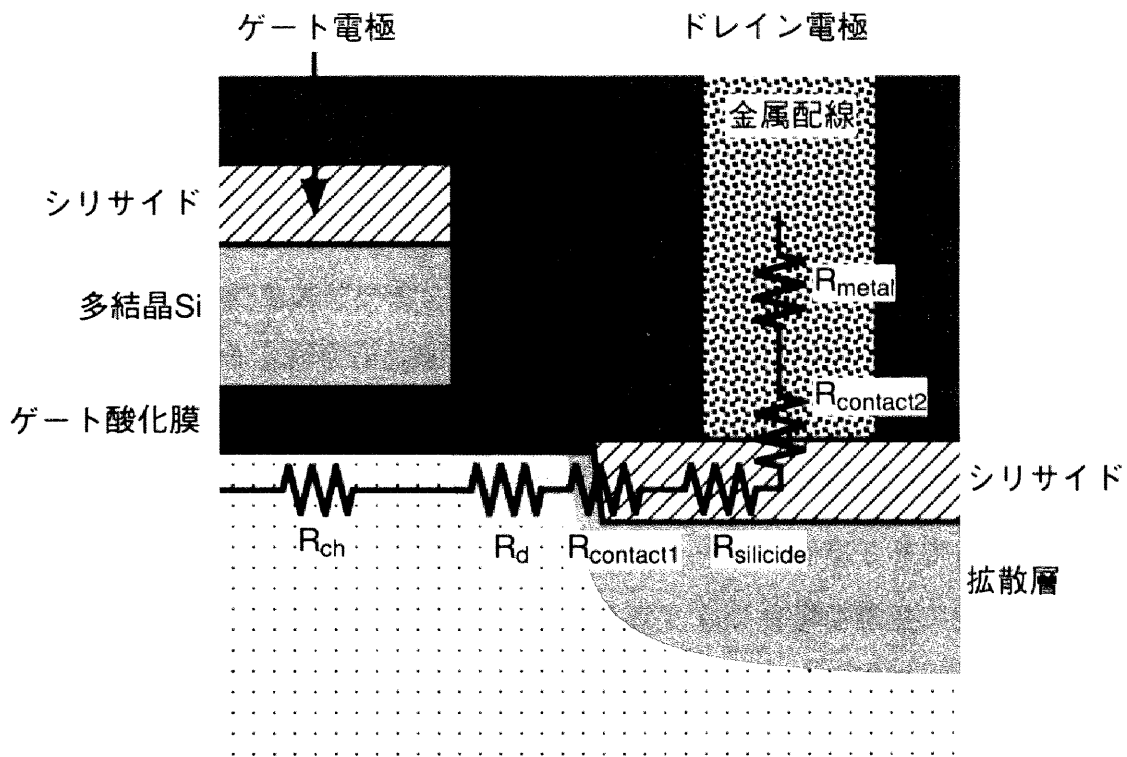


図1.2 MOSFETの構造及び寄生抵抗の概念図。

表1.2 コンタクト抵抗率及びソース・ドレイン接合深さのロードマップ[4]。

	1999年	2001年	2003年	2005年
設計ルール (nm)	180	180	130	100
コンタクト抵抗率 (Ωcm^2)	$< 3.0 \times 10^{-7}$	$< 2.0 \times 10^{-7}$	$< 1.6 \times 10^{-7}$	$< 1.0 \times 10^{-7}$
接合深さ (nm)	75~145	55~105	43~85	35~70

禁制帯中において不純物バンドの形成やバンドテイリングによるバンドギャップの縮小などが生じる[5]。金属/半導体界面における電気伝導機構もその影響を強く受けることが予想され、これに関する系統的な研究が必要である。また近年不純物濃度は 10^{20}cm^{-3} 台にまで到達しており、将来更に増大させる必要があるが、この時不純物原子のSi中への固溶限が問題になると考えられる。

(2) 接合リーク電流の増大

MOSFETの微細化に伴う金属/Si界面の第二の問題点として、接合リーク電流の増大が挙げられる。MOSFETのゲート長が縮小するに伴って、ドレイン領域の空乏層がソース領域にまでせり出し、ゲート電圧によるソース-ドレイン電流の制御が困難になってくる。更に極端な場合には、ソース-ドレイン間を直接リーク電流が流れてしまうパンチスルー現象が生じる。これらを短チャネル効果と呼び、これを抑制する為にはソース及びドレイン領域に形成されるpn接合をより浅くする必要がある。現在の設計ルールにおいてはソース・ドレイン接合深さは約70nm前後にまで浅くなっている(表1.2参照)[4]。この様に浅接合化されたpn接合上のコンタクトにおいて、 TiSi_2 や CoSi_2 等のシリサイドを形成すると、Siの消費に伴って接合深さは当初の状態よりも浅くなる。この時、金属/半導体界面のラフネスが大きいと局所的にpn接合が破壊されて、基板へのリーク電流が生じることが危惧される。また、金属原子の基板への拡散やSiの消費に伴う空孔の形成によって界面近傍に電氣的なトラップ準位が生じ、これがリーク電流や素子の雑音成分の増大を引き起こす原因となる。従って、安定した浅いpn接合の実現の為には、より低欠陥で平坦な金属/半導体界面を制御性よく形成する技術が必要となる。

現在、主要なコンタクト材料として用いられている TiSi_2 は、以前用いられたAlの様にSi基板中にスパイクを形成することもなく、熱的にも比較的安定である。しかし、 TiSi_2 は $0.1\mu\text{m}$ 程度の微細な配線などを形成した場合、凝集を起こし高抵抗層を形成する、いわゆる“細線効果”が問題となっていた[6]。それ故に近年では次世代半導体素子のコンタクト材料として CoSi_2 に注目が集まっている。 CoSi_2 は細線効果が

見られず[7]、抵抗率も TiSi_2 に比較して遜色がない。また、 TiSi_2 と同様に自己整合シリサイド即ちサリサイド (salicide: self-aligned silicide) として応用可能な点で、素子の微細化及びプロセスの簡略化に適している[8,9]。その一方で、 CoSi_2 はSi中にスパイクを形成したり[10]、シリサイド表面にピンホールを形成したりするなど[11]、Si基板中への過剰な拡散を引き起こしソースドレイン領域における接合リークを増大させることが指摘されている。その為、Coシリサイド形成時における固相反応過程のより深い理解と、精密な制御による平坦な接合界面の形成が重要になってくる。

また、近年コンタクト抵抗低減の為の新技术として、SiGe混晶層またはGe層を中間層として金属/Si界面に導入する手法が、我々の研究グループを中心に検討されている[12-15]。詳細は後述するが、SiGe中間層を用いることで、ショットキー障壁高さの低減、界面不純物濃度の増加の効果が期待でき、この構造を用いたコンタクト抵抗率の低減が試みられている。しかし、金属/SiGe/Si系の様に複雑な多元系における固相反応や電気的特性に関しては未解明な部分が多い。

1.2 本研究の目的

本研究の目的は、上述した概念に沿って、より低抵抗でかつ高い信頼性を持つ金属/半導体界面及び薄膜の形成の為に、金属/半導体界面における固相反応とその電気的特性の関連性を基礎的に解明することである。本研究では第一に急速熱処理 (RTA: Rapid Thermal Annealing) 法を用いて形成した CoSi_2 /Si界面における電気伝導特性を調べることで、Coシリサイド形成時における固相反応過程や欠陥の生成等を解明することを目的とした。RTA法は秒単位の短時間で温度制御性の高い熱処理を行う方法で、近年シリサイドの形成にも活発に用いられるようになってきた技術である。RTA法を用いることでシリサイド形成に伴う金属原子の余分な拡散や界面不純物原子の再分布を最小に抑えることができると考えられる。第二に CoSi_2 /Si界面の高濃度ドーピング時における電気伝導機構を理論的に解明し、実験結果との比較を元に、コンタクト抵抗の不純物濃度依存性及びショットキー障壁高さについて明らかにすることを目的とした。第三に金属/SiGe系コンタクトにおける多元系の固相反応及び電気伝導機構を解明することを目的として、本研究ではTi及びZr/SiGe/Si系の

固相反応に関する研究を行った。

1.3 本論文の概要

本論文の第2章以下は次の様な構成になっている。

第2章では金属/半導体界面における電気伝導に関する基本的な理論を説明する。界面に形成されるショットキー障壁を通過する電流特性について説明し、コンタクト抵抗率が金属/半導体界面に形成されるショットキー障壁高さと半導体側の不純物濃度の関数として決定されることを示す。

第3章では本研究で用いた主な実験装置について述べた後、現在の主要なコンタクト形成技術であるサリサイドプロセスについて説明する。更に研究全体を通じた基本的な試料作製法及びその観察・測定方法について述べる。

第4章から第6章までは実験結果及びその考察である。第4章ではRTA処理法を用いた場合のCo/Si界面における固相反応と電気的特性について述べる。RTA法を用いて作製したショットキーダイオードの電気的特性を示し、Coシリサイド形成時の固相反応及びそれに伴う欠陥の生成等について考察する。

第5章では、Co/Si界面におけるコンタクト抵抗率の界面不純物濃度依存性について、数値計算の結果を交えて議論する。高不純物濃度における半導体中のエネルギーバンド構造について考察した後、金属/半導体界面におけるコンタクト抵抗率を数値計算によって議論する。また、コンタクト抵抗率の不純物濃度依存性について実験・計算双方の結果を交え考察する。

第6章ではTi及びZr/SiGe/Si多層構造における界面固相反応と電気的特性の関連性について述べる。界面中間層として取り入れたSiGe層が固相反応に与える影響及びGe原子の固相反応における挙動について考察する。

最後の第7章では研究全体を総括し、今後の展望について述べる。

1.4 参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous and A. R. LeBlanc, *IEEE J. Solid-State Circuits* **SC-9**, 256 (1974).
- [2] 日経マイクロデバイス、1999年12月号、pp. 96-137.
- [3] 日経マイクロデバイス、2000年2月号、pp. 93-106.
- [4] International Technology Roadmap for Semiconductors 1999 EDITION, Semiconductor Industry Association, 1999.
- [5] D. S. Lee and J. G. Fossum, *IEEE Trans. Electron Devices* **ED-30**, 626 (1983).
- [6] J. B. Lasky, J. S. Nakos, O. J. Chain and P. J. Geiss, *IEEE Trans. Electron Devices* **ED38**, 262 (1991).
- [7] Q. W. Wang, K. Maex, S. Kubicek, R. Jonckheere, B. Kerkwijk, R. Verbeeck, S. Biesemans and K. De Meyer, *VLSI Tech. Dig.* 17 (1995).
- [8] S. P. Murarka, *J. Vac. Sci. Technol. B* **4**, 1325 (1986).
- [9] R. Liu, "*Chpt.8 Metallization*" in *ULSI Technology*, edited by C. Y. Chang and S. M. Sze (McGrawHill Companies, NewYork, 1996) pp. 371-471.
- [10] A. E. Morgan, E. K. Broadbent, M. Delfino, B. Coulman and D. K. Sandana, *J. Electrochem. Soc.* **134**, 925 (1987).
- [11] S. M. Yalisove, R. T. Tung and D. Loretto, *J. Vac. Sci. Technol. A* **7**, 1472 (1989).
- [12] J. Kojima, S. Zaima, H. Shinoda, H. Iwano, H. Ikeda, and Y. Yasuda, *Appl. Surf. Sci.* **117/118**, 317 (1997).
- [13] S. Zaima and Y. Yasuda, *J. Vac. Sci. Technol. B* **16**, 2623 (1998).
- [14] K. Suguro and A. Murakoshi: in *Proc. Advanced Metallization and Interconnect Systems for ULSI Applications in 1996* (Material Research Society, Pittuburgh, PA, 1997) p. 217.
- [15] R. A. Donaton, M. Stucchi, S. Jin, H. Bender, K. Maex, A. Vantomme and G. Langouche, in *Proc. Advanced Metallization and Interconnect Systems for ULSI Applications in 1996* (Material Research Society, Pittuburgh, PA, 1997) p. 565.

第 2 章

金属/半導体界面における電気的特性

第2章

金属/半導体界面における電気的特性

本章では、金属/半導体界面における電気的特性の理論的取り扱いについて述べる。始めに金属/半導体界面に形成されるエネルギーバンド構造について説明する。次に、金属/半導体界面をキャリアが通過する時の幾つかの電気伝導機構について述べる。最後に金属/半導体界面におけるコンタクト抵抗率について論じ、コンタクト抵抗率が界面のショットキー障壁高さ及び半導体中の不純物濃度に依存していることを示す。

2.1 バンド構造[1, 2]

金属とn型半導体の接合を例に挙げて考察する。個別の状態において図2.1(a)に示す様なバンド構造を持つ、金属とn型半導体とを接触させた場合を考える。系が熱平衡状態に達した時フェルミ準位が一致して、理想的な金属/半導体接合は図2.1(b)に示したバンド構造をとる。金属側の自由電子の負電荷と、半導体内に分布するドナーの正電荷の間で電気力線を終端する為に、半導体側の界面にはポテンシャルの勾配が生じ、半導体側の界面近傍には電子のない空乏層が形成される。金属側から見たポテンシャル障壁の高さはショットキー障壁高さと呼ばれ、金属の仕事関数 ϕ_m 及び半導体の電子親和力 χ によって以下の様に表される。

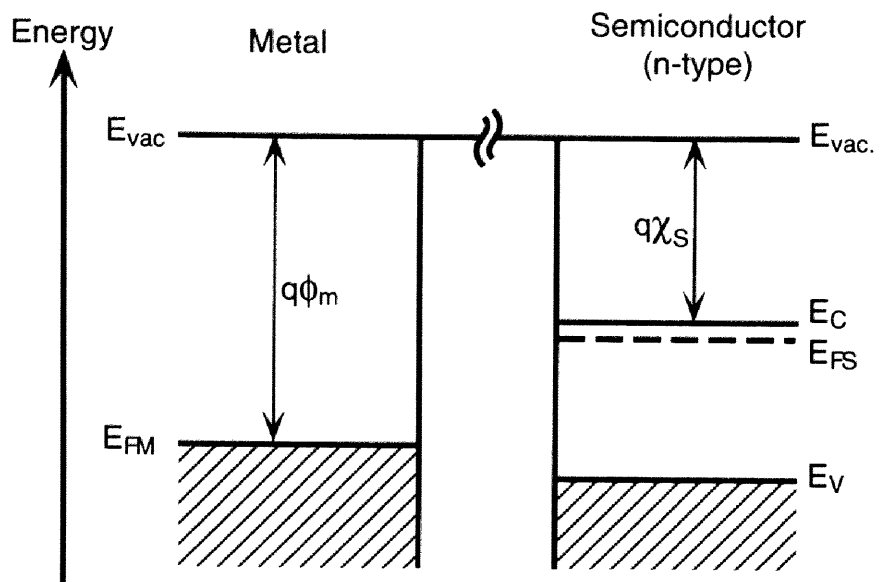
$$q\phi_{Bn} = q(\phi_m - \chi) \quad (2.1)$$

金属/p型半導体の接合におけるショットキー障壁高さは、同様の議論から以下の様に表される。

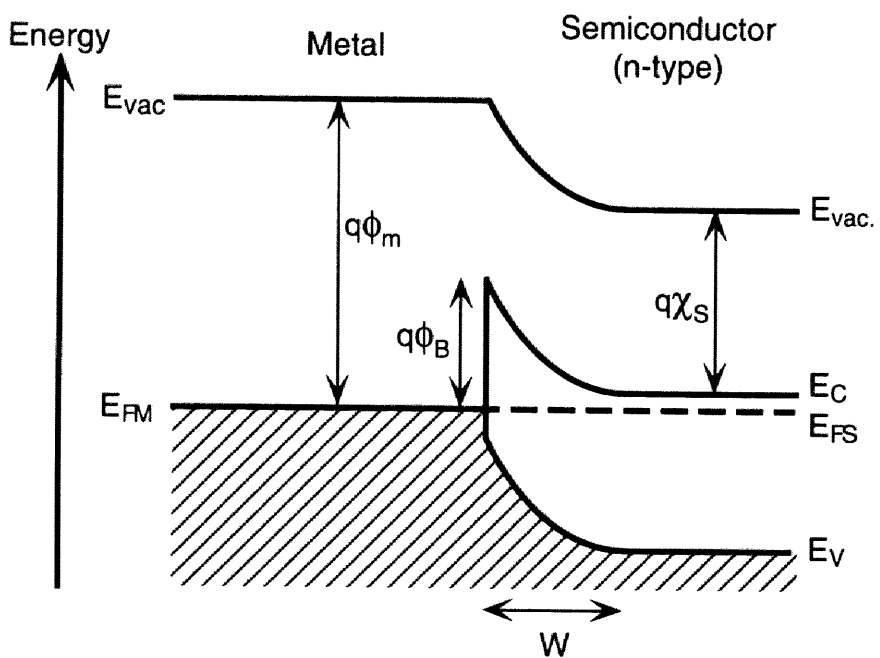
$$q\phi_{Bp} = E_g - q(\phi_m - \chi) \quad (2.2)$$

但し、 E_g は半導体のバンドギャップである。よって(2.1)式、(2.2)式から次の関係が導かれる。

$$q(\phi_{Bn} + \phi_{Bp}) = E_g \quad (2.3)$$



(a)



(b)

図2.1 金属/半導体界面のエネルギーバンド構造。
 (a) 接触前の単体での金属及び半導体のエネルギーバンド構造。
 (b) 理想状態での金属/半導体接合時のエネルギーバンド構造。

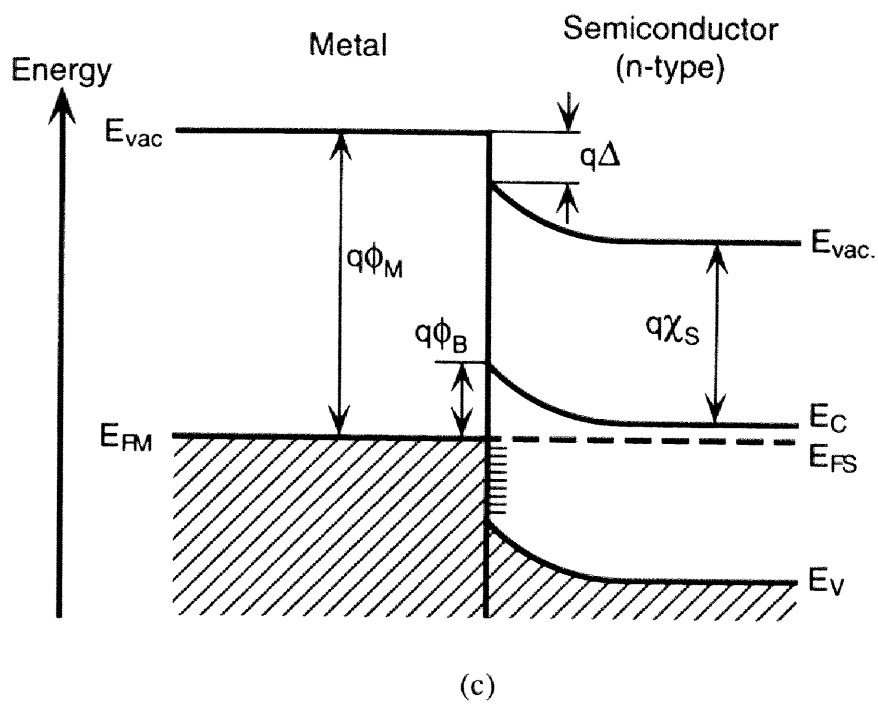


図2.1 金属/半導体界面のエネルギーバンド構造。
(c) 界面準位が存在するときの金属/半導体接合時のエネルギーバンド構造。

即ち、ある半導体を用いた時に、どんな金属に対してもn型及びp型の金属/半導体接合におけるショットキー障壁高さの和は、半導体のバンドギャップに等しくなる。図2.1(b)において仮定した、理想的な金属/半導体界面の状態はショットキー (Schottky) 極限と呼ばれる。

しかし、実際の金属/半導体界面においては、未結合手 (dangling bond) や欠陥等に起因する界面準位が存在する。先述した理想的な状態とは逆に、多量の界面準位が存在する状態においては、金属/半導体界面におけるバンド構造は図2.1(c)のようになる。半導体側から生じる電気力線は、全て界面準位と半導体側のドナーとの間で終端されていると考え、金属と半導体のフェルミ準位が一致する時に、金属側から伸びる電気力線を十分に終端できるほど界面準位が多量に存在する様な場合には、界面の障壁高さは金属の仕事関数 ϕ_m には全く依存せず、界面準位の状態密度分布に依存したある値に決まる。この様な場合、半導体のフェルミ準位 E_{FS} もしくはポテンシャル障壁高さ ϕ_B は“ピン (pinned)” されるという。この様な状態は、バーディーン (Bardeen) 極限と呼ばれる。

結局、一般的な金属/半導体界面においては、金属の仕事関数に対するショットキー障壁高さの依存性は、界面の状態に応じてショットキー極限とバーディーン極限の中間状態をとり、金属/n型半導体界面におけるショットキー障壁高さは、次の様に表される。

$$\phi_{Bn} = S(\phi_m - \chi) + const. \quad (2.4)$$

但し、 S は $\partial\phi_{Bn} / \partial\phi_m$ で定義される金属/半導体界面の界面係数であり、 $0 \leq S \leq 1$ の範囲をとる。 $S=1$ 及び $S=0$ の場合が、それぞれショットキー極限及びバーディーン極限に対応する。一例を挙げると、CowleyとSzeはn型Siと種々の金属との接合において、次式の様な関係を報告している[3]。

$$q\phi_{Bn} = 0.27q\phi_m - 0.55 \quad (2.5)$$

次に界面に形成される空乏層について考える。ここでは簡単の為、ショットキー極限の場合について考える。半導体中のポアソン方程式に対して境界条件として図2.1(b)の様なバンド構造を考えることで、半導体側のポテンシャルの形状を決定する

ことができる。金属側に順方向又は逆方向の電圧 V を印加した時、金属/半導体界面のバンド構造は図2.2に示す様に変化する。金属/n型半導体接合の問題は、本質的にはp⁺-nの片側階段接合と見なして方程式を解くことができる。金属/半導体界面を原点にとり ($x=0$)、空乏層幅を W 、ドナー濃度を N_D とすると、空乏層中 ($0 < x < W$) におけるポアソン方程式は以下の様になる。

$$\frac{d^2\phi(x)}{dx^2} = -\frac{qN_D}{\epsilon_s} \quad (2.6)$$

但し、 $\phi(x)$ 、 ϵ_s 及び q はそれぞれ電位、半導体中の誘電率及び素電荷である。金属側のフェルミ準位をポテンシャルの原点と定め、境界条件として $d\phi/dx=0$ ($x=W$) 及び $\phi=-\phi_{Bn}$ ($x=0$) を用いて、(2.6)式を解くと以下の結果が得られる。

$$|F(x)| = \left| \frac{d\phi(x)}{dx} \right| = \frac{qN_D}{\epsilon_s} (W-x) = F_m - \frac{N_D}{\epsilon_s} x \quad (2.7)$$

$$\phi(x) = \frac{qN_D}{\epsilon_s} \left(Wx - \frac{1}{2}x^2 \right) - \phi_{Bn} \quad (2.8)$$

$$W = \sqrt{\frac{2\epsilon_s}{qN_D} \left(V_{bi} - V - \frac{k_B T}{q} \right)} \quad (2.9)$$

但し、 $F(x)$ 、 V_{bi} 、 k_B 及び T は電界、内蔵電位 (built-in potential)、ボルツマン定数及び温度である。印加電圧 V は、順方向電圧印加時の符号を正、逆方向を負として考えている。(2.7)式中の F_m は $x=0$ において与えられる最大電界強度である。(2.9)式中の $k_B T/q$ の項は、中性領域から空乏層内への電子の浸み出しを考慮に入れて導入された項である。従って、ショットキー接合における空乏層中の空間電荷 Q_{sc} 及び空乏層容量 C は以下の様に表される。

$$Q_{sc} = qN_D W = \sqrt{2q\epsilon_s N_D \left(V_{bi} - V - \frac{k_B T}{q} \right)} \quad (\text{C/cm}^2) \quad (2.10)$$

$$C \equiv \frac{\partial Q_{sc}}{\partial V} = \sqrt{\frac{q\epsilon_s N_D}{2(V_{bi} - V - k_B T/q)}} = \frac{\epsilon_s}{W} \quad (\text{F/cm}^2) \quad (2.11)$$

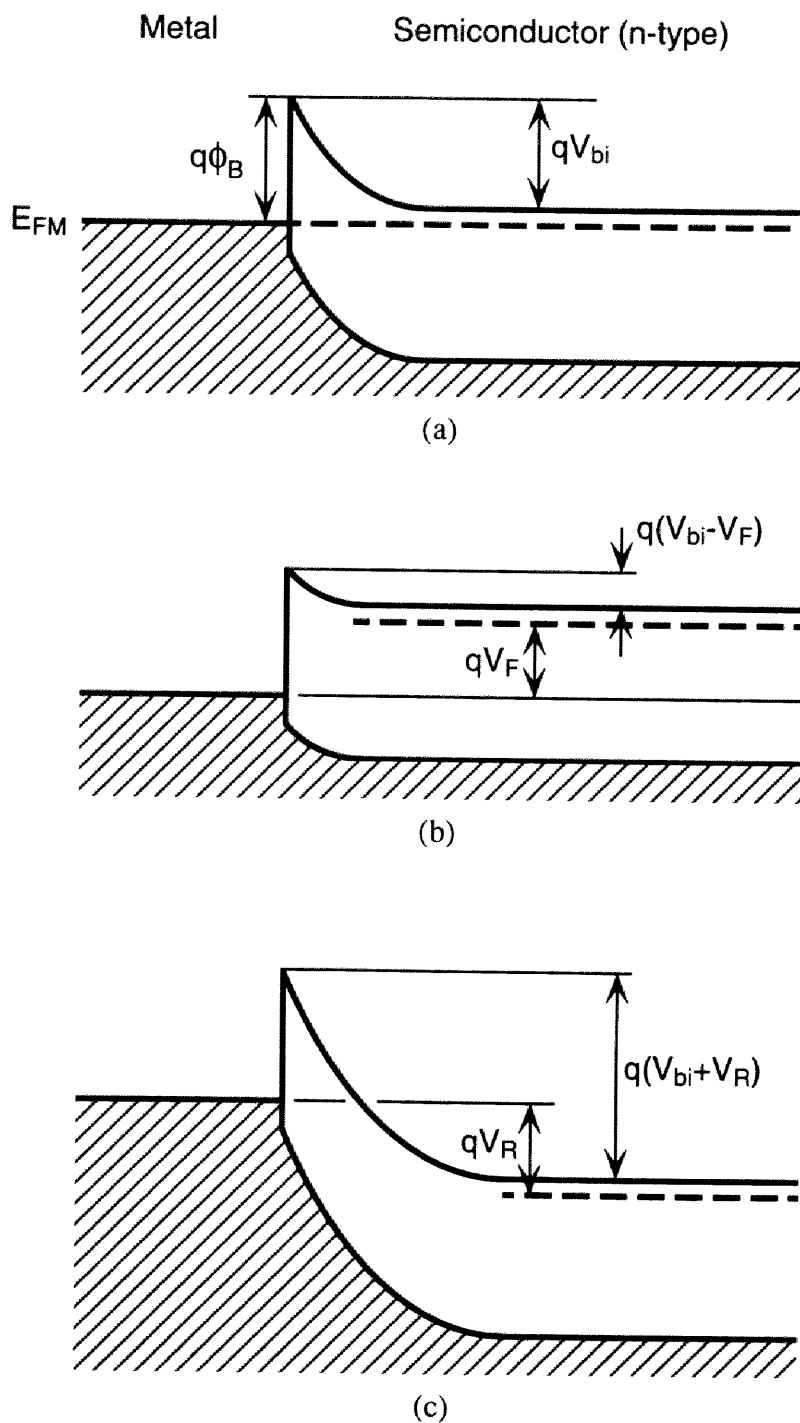


図2.2 電圧印加時の金属/半導体界面のエネルギーバンド構造。
 (a) 熱平衡状態、(b) 順方向電圧印加、(c) 逆方向電圧印加。

2.2 電気伝導機構[1, 2]

続いて2.1節で示した様な金属/半導体界面をキャリアが通過する時の電気伝導機構について説明する。金属/半導体界面における電気伝導は多数キャリアによるものが主であり、少数キャリアが伝導に強く寄与するpn接合とは対照的である。順方向電圧印加時における基本的な伝導機構としては図2.3にも示す様に以下の4つが挙げられる。

- (1) キャリアがポテンシャル障壁を越えて半導体側から金属側へ伝導する熱放出 (TE: Thermionic Emission) 伝導機構
- (2) キャリアが量子トンネル効果によって半導体側から金属側へ直接障壁内を透過するトンネル (Tunneling) 伝導機構
- (3) 空乏層領域内でのキャリアの再結合 (Recombination) 伝導機構
- (4) 中性領域内でのキャリアの再結合伝導機構。

現実の界面ではこれらの機構による伝導に加えて、界面に存在する欠陥準位等を介したリーク電流等も存在する。低ドーピング濃度の半導体（例えばSiでは $N_D \leq 10^{17} \text{cm}^{-3}$ ）との接合では室温においては (1) の機構が支配的であり、高ドーピング濃度の半導体では (2) の機構が寄与する様になる。以下、金属/n型半導体接合を例に、熱放出及びトンネル伝導機構について説明する。

・熱放出伝導機構

Betheによる熱放出機構の理論に従って、以下のことを仮定して議論を進める[4]。

- (1) 障壁高さ $q\phi_{Bn}$ は $k_B T$ に比較して十分に大きい。
- (2) 半導体バルク中では熱平衡状態が成立している。
- (3) 正味の電流は (2) の熱平衡状態には影響を与えない。

以上の仮定より、界面を流れる電流はポテンシャル障壁高さのみに依存し、ポテンシャルの形状には依存しないことが導かれる。半導体から金属へ向かって流れる電流密度を J_{sm} とすると、これはポテンシャル障壁を越えるエネルギーを持った電子の密度によって以下の様に与えられる。

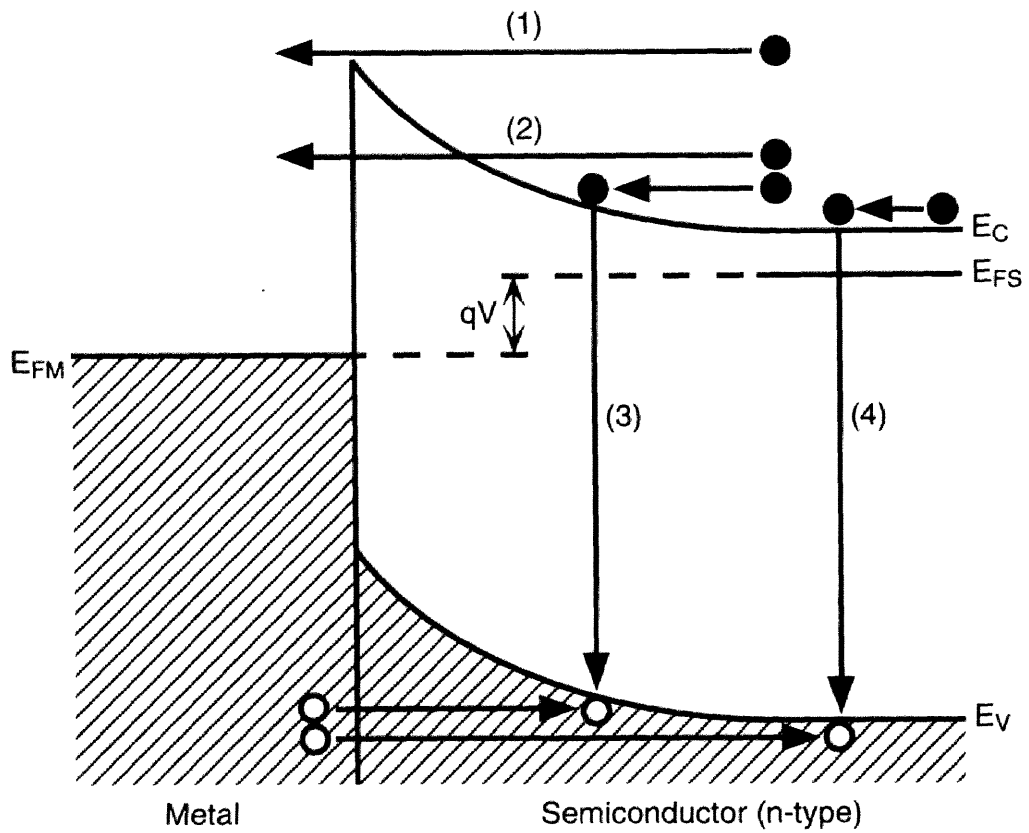


図2.3 金属/n型半導体接合の順方向電圧印加時における電気伝導機構。

- (1) 熱放出 (TE: Thermionic Emission) 機構、
- (2) トンネル (Tunneling) 機構、
- (3) 空乏層領域における再結合 (Recombination) 機構、
- (4) 中性領域における再結合機構。

$$J_{sm} = \int_{E_F + q\phi_B}^{\infty} qv_x dn \quad (2.12)$$

$E_F + q\phi_B$ はキャリアが熱放出機構によって金属中へ流れ出るのに必要な最小のエネルギーであり、 v_x は電流の方向に向いた電子の速度である。エネルギーの微小量 dE に対する電子密度の変化量 dn は以下の様に表せる。

$$\begin{aligned} dn &= N(E)F(E)dE \\ &= \frac{4\pi(2m^*)^{3/2}}{h^3} \sqrt{E - E_C} \exp\left(-\frac{E - E_C + qV_n}{k_B T}\right) dE \end{aligned} \quad (2.13)$$

但し、 $N(E)$ 及び $F(E)$ はそれぞれ電子の状態密度及び分布関数である。ここでは、ボルツマン分布を仮定した。 m^* は半導体中の電子の有効質量である。また $qV_n \equiv E_C - E_F$ と定義した。伝導帯中の自由電子のエネルギーが、全て運動エネルギーである事を前提とすると、自由電子の速度 v を用いて、

$$E - E_C = \frac{1}{2} m^* v^2 \quad (2.14a)$$

$$dE = m^* v \, dv \quad (2.14b)$$

$$\sqrt{E - E_C} = v \sqrt{\frac{m^*}{2}} \quad (2.14c)$$

が導き出せる。(2.14)式を(2.13)式に代入すると

$$dn = 2 \left(\frac{m^*}{h}\right)^3 \exp\left(-\frac{qV_n}{k_B T}\right) \exp\left(-\frac{m^* v^2}{k_B T}\right) (4\pi v^2 \, dv) \quad (2.15)$$

となる。ここで、

$$v^2 = v_x^2 + v_y^2 + v_z^2 \quad (2.16)$$

を用いて(2.12)式を書き換えると以下の様になる。

$$J_{sm} = \left(\frac{4\pi q m^* k_B^2}{h^3}\right) T^2 \exp\left(-\frac{qV_n}{k_B T}\right) \exp\left(-\frac{m^* v_{ox}^2}{k_B T}\right) \quad (2.17)$$

v_{ox} は障壁を越えるのに必要な x 方向の最小の速度であり、次式から与えられる。

$$\frac{1}{2} m^* v_{ox}^2 = q(V_{bi} - V) \quad (2.18)$$

但し、 V_{bi} は図2.2に示した内蔵電位であり、 V は印加電圧である。(2.18)式を変形し、(2.17)式に導入して整理すると、以下の式が得られる。

$$J_{sm} = A^* T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right) \exp\left(\frac{V}{k_B T}\right) \quad (2.19)$$

但し、 ϕ_B は障壁高さであり V_n と V_{bi} の和に等しい。また、 A^* は熱放出機構におけるリチャードソン定数と呼ばれ、以下の式で表される。

$$A^* = \frac{4\pi q m^* k_B^2}{h^3} \quad (2.20)$$

Si結晶中においては、リチャードソン定数は電子及び正孔に対してそれぞれ112及び32A/cm²-K²である[5]。

一方、金属中の電子から見た障壁高さは、印加電圧に依らずに一定の高さを保つので、金属から半導体に向かう熱放出電流 J_{ms} は常に一定で熱平衡状態時の値に等しい。これは $V=0$ における J_{sm} に等しいことから、(2.19)式に $V=0$ を代入して、

$$J_{ms} = -J_{sm}(V=0) = -A^* T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right) \quad (2.21)$$

結局、全電流密度は(2.19)と(2.21)を足して、以下の様になる。

$$J = J_S \left\{ \exp\left(\frac{qV}{k_B T}\right) - 1 \right\} \quad (2.22)$$

但し、 J_S は飽和電流密度と呼ばれ、次式で定義される。

$$J_S \equiv A^* T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right) \quad (2.23)$$

現実の系においては、熱放出電流が主な電流成分であると考えられる時の電流-電圧特性は、通常(2.22)式を次式の様に変えて表される。

$$J = J_S \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (2.24)$$

ここで、 n は理想因子 (ideality factor) と呼ばれ、以下の様に定義される[6]。

$$n \equiv \frac{q}{k_B T} \frac{\partial V}{\partial(\ln J)} \quad (2.25)$$

理想因子は電流全体に対する熱放出電流の寄与を表す目安であり、理想的な熱放出電流がより支配的な場合に1に近づく。逆にリーク電流等の非理想的な電流成分が増加すると1よりも大きい値を示す。

・トンネル伝導機構

高濃度ドーピング半導体と金属の接合においては、空乏層幅が十分に狭くなり、量子論的なトンネル効果によってポテンシャルを直接透過するキャリアの量が増える為に、界面を流れる電流はトンネル機構によるものが支配的になる。また、熱放出電流が十分に小さくなる様な低温度領域においても、トンネル機構による電流成分が顕著になる。

トンネル機構による電流は図2.4に示す様に2種類に分けることができる。一つは低温度領域においてフェルミ準位に近いエネルギーを持った電子がポテンシャル障壁をトンネルすることで生じる電界放出 (FE: Field Emission) 電流である。もう一つは、ショットキー障壁高さに達する手前のエネルギー準位まで熱的に励起された電子が、薄くなった障壁部分を透過する熱電界放出 (TFE: Thermionic Field Emission) 電流である。

半導体から障壁を透過して金属へ流れる電流密度 J_{sm} は次式で与えられる[7]。

$$J_{sm} = \frac{2m^* q}{h^3} \iint F_s(E_x, E_t) (1 - F_m(E_x, E_t)) D_T(E_x) dE_x dE_t \quad (2.26)$$

但し、 h はプランク定数である。便宜上、運動エネルギーを伝導方向 E_x 及びそれに垂直な方向 E_t の2つの成分に分けて考える。 F_s 及び F_m はそれぞれ半導体及び金属のフェルミディラック分布関数である。 D_T は障壁の透過係数で、WKB近似を用いた場合には次式で表される。

$$D_T = \exp\left\{-\frac{4\pi}{h} \int_{x_1}^{x_2} \sqrt{2mq(\phi_B - V(x))} dx\right\} \quad (2.27)$$

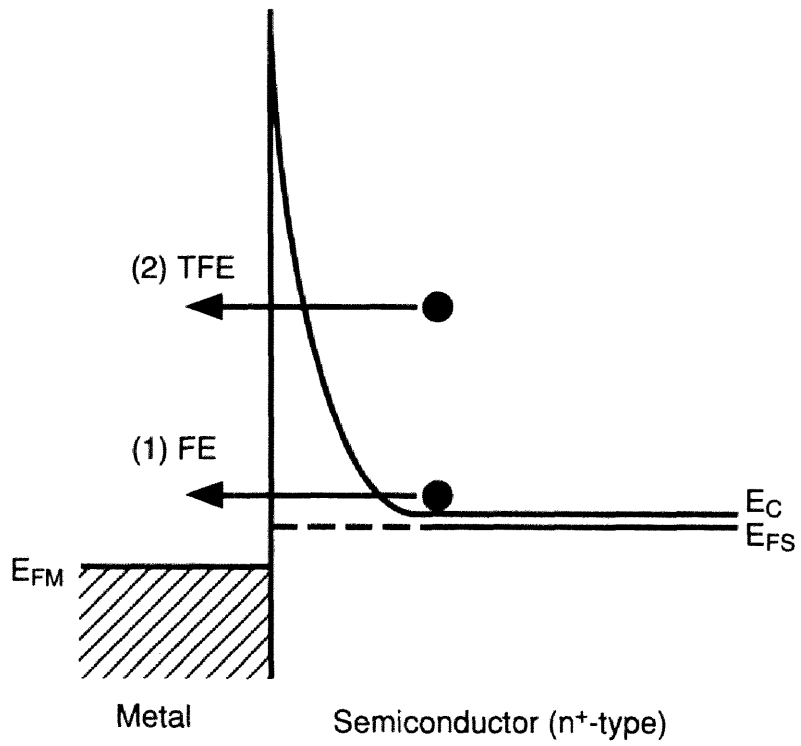


図2.4 金属/ n^+ 型半導体接合のトンネル電流。

- (1) 電界放出 (FE: Field Emission) 電流、
- (2) 熱電界放出 (TFE: Thermionic Field Emission) 電流。

特に半導体が高濃度の場合には、透過係数 D_T は次の様になる[8, 9]。

$$D_T \propto \exp\left(-\frac{q(\phi_B - V)}{E_{00}}\right) \quad (2.28)$$

E_{00} はリファレンスエネルギーと呼ばれ、次式で定義される[10]。

$$E_{00} \equiv \frac{q\hbar}{2} \sqrt{\frac{N_D}{\epsilon_s m^*}} \quad (2.29)$$

(2.28)式を(2.26)式に適用することで J_{sm} は次式で与えられる。

$$J_{sm} \propto \exp\left(-\frac{q(\phi_B - V)}{E_{00}}\right) \quad (2.30)$$

金属から半導体へ流れる電流 J_{ms} も同様の方法によって求められる。(2.29)式及び(2.30)式より、トンネル電流は $\sqrt{N_D}$ の指数関数に比例して増大することが分かる。

また、半導体の不純物濃度が $10^{15} \sim 10^{16} \text{cm}^{-3}$ 程度の低濃度の場合に起こりうるトンネル機構に、マルチステップトンネル機構がある[11, 12]。これは図2.5に示す様に欠陥等が原因で空乏層内に存在するトラップ準位を介して、キャリアが次々とトンネルすることで伝導する機構である。電流密度は以下の様に表される[12]。

$$J = J_t \exp\{-A(V_{bi} - V)\} \quad (2.31)$$

J_t は空乏層内のトラップ密度に比例した定数であり、 A は温度によらない定数である。(2.31)式中温度依存性を持つ変数は内蔵電位 V_{bi} のみであり、この機構における電流の温度依存性は V_{bi} によって決まる。

2.3 コンタクト抵抗率[1, 2]

金属/半導体界面を流れる電流が J の時、コンタクト抵抗率は次式で定義される。

$$\rho_c \equiv \left(\frac{\partial J}{\partial V}\right)_{V=0}^{-1} \quad (2.32)$$

半導体の不純物濃度が低い ($N_D < 10^{17} \text{cm}^{-3}$) 場合、(2.22)式を(2.32)式に代入して、

$$\rho_c = \frac{k_B}{qA^* T^2} \exp\left(\frac{q\phi_B}{k_B T}\right) \quad (2.33)$$

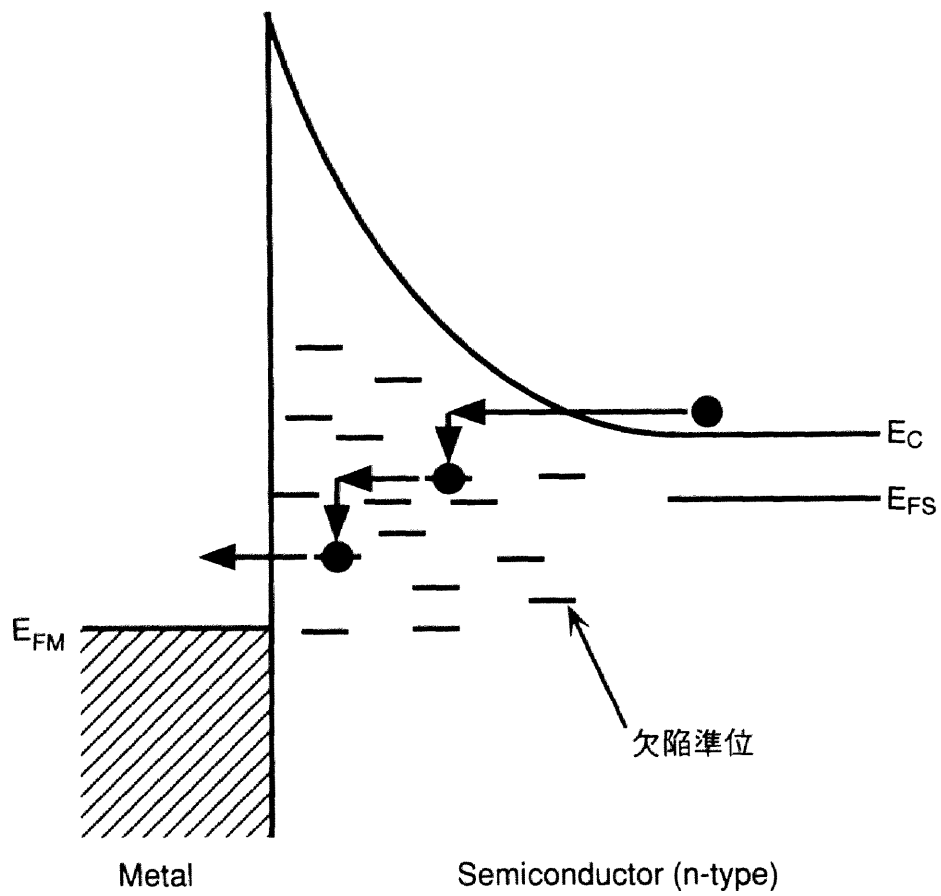


図2.5 マルチステップトンネル電流の模式図。

となる。即ち、コンタクト抵抗率はショットキー障壁高さのみに依存し、不純物濃度や空乏層の幅等には依存しない。

一方、不純物濃度が高い ($N_D > 10^{19} \text{cm}^{-3}$) 場合には、(2.30)式より、

$$\rho_c \propto \exp\left(\frac{2\sqrt{\epsilon_s m^*}}{\hbar} \frac{\phi_B}{\sqrt{N_D}}\right) \quad (2.34)$$

と表される。この場合、コンタクト抵抗率はショットキー障壁高さ及び不純物濃度の関数となる。

(2.33)式及び(2.34)式に従って、コンタクト抵抗率のドーピング濃度依存性を図2.6に示す。図中、横軸を $N_D^{-1/2}$ 、縦軸をコンタクト抵抗率の対数で表す。ドーピング濃度の高い領域及び低い領域では、それぞれ電界放出機構及び熱放出機構が支配的となり、中間領域では熱電界放出機構が現れる。従って、コンタクト抵抗率をより低減する為にはショットキー障壁高さ ϕ_B の低減及び半導体中のドーピング濃度 N_D の増加が有効であることが分かる。しかし、現実の系においては金属/半導体界面が常に理想的であるとは限らず、また界面における不純物原子の再分布等も問題となる。更に、非常に高濃度にドーピングされた半導体では、不純物濃度の低い半導体の場合とは異なった状態密度の取り扱い等も必要となる。このような場合のコンタクト抵抗率の理論的取り扱いについては第5章において議論する。

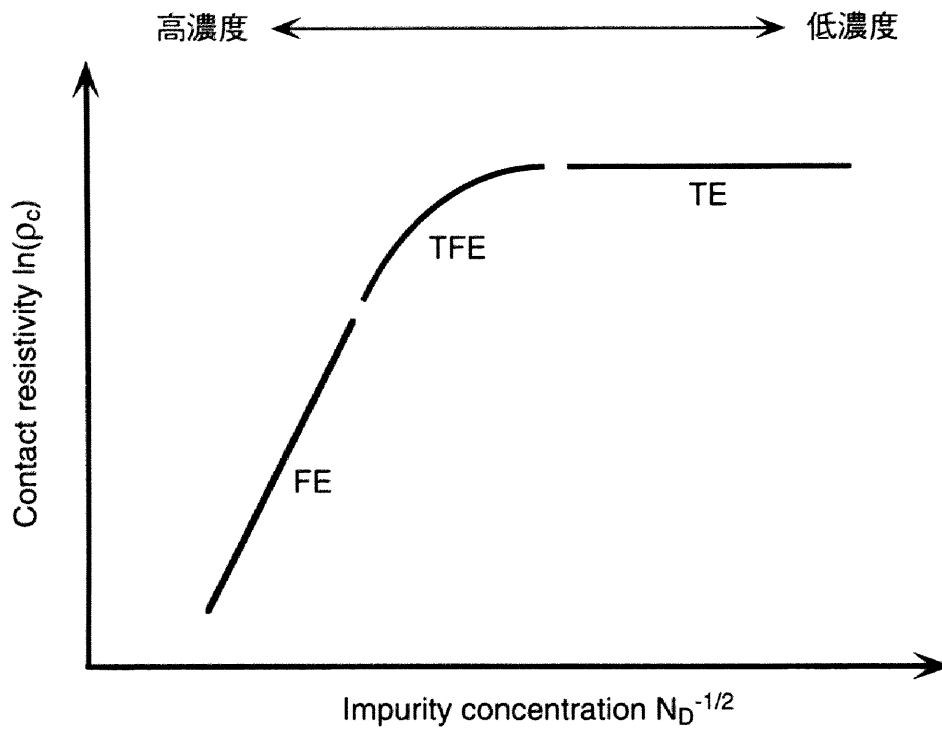


図2.6 コンタクト抵抗率の界面不純物濃度依存性。

2.4 参考文献

- [1] S. M. Sze, *Physics of Semiconductor Devices Second Edition*, (John Wiley & Sons, New York, 1981), pp. 245-311.
- [2] S. S. Cohen, G. Sh. Gildenblat, *Metal-Semiconductor Contacts and Devices (VLSI Electronics Microstructure Science vol. 13*, Academic Press, Orlando, 1986).
- [3] A. M. Cowley and S. Sze, *J. Appl. Phys.* **36**, 3212 (1965).
- [4] H. A. Bethe, MIT Radiat. Lab. Rep. 43-12 (1942).
- [5] J. M. Andrews and M. P. Lepseler, *Solid-State Electron.* **13**, 1011 (1970).
- [6] S. M. Sze, C. R. Crowell and D. Kahngx, *J. Aool. Phys.* **35**, 2534 (1964).
- [7] K. C. Kao and W. Hwang, *Electron Transport in Solids (PERGRAMON PRESS)* vol. 14, p. 102.
- [8] F. A. Padovani and R. Stratton, *Solid-State Electron.* **9**, 695 (1966).
- [9] C. R. Crowell and V. L. Rideout, *Solid-State Electron.* **12**, 89 (1969).
- [10] C. Y. Chang, Y. K. Fang and S. M. Sze, *Solid-State Electron.* **14**, 541 (1971).
- [11] A. R. Riben and D. L. Feucht, *Solid-State Electron.* **9**, 1055 (1966).
- [12] S. Kar, S. Ashok and S. J. Fonash, *J. Appl. Phys.* **51**, 3417 (1980).

第 3 章 実験方法

第3章 実験方法

本章では、本研究における実験方法について述べる。始めに、使用した実験装置を説明し、次に試料の作製方法について述べる。最後に電気的特性の評価方法について述べる。

3.1 実験装置

3.1.1 金属蒸着装置

金属膜の蒸着には、超高真空装置内における電子銃蒸着法を用いた。図3.1に、実験に用いた超高真空装置の概略図を示す。この装置は、蒸着室、分析室及び試料導入室の3つの部分から構成される。各室間はゲートバルブによって隔てられている。試料はモリブデン及びステンレス製の試料ホルダに固定され、マグネティックトランスファーロッドによって各室間を搬送される。

蒸着室には4つの電子銃蒸着機が装備されており、超高真空を保ったままで、4種類の金属の蒸着が可能である。蒸着膜厚は水晶振動子型の膜厚検出器（Inficon XTC2）によって蒸着と同時に測定した。一方、分析室にはX線源（VG Microtech XR2E2）及びエネルギー分析器（VG Microtech CLAM100）が装備されており、X線光電子分光（XPS: X-ray Photoemission Spectroscopy）法による表面電子状態の分析が可能である。分析室内の試料ホルダを固定するマニピュレータにはカーボンヒータが装備されており、350～1000℃の範囲で熱処理が可能である。熱処理時の温度は、300℃から800℃の温度範囲が測定可能なパイロメータ（MINOLTA IR-308）によって測定した。装置内部の真空度はイオンゲージによって測定した。

蒸着室及び分析室内部を超高真空まで排気する過程について以下に述べる。両室は、油回転ポンプ（RP: Rotary Pump）を用いて大気圧から 1×10^{-2} Torr程度まで粗排気した。続いてターボ分子ポンプ（TMP: Turbo Molecular Pump）による排気で真空度は約 1×10^{-6} Torrに達した。そのまま排気を行いながら、抵抗ヒータを用いて装置全体の

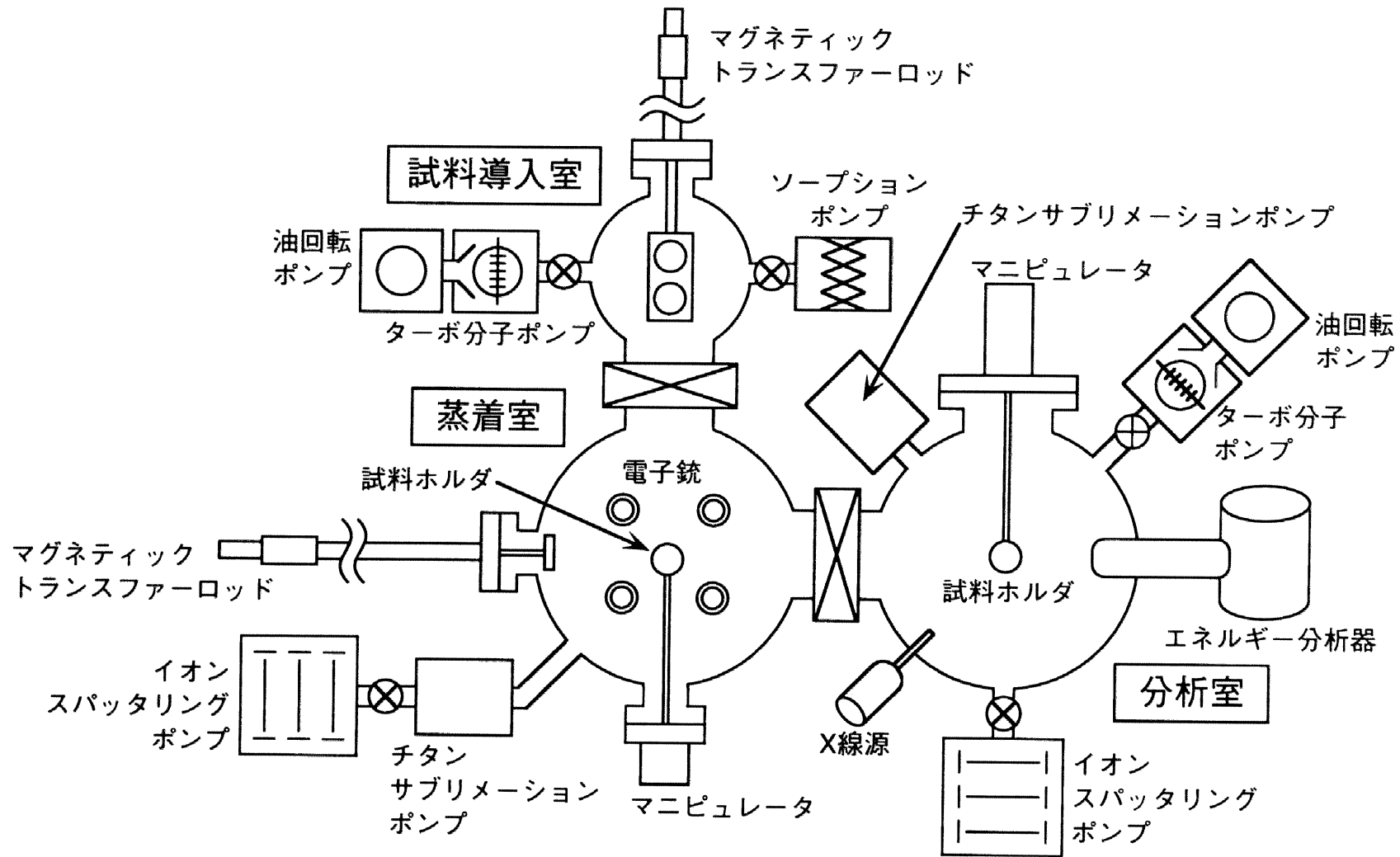


図3.1 金属蒸着装置の概略図。

外壁を約120℃に加熱して、装置内部に吸着している大気分子の焼き出しを行った。約20時間の加熱を行った後、装置全体が高温を保持している間に電子銃、イオンゲージ、カーボンヒータ等のガス出し（Degas）を行った。装置の温度が室温に戻ってから、主排気装置をTMPからスパッタリングイオンポンプ（SIP: Sputtering Ion Pump）に切り替えた。これは、TMPの排気を補助しているRPから流入する油分子等によって、装置内部が汚染されるのを防ぐ為である。更にSIPは閉鎖系のポンプであり、これを主排気に用いることで外気による装置内部の汚染を完全に遮断できる。以上に述べた一連の操作によって真空度は約 1×10^{-9} Torrに達した。更に補助排気装置として、チタンサブレーションポンプ（TSP: Titanium Sublimation Pump）を間欠的に運転するによって、最終的な装置内部の真空度は約 1×10^{-10} Torrに到達した。

装置への試料導入時の粗排気はソーptionポンプ（SP: Sorption Pump）によって行った。RPを用いた粗排気では装置駆動用の油分の流入による試料の汚染が懸念されるが、SPを用いることによってこれを防ぐことができる。粗排気後、TMPによって試料導入室を 5×10^{-7} Torr以下まで排気した後、試料を蒸着室に搬送した。以上の手順によって蒸着室の超高真空は保ったままで、試料を導入することが可能である。

3.1.2 SiGe層成長装置

SiGe層の成長は、超高真空装置内における電子銃による蒸着法によって行った。図3.2に実験に用いた超高真空装置の概略図を示す。この装置は、成長室及び試料導入室の2つの部分からなる。両室間はゲートバルブによって隔てられている。試料はステンレス製の試料ホルダに固定され、マグネティックトランスファーロッドによって両室間を搬送される。

成長室内には2つの電子銃が装備されており、それぞれターゲットとしてSiとGeの原料を用意してある。2台の水晶振動子型の膜厚検出器を用いることによって、Si及びGeの成長膜厚を同時かつ独立に測定可能となっており、任意の組成を持つ $\text{Si}_{1-x}\text{Ge}_x$ を成長させることが可能である。更に2本のクヌーセンセル（Knudsen-cell）によって $\text{Si}_{1-x}\text{Ge}_x$ の成長時にGa及びSbをドーピングすることができる。成長室内にはカーボンヒータが装備されており、任意の基板温度で成長させることが可能である。加熱

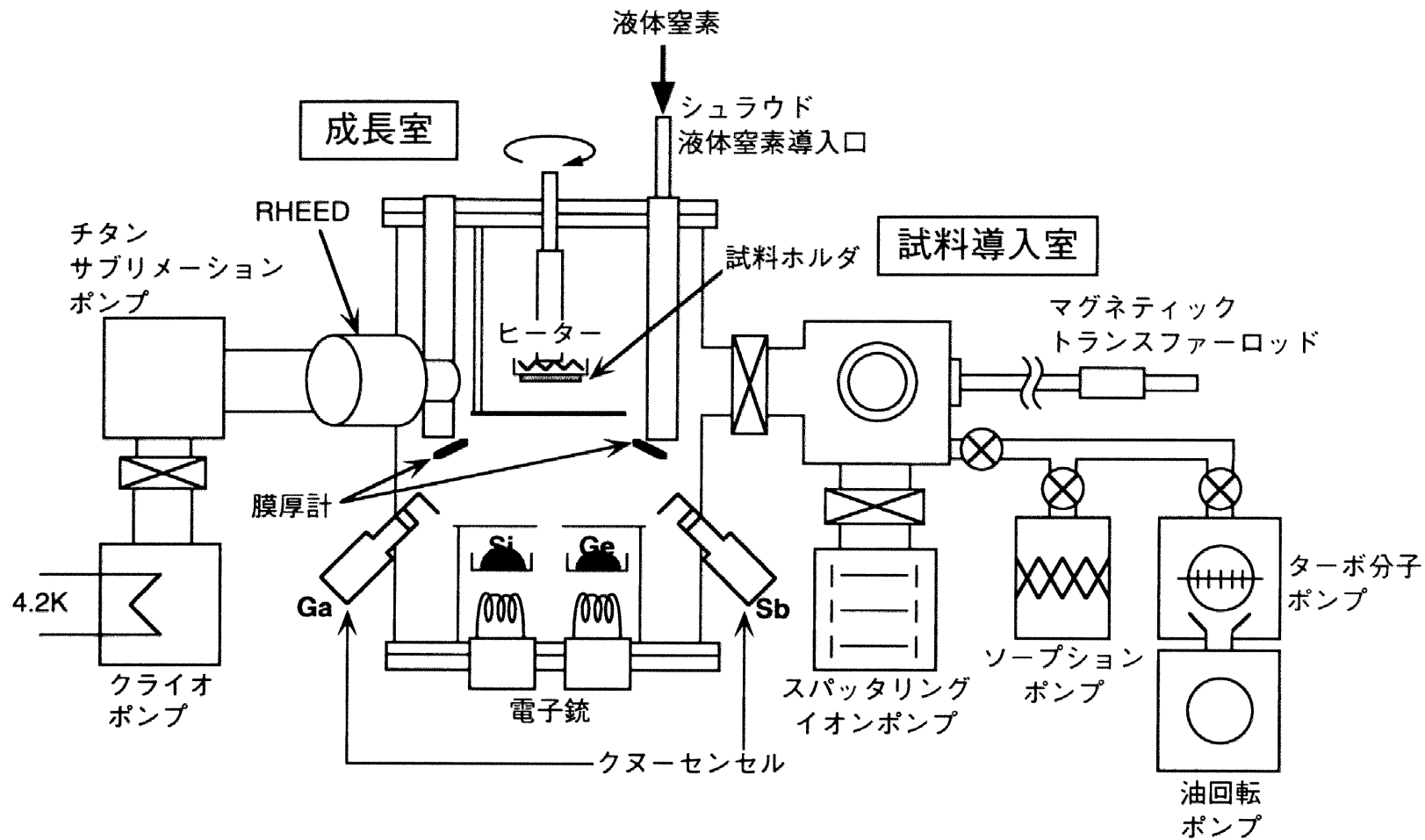


図3.2 SiGe層成長装置の概略図。

中のヒータ温度は熱電対によって計測しており、基板温度との校正はパイロメータによって予め行っておいた。蒸着中にホルダの中心を軸にして試料を水平方向に回転させることによって、成長層の組成の均一性や平坦性を高くしている。成長室には高速電子線回折（RHEED: Reflection High-Energy Electron Diffraction）装置が装備されており、成長前後及び成長中の試料表面の結晶周期構造を観察することが可能である。

成長室は通常運転時にはクライオポンプ（Crio Pump）によって排気されており、補助排気として間欠的にTSPを運転する。先述した金属蒸着装置と同様の焼き出し作業を行うことによって、装置内の真空度は約 1×10^{-10} Torrに達した。更に液体窒素シュラウドを併用することによって、成長開始前の基底真空度は 5×10^{-11} Torrに到達した。また、 $\text{Si}_{1-x}\text{Ge}_x$ 成長中の真空度は約 5×10^{-9} Torrであった。

3.1.3 急速熱処理装置

本研究で用いた急速熱処理（RTA: Rapid Thermal Annealing）装置の概略図を図3.3に示す。RTA法は石英製のチャンバ内に導入した試料を、周囲を取り囲んだランプによって加熱することで熱処理を行う方法である[1]。従来用いられていた石英管炉内における抵抗加熱による熱処理法には、加熱に伴う石英管内壁から汚染物の発生、開放系である為の熱処理雰囲気制御の限界、装置全体での熱容量が大きい為の熱処理温度及び時間制御の困難といった問題点があった。一方、RTA法では加熱量を電氣的に制御しやすいランプ加熱法を採用することによって、従来用いられていた抵抗加熱による熱処理に比較して、ウェハの高速な加熱・冷却、秒単位の短時間の熱処理時間制御、高い温度制御性及び熱処理雰囲気の制御等を実現している。特に、非常に短時間で熱処理が可能な点から、制御性が高く、極浅い不純物ドーピング層の形成や、金属原子及び不純物原子の拡散を最小限に抑えたシリサイド形成等に有効な手法であると考えられる。

本研究では、RTA処理装置としてAG Heat Pulse 610を使用した。この装置は熱処理温度及び昇降温速度を、それぞれ $400 \sim 1200^\circ\text{C}$ 及び $0 \sim 200^\circ\text{C}/\text{秒}$ の範囲で制御可能である。また、チャンバ内部は完全に密閉され、流入ガスの種類及び流量を制御するこ

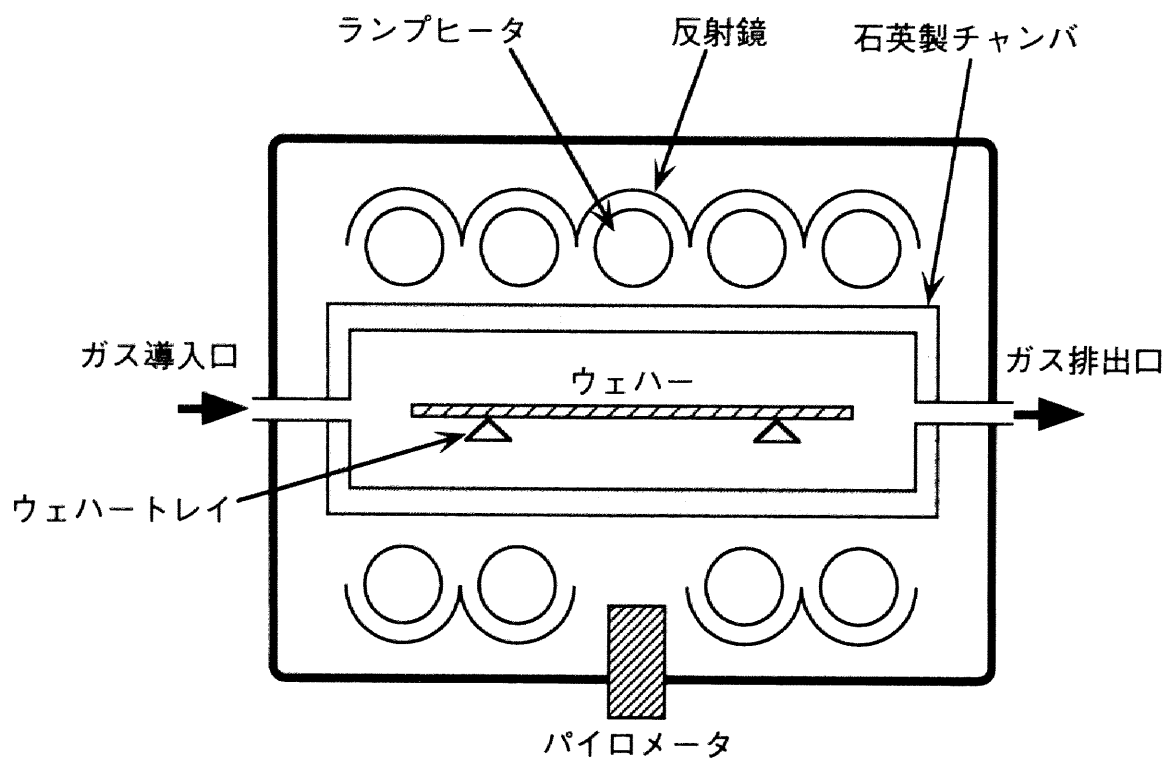


図3.3 RTA装置の概略図。

とで熱処理雰囲気を自由に設定できる。本研究では、3.2.2節で後述するサリサイド工程の第2段階熱処理及びイオン注入後の不純物の活性化処理にRTA法を適用した。

3.2 試料作製方法

ここでは、後章において述べる試料の作製法の中で、共通する基本的な試料作製工程に関して説明する。

3.2.1 基板洗浄法

表3.1に基板の洗浄工程についてまとめる。始めに硝酸及び硫酸でボイルすることによって、試料表面の重金属系及び有機系汚染物を除去する。汚染物除去後、ただちに希塩酸に晒すことによって表面を非常に薄い酸化膜で被覆する。更に希弗酸によってこの酸化膜を除去すると清浄なSi表面を得ることができた。弗酸処理後においては、清浄なSi表面のダングリングボンドは水素によって終端されている[2]。ここで極めて短時間、約5秒間以下の超純水による洗浄を行うことによって、水素終端表面を保ったままの清浄基板が得られる。この様にして得られた水素終端処理Si基板は、水素終端を行わない未処理のSi基板に比較して表面の残留汚染物が少なく、自然酸化の抑制効果を持つことが確認されている[3]。また、水素終端処理後にHfを蒸着して作製されたHf/Si接合ショットキーダイオードの電気的特性において、未処理の場合に比較して、界面欠陥が少なく、より良好なショットキー特性が得られることが報告されている[4]。本研究では、界面における酸素及び汚染物の残留による影響を極力抑える為に、金属を蒸着する前工程においては、常に水素終端処理を含めた洗浄処理を行った。

3.2.2 サリサイド形成法

金属-Siの化合物であるシリサイドと金属単体との間にある化学的安定性の差を利用することによって、Siとの接合部分に自己整合的にシリサイドを形成する技術をサリサイド (salicide: self-aligned silicide) 形成技術と呼ぶ[5, 6]。サリサイド形成技術を用いることで、目的のシリサイド層をSiとの接合部のみに精度よく形成すること

表3.1 試料洗浄法。

溶液	処理法	処理時間	目的
1. 王水 ($\text{HNO}_3:\text{HCl}=1:3$)	Boil	10分	重金属系汚染物の除去
2. 超純水	Overflow	10分	
3. 硫酸 ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=3:1$)	Boil	10分	有機系汚染物の除去
4. 超純水	Overflow	10分	
5. 希塩酸 ($\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:6$)	Boil	10分	酸化膜の形成
6. 超純水	Overflow	10分	
7. 希弗酸 ($\text{HF}:\text{H}_2\text{O}=1:50$)	Dip	10秒	酸化膜の除去
8. 超純水	Overflow	< 5秒	水素終端処理

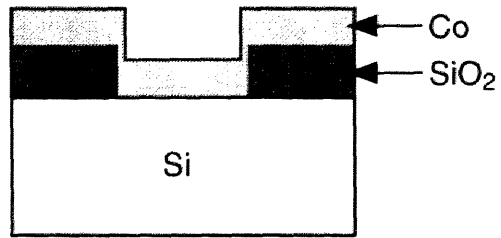
が可能となる。コンタクトホール形成工程において位置合わせの為のマスク上の設計マージンを不要にできる点で、この技術は素子の微細化を実現する上で不可欠な技術である。また、フォトリソグラフィ工程を省略できる点から工程の簡略化の面でも有効である。

今回の研究でもCoシリサイド層の形成には、このシリサイド形成技術を用いた。以下、その工程について説明する。図3.4に、本研究で行ったシリサイド形成工程の概略を示す。化学洗浄した試料を超高真空装置に導入後、電子銃蒸着法によってCoを20nm蒸着した。蒸着速度は0.02~0.04nm/秒で一定に制御した。蒸着前の装置内の到達真空度は 1×10^{-9} Torr以下であり、蒸着中の真空度は 5×10^{-9} Torr以下であった。蒸着後ただちに真空中で460℃、30分間の熱処理を行った。この工程によってSiとのコンタクト界面にのみCoSiが形成される。この試料を大気中に取り出し、70℃の希塩酸(HCl:H₂O₂:H₂O=3:1:3)中に30秒間晒すことで、酸化膜上に残る未反応のCoのみを選択的に除去した。最後に580℃~800℃、30秒間の熱処理を行うことによって、目的のシリサイド層を形成した。

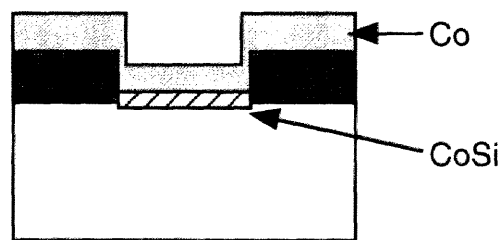
3.2.3 ショットキーダイオード作製法

本研究で用いたショットキーダイオードの作製方法について述べる。図3.5に作製工程を示す。基板はそれぞれ抵抗率8~12Ωcm及び5~7Ωcmのn型及びp型のSi(100)基板を用いた。最初に基板の保護膜として厚さ約800nmの熱酸化膜を酸化炉を用いて形成した。基板裏面の酸化膜を除去後、裏面に対しては低抵抗のオーミックコンタクトを得る為に、n型及びp型の基板にそれぞれP及びBを熱拡散によってドーピングした。次にフォトリソグラフィ工程によって1x1mm²のコンタクトホールを開口した。基板を化学的に洗浄後、先述のシリサイド形成法によってSiとのコンタクト部分にCoシリサイドを形成した。この時、最終的なCoシリサイドの形成温度は580、700及び800℃であった。更に表面及び裏面に真空蒸着法によってAlを蒸着し、フォトリソグラフィ工程によって表面に電極を形成した。最後に試料を5x5mmのチップに切り出し、銀ペーストを用いて試料台(TOSパッケージ)に接着後、ワイヤボンダを用いてAlの配線を行って電気特性測定用の試料とした。

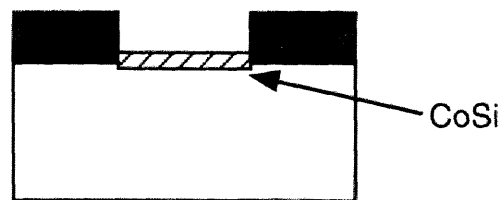
1. Co蒸着



2. 第1段階熱処理 (460°C、30分間、真空中)



3. 選択エッチング (希塩酸、70°C、30sec)



4. オーバーフロー (超純水dip、30秒間)

5. 乾燥 (120°C、10分間、大気中)

6. 第2段階熱処理 (580~800°C、30秒間、N₂雰囲気中)

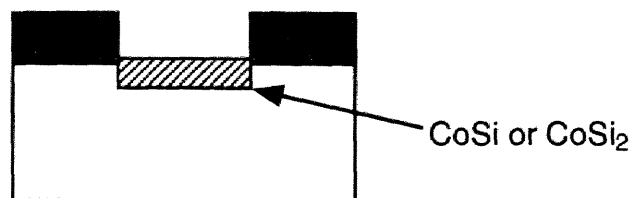
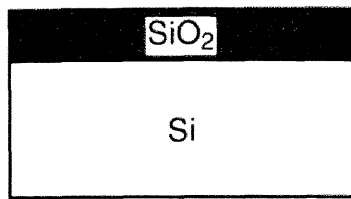
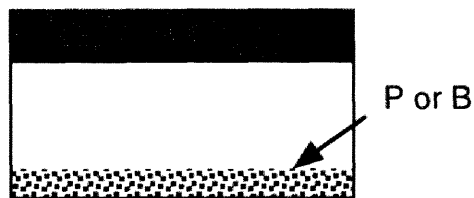


図3.4 サリサイド形成工程の概略。

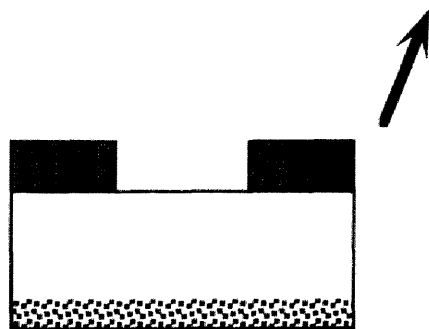
1. 熱酸化膜形成



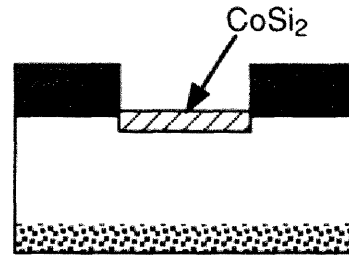
2. 裏面不純物ドーピング



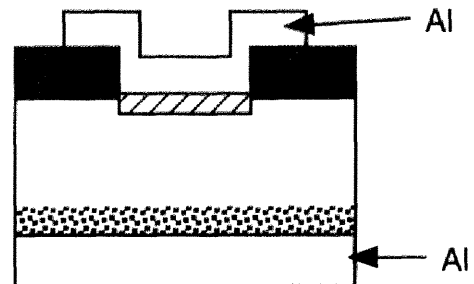
3. コンタクトホール開口



4. サリサイド層形成



5. 表面及び裏面電極形成



6. 試料台に固定、配線

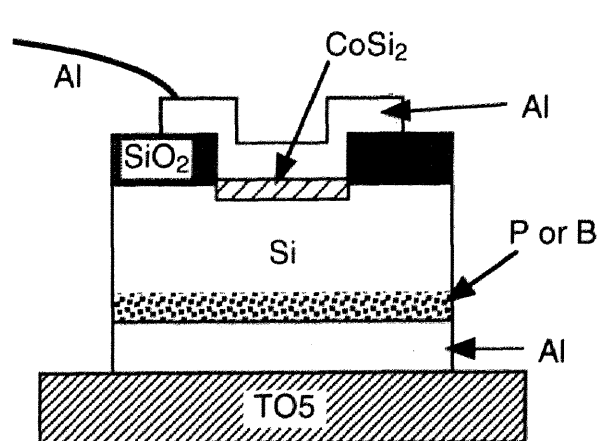


図3.5 ショットキーダイオード作製工程。

3.3 電气的特性評価法

3.3.1 電流-電圧特性

金属/半導体界面を流れる電流において熱放出電流が支配的である時、ショットキーダイオードを流れる電流密度は、第2章で議論した通り次の様に書ける[7]。

$$J = J_S \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (3.1)$$

ここで J_S は飽和電流密度で以下の式で表される。

$$J_S = A^* T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right) \quad (3.2)$$

また、 n は理想因子で、

$$n \equiv \frac{q}{k_B T} \frac{\partial V}{\partial(\ln J)} \quad (3.3)$$

と定義される。

順方向電流において熱放出電流が支配的な場合には、理想因子 n は1に近づく。熱放出電流以外の電流成分、例えば界面の欠陥を介したマルチステップトンネル伝導による電流成分等が含まれる時、理想因子は1よりも大きな値を示す。従って、理想因子が1に近いほどショットキー障壁高さは現実の値に近く、他の電流成分が寄与する時には見かけ上のショットキー障壁高さは小さくなる。

ショットキー障壁高さを決定するには、次に示す様な幾つかの方法がある。

(1) 一定電圧条件下での順方向電流の温度依存性: $\ln(J/T^2)$ - T プロットの勾配から決定する方法。

(2) 一定温度条件下での順方向電流の電圧依存性: $\ln(J)$ - V プロットの切片から飽和電流 J_S を求め、既知のリチャードソン定数 A^* を用いて決定する方法。

(3) (2) で求めた飽和電流密度 J_S の温度依存性: $\ln(J_S/T^2)$ - T プロットの勾配から決定する方法。

(4) 一定電圧条件下での逆方向電流 J_R の温度依存性: $\ln(J_R/T^2)$ - T プロットの勾配より

決定する方法。

いずれの方法を用いる場合においても、理想因子 n が1に近いことが重要であり、 n が1から離れている場合には、見かけ上のショットキー障壁高さは真の障壁高さよりも低く見積もられることに注意する必要がある。

3.3.2 DLTS測定

シリサイド形成過程において半導体中に形成された欠陥を評価する為に、本研究ではDeep-Level Transient Spectroscopy (DLTS) 法を用いた。DLTS法は、1974年Langによって考案された方法であり[8]、MOSダイオードやショットキーダイオードにおける空乏層容量の過渡特性の温度変化を観察することによって、半導体の禁制帯中に存在する深いエネルギー準位 (Deep Level) を持つ欠陥に関する電気的な情報を得ることができる。DLTS法は、それ以前に用いられていた容量法などに比較して、検出感度、測定に要する時間及び解析の容易さ等の点で優れている。スペクトロスコピックな手法により複数のエネルギー準位にある欠陥密度を定量的に評価できること、多数キャリアトラップと少数キャリアトラップを区別して測定できることが特長として挙げられる。現在ではDLTS法は様々な改良が取り入れられており、欠陥の基礎的な評価法として広い分野で用いられている。

DLTS法の基本的な測定原理について説明する。図3.6に金属/n型半導体ショットキーダイオードの場合を例にとって、パルス電圧印加時における金属/半導体界面の一連の過渡変化を示す。図中、禁制帯中において電子によって占有状態にあるトラップ準位を黒丸、非占有状態にある準位を白丸で表している。まず一定の逆方向電圧 V_R を印加した状態において、ドナー密度とフェルミ準位より上部に存在するトラップ準位の密度に従って、空乏層幅はある決まった幅をとる (図中の状態【1】)。この状態にパルス電圧 V_P ($|V_P| < |V_R|$) を印加すると、減少した電圧分に応じて空乏層幅が狭くなる (図中【2】)。この時、フェルミ準位の上側にあったトラップ準位の一部は下側に移るので、伝導帯にある電子の一部がその準位にトラップされる。続いて印加電圧を再度 V_R に戻す (図中【3】)。トラップ準位の一部は再びフェルミ準位よりも上になるが、今度は電子によって占有されている為に、電気力線はトラッ

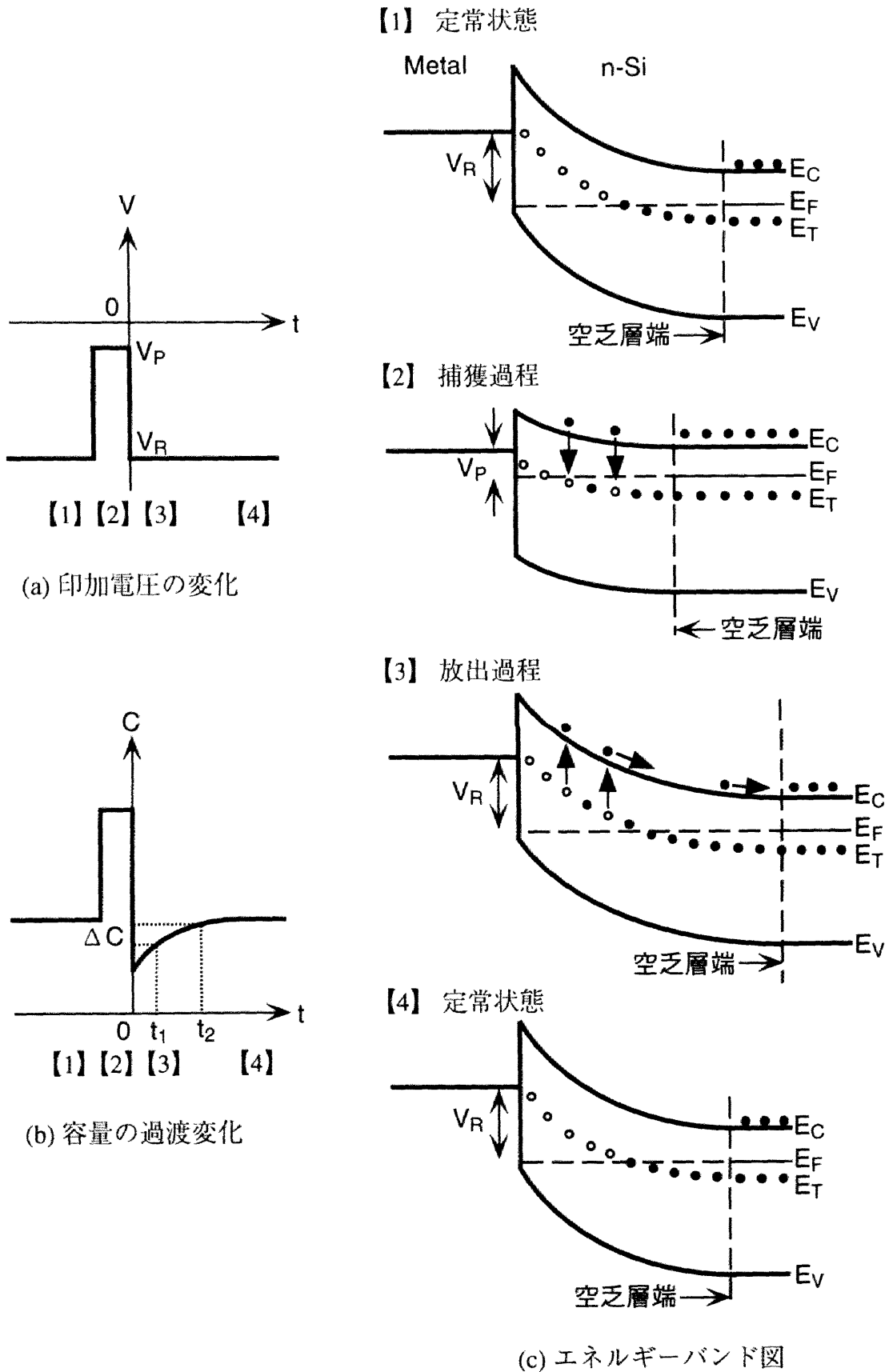


図3.6 DLTS法の測定原理。
 (a) 印加電圧の変化、(b) 容量の過渡変化、(c) エネルギーバンド図。

プ準位で終端されず、空乏層幅は状態【1】の定常状態の場合よりも長く延びる。しかし、これらのトラップ準位からは、ある時定数に従って電子が伝導帯へ徐々に熱励起によって放出され、それに伴って空乏層幅も短くなる。この時定数は、トラップ準位のエネルギー深さ及び温度によって決まる。フェルミ準位より上に位置するトラップ準位からの電子の放出が終わると、空乏層幅はパルス電圧印加前の大きさに戻る（図中状態【4】）。この空乏層幅の時間に対する変化が、空乏層容量の過渡特性、即ちDLTS信号 ΔC として観測される（図3.6(c)参照）。空乏層容量の過渡特性の温度依存性を図3.7に示す。試料の温度を低温から高温あるいはその逆に変化させると、各温度における空乏層容量の過渡特性における時定数が変化する。従って、図に示した様な任意の時間 t_1 、 t_2 間の容量の差 ΔC を温度に対してプロットすることによって、ある温度でピークを持つスペクトルが得られる。このピークの位置及び強度から、トラップのエネルギー準位、捕獲断面積及び密度などを決定できる。

本研究ではLangの方法を改良したLock-in DLTS法を用いた[9, 10]。この方法では雑音を除去することを目的として、容量の過渡変化に図3.8に示す様な重み関数 $\omega(t)$ を掛ける。トラップ密度がドナー密度に比較して十分に低い時、容量の過渡変化は以下の様に表される。

$$C(t) = C_{\infty} \left\{ 1 - \frac{N}{2} \exp\left(-\frac{t}{\tau}\right) \right\} \quad (3.4)$$

但し、 C_{∞} 及び N は以下の様に表される。

$$C_{\infty} = \sqrt{\frac{q\epsilon_s}{2(V_R + V_{bi})}} (N_D + N_{\tau}) \quad (3.5)$$

$$N = \frac{N_{\tau}}{N_D + N_{\tau}} \quad (3.6)$$

ここで、 τ はトラップ準位から電子が放出される時の時定数であり、 C_{∞} 及び N は定常状態における容量及び空乏層容量に対するトラップ密度の寄与の割合を示す。

測定の間隔を ΔT とした時にDLTS信号は次式の様に書ける。

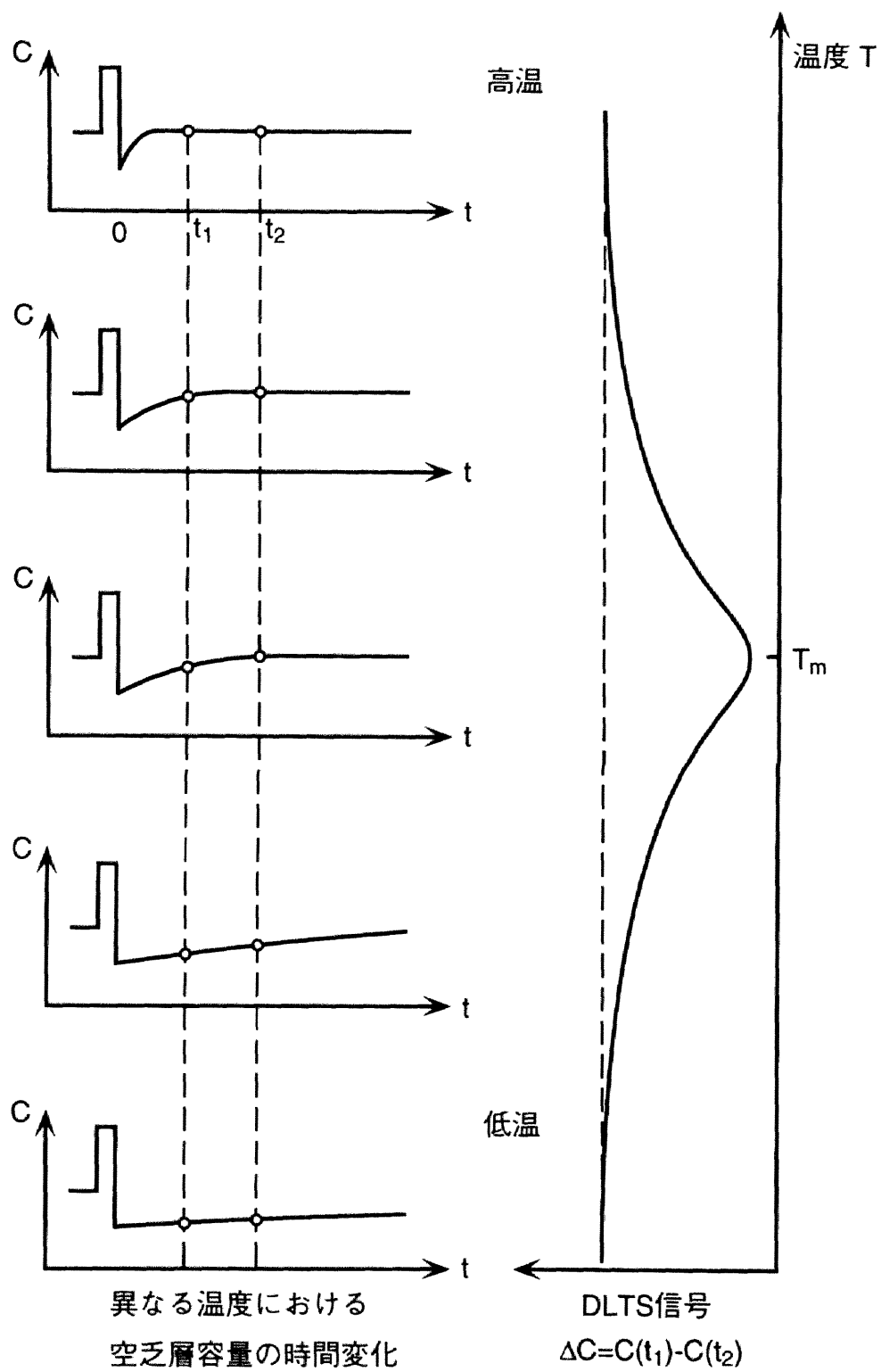


図3.7 空乏層容量の過渡特性の温度依存性。

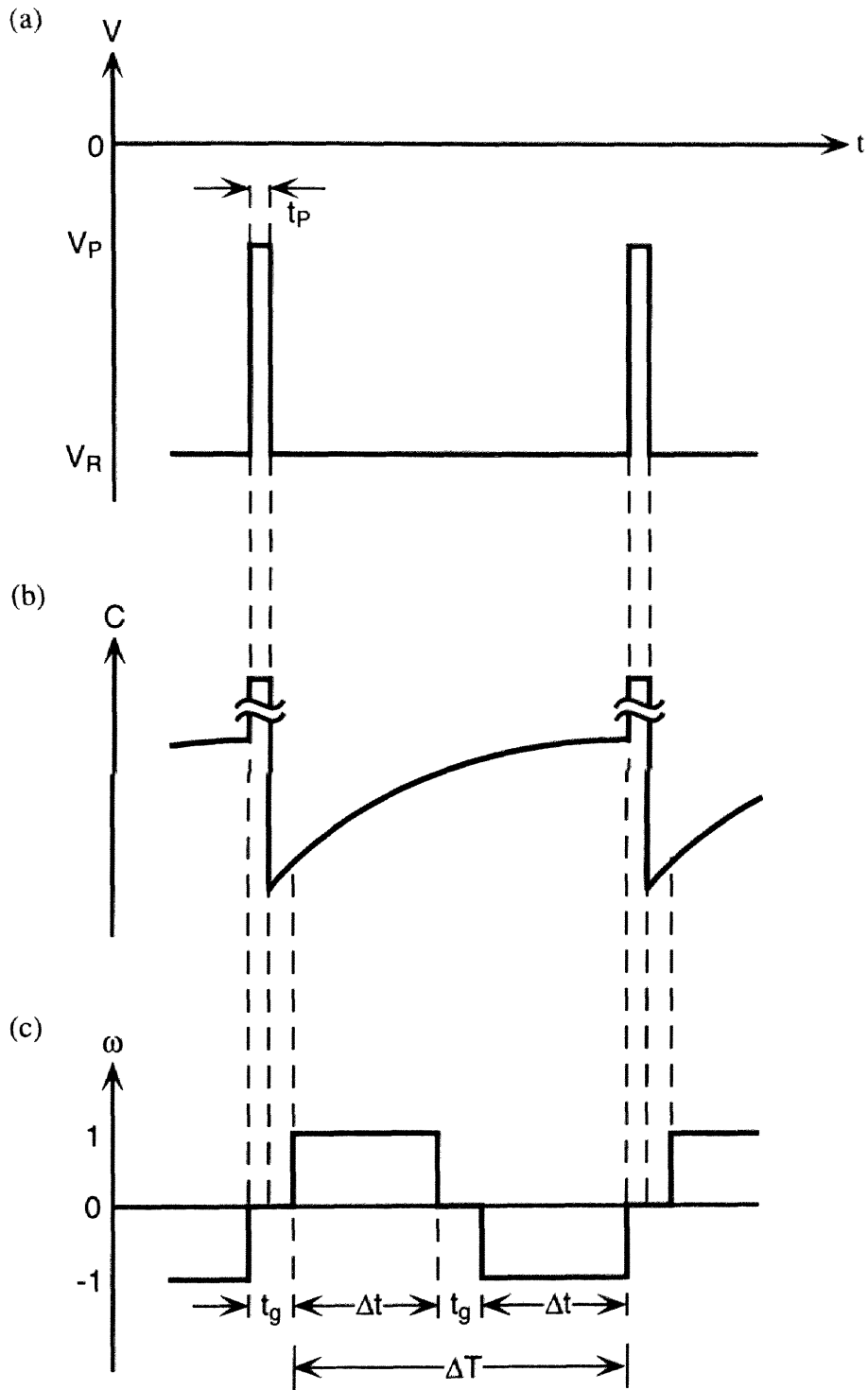


図3.8 Lock in DLTS法。
 (a) 印加電圧、(b) 容量の過渡変化、(c) 重み関数。

$$\Delta C = \frac{1}{\Delta T} \int_0^{\Delta T} C(t) \omega(t) dt \quad (3.7)$$

従って、DLTSスペクトルのピーク位置における温度は ΔC を温度 T で微分した値が0に等しい点として与えられる。

$$\frac{d\Delta C}{dT} = \frac{d\Delta C}{d\tau} \cdot \frac{d\tau}{dT} = 0 \quad (3.8)$$

(3.8)式に(3.7)式を代入すると、この温度における τ について解くことができる。例えば $\omega(t)$ の形状を $t_g=0.25\text{msec}$ 、 $\Delta t=1.75\text{msec}$ で与えた場合、 $\tau=1.74\text{msec}$ となる。一方、時定数 τ は物理的にはトラップによる電子の捕獲確率から以下の様に表される。

$$\tau = \frac{1}{e_n} = \frac{1}{\sigma_n v_{th} N_C} \exp\left(\frac{E_C - E_T}{k_B T}\right) \quad (3.9)$$

但し、 σ_n はトラップ準位の捕獲断面積、 v_{th} は電子の熱速度、 N_C は伝導帯の状態密度、 E_T はトラップのエネルギー準位である。 v_{th} 及び N_C の温度依存性を考慮に入れて(3.9)式を整理すると以下の様になる。

$$\ln(T^2 \cdot \tau) = \frac{E_C - E_T}{k_B T} \frac{1}{T} + \ln\left(\frac{h^3}{4\sqrt{6}\pi^{3/2} m_n k^2 \sigma_n}\right) \quad (3.10)$$

(3.9)式の時定数 τ は(3.8)式から重み関数 $\omega(t)$ によって決まる値である。従って、DLTS信号 ΔC がピークをとる時の温度 T は、捕獲断面積及びトラップ準位に依存した値となる。異なる重み関数 $\omega(t)$ を用いたスペクトル測定を行うことによって、それぞれの $\omega(t)$ に対応したピーク位置の温度 T 及び時定数 τ の組を得ることができる。それらの値を用いて(3.10)式に従って $T^2\tau$ のアレニウスプロットを行えば、その傾きからトラップ準位の深さが、その切片からトラップの捕獲断面積が決定できる。また、トラップ密度 N_T は(3.6)式より ΔC から求めることが可能である[11]。

本研究ではDLTS信号の測定にはM. SETEC DLS-82を用いた。この装置では、基板のドナー又はアクセプタ濃度に対して 10^{-4} までの濃度比の微量な欠陥を検出することが可能である。ヒータを併用して液体窒素温度(77K)から室温まで温度を掃印することによってスペクトルを得た。試料の温度は熱電対によってDLTS信号測定と同時

に測定した。

3.3.3 コンタクト抵抗率測定法

本研究ではコンタクト抵抗測定にKelvin四端子法を用いた[12]。図3.9にKelvin四端子構造の概略図を示す。基板がp型ならばドーピング層はn型という様に、基板とは逆の極性を持ったドーピング層を形成することによって、コンタクト部分を繋ぐドーピング層は空乏層を挟んで基板とは電氣的に絶縁された状態を実現できる。

Kelvin四端子構造は図3.10に示した等価回路を基本として構成されている。この時、コンタクト抵抗、金属配線部及びドーピング層による配線部の抵抗をそれぞれ R_c 、 R_m 及び R_d とする。ここで端子1-4間に電圧を加えて一定の電流を流しながら、端子2-3間の電圧を測定することを考える。電圧計の内部抵抗は各抵抗に比較して非常に大きいので、端子2-3間を流れる電流は実質上無視できる程小さい。従って、電圧計はコンタクト抵抗による電圧降下 V_{RC} を測定することになる。一方、同様の理由から端子2-3側の回路から流入する電流は無視できるので、コンタクトを流れる電流 I は端子1-4間を流れる電流に等しい。従って、コンタクト抵抗 R_c は以下の様になる。

$$R_c = \frac{V_{RC}}{I} \quad (3.11)$$

コンタクトの面積を A とすればコンタクト抵抗率 ρ_c は次の様になる。

$$\rho_c = AR_c \quad (3.12)$$

本研究では、端子1-3間を流れる電流 I を5~100 μ Aの範囲で変化させた時のコンタクト部での電圧降下 V_{RC} を測定した。これを式(3.12)に従ってプロットし、その傾きからコンタクト抵抗を決定した。またコンタクト部分の面積は電界放出型の走査型電子顕微鏡 (FE-SEM: Field-Emission Scanning Electron Microscope) を用いて、Kelvinパターン試料の一部から直接測定した。コンタクト部分の形状は一辺の長さが20、15、10、5及び2.5 μ m四方の5種類の正方形を用意した。

しかし、実際の試料においては、設計したコンタクトの全面を電流が均一に流れない場合がある。この様な場合、設計したコンタクト領域と電流の流れる実効的な

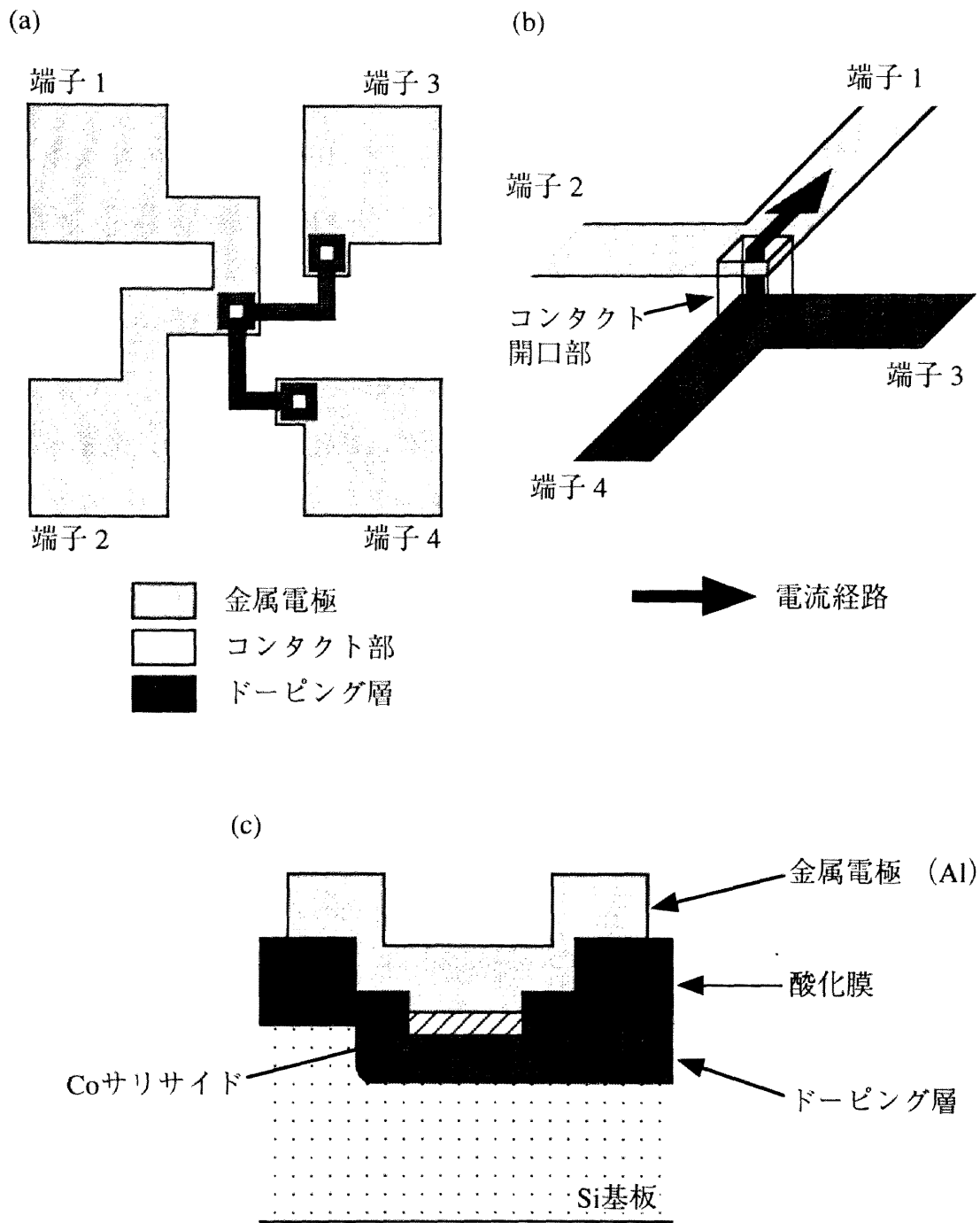


図3.9 Kelvin四端子法。

(a) 上面図、(b) 電流経路の模式図、(c) 接触部分の断面図。

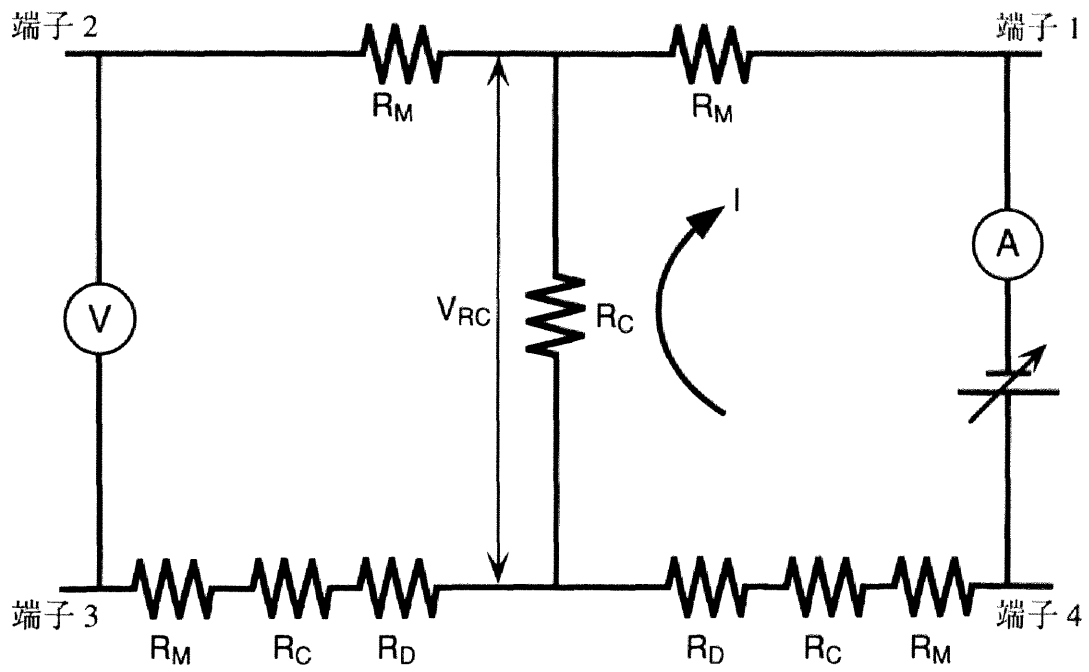


図3.10 Kelvin四端子法の等価回路。

コンタクト領域の大きさに相違が生じる為、正確なコンタクト抵抗率を決定するのが困難になる。実効的なコンタクト面積は、ドーピング層における抵抗とコンタクト抵抗率の相関によって決まる[13]。即ち、ドーピング層の抵抗が高く、コンタクト抵抗率が低くなる程、電流はドーピング層を流れにくくなる為、コンタクト面の一部に電流が集中し、実効的なコンタクト面積は狭くなる。本研究においては、デバイスシミュレータ（TMA Medich）を用いてコンタクト部分における電流分布を計算した結果より、実効的なコンタクト面積を $1\mu\text{m}^2$ とした。設計したコンタクト面積はいずれも $1\mu\text{m}^2$ よりも大きい為、実験より得られた見かけ上のコンタクト抵抗率のコンタクト面積依存性を $1\mu\text{m}^2$ まで外挿することによって、コンタクト抵抗率を決定する方法を採った。

3.4 参考文献

- [1] R. B. Fair, *Chapt. 4 Conventional and Rapid Thermal Processes in ULSI Technology*, edited by C. Y. Chang and S. M. Sze (McGraw-Hill Companies, New York, 1996) pp. 145-204.
- [2] G. W. Trucks, K. Raghavachari, G. S. Higashi and Y. J. Chabal, *Phys. Rev. Lett.* **65**, 545 (1990).
- [3] S. Zaima and Y. Yasuda, in *Proc. Advanced Metallization for Ultraclean Semiconductor Processing Technology and Surface Chemical Cleaning and Passivation in 1995*, San Francisco, edited by M. Liehr, M. Heyns, M. Hirose and H. Parks (Material Research Society, Pittsburg, PA, 1995), p. 215.
- [4] S. Zaima, J. Kojima, M. Hayashi, H. Ikeda, H. Iwano and Y. Yasuda, *Jpn. J. Appl. Phys.* **34**, 741 (1995).
- [5] S. P. Murarka, *J. Vac. Sci. Technol. B* **4**, 1325 (1986).
- [6] R. Liu, *Chapt. 5 Metallization in ULSI Technology*, edited by C. Y. Chang and S. M. Sze (McGraw-Hill Companies, New York, 1996) pp. 371-471.
- [7] S. M. Sze, in *Physics of Semiconductor Devices Second Edition*, (John Wiley & Sons, New York, 1981) pp. 245-311.
- [8] D. V. Lang, *J. Appl. Phys.* **45**, 3023 (1974).
- [9] T. Katsube, K. Kakimoto and M. Hara, *Jpn. J. Appl. Phys.* **18**, 309 (1979).
- [10] T. Katsube, K. Kakimoto and M. Hara, *Jpn. J. Appl. Phys.* **19**, 2307 (1980).
- [11] Y. Zouta and M. O. Watanabe, *J. Appl. Phys.* **53**, 1809 (1982).
- [12] S. J. Proctor and L. W. Linholm, *IEEE Electron Device Lett.* **EDL-3**, 294 (1982).
- [13] 芦澤哲夫、修士学位論文（1999）名古屋大学.

第 4 章

Co/Si界面の固相反応と電気的特性

第4章

Co/Si界面の固相反応と電気的特性

4.1 はじめに

MOSデバイスの微細化に伴って、短チャネル効果によるパンチスルーや閾値電圧の低下等、デバイス特性を劣化させる現象が顕在化してくる。これらの問題を防ぐためには、ソース・ドレイン領域の縮小化も進める必要がある。しかし、ソース・ドレイン領域の縮小化、特に浅接合化は電極用金属薄膜形成時の固相反応によるpn接合の破壊を招く恐れが大きい。従って電極形成技術として、より制御性の高いシリサイド形成技術の確立が不可欠となる。急速熱処理 (RTA: Rapid Thermal Annealing) 法は秒単位の短時間で熱処理が可能であり、従来の抵抗加熱等を使用した熱処理法と比較して、制御性、再現性及び均一性に優れている点から近年活発に用いられるようになってきた。また、従来までの長時間の熱処理法では、シリサイド形成時における拡散による不純物の再分布の為に、金属/Si界面の不純物濃度が低下して、コンタクト抵抗率の増大を招くと考えられる。しかし、RTA法による短時間の熱処理を用いることにより、不純物の再分布を抑制し、コンタクト抵抗率の増大を防ぐ効果が期待できる。

第1章でも述べたが、 CoSi_2 は従来までコンタクト材料として用いられてきた TiSi_2 と比較しても、抵抗率が十分に低く、 TiSi_2 に見られる様な細線効果も生じにくい[1]。 Co 及び CoSi_2 は SiO_2 膜上でも安定であり、シリサイド工程も適用可能である点等からULSIプロセスに有利である。加えて CoSi_2 は、その形成条件によっては $\text{Si}(100)$ 基板上にエピタキシャル成長することも報告されており[2]、非常に平坦かつ均一なコンタクト界面の形成も期待できる。以上の理由から、 CoSi_2 は次世代のコンタクト材料として有望視されており、多数の研究が為されている[3]。

以上の観点より、本章ではRTA法を用いたCoシリサイド形成時のCo/Si界面固相反応過程及びその電気的特性について調べた。まず、ショットキーダイオードの測定結果について述べた後、ショットキー障壁高さ、界面の欠陥準位及びシリサイド形

成過程に関して議論する。

4.2 実験方法

基板はp型及びn型Si(100)基板を用いた。第3章で述べたショットキーダイオード作製法に従って、Coシリサイド形成及び電極形成を行った。Coの蒸着膜厚は20nmであった。シリサイドプロセスは以下の通りに行った。第一段階の熱処理として、Co蒸着後直ちに460℃で、30分間の真空中での熱処理を行った。更に試料を大気中に取り出した後、希塩酸を用いた選択エッチングによって酸化膜上に残る未反応のCoを除去した。第二段階の熱処理としてRTAにより、580℃、700℃及び800℃の熱処理を30秒間行った。更にAl蒸着を行い、電極及び配線を形成し、ショットキーダイオードを作製した。

4.3 界面固相反応による生成物の評価

シリサイドプロセスによって形成したCoシリサイド薄膜の結晶構造を、低角入射X線回折(XRD: x-ray Diffractometry)法によって調べた。図4.1に、第1段階の熱処理及び選択エッチング後、第二段階の熱処理である580℃及び700℃RTA後の試料のXRDパターンを示す。選択エッチング後、CoSi(110)、(111)、(200)、(210)及び(211)のピークが観測され、CoSiが形成されていることを示している。これは580℃RTA後の試料においても観察され、その強度もほとんど変化していない。従って580℃のRTA処理を施しても、CoSiがそのまま残っていることが分かる。700℃のRTA処理を行うことによって、CoSiのパターンは最も強度の大きい(210)のピークを僅かに残し他は観測されなくなり、新たにCoSi₂(111)及び(220)のピークが現れる。この結果から700℃のRTA処理によって、シリサイド層はほぼ目的のCoSi₂となることが分かる。Freitasらはスパッタ蒸着法によってSi(100)基板上にCoを30nm、100nmで成膜し、12秒間のRTA処理を行ったときの生成物をXRDで調べている[4]。その報告によれば、Co(30nm)/Si系における450℃、600℃及び700℃RTA後の生成物はそれぞれCo/Co₂Si、Co₂Si/CoSi及びCoSi₂である。本実験においては、460℃の第1段階熱処理後にはCo₂Siは観測されなかった。これは第1段階の熱処理がFreitasの実験に比較して

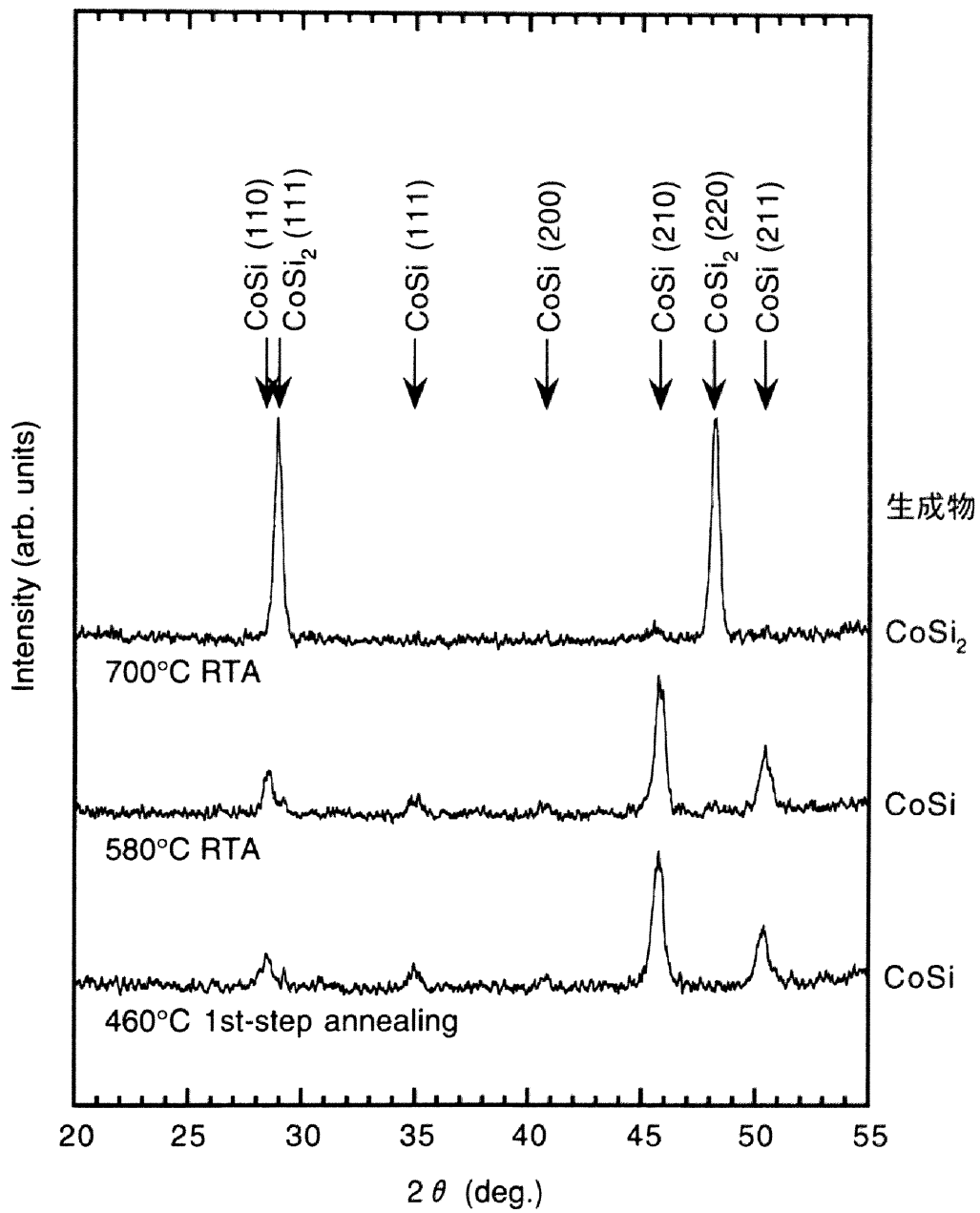


図4.1 Co/Si系の熱処理後のXRDパターン。

30分間と長時間である為、界面での反応が十分に進み、 Co_2Si がよりSiリッチな CoSi へ完全に变化した結果と考えられる。

4.4 ショットキーダイオードの電気伝導特性

図4.2及び図4.3に、それぞれ Co/p- 及び n-Si 接合ショットキーダイオードの順方向電圧印加時の電流-電圧 (I-V) 特性を示す。両図において、(a)580℃、(b)700℃及び(c)800℃RTA後の結果である。図中の数字はI-V特性測定時の絶対温度を示している。

580℃熱処理を行った Co/p-Si コンタクト試料 (図4.2(a)) では、I-V特性はほとんどの領域で指数関数的な依存性を示す。また、測定温度に対する依存性が強く現れており、温度が低くなるに従ってその傾きが大きくなっていることが分かる。これらの結果は第2章で述べた熱放出電流が支配的であることを示している。700℃の熱処理を行った試料では、120K以下の温度領域において低電圧印加時に熱放出電流以外の過剰電流成分が現れる。これは熱放出電流と並列に流れる電流成分であり、空乏層中の欠陥を介して流れるマルチステップトンネル機構による電流成分であると考えられる[5, 6]。即ち、700℃のRTA処理によって界面に電氣的に活性な欠陥が生成されていることを表している。しかし、800℃RTA処理を施した試料では過剰電流成分は減少し、再び指数関数的な熱放出電流成分が支配的になる。従って、700℃の熱処理で見られる様な欠陥は、より高温の熱処理を施すことによって消滅するものと考えられる。

一方、図4.3に示した n-Si とのコンタクトにおけるI-V特性を見ると、580℃及び700℃のRTA処理を行った試料では、広範囲に渡って過剰電流成分が観察されており、580℃のRTA処理試料において既にマルチステップトンネル電流が存在する。特に700℃熱処理後の試料では温度依存性のほとんど見られない領域が現れている。これは、界面の空乏層中を透過するトンネル電流成分が支配的になっている為であると考えられる。また、800℃のRTA処理を施した試料では、77Kの低温にも関わらず0.1V以下の低電圧印加領域において、 10^{-4}A/cm^2 以上の大きな電流が流れている。これも熱放出電流を大きく越える過剰な電流成分であり、界面には多量の欠陥準位が

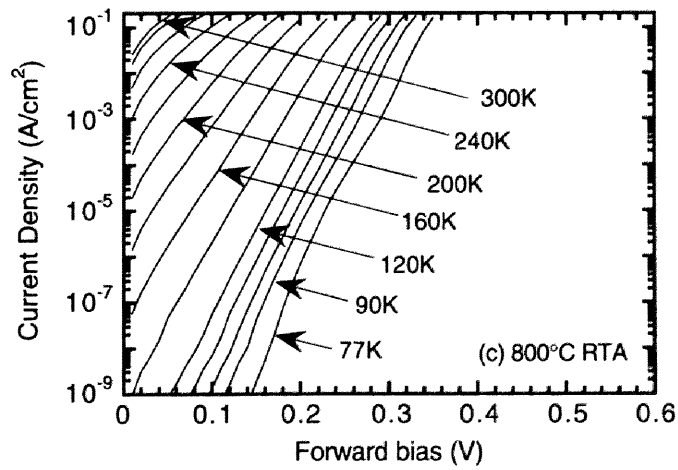
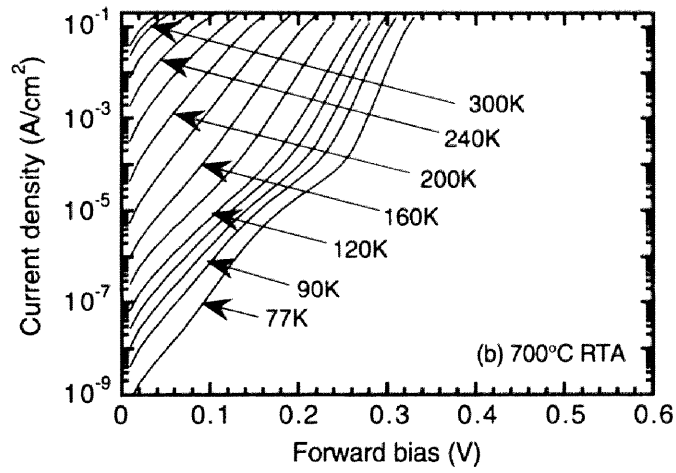
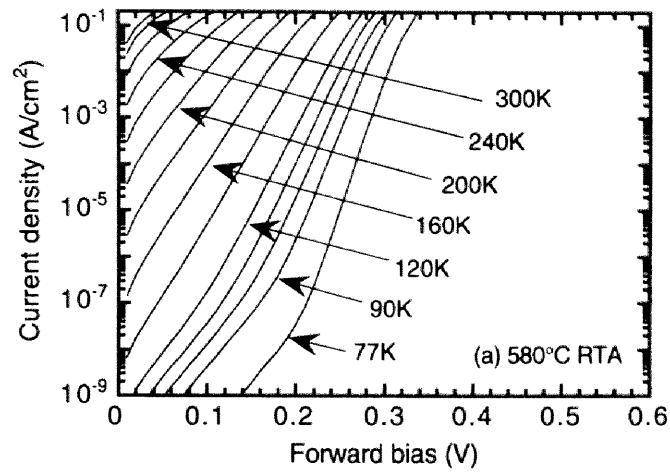


図4.2 Co/p-Siショットキーダイオードの順方向電流-電圧特性。
 (a) 580°C、(b) 700°C及び(c) 800°C RTA処理後の結果。

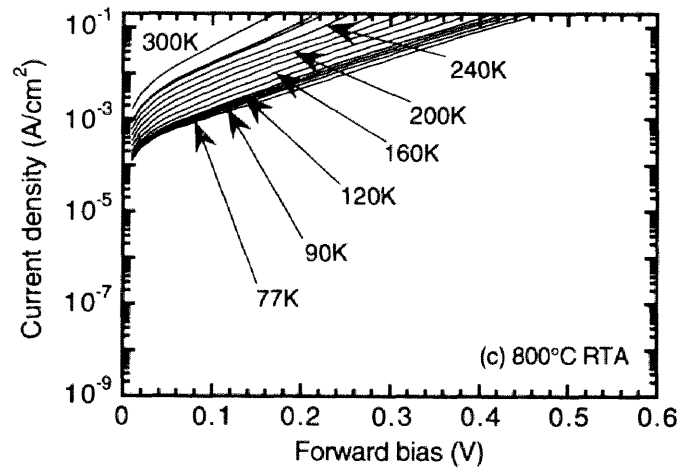
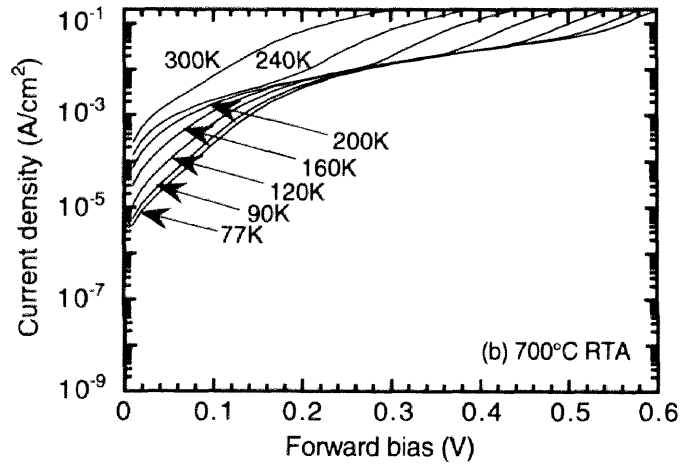
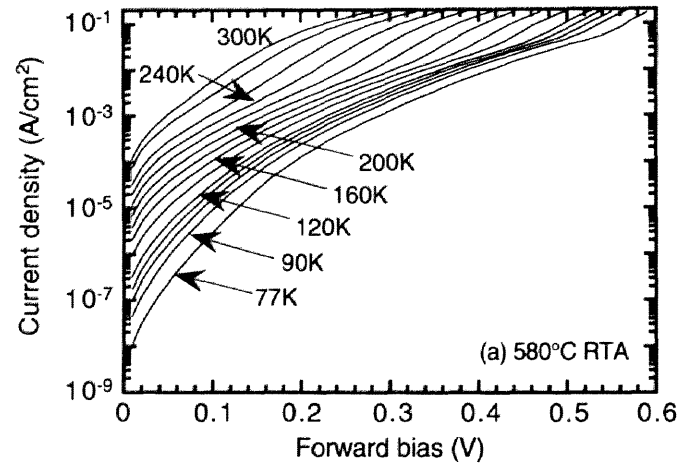


図4.3 Co/n-Siショットキーダイオードの順方向電流-電圧特性。
 (a) 580°C、(b) 700°C及び(c) 800°C RTA処理後の結果。

存在すると推測される。

それぞれのI-V特性から指数関数的な依存性を示す領域を選択し、最小自乗法を用いたフィッティングを行うことにより、その傾き及び切片を求めた。これらの値から、第2章で説明した次式を用いてショットキー障壁高さ、及び理想因子が決定できる。

$$J = A^* T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right) \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (4.1)$$

上式を用いて得られたショットキー障壁高さ及び理想因子を表4.1にまとめた。(4.1)式中的リチャードソン定数 A^* としては、p-Si及びn-Siコンタクトに対してそれぞれ32及び112A/cm²K²の値を用いて計算した[7]。また、Co/n-Siの800℃RTA処理試料については、先述した様に熱放出電流の支配的な領域が観察できなかった為に評価ができなかった。表4.1を見ると、n型Siコンタクトの理想因子が1.43、1.23と高い値を示しているのに対して、p型Siコンタクトでは1.04~1.12と比較的低い値である。この結果からも、n型のコンタクトでは、熱放出電流と並行に、欠陥を介したトンネル電流等の電流成分が存在していること、また、p型のコンタクトでは、より欠陥の少ない理想的な界面が形成されていることが分かる。ショットキー障壁高さはp型、n型共にほとんど熱処理温度に依らず一定であり、それぞれ約0.6eV及び0.4eVの値であった。n型及びp型コンタクトのショットキー障壁高さの和は約1.02eVとなる。これはSiのバンドギャップ1.12eVに近い値となることから、I-V特性から求められたショットキー障壁高さは信頼できる値であると言える。また、Gurpは400℃から550℃の範囲で0.5~1時間の熱処理を行って形成したCoSi及びCoSi₂とSi間のショットキー障壁高さについて、I-V特性から評価している[8]。その結果によれば、p型及びn型Si(100)基板に対して、ショットキー障壁高さはそれぞれ0.38-0.405eV及び0.64-0.68eVという値を持つ。この値は本研究で得られたショットキー障壁高さと同程度である。

図4.4に、逆方向電圧印加時のショットキーダイオードのI-V特性を示す。p型、及びn型、700℃RTA後のショットキーダイオードの逆方向電圧印加時のI-V特性を示

表4.1 Co/p-Si及びn-Siショットキーダイオードの順方向I-V測定から得られたショットキー障壁高さ及び理想因子。

		Annealing temperature		
		580°C	700°C	800°C
Co/p-Si	ϕ_{Bp}	0.41 eV	0.41 eV	0.42 eV
	n	1.05	1.12	1.04
Co/n-Si	ϕ_{Bn}	0.62 eV	0.60eV	-
	n	1.43	1.23	-

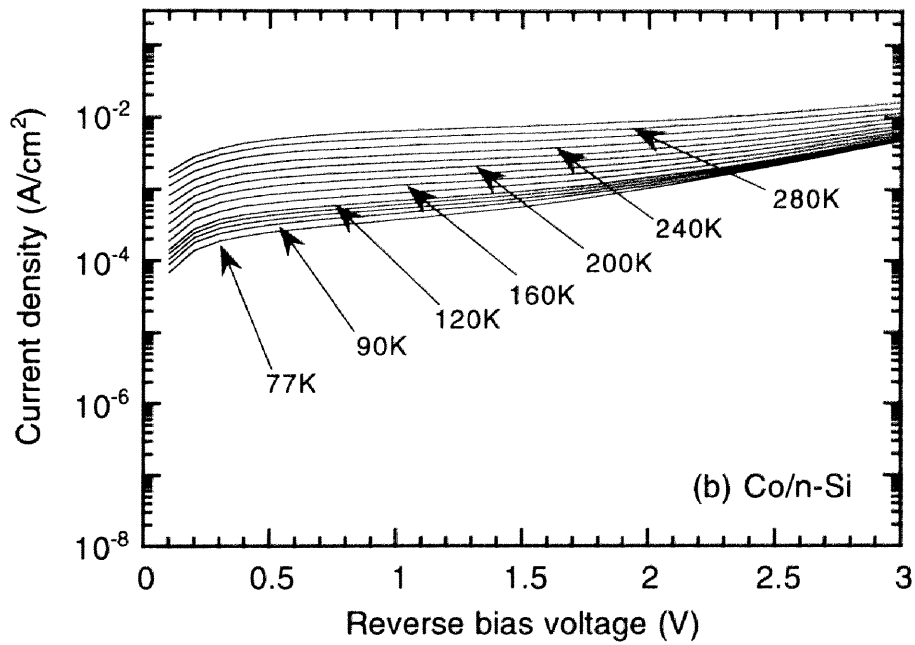
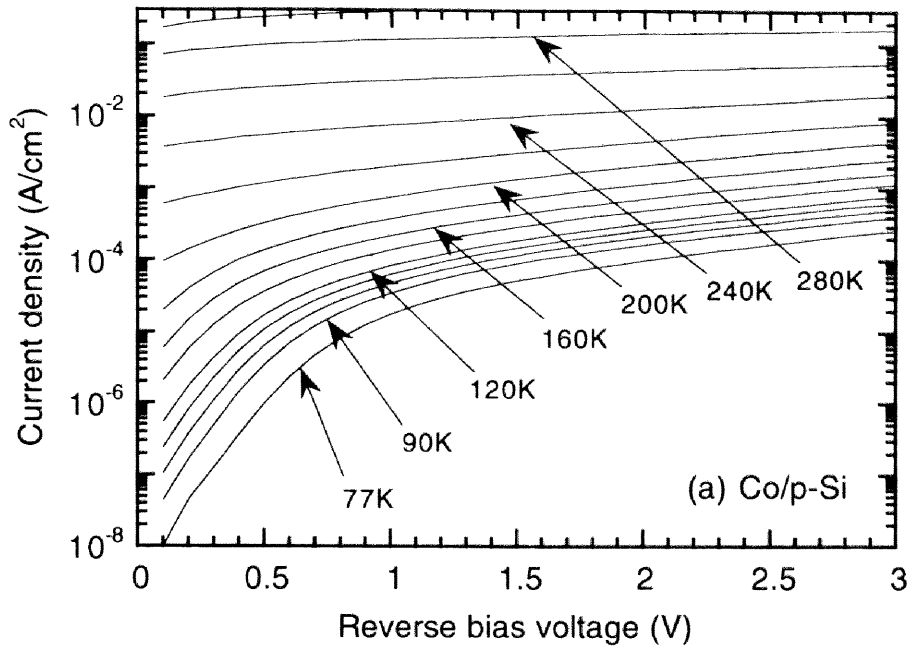


図4.4 ショットキーダイオードの逆方向電圧印加時のI-V特性。
 (a) Co/p-Si及び(b) Co/n-Si、700°CRTA処理後。

す。p型では低温、低電圧印加時において、界面を流れる電流が非常に低く抑えられており、ショットキーダイオードの整流特性が高いことを示している。逆方向電流の温度依存性も強く現れており、ショットキー界面を流れる電流は熱放出電流が主要な電流成分であると考えられる。一方、Co/n-Siの試料では77Kの低温度においても0.1Vの電圧で 10^{-4}A/cm^2 程度の逆方向電流が流れており、ショットキーダイオードとしての整流特性が悪いことが分かる。また、Co/p-Siの結果に比較して、電流の温度依存性もそれほど顕著に現れていない。これは熱放出電流と並行に流れる、界面部分の欠陥を介したマルチステップトンネル電流が支配的になっていることを示している。以上の結果は順方向のI-V特性の結果と一致するものである。

図4.5にCo/p型及びn型Siショットキーダイオードの逆方向電流の温度依存性をアレニウスプロットしたものを示す。印加電圧は3Vである。各曲線は580℃、700℃及び800℃RTA後の試料に対応している。p型の結果を見ると、300K～160Kの測定温度領域では、電流の対数は温度の逆数に比例し、活性型の依存性を示すことがわかる。この直線の勾配は、最も傾きの大きい800℃RTA処理の試料で0.43eVとなる。この値は順方向のI-V特性から得られたCo/p-Siのショットキー障壁高さに近い値である。従って、800℃のRTA処理試料の場合、高温領域において熱放出電流が支配的になっており、欠陥の少ない理想的な界面が形成されていると考えられる。一方、160K以下の低温度領域では、いずれの試料の場合も逆方向電流の温度に対する依存性は小さく、この領域での活性化エネルギーは各試料でおよそ20～40meVと非常に小さくなる。従って、熱放出電流が温度の低下に対して指数関数的に減少する為に、低温度領域においては、欠陥準位を介したマルチステップトンネル電流成分が顕在化すると考えられる。この低温度領域に注目すると、700℃RTA処理後の試料で逆方向電流は一旦増大するが、800℃のRTA処理を施すことで電流密度が 10^{-8}A/cm^2 まで低下する。この結果は、界面に一度生成される欠陥がより高温の熱処理を行うことによって消滅することを表しており、800℃のRTA処理で界面近傍の欠陥を大幅に低減できると考えられる。

一方、n型の試料における逆方向電流の温度依存性は、いずれの熱処理温度の試料の場合もp型の結果に比較して小さい。特に120K以下の温度領域での活性化エネルギー

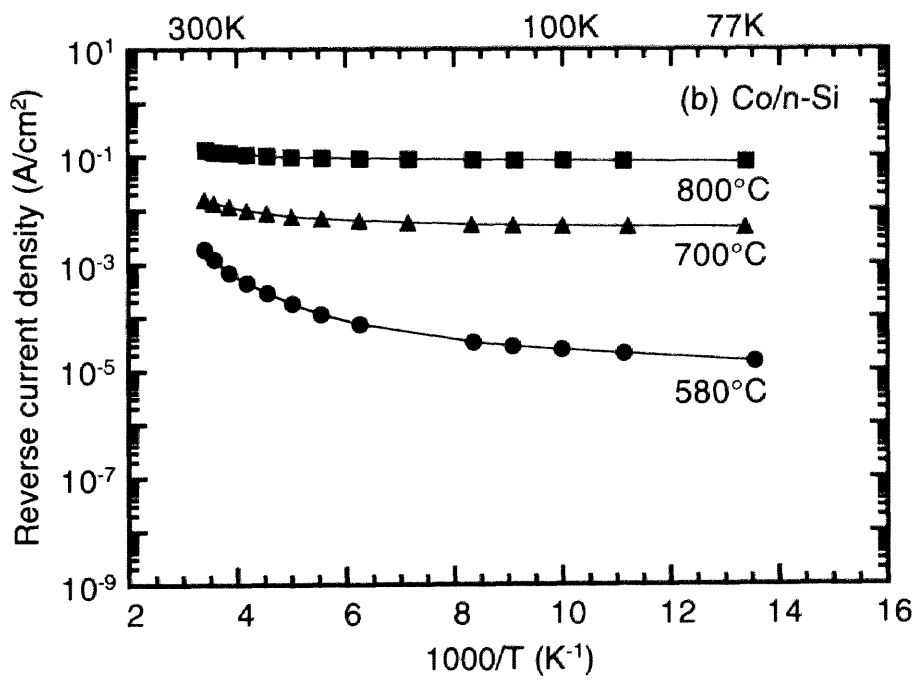
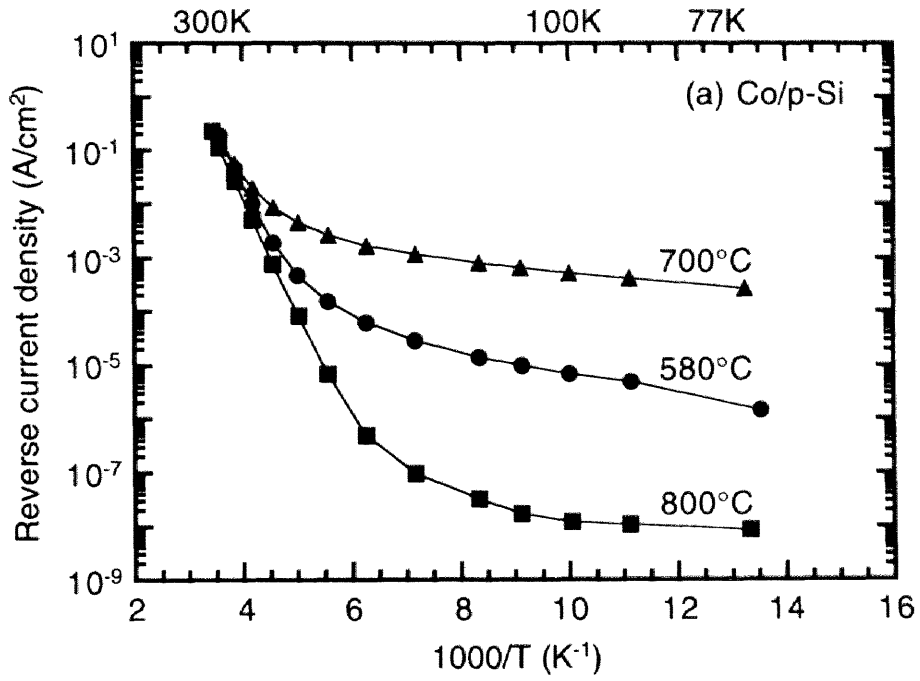


図4.5 ショットキーダイオードの逆方向電流の温度依存性。
 (a) Co/p-Si及び(b) Co/n-Siコンタクト。逆方向電圧は3V。

ーを見積もると1~13meV程度であり、界面近傍の欠陥を介したマルチステップトンネル電流が支配的であることが分かる。n型の試料では熱処理温度の増加と共に逆方向電流も増大する傾向にあり、界面欠陥が熱処理を施すことで増加することを示している。これらの欠陥の生成・消滅について、またp型及びn型のコンタクトの顕著な差に対して、DLTS測定を行い詳しく検討した。その結果を次に述べる。

4.5 界面欠陥の評価

Si基板中に生成された欠陥の特性をより詳細に調べる為に、DLTS測定を行った。図4.6にCo/p-Siショットキーダイオードの典型的なDLTSスペクトルを示す。それぞれのスペクトルは、460℃の第一段階熱処理後と580℃及び700℃で二段階目のRTAを行った後の試料に対する結果である。横軸は測定温度、縦軸はDLTS信号強度である。また、各試料から検出された信号ピークに対応する欠陥準位の特性に関して、エネルギー準位、捕獲断面積及び欠陥密度を表4.2にまとめる。

460℃の第一段階熱処理後の試料では価電子帯端から0.18eV深い位置にあるH1のピークが観測される。この準位がどのような欠陥に起因するものであるかは特定できなかった。また、580℃以上のRTA後の試料では、測定限界以上のピークは全く観測されなかった。これらの結果はショットキーダイオードのI-V特性とも一致するものであり、Co/p-Siダイオードでは580℃以上のRTA処理を施すことにより、界面欠陥が大幅に減少することを示している。尚、250K付近に見えるピークが生じている様に見えるが、これはCo/p-Siダイオードの高温度領域におけるリーク電流から生じるものであり欠陥準位とは直接関係ない。

図4.7及び表4.3にCo/n-SiショットキーダイオードのDLTS測定結果を示す。但し、800℃RTA後の試料では、全温度領域に渡って界面リーク電流が大きすぎる為にショットキーダイオードの静電容量が計れず、DLTSスペクトルを得ることはできなかった。p型の場合に比較して、n型ではDLTSスペクトル中に種々のピークが観測される。460℃の第一段階熱処理後の試料では、E1及びE2のピークが見られる。それぞれの準位のエネルギーは $E_C-E_T=0.19$ 及び 0.37 eVと見積もられた。Bakhadyrkhonovらは、Coを蒸着し熱処理を行ったSi基板の熱励起電流（TSC: Thermal Stimulated Cur-

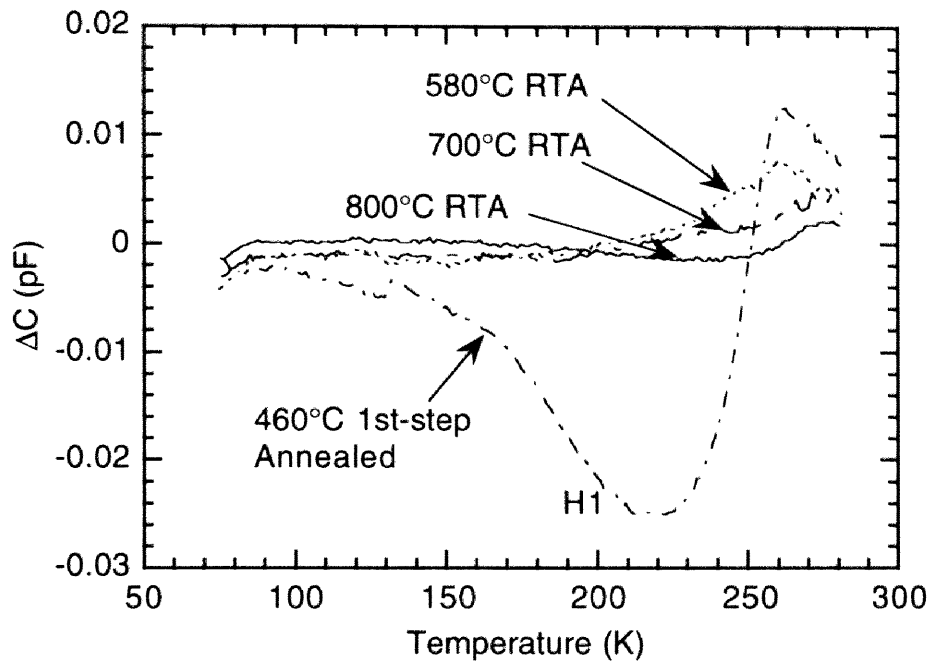


図4.6 Co/p-SiショットキーダイオードのDLTSスペクトル。

表4.2 図4.6で検出された欠陥の特性。

		$E_T - E_V$ (eV)	σ (cm ²)	N_T (cm ⁻³)	assignment
460°C 1st-step Annealing	H1	0.18±0.02	2×10 ⁻¹⁹	2.5×10 ¹²	unknown
580-800°C RTA	signals below a detection limit ($N_T < 10^{11}$ cm ⁻³)				

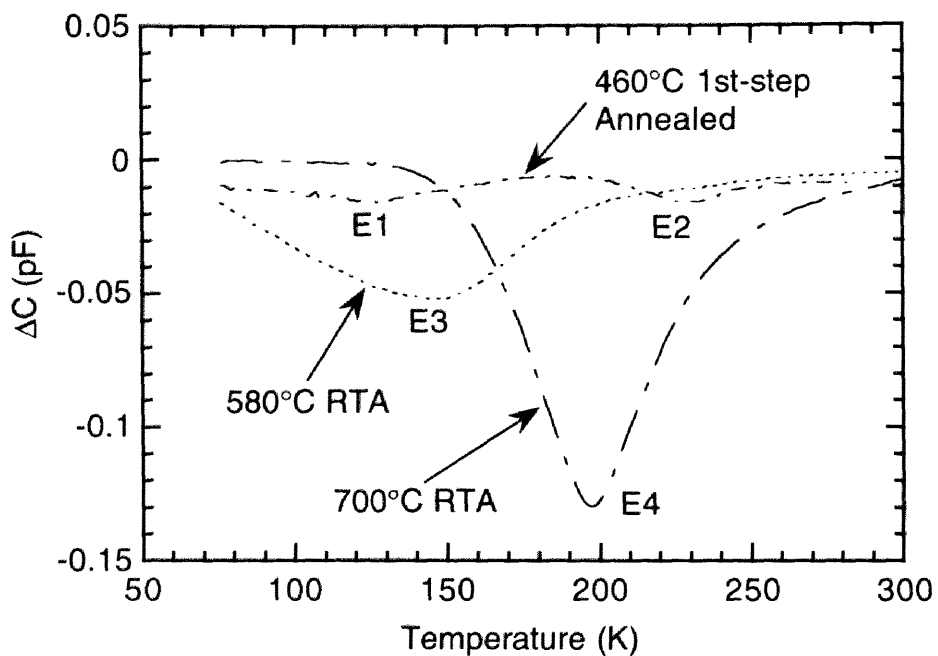


図4.7 Co/n-SiショットキーダイオードのDLTSスペクトル。

表4.3 図4.7で検出された欠陥の特性。

		$E_C - E_T$ (eV)	σ (cm ²)	N_T (cm ⁻³)	assignment
460°C 1st-step Annealing	E1	0.19±0.02	2×10 ⁻¹⁵	1.4×10 ¹³	interstitial Co
	E2	0.37±0.01	3×10 ⁻¹⁵	1.6×10 ¹³	interstitial Co
580°C RTA	E3	0.18±0.02	6×10 ⁻¹⁷	8.9×10 ¹²	vacancy+O
700°C RTA	E4	0.25±0.02	1×10 ⁻¹⁶	1.9×10 ¹³	divacancy

rents) 測定の実験から、 $E_C-E_T=0.22$ 、及び 0.36 eVにある深い準位を報告しており、これを格子間位置に存在するCoの深い準位である結論づけている[9]。従って、本研究で得られたE1及びE2のピークは、 460°C の熱処理時に拡散したCo原子が、Si格子間位置に存在し、深い欠陥準位を形成したものと考えられる。 580°C の第二段階目のRTA処理を行うとE1、E2のピークは消失し、新たにE3のピークが現れる。このE3のピークはSi中の空孔欠陥に関連する準位であると考えられる[10]。また、 700°C のRTA後では空孔欠陥に関連した欠陥準位の密度が更に増大している[11]。これらの結果は、逆方向電流が熱処理温度の増加と共に増大するというI-V特性の結果ともよく一致する。従って、高温のRTA処理によってシリサイド形成時における空孔の生成及び基板中への拡散が促進されていると考えられる。

ここで、DLTS測定の結果に基づいて、各欠陥の生成過程について考察する。各熱処理温度において形成されるCoシリサイド及びシリサイド形成時の支配的な拡散種を、複数の報告を元に図4.8にまとめて示す[12-15]。Co/n-Si接合ショットキーダイオードの結果より、次の様な欠陥の生成過程が考察できる。Co₂Siの形成時においてCoが拡散種となりCo₂Siの形成が進む一方で、CoSi形成時には逆にSiが主たる拡散種となって反応が進むことが実験により確認されている[12]。従って、第一段階の 460°C 、30分間の熱処理で観測されたCoによる欠陥準位は、Co₂Siの形成時に基板にまで拡散したCoによって生成されたものと考えられる。一方、CoSi₂の形成時には再度Coが拡散種となることが報告されている[13, 14]。従って、 580°C 及び 700°C の熱処理で観測された空孔欠陥に起因する準位は、CoSiの形成時においてSiがシリサイド形成に消費された際に生じた空孔が、CoSi₂形成後もSi基板中で解消されずに観測されたものと推測される。

次に、p型及びn型のショットキーダイオードの間で、電気伝導特性及び観測される欠陥準位に関して著しい差異が生じた理由について考察する。DLTS測定時におけるCoSi₂/n型及びp型Si界面のエネルギーバンド構造を、それぞれ図4.9(a)及び(b)に示す。試料は 700°C RTA処理の場合を例に挙げた。3.3.2節で説明した様に、試料に印加する逆方向電圧は、定常状態における V_R から、捕獲過程における V_p の範囲で変化する。本実験では、 $V_R=3\text{V}$ 及び $V_p=1\text{V}$ で測定を行った。電圧印加時における空乏層幅を

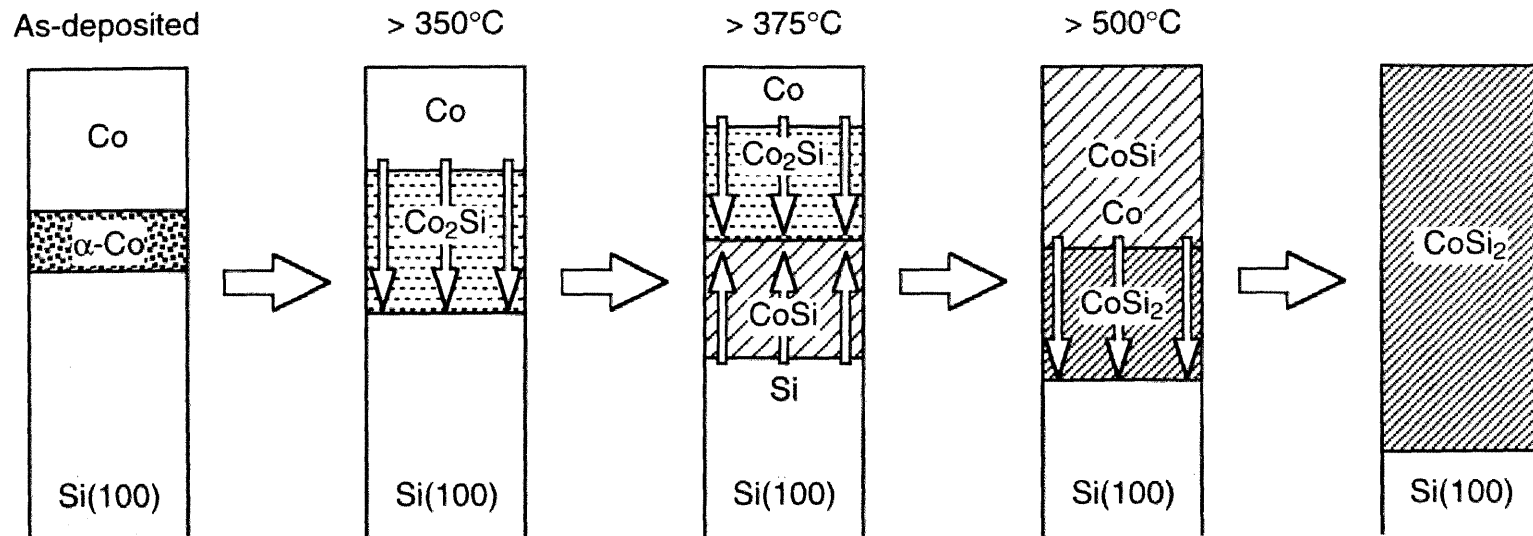
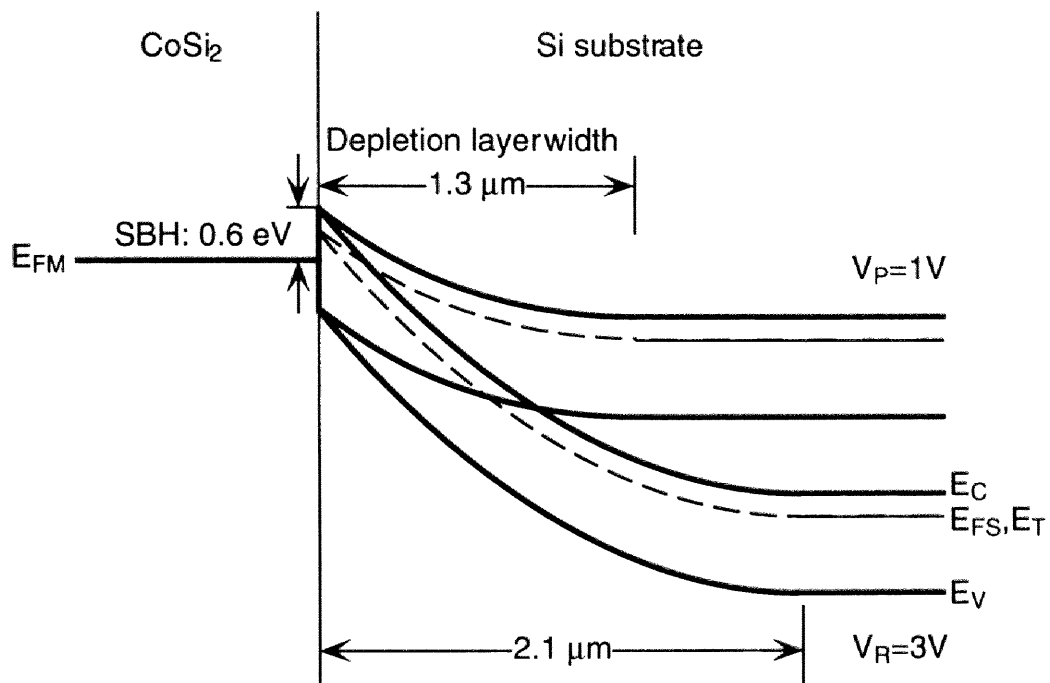
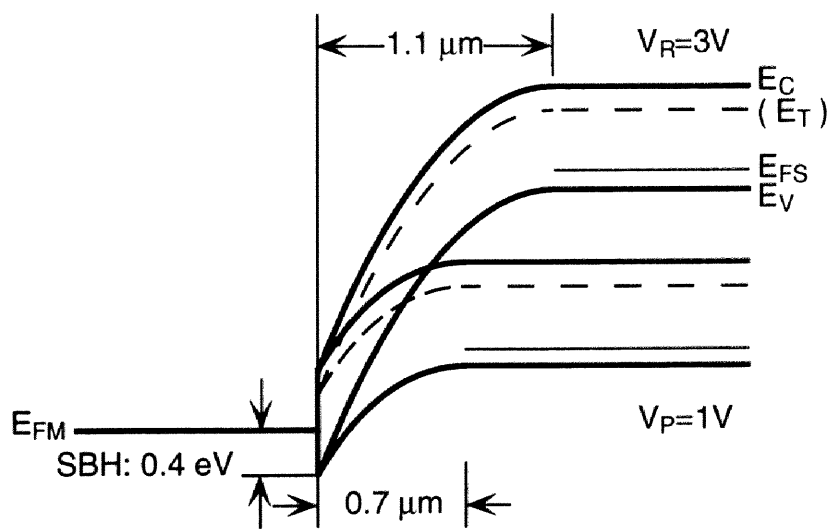


図4.8 各温度において形成されるCoシリサイド及びシリサイド形成時の支配的な拡散種[12-15]。



(a) Co/n-Si



(b) Co/p-Si

図4.9 DLTS測定時におけるCoSi₂/Si界面のエネルギーバンド構造。
(a) Co/n-Si及び(b) Co/p-Si、700°CRTA処理後。300Kの場合。

C-V特性の結果を基に計算し、図中に表している。また、n型のショットキーダイオードのDLTS測定から検出された、空孔欠陥によるものと見られるトラップ準位を示す。金属/半導体界面に形成される空乏層幅は2.1節で論じた様に、半導体中の不純物濃度に依存する。今回、C-V特性より得られた基板不純物濃度は、室温においてn型及びp型でそれぞれ $9 \times 10^{14} \text{cm}^{-3}$ 及び $4 \times 10^{15} \text{cm}^{-3}$ であった。従って、同じ電圧印加条件においては、n型の方が空乏層幅は大きくなり、DLTS測定において欠陥を検出する領域も広くなることが図を見ても分かる。以上の結果より、n型とp型の電気伝導特性の差異が生じる理由に関して、次の様な推測ができる。まず第一の理由に、欠陥準位が空間的に見て、界面から遠い位置に分布している為に、p型で観察している様な界面に近い領域においては欠陥準位が検出できなかった可能性が考えられる。第二の理由として、n型とp型では欠陥準位に対するフェルミ準位のエネルギー的な位置が異なる為に、n型ではキャリアの伝導に影響を与えている欠陥準位が、p型では完全な占有状態又は非占有状態となり、伝導に寄与しないことも考えられる。また、p型のコンタクトにおいてはDLTS信号の検出領域が、n型に比較して狭い為に、検出に関与する欠陥準位の数少なく、十分な信号強度が得られなかった可能性も考えられる。更に、その他の理由として、基板不純物による欠陥形成機構の相違等も推測されるが、いずれの場合にしても明確な理由を明かにするには、今後の更なる検討を要する。

4.6 まとめ

制御性の高い CoSi_2/Si 界面を形成する為に、RTAを用いたCoシリサイド形成における固相反応と電気的特性の相関について調べた。580℃～800℃のRTA処理を行ったショットキーダイオードの電気的特性を調べた。

XRD測定から、460℃30分間の熱処理によってCoSiが形成されることが分かった。更に700℃、30秒間のRTA処理を施すことで CoSi_2 が形成されることが分かった。

Co/p-Si、及びCo/n-Si接合との間で界面における電気伝導機構及び欠陥生成過程が大きく異なることが明らかになった。即ち、p型のCo/Si接合においては、順方向のI-V特性は熱放出電流が支配的となり、理想的なショットキー接合が形成される。700

℃のRTA処理で、界面欠陥を介したリーク電流が増大するが、より高温の800℃のRTA処理を行うことで、この成分は著しく低く抑えられることが分かった。DLTSの測定からも、RTA処理を行った試料からは検出限界以上の界面欠陥は観察できなかった。一方、n型のCo/Si接合においては、順方向のI-V特性はp型に比較して理想因子が大きく、界面欠陥を介したマルチステップトンネル電流成分が大きいことが分かった。逆方向のI-V特性から、熱処理温度が高くなるに従って欠陥を介した電流が増大することが明らかになった。DLTS測定から、580℃、700℃のRTA処理において、Si中の空孔欠陥に起因する準位が観察された。これはCoSi形成過程において、基板のSiがシリサイド中へ拡散することによって生成された欠陥であると考えられる。

4.7 参考文献

- [1] Q. W. Wang, K. Maex, S. Kubicek, R. Jonckheere, B. Kerkwijk, R. Verbeeck, S. Bie-semans and K. De Meyer, VLSI Tech. Dig. 17 (1995).
- [2] R. T. Tung, J. M. Gibson and J. M. Poate, Appl. Phys. Lett. **42**, 888 (1983).
- [3] K. Maex, Mat. Sci. Eng. **R11**, 53 (1993).
- [4] W. J. Freitas and J. W. Swart, J. Electrochem. Soc. **138**, 3067 (1991).
- [5] A. R. Riben and D. L. Feucht, Solid-State Electron. **9**, 1055 (1966).
- [6] S. Kar, S. Ashok and S. J. Fonash, J. Appl. Phys. **51**, 3417 (1980).
- [7] J. M. Andrew and M. P. Lepselter, Solid-State Electron. **13**, 1011 (1970).
- [8] G. J. van Gurp, J. Appl. Phys. **46**, 4308 (1975).
- [9] M. K. Bakhadyrkhanov, S. S. Nigmankhodzhev and A. T. Teshabaev, Sov. Phys. Semicond. **10**, 364 (1976).
- [10] J. Garrido, E. Calleja and J. Piqueras, Solid-State Electron. **24**, 1211 (1981).
- [11] S. D. Brotherton and P. Bradley, J. Appl. Phys. **53**, 5720 (1982).
- [12] C. M. Comrie and J. E. McLeod, Appl. Sci. **222**, 369 (1992).
- [13] G. van Gurp, W. van der Weg and D. Sigurd, J. Appl. Phys. **49**, 4011 (1978).
- [14] F. M. d'heurle and C. S. Petersson, Thin Solid Films **128**, 283 (1985).
- [15] S. S. Lau, J. W. Mayer, and K. N. Tu, J. Appl. Phys. **49**, 4005 (1978).

第 5 章

Co/Si系のコンタクト抵抗率の不純物濃度依存性

第5章

Co/Si系のコンタクト抵抗率の不純物濃度依存性

5.1. はじめに

MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) の微細化に伴って、寄生抵抗の一つであるコンタクト抵抗の増大が深刻な問題となりつつある。設計ルール0.1 μm 以下のMOSFETが十分な性能を発揮する為には、 $10^{-8}\Omega\text{cm}^2$ 台のコンタクト抵抗率が必要となる。より低いコンタクト抵抗を達成する為には、金属/Si界面における電気的特性のより詳細な理解が必須である。

第2章で論じた様に、コンタクト抵抗率を決定する要因は本質的にはショットキー障壁高さ及び金属/Si界面における不純物濃度である。ショットキー障壁高さは金属の仕事関数とSiの電子親和力によって決まる物性値であり、金属材料が与えられれば決まる要因である。一方、高濃度にドーピングされた半導体中では、不純物原子間の相互作用による影響が無視できなくなる為に[1, 2]、金属/半導体界面の理論的取り扱いも、第2章で述べた単純なバンドモデルによる電気伝導理論から逸脱する。即ち、非常に不純物濃度の高い半導体中においては、不純物原子同士の相互作用によって形成される不純物バンドや、価電子帯及び伝導帯から禁制帯中へのバンド端の裾引き効果等が電子状態に影響を与える様になる。従って、金属/半導体界面における電気伝導特性に関しても、これらの効果について考える必要がある。更に、金属/Si界面の固相反応に伴う不純物原子の再分布や欠陥の形成等も、コンタクト抵抗率に様々な影響を及ぼすと考えられる。しかし、高濃度にドーピングされた状態におけるコンタクト抵抗率やショットキー障壁高さと不純物濃度の関係には不明な点も多い。特にコンタクト抵抗率の理論的下限の探求は、将来の超々大規模集積回路 (ULSI: Ultra Large Scale Integrated circuit) の発展に対して非常に重要かつ興味深い問題である。

本研究においては、イオン注入法を用いることによって、Si基板中に不純物濃度の異なる高濃度ドーピング層を作製した。この試料を用いて、Co/Si系コンタクトに

おけるコンタクト抵抗率の不純物濃度に対する依存性を明らかにし、コンタクト抵抗率の下限に対する知見を得ることを目的に研究を行った。高濃度ドーピングされた半導体において、不純物が状態密度に与える影響を考慮したモデルを基に、コンタクト抵抗率を数値計算から求め、CoSi₂/Siコンタクトにおける実験値との比較を行った。

5.2 実験方法

コンタクト抵抗率測定用の試料として、第3章で述べたKelvin四端子構造を作製した(図3.9参照) [3]。金属/Si界面における高濃度ドーピング層は二種類の方法を用いて形成した。一方は熱拡散によるものであり、抵抗率5~7Ωcmのp型及び8~12Ωcmのn型Si(100)基板にP及びBを1000℃の熱拡散によってドーピングし、n+-Si層及びp+-Si層を形成した。拡散層のドーピング濃度 $N_{d,a}$ 及び接合深さ x_j は、n+-Si層では $N_d=1.9 \times 10^{20} \text{cm}^{-3}$ 及び $x_j=1.22 \mu\text{m}$ 、p+-Si層で $N_a=1.0 \times 10^{20} \text{cm}^{-3}$ 及び $x_j=3.1 \mu\text{m}$ であった。もう一方のドーピング層形成法はイオン注入法によるものである。抵抗率3~5Ωcmのn型Si(100)基板を用い、p+型の高濃度ドーピング領域をB+のイオン注入によって形成した。イオンの加速電圧は30kV、注入量は $3.0 \times 10^{14} \sim 1.0 \times 10^{16} \text{cm}^{-2}$ の範囲で、複数の注入条件の試料を作製した。注入領域表面には厚さ70nmのドライ熱酸化膜を形成し、酸化膜を透過させる形でイオン注入を行った。この酸化膜は注入雰囲気中の汚染物や酸素がコンタクト界面にノックオンされるのを防ぐための保護膜の役割を果たす。イオン注入直後のBはそのほとんどが基板Si結晶中の格子間位置にある。また、Siの表面近傍も注入による損傷の為にアモルファス状になり、多量の格子欠陥が存在している。従って、注入されたBの電気的な活性化及び格子欠陥の解消の為に、熱処理を施す必要がある。900、1000及び1100℃で30秒間の急速熱処理(RTA: Rapid Thermal Annealing)を窒素雰囲気中で行った。不純物原子活性化後のSi表面からのキャリア濃度の深さ方向分布を拡がり抵抗測定(SRP: Spreading Resistance Profile)法によって測定した。

高濃度ドーピング層を形成後、第3章で述べたサリサイド工程によってコンタクト部分のCoSi₂を形成した。サリサイド形成後、試料表面にAlを真空蒸着しフォトリソ

グラフィー工程によって電極パターンを形成した。

5.3 イオン注入後の界面不純物濃度分布

この節では、後でコンタクト抵抗率を議論する為に必要な金属/Si界面の不純物濃度の評価について述べる。

注入イオン活性化を目的としたRTA処理後における、Si表面近傍のキャリア濃度の深さ方向分布を、SRP法によって評価した結果を図5.1及び図5.2に示す。Bイオン注入量は、それぞれ $3.0 \times 10^{14} \text{cm}^{-2}$ の(図5.1)及び $1.0 \times 10^{16} \text{cm}^{-2}$ (図5.2)である。両図にはイオン注入されたB原子の深さ方向分布をプロセスシミュレータ(TSUPREM-4)によって評価した結果も併せて示す。

注入量 $3.0 \times 10^{14} \text{cm}^{-2}$ の試料においては、測定したキャリア濃度の分布と計算したB原子の分布がほぼ一致することから、注入されたB原子はほぼ完全にSi格子位置に取り込まれ電氣的に活性化していると考えられる。しかし、注入量 $1.0 \times 10^{16} \text{cm}^{-2}$ の試料においては、キャリア濃度は最大で $1.7 \times 10^{20} \text{cm}^{-3}$ で飽和しており、表面近傍では注入されたB原子の濃度分布と大きな相違がある。これは格子位置に入らない不活性なB原子が多量に存在することを示しており、B原子の活性化がSi基板へのBの固溶限によって制限されていることを示唆している。Solmiらはイオン注入されたB原子の熱処理による活性化について研究し、固溶限を越えて過剰にBを注入されたSi基板に熱処理を施すと、キャリア濃度が固溶限の値で飽和することを報告している[4]。深さ $0.6 \mu\text{m}$ の辺りで、Bの濃度曲線に不連続な部分があるのは、Bの拡散係数が格子位置にある場合と格子間位置にある場合とで異なる為である。

注入量 $5.0 \times 10^{15} \text{cm}^{-2}$ の試料に関して、SRP法で得られた最大キャリア濃度と活性化熱処理温度の関係を図5.3に示す。比較の為にB原子のSi中への固溶限を合わせて示した[5]。この図からキャリア濃度は熱処理温度の増加に伴って増大しており、また固溶限を示す曲線とその温度依存性がほぼ一致していることが分かる。従って、高濃度のドーピングを行った場合、高いキャリア濃度を得る為にはより高温の熱処理が必要であり、キャリア濃度の最大値はSi中への不純物原子の固溶限によって制限されることが分かる。

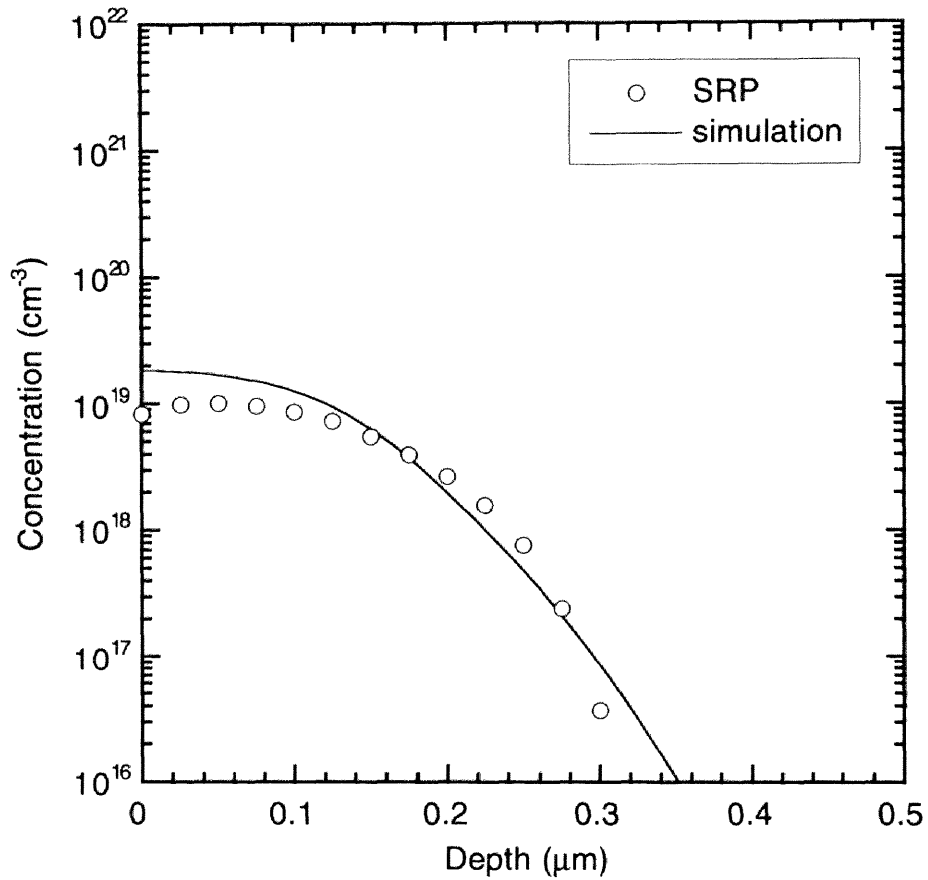


図5.1 キャリア濃度（測定値）及びB濃度（シミュレーション）の深さ方向分布。注入量は $3.0 \times 10^{14} \text{cm}^{-2}$ 。○はSRP法により評価したキャリア濃度、実線はプロセスシミュレータにより評価したB原子の濃度。

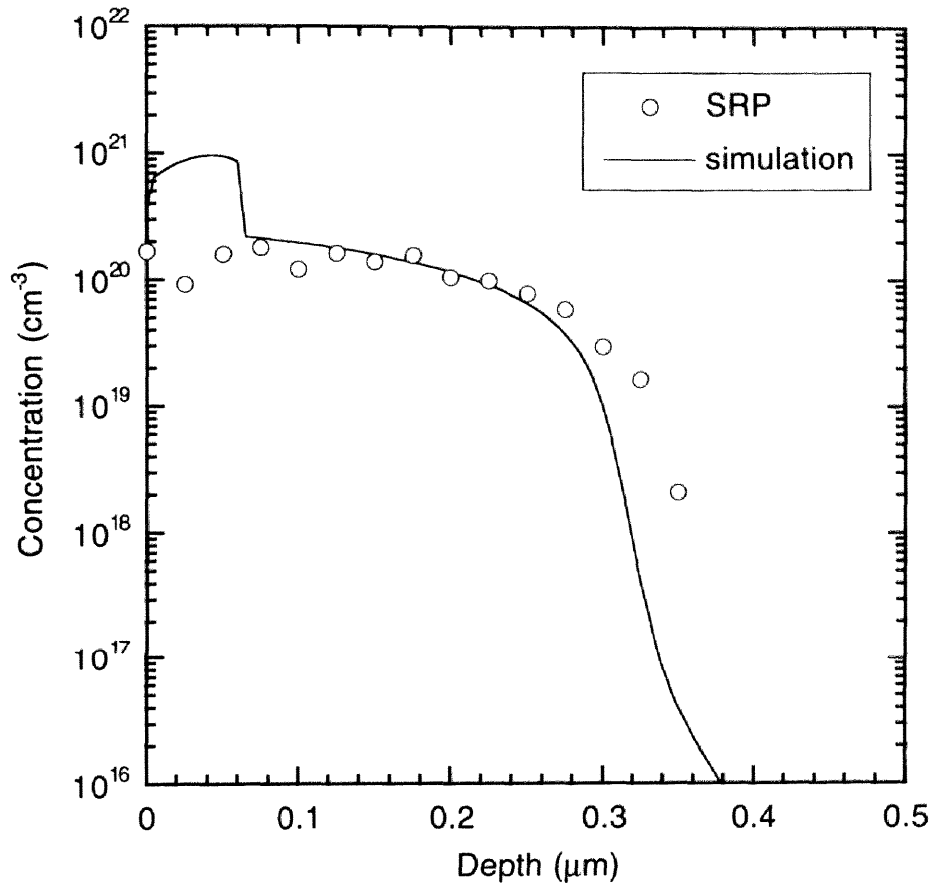


図5.2 キャリア濃度（測定値）及びB濃度（シミュレーション）の深さ方向分布。注入量は $1.0 \times 10^{16} \text{cm}^{-2}$ 。○はSRP法により評価したキャリア濃度、実線はプロセスシミュレータにより評価したB原子の濃度。

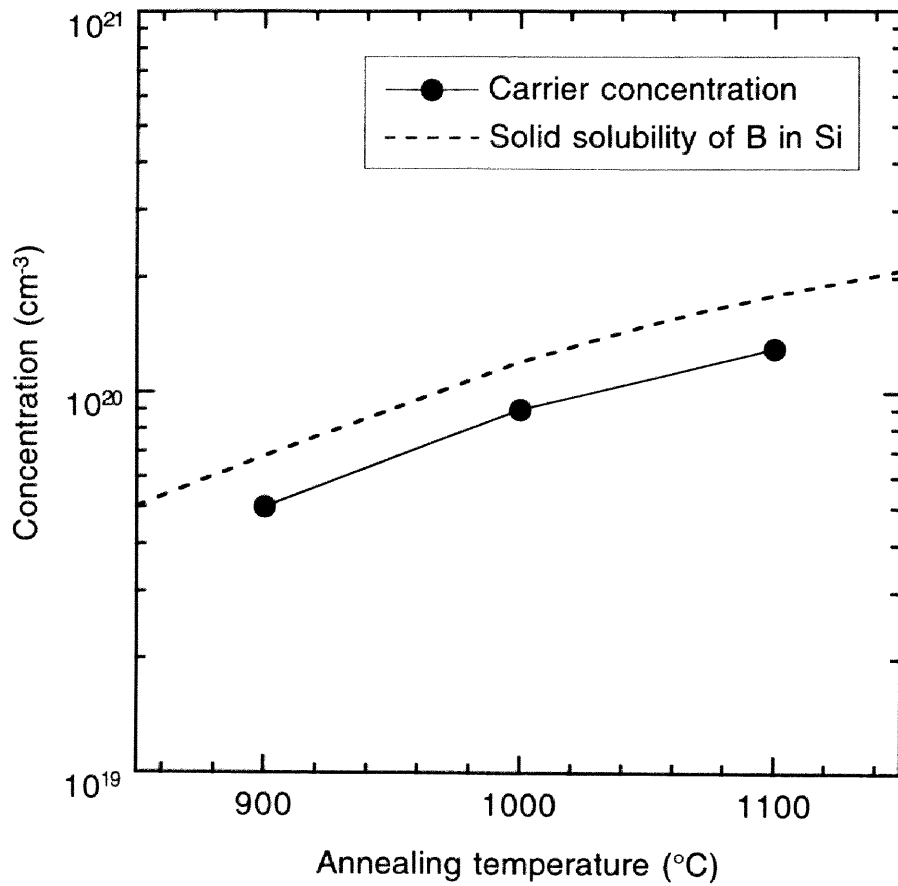


図5.3 キャリア濃度の熱処理温度依存性。
 B注入量は $5.0 \times 10^{15} \text{cm}^{-2}$ 。●はキャリア濃度、破線はSi中へのBの固溶限[5]。

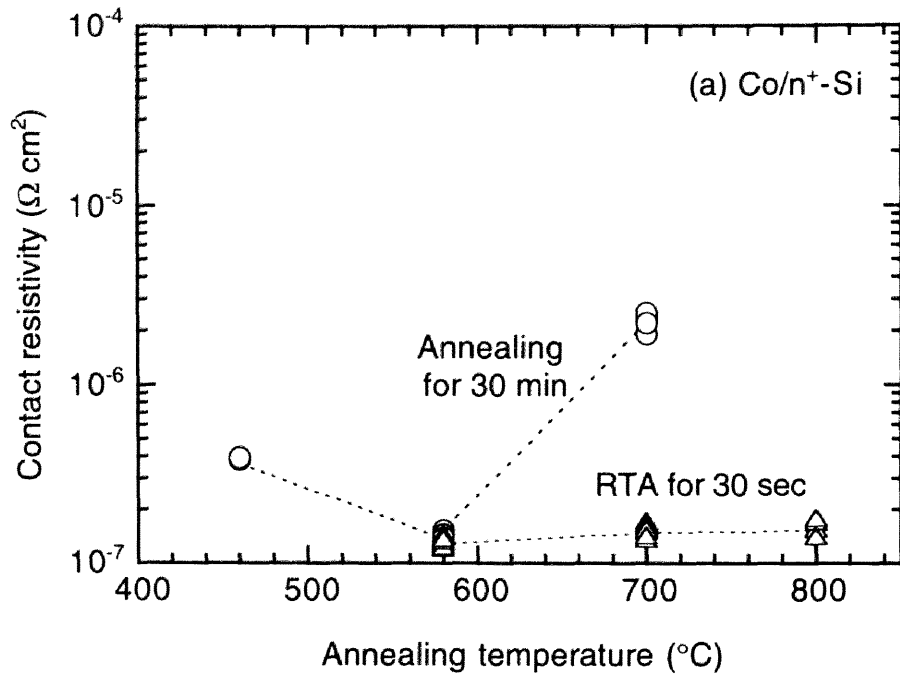
5.4 コンタクト抵抗率の熱処理温度依存性

図5.4に(a)Co/n⁺-Si及び(b)Co/p⁺-Si系におけるコンタクト抵抗率のシリサイド化時の熱処理温度依存性を示す。試料としては熱拡散によってドーピング層を形成した基板を用いている。シリサイドの形成方法はシリサイド形成工程を用いて最後にRTAを30秒間行ったもの、及び比較の為に真空中で30分間の熱処理によってシリサイドを形成した試料の結果を示す[6]。第4章でも述べた様に、580℃のRTA処理試料ではCoSiが、700℃以上のRTA処理ではCoSi₂が形成されていることをXRDパターンで確認した。

図5.4(a)を見ると、30分間の熱処理を施した試料では580℃でコンタクト抵抗率が最小になった後、700℃の熱処理で抵抗率が一桁近く増大することが分かる。長時間の熱処理によるこの様な傾向はTi、Zr及びHf等の他の金属/Siコンタクトの場合にも観察されている[7, 8]。一方、30秒間のRTA処理試料ではコンタクト抵抗率は800℃の熱処理後においてもほぼ一定である。以上に述べた傾向は、Co/p⁺-Si系においても同様に見出すことができる。第4章で述べた様に、CoSiとCoSi₂のショットキー障壁高さはほぼ等しく、n-Si及びp-Siに対してそれぞれ約0.6eV及び0.4eVである。従って、30分間の熱処理試料におけるコンタクト抵抗率の増大は、シリサイド形成時に半導体中の不純物がシリサイド中へ拡散した結果、界面付近の不純物濃度が低下した為に、引き起こされたと推測される。従って、30秒間の短時間のRTA処理を用いることによって、不純物の再分布が抑制され、界面の不純物濃度の低下によるコンタクト抵抗率の増大を抑止できることが分かった。

5.5 コンタクト抵抗率の界面不純物濃度依存性

イオン注入法によってドーピング層を形成したKelvinパターンを用いて、CoSi₂/p⁺-Si系のコンタクト抵抗率を評価した。図5.5に、異なる注入量の基板に対するコンタクト抵抗率のシリサイド化熱処理温度依存性を示す。シリサイド形成時の第二段階のRTA処理における熱処理温度は600、700及び800℃で、熱処理時間は30秒間であった。また、B注入量は 3.0×10^{14} 、 1.0×10^{15} 及び $1.0 \times 10^{16} \text{cm}^{-2}$ であった。先述した様に、各注入量の試料に対してコンタクト抵抗率は熱処理温度に依らず、ほぼ一定の値を



(a)

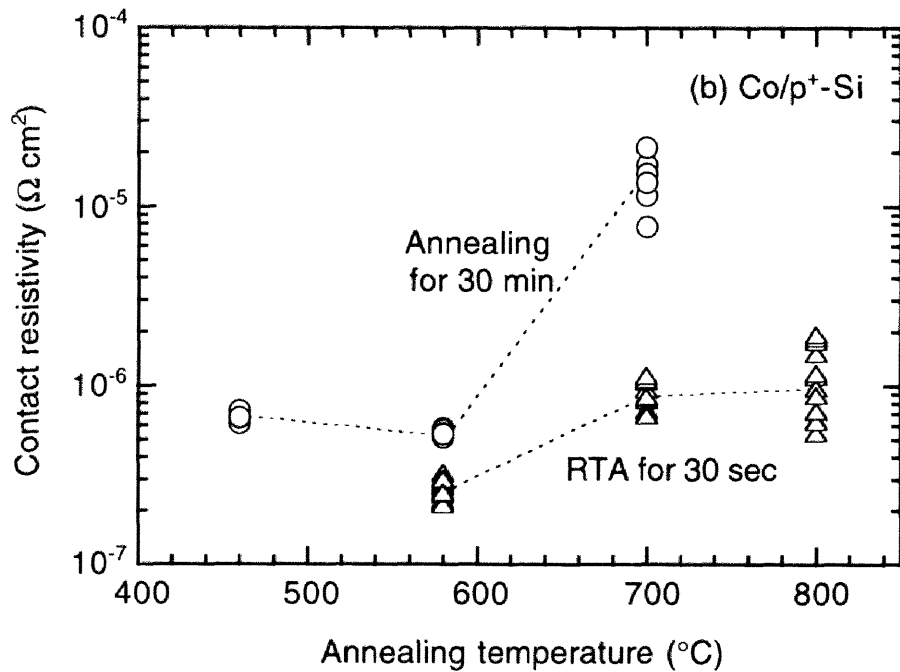


図5.4 コンタクト抵抗率のシリサイド化熱処理温度依存性。
 (a) Co/n⁺-Si及び(b) p⁺-Si接合。○はシリサイド化を30分間の熱処理により行ったもの[6]。△はシリサイド形成の第二段階の熱処理をRTA法で30秒間行ったもの（シリサイド形成条件の詳細は3.2.2節参照）。

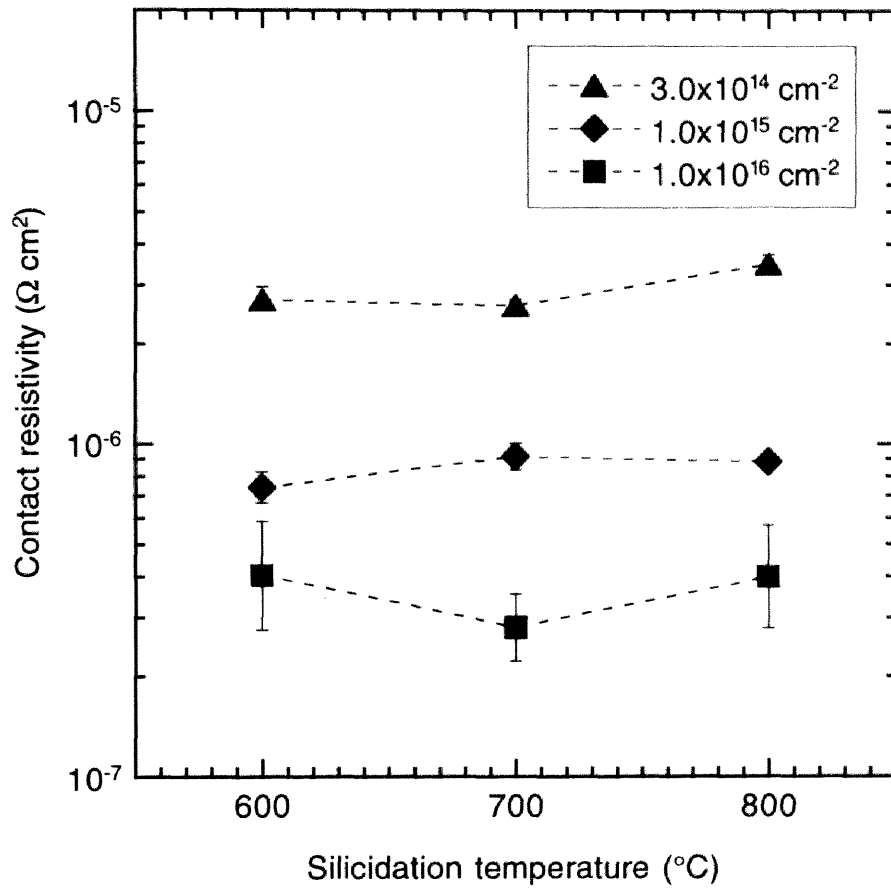


図5.5 コンタクト抵抗率のシリサイド化熱処理温度依存性。
Si基板へのB注入量は $3.0 \times 10^{14} \text{cm}^{-2}$ 、 $1.0 \times 10^{15} \text{cm}^{-2}$ 及び $1.0 \times 10^{16} \text{cm}^{-2}$ 。

示すことが分かる。一方、注入量の多い試料ほど低いコンタクト抵抗率を示すことが分かる。Co/Si界面におけるコンタクト抵抗率の不純物濃度依存性について検討する為に、金属/高不純物濃度半導体界面におけるコンタクト抵抗率を数値計算によって求める方法について以下に述べる。

5.5.1 高濃度不純物ドーピング状態における半導体のバンド構造

半導体中に非常に高濃度の不純物が存在する場合、半導体のバンド構造は不純物原子による影響を強く受ける。図5.6に、高不純物濃度のn+型半導体における状態密度の模式図を示す[2]。半導体中の不純物濃度が高くなると、不純物原子間の距離が縮まる為に、キャリア-不純物原子間や不純物原子同士の相互作用によって、不純物バンドの形成や伝導帯端及び価電子帯端の状態密度の裾引きが生じる。これらの効果はバンド端近傍の状態密度に影響を与え、バンドギャップの縮小やキャリアのイオン化エネルギーの低下を引き起こす。以下、n+型半導体の場合を例に、それぞれの効果について順に説明する。

(1) 不純物バンド[1]

高濃度ドーピングされた半導体では、不純物原子間の距離が十分に小さくなる為に、局在状態にある不純物準位の波動関数が重なり合い、禁制帯中に不純物準位を中心とした不純物バンドと呼ばれるエネルギーバンドが形成される。Leeらは強結合近似モデル (tight binding model) を用いて不純物バンドの広がりや状態密度の形状を評価した[1]。以下、不純物バンドの取り扱いについて簡単に述べる。

不純物準位に局在する基底状態の波動関数の重なりが小さい場合は、不純物準位の広がりや程度 J は重なり積分を用いて以下の様に表せる。

$$J(|\mathbf{R}_i - \mathbf{R}_j|) = \int \frac{q^2}{4\pi\epsilon_s} \phi_0(\mathbf{r} - \mathbf{R}_i) \phi_0(\mathbf{r} - \mathbf{R}_j) d\mathbf{r} \quad (5.1)$$

但し、 $\phi_0(r)$ は不純物による局在準位の基底状態の波動関数であり、 $\mathbf{R}_i, \mathbf{R}_j$ は不純物原子の位置ベクトル、 ϵ_s は半導体の誘電率である。 $\phi_0(r)$ としては、以下に示す規格化さ

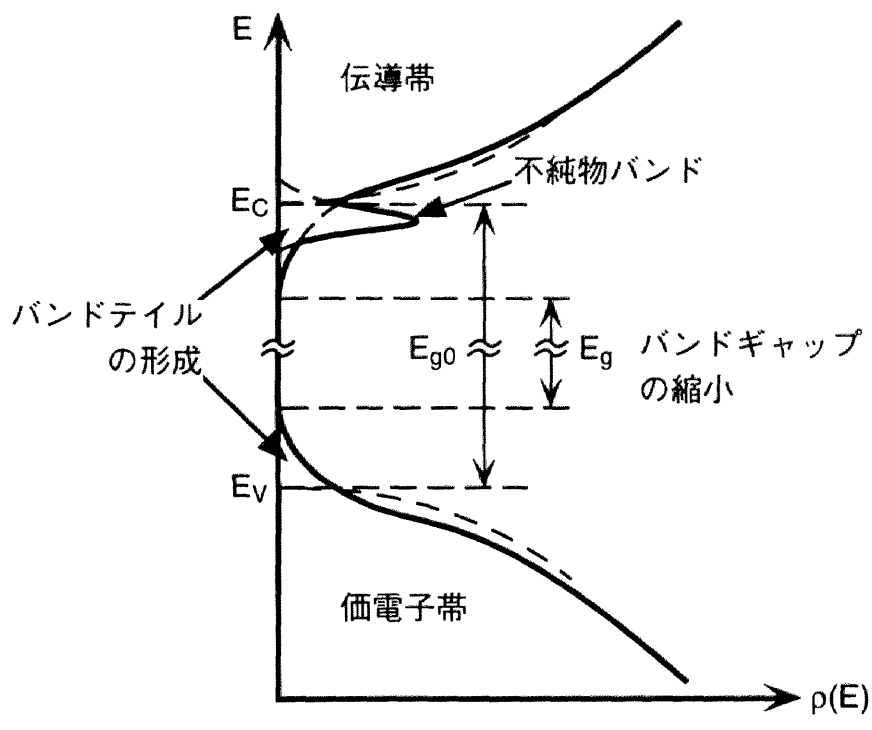


図5.6 高濃度不純物ドーピング n^+ 型半導体の状態密度[2]。

れた水素原子の1s軌道の波動関数を用いる。

$$\phi_0(\mathbf{r} - \mathbf{R}_i) = \left(\frac{\xi^2}{\pi} \right)^{\frac{1}{2}} \exp(-\xi|\mathbf{r} - \mathbf{R}_i|) \quad (5.2)$$

但し、

$$\xi = \left(\frac{1}{a_H} \right) \left(\frac{E_D}{E_0} \right)^{\frac{1}{2}} \quad (5.3)$$

であり、 $-E_D$ は低不純物濃度におけるドナーのイオン化エネルギー、 $E_0 \equiv -q^2/8\pi\epsilon_s a_H$ は水素原子モデルから得られる基底状態のエネルギーである。(5.2)式を用いて(5.1)式を計算すると、以下の式が得られる。

$$J(R) = \frac{q^2}{4\pi\epsilon_s} (1 + \xi R) \exp(-\xi R) \quad (5.4)$$

R は最近接不純物原子間の距離である。即ち、不純物準位の広がり $J(R)$ は、最近接不純物原子間距離 R の指数関数に依存することが分かる。実際の系においては不純物は半導体中に乱雑に分布している為、 R 及び $J(R)$ はある程度の揺らぎを持っていると考えられる。不純物の空間的な分布はポアソン分布に従うと考えられる為、平均的な $J(R)$ の重なり積分は、その分布関数を考慮することによって以下の様に表される。

$$\langle J(R) \rangle = \int J(R) 4\pi N_D R^2 \exp\left(-\frac{4}{3}\pi N_D R^2\right) dR \quad (5.5)$$

強結合近似モデルにおいては、結晶全体に形成されるバンドの幅 B は $2z\langle J(R) \rangle$ に等しい。但し、 z は最近接原子の数である。ポアソン分布を仮定しているので、個々のドナーに対する最近接原子は1つだけであり、 $z=1$ とおくと、結局、不純物バンドの幅 B は以下の式で与えられる。

$$B = 2\langle J(R) \rangle \quad (5.6)$$

不純物バンドの状態密度 $\rho_0(E)$ は、一般的にはエネルギーに対して非常に複雑な依存性を持つが、本論文の議論においてはバンド幅 B の範囲で定数であるとして取り扱

えば十分である。不純物バンドの中心をエネルギーの原点とすると、 $\rho_0(E)$ は以下の様に表される。

$$\begin{aligned}\rho_0(E) &= N_D / B && (-\frac{1}{2}B \leq E \leq \frac{1}{2}B) \\ &= 0 && (|\frac{1}{2}B| < E)\end{aligned}\tag{5.7}$$

本研究では、以上のモデルを用いて不純物バンドの影響を考慮した。

(2) バンドテイリング[1]

半導体におけるバンドテイル形成の模式図を図5.7に示す[2]。図中左側が半導体のバンド構造であり、右側が状態密度を表している。半導体中にあるイオン化したドナー原子が乱雑な分布を持つ為に、図示する様に伝導帯端及び価電子帯端には局所的なポテンシャルの揺らぎが引き起こされる。局所的に見ればバンドギャップは真性半導体の場合と同じ E_g で一定であるが、不純物の空間的な粗密によるポテンシャルの揺らぎが生じている為に、真性半導体の場合とは局所的な量子状態が異なっている。従って、巨視的な観点からは実効的なバンドギャップは E_g とは異なる値をとる。不純物濃度が十分に高くなると揺らぎの影響は無視できなくなり、禁制帯内へのバンド端の裾引き、即ちバンドテイリングとして考慮する必要がある。また、この効果は不純物バンドの状態密度に対しても同様の影響を与える。

ポテンシャル揺らぎの分布関数 $p(V)$ はガウス分布を用いて以下の様に近似できることが示されている[9, 10]。

$$p(V) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{V^2}{2\sigma^2}\right)\tag{5.8}$$

分布の広さ σ は以下の様に表される。

$$\sigma = \left(\frac{N_D q^4 \lambda}{8\pi^2 \epsilon_s^2}\right)^{\frac{1}{2}}\tag{5.9}$$

但し、 λ は電子とイオンの遮蔽距離である。この様なポテンシャルの揺らぎを考慮に

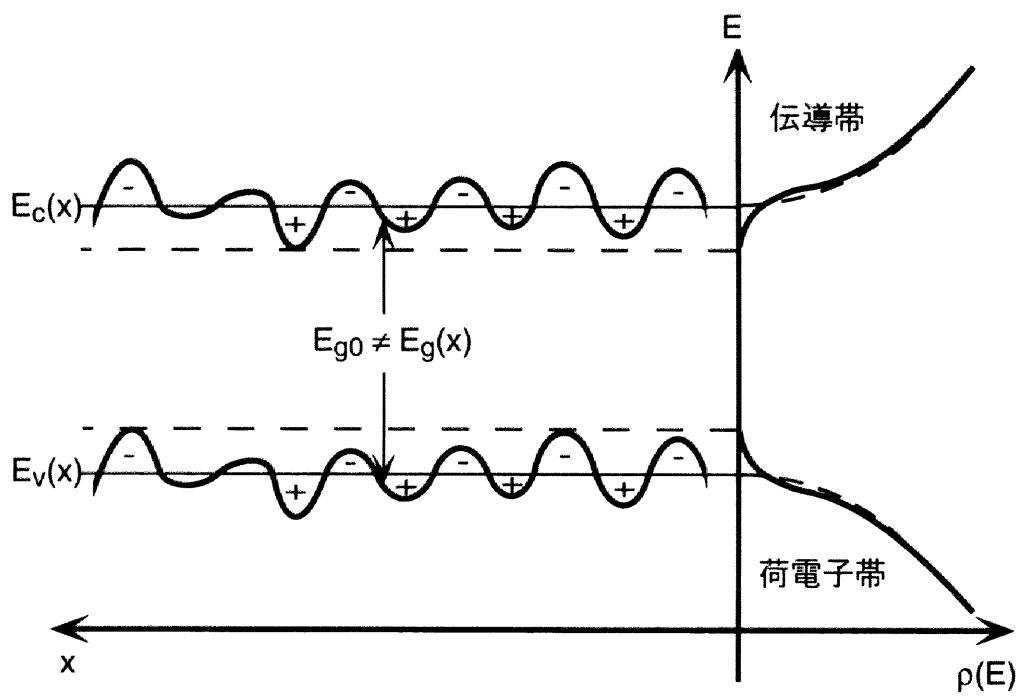


図5.7 不純物原子の乱雑な分布によるバンドテイル形成[2]。

入れた時、バンド端における状態密度関数 $N_C(E)$ は以下の様になる。

$$N_C(E) = \int_{-\infty}^E \frac{6\sqrt{2}(m^*)^{3/2}}{\pi^2\hbar^3} (E-V)^{1/2} p(V) dV \quad (5.10)$$

(5.10)式よりバンド端における状態密度は $N_C(E) \propto \exp(-E^2/2\sigma^2)$ の形を示し、ガウス関数型の裾を引くことが導かれる。本研究では(5.10)式を用いてバンドテイリングの効果を状態密度の形状に取り入れた。

(3) キャリア-不純物原子間の相互作用[1]

不純物とそれに束縛されようとするキャリアの間に働くクーロン力は、その周囲に存在する他のキャリアによる遮蔽効果を受ける。この遮蔽効果によって不純物の基底状態のエネルギーは減少し、その結果不純物のイオン化エネルギーは減少する。n型半導体を例にとると、イオン化エネルギーの減少量 ΔE_D は電子密度の関数として次の様に書ける[11]。

$$\Delta E_D \approx \frac{3q^2}{16\pi\epsilon_s a_s} \quad (5.11)$$

但し、 a_s は電子の遮蔽距離で次の様に表される。

$$a_s = \left\{ \frac{q^2}{\epsilon_s} \frac{\partial n_0}{\partial (E_F - E_C)} \right\}^{-1/2} \quad (5.12)$$

n_0 は電子密度である。非縮退半導体では $a_s \propto n_0^{-1/2}$ であり、縮退半導体では $a_s \propto n_0^{-1/6}$ である。本研究では(5.11)式に従って、イオン化エネルギーの低下量を考慮した。

5.5.2 数値計算によるコンタクト抵抗率

不純物バンドの形成、バンドテイリング及び不純物原子-キャリア間の相互作用を考慮に入れて、金属/高不純物濃度半導体界面におけるコンタクト抵抗率の数値計算を行った。上述したモデルを基に状態密度のエネルギー分布形状を決定し、電荷中

性の条件からフェルミ準位を決定した。図5.8に、金属/n+半導体界面における電気伝導の模式図を示す。第2章で述べた様に、高濃度にドーピングされた半導体と金属間における電気伝導では、界面に形成される空乏層幅が十分に狭くなる為にトンネル機構が支配的となる。図示する様に、伝導帯からのトンネル電流だけでなく、不純物バンドからのトンネル電流成分も考慮に入れて計算を行った[12]。

図5.9に金属/n+-Si及びp+-Siコンタクトにおけるコンタクト抵抗率の計算結果を示す。ショットキー障壁高さを0.5eVと仮定して、不純物濃度の関数として計算した。実線は先述した不純物バンドの形成等を考慮に入れた計算結果であり、破線は不純物準位の状態密度を不純物バンドとしてではなく、単一エネルギーにおけるデルタ関数として扱った場合の計算結果である。n+型コンタクトにおいては、モデルによる差異が顕著に現れており、先述したバンド構造の変化を考慮することでコンタクト抵抗率が一桁近く低い値を示していることが分かる。これは、不純物バンドやバンドテイリングを考慮したことによって、考慮しない場合に比較して、キャリア濃度が増え、実効的なショットキー障壁高さが低下した効果が現れているものと考えられる。一方で、p+型コンタクトにおいては不純物バンド形成等を考慮した場合でもコンタクト抵抗率は若干低くなる程度であり、ほとんど差が現れていない。この結果は、p型の場合、不純物バンドやバンドテイリングの影響が、n型に比較して小さいことを表している。その理由の一つに電子と正孔の状態密度有効質量の差が考えられる。電子及び正孔の状態密度有効質量はそれぞれ $m_e^*=1.18$ 及び $m_h^*=0.81$ であり[13]、正孔の方が小さい。従って、バンドテイリングの効果は、価電子帯端よりも伝導帯端で強く生じると考えられる。その結果、n+型コンタクトの方が従来までのモデルとの間に顕著な差異が現れたと考えられる。

図5.10は複数の異なるショットキー障壁高さに対して計算した、金属/n+-Si及びp+-Siコンタクトにおけるコンタクト抵抗率の界面不純物濃度依存性を示す。それぞれショットキー障壁高さ0.4、0.5及び0.6eVに対する計算結果を示す。また同図に図5.4で示したCo/n+-Si及びCo/p+-Si系におけるコンタクト抵抗率の実験結果を合わせてプロットした。

図5.10(a)に示す様に、n+型SiコンタクトにおいてはRTA処理及び460℃、580℃で30

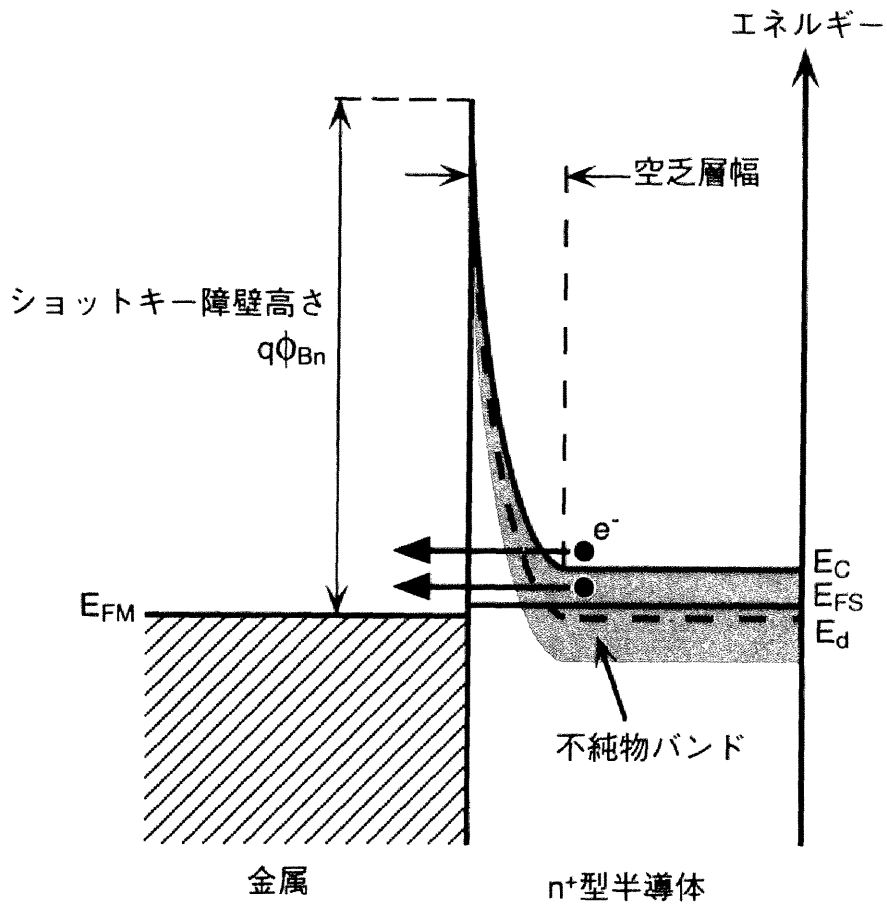


図5.8 金属/高不純物濃度半導体界面における電気伝導機構の模式図。

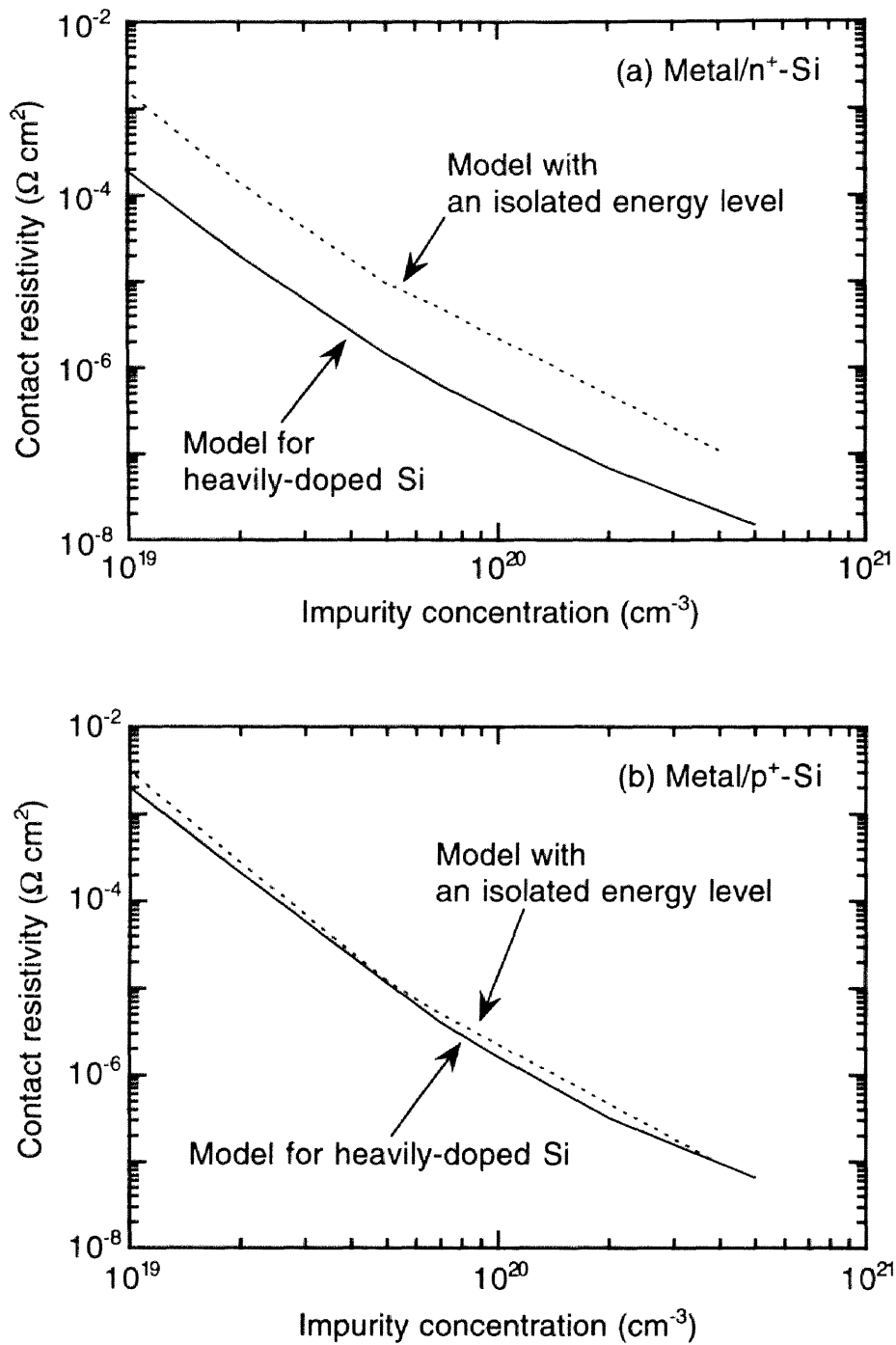
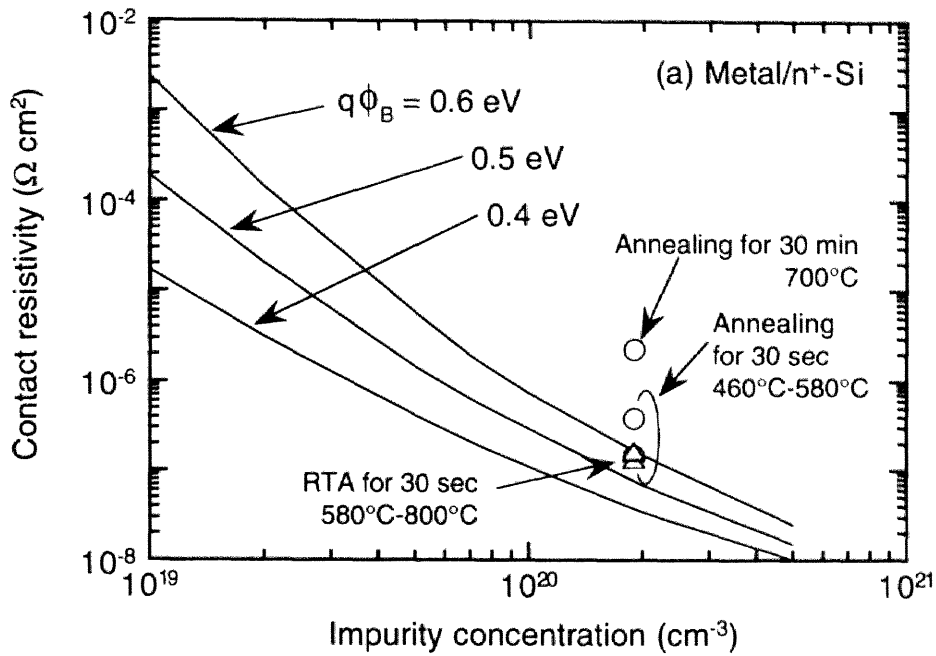
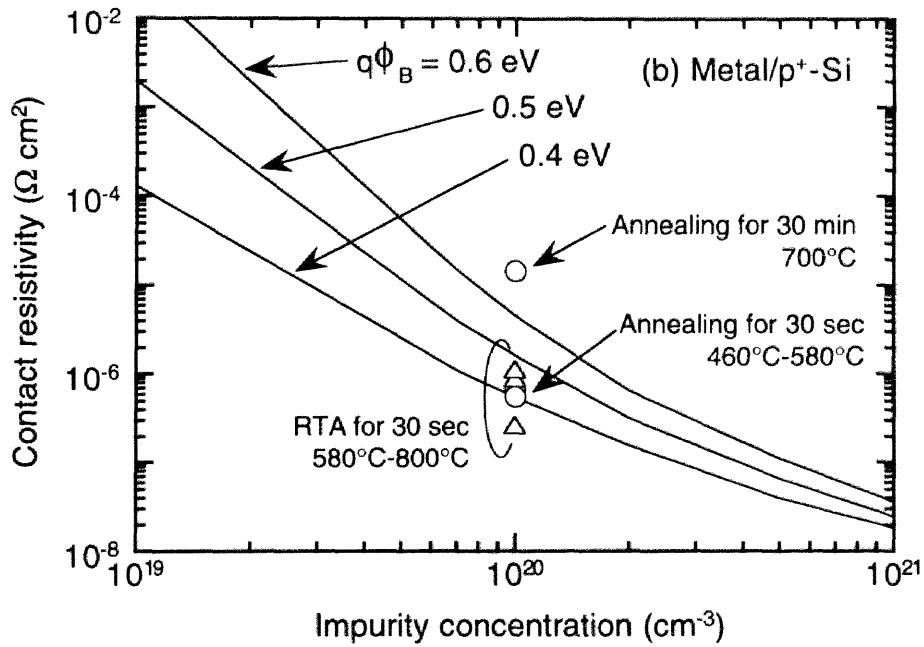


図5.9 コンタクト抵抗率の不純物濃度依存性。

(a) 金属/n⁺-Si、(b) 金属/p⁺-Siの計算結果。ショットキー障壁高さは0.5eV。実線は高不純物濃度半導体中における不純物バンドの形成等を考慮した結果。破線は単一エネルギー準位のモデルによる結果。



(a)



(b)

図5.10 コンタクト抵抗率の不純物濃度依存性。

(a)金属/n⁺-Si、(b)金属/p⁺-Siの計算結果。ショットキー障壁高さは0.4、0.5及び0.6eV。○及び△は図5.4で示したCo/Si系の実験結果で、それぞれシリサイド形成において30分間の熱処理及び30秒間のRTAを施したものである。

分間の熱処理でシリサイド化を施した $\text{CoSi}_2/\text{n-Si}$ コンタクトのコンタクト抵抗率はショットキー障壁高さ 0.6eV の計算結果に一致する。第3章で述べた様にショットキーダイオードのI-V測定から、 CoSi_2/Si コンタクトのショットキー障壁高さは約 0.6eV の値が得られており、今回の結果とよく一致する。従って、不純物バンドを考慮に入れたモデルが、現実の金属/高不純物濃度Siコンタクトにおけるコンタクト抵抗率をよく表していると考えられる。一方、 700°C 、30分間の熱処理を施した試料ではコンタクト抵抗率が一桁近く増大している。この原因は、シリサイド形成時における熱処理に伴う不純物原子の再分布による界面不純物濃度の低下であると考えられる。計算結果との照合から界面不純物濃度は約 $7 \times 10^{19}\text{cm}^{-3}$ と見積もられ、熱処理前の濃度のおよそ1/3にまで低下していると推測できる。

図5.10(b)のp型Siコンタクトにおいてもn型Siとのコンタクトと全く同様の傾向が見られた。RTA処理後の試料のコンタクト抵抗率は、ショットキー障壁高さ 0.4eV の計算結果とよく一致している。この値は、 $\text{CoSi}_2/\text{p-Si}$ コンタクトのI-V特性から得られたショットキー障壁高さ 0.4eV によく一致する。また、 700°C 30分間熱処理試料の抵抗率から界面不純物濃度の量は約 $3 \times 10^{19}\text{cm}^{-3}$ と見積もられ、熱処理前の濃度の1/3程度に減少しているものと推測される。以上の結果から、RTA法によるシリサイド形成においては界面不純物の再分布は無視できる程少なく、界面不純物濃度はシリサイド形成前の値からほとんど減少しないと考えられる。以上の結果は、ULSIプロセスにおける、コンタクト形成にRTA法が極めて有効であることを示唆している。

5.5.3 コンタクト抵抗率の界面不純物濃度依存性

異なる注入量でB注入を行ってドーピング層を作製したKelvinパターンを用いて、コンタクト抵抗率の界面不純物濃度依存性について調べた。図5.11に、コンタクト抵抗率の界面不純物濃度依存性を示す。図中の実線は、ショットキー障壁高さ 0.3 、 0.4 及び 0.5eV で計算したコンタクト抵抗率の不純物濃度依存性である。各プロットは $\text{CoSi}_2/\text{p}^+\text{-Si}$ 系コンタクトにおけるコンタクト抵抗率である。B⁺の注入量は $3.0 \times 10^{14} \sim 1.0 \times 10^{16}\text{cm}^{-2}$ の範囲であり、イオン注入後の不純物活性化の為にRTA処理は 1100°C で30秒間行った。但し、注入量 $5.0 \times 10^{15}\text{cm}^{-2}$ の試料は、RTA処理温度を 900 、 1000 及び

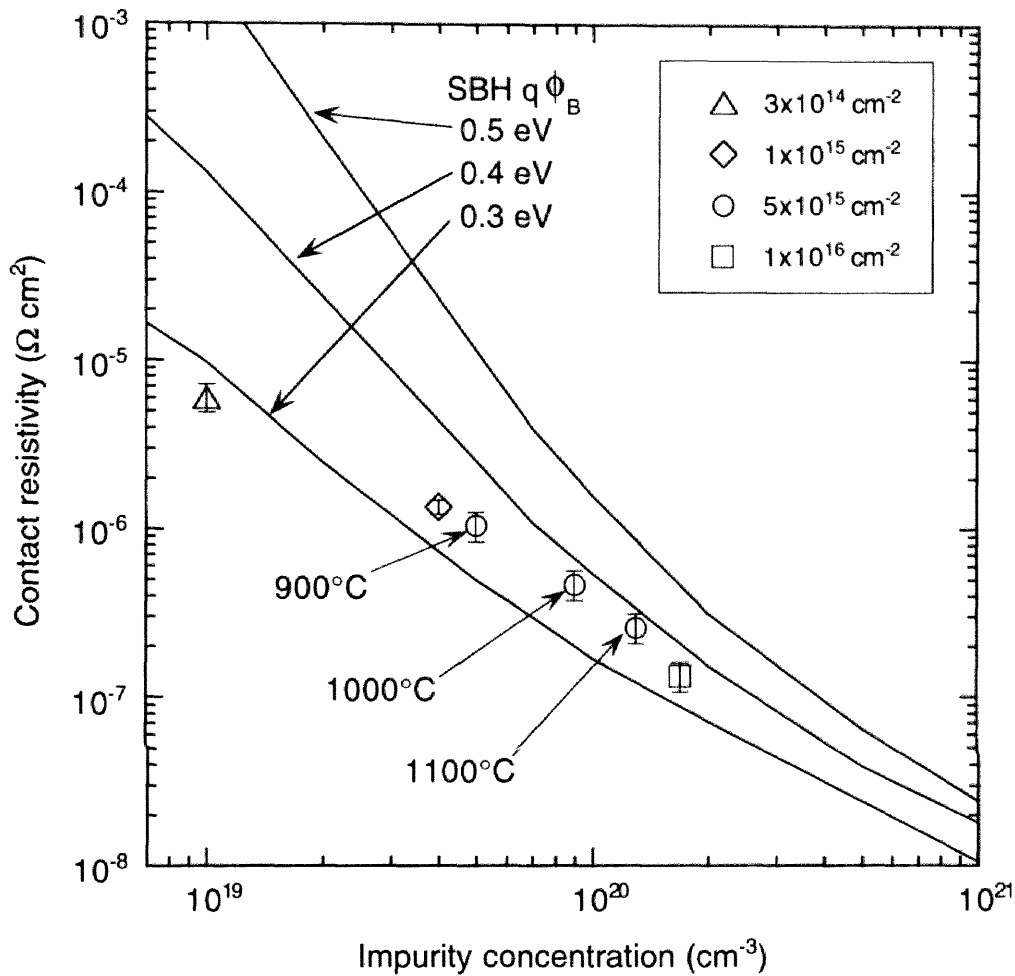


図5.11 コンタクト抵抗率の不純物濃度依存性。

実線はショットキー障壁高さ0.3、0.4及び0.5eVの計算結果。各プロットはCoSi₂/p⁺-Siコンタクトの実験結果。イオン注入量は3.0x10¹⁴~1.0x10¹⁶cm⁻²。注入量5.0x10¹⁵cm⁻²の試料はイオン注入後のRTA処理は900、1000及び1100℃で30秒間、他の試料のRTA処理は1100℃、30秒間である。不純物濃度はSRP法によって決定した値を用いた。

1100℃を3種類に変えたものを用意した。全ての試料はシリサイド工程のRTA処理を700℃で30秒間行い、 CoSi_2 が形成されていることをXRD測定によって確認した。界面の不純物濃度は以下に述べる方法で決定した。5.3節で示したキャリアの深さ方向濃度分布（図5.1及び図5.2）はイオン注入及び活性化処理直後のものである。この後、金属を蒸着、シリサイドを形成することによって一定の厚さのSiが消費されて、 CoSi_2/Si 界面がある深さに決まる。最終的な界面の位置はシリサイド化に伴うSiの消費量から見積もった。 CoSi_2 形成に伴うSiの消費量は、1nmのCoに対してSiは3.64nm消費され、形成される CoSi_2 の厚さは3.52nmとなる[14]。蒸着したCoは20nmなので CoSi_2/Si 界面は表面から73nmの位置に形成されるものとして界面不純物濃度を決定した。

実験から得られたコンタクト抵抗率は計算結果とほぼ同様の不純物濃度依存性を有しており、不純物濃度の増加に伴って減少することが分かる。イオン注入量 $5.0 \times 10^{15} \text{cm}^{-2}$ の試料に関しては、熱処理温度が増加するに従いコンタクト抵抗率が減少している。 $5.0 \times 10^{15} \text{cm}^{-2}$ の試料では、活性化するBの濃度はSi中におけるのBの固溶限によって制限されることを5.3節で示した（図5.3参照）。即ち、固溶限を越える様な高濃度のイオン注入領域において、コンタクト抵抗率の低減は不純物のSi中への固溶限によって制限を受けることを示している。

$\text{CoSi}_2/\text{p}^+\text{-Si}$ 系のコンタクト抵抗率はほぼショットキー障壁高さ0.3~0.4eVの計算結果の間に収まっている。第4章で示した通り、ショットキーダイオードのI-V測定から求められた $\text{CoSi}_2/\text{p-Si}$ コンタクトのショットキー障壁高さは0.41~0.42eVである。従って、障壁高さはほぼ一致していると見られるが、コンタクト抵抗率から得られた障壁高さの方が若干低くなっている。これは、I-V測定から得られた値が、理想因子がほぼ1に近い時の理想的な界面における障壁高さであるのに対して、コンタクト抵抗率から導かれる値は実効的な障壁高さを表している為と考えられる。実効的な障壁高さが低下する原因の一つとして、数値計算において考慮した電流以外の電流成分の寄与が考えられる。その代表的なものに、イオン注入及び熱処理によって形成された CoSi_2/Si 界面の不純物準位や界面欠陥等を介したマルチステップトンネル電流の影響が挙げられる[15, 16]。また、もう一つの原因としては、高濃度不純物ドー

ピングSi中のバンド構造の変化によって、実効的なショットキー障壁の更なる減少が生じている可能性もある。例えば、本研究では計算には取り入っていない、電子間相互作用の多体効果等がバンドギャップの縮小に与える影響等についても、今後検討する必要があると考えられる[2]。

5.6 まとめ

コンタクト抵抗率の不純物濃度依存性を研究する為に、Bのイオン注入を用いて作製した異なる不純物濃度を持つSi基板における、CoSi₂/p⁺-Si接合のコンタクト抵抗率を調べた。また、高不純物濃度半導体におけるバンド構造の変化を考慮に入れたコンタクト抵抗率の数値計算を行い、実験結果との比較を行った。

CoSi₂/p⁺-Si接合のシリサイド形成時における熱処理温度に対する、コンタクト抵抗率の依存性を調べた。RTA処理によってシリサイドを形成した試料においては、コンタクト抵抗率は580~800℃の熱処理温度領域ではほぼ一定であった。一方、30分間の熱処理を行った試料においては、700℃の熱処理でコンタクト抵抗率は大きく増加した。その理由としては長時間の熱処理を行うことによって、界面近傍の不純物原子がシリサイド中に再分布し、界面の不純物濃度が低下してしまう為であると推測される。

高濃度の不純物を注入した半導体中における不純物バンドの形成、バンドテイリング及びキャリア-不純物原子間の相互作用を考慮して、状態密度の構造を考察した。この状態密度モデルを基にフェルミ準位を決定し、金属/半導体界面を流れるトンネル電流の計算を行ってコンタクト抵抗率を求めた。従来の単一の不純物準位を仮定した計算に比較して、これらのモデルを取り入れることでコンタクト抵抗率はn⁺型のコンタクトで一桁近く低く修正されることが明らかになった。また、p⁺型のコンタクトにおいてはモデルによる差異が比較的小さかったが、これは電子と正孔の状態密度有効質量等の差に原因があると考えられる。

CoSi₂/p⁺-Si接合のコンタクト抵抗率の界面不純物濃度依存性は、不純物濃度 $3 \times 10^{19} \sim 2 \times 10^{20} \text{cm}^{-3}$ の広い範囲で、ショットキー障壁高さ0.3~0.4eVの数値計算の結果に良く一致した。I-V測定から得られたCoSi₂/p-Si接合の障壁高さは約0.4eVであり、数値

計算が実験結果にほぼ一致することを確認できた。Si基板中の固溶限を越える程、高濃度にBが注入された場合、活性化される不純物の濃度は固溶限によって制限される。その結果、コンタクト抵抗率の低減が固溶限によって制限されることが明らかになった。数値計算の結果からは 10^{21}cm^{-3} の高い界面不純物濃度が実現できれば、ショットキー障壁高さ 0.5eV のコンタクトにおいて、 $2\times 10^{-8}\text{cm}^{-3}$ のコンタクト抵抗率が達成できることが予想される。Solmiらは $5\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ の高濃度のBを注入後、 $900\sim 1000^\circ\text{C}$ で $5\sim 30$ 秒間のRTA処理を行うことによって、固溶限の2~3倍の表面キャリア濃度が得られると報告している[4, 17]。また、次章において述べるが中間層としてSiGe層やGe層を用いることでSiの固溶限を越えるドーピングの可能性やバンドエンジニアリングによるショットキー障壁高さの低減も検討されている[18-20]。以上の様な手法を用いることによって、Si中の固溶限を越える界面キャリア濃度を達成できれば、 $10^{-8}\Omega\text{cm}^2$ 台の低いコンタクト抵抗率も実現可能であると期待される。

5.7 参考文献

- [1] T. F. Lee and T. C. McGill, *J. Appl. Phys.* **46**, 373 (1975).
- [2] D. S. Lee and J. G. Fossum, *IEEE Trans. Electron Devices* **ED-30**, 626 (1983).
- [3] S. J. Proctor and L. W. Linholm, *IEEE Electron Device Lett.* **EDL-3**, 294 (1982).
- [4] S. Solmi, F. Baruffaldi and R. Canteri, *J. Appl. Phys.* **69**, 2135 (1991).
- [5] V. E. Borisenko and S. G. Yudin, *Phys. Stat. Sol. A* **101**, 123 (1987).
- [6] 磯部泰充、修士学位論文 (1997) 名古屋大学.
- [7] S. Zaima and Y. Yasuda, in *Proceedings of the 1995 MRS Spring Meeting Symposium*, edited M. Liehr et al. (Material Research Society, Pittsburgh, PA, 1996), vol. 386, p. 215.
- [8] 財満鎮明、安田幸夫、*応用物理* **63**, 1093 (1994).
- [9] E. O. Kane, *Phys. Rev.* **131**, 131 (1963).
- [10] T. N. Morgan, *Phys. Rev.* **139**, A343 (1965).
- [11] H. P. D. Lanyon, in *IEEE 15th Photovoltaic Specialists Conf. Record* (Cat. No. 81CH1644-4), (1981) p. 415.
- [12] 小坂基弘、修士学位論文 (1994) 名古屋大学.
- [13] H. D. Barber, *Solid-State electron.* **10**, 1039 (1967).
- [14] S. P. Murarka, in *SILICIDES FOR VLSI APPLICATIONS* (Academic Press, New York, 1983) p. 130.
- [15] A. R. Riben and D. L. Feucht, *Solid-State Electron.* **9**, 1055 (1966).
- [16] S. Kar, S. Ashok and S. J. Fonash, *J. Appl. Phys.* **51**, 3417 (1980).
- [17] S. Solmi, in *1st International Rapid Thermal Processing Conference*, edited by R. B. Fair and B. Lojek (Scottsdale, AZ, 1993) p.179.
- [18] S. Zaima, J. Kojima, H. Shinoda and Y. Yasuda, in *Advanced Metallization and Interconnect Systems for ULSI Applications in 1996*, edited by R. Havemann et al. (Materials Research Society, Pittsburgh, PA, 1997), p. 223.
- [19] S. Zaima and Y. Yasuda, *J. Vac. Sci. Technol. B* **16**, 2623 (1998).
- [20] K. Suguro and A. Murakoshi, in *Proc. Advanced Metallization and Interconnect Systems*

for ULSI Applications in 1996 (Material Research Society, Pittsburgh, PA, 1997) p.
217.

第 6 章

Ti及びZr/SiGe界面の固相反応

第6章

Ti及びZr/SiGe界面の固相反応

6.1 はじめに

MOSFETの微細化に伴って顕在化する、寄生抵抗の一つである金属/Si界面のコンタクト抵抗の増大は、非常に深刻な問題である。設計ルールが $0.1\mu\text{m}$ の世代の素子においては、 $10^{-8}\Omega\text{cm}^2$ 台の低いコンタクト抵抗率が要求されるようになる。n型Siに対する金属/Siコンタクトでは、Hf及びZrをコンタクト材料に用いることによって $10^{-8}\Omega\text{cm}^2$ 台の低いコンタクト抵抗率も報告されている[1-4]。しかし、今後更に低いコンタクト抵抗率を要求される時、Siのバンドギャップや電子親和力、第5章でも問題となったSi中の不純物の固溶限といった物性的な制限が生じてくる。また、微細化の進む半導体メモリや演算装置（MPU: Micro Processing Unit）に広く用いられている補償型MOS（CMOS: Complimentary Metal-Oxide-Semiconductor）トランジスタでは、一種類の金属を用いてn型及びp型Si双方に対するコンタクト抵抗率を同時に下げる必要があるが、これは物理的に非常に困難である。何故なら、n型及びp型Siに対するショットキー障壁高さの和は本質的にはSiのバンドギャップ E_g に等しいので、一方の型に対して障壁高さが低い、即ちコンタクト抵抗率の低い材料を用いたのでは、他方の型に対してはコンタクト抵抗率が高くなってしまうからである。更に、コンタクト抵抗率の低減には、金属/半導体界面の不純物濃度を高くする事が有効であるが、n型Siの不純物であるAsやPと比較すると、p型Siの不純物として通常用いられているBはSi中への固溶限が低い為に、不純物濃度が固溶限に制限される可能性が高い。即ち、p型Siのコンタクト抵抗率に関しては、n型Siの場合に比較して不純物濃度の点からも制限を受けやすい。

以上の点を考慮する時、将来のULSIデバイスにおいて、特にp型Si系コンタクトに対して $10^{-8}\Omega\text{cm}^2$ 以下の超低コンタクト抵抗率を実現する為には、新しいプロセス技術、構造及び材料の導入が必要であると考えられる。上述の問題を解決する為の新しいデバイス構造として、金属とSiの界面への $\text{Si}_{1-x}\text{Ge}_x$ またはGe中間層の導入、即ち

コンタクトにおけるバンドギャップエンジニアリングの手法が検討されている[5-8]。Si_{1-x}Ge_x層のコンタクトへの適用は以下の様な特長を持つ。

- (1) コンタクト部におけるバンドギャップの制御が可能となる。
- (2) Si(100)基板上にヘテロエピタキシャル膜として成長可能である。
- (3) p-Siに比較してより高い不純物濃度を実現できる可能性がある。
- (4) Siプロセスとの互換性が高い。

図6.1に金属/p-Si_{1-x}Ge_x/p-Siヘテロ構造において、理想的な界面を仮定した場合のエネルギーバンド構造を示す。Si_{1-x}Ge_x層内のバンドギャップ幅はGeの組成 x を連続的に変化させることによって、Si及びGeにおけるそれぞれのバンドギャップ幅、1.12eV及び0.66eVの間で制御することが可能である。この時Si_{1-x}Ge_x/Siとの界面に生じるバンド不連続は、そのほとんどが価電子帯端の側に生じる[9]。これはSiとGeとの間のバンドギャップ差に比較して、電子親和力 χ の差が小さい為である。従って、この構造を用いることによって、特にp型のコンタクトに対して金属/p-Si接合に比較して低いショットキー障壁高さの実現が期待できる。近年では、コンタクト抵抗低減を目的としたGe+イオンのイオン注入技術や、ゲート電極部分へのSiGe膜の応用などが報告されている[10, 11]。

図6.2はTi及びZrに対するn型及びp型SiショットキーダイオードのI-V測定から得られたショットキー障壁高さの和を、シリサイド及びジャーマノシリサイド形成時の熱処理温度の関数として図示したものである。それぞれTi/Si系、Ti/Si_{0.8}Ge_{0.2}/Si系[8]、Zr/Si系及びZr/Si_{0.8}Ge_{0.2}/Si系の試料に対する結果である。熱処理は超高真空中で30分間行った。図中にはSi及びSi_{0.8}Ge_{0.2}結晶において理論的に予測されるバンドギャップも破線で示してある。2.1節でも述べたが、n型及びp型のショットキー障壁高さの和は、本質的には半導体のバンドギャップに等しくなる。図を見ると、測定されたTi/及びZr/Si系のショットキー障壁高さの和は、熱処理温度に依らずほぼ一定であり、その値はSiのバンドギャップより若干小さいことが分かる。また、Zr/Si_{0.8}Ge_{0.2}/Si系においても同様に、その値はSi_{0.8}Ge_{0.2}のバンドギャップより少しだけ低い値を示している。測定値と理論上のバンドギャップとの差は、金属/Si界面に存在する欠陥によるものと考えられる。即ち、熱放出電流成分に加えて、欠陥を介

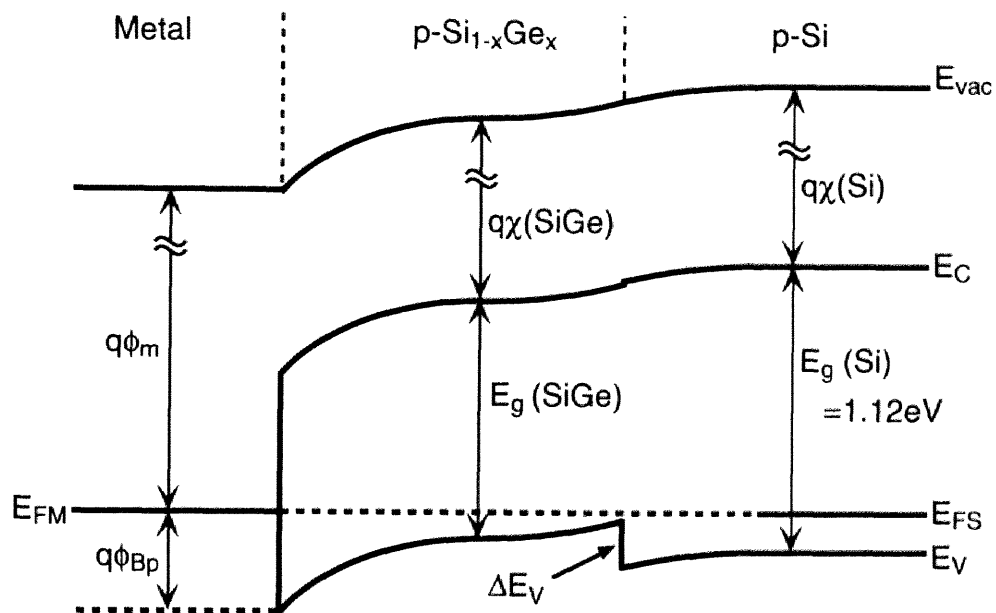


図6.1 金属/p-Si_{1-x}Ge_x/p-Siヘテロ構造のエネルギーバンド構造。

E_g は半導体中のバンドギャップ、 χ は半導体の電子親和力、 ϕ_m は金属の仕事関数、 ϕ_{Bp} はショットキー障壁高さ、 ΔE_V は価電子帯端のバンドオフセット。

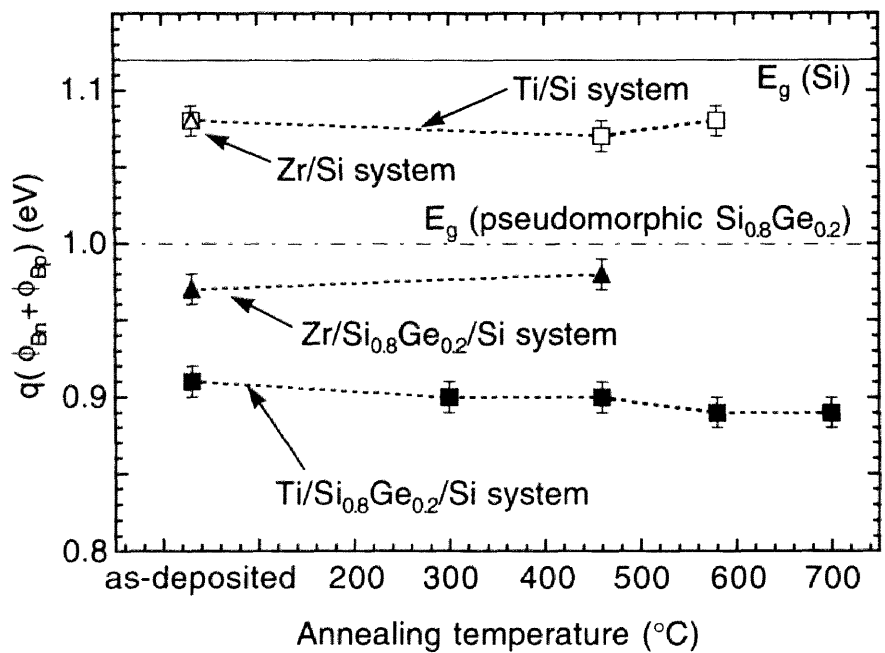


図6.2 Ti/Si系、Ti/Si_{0.8}Ge_{0.2}/Si系、Zr/Si系及びZr/Si_{0.8}Ge_{0.2}/Si系のp型及びn型ダイオードから得られたショットキー障壁高さの和。

した電流成分が存在する為に、観測されるショットキー障壁高さが理想状態の値より若干低く見積もられることを反映していると考えられる。しかし、同じ $\text{Si}_{0.8}\text{Ge}_{0.2}$ 中間層を挟んだ $\text{Ti}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系においては、ショットキー障壁高さの和はおよそ 0.9eV である。これは $\text{Zr}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系の結果と比較しても、更に 0.1eV 程度小さい。 Zr /及び $\text{Ti}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系ショットキーダイオードのI-V測定における理想因子は約1.2であり、どちらもほぼ同じ値であった。従って、 $\text{Ti}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系におけるこのショットキー障壁高さの大幅な減少を、欠陥による電流成分の存在のみで説明することは困難である。更に、 $\text{Ti}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系ではショットキー障壁高さの和が熱処理温度の増加に伴って、徐々に減少する傾向が確認できる。この現象も熱処理温度の変化に伴う、 $\text{Ti}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ コンタクトの界面状態の変化を反映していると考えられる。以上の事実から、 $\text{Ti}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系と $\text{Zr}/\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 系との間には、界面での固相反応に本質的な差異が存在するのではないかと推測される。

金属/ $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 接合における固相反応に関しては、 Ti [12-16]、 Co [16-20]、 Pt [21, 22]、 Pd [21-23]、 Ir [24]、 Zr [25]等、様々な種類の金属を用いた研究が行われてはいるが、金属/ Si 系に比較すると報告例は少なく、その詳細については未解明な部分も多い。しかし、金属- Si - Ge 系における反応過程の理解は、将来のコンタクト形成プロセスの確立の為に重要な課題である。本章では、金属/ SiGe 系コンタクトにおける多元系の固相反応及び電気伝導機構の解明を目的として、RTA処理を用いた Ti 及び $\text{Zr}/\text{Si}_{0.5}\text{Ge}_{0.5}/\text{Si}$ 接合における界面固相反応を調べた結果について述べる。

6.2 実験方法

基板として抵抗率 $8\text{-}12\ \Omega\text{cm}$ の $n\text{-Si}(100)$ 基板を使用した。この基板を化学洗浄後、3.1.2節で述べた SiGe 層成長装置内に導入した。基板温度を 460°C に保った状態で、電子銃を用いた蒸着法によって厚さ 100nm の $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層をエピタキシャル成長させた。pseudomorphicな SiGe 層成長における臨界膜厚の Ge 組成比依存性を考慮すると、この膜は歪みを解放し、緩和した膜として成長していると考えられる[26]。蒸着中における成長室内の真空度は $1\times 10^{-8}\text{Torr}$ 以下であった。 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層を形成後、基板を大気中に取り出して、希弗酸 ($\text{HF}:\text{H}_2\text{O}=1:50$) に晒して表面の自然酸化膜を除去した。

そのまま超純水で5秒間以下のオーバーフローを行うことにより、基板表面に水素終端処理を施した。その後直ちに金属蒸着装置内に導入し、TiまたはZrを電子銃を用いて室温にて蒸着した。Ti及びZrの膜厚はそれぞれ50nm及び25nmであり、蒸着前の到達真空度は 5×10^{-10} Torr以下、蒸着中の真空度は 1×10^{-9} Torr以下であった。試料を大気中に取り出して搬送し、窒素雰囲気中で $580^{\circ}\text{C} \sim 900^{\circ}\text{C}$ の範囲で30秒間のRTA処理を施した。

熱処理に伴う結晶層の変化を、CuK α 線源（波長： $\lambda=0.15418\text{nm}$ ）を用いた低角入射X線回折（XRD: x-ray Diffractometry）法によって観察した。また、表面薄膜の深さ方向における元素組成比の変化を、Arイオンスパッタリングを併用したオージェ電子分光法（AES: Auger Electron Spectroscopy）によって測定した。形成された金属膜のシート抵抗を四端子法によって評価した。

6.3 Ti/Si_{0.5}Ge_{0.5}/Si系の固相反応

図6.3にTi/Si_{0.5}Ge_{0.5}/Siに $580^{\circ}\text{C} \sim 900^{\circ}\text{C}$ でRTA熱処理を施した試料のXRDパターンを示す。 580°C でRTA処理を施したTi/Si_{0.5}Ge_{0.5}/Siでは、Ti₅Si₃(002)及び(012)のピークのみが観測された。Kojimaらは、Si_{0.8}Ge_{0.2}層上に3.5nmの極薄Ti膜を蒸着し、熱処理における初期反応をX線光電子分光法（XPS: x-ray Photoemission Spectroscopy）を用いて調べている[6]。 300°C 以下の熱処理において、まずTi-Siの反応が生じ、 400°C 以上の熱処理によってTi-Geの反応が始まると報告されている。これは今回の結果と一致するものであり、 580°C のRTA処理において、まず始めにシリサイドの形成が起こることが分かった。

次に 700°C でRTA処理を行った試料のXRDパターンにおいては、Ti₅Si₃に加えて、C49-TiSi₂(060)、(131)及び(200)によるパターンが観測される。C49-TiSi₂のピーク位置は、Ti/Si系で観測されるC49-TiSi₂のものと比較すると、若干低角側へシフトしている。ピーク位置の回折角 2θ から(131)面の面間隔を評価すると、Ti/Si系におけるC49-TiSi₂に比較して約1%程度大きいことが分かった。この結果は、C49-TiSi₂結晶中に、Siに比べて原子半径の大きいGe原子が含まれる為に、その分格子が歪み、格子間隔が大きくなっている可能性を示唆している。しかし、C49-TiGe₂はTi/Ge系においては

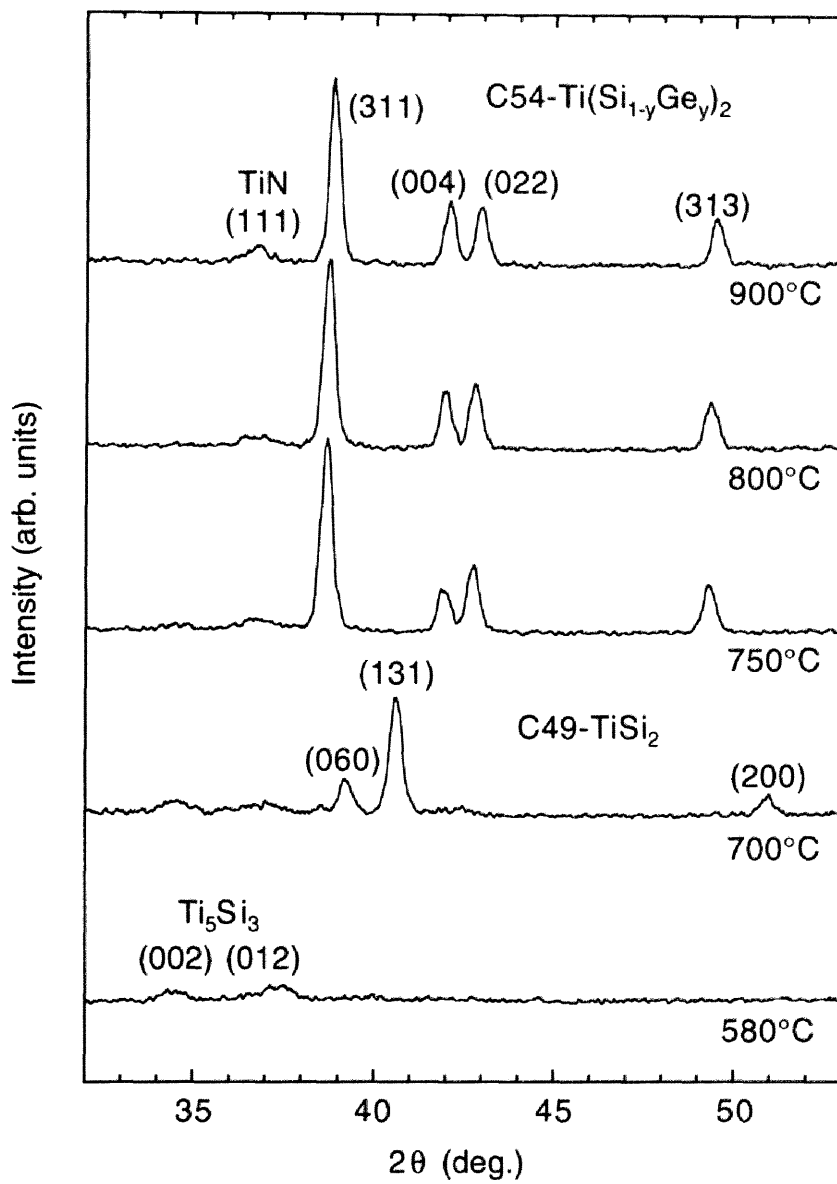


図6.3 Ti/Si_{0.5}Ge_{0.5}/Si系のRTA処理後のXRDパターン。

不安定な相であり、一般的には形成されないことが知られている。通常、Ti/Ge系では低温の熱処理でC49-TiGe₂ではなくTi₆Ge₅が初期反応相として生じ、より高温の熱処理によってC49相を経ずに、そのままC54-TiGe₂が形成されることが報告されている[12]。しかしその一方で、電子銃を用いたTiとGeの同時蒸着によって、C49-TiGe₂が形成されるという報告もある[27]。従って、今回観察されたC49相中にGeが含まれる可能性については、更に慎重に評価する必要がある、今後の検討が必要と考えられる。

続いて、750℃以上のRTA処理によってC49-TiSi₂のピークは消失し、更に新しい相が生じることが分かる。これはC54-Ti(Si_{1-y}Ge_y)₂に関連するピークであり、それぞれ(311)、(131)、(004)及び(311)面から生じたものである。また、強度は非常に小さいがTiN(111)面から生じたピークも観察できる。これは表面のTiがRTA処理雰囲気中のN₂ガスと反応し、生成されたものと考えられる。

750℃RTA処理後の試料のXRDパターンを改めて図6.4に示す。図中にはC54-TiGe₂及びC54-TiSi₂から得られるXRDパターンのピーク位置を矢印で示した。この図から、観察される各結晶面から生じる回折ピーク的位置は、いずれもC54-TiSi₂及びC54-TiGe₂の対応する結晶面から生じる回折ピークの間中に位置することが分かる。BoutarekらはC54-TiSi₂とC54-TiGe₂は全率固溶系であり、その結晶の面間隔は含まれるGeの組成比に対して一次関数的な依存性を持って変化していくことを報告している[28]。即ち、ある面指数に対して、C54-TiSi₂及びC54-TiGe₂における面間隔をそれぞれ d_{Si} 、 d_{Ge} とし、C54-Ti(Si_{1-y}Ge_y)₂の結晶層から観測される面間隔を d とすると、結晶中のGe組成 y は以下に示す式から求められる。

$$y = \frac{d - d_{Si}}{d_{Ge} - d_{Si}} \quad (6.1)$$

750℃～900℃RTA処理後の試料について、それぞれのC54-Ti(Si_{1-y}Ge_y)₂層中に含まれるGeの組成 y を(6.1)式を用いて評価した。基準となるC54-TiSi₂、C54-TiGe₂の格子定数については、Si(100)及びGe(100)基板上にそれぞれC54-TiSi₂及びC54-TiGe₂を形成し、XRD測定を行って得られた値を用いた。その結果を表6.1にまとめる。これを見

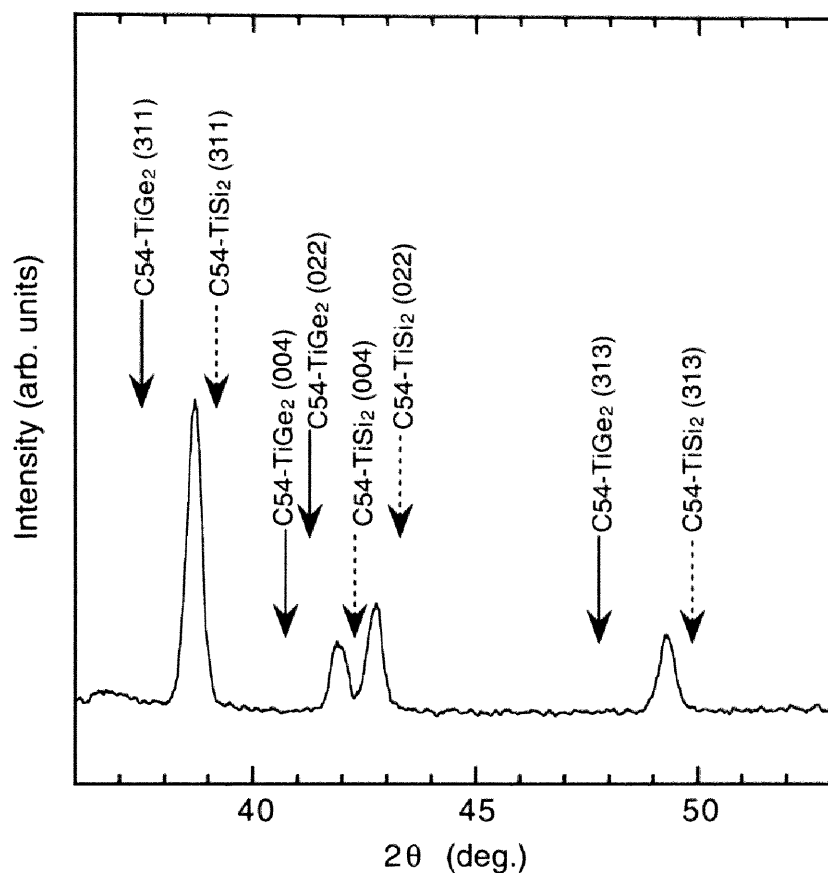


図6.4 Ti/Si_{0.5}Ge_{0.5}/Si系の750°CRTA処理後のXRDパターン。
矢印は実線がC54-TiGe₂、破線がC54-TiSi₂のピーク位置を示す。

表6.1 XRDパターンより評価したC54-Ti(Si_{1-y}Ge_y)₂層中のGe組成比。

hkl	Ge組成比 y		
	750°C	800°C	900°C
(311)	0.297	0.271	0.195
(004)	0.227	0.206	0.147
(022)	0.267	0.243	0.172
(313)	0.269	0.251	0.182
平均値	0.26	0.24	0.17

ると全てのピークにおいて $y < 0.5$ であり、生成された $C54-Ti(Si_{1-y}Ge_y)_2$ 層中では元来の $Si_{0.5}Ge_{0.5}$ 層に比較して、Siの組成比が高くなっていることが分かる。更に、熱処理温度の上昇に伴って $C54-Ti(Si_{1-y}Ge_y)_2$ 中に占めるGe組成比が徐々に減少し、よりSiリッチなジャーマノシリサイドが形成されていることが分かる。金属/SiGe界面におけるSi組成の増加は余剰のGe原子の存在を意味しており、それらはジャーマノシリサイド層中、表面またはSiGe層側に蓄積されていると推測される。

熱処理温度の増加に伴う $C54-Ti(Si_{1-y}Ge_y)_2$ 中のGe組成比の減少は、生成熱の観点から考察することができる。 $C54-TiSi_2$ 、及び $C54-TiGe_2$ の生成熱はそれぞれ -57.0kJ/mol 及び -47.5kJ/mol と報告されている[13]。即ち、同じ熱処理温度においては生成熱の差から $C54-TiSi_2$ の方が、より安定で生成され易いと言える。従って、固相反応が進むに連れて $C54-Ti(Si_{1-y}Ge_y)_2$ 中のGe原子とSi原子が置換することによって、 $C54-Ti(Si_{1-y}Ge_y)_2$ 中のGe組成が減少すると考えられる。また、Si原子と置換したGe原子が $C54-Ti(Si_{1-y}Ge_y)_2$ の結晶粒界に掃き出されることも推測される。 $Ti/Si_{1-x}Ge_x/Si$ の界面の固相反応に関しては、微小領域のXRD測定及び断面透過型電子顕微鏡 (TEM: Transmission Electron Microscope) 観察等、種々の手法を用いた観察が行われている[13-15]。それらの報告によれば、図6.5に模式的に示す様に、 $C54-Ti(Si_{1-y}Ge_y)_2$ 層中のGeがSiと置換し結晶粒界に掃き出された結果、Siリッチな $C54-Ti(Si_{1-y}Ge_y)_2$ 層及びGeリッチな $Si_{1-z}Ge_z$ ($z > x$) の結晶形成が生じることが確認されている[13]。今回のAES測定で観察された、ジャーマノシリサイドと基板Si界面におけるGeの偏析も、Siリッチな $C54-Ti(Si_{1-y}Ge_y)_2$ 形成に伴う、結晶粒界へのGeの掃き出しから生じたものであると考えられる。

熱処理に伴うGe原子の挙動を確かめる為に、 700°C 及び 800°C で30秒間のRTA処理を施した $Ti/Si_{0.5}Ge_{0.5}/Si$ 試料のAESによる深さ方向組成分析を行った。この結果を図6.6に示す。 700°C の熱処理によって、Ge原子はジャーマノシリサイド中を拡散し、金属/SiGe界面に偏析していることが分かる。Siのプロファイルの平坦な領域がジャーマノシリサイド層であると考え、この領域でのSiとGeの総量に対するGeの組成比を見積もると約0.29となる。 800°C のRTA後、Ge原子のプロファイルはほとんど変化していない。ジャーマノシリサイド中のSi原子の組成比は、 700°C RTA後において約

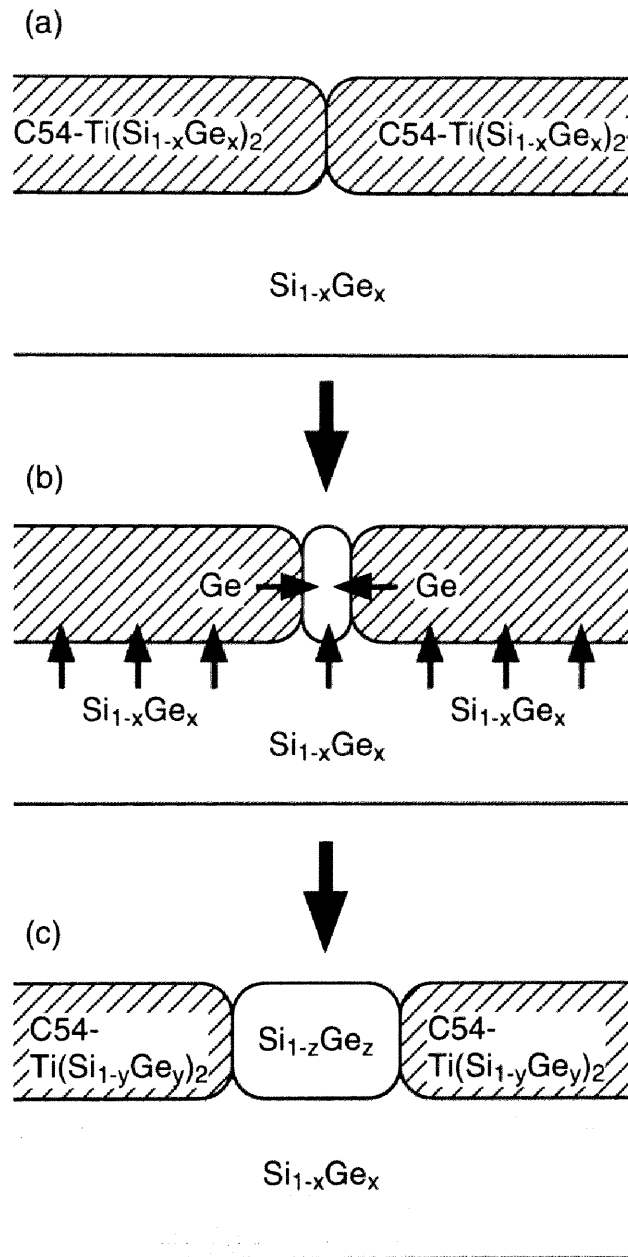


図6.5 $\text{Si}_{1-x}\text{Ge}_x$ 上における $\text{C54-Ti}(\text{Si}_{1-y}\text{Ge}_y)_2$ 形成の概略図[13]。

- (a) Tiと $\text{Si}_{1-x}\text{Ge}_x$ 層の反応初期において $\text{C54-Ti}(\text{Si}_{1-x}\text{Ge}_x)_2$ が形成される。
 (b) C54層中のGeがSiと置換することによって、余剰のGeがC54層の結晶粒界に掃き出される。
 (c) $\text{C54-Ti}(\text{Si}_{1-y}\text{Ge}_y)_2$ 層中のGe組成比は減少する。一方、 $\text{Si}_{1-x}\text{Ge}_x$ とGeの反応から、 $\text{Si}_{1-z}\text{Ge}_z$ が $(z>y)$ 形成される。

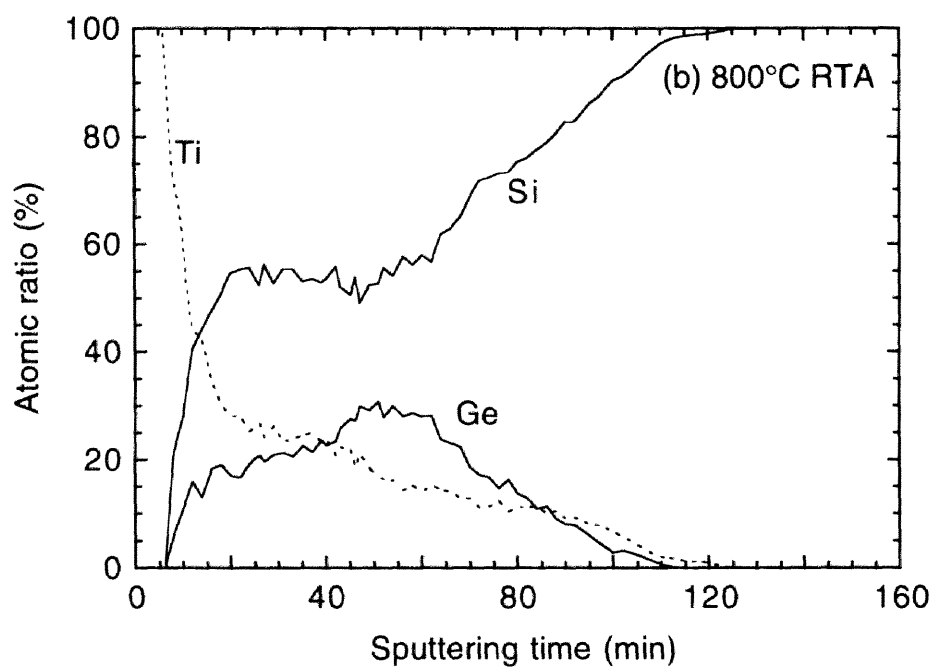
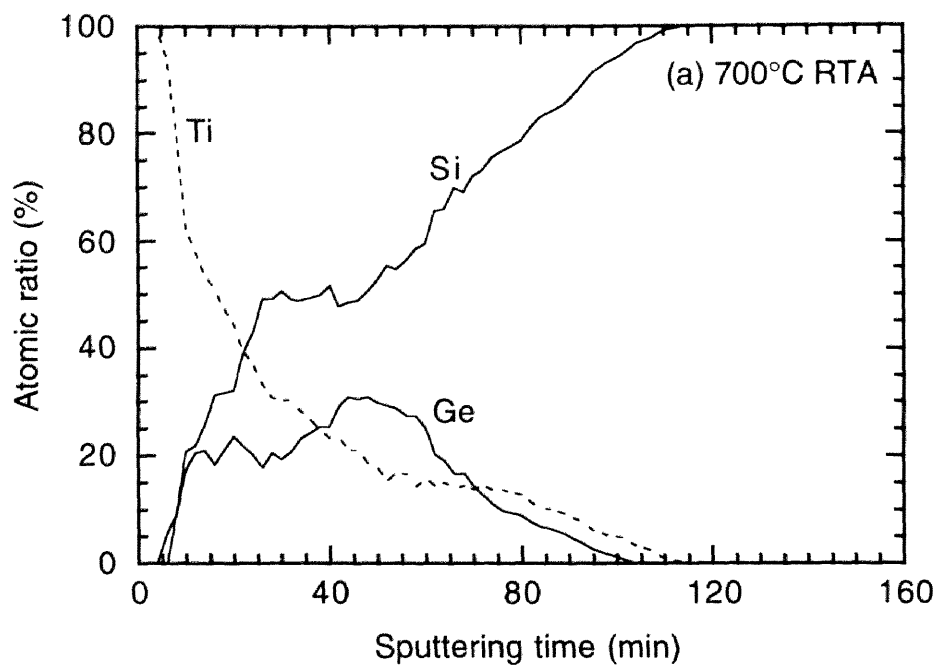


図6.6 Ti/Si_{0.5}Ge_{0.5}/Si試料の熱処理後のAES深さ方向プロファイル。
 (a) 700°CRTA処理後及び(b) 800°CRTA処理後。

50%だったのに対して、約55%と若干増加している。SiGeに対するGeの組成比を見積もると0.27となり、700°CRTA処理後の結果に比較して若干小さくなる。これは先に表6.1に示したXRD測定から得られた傾向に一致する。従って、C54-Ti(Si_{1-y}Ge_y)₂形成におけるSi組成比の増加は基板からジャーマノシリサイド中へのSi原子の拡散に起因していると考えられる。また、図6.6を見ると、700°C及び800°Cの熱処理後を実施することによってGeのジャーマノシリサイド/SiGe界面への偏析が見られる。Geの偏析はTiとSi_{0.5}Ge_{0.5}層の間の固相反応の結果生じるものと考えられ、これは後述するZr/Si_{0.5}Ge_{0.5}/Si系では見られない特徴的な現象である。

次に、C54-Ti(Si_{1-y}Ge_y)₂相形成に与えるGeの影響について考える。図6.7にTi/Si_{0.5}Ge_{0.5}/Si系及びTi/Si系の750°CRTA処理後のXRDパターンを示す。Ti/Si系では750°CRTA後においてもC49-及びC54-TiSi₂の両相が共に観察される。一方、Ti/Si_{0.5}Ge_{0.5}/Si系では、750°CRTA後にはC54-Ti(Si_{1-y}Ge_y)₂のピークしか観測されず、C49相からの相転移は完了していると思われる。これらの結果はGe原子の存在によって相転移が促進されたものと考えられる。Geが存在することによるC49相からC54相への相転移温度の低下に関しては、Aldrichらによっても報告されている[14]。

ここまで得られた結果に基づいて、Ti/Si_{0.5}Ge_{0.5}/Si系のRTA処理における固相反応の模式図を図6.8に示す。580°CのRTA処理においてTi₅Si₃が形成されるが、Geは反応に関与しないので、結晶層の外側に残り残されSiGe層との界面にGeリッチな層を形成すると推測される(図6.8(a))。700°CのRTA処理によって、C49-TiSi₂の形成が確認される(図6.8(b))。また、AESを用いた深さ方向組成分析からは、C49-TiSi₂層とSiGe層との界面にGeリッチな層の存在が観測される。この熱処理温度における、形成物がシリサイドであることから、GeがSiGe層に残されている状態が推測される。また、同時にTi原子が深くまで拡散していることも確認される。750°CのRTA処理後、C49-TiSi₂がC54-Ti(Si_{1-y}Ge_y)₂に相転移していることが確認される(図6.8(c))。C54-Ti(Si_{1-y}Ge_y)₂層中のGe組成比は、約0.26で元来のSi_{0.5}Ge_{0.5}層の組成比に比較して、Ge組成比が小さいことがわかる。従って、残り残されたGeによって界面にGeリッチなSiGe層が存在していると考えられる。更に、高温の800°C及び900°CのRTA処理後においては、C54-Ti(Si_{1-y}Ge_y)₂層中のGe組成比はそれぞれ0.24及び0.17

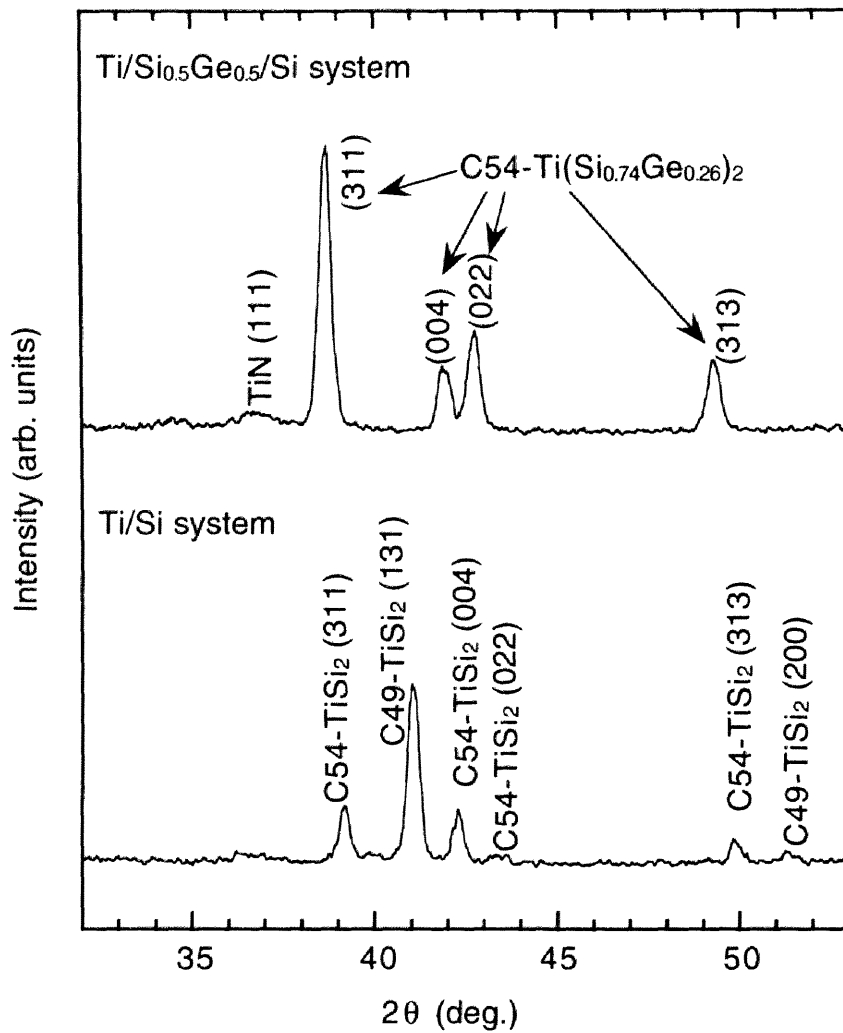
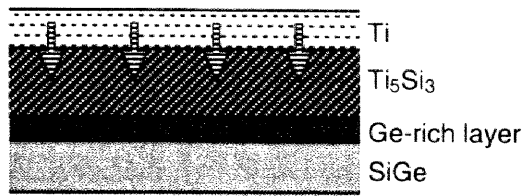


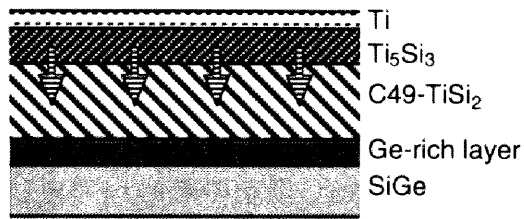
図6.7 Ti/Si_{0.5}Ge_{0.5}/Si系及びTi/Si系の750°CRTA処理後のXRDパターン。



Si-substrate

(a) 580°C RTA

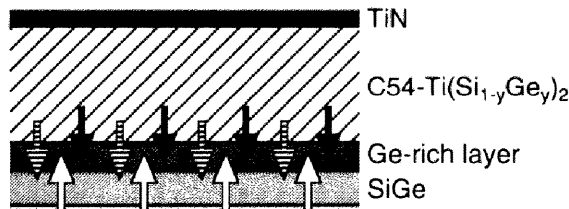
- ・ Ti_5Si_3 の形成
- ・ Geリッチ層の形成



Si-substrate

(b) 700°C RTA

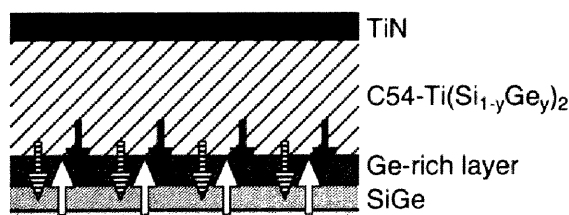
- ・ C49- $TiSi_2$ の形成
- ・ Geリッチ層の形成
- ・ Tiの基板側への拡散



Si-substrate

(c) 750°C RTA

- ・ C54- $Ti(Si_{1-y}Ge_y)_2$ への相転移
- ・ Geリッチ層の形成
- ・ Tiの基板側への拡散
- ・ TiNの形成



Si-substrate

(d) 800°C、900°C RTA

- ・ C54- $Ti(Si_{1-y}Ge_y)_2$ 層のGe組成比の減少
- ・ Geリッチ層の形成
- ・ Tiの基板側への拡散
- ・ TiNの形成

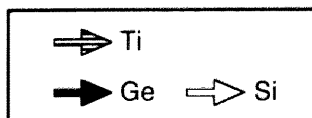


図6.8 Ti/Si_{0.5}Ge_{0.5}/Si系のRTA処理における固相反応の模式図。

であり、Ge組成比の減少が見出される（図6.8(d)）。C54-Ti(Si_{1-y}Ge_y)₂中のGeがSiと置換することによって、結晶層の外に掃き出され、界面に偏析してGeリッチ層を形成すると推測される。

図6.9に、Ti/Si_{0.5}Ge_{0.5}/Si系及びTi/Si系のRTA処理後におけるシート抵抗の熱処理温度依存性を示す。Ti/Si_{0.5}Ge_{0.5}/Si系ではTi/Siの場合と同様に、熱処理によってC49相からC54相へ相転移が起こるとシート抵抗は大きく減少する。750℃のRTA処理によってシート抵抗は最小値3.4Ω/sq.となる。この値は、800℃RTA後のTi/Si系におけるC54-TiSi₂のシート抵抗値1.9Ω/sq.と同程度の十分に低い値である。しかし、Ti/Si系のシート抵抗がより高温の熱処理でも一定値を保っているのに比較して、Ti/Si_{0.5}Ge_{0.5}/Si系におけるC54-Ti(Si_{1-y}Ge_y)₂の抵抗値は750℃以上の熱処理で再び若干増加する。この抵抗値の増大は、先述したC54-Ti(Si_{1-y}Ge_y)₂から結晶粒界へのGeの掃き出しに起因するものと考えられる。即ち、ジャーマノシリサイドの結晶粒界にGeが析出してSiGeの結晶粒を形成した結果、高抵抗部が生じて膜全体のシート抵抗が増大したものと推測される。

6.4 Zr/Si_{0.5}Ge_{0.5}/Si系の固相反応

Zr/Si_{0.5}Ge_{0.5}/Siに580℃～900℃で30秒間のRTA処理を施した試料のXRDパターンを図6.10に示す。比較の為、図6.11にZr/Si系の試料に同様の熱処理を施したときのXRDパターンを示す。図6.10を見ると、580℃のRTA処理においてジャーマナイドであるZr₅Ge₄及びZrに関連したピークが観察された。しかし、この熱処理温度ではシリサイドに起因したピークは観察されなかった。また700℃～900℃のRTA処理後の試料では、C49-Zr(Si_{1-y}Ge_y)₂の形成が確認された。これはTi/Si_{0.5}Ge_{0.5}/Si系の場合と同様に、Zr-Si-Geの三元固溶物であるジャーマノシリサイドの形成を示しているものである。以上の結果は、Zr/Si_{1-x}Ge_x/Si系ではZrはSiよりもGeとより反応しやすいことを示唆している。一方、図6.11を見るとZr/Si系においては、700℃以下のRTA処理試料ではXRDパターンに特徴のあるピークは見られず、800℃以上のRTA処理でC49-ZrSi₂の形成が確認される。以上の結果から、Zr/Si_{1-x}Ge_x/Si系においてはZr/Si系に比較してC49相の形成がより低温で起こることが分かる。これは、Ti/SiGe系においてC49相か

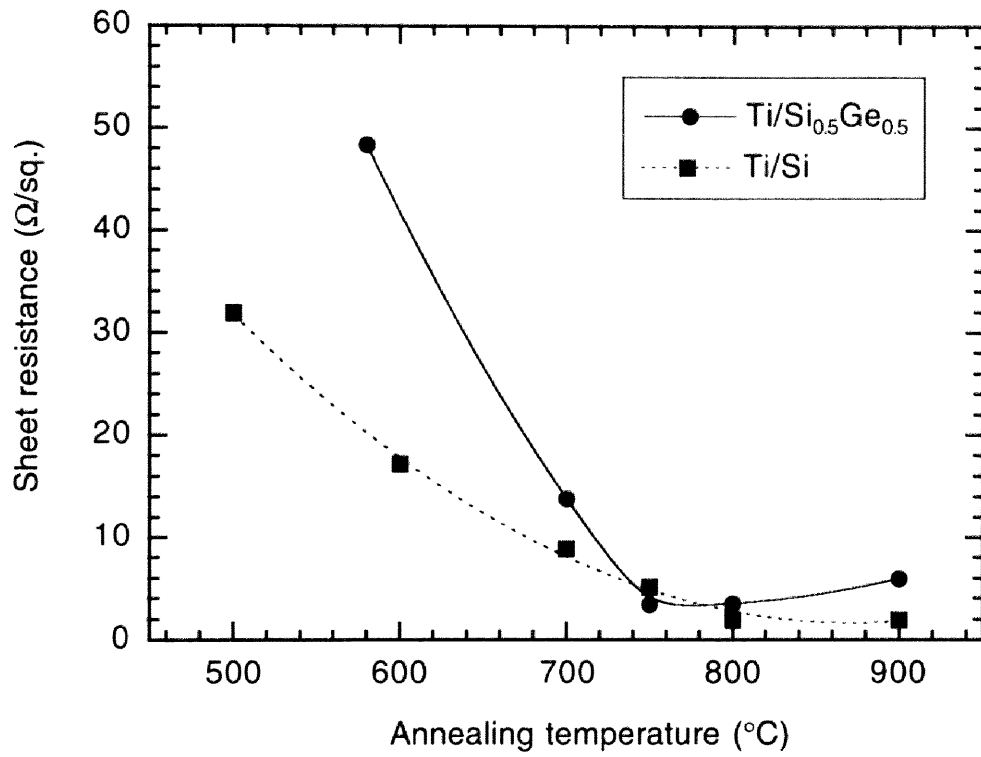


図6.9 Ti/Si_{0.5}Ge_{0.5}/Si系及びTi/Si系のシート抵抗の熱処理温度依存性。

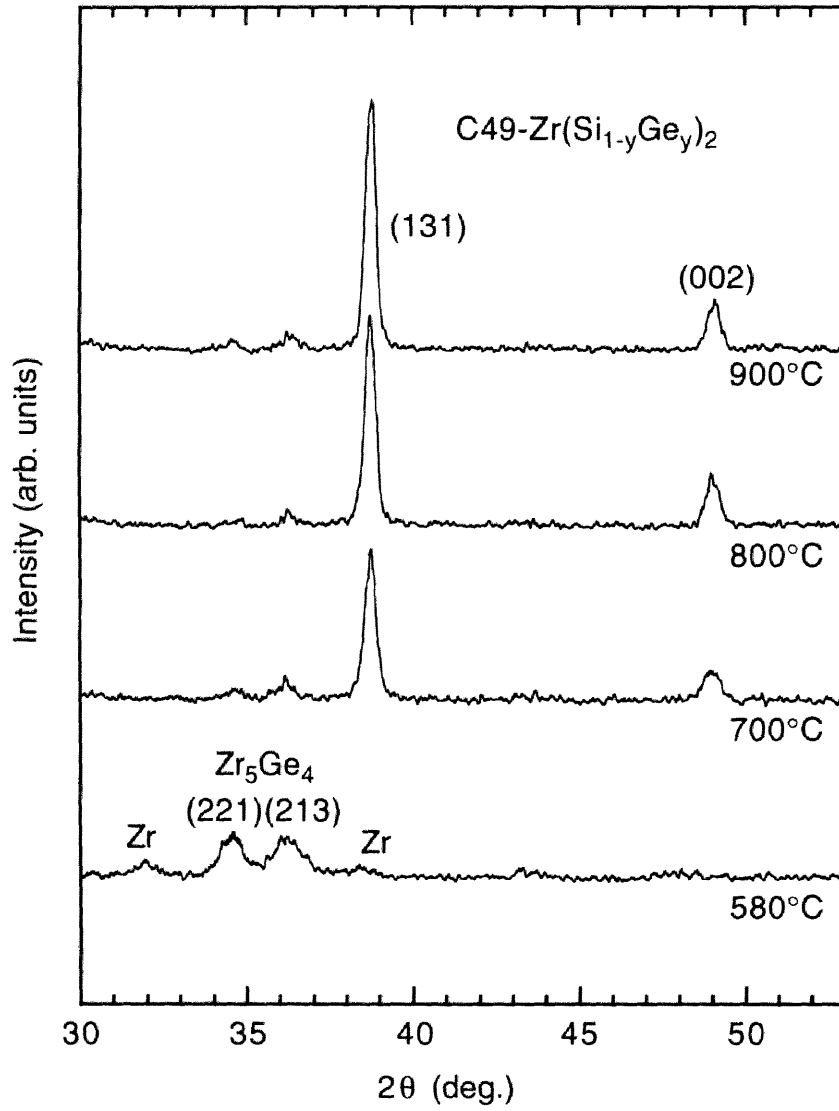


図6.10 Zr/Si_{0.5}Ge_{0.5}/Si系のRTA処理後のXRDパターン。

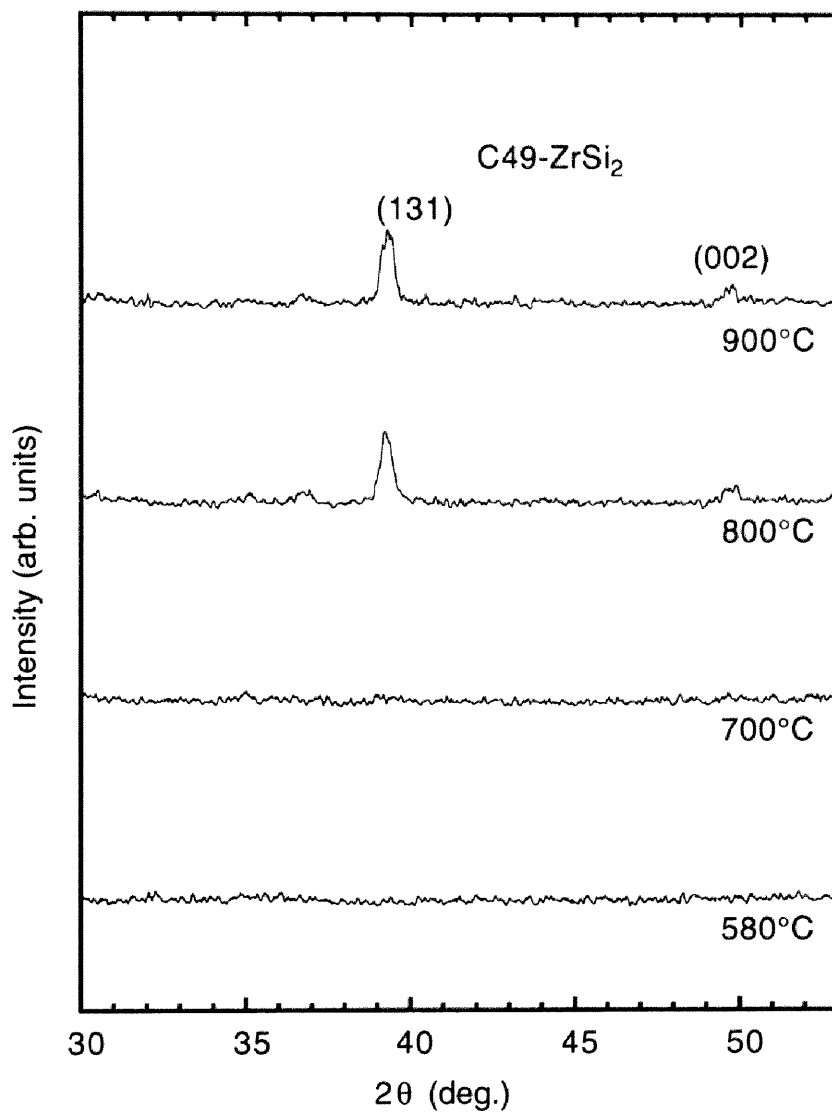


図6.11 Zr/Si系のRTA処理後のXRDパターン。

らC54相への相転移温度が低下した場合と同様に、Ge原子が介在することでC49-Zr(Si_{1-y}Ge_y)₂の形成温度が低下したものと考えられる。

C54-Ti(Si_{1-y}Ge_y)₂の場合と同様に、700℃～900℃RTA処理後に形成されたC49-Zr(Si_{1-y}Ge_y)₂中のGeの組成比をXRDパターンのピーク位置から評価した。Ge組成比の熱処理温度依存性を図6.12に示す。また、Ti/Si_{0.5}Ge_{0.5}/Si系から得られたC54-Ti(Si_{1-y}Ge_y)₂の結果も同図に併せて示す。700℃から900℃の熱処理温度におけるC49-Zr(Si_{1-y}Ge_y)₂中のGe組成比は約0.38であり、C54-Ti(Si_{1-y}Ge_y)₂中のGe組成比と比較すると、この温度領域においてはほとんど変化しないことが分かる。即ち、SiGe上に形成されるC49-Zr(Si_{1-y}Ge_y)₂は、C54-Ti(Si_{1-y}Ge_y)₂と比較して安定な相であると考えられる。Wangらは、 $x=0.0\sim 0.5$ の範囲で変化させたZr/Si_{1-x}Ge_x/Si系に熱処理を施した時の固相反応を調べている[25]。それによると、700℃、20分間の熱処理によって、C49-Zr(Si_{1-y}Ge_y)₂中のGe組成比はSiGe層と同じ組成比、 $y=x$ となると報告している。本実験では、C49-Zr(Si_{1-y}Ge_y)₂中のGe組成比 y は元来のSi_{0.5}Ge_{0.5}層中のGe組成比0.5よりも小かった。また、900℃の熱処理後においても、XRDパターン中にジャーマノシリサイド以外の結晶相であるZr₅Ge₄のピークが若干ではあるが確認できる。以上の結果を考慮すると、今回の30秒間のRTA処理ではC49-Zr(Si_{1-y}Ge_y)₂層の形成が完了しておらず、反応が過渡的な状態であることが推測される。

6.5 固相反応と電気的特性の関係

ここまで述べた固相反応の結果を踏まえると、図6.2に示したTi/Si_{1-x}Ge_x/Si及びZr/Si_{1-x}Ge_x/Si系におけるショットキー障壁高さの和の挙動の違いを、以下の様に考察することができる。先述した様に、Ti/Si_{1-x}Ge_x/Si系の低温度熱処理の状態においてはSi原子がTi原子と優先的に反応し、Ge原子が反応を開始するのは400℃以上であるという報告がある[6]。この事実から400℃以下の低温領域においてはSiが優先的に消費された結果、コンタクト中間層であるSiGe層は初期の段階よりもGeリッチな状態になり、ショットキー障壁高さの和、即ちSiGe層のバンドギャップ幅が予想される値よりも低下したものと考えられる。また、400℃から700℃へ熱処理温度の増大に伴って、Ge原子が金属/SiGe界面に更に偏析した結果ショットキー障壁高さの和がよ

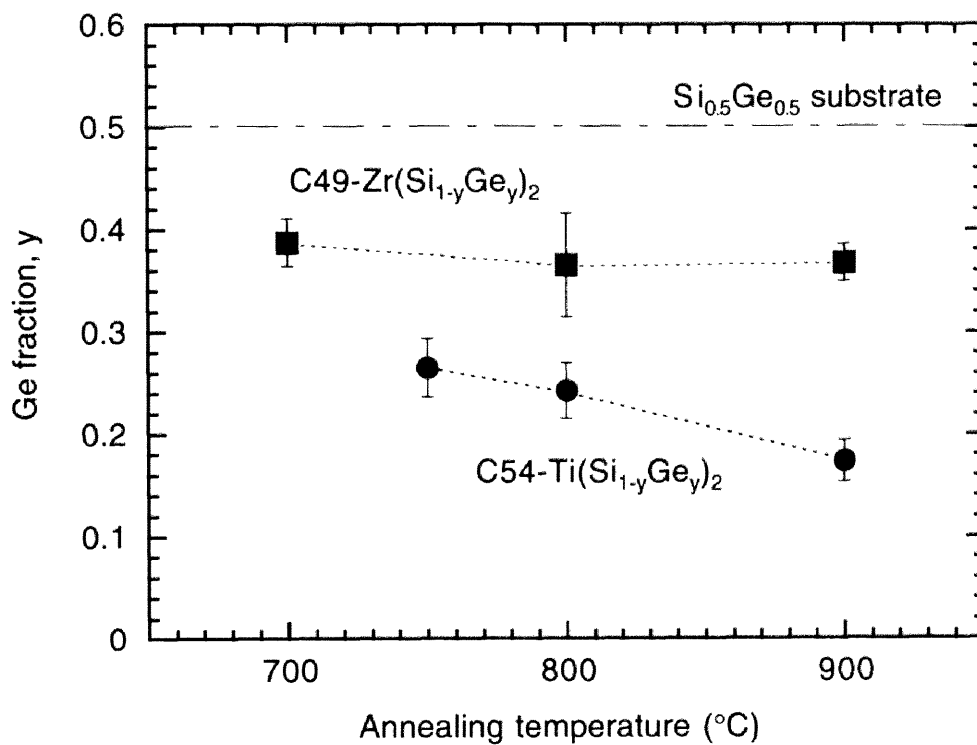


図6.12 $\text{C49-Zr}(\text{Si}_{1-y}\text{Ge}_y)_2$ 及び $\text{C54-Ti}(\text{Si}_{1-y}\text{Ge}_y)_2$ 中のGe組成比の熱処理温度依存性。一点鎖線は熱処理前のSiGe中間層のGe組成比。

り減少したものと推測できる。一方、Zr/Si_{1-x}Ge_x/Si系ではGeの界面への偏析は見られない。この為、初期に形成したSiGe層から予想されるショットキー障壁高さに比較的近い値が得られたと考えられる。以上の結果から、ショットキー障壁高さの様な電気的特性は、金属、Si及びGeの三元系の固相反応の違いに強く影響を受けることが明らかになった。

6.6 まとめ

本章では、Ti及びZr/Si_{0.5}Ge_{0.5}/Si系におけるRTA処理による界面固相反応についてXRD及びAESを用いて研究を行った。Ti/Si_{0.5}Ge_{0.5}/Si系においては700℃のRTA処理後、Ti₅Si₃及びC49-TiSi₂の形成が確認された。また、このC49-TiSi₂はTi/Si系に比較して低温である750℃のRTA処理によって、完全にC54-Ti(Si_{1-y}Ge_y)₂に相転移することが分かった。C54-Ti(Si_{1-y}Ge_y)₂中のGe組成は基板のSi_{0.5}Ge_{0.5}層に比較して小さく、シリッチなC54-Ti(Si_{1-y}Ge_y)₂が形成されることが分かった。また、熱処理温度の増加に伴って、C54-Ti(Si_{1-y}Ge_y)₂中のGe組成比が徐々に減少することが明らかになった。この時、余剰のGe原子はC54-Ti(Si_{1-y}Ge_y)₂の結晶粒の粒界に析出しているものと考えられる。AESを用いた深さ方向組成分析から、熱処理によってC54-Ti(Si_{1-y}Ge_y)₂/Si界面にGeが偏析していることが確認された。

一方、Zr/Si_{0.5}Ge_{0.5}/Si系においては、580℃RTA処理でZr₅Ge₄、700℃以上のRTA処理でC49-Zr(Si_{1-y}Ge_y)₂が形成されることを確認した。C49-Zr(Si_{1-y}Ge_y)₂層中のGe組成比は熱処理温度に依らず一定であり、Ti/Si_{0.5}Ge_{0.5}/Si系におけるC54-Ti(Si_{1-y}Ge_y)₂のGe組成比に比較すると、元来のSi_{0.5}Ge_{0.5}層中のGe組成比0.5に近い。加えて、Zr/Si_{0.5}Ge_{0.5}/Si系ではTi系で見られた金属/Si界面へのGeの偏析現象が見られないことが明らかになった。

固相反応と電気的特性の結果の比較から、Ti/SiGe系においてはGeがTiシリサイド/Si_{1-x}Ge_x界面に偏析する結果、Si_{1-x}Ge_x層のバンドギャップが更に縮小する。これは、より安定なジャーマノシリサイドを形成するZr系では見られない現象である。Ti及びZr/Si_{0.5}Ge_{0.5}/Si系での固相反応の違いは、界面における電気的特性と強く相関を持っており、金属/SiGe/Si系コンタクトにおける、バンドギャップエンジニアリング

を検討する時、界面固相反応の制御が重要な要素であることが明らかになった。

6.7 参考文献

- [1] S. Zaima, T. Yamauchi, Y. Koide, and Y. Yasuda, *Appl. Surf. Sci.* **70/71**, 624 (1993).
- [2] S. Zaima, N. Wakai, T. Yamauchi, and Y. Yasuda, *J. Appl. Phys.* **74**, 6703 (1993).
- [3] Y. Yasuda and S. Zaima, in *Advanced Metallization for ULSI Applications in 1993*, edited by D. P. Favreau et al. (Material Research Society, Pittsburgh, PA, 1994), p. 191.
- [4] S. Zaima and Y. Yasuda, in *Proceedings of the 1995 MRS Spring Meeting Symposium*, edited M. Liehr et al. (Material Research Society, Pittsburgh, PA, 1996), vol. 386, p. 215.
- [5] H. Shinoda, M. Kosaka, J. Kojima, H. Ikeda, S. Zaima, and Y. Yasuda, *Appl. Surf. Sci.* **100/101**, 526 (1996).
- [6] J. Kojima, S. Zaima, H. Shinoda, H. Iwano, H. Ikeda, and Y. Yasuda, *Appl. Surf. Sci.* **117/118**, 317 (1997).
- [7] S. Zaima, J. Kojima, H. Shinoda and Y. Yasuda, in *Advanced Metallization and Interconnect Systems for ULSI Applications in 1996*, edited by R. Havemann et al. (Materials Research Society, Pittuburgh, PA, 1997), p. 223.
- [8] S. Zaima and Y. Yasuda, *J. Vac. Sci. Technol. B* **16**, 2623 (1998).
- [9] C. G. van de Walle and R. Martin, *Phys. Rev. B* **34**, 5621 (1986).
- [10] K. Suguro and A. Murakoshi, in *Proc. Advanced Metallization and Interconnect Systems for ULSI Applications in 1996* (Material Research Society, Pittuburgh, PA, 1997) p. 217.
- [11] R. A. Donaton, M. Stucchi, S. Jin, H. Bender, K. Maex, A. Vantomme and G. Langouche, in *Proc. Advanced Metallization and Interconnect Systems for ULSI Applications in 1996* (Material Research Society, Pittuburgh, PA, 1997) p. 565.
- [12] O. Thomas, F. M. D'Heurle, S. Delage and G. Scilla, *Appl. Surf. Sci.* **38**, 27 (1989).
- [13] D. B. Aldrich, Y. L. Chen, D. E. Sayers, R. J. Nemanich, S. P. Ashburn, and M. C. Öztürk, *J. Appl. Phys.* **77**, 5107 (1995).
- [14] D. B. Aldrich, H. L. Heck, Y. L. Chen, D. E. Sayers, and R. J. Nemanich, *J. Appl. Phys.* **78**, 4958 (1995).

- [15] J. B. Lai and L. J. Chen, *J. Appl. Phys.* **86**, 1340 (1999).
- [16] W. J. Qi, B. Z. Li, W. N. Huang, Z. G. Gu, H. Q. Lu, X. J. Zhang, G. S. Dong, D. C. Miller and R. G. Aitken, *J. Appl. Phys.* **77**, 1086 (1995).
- [17] R. A. Donaton, S. Kolodinski, M. Caymax, P. Roussel, H. Bender, B. Brijs and K. Maex, *Appl. Surf. Sci.* **91**, 77 (1995).
- [18] K. Prabhakaran, K. Sumitomo and T. Ogino, *Surf. Sci.* **421**, 100 (1999).
- [19] P. T. Goeller, B. I. Boyanov, D. E. Sayers and R. J. Nemanich, *Thin Solid Films* **320**, 206 (1998).
- [20] O. Nur, M. Willander, L. Hultman, H. H. Radamson, G. V. Hansson, M. R. Sardela, Jr. and J. E. Greene, *J. Appl. Phys.* **78**, 7063 (1995).
- [21] X. Xiao, J. C. Sturm, S. R. Parihar, S. A. Lyon, D. Meyerhofer, Palfrey and F. V. Shallcross, *IEEE Electron Device Lett.* **EDL-14**, 199 (1993).
- [22] H. K. Liou, X. Wu, U. Gennser, V. P. Kesan, S. S. Iyer, K. N. Tu and E. S. Yang, *Appl. Phys. Lett.* **60**, 577 (1992).
- [23] A. Baxbaum, M. Eizenberg, A. Raizman and F. Schaffler, *Appl. Phys. Lett.* **59**, 665 (1991).
- [24] C. K. Chung and J. Hwang, *Thin Solid Films* **239**, 112 (1994).
- [25] Z. Wang, D. B. Aldrich, R. J. Nemanich and D. E. Sayers, *J. Appl. Phys.* **82**, 2342 (1997).
- [26] R. People and J. C. Bean, *Appl. Phys. Lett.* **47**, 322 (1985).
- [27] Q. Z. Hong, K. Barmak and F. M. d'Heurle, *Appl. Phys. Lett.* **62**, 3435 (1993).
- [28] N. Boutarek and R. Madar, *Appl. Surf. Sci.* **73**, 209 (1993).

第7章 総括

第7章

総括

7.1 本研究の要約

MOSFETの極微細化達成の為には、制御性が高くかつ低いコンタクト抵抗率を有する金属/半導体界面の形成が必要となる。本研究では第4章及び第5章において、金属材料としてCoを選択し、RTA法を用いて作製した CoSi_2/Si 界面の電気的特性について研究した結果について述べた。また第6章においては、界面中間層としてのSiGe層の導入に注目し、Ti及びZr/SiGe/Si系の固相反応を観察した結果を示し、電気的特性との関連性について検討した。本研究で得られた主要な結論は以下の通りである。

(1) 制御性に優れた CoSi_2/Si 界面形成技術の確立を目的に、シリサイド形成にRTA法を導入し、Coシリサイド形成時における固相反応と電気的特性の相関について調べた。

CoSi及び $\text{CoSi}_2/\text{p-Si}$ 接合においては、順方向電圧印加時のI-V特性は熱放出電流が支配的となり、理想的なショットキー接合が形成されることが分かった。700°CのRTA処理によって界面欠陥を介したリーク電流が増大するが、800°CのRTA処理を行うことでこの成分は著しく低減できた。DLTSの測定において、580°C以上でRTA処理を行った試料においては、界面欠陥が検出限界以下の低密度であった。

一方、CoSi及び $\text{CoSi}_2/\text{n-Si}$ 接合においては、順方向のI-V特性はp型の場合に比較して理想因子が大きく、界面欠陥を介したマルチステップトンネル電流成分の寄与が大きいことが分かった。逆方向電圧印加時のI-V特性からも、熱処理温度の上昇に伴って、欠陥準位を介したマルチステップトンネル電流が増大することが明らかになった。DLTS測定から、580°C及び700°CのRTA処理において、Si中の空孔に起因すると見られる欠陥準位が観測された。これはCoSi形成過程において、SiがCo中へ拡散する際に生成された欠陥であると考えられる。

(2) コンタクト抵抗率の下限を追求する為、Bのイオン注入を用いて作製した異なる不純物濃度を持つSi基板における $\text{CoSi}_2/\text{p}^+\text{-Si}$ 接合のコンタクト抵抗率について調べた。また、高不純物濃度半導体におけるバンド構造及び状態密度の変化を考慮に入れたコンタクト抵抗率の数値計算を行い、実験結果との比較を行った。

RTA処理によってCoシリサイドを形成した試料では、 $580\sim 800^\circ\text{C}$ の熱処理温度領域においてコンタクト抵抗率はほぼ一定であった。一方、30分間の熱処理を施した試料では、 700°C の熱処理によってコンタクト抵抗率は大きく増加した。これは長時間の熱処理を行うことによって、界面近傍の不純物原子がシリサイド中に再分布し、界面の不純物濃度が低下する為であると推測される。

高不純物濃度半導体中における不純物バンドの形成、バンドテイリング及びキャリアと不純物原子の相互作用を考慮して、状態密度の変化を考察した。これを基にフェルミ準位を求め、金属/半導体界面を流れるトンネル電流の計算を行って、コンタクト抵抗率の界面不純物濃度依存性を求めた。従来の単一の不純物準位を仮定した計算と比較して、これらのモデルを取り入れることによって、 n^+ 型に対するコンタクト抵抗率は一桁近く低く修正されることが明らかになった。一方、 p^+ 型のコンタクトではモデルによる差異が比較的小さかった。この違いは電子と正孔との間の状態密度有効質量等の差に起因するものであると考えられる。

$\text{CoSi}_2/\text{p}^+\text{-Si}$ 接合のコンタクト抵抗率の界面不純物濃度依存性は、ショットキー障壁高さ $0.3\sim 0.4\text{eV}$ に対する数値計算の結果に近い傾向を示した。 $\text{CoSi}_2/\text{p-Si}$ ショットキーダイオードのI-V測定から得られた障壁高さは約 0.4eV であり、実験結果が数値計算に一致することを確認した。またSi基板中の固溶限を越える程、高濃度にBが注入された場合、不純物の活性化は熱処理温度における固溶限によって制限される。その結果、コンタクト抵抗率も固溶限によって制限されることが明らかになった。

(3) 界面バンド構造の制御によるコンタクト抵抗率低減を目的として、Ti及びZr/ $\text{Si}_{0.5}\text{Ge}_{0.5}/\text{Si}$ 系にRTA処理を施した時の界面固相反応について研究を行った。Ti/ $\text{Si}_{0.5}\text{Ge}_{0.5}/\text{Si}$ 系においては、 700°C のRTA処理によって Ti_5Si_3 及びC49- TiSi_2 の形成が確認された。 750°C のRTA処理によってC49- TiSi_2 は完全にC54- $\text{Ti}(\text{Si}_{1-y}\text{Ge}_y)_2$ に相転移

することがわかった。この相転移温度はTi/Si系におけるC49-TiSi₂からC54-TiSi₂への相転移温度に比較して低い。また、このジャーマノシリサイド中のGe組成比は約0.26であり基板上のSi_{0.5}Ge_{0.5}層に比較して小さく、SiリッチなC54-Ti(Si_{1-y}Ge_y)₂が形成されることが分かった。更に、熱処理温度の増加に伴って、C54-Ti(Si_{1-y}Ge_y)₂中のGe組成比が徐々に減少することを見出した。AESを用いた深さ方向組成分析から、熱処理後にC54-Ti(Si_{1-y}Ge_y)₂/Si界面にGeが偏析していることが明らかになった。C54-Ti(Si_{1-y}Ge_y)₂層中のGe組成比低減の際に、余剰のGe原子はC54-Ti(Si_{1-y}Ge_y)₂の結晶粒の粒界に析出しているものと考えられる。

一方、Zr/Si_{0.5}Ge_{0.5}/Si系においては、580°CRTA処理によってZr₅Ge₄、及び700°C以上のRTA処理によってC49-Zr(Si_{1-y}Ge_y)₂が形成される。C49-Zr(Si_{1-y}Ge_y)₂層中のGe組成比は約0.38であり、Ti/Si_{0.5}Ge_{0.5}/Si系の場合に比較すると、元来のSi_{0.5}Ge_{0.5}層中のGe組成比0.5に近い。加えて、C49-Zr(Si_{1-y}Ge_y)₂層中のGe組成比は熱処理温度に対して一定で、Ti/Si_{0.5}Ge_{0.5}/Si系で見られた金属/Si界面へのGeの偏析現象も見られなかった。従って、Zr/Si_{0.5}Ge_{0.5}/Si系ではTi系に比較して安定なジャーマノシリサイドが形成されるものと考えられる。

これらの固相反応を電気的特性と対応づけると、Ti系においてはGeがTiシリサイド/Si_{1-x}Ge_x界面に偏析する結果、Si_{1-x}Ge_x層のバンドギャップが更に縮小する。これは、より安定なジャーマノシリサイドを形成するZr系では見られない現象である。Ti及びZr/Si_{0.5}Ge_{0.5}/Si系での固相反応の違いによって、界面における電気的特性が大きく影響を受けることが明らかになった。

7.2 今後の展望

ULSI微細化の要求は、設計ルールが0.1μmの領域に入った現在でも絶えることなく続いている。今後の極微細化を支える為には、金属/半導体界面の固相反応のより精密な制御及びコンタクト抵抗率の更なる低減は必須の課題である。特に、接合破壊やコンタクト抵抗率に影響する界面欠陥の生成機構の理解及び抑制技術の開発が、益々重要になると考えられる。その為には、RTA等を用いた制御性の高い界面形成技術の開発が必須である。また、接合における不純物濃度の増加は、単純な金

属-Si系の2元系ではなく、金属-Si-不純物系と言った多元系の固相反応及び電気的特性の理解を要求してくる。これは、コンタクト抵抗率低減のための金属/SiGe/Si構造においても同様であり、金属-Si-Geあるいは金属-Si-Ge-不純物と言った3元系や4元系の複雑な固相反応を解明する必要に迫られつつある。今後、この様な多元系の固相反応過程と電気的特性の相関の詳細な解明が、将来のULSI開発におけるコンタクト形成技術には必要不可欠の課題であると考えられる。

謝辞

本論文は、筆者が名古屋大学大学院工学研究科結晶材料工学専攻博士課程後期課程在学中に携わった研究の成果をまとめたものです。

本研究の機会を与えて頂き、懇切なる御指導と御鞭撻を賜りました、名古屋大学先端技術共同研究センター財満鎮明教授並びに名古屋大学大学院工学研究科安田幸夫教授に心より感謝の意を表します。本論文に対し、貴重な御助言と的確な御教示を賜りました、名古屋大学大学院工学研究科松井正顯教授に深く感謝致します。

研究の推進に際して的確な御助言を賜りました、名古屋大学大学院工学研究科酒井朗助教授に深く感謝致します。日頃の研究活動において、有益な御討論をして頂き、多数の御助言を頂きました、名古屋大学大学院工学研究科岩野博隆元助手(現在、クラリオン株式会社勤務)、池田浩也助手、坂下満男助手並びに日本学術振興会未来開拓学術研究推進事業Post Doctral Fellow岡田昌久氏に深く感謝致します。

本論文中の拡がり抵抗測定の結果は、株式会社豊田中央研究所集積化デバイス研究室渡辺行彦氏並びに諸氏の御協力によって得られました。また、コンタクト抵抗測定用試料作製の一部では、株式会社日本電装（現在、株式会社デンソー）の諸氏の御協力を頂きました。皆様には深く感謝致します。

日々の研究生活において、公私に渡り御世話になりました名古屋大学大学院工学研究科結晶材料工学専攻結晶デバイス工学講座の諸氏に心より御礼申し上げます。特に、林宏樹氏(現在、松下電器株式会社勤務)、住田龍也氏(現在、富士通株式会社勤務)、芦澤哲夫氏(現在、富士通株式会社勤務)、吉永元基氏、山中章氏、仲井健理氏並びに飛岡晃洋氏には、共同研究者として多大なる御協力を頂きましたことを心より感謝致します。大変有り難うございました。また、研究室での日常の生活に便宜を図って下さいました浅井祥子氏、大西裕子氏、松永直子氏並びに河尻幸江氏に心より御礼申し上げます。

最後に私の意志を尊重して博士課程進学を勧奨し、日々支えてくれた父、母並びに応援してくれた弟達に心より感謝します。

研究業績

主論文

1. Osamu Nakatsuka, Tetsuo Ashizawa, Hirotaka Iwano, Shigeaki Zaima, and Yukio Yasuda, “Formation and Electrical Properties of Co/Si Contacts by Rapid Thermal Annealing” , in *Advanced Metallization Conference in 1998*, (Material Research Society, Warrendale, Pennsylvania, 1999) pp. 605-611.
2. Osamu Nakatsuka, Tetsuo Ashizawa, Kenri Nakai, Akihiro Tobioka, Akira Sakai, Shigeaki Zaima, and Yukio Yasuda, “Dependence of Contact Resistivity on Impurity Concentration in Co/Si Systems”, *Appl. Surf. Sci.*, to be published.
3. Yukio Yasuda, Osamu Nakatsuka, and Shigeaki Zaima, “Interfacial reactions of Ti/ and Zr/Si_{1-x}Ge_x/Si contacts with rapid thermal annealing” (Invited), *Thin Solid Films*, to be published.
4. Hirotaka Iwano, Hiroki Hayashi, Motoki Yoshinaga, Osamu Nakatsuka, Shigeaki Zaima, and Yukio Yasuda, “Effect of Ge atoms on Interfacial Reactions of Ti/ and Zr/Si_{1-x}Ge_x/Si Contacts”, in *Advanced Metallization Conference in 1998*, (Material Research Society, Warrendale, Pennsylvania, 1999), pp. 599-604.

本研究に関する発表 (*は共同発表)

国際会議

1. Osamu Nakatsuka, Tetsuo Ashizawa, Hirotaka Iwano, Shigeaki Zaima, and Yukio Yasuda, “Formation and Electrical Properties of Co/Si Contacts by Rapid Thermal Annealing”, *Advanced Metallization Conference 1998*, Tokyo, Japan, September, 1998.
2. Osamu Nakatsuka, Tetsuo Ashizawa, Kenri Nakai, Akihiro Tobioka, Akira Sakai, Shigeaki Zaima, and Yukio Yasuda, “Dependence of Contact Resistivity on Impurity Concentration in Co/Si System”, *Third International Symposium on Control of Semiconductor Interfaces*, Karuizawa, Japan, October, 1999.
3. *Yukio Yasuda, Osamu Nakatsuka, and Shigeaki Zaima, “Formation of Metal/SiGe/Si

contact for ULSI applications” (Invited), 11th International Conference on Thin Films, Cancun, Mexico, August, 1999.

国内会議

1. 中塚理, 芦澤哲夫, 磯部泰充, 岩野博隆, 財満鎮明, 安田幸夫, “RTA処理によるCo/Si系コンタクトの形成と電気伝導特性” (講演番号30aN9), 1998年春季第45回応用物理学関係連合講演会, 東京工科大学, 1998年3月.
2. 中塚理, 芦澤哲夫, 仲井健理, 飛岡晃洋, 酒井朗, 財満鎮明, 安田幸夫, “高濃度イオン注入におけるCo/Si界面のコンタクト抵抗に関する研究” (講演番号3aZN8), 1999年秋季第60回応用物理学会学術講演会, 甲南大学, 1999年9月.

ポスター発表

1. Osamu Nakatsuka, Tetsuo Ashizawa, Hirotaka Iwano, Shigeaki Zaima, and Yukio Yasuda, “Electrical properties and contact resistances of Co/Si contact by rapid thermal annealing”, International Workshop on Development of Thin Films for Future ULSI's and Nano-Scale Process Integration, Nagoya, Japan, November, 1998.
2. Osamu Nakatsuka, Hiroki Hayashi, Motoki Yoshinaga, Hirotaka Iwano, Shigeaki Zaima, and Yukio Yasuda, “Effect of Ge atoms in germanosilicide formation of Ti/ and Zr/Si_{1-x}Ge_x/Si contacts”, International Workshop on Development of Thin Films for Future ULSI's and Nano-Scale Process Integration, Nagoya, Japan, November, 1998.

その他の発表

口頭発表

1. 中塚理, 近藤博基, 岩野博隆, 財満鎮明, 安田幸夫, “ランダムレジスタネットワークモデルによる1次元可変領域ホッピング伝導における電界効果の考察” (講演番号27aZW10), 1995年秋季第56回応用物理学会学術講演会, 金沢工業大学, 1995年8月.
2. 中塚理, 近藤博基, 加賀和孝, 岩野博隆, 財満鎮明, 安田幸夫, “p型Si極微細イオン注入領域における可変領域ホッピング伝導” (講演番号9aPB1), 1996年秋季第57回応

用物理学会学術講演会, 九州産業大学, 1996年9月.

関連した研究論文

1. Hiroki Kondo, Hirotaka Iwano, Osamu Nakatsuka, Kazutaka Kaga, Shigeaki Zaima, and Yukio Yasuda, “Conductance Oscillations in Hopping Conduction Systems Fabricated by Focused Ion Beam Implantation”, Jpn. J. Appl. Phys. **36**, 4046 (1997).

関連した口頭発表

1. Hiroki Kondo, Hirotaka Iwano, Osamu Nakatsuka, Kazutaka Kaga, Shigeaki Zaima, and Yukio Yasuda, “Conductance Oscillations in Hopping Conduction Systems Fabricated by Focused Ion Beam Implantation”, The 1996 International Symposium on Formation, Physics and Device Application of Quantum Dot Structures, Sapporo, Japan, November, 1996.
2. 近藤博基, 中塚理, 加賀和孝, 岩野博隆, 財満鎮明, 安田幸夫, “p型Si極微細イオン注入領域非線形電気伝導特性” (講演番号 26aL5), 第43回応用物理学関係連合講演会, 東洋大学, 1996年3月.
3. 近藤博基, 中塚理, 加賀和孝, 岩野博隆, 財満鎮明, 安田幸夫, “ホッピング伝導系におけるクーロンブロックード現象” (講演番号 30aSZQ14), 第44回応用物理学関係連合講演会, 日本大学, 1997年3月.

以上