

LSI 多層配線用層間絶縁膜とそのインテグレーション技術に関する
研究開発

福田琢也

LSI 多層配線用層間絶縁膜とそのインテグレーション技術に関する研究開発

目次

第1章 序論

1.1 本研究の背景

1.1.1 LSI の Al 多層配線の微細化と絶縁膜の課題

1.1.2 配線遅延の防止のための低誘電率膜の導入と問題点

1.1.3 Cu 配線適用とインテグレーションの問題点

1.1.4 $k < 1.5$ を目指した層間絶縁膜の開発における問題点

1.1.5 バリアフリー配線を目指した層間絶縁膜の開発における問題点

1.2 本研究の目的

1.3 本論文の概要

1.4 参考文献

第2章 薄膜形成と電気評価、薄膜含有物の測定、および薄膜改質の原理と技術

2.1 CVD 法による薄膜形成の原理と技術

2.2 スピン塗布法による薄膜形成の原理と技術

2.3 超臨界 CO₂ による改質の原理と技術

2.4 電氣的測定法の原理と技術

2.4.1 I-V 測定

2.4.2 C-V 測定

2.4.3 g_m 特性測定

2.4.4 TDDB 測定

2.4.5 MIS 構造とインテグレーション評価パターン

2.5 真空プローバ法

2.6 脱ガスの測定法

2.7 その他の膜評価法

2.7.1 FT-IR 法

2.7.2 膜厚測定と電極面積測定

2.7.3 膜の機械的強度測定

第3章 バイアス ECR-CVD による平坦化成膜

- 3.1 はじめに
- 3.2 磁界制御型マイクロ波プラズマ装置による平坦化絶縁膜形成
- 3.3 低ダメージ平坦化成膜
- 3.4 まとめ
- 3.5 参考文献

第4章 HDP-CVD による SiOF 膜形成

- 4.1 はじめに
- 4.2 SiOF 膜の形成方法
- 4.3 SiOF 膜のデバイス適用
- 4.4 まとめ
- 4.5 参考文献

第5章 Cu 配線と low-k 膜の適用

- 5.1 はじめに
- 5.2 配線遅延時間の比較
- 5.3 配線プロセスとバリアメタル
- 5.4 HSG デュアルダマシンプターンニング
- 5.5 Cu 配線形成と電気特性
- 5.6 まとめ
- 5.7 参考文献

第6章 $k < 1.5$ の低誘電率層間絶縁膜の材料設計

- 6.1 はじめに
- 6.2 誘電率の決定方法の導出
- 6.3 誘電率の実験的分離
- 6.4 誘電率に対する導出式の検証と low-k 材の候補
- 6.5 極低誘電率材 ($k < 1.5$) の候補
- 6.6 イオン分極を考慮した分子軌道法による誘電率の予測
- 6.7 まとめ

- 6.6 イオン分極を考慮した分子軌道法による誘電率の予測
- 6.7 まとめ
- 6.8 参考論文

第7章 $k < 1.5$ の low-k 材料でのリーク電流機構の解析

- 7.1 はじめに
- 7.2 配線間リーク電流の許容値とリーク電流例
- 7.3 膜中の電荷の分類と、リークパスを考慮した C-V 特性
- 7.4 I-E 特性の材料依存性と δV_{fb} 依存性
- 7.5 まとめ
- 7.5 参考文献

第8章 $k < 1.5$ の low-k 材からの不純物除去技術

- 8.1 はじめに
- 8.2 超臨界 CO₂ 処理
- 8.3 超臨界 CO₂ による不純物除去の基礎検討
- 8.4 ポーラス SOG への適用
- 8.5 有機 low-k 膜への適用
- 8.6 配線が形成された層間絶縁膜への適用
- 8.7 まとめ
- 8.8 参考文献

第9章 層間絶縁膜中への Cu 拡散機構の解明

- 9.1 はじめに
- 9.2 絶縁膜への Cu 拡散力
- 9.3 脱ガスさせた P-TEOS 膜の Cu 拡散
- 9.4 磁気相互作用と Cu 拡散
- 9.5 まとめ
- 9.6 参考文献

第10章 バリアーフリー配線を目指した Cu 拡散防止膜の開発

- 10.1 はじめに

- 10.4 ポリイミダゾール膜の TDDB 特性
- 10.5 ポリイミダゾール膜の機械的特性とインテグレーションに向けた試み
- 10.6 チッ化による Cu 拡散防止技術
- 10.7 まとめ
- 10.8 参考文献

第 11 章 P-TEOS 膜のリーク電流の研究とこれを用いた汚染の評価

- 11.1 はじめに
- 11.2 実験手順と「未処理 P-TEOS 膜」「脱ガス P-TEOS 膜」「脱水 P-TEOS 膜」
- 11.3 各 P-TEOS 膜の I-V, C-V 特性
- 11.4 P-TEOS 膜における水分の影響
- 11.5 TDS 中の Qmass 測定
- 11.6 電気的评价を利用した汚染チェック
- 11.7 まとめ
- 11.8 参考文献

第 12 章 まとめ

謝辞

研究業績

第1章 序論

1.1 本研究の背景

半導体デバイスは、パソコン、携帯電話、家電製品、ゲーム機など、多岐にわたる電子機器で、プロセッサやメモリなどの用途に使われている。つい最近10年程前迄は、プロセッサは家庭にあるPCにある一つ程度であったが、現在では、携帯電話を含め、一人で数個使うようになっている。当然のことながら、航空機や自動車にも搭載されている。最近のハイブリットカーでは、エンジンの制御や各種制御等のため多種のデバイスが使用され、車体価格の70%は、半導体デバイスが占めるようになっている。

MOS (Metal/Oxide/Si) トランジスタは「スケーリング則」^{1,2)}に従い、微細化を進めるとその動作速度は向上する。また、微細化は高集積化を可能にし、高集積化はIC (Integrated Circuit) の機能を向上させる。このため、微細化と高集積化は時代と共に大きく進んだ。ムーア (G. Moore) の法則³⁾と呼ばれる指針がある。それは「半導体の集積密度は18~24ヶ月で倍増する」というものであり、現在まで、その法則通りに集積化が進んで来た。トランジスタを集積したICはLSI (Large Scale Integrated circuit)となり、集積度の増加とともに、今ではVLSI, ULSI (Very Large Scale IC, Ultra Large Scale IC)と呼ばれるようになっている。現在では、MOS トランジスタが約1 cm 角のチップに 1×10^9 個以上が集積されている。最近のULSIの断面を図1-1に示す⁴⁾。配線材料はCuで、配線を絶縁する層間絶縁膜は空孔の入った低誘電率の材料が使われている。シリコン (Si) 基板の上に小さく見えるのが、MOS トランジスタのゲート部である。配線の役割を図1-2に示す。配線はMOS トランジスタを単純に繋ぐ役割であるが、図1-1に示すように、ULSI製造プロセスの8割以上を占めるようになっている。

微細化は、トランジスタの性能を向上させるが、トランジスタを電氣的に結ぶ配線では逆に性能を低下させる要因となっている。すなわち、微細化が進み、配線幅が狭くなると、配線抵抗は細くなる分、上昇する。このため、配線材料はPoly-Siから、Wへ、次により抵抗の低いAlへと移行することになった。現在のロジック製品では、より抵抗の低いCuが使われている。配線を絶縁する層間絶縁膜にはIC (Integrated Circuit) 時代からSiO₂膜が使われていたが、

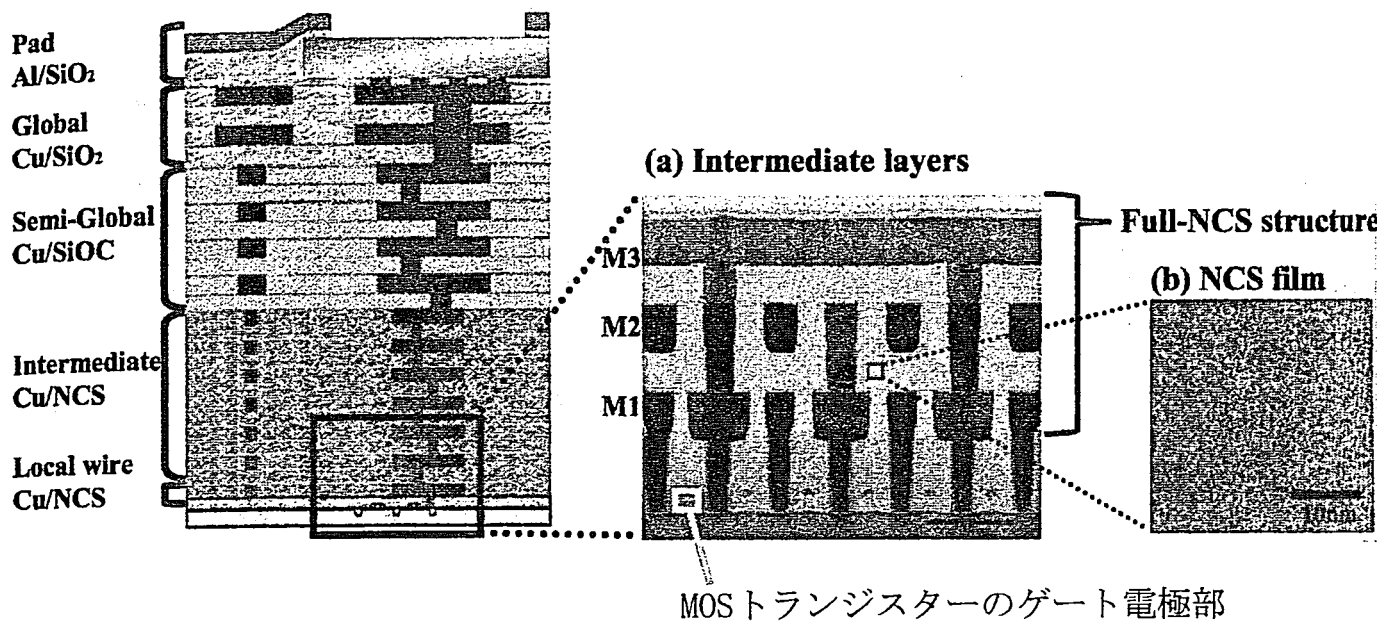


図1-1 最近のULSIの断面図⁴⁾

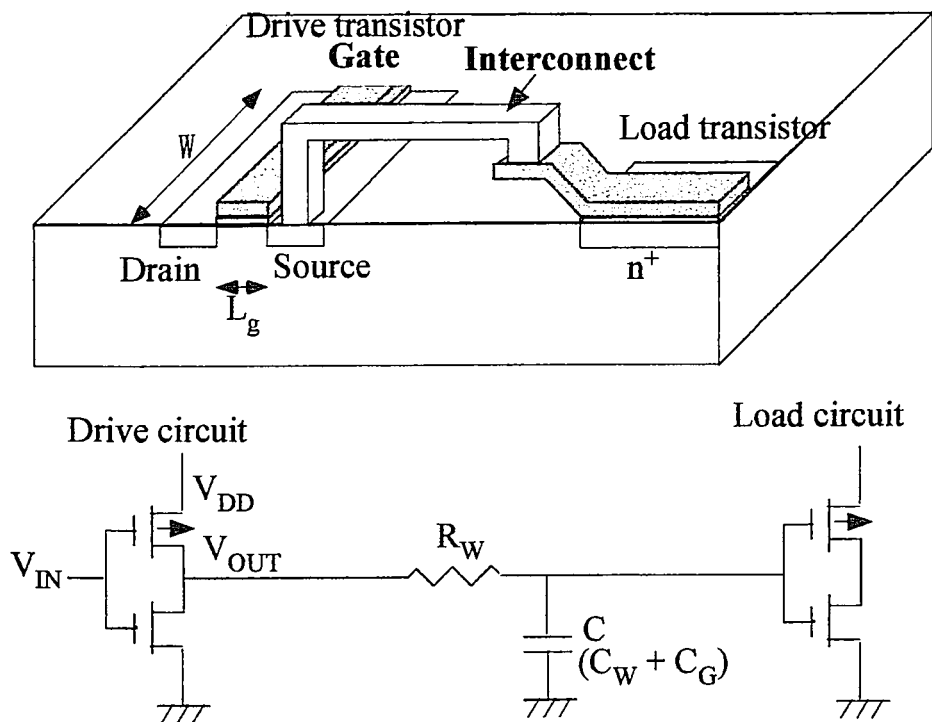


図1-2 LSIにおける配線の役割と電氣的等価回路

微細化が進みにつれ、形成手法が高温プロセス（ $> 700^{\circ}\text{C}$ ）から低温プロセス（ $< 400^{\circ}\text{C}$ ）に移行した。さらに、配線における信号伝搬の遅延を防止するために、層間絶縁膜の比誘電率（ここでは、 ϵ や k で表記するが同じ意味である）の低減が必要になって来た。初めはフッ素添加した SiOF 膜、さらに低誘電率化を目指して有機絶縁膜や空孔入りの絶縁膜の適用が始まった。言うなれば、層間絶縁膜への能動的付加機能の開発が初められた。最近の低誘電率の層間絶縁膜は「low-k」膜と呼ばれる。

以下では、それぞれの世代において、層間絶縁膜に要求された性質や配線技術の問題について概観し、層間絶縁膜に対する課題と開発すべき技術要素を明らかにする。

1.1.1 LSI の Al 多層配線の微細化と絶縁膜の課題（平坦化）

LSI の高集積化に伴い、配線の微細化と多層化が進んで来た。これはトランジスタの数が増大するに伴い、トランジスタを電氣的に結ぶ配線数がより多く、また長くなるためである。配線数が増え、配線長が長くなると、配線の抵抗はより高くなる。これは消費電力の増大も招く。このため、 $2\ \mu\text{m}$ プロセス世代から、配線材料に Poly-Si を用いた配線から、より低抵抗の Al を用いた配線が一般的になった。Al 配線はレジストマスクを用いて、塩素系のガスによるドライエッチングで、形成されていた。年代が進むにつれ、配線の微細化が進み、アスペクト比（配線高さを、配線底部の長さ、あるいは配線間の幅で割った値）が次第に大きくなった。これに伴い、配線間を絶縁する層間絶縁膜の形成法も変わってきた。初期の配線は Poly-Si であったため、絶縁膜には、高温プロセスである SiH_4 系と N_2O 等の酸化ガスを用いた熱 CVD（Chemical Vapor Deposition）により形成される SiO_x 膜が使われていた。しかし、配線材料が融点の低い Al（融点 $\sim 400^{\circ}\text{C}$ ）に変わると共に、より低温での絶縁膜の形成法が導入された。これは、原料を熱分解させるのではなく、プラズマを利用して分解し反応させる、プラズマ（plasma）CVD（P-CVD）法である²⁾。配線のアスペクト比が 1 以下までは、 SiH_4 を用いたプラズマ CVD による SiO_x 膜（P-SiO）が適用されていた。しかし、この方法は段差被覆性に問題があり、微細化とともに開口部の上部でオーバーハングが問題となった。この段差被覆性を改善するため、材料ガスを TEOS（Tetraethoxysilicate）に変えた、P-TEOS 膜が使用されるようになった³⁾。これは、反応種の基板表面での泳動（Migration）性が高いことを利用

したものである。この P-TEOS 膜は現在でも広く使用されている。

サブミクロン (Sub-micron) プロセス世代になり、配線の高アスペクト化が進むと、配線の交差部はより急峻となった。しかも、配線の多層化より配線交差やホール数が増加しているため LSI チップ表面の段差はますます激しくなってきた。このような凹凸の激しい表面に配線を形成すると、配線パターンのエッチング時に段差側壁部にエッチング残渣が生じて短絡が起こったり、層間絶縁膜や配線材料の段差被覆性の悪化から、配線の断線や抵抗の増大などが起こったりする不良が発生し始めた。これらの問題を解決するためには、配線層の層間絶縁膜を平坦に形成する技術が必須となった^{5, 6)}。この平坦化技術に関しては、ガラス塗布法 (Spin On Glass: SOG) や有機膜塗布法⁷⁾、リフロー法⁸⁾、エッチバック法^{9, 10)}、高被覆 CVD 法^{11, 12)}、SOG 法にエッチバック法を組み合わせた複合 SOG 法¹³⁾、スパッタを組み合わせたバイアス CVD 法¹⁴⁻¹⁶⁾、など、種々の方法が開発された。しかし、いずれの技術も一長一短があり、使用箇所による使い分けや技術欠点を他の技術で補う必要があった。

平坦化絶縁膜形成の代表的な 2 つの手法を示す。図 1-3 に、SOG 法にエッチバック法を組み合わせた複合 SOG 法とバイアス CVD 法の工程を示す。SOG 法は簡単に平坦化ができる長所があるものの SOG 膜単体では絶縁性や信頼性に欠けるため、プラズマ CVD やエッチバック工程を付加する必要がある。このため平坦化膜形成に 4 工程を要するといった問題がある。一方、斜度を有した面を選択的に削るスパッタ特性を利用したバイアス CVD 法では、図 1-3 に示すように、安定な膜が 1 工程で形成できる長所がある。しかし、通常の RF プラズマ装置では平坦化速度が遅いといった問題や、スパッタに用いる Ar イオンやバイアス電位によるイオン照射ダメージが生じるといった問題¹⁷⁾がある。平坦化速度の向上には、プラズマ密度を高める方法が必要である。プラズマ密度を高めるため、電子サイクロトロン共鳴 (ECR) を利用したマイクロ波プラズマ装置が開発された¹⁷⁻²³⁾。これを利用することにより平坦化速度は向上した¹⁷⁾が、高速性とダメージレスの両立はなされていなかった。これを実現するには、スパッタガスの検討と、プラズマの有効利用、及びイオンを基板に取り込む、印加高周波の周波数の最適化が必要である。このような ECR を利用する等でプラズマ密度を高めたプラズマ CVD 法は High Density Plasma (HDP) - CVD と呼ばれている。この方法で形成された HDP-SiO_x 膜は現在も使われている。








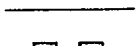


複合SOG法	バイアスCVD法
Al配線 	Al配線 
1. P-TEOSデポ 	1. 平坦化デポ 
↓	↓
2. SOG塗布 スピンコート デンシファイ 	
↓	↓
3. SOG エッチバック 	
↓	↓
4. P-TEOSデポ 	

図 1-3 Al配線における平坦化絶縁膜の形成
- 複合SOG法とバイアスCVD法の比較 -

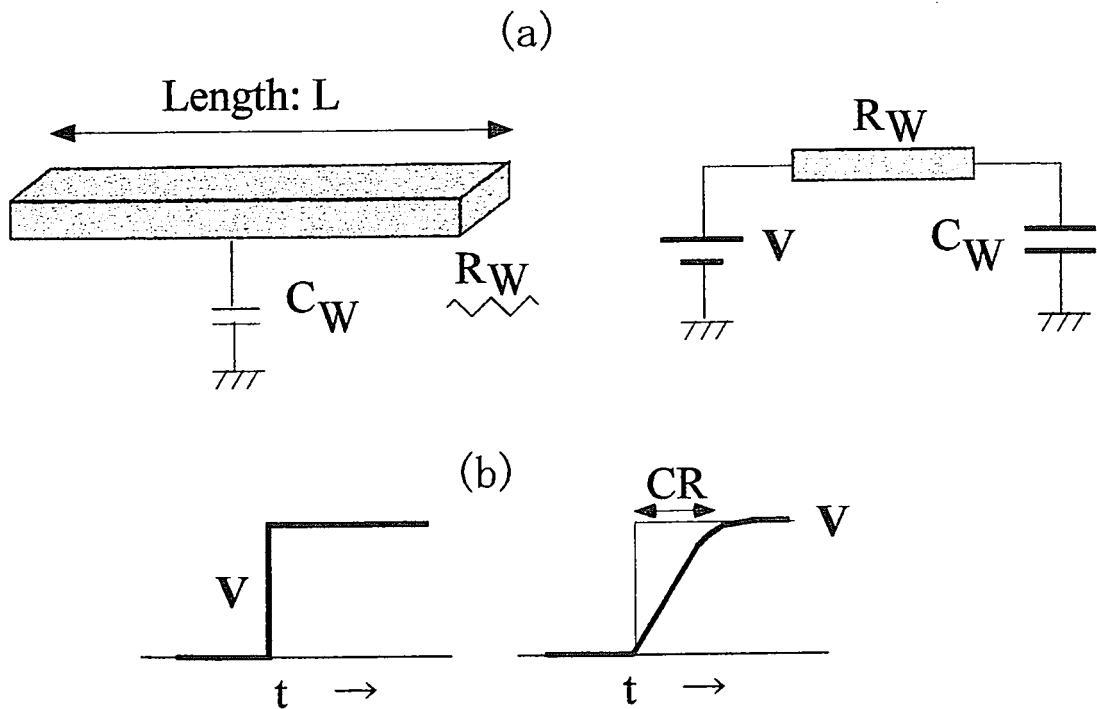


図1-4 配線における (a) 負荷容量の概要と等価回路
(b) 負荷による信号遅延

1.1.2 配線遅延の防止のための低誘電率膜の導入と問題点

配線の微細化がさらに進み、配線での信号遅延²⁴⁾が問題に成り始めた。図1-4は配線における信号遅延の様子と負荷容量の例を示す²⁾。負荷があると送る信号に遅延が生じる。配線における信号遅延, t_d は、 $t_d \propto C_w \times R_w$ となる。 C_w は層間絶縁膜の容量、 R_w は配線材料の抵抗である。層間絶縁膜の容量低下が図れると、LSIの性能は容量低下分だけの高速化が可能となる。そのため、層間絶縁膜に対し、絶縁膜の低誘電率化が求められるようになった。

サブミクロンプロセス時代、広く使用されている絶縁膜は前述したP-TEOS膜か、バイアスパッタを重畳させたHDP-SiO_x膜であり、比誘電率はSiO₂膜とほぼ同じ4.2である。誘電率は構成原子の電子分極に大きく依存している^{25, 26)}。Fは電子分極が小さく、絶縁膜の構成原子の一部とすることで、誘電率の低下を図ることが出来る²⁷⁾。このため、CVD-SiO_x膜の原料である、SiH₄の代わりにSiF₄を用いる形成法が開発されて来た²⁸⁻³⁰⁾。F原子を含んだSiO_x膜(SiOF膜と呼ばれる)は、プロセス的に大きな変更なしに、絶縁膜の低誘電率化を図れる、というコストメリット満足する。しかし、比誘電率(以後、 k で表す)が3.6以下になると、吸水性が増大するといった問題があった^{29, 30)}。吸水性は膜中の遊離フッ素の量に依存しているため、膜形成時のプラズマ中の遊離フッ素発生を押さえる工夫が必要課題となる。

一方、SiO_x膜の低誘電率化とともに、MOSトランジスタを最初に結ぶ配線(M1)にPoly-SiからWを使用する用になった。この場合、Si拡散層に接触するコンタクトホールにWを埋め込むが、コンタクト部と他の平面部に段差が生じる。ホトリソグラフィ工程では、微細化に伴い光源の波長がより短くなり、焦点深度のマージンが少なくなって来た。この段差があると、段差部でのレジストパターン不良を招く³¹⁾。ここで、平坦化技術にも大きな変革をもたらされた。導入された技術は、Chemical Mechanical Polish (CMP)と呼ばれる、研磨手法である。この技術はWのCMPに始まり、絶縁膜の平坦化にも使われた。また、この技術のおかげで、以下に記述するCu配線が大きく普及した^{2, 32, 33)}。

1.1.3 Cu配線適用とインテグレーションの問題点

前述したように低誘電率の層間絶縁膜はLSI、特に高速ロジックデバイスに必須である。実際にSiOF膜は高速ロジックデバイスの層間絶縁膜に適用され³⁴⁾、

現在でも使われている。しかし、Al 配線では、さらなる信号遅延の低下が望めないで、抵抗、R のより小さい Cu 配線の適用が図られた。図 1-5 は各プロセスノードでのトランジスタと配線における信号の遅延時間を示す³⁵⁾。Al 配線のままでは 0.25 μm で、配線での信号遅延が、トランジスタでの信号遅延を超えてしまう。Cu 配線の SiO_x 膜と SiOF 膜への適用は種々のデバイスメーカー、機関で導入された^{36, 37)}。SiOF 膜は SiO_2 膜と同系列の膜であるため、エッチング等のプロセス適合性はあった。しかし、より低誘電率化を狙った SOG (Spin On Glass) 膜の適用にはエッチング加工、下地膜への密着性の検討が不可欠であった。

1.1.4 $K < 1.5$ を目指した層間絶縁膜の開発における問題点

最近の LSI の材料、プロセス開発では、ITRS のロードマップが指標となっている³⁸⁾。国家プロジェクト「電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発」(実行機関：超先端電子技術開発機構(略称：ASET)では 1999 年当時、ITRS のロードマップ³⁹⁾、70 nm プロセスノードでの適用を目指した、 $k < 1.5$ の層間絶縁膜の適用と省エネを兼ねた、多層配線への低誘電率(以後、low-k と称す)膜の導入の研究が始められた⁴⁰⁾。しかしながら、デバイスへ適用可能な $k < 1.5$ の膜の開発は現在でも困難であり、分子設計を取り入れた材料開発、プロセス開発の重要性が益々高まっている。

一方、誘電率は、図 1-6 に示すように、周波数に依存して、電子分極、 ϵ_{ele} 、イオン分極、 ϵ_{ion} 、配向分極、 ϵ_{ori} に分けることができる²⁶⁾。LSI で着目される周波数は $\sim 1\text{GHz}$ であるため、誘電率としては、3 成分の全てを考慮する必要がある。これまで、誘電率は電子分極、 ϵ_{ele} で代表されていた。イオン分極、 ϵ_{ion} まで考慮した誘電率を得るためには、クラマース-クローニツヒの関係式の適用が必要である⁴¹⁾。その適用例を図 1-7 に示す⁴²⁾。例からわかるように、電子分極、 ϵ_{ele} とイオン分極、 ϵ_{ion} の和を求めるには、その膜の赤外スペクトルを得ることが必須である。このため、この方法では、未合成材の誘電率を求めることは出来ない。 $K < 1.5$ の分子設計のためには、誘電率を予測できる理論式の導出が必要である。

実際に low-k 膜をインテグレーションするには多くの困難がある。これを物語るのが、先に示した、ロードマップの変遷である。図 1-8 に k_{eff} (層間絶縁膜の実効的な誘電率、 k の値) の変遷を示す。2006 年の予想での値は、1998 年度

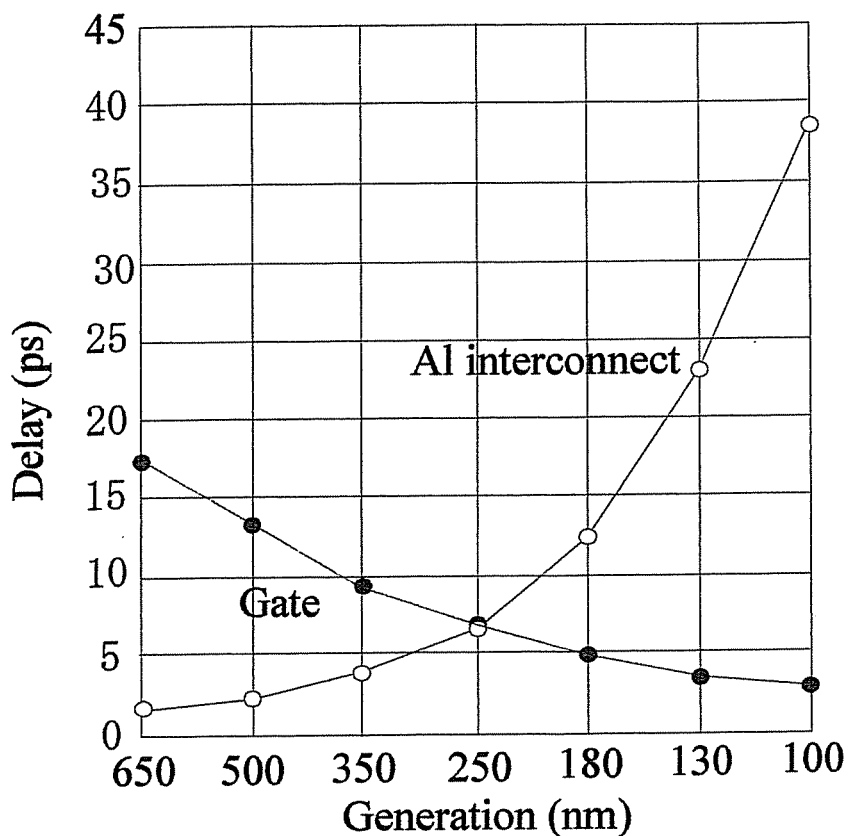


図1-5 LSIにおけるプロセスノードの信号遅延

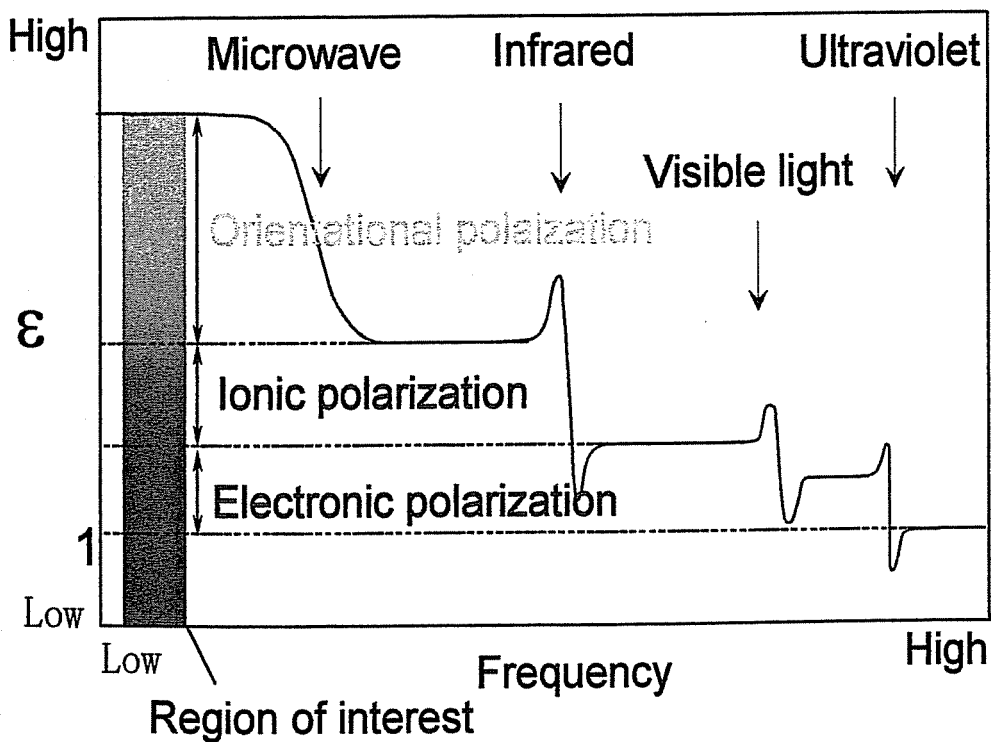


図 1-6 誘電率の周波数依存性

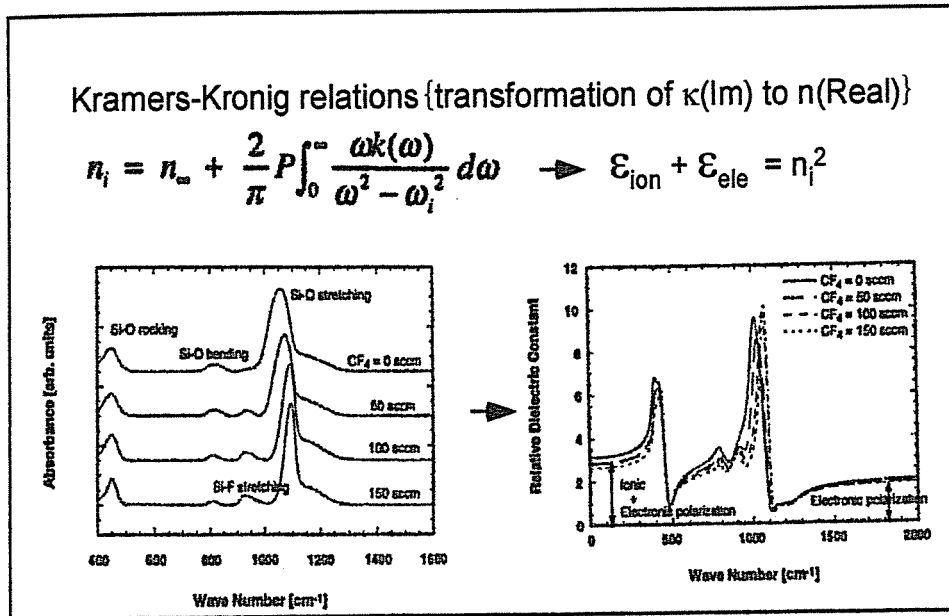


図 1-7 KRAMERS-KRONIG の関係式を用いた誘電率の見積り

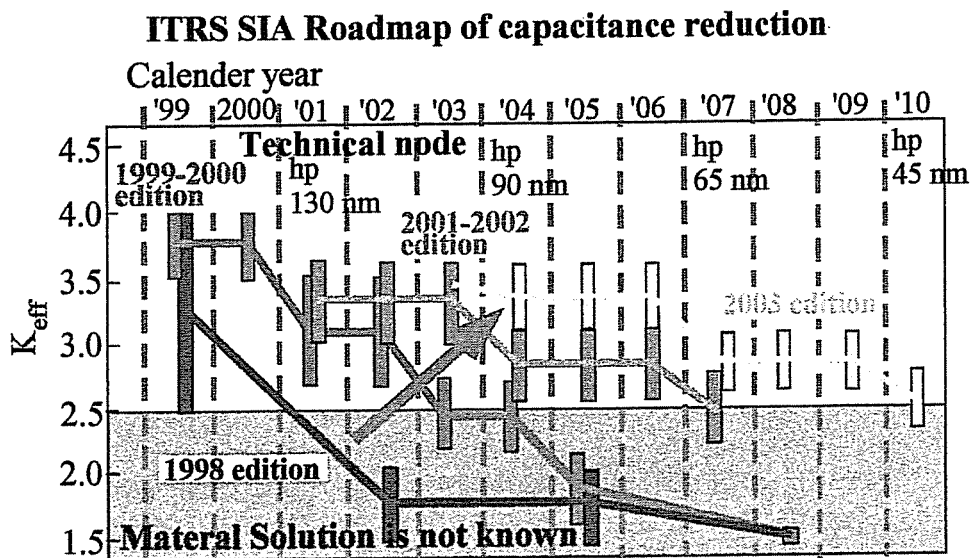


図 1-8 ITRSによる層間絶縁膜のロードマップの変遷

版で $k_{\text{eff}} = 1.7$ 、1999 年度版で $k_{\text{eff}} = 1.8$ 、2001-2 年度版で一気に $k_{\text{eff}} = 2.7 - 2.8$ に下方修正、2003 年度版で $k_{\text{eff}} = 3.3$ にさらに下方修正された。これは、low-k 材料の開発、適用が期待通りに進まなかったことを意味している。

絶縁膜の適用の是非を決定する電気特性の第一因子は配線間を流れるリーク電流値である。リーク電流の上限はデバイスにより異なるが、上限値はトランジスタでのリーク電流となる。当時の 70 nm（現在は 65 nm）プロセスノードの SoC (System on Chip) を考慮すると、DRAM (Dynamic Random Access Memory) での値として、リーク電流 (I_{leak}) は $I_{\text{leak}} < \sim 1 \times 10^{-8} \text{ A/cm}^2$ (@ 0.9 MV/cm) となる³⁹⁾。層間絶縁材の低誘電率化のため、従来用いられた SiO_x (P-TEOS 膜) とは異なる材料が検討されて来たが、それら大多数の材料のリーク電流は P-TEOS 膜よりも大きい。リーク電流低減のためにはリーク電流機構^{43, 44)}を明確にする必要がある。また、信頼性の指標となる経時的絶縁破壊 (Time Dependent Dielectric Breakdown: TDDB) に関わる Cu 拡散機構を探る上でもリーク電流 (I-V, I-E 特性) 機構の解析は重要である。

現在でも、層間絶縁膜への適用が検討されている low-k 材料では、元々リーク電流が高いか、あるいは温度の上昇に伴いリーク電流が規格から外れると言った現象もある⁴⁴⁾。このため、多くの材料が適用検討から外されて来た。しかし、本研究で明らかにするように、リーク電流の多くは、膜中に存在する可動電荷や水分が関与している。従って、膜本来の特性が検討される前に外されている場合が多いと推測される。膜からの不純物の除去方法を確率し、材料本来も性質を見極めることが重要である。

1.1.5 バリアフリー配線を目指した層間絶縁膜の開発における問題点

Al 配線では、前述したように、Al 膜にホトレジストでパターンニングして、塩素系のプラズマでエッチングして形成していた。これは、エッチングで生成する Al の塩化物の蒸気圧が高いため、反応が進行し、レジストで覆われた部分以外の領域のエッチングが進行するためである。しかし、Cu のハロゲン化物は蒸気圧が低いため、揮発させることが出来ない。従ってエッチングが困難である。このため、Cu 配線は早い時期に適用されなかった。前述した CMP が一般化されてから、Cu 配線が普及した^{2, 32, 33)}。配線の作り方から、従来の Al 配線と区別させるため、ダマシン (damascene: 象嵌) 配線と呼ばれる。

現在主流の Cu 配線のプロセスを図 1-9 に示す。図は配線とビア部を同時に形成するデュアルダマシシ (Dual Damascene: DD) プロセスを示す (専門的には、ビアファーストプロセスと呼ばれている工程 (ビアを完全に開け切らないハーフエッチング) で、レジストの他にハードマスクを使用する方式である。図では、下部に配線層があり、その上に、ビア (プラグ) と配線を形成するプロセスを示している。図中 ES とはエッチングストッパー (Etching stopper) であり、最初のビアエッチングを止めるための膜である。DB は Cu 拡散防止用の絶縁膜 (Diffusion Barrier) である。HM は有機膜をエッチングするための無機系の膜でハードマスク (Hard Mask) となるパターンニング用の膜である。BM は Cu 拡散防止用の金属膜 (Barrier Metal) である。Cu 配線と Al 配線との違いは作成プロセスもあるが、大きな違いは、Cu 配線では、Cu の拡散を防止するバリアメタル (BM) と拡散防止絶縁膜 (DB) を必要としている点である。

Cu の絶縁膜への拡散は非常に早い。この Cu の絶縁膜への拡散機構については研究されているが⁴⁵⁻⁴⁸⁾、未だに不明である。絶縁膜に Cu が拡散すると、絶縁膜と Si との界面に Cu イオンが近づき、Cu イオンに起因した電界増大が生じ、Fowler – Nordheim (FN) 電流が流れて絶縁破壊を引き起こすモデルが提案されている⁴⁹⁾。図 1-10 は熱酸化膜/Si に Al と Cu 電極を形成し、電圧印加ストレス試験を行った結果を示す⁴⁹⁾。Al 電極の場合には印加時間が長くても、絶縁破壊には至らない。しかし、Cu 電極の場合には、Cu が絶縁膜に拡散するため、ストレス時間が長くなると、絶縁膜に流れるリーク電流が増え、最終的には短時間でも絶縁破壊に至る。この現象は経時的絶縁破壊 (Time Dependent Dielectric Breakdown: TDDB)⁵⁰⁾ と呼ばれる。この Cu 拡散の防止のため、現在の Cu 配線では、前述したように、Cu の拡散を防止するバリアメタル (BM) と拡散防止絶縁膜 (DB) を必要としている。

もし、Low-k に Cu 拡散を防止する機能を持たすことが出来れば、BM と DB を用いる必要がなくなる。BM を用いなくなると、BM 膜厚分が電気抵抗の低い Cu 材料に充てる事が出来るため、配線の抵抗を下げる事が出来る。現在では、DB には SiN、SiC と云った誘電率の高い膜が適用されている。従って DB を除くことが出来れば、層間絶縁膜の実質の誘電率を下げる事が出来る。

BM、DB を用いない Cu 配線は“バリアフリー配線”と呼ばれる。図 1-11 は、バリアフリーの DD 配線プロセスを示す。従来工程である図 1-9 と比較すると、BM 形成と DB 形成が省略されるため、生産コストも著しく低減出来るこ

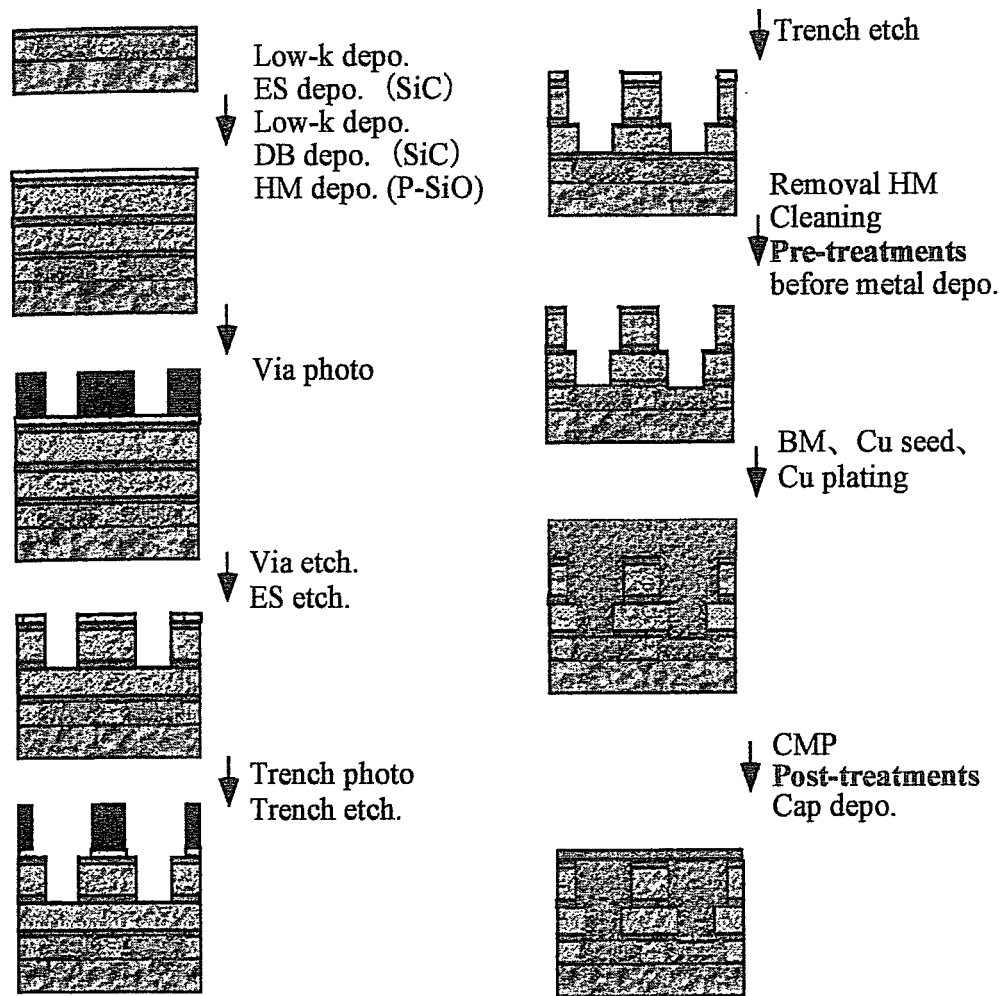


図 1-9 通常のデュアルダマシンプロセス

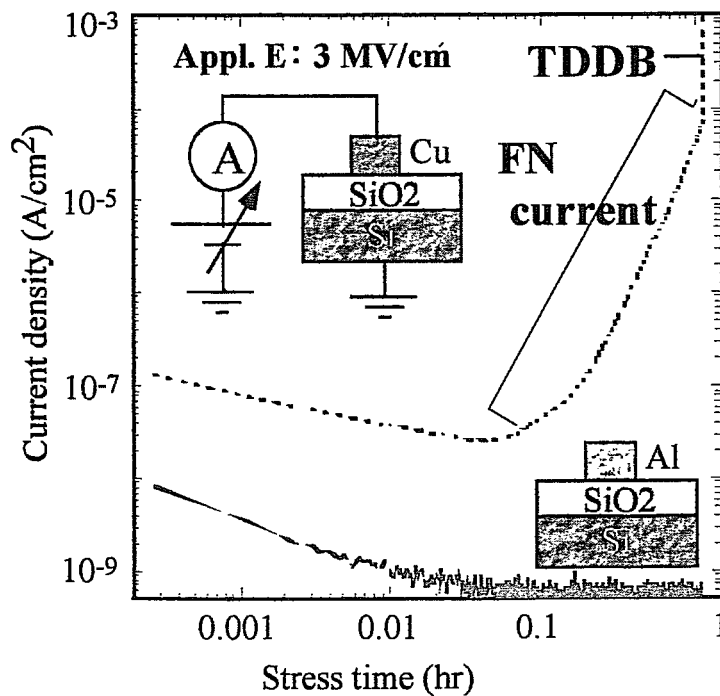


図 1-10 Cu電極を用いた時の熱酸化膜のTDDB特性

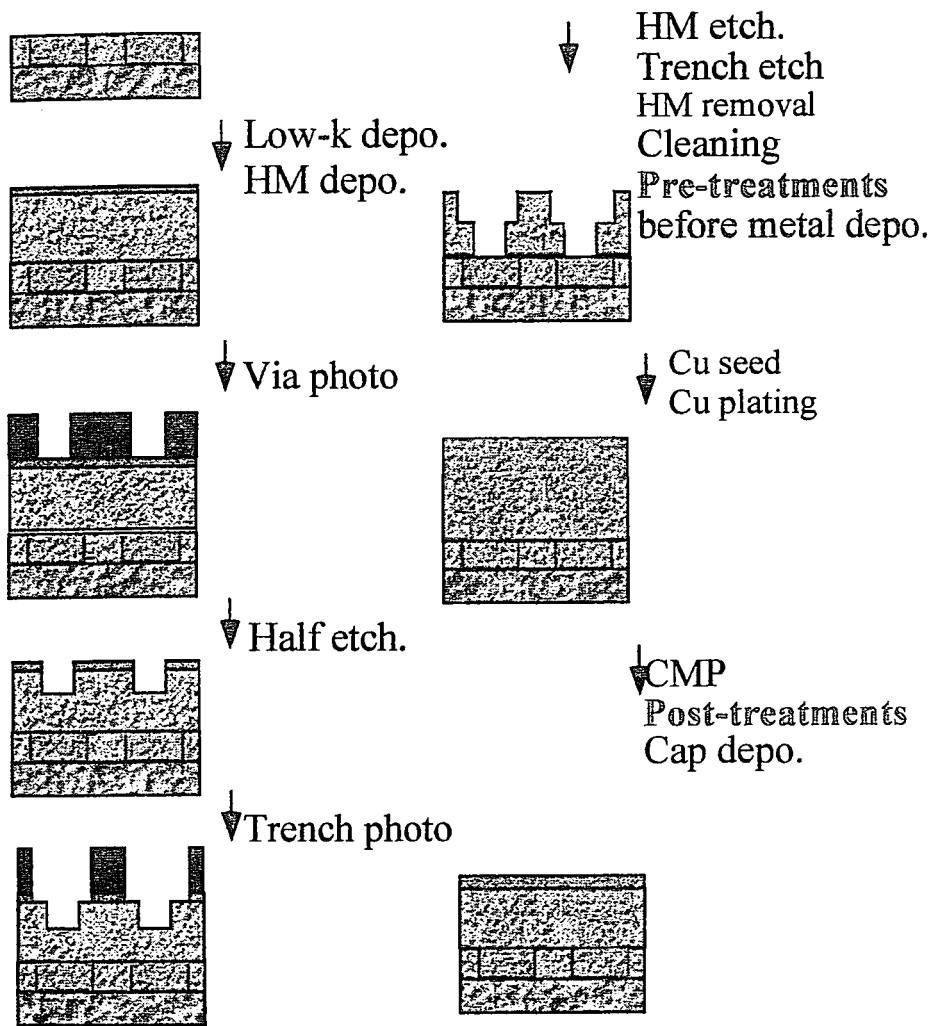


図 1-11 バリアフリーのデュアルダマシンプロセス

とがわかる。それ故、バリアフリー配線の実現が求められている⁵¹⁻⁵³⁾。しかし、バリアフリー配線を目指すには、Cu 拡散機構を明らかにし、適用する low-k 材料に拡散防止機能をもたせることが必要となる。

1.2 本研究の目的

本研究の目的は、LSI 多層配線の層間絶縁膜への、新規の、信頼性が高く、低コストな新規絶縁膜の提案であり、またプロセス技術の提案である。さらに、層間絶縁膜の評価方法の提案も行っている。具体的には、

第一に、Al 配線への平坦化絶縁膜の高品質の SiO₂ 膜の形成方法の提案で、主に DRAM、高電圧対応 LSI (車載用 LSI 等)への適用が考えられる。

第二は、膜質が安定した SiOF 膜の形成方法の提案である。これは、主に DRAM、高電圧対応 LSI (車載用 LSI 等)への適用が考えられる。

第三は Cu/low-k のインテグレーションプロセスに対する技術課題の抽出である。

第四は、low-k 材料の材料設計における誘電率の算出方法の導出であり、絶縁膜のリーク電流機構の解明である。また、絶縁膜本来の電气的評価を実現するため、不純物の除去方法を提案している。

第五は、省エネ、低コスト、ハイパフォーマンスを実現する“バリアフリー配線”を実現するため、Cu 拡散機構の解明と、その知見を基にして、“バリアフリー配線”を実現するための層間絶縁膜材料の提案である。さらに、簡便な Cu 拡散防止技術の適用簡便とその検証である。

第六は、low-k 膜の電气的評価に用いられる標準膜の本質的な電气的特性評価のために、膜中の水分の影響を調べることである。また、この標準膜を用いることで、汚染等の検証が可能となる。

1.3 本論文の概要

本論文は第 12 章までで構成され、第 3 章から第 11 章までは実験結果および考察である。第 2 章以下の各章の概略を示す。

第 2 章では、本研究で薄膜形成技術として用いた CVD 法と SOG 形成法、およびその形成膜の電气的特性評価の基本的な方法と本研究で用いた評価技術の特

徴を述べる。

第3章では、電子サイクロトロン(ECR) を利用したプラズマCVDによるSiO₂膜形成を検討した¹⁷⁾。高速の、スパッタを重畳した平坦化成膜の実現のため、基板にバイアスを印加した。このスパッタに用いる通常のArの代わりに、成膜原料であるO₂を使うことを検討した。また、この酸素スパッタを効率よく行うための周波数の検討も行った。

第4章では、Al配線用に比誘電率が低いSiOF膜の膜質の安定化を狙い、ガス種のプロセス検討を行った。その膜のインテグレーションを行い、製造プロセスの確率を狙った。

第5章においては、低誘電率の層間絶縁膜は高速ロジックデバイスに必須である、低誘電率SOG膜(商品郡名:HSG、個別商称:東京応化社製R7、比誘電率、k:2.8)のインテグレーションの可能性を検討した。

第6章では、 $k < 1.5$ の低誘電率層間絶縁膜の材料設計について述べている。低誘電率層間絶縁膜、low-k膜の材料の実現のためには、材料の設計段階でその膜の比誘電率、kの予想が重要である。これまで、電子分極によるkの予想は出来ていたが、イオン分極まで考慮したk値の予想は出来なかった。そこで、凝集系に対するkの理論式を導くことにした。

第7章においては、low-k材の電流機構について述べている。LSIの配線の層間絶縁膜で重要なことは、その絶縁性である。すなわち、絶縁膜が如何に配線間に流れる電流を阻止するかにある。Low-k材は新たに開発された材料が多い。絶縁膜のリーク電流に対する研究は多いが、新たに開発されたlow-k材は、それらで説明されるよりは、はるかにリーク電流は多い。そこで、本章では、リークパスも考慮したリーク電流機構を考え、そのリーク電流の要因を検討した。

第8章では、 $k < 1.5$ のlow-k材料からの不純物除去技術について述べている。 $k < 1.5$ でなくとも、多くのlow-k材で、材料の開発初期段階で高いリーク電流が観測された。また、low-k化を図るため、膜に空孔を入れ、膜密度の低下を行った膜

では、温度の上昇に伴い、リーク電流の上昇が見られる。これら高いリーク電流の原因は、その膜本来の特性ではなく、水分や第7章で述べた可動電荷であると考えられる。そこで、これら不純物を除く手法を探った。

第9章では、層間絶縁膜中のCu拡散機構の解明を行った。Cu配線ではCuの絶縁膜への拡散を防止するバリアメタルと拡散防止絶縁膜が使われている。絶縁膜自体にCu拡散を防止出来る機能があれば、バリアフリーの配線が実現出来る。Cu拡散の原因には不明な点が多い。そこで、P-TEOS膜を用いて、Cu拡散の機構を探った。

第10章では、バリアフリー配線を目指したCu拡散防止膜の開発について述べている。前節で述べたように、Cuの絶縁膜への拡散の要因の一つは、絶縁膜に含まれる酸素分子が関与していることがわかった。そこで、絶縁膜の構成原子に酸素を持たない膜を形成し、その絶縁膜のCu拡散防止性を調べた。

第11章では、P-TEOS膜のリーク電流の研究とこれを用いた汚染の評価方法を提案している。本研究では、電気特性評価の標準膜としてP-TEOS膜を用いている。第9章で脱ガスさせたP-TEOS膜の電気特性を調べたが、その中で、脱ガスP-TEOS膜のリーク電流が、通常用いている膜より低いことがわかった。そこで、標準P-TEOS膜のリーク電流の起源を探った。また、P-TEOS膜の電気評価は膜の状態に敏感であることから、汚染が懸念されたアニール炉の汚染検出について検討した。

第12章では、本研究で得られた結果を総括し、今後残された課題について明らかにする。

1.4 参考文献

- 1) 原 央、名取研二、堀内重治: *MOS トランジスタの動作理論* 近代科学社 (1984)
- 2) 角南英夫: *電子情報通信学会 VLSI 工学 - 製造プロセス編 -* コロナ社 (2006)
- 3) G. Moore: *Electronics Magazine* April (1965) 19

- 4) I. Sugiura, Y. Nakata, N. Misawa, S. Otsuka, N. Nishikawa, Y. Iba, F. Sugimoto, Y. Setta, H. Sakai, Y. Mizushima, Y. Kotaka, C. Uchibori, T. Suzuki, H. Kitaba, Y. Koura, K. Nakano, T. Kawasaki, Y. Ohkura, H. Watatani, M. sato, S. Nakai, M. Nakaishi, N. Shimizu, S. Fukuyama, M. Miyajima, T. Nakamura, E. Yano, K. Watanabe: Proc. of the 2005 IITC (2005) 15
- 5) 三沢 豊: 月刊 Semiconductor World 3月号 (1987) 36
- 6) 前田和夫: Semicon News 6月号 (1989) 49
- 7) K. Mukai, A. Saiki, K. Yamanaka, S. Harada and S. Shoji: IEEE J. Solid State Circuits SC-13 (1978) 462
- 8) 松井吉丸: Semicon News 6月号 (1989) 57
- 9) Y. Homma, S. Harada and T. Kaji: J. Electrochem Soc. 126 (1979) 1531
- 10) A. C. Adams and C. D. Capio: J. Electrochem. Soc. 128 (1981) 423
- 11) B. L. Chin and E. P. van den Ven: Solid State technol. 31 (1988) 119
- 12) H. Kotani, M. Matsuura, A. Fujii, H. Genjou and S. Nagao: IEDM Technical Digest (1989) 669
- 13) M. Kawai, K. Matsuda, K. Miki and S. Sakiya: Proc. V-MIC (1988) 419
- 14) C. Y. Ting, V. J. Vivalda and H. G. Schaefer: J. Vac. Sci. Technol. 15 (1978) 1105
- 15) B. Singh, O. Mesker and D. Devlin: J. Vac. Sci. Technol. B5 (1987) 567
- 16) E. J. Mcinerney and S. C. Avanzino: IEEE trans. Electron Device (1987) 615
- 17) K. Machida and H. Oikawa: J. Vac. Sci. Technol. B4 (1986) 818
- 18) S. Matsuo and M. Kiuchi: Jpn. J. Appl. Phys. 22 (1983) L210
- 19) T. Fukuda, K. Suzuki, S. Takahashi, Y. Mochizuki, M. Ohue, N. Momma and T. Sonobe: Jpn. J. Appl. Phys. 27 (1988) L1962
- 20) J. Asmussen: J. Vac. Sci. Technol. A7 (1989) 883
- 21) O. A. Popov and H. Waldran: J. Vac. Sci. Technol. A7 (1989) 914
- 22) T. Fukuda, M. Ohue, T. Kikuchi, K. Suzuki, T. Sonobe and N. Momma: IEDM Technical Digest (1989) 665
- 23) T. Fukuda, M. Ohue, N. Momma, K. Suzuki and T. Sonobe: Jpn. J. Appl. Phys. (1989) 1035
- 24) H. B. Bakoglu: *Circuits, Interconnections and Packaging for VLSI* Addison-Wesley Publishing Company, Inc. New York, (1995)

- 25) C. Kittel: *Introduction to Solid State Physics* John Wiley & Sons, New York, (1953)
- 26) 黒澤達美: *基礎物理学選書9 物性論* (1975)
- 27) 福田琢也: 平成7年秋季応用物理学学術講演会 予稿集 (1995) 450
- 28) T. Fukada and T. Akahori: Ext. Abst. of 25th Conf. on SSDM (1993) 158
- 29) N. Hayasaka, Y. Nishiyama, H. Miyajima, K. Tomioka, R. Nakata and H. Okano: Proc. of 15th Symp. on Dry Process (1993) 163
- 30) T. Tamura, Y. Inoue, M. Satoh, H. Yoshitaka and J. Sakai: Jpn. J. Appl. Phys. 35 (1996) 2526
- 31) S. Okazaki: Appl. Surf. Sci. 70/71 (1996) 609
- 32) D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schultz, L. Su, S. Luce and J. Slattery: IEDM Technical Digest (1997) 773
- 33) S. Venkatesan, A. V. Gelatos, V. Misra, B. Smith, R. Islam, J. Cope, B. Wilson, D. Tuttle, R. Cardwell, S. Anderson, M. Angyal, R. Bajaj, C. Capasso, P. Crabtree, S. Das, J. Farkas, S. Filipiak, B. Fiordalice, M. Freeman, P. V. Gilvert, M. Herrick, A. Jain, H. Kawasaki, C. King, J. Klein, T. Lii, K. Reid, T. Saaranen, C. Simpson, T. Sparks, P. Tsui, R. Venkatraman, D. Watts, E. J. Weitzman, R. Woodruff, I. Yang, N. Bhat, G. Hamilton and Y. Yu: (1997) 769
- 34) T. Fukuda, T. Hosokawa, E. Sasaki, N. Kobayashi: Proceeding of 1998 ITC (1998) 42
- 35) M. T. Bohr: IEDM Technical Digest (1995) 241
- 36) D. Edelstein, C. Uzoh, C. Cabral, Jr., P. DeHaven, P. Buchwalter, A. Simon, E. Cooney, S. Malhotra, D. Klaus, H. Rathore, B. Agarwala, D. Nguyen: Proceedings of the 2001 ITC (2001) 9.
- 37) J. S. Martin, K. J. Taylor, J. D. Luttmer, A. K. R. Ralston, J.A. West, T. D. Bonifield, E. M. Mickler, S. Bolnedi, C. T. Adams, A. Bayman, B. van Schravendijk: Proceedings of the 2001 ITC (2001) 39
- 38) International Technology Roadmap for Semiconductor, 2005 Edition of the ITRS (2005)
- 39) International Technology Roadmap for Semiconductor, 1999 Edition of the ITRS (1999)

- 40) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H11 年度成果報告書 (2000)
- 41) R. Loudon: *The quatum theory of light*, OXFORD UNIVERSITY PRESS, London (1973)
- 42) Y. Shimogaki, S. W. Lim, E. G. Loh, Y. Nakano, K. Tada and H. Komiyama: Mater. Res. Soc. Symp. Proc. 565 (1999) 255
- 43) S. M. Sze: *Physics of Semiconductor Devices* JOHN WILLY & SONS, New York (1981)
- 44) T. Fukuda, H. Nishino and H. Yanazawa: Jpn. J. Appl. Phys. 43 (2004) 86
- 45) G. Raghavan, C. Chiang, P. B. Anders, S. Tzeng, R. Villasol, G. Bai, M. Bohr and D. Frazer: Thin Solid Films, 262 (1995) 168
- 46) H. Miyazaki, K. Hinode, Y. Homma and N. Kobayashi: Jpn. J. Appl. Phys. 35 (1996) 1685
- 47) A. L. S. Luke, J. T. Wetzel, C. Ryu, W. Lee and S. S. Simon: Symp. 1998 Symp. On VLSI Technology Digest of Technical Papers 26
- 48) H. Nishino, T. Fukuda, H. Yanazawa and H. Itoh: Jpn. J. Appl. Phys. 42 (1996) 6384
- 49) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H12 年度成果報告書 (2001)
- 50) 小柳光正: サブミクロンデバイス II 丸善株式会社 (1997)
- 51) M. Tada, H. Ohtake, Y. Harda, M. Hiroi, S. Saito, T. Onodera, N. Furutake, J. Kawahara, M. Tagami, K. Kinoshita, T. Fukai, T. Mogami and Y. Hayashi: 2001 Symp. On VLSI Technology Digest of Technical Papers (2001) 12
- 52) 福田琢也、青井信夫、柳沢 寛: 第 64 回応用物理学学術講演会 講演予講集 (2003) 757
- 53) N. Maeda, Y. Takimoto, K. Maejima, M. Nakajima and K. Funatsu: Proc. of ADMETA 2006 (2006) 136

第2章 薄膜形成技術と電気評価、薄膜含有物の測定技術、および薄膜改質技術の原理と技術

2.1 CVD法による薄膜形成の原理と技術

化学気相成長法 (Chemical Vapor Deposition : CVD) は、気相状態かプラズマ状態の化学種を反応させて、基板に薄膜を形成する手法である。気相状態の熱反応で形成する方法は熱 CVD と呼ばれる。導入ガスを電気放電で分解し、プラズマ状態にし、プラズマ種を反応させて、膜形成する手法をプラズマ CVD と呼ぶ。このプラズマ CVD は放電を起こす周波数により、呼称が異なる。直流を用いる場合には直流放電プラズマ CVD、アーク放電プラズマ CVD と呼ばれ、ラジオ波 (Radio Frequency: RF) を用いる場合は RF プラズマ CVD と呼ばれる。代表的な、熱 CVD 装置と RF プラズマ CVD 装置の代表的な装置概念図を図 2-1(a), (b)に示す¹⁾。RF プラズマ CVD 装置において、プラズマを形成する際に磁界を引加すると、電界と磁界の相互作用により、プラズマの生成効率が上がる。これを利用した方法は磁界印加型のプラズマ CVD と呼ばれる。

マイクロ波 (Micro wave) を用いる場合にはマイクロ波プラズマ CVD と呼ばれる。この中で、マイクロ波を高周波源 (多くは 2.45 GHz) とし、プラズマが形成されるチャンバー内に $8.75 \times 10^{-2} \text{T}$ 以上の磁界を引加して、電子サイクロトロン共鳴 (Electron Cyclotron Resonance: ECR) を利用して、高い電子密度を得るプラズマ装置を ECR プラズマ装置²⁾、あるいは、磁界制御型マイクロ波プラズマ装置と呼ばれる^{3,4)}。この方法は日本で生まれた手法である。

図 2-2 に従来型装置と新たに開発した磁界制御型マイクロ波プラズマ装置の模式図を示す^{5,6)}。ECR を利用したマイクロ波プラズマ CVD 装置において、主プラズマ生成位置は ECR 位置となる。生成したプラズマ種は図中に示したように印加磁力縦方向に基板まで輸送されるが、基板まで輸送される間にプラズマも広がりや、励起状態の減衰により、基板位置における励起イオンやラジカル種の密度は減少する⁴⁾。図中の式は基板位置におけるプラズマ種密度を示す。式中 (A_0/A_1) がプラズマ広がりによる減少を、 $e^{-\alpha D_1}$ が輸送される距離 D_1 による減少を示す。磁力線を基板面にほぼ垂直にすると、円筒的なプラズマ流れが形成でき、これによりプラズマ広がりが防止できる。また、ECR 位置から基板までの距離を短くすると、励起プラズマ種が有効利用できる³⁾。こ

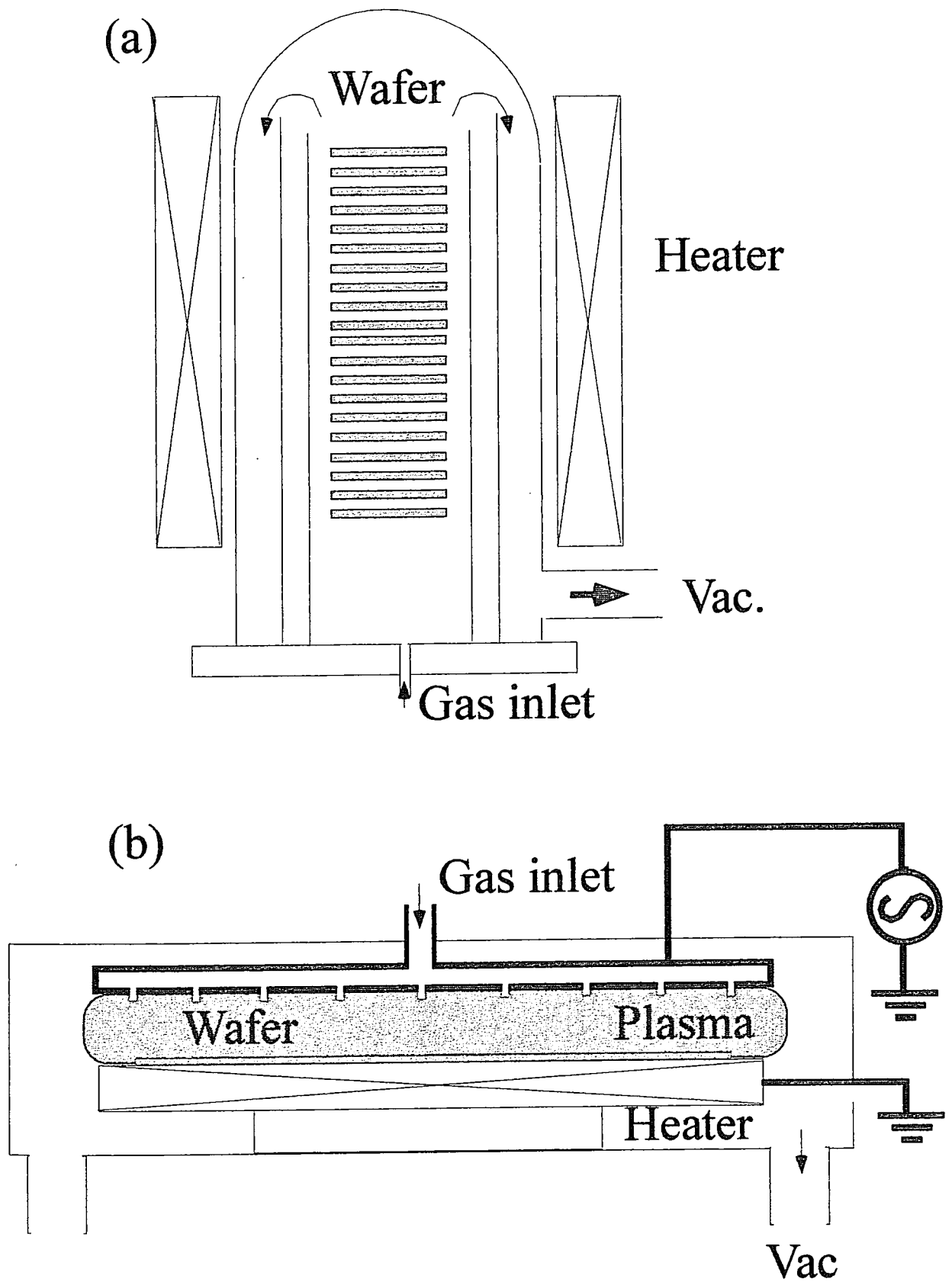


図2-1 (a) 代表的な熱CVD装置と (b) 代表的なプラズマCVD装置

これらの概念を図 2-2 (b) に示す。この概念を基に新たに磁界制御型マイクロ波プラズマ装置を開発した。図 2-3 は装置断面図と装置内に印加される磁束密度分布例を示す。本装置の特徴は磁界コイルを放電管周囲ばかりでなく処理室の周囲にも設置したこと、および処理室内にマイクロ波導波筒を設置したことである。導波筒は ECR を処理室内に効率良く起こさせるためと、ECR 位置を処理室に引き出した時にプラズマが処理室内径全体に広がることを防止するために設置した。従来のように放電管周囲に設置したコイルだけでは装置中心軸上の磁束密度は単調減少（曲線 B）となり、その結果プラズマは発散プラズマ（曲線⑥）となる。一方、付加した磁界コイルを作用させ、基板付近ではほぼ一定となる磁束密度分布を形成すると（曲線 A）、磁力線が基板面にほぼ垂直となり円筒プラズマ（曲線⑦）が形成される。図 2-4 に観測された発散プラズマと円筒プラズマを示す。円筒プラズマを形成すると、基板にプラズマが集中していることがわかる。

このままでは、通常の成膜である。段差の溝部を完全に埋め込み、しかも配線部で、配線底面からの高さが、配線部でも配線の溝部でも同じである、平坦化成膜は出来ない。平坦化成膜は、段差部の斜面を削る作用のあるスパッタを組み合わせることで膜を堆積させることでなされる。スパッタの角度依存性を図 2-5 に、平坦化される様子の模式図を図 2-6 に示す。

この ECR プラズマ装置の数年後に、誘起結合を利用したプラズマ（Induced Coupled Plasma : ICP）装置が開発され、普及し始めた。これはプラズマの電子密度が高い（電子密度、 $N_e: 3 \times 10^{11}$ 個/cm³）ため、高密度プラズマ（High Density Plasma: HDP）CVD と呼ばれる⁷⁾。代表的な装置の断面図を図 2-7 に示す。この装置は現在でも SiO_x、SiOF 膜の形成に使われている。

2.2 スピン塗布法による薄膜形成の原理と技術

絶縁膜の形成には、前述した CVD 膜もあるが、材料を基板に塗布（Spin Coat）し、これを焼成して膜を形成させる方法がある。この方法で形成された膜は、SOG (Spin on Glass)膜、あるいは、最近では有機材も焼成することも多いのでガラス材も含めて SOD (Spin on Dielectrics)膜と呼ぶ⁸⁾。LSI プロセスでは、レジストパターンがこの方法で形成されている。

本研究の代表的な SOD 膜の形成プロセスを図 2-8 に示す。初めに回転してい

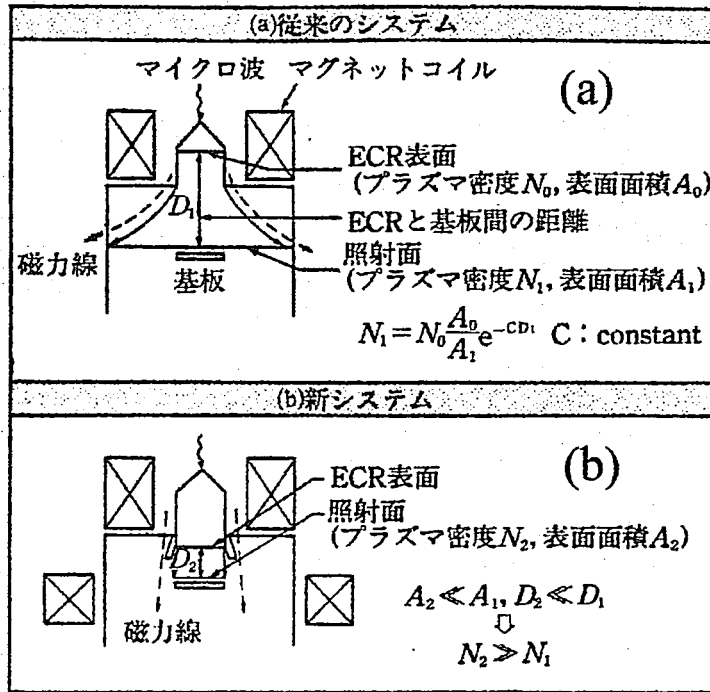


図 2-2 磁界制御型マイクロ波プラズマCVD装置 (a)従来型、(b)本実験で使用した装置

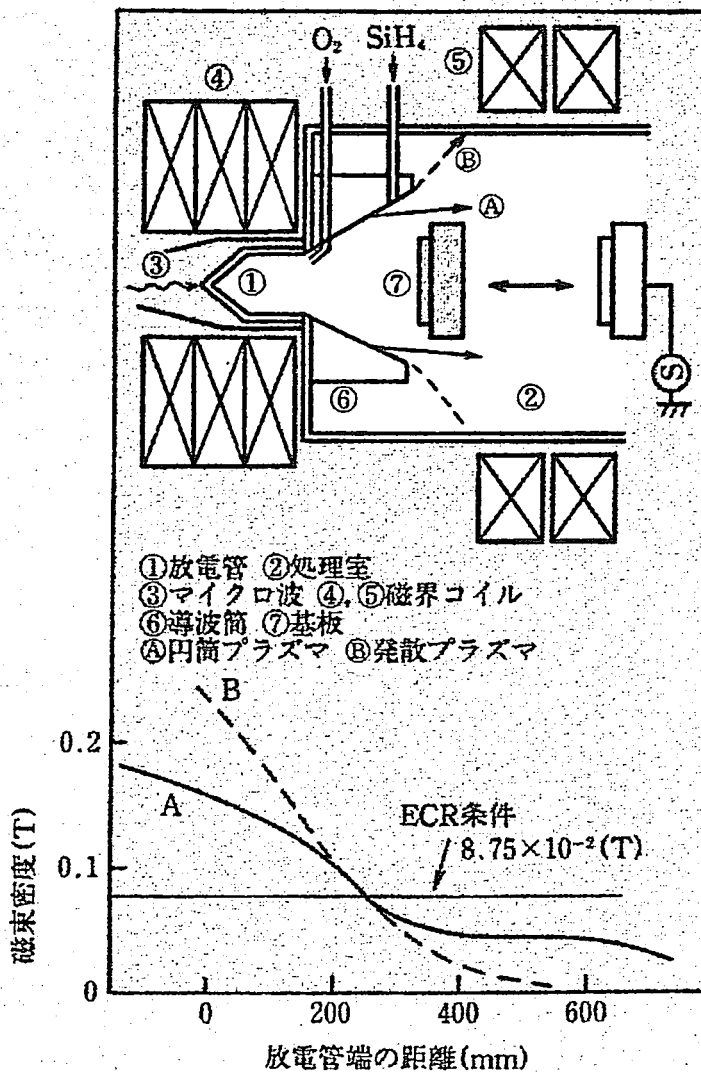


図 2-3 本実験で使用した磁界制御型マイクロ波プラズマCVD装置の断面図と磁束密度の分布

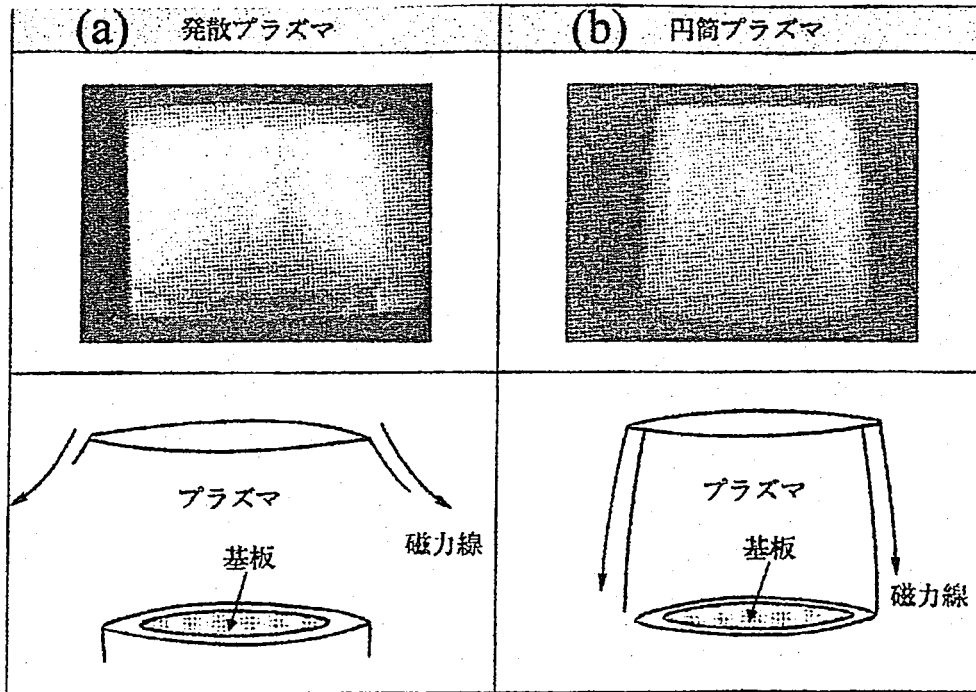


図 2-4 (a)従来の発散プラズマと
(b)本実験で使用した円筒プラズマの様子

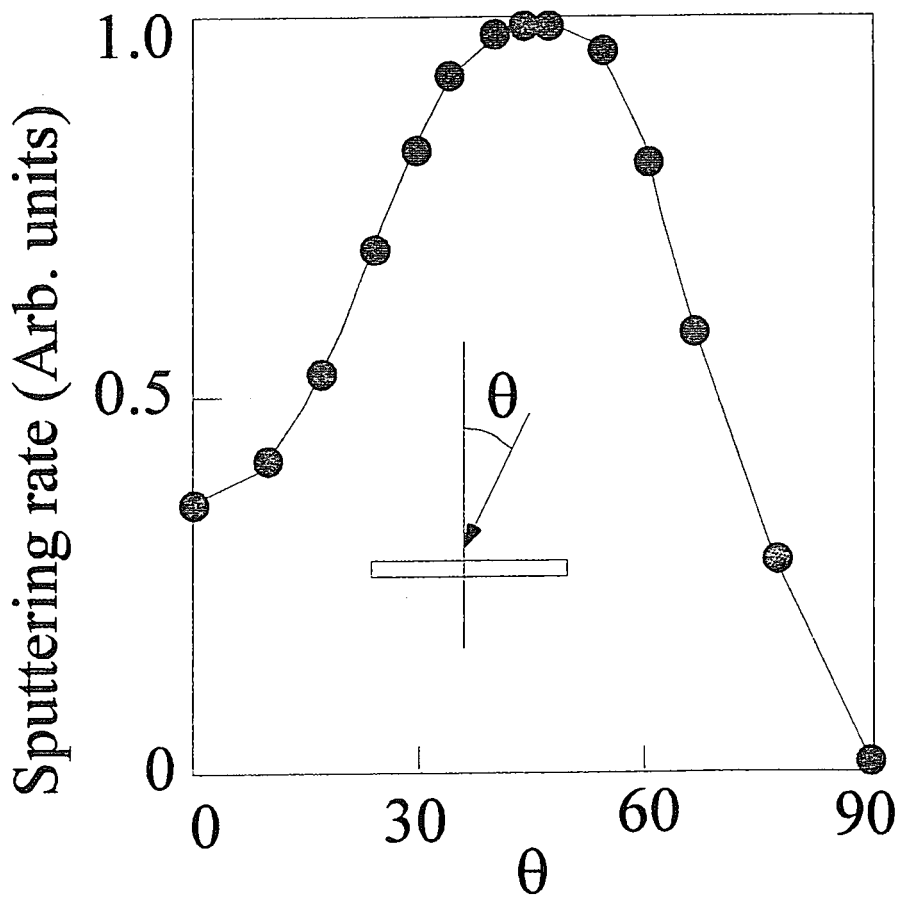


図 2-5 スパッタ速度におけるイオンの基板入射依存性

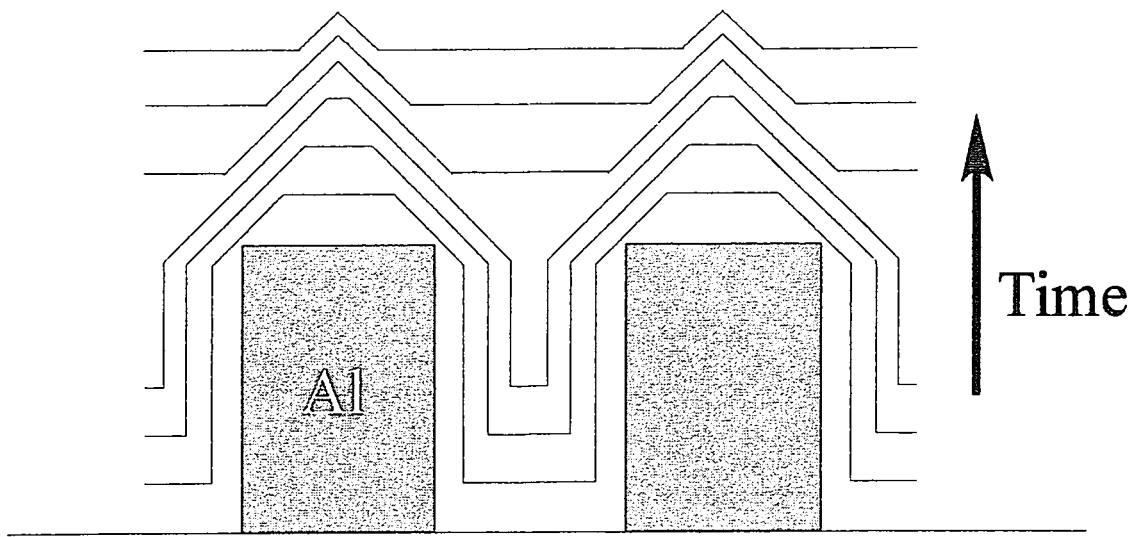


図 2-6 スパッタ重畳による平坦化成膜における堆積状況

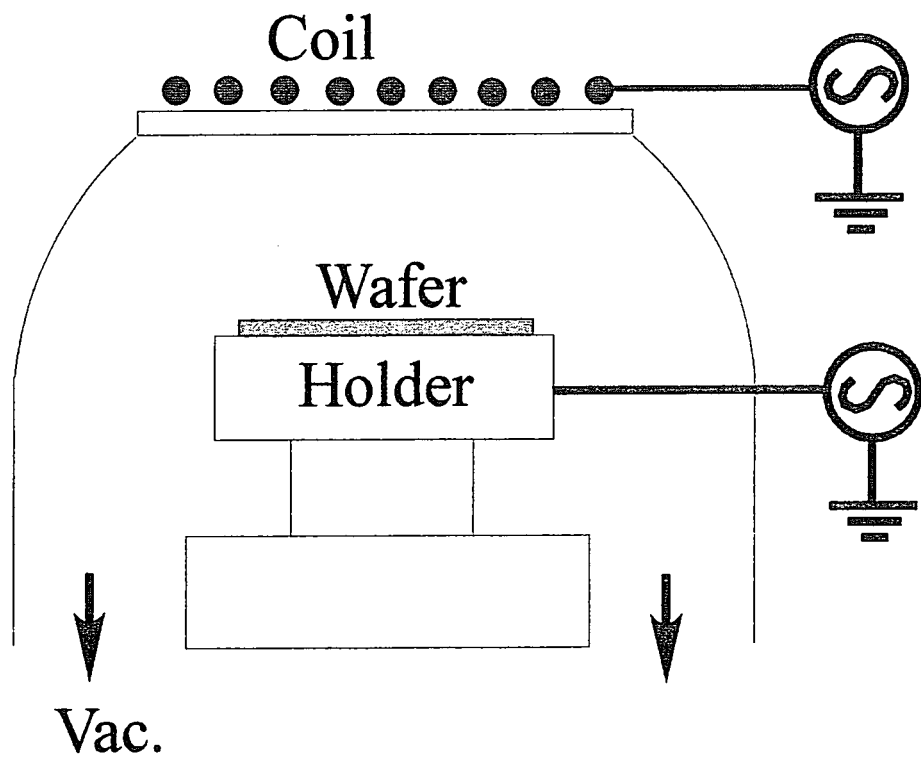


図 2-7 代表的なHDPプラズマ装置の断面図

る基板（回転数：1000-3000 rpm (rotation per minute)）に材料を滴下し、塗布する。高速回転させる理由は、基板に均一に塗布させるためである。この後にブリークして溶剤を揮発させ、その後に焼成して、膜形成反応を起こさせる。SiO₂系の膜では、焼成プロセスでの雰囲気は大気であることが多いが、有機物の場合には、酸化されることを防止するため、多くは、酸素濃度が10 ppmの雰囲気下で焼成される。

2.3 超臨界 CO₂ による改質の原理と技術

超臨界状態は、気体と液体が共存できる限界の温度・圧力（臨界点）を超えた状態にあり、通常の気体、液体とは異なる性質を示す凝集状態である。CO₂では、比較的低い温度と圧力で、超臨界状態になる。CO₂の相図を図 2-9 に示す。この超臨界流体は、強い拡散性と溶解性を持ち、且つ、その物性を連続して大幅に変化できる特長を持っているため、工業的には広く使用されている⁹⁻¹¹⁾。毛管力(界面張力)が生じない乾燥が可能で、微細構造物を壊さずに乾燥させることが出来るため、最近では、MEMS や LSI 分野での乾燥の応用が開発されている¹²⁾。

本研究では、この超臨界 CO₂ の高い浸透性と脱水能力に着目した。用いた装置は、神戸製鋼所製の装置である。装置の概略図を図 2-10 に示す。超臨界処理の条件は 80 °C、15 MPa である。

2.4 電気的測定法の原理と技術

電気的評価にはアジレント社製の HP7010 を用いた。本研究では微小電流での I-V, C-V 測定を行うため、評価装置とプローブ針の間のケーブルには 3 重線、トリアキシャル (Tri-axial : TR) ケーブルを用いた。このケーブルは 2 重線 (Binary : BN) ケーブルとは異なりガード線 (図 2-11 中の G₁, G₂) が 2 重になっており、G₂ はアースに落としてあるが、G₁ は測定線 (M) と同電位になるようにしてある。

2.4.1 I-V 測定

リーク電流の測定は、装置の出力と試料を介してグラウンド（アース）に流れ

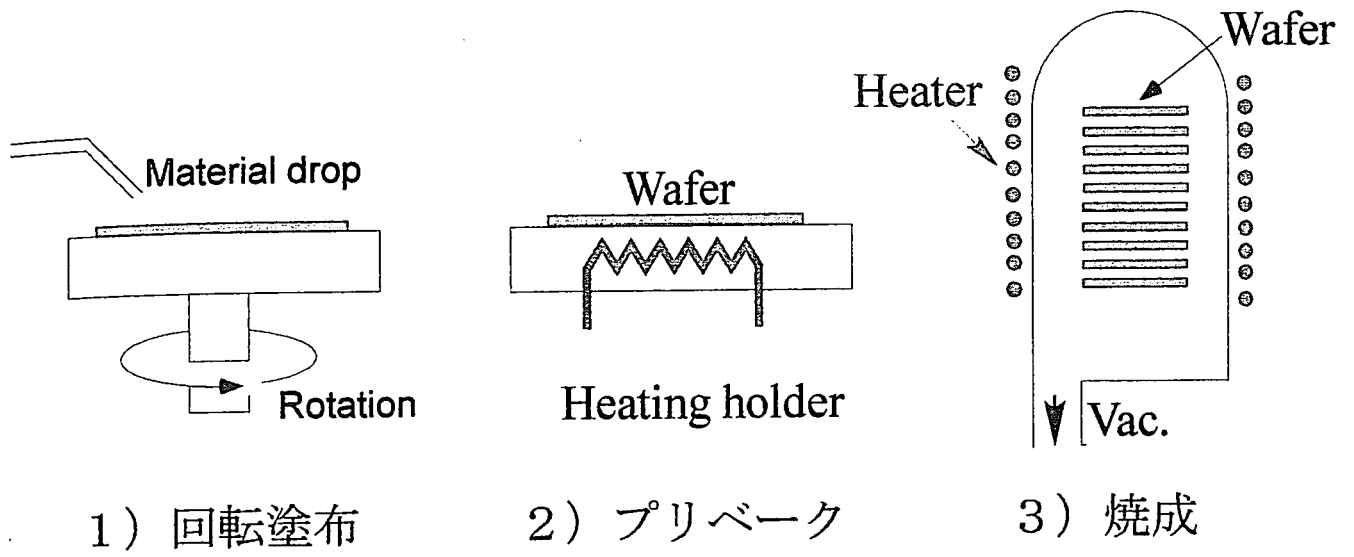


図2-8 代表的なSOD膜の形成プロセス

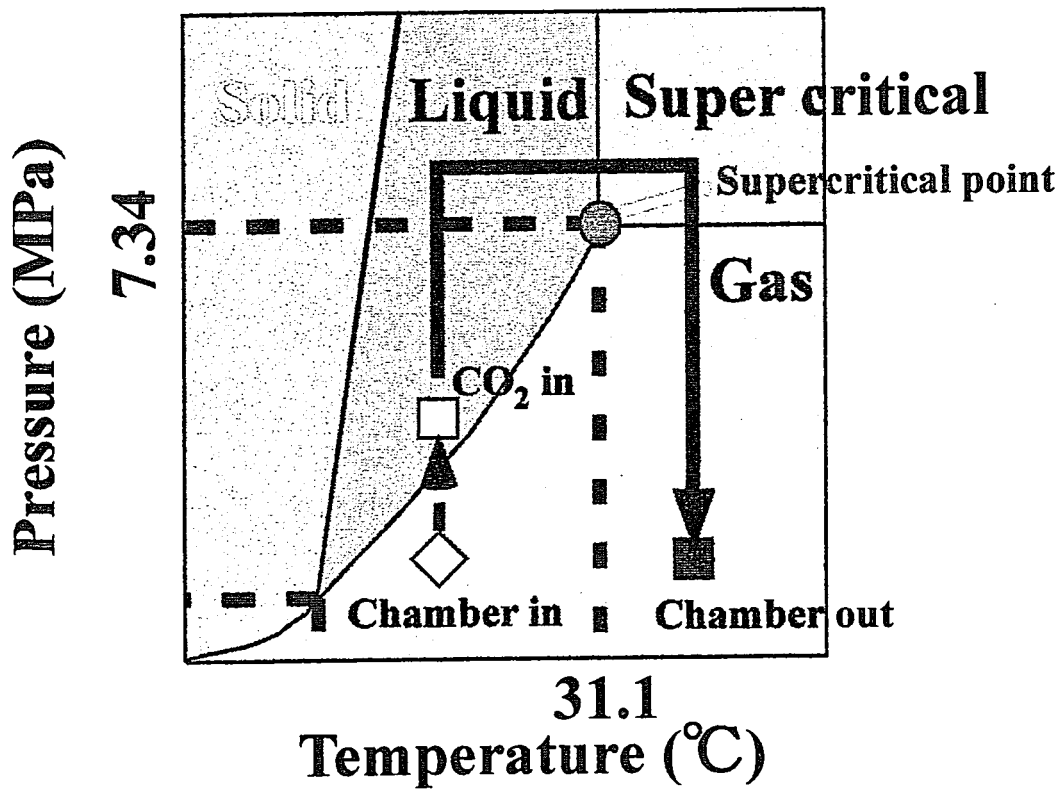


図2-9 CO₂の相図と実験条件

る電流を測定するが、微量電流の測定になるため、上述した TR ケーブルを用いている。これは外来電気ノイズとケーブルのノイズ吸収を防ぐためと、外部に流れるリーク電流 (I_{leak}) の影響を除くためである。図 12-12 に G_1 の役割りを示した。ガードが無い場合、測定される電流 (I_{meas}) は、真の電流 (I_{true}) の他に、測定線から流れる漏れ電流 (I_{leak}) が加わることになる ($I_{\text{meas}} = I_{\text{leak}} + I_{\text{true}}$)。測定の際に、測定線 M を被覆して電氣的にガードする G_1 が有り、M と G_1 を同電位とすると、漏れ電流は電流計を流れない。このため、精度の高い微小電流測定が出来る。

I-V (I-E) 特性の測定には、パルス電圧を引加して、その時に流れる電流値を取り、その後にアースに接地したホールド時間 (0.5 秒) を取って、再度、所望の電圧のパルスを引加する方法で測定した。絶縁材料に電界が印加されると誘電吸収が現れる。印加電圧が変わると、誘電吸収による漏れ電流が流れる。誘電吸収による電流の量は、絶縁材料と印加電圧の大きさに依り、時間と共に減少する。一般に、誘電吸収による電流の補正を行うことは困難なため、電圧印加後、次の電流を測定する前に適切な待ち時間を取らないと、測定したい電流ではなく誘電吸収による電流を測ってしまうことになる。

$$I = C/t + V/t \quad (2-1)$$

このため、I-V 特性評価には、パルス電圧印加方法を取った。この方法は、電圧が印加されている状態で振動により容量が変化し、ノイズ電流が発生する場合や、カップリング容量を通して誘電吸収による電流が流れてしまう場合にも、その影響は避けられる¹³⁾。

理想的な測定器では試料に何も接続されて無く、しかも電圧も印加されていない状態では全く電流が流れないはずだが、実際の測定器では、ごく微量なオフセット電流や容量が観測される。このため、測定に際しては、オフセット測定を行い、漏れ電流、寄生容量を予め求めた。この値は、実際の試料測定の値から、プログラム上で差し引いた。

2.4.2 C-V 測定

下記の計算式で使用するパラメータを最初にまとめる¹⁴⁾。

ϕ_f : フェルミポテンシャル (V)

C_{Smin} : 空乏層容量の最小値 (F)

C_{ox} : ゲート電圧最大値時の容量 (F)

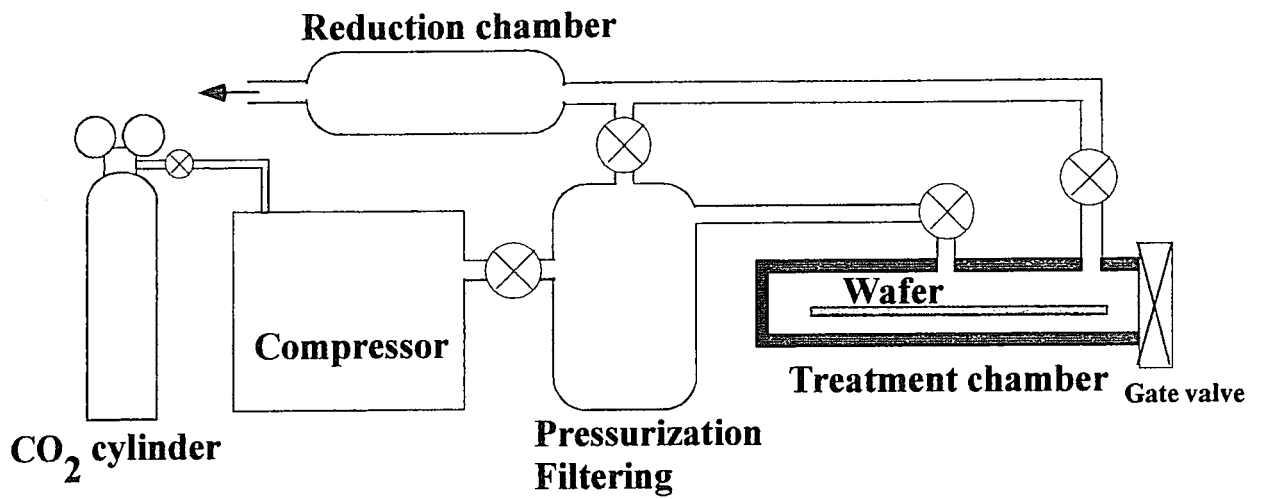


図2-10 超臨界CO₂装置の概略図

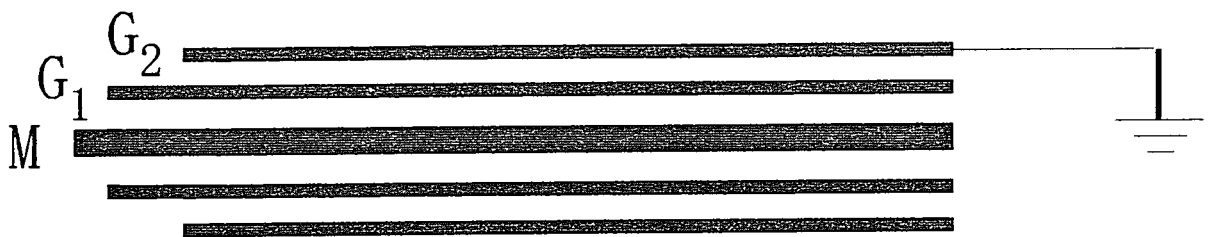


図2-11 測定に用いたトリアキシャルケーブルの断面構造

ガードが無い場合

ガードがある場合

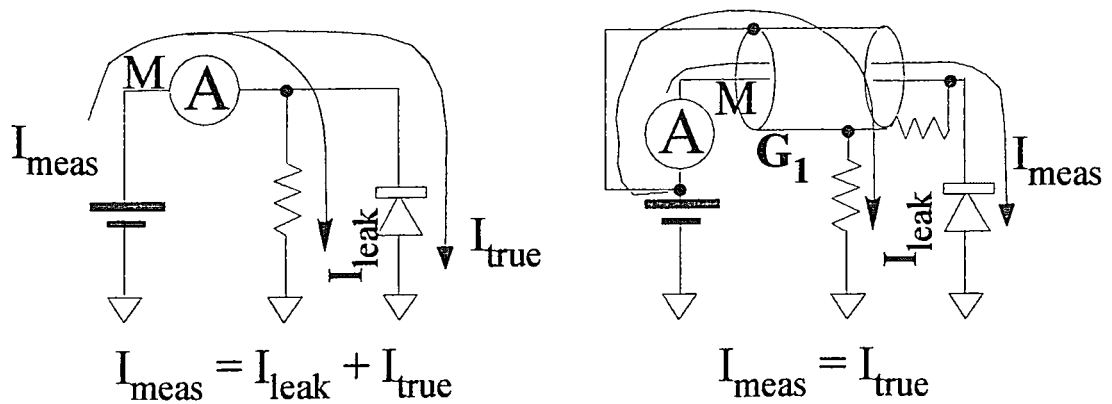


図2-12 測定に用いたトリアキシャルケーブルの役割を示す模式図

C_{\min} : 容量測定値の最小値 (F)
 C_{\max} : 容量測定値の最大値 (F)
 A : ゲート面積 (cm^2)
 n_i : 真性半導体キャリア濃度 ($1/\text{cm}^3$)
 ϵ_0 : 真空の誘電率 ($8.854 \times 10^{-14} \text{ F/cm}^3$)
 ϵ_{Si} : Si の比誘電率 (11.7)
 q : 電子電荷量 ($1.602 \times 10^{-19} \text{ C}$)
 k : ボルツマン定数 ($1.38 \times 10^{-23} \text{ J/K}$)
 T : 温度 (K)
 N_{sub} : 基板不純物濃度
 N_f : Q_{ss}/q : 表面電荷密度

基板の不純物濃度は以下の式で表される¹⁴⁾

$$N_{\text{sub}} = \frac{4}{q \epsilon_0 \epsilon_{\text{Si}}} (C_{\text{Smin}}/A)^2 \quad (2-2)$$

$$\phi_f = \pm \frac{kT}{q} \ln (N_{\text{sub}}/n_i) \quad (2-3)$$

$$C_{\text{Smin}} = C_{\text{min}} \times C_{\text{ox}} / (C_{\text{ox}} - C_{\text{min}}) \quad (2-4)$$

$$n_i = 3.9 \times 10^{16} \times T^{3/2} \times \text{EXP}(-1.21q/2kT) \quad (2-5)$$

(2-4)、(2-5)式を(2-2)、(2-3)式に代入し、逐次近似を行うことで、 N_{sub} を算出した。

フラットバンド電圧は、容量測定 (C_{fb})を求めて決定した。

$$C_{\text{fb}} = C_{\text{ox}} \times C_{\text{Sfb}} / (C_{\text{ox}} + C_{\text{Sfb}}) \quad (2-6)$$

$$C_{\text{Sfb}} = \sqrt{2} \times A \epsilon_0 \epsilon_{\text{Si}} / \lambda \quad \lambda = (2kT \epsilon_0 \epsilon_{\text{Si}} / q^2 N_{\text{sub}})^{1/2} \quad (2-7)$$

上記で算出した N_{sub} と C_{ox} から C_{fb} を算出し、その時のバイアス電圧から V_{fb} を決定した。表面電荷密度 N_f : Q_{ss}/q は

$$N_f = \frac{C_{\text{ox}}}{Aq} |\phi_{\text{ms}} - V_{\text{fb}}| \quad \phi_{\text{ms}} = \phi_w - \phi_f \quad (2-8)$$

で決定した。ここで、 ϕ_w は金属ゲート電極の仕事関数となる (Al の場合: -0.6 V)。

V_{th} は V_{fb} に表面ポテンシャルが $2\phi_f$ と等しくなるのに要した電圧になり、次式で現せる。

$$V_{th} = V_{fb} + (2\phi_f - AQ_b / C_{ox})$$

$$Q_b = \pm qN_{sub} \times (A \epsilon_o \epsilon_{Si} / C_{smin}) \quad (+: N-Si, -: P-Si) \quad (2-9)$$

算出した N_{sub} , C_{smin} , ϕ_f , V_{fb} を使って、(2-8)、(2-9) 式から、 V_{th} を算出した。

実際の測定では以下の点に注意を払った。C-V 測定を行う際、一般的な 2 端子構造による接続では測定信号の干渉および不要な残留成分が、測定（特に高周波測定において）に影響する。本研究では、4 端子対構造の測定端子を採用した。図 2-13 に 4 端子対測定の原理を示す。測定端子は、次の 4 つの同軸コネクタで構成されている¹⁵⁾。

Hc : 電流 High 端子、Hp : 電圧 High 端子

Lp : 電圧 Low 端子、Lc : 電流 Low 端子

外部シールド導体 (G_1) は、中心導体を流れる測定信号の帰還路となっている（グラウンドではない）。従って、中心導体 M と外部シールド導体 G_1 には等しい電流（ただし、方向は逆）が流れ、双方の電流から生じた磁界は打ち消し合うので、導体周囲に磁界は生じないことになる。つまり、測定信号電流が誘導磁界を発生させないので、測定用リード線の自己インダクタンスまたはリード間の相互インダクタンスによって誤差が増加することがなく、正確な測定が行えることになる。

2.4.3 g_m 特性測定

相互コンダクタンス (g_m' , g_m) は次式で定義した¹⁶⁾。

$$g_m' = \Delta I_d / \Delta V_G \quad (2-10)$$

ここで、 I_d はドレイン電流で V_G はゲート電圧である。測定の等価回路と I_d - V_G 特性の例を図 2-14 に示す。ドレインに定電圧 (V_d) を加えた状態で、ゲート電圧をパルス掃引し、このときのドレイン電流とゲート電圧の変化分の比で、 $\Delta I_d / \Delta V_G$ がほぼ ”最大” となる V_G の値を g_m と定義した。第 4 章で表記された g_m は、この値である。 Δg_m はゲートにストレス電圧 (V_d) を印加後の g_m 変動の値である。

2.4.4 TDDB 時間測定

経時的絶縁破壊、TDDB は下記 MIS (Metal/Insulator/Si) 構造で電極を Cu として、低電圧を印加し、電流が 0.1A 以上流れた時を TDDB 時間、 τ とした。

2.4.5 MIS 構造とインテグレーション評価パターン

MIS 構造での測定様子と I-V, C-V 特性測定の概略を図 2-15 に示す。電極は 1 mm ϕ の Al と Cu を用いた。電極は、SUS 盤に 1 mm ϕ の穴を空けたメタルマスクを試料に重ねて、真空蒸着して形成した。プローブ針はタングステン、W である。

インテグレーション評価では、配線 1 層 (M1) を形成したサンプル評価と 2 層 (M1, M2) を形成したサンプル評価を行った。配線容量と配線間のリーク電流測定には、櫛型パターンを用いた。櫛型パターンと配線構造の模式図、実際の断面図を図 2-16、17 図に示す。2 層配線の断面図と、ビア抵抗のケルビン測定における測定概略図を図 2-18 に示す。ケルビン測定では、2 端子測定と異なり、印加電圧測定のパッド近傍の電流 (4 端子測定) を測定しているため、電流損出のない測定でビア抵抗を測定している。尚、抵抗, R は -0.01 ~ +0.01 V の電圧-電流直線の傾きから決定した。

2.5 真空プローバ法

本研究では、膜質の本来の特性、あるいは、水分の影響のない状況で特性評価を評価するため真空中でも評価できるプローバーを用いた。図 2-19 に装置の概略図を示す¹⁷⁾。これは、通常の X, Y, Z, θ ステージを真空チャンバーに設置し、真空中に引けるようにしたものである。ステージの X, Y, Z 方向の動きは外部コントローラーで制御出来る。プローブ針の位置は、顕微鏡で確かめながら、制御した。真空チャンバーには、ドライポンプの上流にターボ分子ポンプ (Turbo Molecular Pump: TMP) を設置した。チャンバーの到達真空度は 1×10^{-5} Pa 以下である。また、このチャンバーには 4 重極 (Quadrupole Mass: Qmass) 質量センサーが設置されており、後述する TDS 装置と同じ原理、手法で、電気特性評価中のチャンバー内のガス分析が出来る。

2.6 脱ガスの測定法

図 2-15 (a) MIS 構造の模式図、(b) I-V 特性測定の概略図、(c) C-V 特性評価の概略図

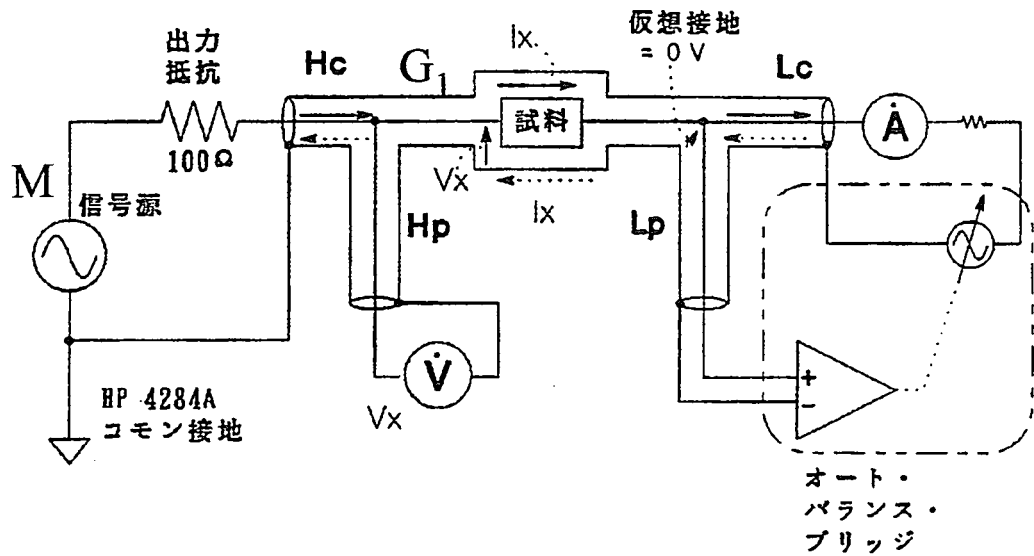


図2-13 C-V測定における4端子対法とトリアキシャルケーブルの役割の模式図

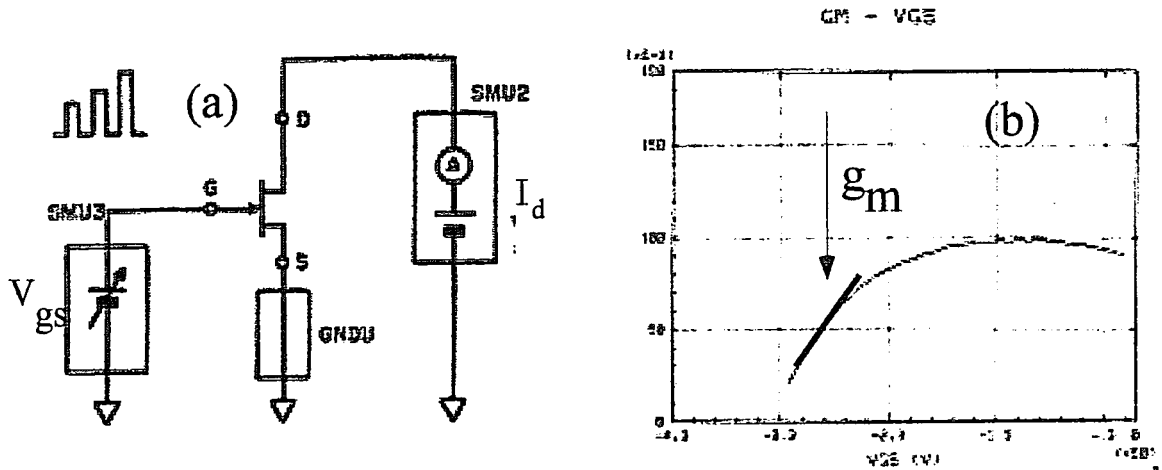


図2-14 相互コンダクタンス g_m の(a)測定回路と(b) I_d の V_G 依存性

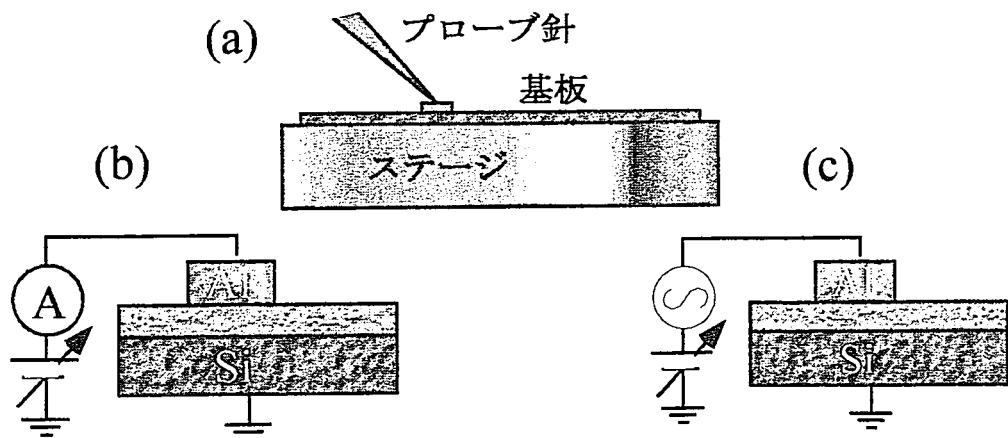


図2-15 MIM構造の(a)電気特性評価の様子と(b)I-V評価と(c)C-V特性評価の概略図

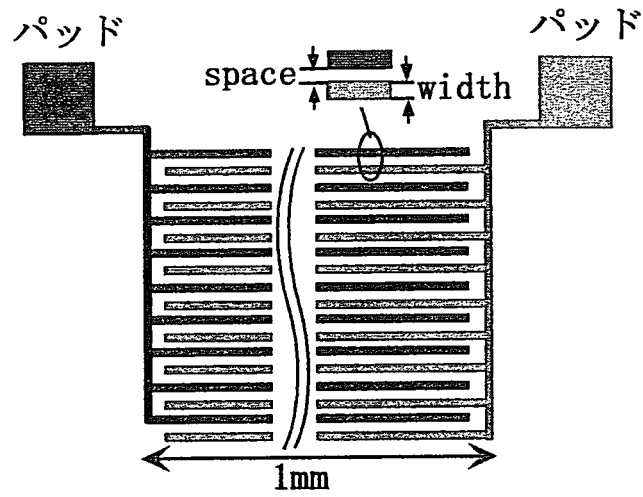


図 2-16 配線のショートチェックと配線容量測定用の
櫛形パターン

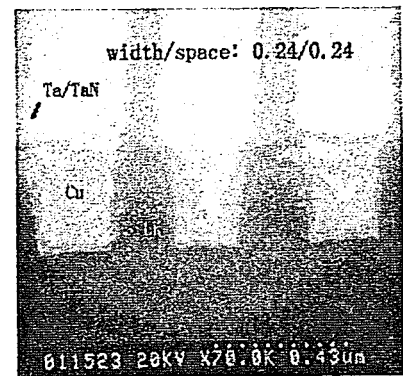
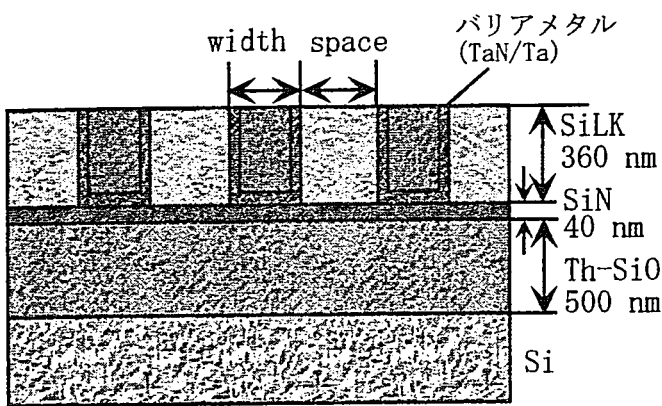


図 2-17 M1配線の断面構造

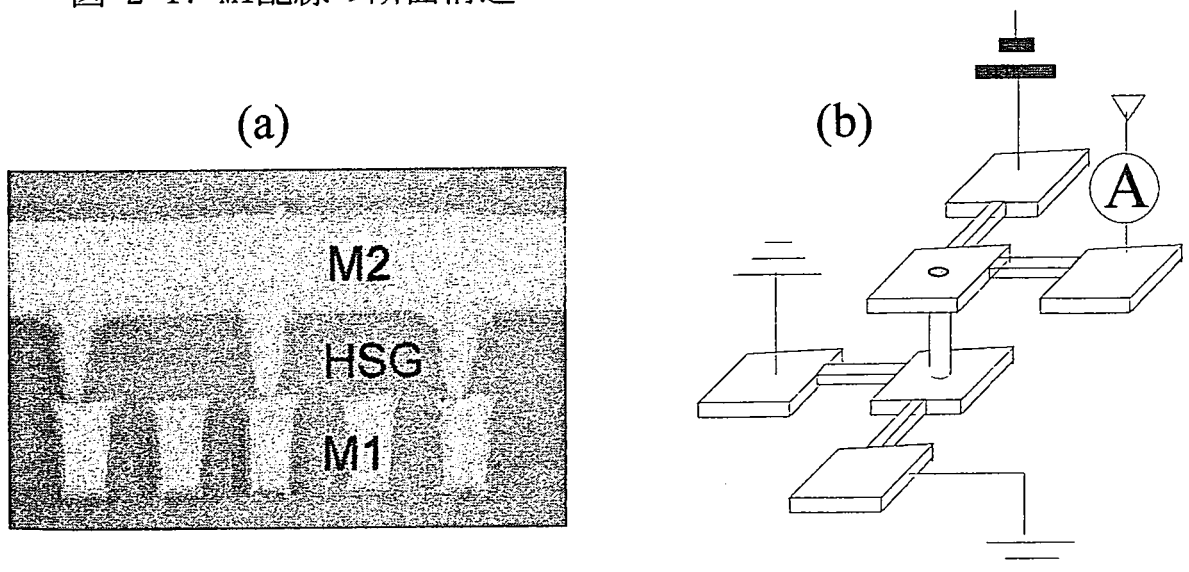


図 2-18 2層配線の(a)断面形状と(b)ケルビン抵抗測定の概略図

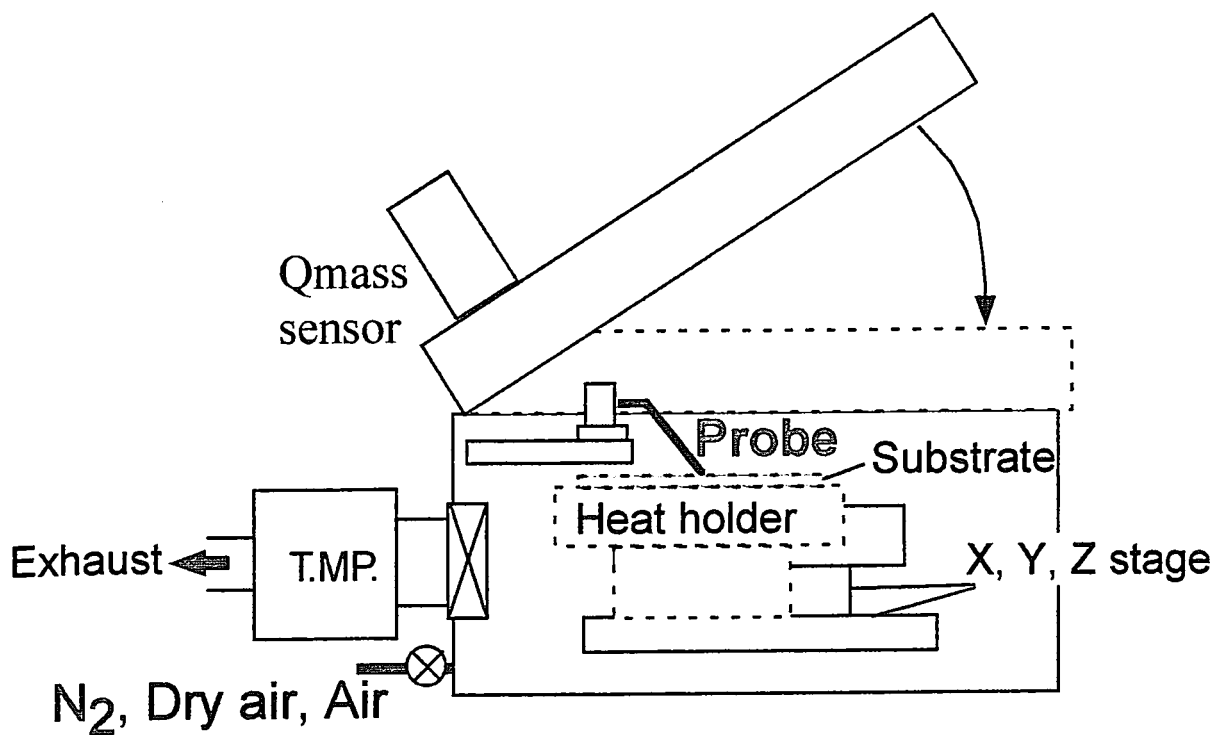


図2-19 本研究で用いた真空プローバ

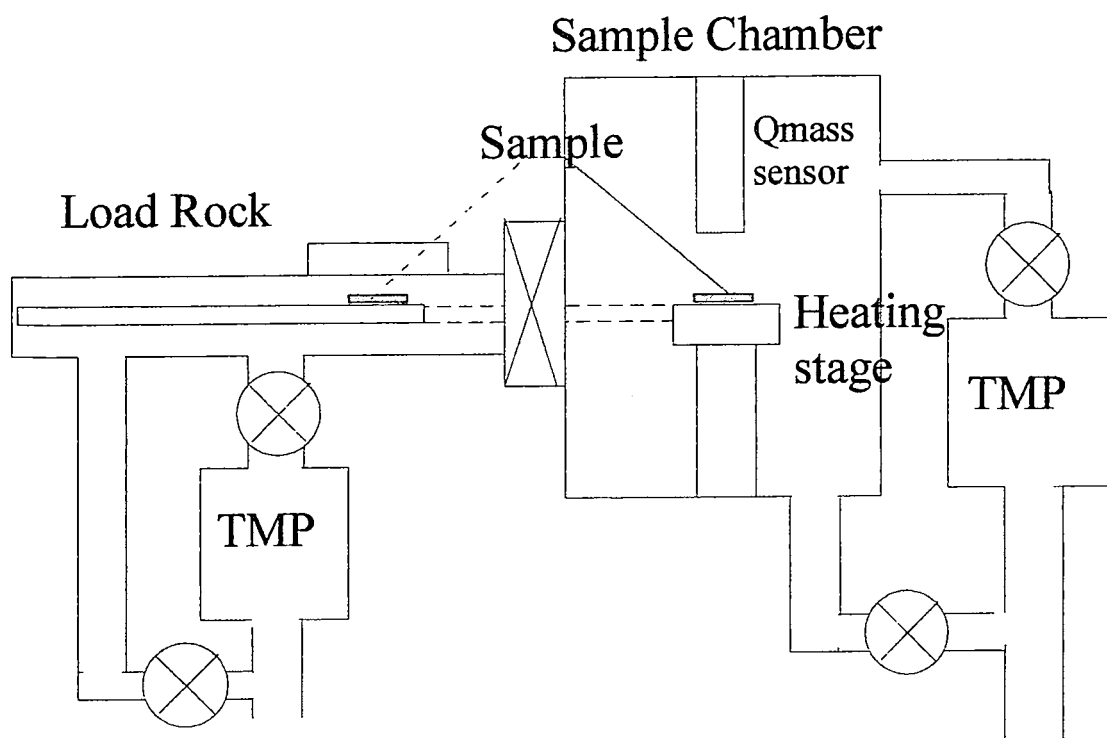


図2-20 本研究で用いたTDS装置の概略図

膜からの脱離ガス種の測定には市販の TDS 装置(電子科学工業製)を用いた。図 2-20 は本研究で用いた昇温脱ガス測定装置の主要部の概略を示す。測定試料は 1 cm x 1 cm で、ロードロック室経由でサンプル室に運ばれる。サンプルステージでは、赤外線加熱で最大 1000 °C まで加熱出来る。真空は、 10^{-4} Pa 以下である。Qmass センサー部は、サンプル室の基板上方に設置してある。図 2-21 はセンサー部の概略を示す。センサー部は、大きく 3 つの部分に分かれる。それぞれ次のような働きをする。①イオン源部：電子ビームによってセンサー内のガスをイオン化し、フィルター部に向けて加速する。②フィルター部：イオン化されたガスが質量によって選別される。つまりこの部分は任意の質量を持ったイオンだけを通し、それ以外のイオンを電場によってセンサー外部に弾き出す。③検出器部：フィルター部を通過してきたイオンの強度をファラデーカップと電子増倍管を用いて読み取る。

まずフィラメントから出た熱電子は、アノードとの電位差で加速されて飛び込んできた気体分子をイオン化する。イオン化された気体はフォーカスレンズ間の電位差で加速されてフィルター部に進んでゆく。ここで電子やイオンに与えられるエネルギーは数十 eV 程度である。イオン源部によって生成されたイオンビームは、加速されてフィルター部に進入してゆく。フィルター部では任意の質量をもったイオンを電場で束縛し、それ以外の質量のイオンを外部に発散させる事によってイオンの選別を行っている。

フィルター部は図 2-22 のように 4 本の電極によって構成されている。この電極は同心円状に配置されているが、かける電圧は対面毎で異なる。これは図を参照すると分かるように、<交流+直流>の電圧がかけられていて、x 方向と y 方向ではその電圧がちょうど正負逆になるようになっている。今、電極内部の円筒状の空間について考えてみる。電極に電圧をかけると、各軸に比例するような電場が得られる。これを式で表すと、

$$\mathbf{E} = (E_x, E_y, E_z) \quad E_x = (E_0 + E_A \cos \omega t)x, E_y = -(E_0 + E_A \cos \omega t)y, E_z = 0 \quad (2-10)$$

ここで E_0 、 E_A はそれぞれ電極に印加される直流と交流電圧の大きさであり、印加電圧は、

$$U_0 = U + V \cos \omega t \quad (U = r_0^2 E_0 \quad V_0 = r_0^2 E_A) \quad (2-11)$$

表す事ができる。このような電場におけるイオンの運動は、イオンにかかる力

を考える事により下式のように運動方程式として与えられる。Z は残留ガスがイオン化する際のイオン価数、m はイオンの質量であり、式を見ても分かるようにイオンの運動は各軸独立しており、z 方向には力を受けない。

$$\frac{dx^2}{dt^2} = \frac{Ze}{mr_0^2} (U + V\cos\omega t)x \quad \frac{dy^2}{dt^2} = \frac{Ze}{mr_0^2} (U + V\cos\omega t)y \quad \frac{dz^2}{dt^2} = 0 \quad (2-12)$$

x 軸、y 軸に関してこの方程式を解くと、マシュー (Mathiew) 方程式の一般形になる¹⁸⁾。時間に対する動きの例を図 2-21 に示す¹⁸⁾。任意の質量を持ったイオンだけを通過させたい場合は、 $K=U/V$ を一定に保ったまま、 $V(U)$ を変化させる。

2.7 その他の物性評価法

2.7.1 FT-IR 法

赤外吸収スペクトルの測定は、リファレンスとサンプルが同じ雰囲気中で同時測定出来るダブルビーム型のフーリエ変換型の装置、Fourier Transformation - Infrared spectrum (FT-IR)装置を用いた (日本分光社製 FT/IR-4000)。リファレンスには、薄膜を形成するのに用いた基板を用いた。測定は、リファレンスとサンプルを同一の測定室に入れ、真空排気した後、窒素パージした後に行った。

2.7.2 膜厚測定と電極面積測定

膜厚測定は堀場製作所製の分光エリプソメーターを用いた。多波長 (250 - 700 nm) で測定しているため、単波長エリプソメーターでは得られない、屈折率と膜厚の同時決定が出来る。

電極面積の決定は、電極を写真撮影し、その面積部を PC ソフトプログラムで黒のドットとしてカウントして (ピクセル数) 決定した。

2.7.3 膜の機械的強度測定法

膜の堅さとヤング率の決定は、ナノインデンテーターによる測定を用いた。これは、微少の押し付け針を試料に押し込み、加重を解放した後の、押し込み深さの力依存性を測定して、その接線膜の傾きから、堅さとヤング率を求めた。詳細は日産アーク社による文献 19 を参考にしていきたい。

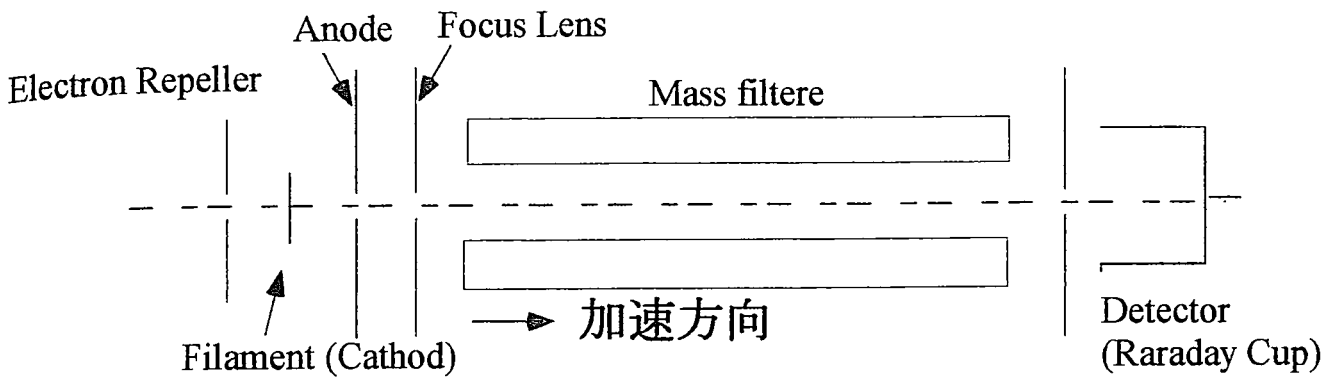


図2-21 Qmassセンサーの概略図

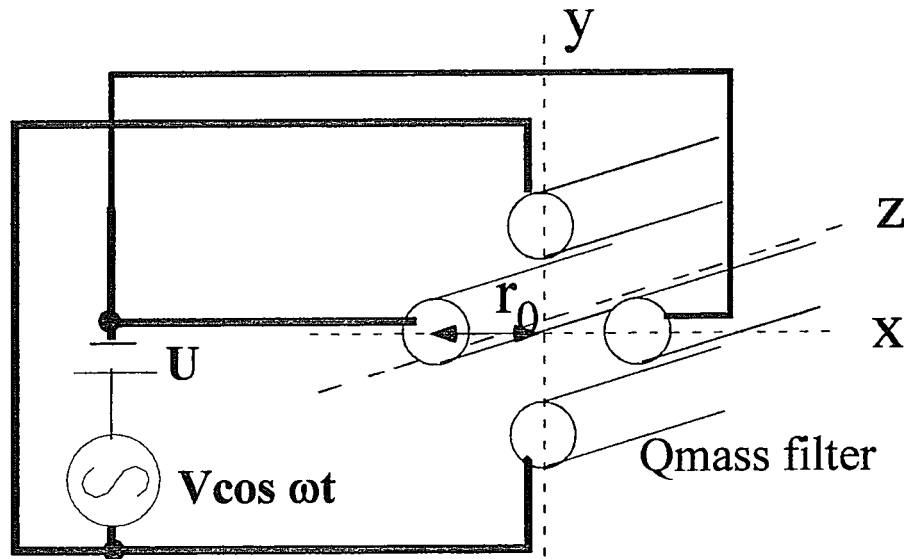


図2-22 Qmassフィルターの概略図と印加電界

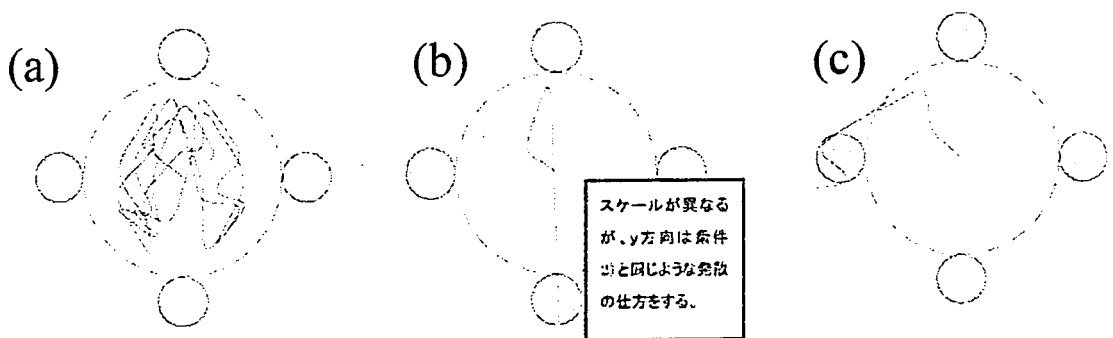


図2-23 Qmassフィルター内のイオン運動の模式図
 (a)最適電界印加時 (b)イオン質量が軽い時 (c)イオン質量が重い時

密着度測定はテープテストにより評価した。対象の界面は、対象となる膜を積層させた試料を作成して形成した。この試料に、カッターナイフで約 1 mm 間隔の切れ込みを入れ、格子状の切れ込みのところに、粘着テープを貼る。この後にテープを剥がして、はがれ面を光学顕微鏡で観察して評価した。

2.8 参考文献

- 1) 菊池正典: 半導体のすべて 日本実業出版社 (2006)
- 2) S. Matsuo and M. Kukuchi: Jpn. J. Appl. Phys. 22 (1983) L210
- 3) T. Fukuda, K. Suzuki, S. Takahashi, Y. Mochizuki, M. Ohue, N. Momma and T. Sonobe: Jpn. J. Appl. Phys. 27 (1988) L1962
- 4) T. Fukuda, K. Suzuki, M. Ohue, N. Momma, K. Suzuki and T. Sonobe: Jpn. J. Appl. Phys. 28 (1989) 1035
- 5) K. Saito, T. Fukuda, N. Chiba and N. Momma: Jpn. J. Appl. Phys. 31 (1992) 1102
- 6) T. Fukuda, K. Saito, M. Ohue, K. Shima and N. Momma: Jpn. J. Appl. Phys. 34 (1995) L937
- 7) T. Fukuda, T. Hosokawa, E. Sasaki and N. Kobayashi: Proceedings of 1997 IITC (1997) 42
- 8) 角南英夫: *VLSI 工学 -製造プロセス編-* 電子情報通信学会編
- 9) 荒井康彦 監修: *超臨界流体のすべて* 株式会社テクノシステム (1992)
- 10) 荒井康彦、新井邦夫: 化学工業 56 (1992) 887
- 11) S. Takishima and H. Masoka: Rev. High Pressure Sci. Technol. 2 (1993) 295
- 12) K. Suzuki, T. Fujikawa and N. Kawakami: Proceedings of 2000 IITC (2000) 105
- 13) ウエハレベルでの微小電流特性評価 Agilent 4070 シリーズ 半導体パラメトリックテストアプリケーション・ノート 356
- 14) S. M. Sze: *Physics of Semiconductor Devices* JOHN WILLY & SONS (1981)
- 15) HP 4284A プレシジョン LCR メータ取扱説明書
- 16) 柳井久義、永田 穰: *集積回路工学* コロナ社 (1984)
- 17) T. Fukuda, H. Nishino, A. Matsuura and H. Matsunaga: Jpn. J. Appl. Phys. 41 (2002) L537
- 18) 不破敬一郎、藤井敏博: *四重極質量分析計 原理と応用* 講談社サイエンティフィック (1977)
- 19) J. Ye, M. Kano and Y. Yasuda: Jpn. J. Appl. Phys. 93 (2003) 5113

第3章 バイアス ECR-CVD による平坦化成膜

3.1 はじめに

Al 配線を用いた LSI の多層配線においては、Al 配線が形成された後に、層間絶縁膜を堆積させる。この Al 配線の間を絶縁する膜の形成は LSI の歩留まりと信頼性を支配する。そのためには、Al 配線の間、 SiO_x 膜を空隙なしに埋め込む方法が求められた。これを達成する手法としてスパッタを重畳させた、平坦化絶縁膜形成と呼称される絶縁膜形成方法がある¹⁾。当初は RF プラズマ CVD 法を用いていたが、スパッタを重畳させるため、成膜速度が極端に遅いと言った問題があった。これを解決するため、プラズマ密度が高い ECR を利用した手法が提案された²⁾。しかし、まだ、成膜速度は、実用化に求められる程は高くなかった。また、スパッタを重畳させるバイアス電位で、基板がダメージを受ける問題がある。そこで、ECR をより積極的に利用する、磁界制御型マイクロ波プラズマ装置が新たに開発された³⁾⁻⁶⁾。本章では、これを用いて、成膜や膜質に及ぼす 1) 磁界効果と 2) 基板に印加する周波数の影響と、3) 周波数の最適化による低ダメージの平坦化成膜方法について調べた。

3.2 磁界制御型マイクロ波プラズマ装置による平坦化絶縁膜形成

実験に用いた装置は図 2-3 に示した装置である^{5),6)}。ECR 位置はプラズマの生成するマイクロ波の周波数と印加磁界で決まる。本研究では、2.45 GHz のマイクロ波を用いているので、磁界が 8.75×10^{-2} T の位置が ECR 位置となる。ECR 位置が主たるプラズマ生成位置となる。膜形成には図 2-2 と 2-4 に示した、発散プラズマと円筒プラズマを用いている。堆積速度は早い程、望ましいが、平坦化膜形成では、スパッタ速度との兼ね合いが重要となる。この時代のサブミクロンのプロセスノード ($0.8 \mu\text{m}$) では、堆積速度に対するスパッタ速度は 25% 以上が必要であった。図の堆積速度はスパッタを重畳させた時の、実質の膜形成速度である。また、形成膜は、高信頼性の観点から、緻密なものが求められた。この緻密さの評価には、緩衝フッ酸液による、ウェットエッチング速度を使った。図 3-1 は SiO_2 膜を成膜した時の (a) 堆積速度、(b) 堆積膜の緻密性を

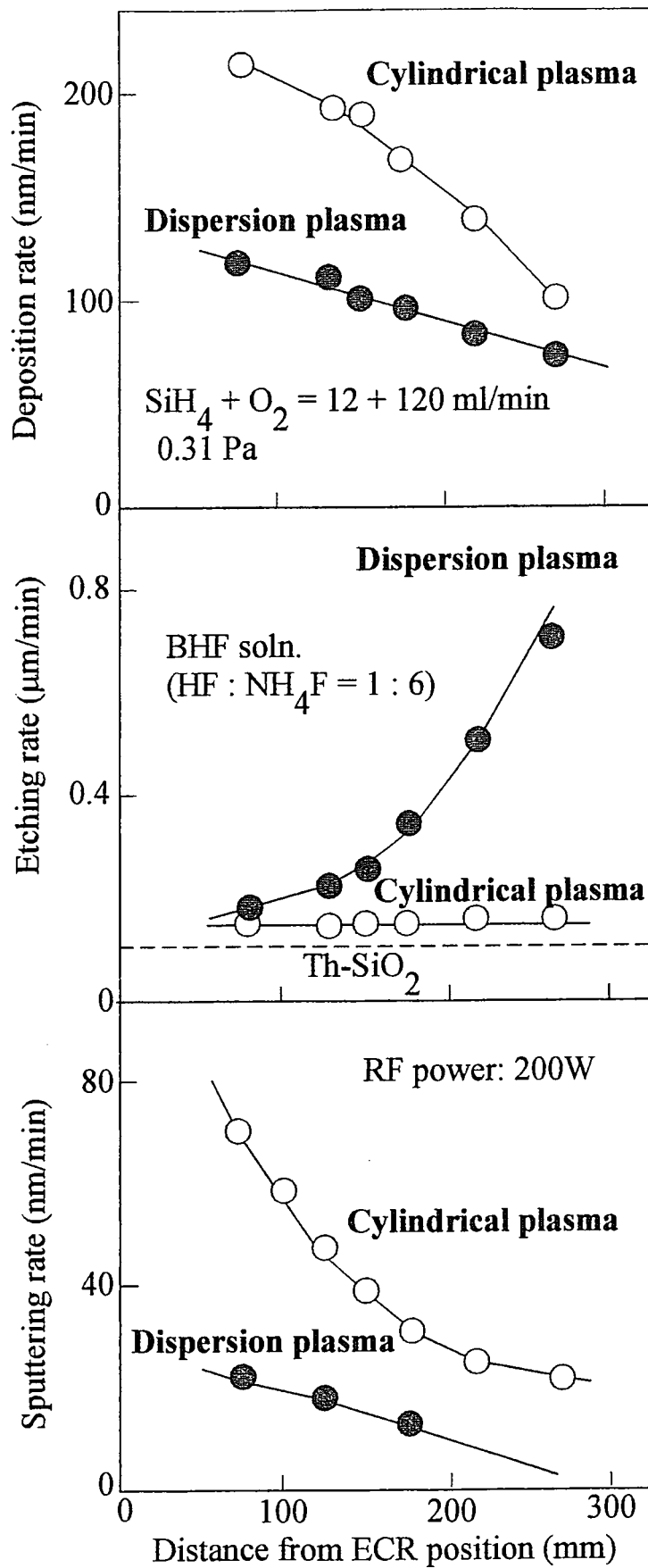


図 3-1 (a)堆積速度(b)堆積膜のHFエッチング速度
 (c)P-TEOS膜のスputタリング速度のECR-基板距離依存性

示す尺度となる緩衝フッ酸液によるエッチング速度、および (c) P-TEOS 膜をスパッタした時のスパッタ速度の、ECR 位置から基板までの距離依存性を示す。本実験では、ECR 位置と基板の距離は基板を移動させることで変化させた。この図から、基板を ECR 位置に近づけると堆積速度とスパッタ速度は向上し、堆積膜の緩衝フッ酸液によるエッチレートが熱酸化膜の値に近づく、すなわち緻密になることがわかる。さらに円筒プラズマを用いると、従来の発散プラズマを用いた時に比較して、堆積速度、堆積膜質およびスパッタ速度が飛躍的に向上することがわかる。また、円筒プラズマを用いた場合には処理室内壁に付着する膜量も著しく低減できることを確認している。このように磁界でプラズマ形状を制御し、また、プラズマ生成位置と基板の距離をより縮めるとプラズマ処理効率のみならず処理特性も著しく向上させることが出来た。

3.3 低ダメージ平坦化成膜

通常のスパッタには、スバッタ効率の高い Ar ガスを用いている。しかし、平坦化成膜では、Al 配線の上に絶縁膜を形成する。Ar を用いた場合には SiO₂ 膜ばかりでなく Al 配線も Ar イオンでスパッタされることが知られている²⁾。図 3-2 に Ar イオンのスパッタを重畳させて平坦化成膜した時のウエハ-断面の SEM 写真を示す。写真が示すように Al 配線のエッジ部がスパッタされている。このような損傷を避けるため、スパッタ効率は劣るものの、酸素イオンによるスパッタ法を適用することにした。

通常装置ではイオンが追従できない周波数、例えば 13.6 MHz を基板に印加し、基板に誘起される直流バイアス電位^{1,2,6)}を利用してスパッタを行っている。しかし、スパッタ速度を上げるため高周波パワーを上げると、誘起バイアス電位も高くなり、しばしば基板とプラズマの間に局所放電が発生する。図 3-2 には局所放電を受けた基板表面の写真も示す。局所放電により Al 配線は著しい損傷を受け、異物もいたる所に見られるようになる。また誘起されたバイアス電位は、絶縁膜のチャージアップを招くため電氣的な素子劣下も引き起こす。このようなことを回避するため、平坦化成膜においては基板に直流バイアス電位を誘起させないことは必須であると考えられる。そこで基板にはイオンが追従できる周波数を印加し、高周波電位で直接的にイオンを基板に到達させることにした。

一般的に、誘起される直流バイアス電位よりは印加高周波電位の方が高いため、最適な周波数を印加すると、バイアス電位を誘起させずに高効率のスパッタが実現されるはずである。

3.3.1 印加高周波と平坦化速度

イオンを直接、高周波電界により基板へ入射させ高速で SiO₂ 膜をスパッタする場合の最適周波数について検討した。周波数 f の高周波電界中のイオン（質量 m_i ，電荷量 q ）の運動は一次元で次のようになる⁷⁾。

$$m_i \frac{d^2x}{dt^2} = m_i \frac{dv}{dt} = qE_0 \sin 2\pi ft \quad (3-1)$$

$$\therefore v = \frac{qE_0}{m_i} \int \sin 2\pi ft \, dt = -\frac{qE_0}{m_i} \cos 2\pi ft + C \quad (3-2)$$

$t=0$ $v=v_0$ とすると

$$v = -\frac{qE_0}{m_i 2\pi t} \cos 2\pi ft + \frac{qE_0}{m_i 2\pi t} + v_0 \quad (3-3)$$

また、 $t=0$ $x=0$ とすると

$$x = \int v dt = -\frac{qE_0}{m_i (2\pi f)^2} \sin \omega t + \left[\frac{qE_0}{m_i 2\pi f} + v_0 \right] t \quad (3-4)$$

となる。 $2\pi ft = \pi$ のとき、イオンの速度は V_{\max} となる。

$$V_{\max} = \frac{2 qE_0}{m_i 2\pi t} + v_0 \quad (3-5)$$

一方、 $t=0$ $v_0=0$ と仮定し、 V_{\max} 時の到達（歩行）距離を L とすると

$$L = \frac{qE_0}{4\pi m_i f^2} \quad (3-6)$$

となる。スパッタ種として O^+ を考えると

$$L_{O^+} = 4.8 \times 10^5 \times E_0/f^2 \quad (\text{m}) \quad (3-7)$$

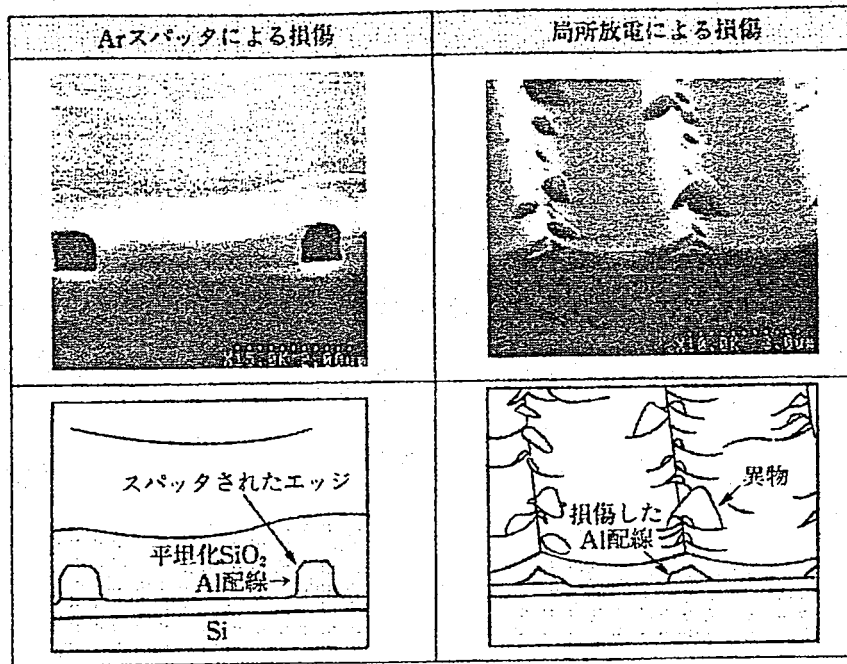


図 3-2 ArスパッタによるAl配線損傷と局所放電による損傷

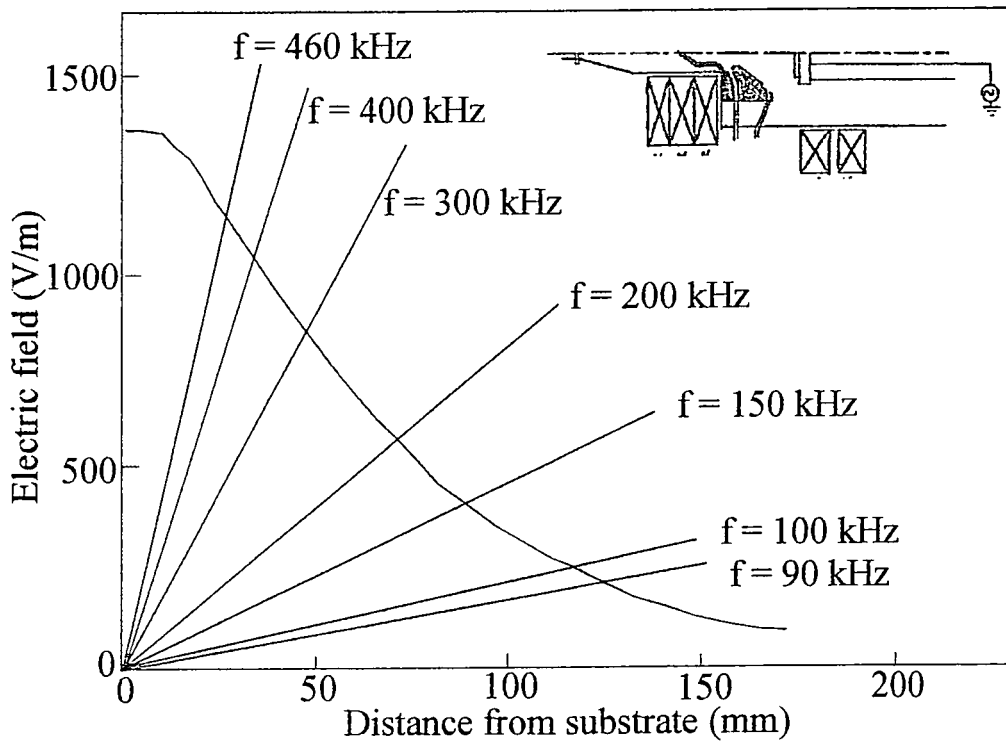


図 3-3 電界の基板上方距離の依存性と印加高周波数におけるLに対する電界

となる。したがって、イオンを直接電界で基板に最大エネルギーで到達させるには、電界強度が大きい程、また周波数が低い方が良いことがわかる。

次にスパッタ速度について考えて見る。周波数 f で基板上方 L 内のイオンを最大エネルギーで基板に到達させることができるとすると、基板入射するイオン数 n_i は、単位面積当たり、毎秒

$$n_i = n_0 + x L x t = \frac{n_0 + qE_0}{4\pi m_i f t} \quad n_0 + : \text{酸素イオンの数} \quad (3-8)$$

となる。スパッタ速度 V_s は基板入射イオン量に比例するので

$$V_s \propto E_0/f \quad (3-9)$$

となる。したがって、周波数 f で制御距離 L となる E_0 が求められれば、スパッタ速度を最大にする E_0/f が求まる。基板ホルダに 100V が印加された時の装置中心軸上の電界 E_0 の分布を有限要素法⁸⁾より求めた結果を図 3-3 に示す。図には、 O^+ イオンの、それぞれの周波数における L に対する E_0 の値を示す直線 ((3-6)式参照)を表示してある。 E_0 の L に対する曲線と直線の交点より、 E_0/f は求められる。 E_0/f の f 依存性を図 3-4 に示す。図より、 O^+ をスパッタ種として考えると、300 ~ 400 kHz の周波数を印加すると最大のスパッタ速度が得られることがわかる。以上の考察の結果をもとに、特に数 100 kHz の周波数の領域を選び、 SiO_2 膜のスパッタ及び Al 配線上の平坦化成膜の実験を行った。

酸素プラズマを生成して、P-TEOS 膜のスパッタ速度を測定した。図 3-5 は実測されたスパッタ速度の周波数依存性を示す。参考にイオンが追随出来ない 13.6 MHz を引加した場合のスパッタ速度も載せている。13.6 MHz では、誘起電位 (V_{dc}) が 100 V 程発生したが、低周波の印加では、誘起直流電位は発生しなかった。スパッタ速度は、印加周波数が 400 KHz で最大となっている。この図より 400kHz を用いたことの有効性が確認できる。すなわち、直流バイアス電位が誘起されないにもかかわらず、従来の 13.6 MHz を用いた時よりも 2 倍以上スパッタ速度が大きく、しかも Ar スパッタを加えた速度よりも大きいことがわかる。この結果から、Ar スパッタや直流バイアス電位を用いずとも高速のスパッタが実現できること、すなわち、高速の平坦化成膜が低ダメージで実現されることが予想される。

バイアス CVD 法による平坦化速度は、凸部斜面の横方向のスパッタ速度に比例するため、配線間隔にはまったく依存しないものの、配線幅と CVD の被覆性

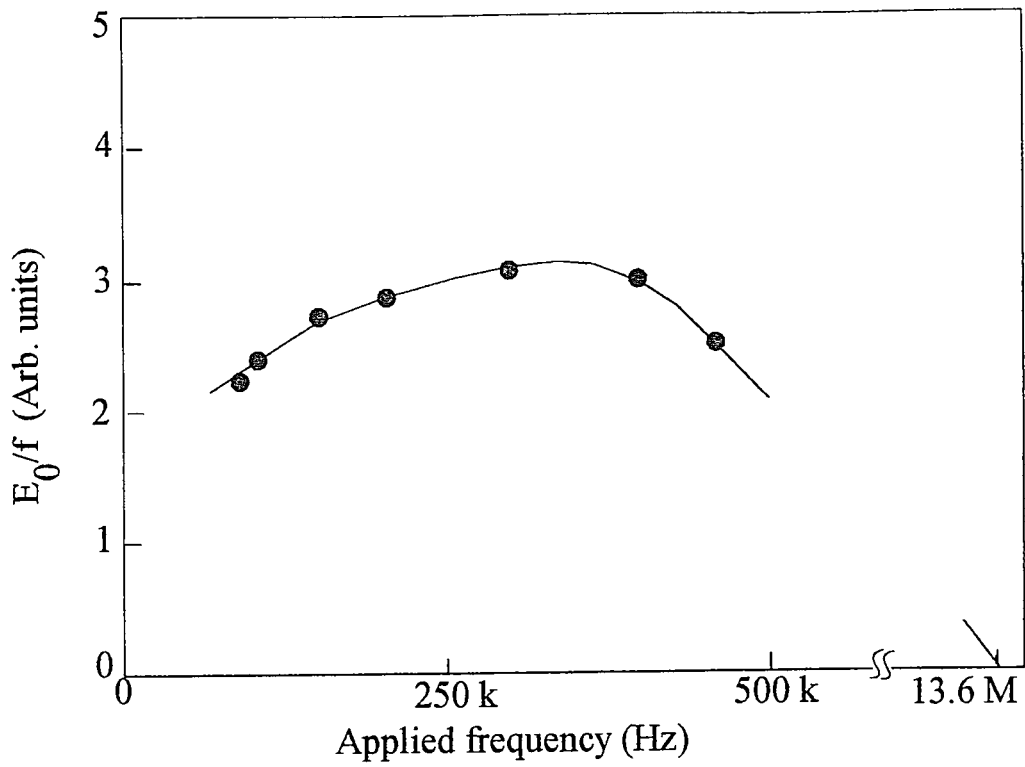


図 3-4 E_0/f の印加高周波数依存性

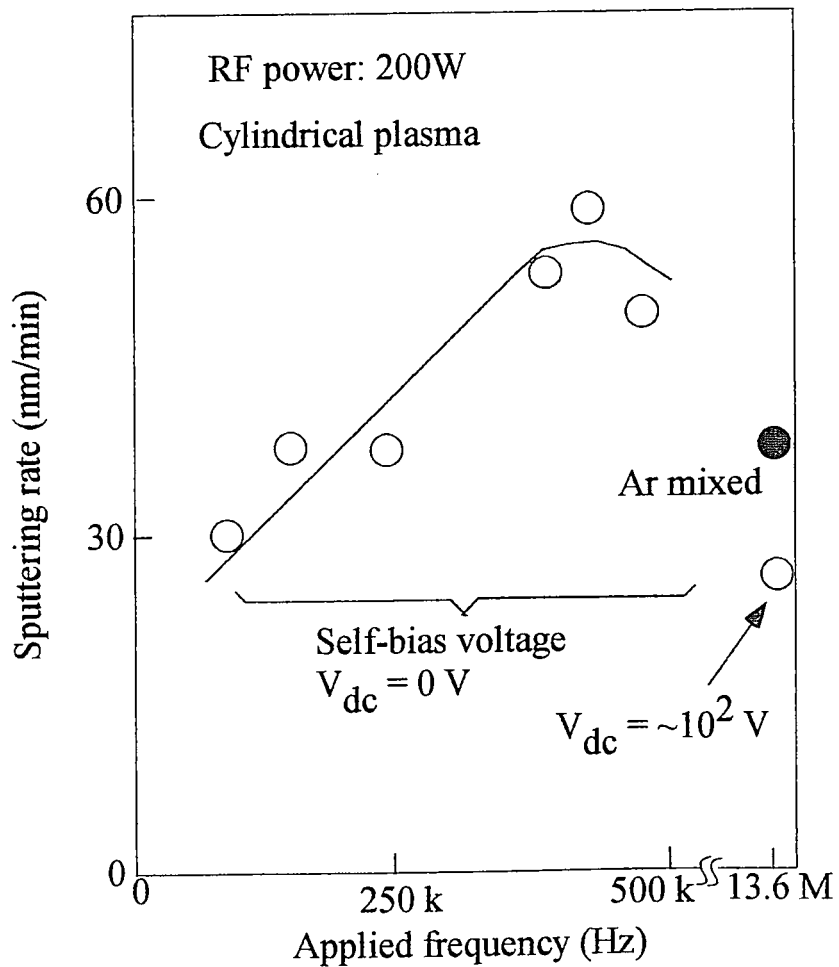


図 3-5 スパッタ速度の印加高周波数依存性

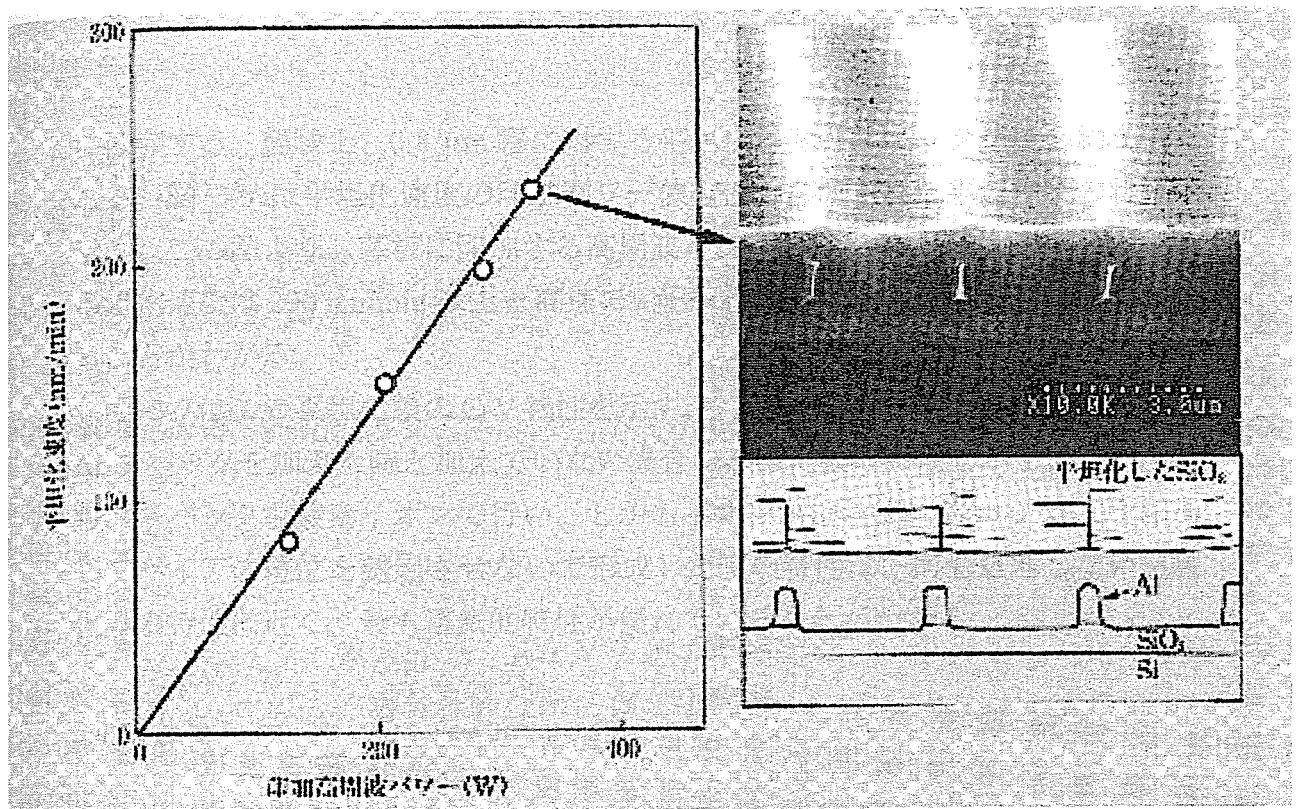


図 3-6 平坦化速度の印加高周波数パワー依存性と平坦化状況

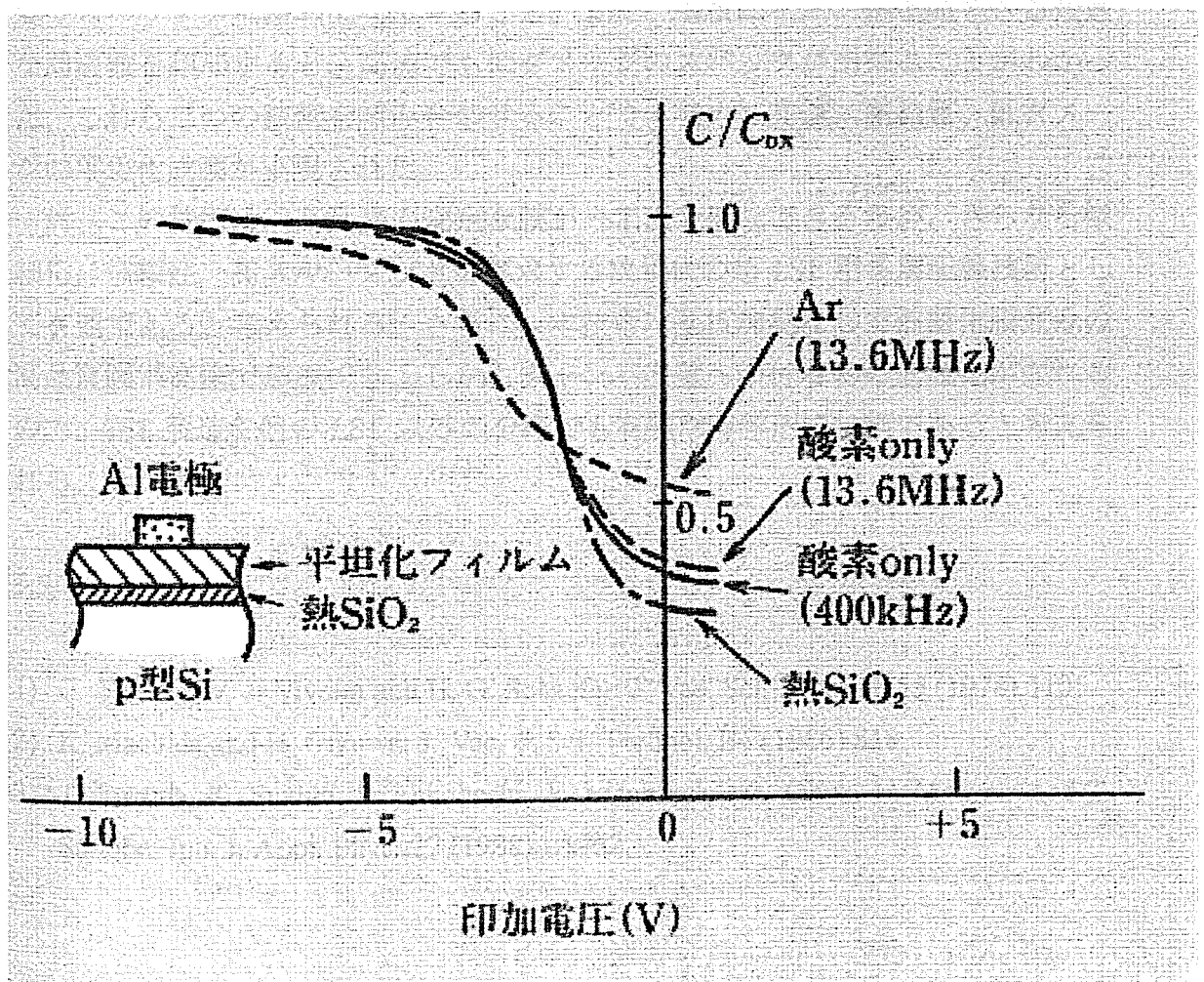


図 3-7 平坦化後処理時の C-V 特性における Ar, O₂ の各条件での結果

に依存する。経験上、0.8 μm 幅に対する平坦化速度はスパッタ速度の約3倍となる。図 3-6 は平坦化速度の印加パワー依存性と形成された平坦化膜の状況を示す。この図より、基板に印加する高周波パワーが 300W と非常に低電力でも平坦化速度は 200 nm/min 以上と高速で、配線損傷もなく十分に平坦化されていることがわかる。

図 3-7はこの平坦化膜の C-V 特性を示す。参考のため、13.6 MHz を用いた時、Ar スパッタを加えた時と加えていない場合の熱酸化膜の特性を示す。この図から、スパッタを酸素イオンで行い、しかもイオンが追従出来る 400 kHz を印加してバイアス電位を誘起させないで形成した膜の特性は、何も処理しない熱酸化膜の特性に近く、最も電気的特性が優れていることがわかる。

3.4 まとめ

磁界を用いて、プラズマの流れや生成位置を制御することにより、基板上の励起プラズマ種の密度を増加させることができる。どういう条件では、堆積速度やスパッタが飛躍的に向上すること、また、基板にイオンが追従できる最適な周波数を印加すると、高速でも低ダメージのスパッタが出来ることがわかった。これら二つの技術を組み合わせることで、初めて高速、高品質、低ダメージの平坦化成膜が実現された。

尚、この技術は、高品質の安定な膜が一工程で形成できるため、さらなる微細化、信頼性、高スループットを要求する次世代の超 LSI 用多層配線技術として有望であると考えられる。さらに、本技術は基板加熱なしで熱酸化膜並みの高品質膜が高速で形成でき、しかもチャンバ内壁への付着物の低減化が図れるので、TFT 製造や他の LSI 以外の分野でも有望な薄膜形成技術であると考えられる。

3.5 参考文献

- 1) C. Y. Ting, V. J. Vivalta and H. G. Schaefer: J. Vac. Sci. Technol. 15 (1978) 1105
- 2) K. Machida and H. Oikawa: J. Vac. & Sci. Technol. B4 (1986) 818
- 3) T. Fukuda, K. Suzuki, S. Takahashi, Y. Mochizuki, M. Ohue, N. Momma and T. Sonobe: Jpn. J. Appl. Phys. 27 (1988) L1962

- 4) T. Fukuda, K. Suzuki, M. Ohue, N. Momma, k. Suzuki and T. Sonobe: Jpn. J. Appl. Phys. 28 (1989) 1035
- 5) K. Saito, T. Fukuda, N. Chiba and N. Momma: Jpn. J. Appl. Phys. 31 (1992) 1102
- 6) T. Fukuda, K. Saito, M. Ohue, K. Shima and N. Momma: Jpn. J. Appl. Phys. 34 (1995) L937
- 7) 宮本達郎: 核融合のためのプラズマ物理 岩波 (1976)
- 8) 森博 嗣: C 言語による有限要素法入門 森北出版 (1989)

第4章 HDP-CVDによるSiOF膜形成

4.1 はじめに

Al配線を用いたLSIの多層配線においても配線による信号遅延が深刻になってきた。この防止対策として、従来の SiO_x 膜に代わる、低誘電率の膜の導入が図られるようになり、プロセスとの整合性を取れる絶縁膜の開発が求められた。そこで、電子分極を低下させるフッ素、Fを SiO_x に含ませた膜が開発された¹⁾。それが、SiOF膜である。従来の SiO_x 膜の比誘電率が4.2前後だったのに対し、当初発表されたSiOF膜の値は3.6付近であった。しかし、SiOF膜は吸水性があり、また膜の不安定が問題となった^{2,3)}。現象的には、膜の誘電率の経時的な上昇や吸水性が高い膜ではSi-F結合の他に、F-Si-F結合が多いことが指摘され²⁾、この SiF_2 結合からの遊離Fが膜の不安定の原因であると考えられた³⁾。

しかし、Si-F結合はSi-O結合なみに強い。従って、膜の不安定さには、遊離Fが関与するが、それは膜形成時にプラズマ中のFラジカルが含有されたためと考えられる。そこで、プラズマ中の遊離Fを極力抑えるCVD法の開発を行った。材料ガスを通常の SiF_4 に変え、 SiF_2H_2 に換えた方法である⁴⁾。本章で明らかにするように、この方法では、膜内の遊離Fは少なくなり、信頼性の高いSiOF膜が得られることがわかった。一方、デバイス適用に際しては、より量産を考慮したガス種の検討も必要となる。そこで、 SiF_4 に SiH_4 を混入させるCVD方法も検討した⁵⁾。これらの成膜方法で形成した膜をデバイスに適応し、その効果を確認した⁶⁾。

4.2 SiOF膜の形成方法

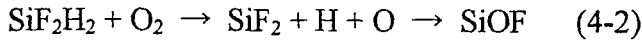
実験に用いた装置は図2-4に示したHDP-CVD装置である。SiOF膜は、当初 $\text{SiF}_4 + \text{O}_2$ で形成されていた。この場合、SiOF膜を形成するためには、プラズマで SiF_4 を分解する必要がある。 SiF_4 は同じ結合手のSi-Fをプラズマで分解するため、



の反応を通して、SiOF膜が形成される。このため、遊離Fがプラズマ中に存在するため、どうしても膜に遊離Fが取り込まれることになる。これが、デバイ

スの V_{fb} シフトや誘電率の増大や Al の腐食を招くと考えられる⁴⁾。

これに対し、 SiF_4 の代わりに SiF_2H_2 を材料ガスに用いた場合は、結合の強い Si-F ($541kJ/mol$ ⁷⁾) のみならず、結合の弱い Si-H ($294.6kJ/mol$ ⁷⁾) があるため、プラズマ温度を低めに制御すると以下の反応が期待できる。



この反応では、遊離 F が生じない系で SiOF 膜形成が出来る。実際に、水分吸収による誘電率の変動や配線腐食、さらにデバイスの劣化がないことを確認している⁴⁾。

まず、 SiF_4 と SiF_2H_2 を原料ガスに用いた場合について、SiOF 膜の V_{fb} の脱離 F 量依存性を調べた。この実験は、ECR-CVD 装置を用いて行った。結果を図 4-1 に示す。F の脱離量が多い程、 V_{fb} のシフトが大きいこと、また、 SiF_2H_2 プロセスでは F の脱離量が少なく、 V_{fb} のシフト値も小さいことが確認できる^{4) 5)}。

しかし、 SiF_2H_2 は高価であるため、安価なプロセス構築が望まれる。そこで、 SiF_4 を用いた場合に生じた遊離 F を取り除く方法を開発することにした。それは、 SiF_4 単独のガスを用いるのではなく、先に述べたように、結合の弱い Si-H 結合を持った SiH_4 を積極的に混入させる方法である。

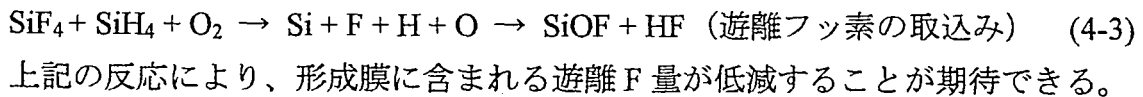


表 4-1 は実験に用いた成膜条件を示す。実験装置は図 2-7 に示した HDP-CVD 装置である。ここで、R は SiH_4 に対する $SiH_4 + SiF_4$ の割合を示す。また、HDP-CVD 法では、プラズマを生成する RF と基板にバイアスをかける RF がある。表では、これら二つの RF 印加を、plasma RF、bias RF と区別して表記した。膜の水分量は、 $3000 \sim 3800 \text{ cm}^{-1}$ に現われる IR スペクトルの積分強度から評価した。水分の透過性に対する評価はホウ素添加リン硝子 (Boron Phosphorus Silicate Glass: BPSG) を形成した基板に、SiOF 膜を堆積させ、これを Pressure Cooker Test (PCT) にかけて、下地の BPSG 膜の B-O 結合の強度変化より評価した⁵⁾。PCT の条件は $121 \text{ }^\circ\text{C}$ 、2 気圧、湿度 100% である。スペクトルの例を図 4-2 (a), (b) に示す。

SiF_4 は結合力の強い Si-F 結合で分子が構成されている。このため、 SiF_4 ガスを原料に用いた場合、堆積速度は材料供給律速にはならず、プラズマパワー、Plasma RF 律速となる⁴⁾。一方、膜質は混合比、R に依存する。膜の比誘電率、 V_{fb} 、O-H の IR 積分強度 (PCT : 20 時間後)、B-O の IR 強度比 (PCT : 20 時間後) の R 依存性を図 4-3 に示す。参考のため、P-TEOS 膜の値 (PCT なし)

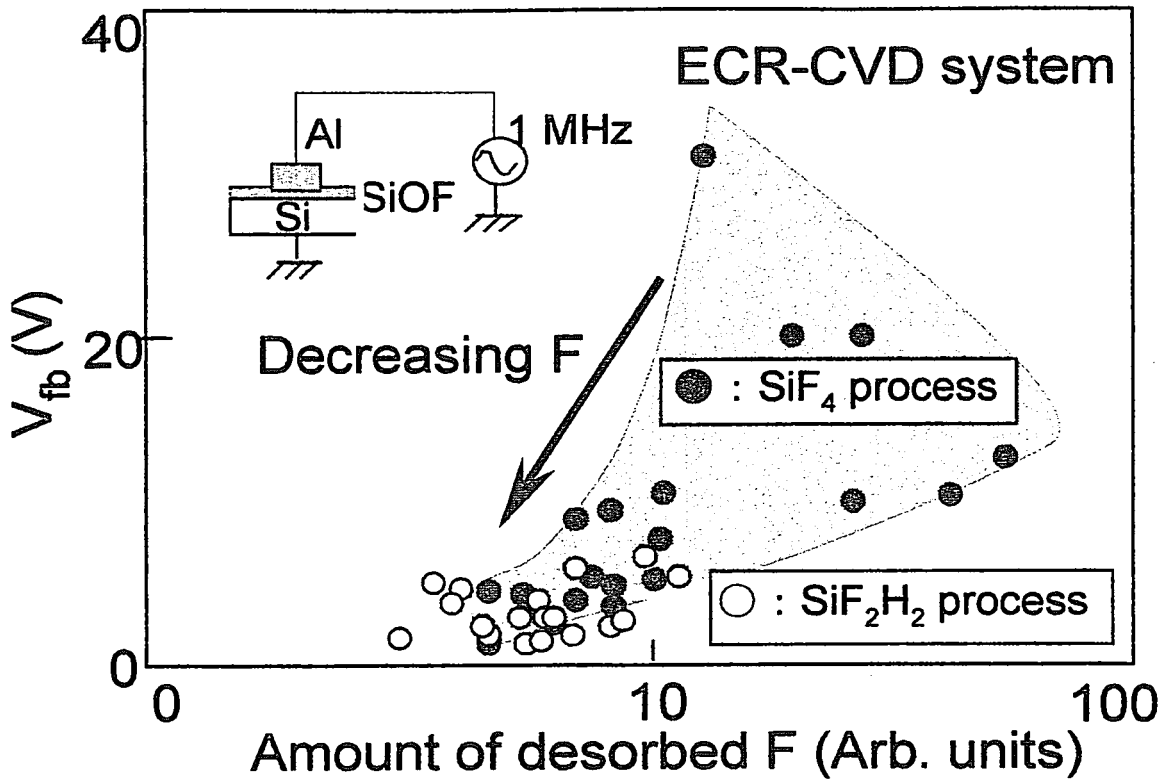


図 4-1 成膜されたSiOF膜の V_{fb} の脱ガスF量の依存性

表 4-1 SiOF成膜条件

Condition Process	flow rate (sccm)			mixing ratio, R	pressure (Pa)	plasma RF (kW)	bias RF (kW)
	source	O ₂	Ar				
SiF ₂ H ₂	54	86	15	—	0.67	1.0 - 4.5	1.0
SiF ₄ + SiH ₄				0.0 - 0.9			

$$R = \text{SiH}_4 / (\text{SiF}_4 + \text{SiH}_4)$$

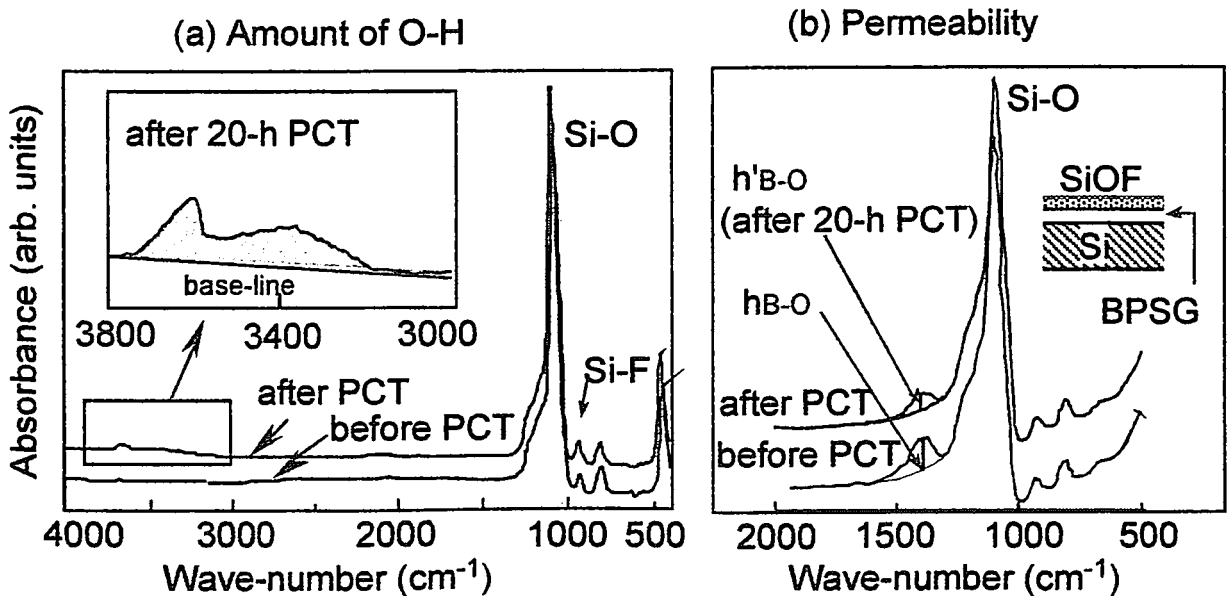


図 4-2 FT-IRによるSiOF膜の水分量と透水性の評価

を記載してある。R が低くなるに伴い、誘電率 ϵ の値は低くなるが、水分の含有量と透水率は上昇する。図中の灰色のハッチング部は比誘電率の値や、その他の膜質を考慮して、配線プロセスに適用可能だと判断できるプロセスウィンドウである。

SiF_2H_2 を用いた成膜プロセスでは、結合の弱い Si-H 結合があるため、成膜律速はガス供給律速となる。膜質はプラズマ源のパワーに依存する。プラズマパワーの上昇に伴い、Si-H の結合の切断以外に Si-F 結合も切断されるようになり、より SiOF 膜から SiO_x 膜に近くなる。図 4-4 は、膜の比誘電率、 V_{fb} 、O-H の IR 積分強度 (PCT : 20 時間後)、B-O の IR 強度比 (PCT : 20 時間後) のプラズマ源のパワー依存性を示す。前述の $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスと比較して、 ϵ の値の低下と V_{fb} の低下が見られることがわかる。このことは、 SiF_2H_2 を用いた方が Si-F 結合の含有量が多いことと、遊離 F がすくないことを示唆している。また、プラズマ源のパワーの上昇に伴い、SiOF 膜から SiO_x 膜に近くなるため、水分の含有量と透水率も下降する。図中の灰色のハッチング部は比誘電率の値や、その他の膜質を考慮して、配線プロセスに適用可能だと判断したプロセスウィンドウである。上記プロセスウィンドウでは、P-TEOS 膜の膜質よりも優れた特性を持っているため、配線プロセスに適用した場合、より信頼性の高い結果が期待される。以後の実験では、 $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスでは、 $R = 0.67$ のプロセス、 $\text{SiF}_2\text{H}_2 + \text{O}_2$ では、プラズマ RF パワーとして 2.5kW を用いた。

図 4-5 は、 $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスの SiOF 膜、 $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスの SiOF 膜の TDS を示す。参考のために、P-TEOS 膜と HDP- SiO_x 膜の結果も併せて示している。ここで、P-TEOS 膜と HDP- SiO_x 膜の F は、チャンバークリーニングに使われている NF_3 の残留ガスによる。特記すべきは、 $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスで形成した膜の F 含有量が P-TEOS 膜より少ないことである。この結果から、如何に Si-F が分解されず、遊離 F の取り込みが抑えられているかが確認できる。膜の信頼性は取り込まれる F の量の他に、吸湿量が関与する。TDS の H_2O シグナル積分強度値の各プロセスでの値を図 4-6 に示す。 $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスが最小の値を示す。

4.3 SiOF 膜のデバイス適用

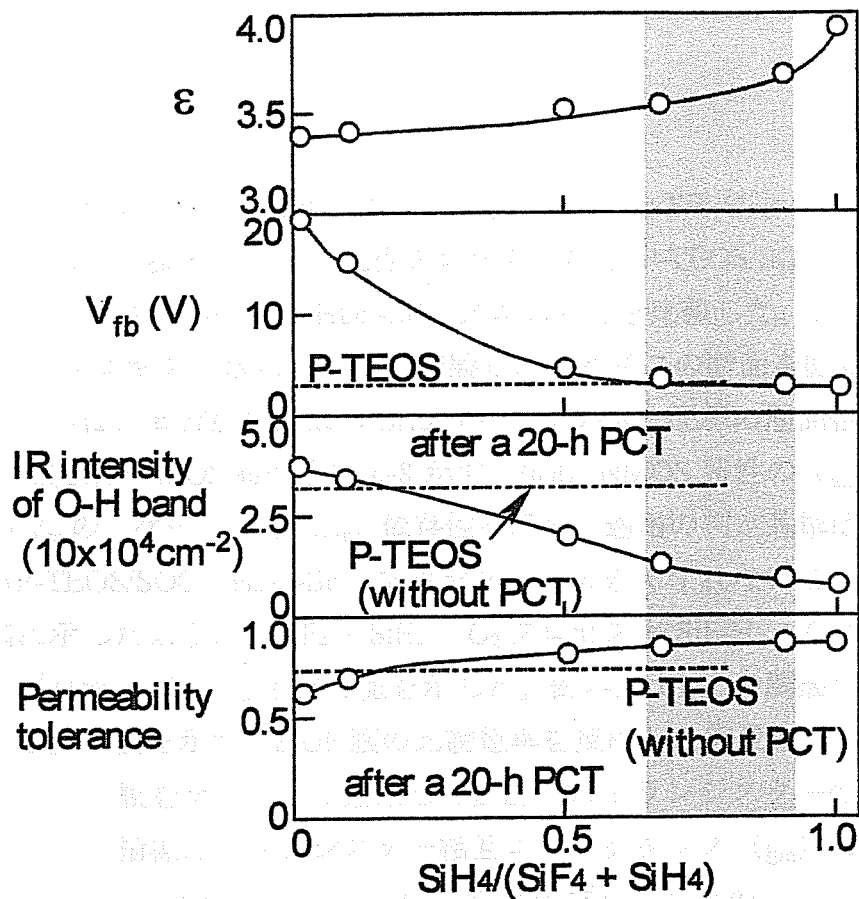


図 4-3 $\text{SiF}_4 + \text{SiH}_4$ による SiO_2 膜の比誘電率、 V_{fb} 、水分、透水率の SiH_4 比率の依存性

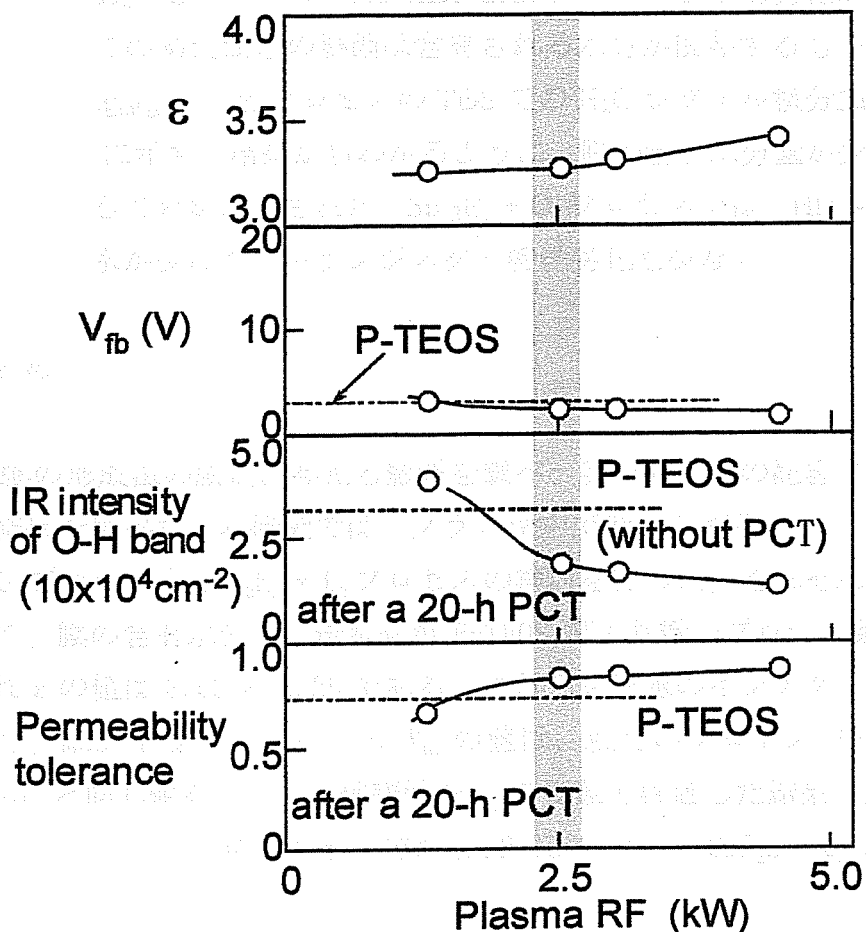


図 4-4 SiF_2H_2 による SiO_2 膜の比誘電率、 V_{fb} 、水分、透水率のPlasma RFパワー依存性

配線プロセスへの上記 $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスと $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスの適用性を検討した。参考のため、現行プロセスである P-TEOS/SOG (第 1 章の複合平坦化プロセスを参照) と HDP- SiO_x プロセスとを比較した。さらに、 $R = 0$ の $\text{SiF}_4 + \text{O}_2$ プロセスも参考とした。作製したデバイスの断面を図 4-7 に示す。適用デバイスは、日立製作所製の SH3 マイコンの M1 配線の層間絶縁膜である。適用した結果の MOS 特性を図 4-8 示す。(a) は NMOS 特性の V_{th} 、(b) は PMOS 特性の V_{th} の、ゲート長さ (L_g) 依存性を示す。適用の判定基準は現行プロセスの値 (P-TEOS/SOG、HDP- SiO_x プロセス) と大きくずれないことである。結果は、図に示したように、 $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスと $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスでは、現行のプロセスでの V_{th} と同じ値を示した。表 4-2 は M1 の隣接する配線間で測定した容量の値を示す。SiOF 膜の比誘電率を反映した容量となっている。

この SiOF 膜をデバイスに適用して配線下のトランジスタの信頼性を評価した。用いた指標はトランジスタ相互コンダクタンス (g_m) の変動、 $\Delta g_m/g_m$ (初期値に対する変動) である。図 4-9 は各プロセスでの $\Delta g_m/g_m$ のストレス時間依存性を示す。 $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスでは現行の P-TEOS/SOG よりも劣化が少なく、 $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスでは HDP- SiO_x プロセスよりも劣化が少ないことがわかった。この劣化改善の要因は含有される水分が関与するものと考えられる。そこで、 $\Delta g_m/g_m$ 、と各プロセスの TDS での H_2O シグナル積分強度依存性の関係を図 4-10 に示す。結果からわかるように、膜の含有水分量が少ない程、劣化が低減出来ることが確認された。 $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスでは、HDP- SiO_x プロセスよりも含有水が少なく、トランジスタ特性劣化も少ない。

4.4 まとめ

SiOF 膜の形成法の膜質に与える影響を調べ、実際の LSI の配線プロセスに適用して結果を調べた。本研究では、プラズマ中で遊離 F が発生しにくい $\text{SiF}_4 + \text{SiH}_4 + \text{O}_2$ プロセスと $\text{SiF}_2\text{H}_2 + \text{O}_2$ プロセスの検討を行った。それぞれの形成方法において、膜の含有水分量、透水率が P-TEOS 膜より低いプロセス条件があり、それぞれ ϵ の値は 3.55 と 3.25 である。これらを配線のインテグレーションに適用した。MOS トランジスタの V_{th} の値は、現行のプロセス (P-TEOS/SOG、HDP- SiO_x) と同じ値を示した。信頼性を g_m の変動で評価した結果、上記 4 プロセスでの g_m の変動率の順は大きい方から、P-TEOS/SOG > $\text{SiF}_2\text{H}_2 + \text{O}_2$ > HDP- SiO_x

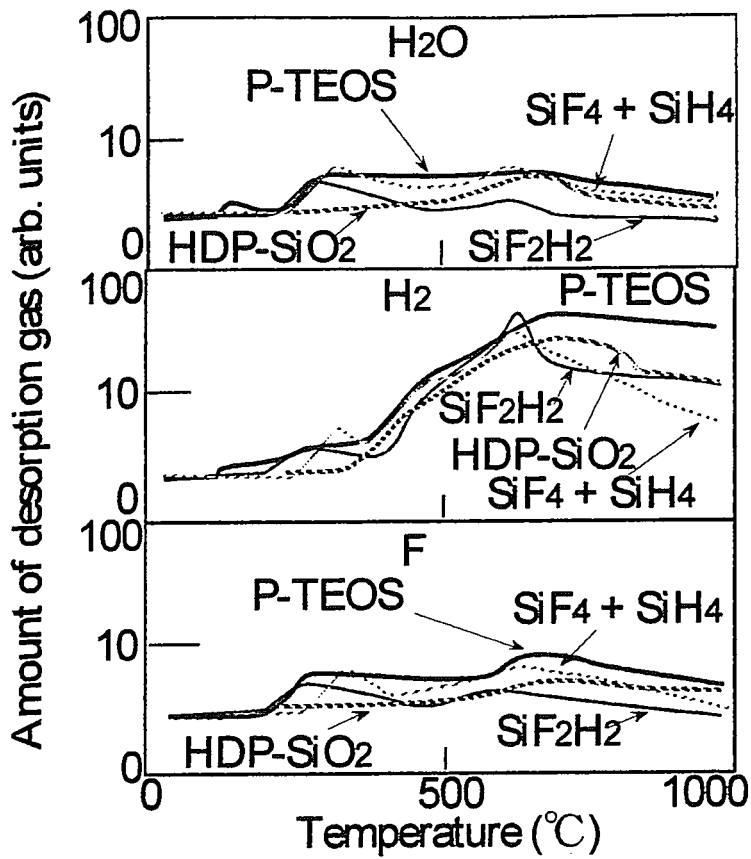


図 4-5 SiOF膜、HDP-SiO₂とP-TEOS膜のTDS

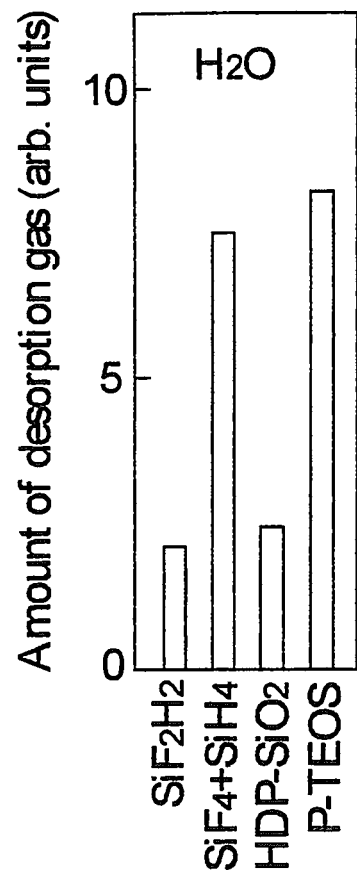


図 4-6 SiOF膜、HDP-SiO₂とP-TEOS膜のTDSから求めた含有水分量

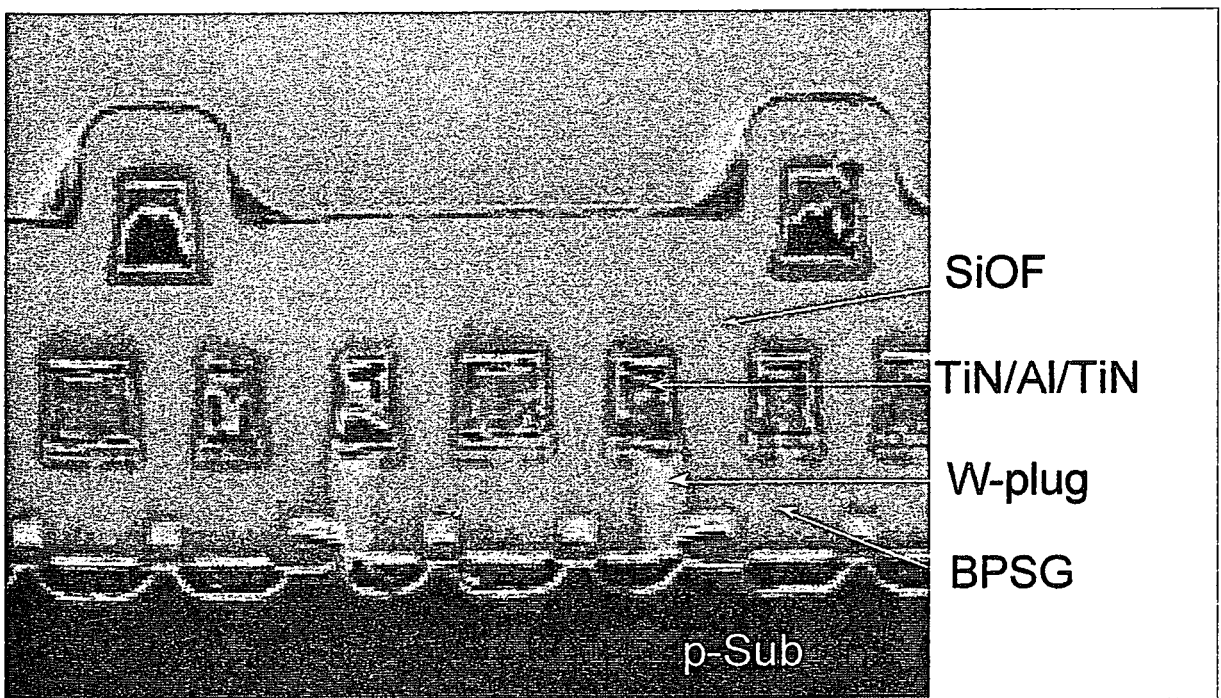


図 4-7 SiOF膜を適用したロジック製品の断面図

- gate oxide thickness = 7 nm
- antenna ratio of M1 to gate ~ 30,000

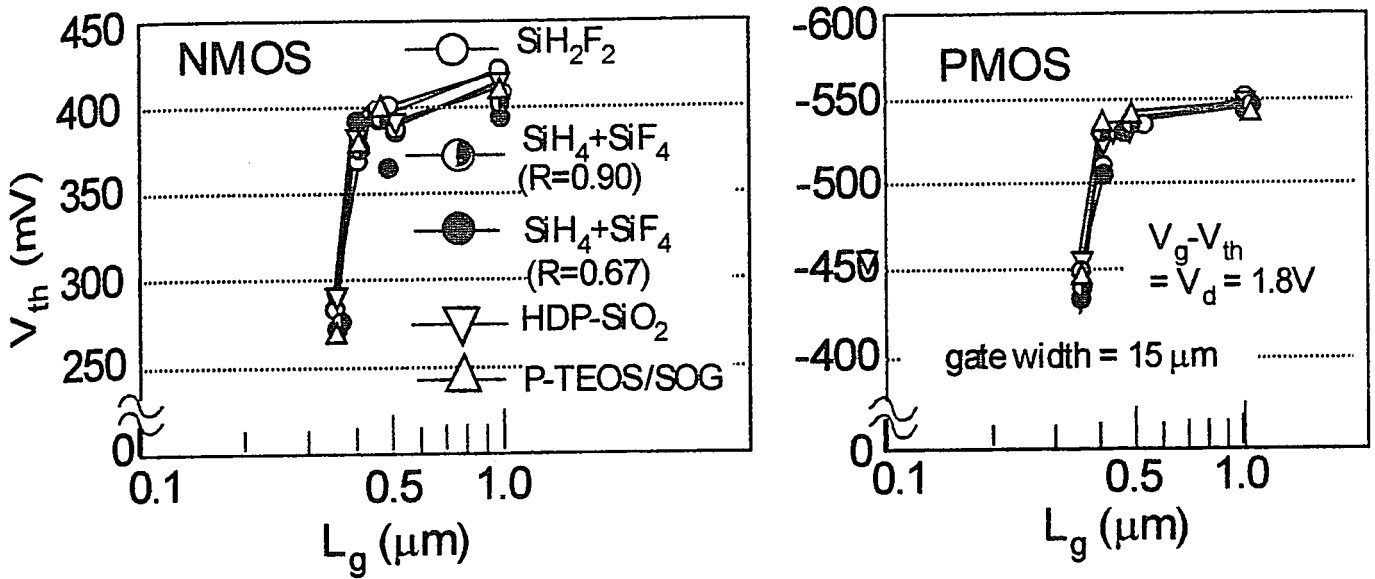


図 4-8 M1配線プロセスに適用した時のトランジスタ特性 (V_{th})

表4-2 M1配線プロセスに適用した時の隣接配線間容量

Process	SiF ₂ H ₂	SiF ₄ + SiH ₄		P-TEOS /SOG	HDP -SiO ₂
		R = 0.67	R = 0.90		
Adjacent capacitance (pF/mm)	0.65	0.71	0.74	0.83	0.78

- simple pair of comb patterns
- M1 structure: TiN/Al/TiN, height = 535 nm
- M1 line/space width: 0.5/0.5 μm

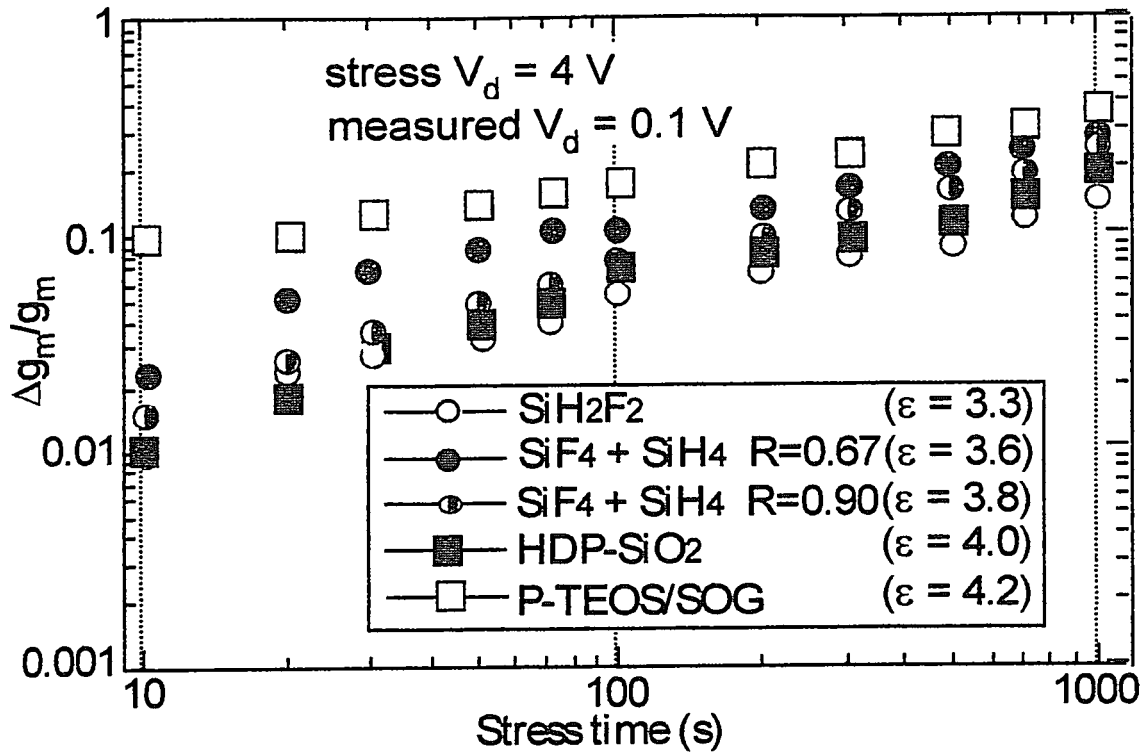


図 4-9 M1配線プロセスに適用した時のトランジスタ特性 (g_m) のストレス時間依存性

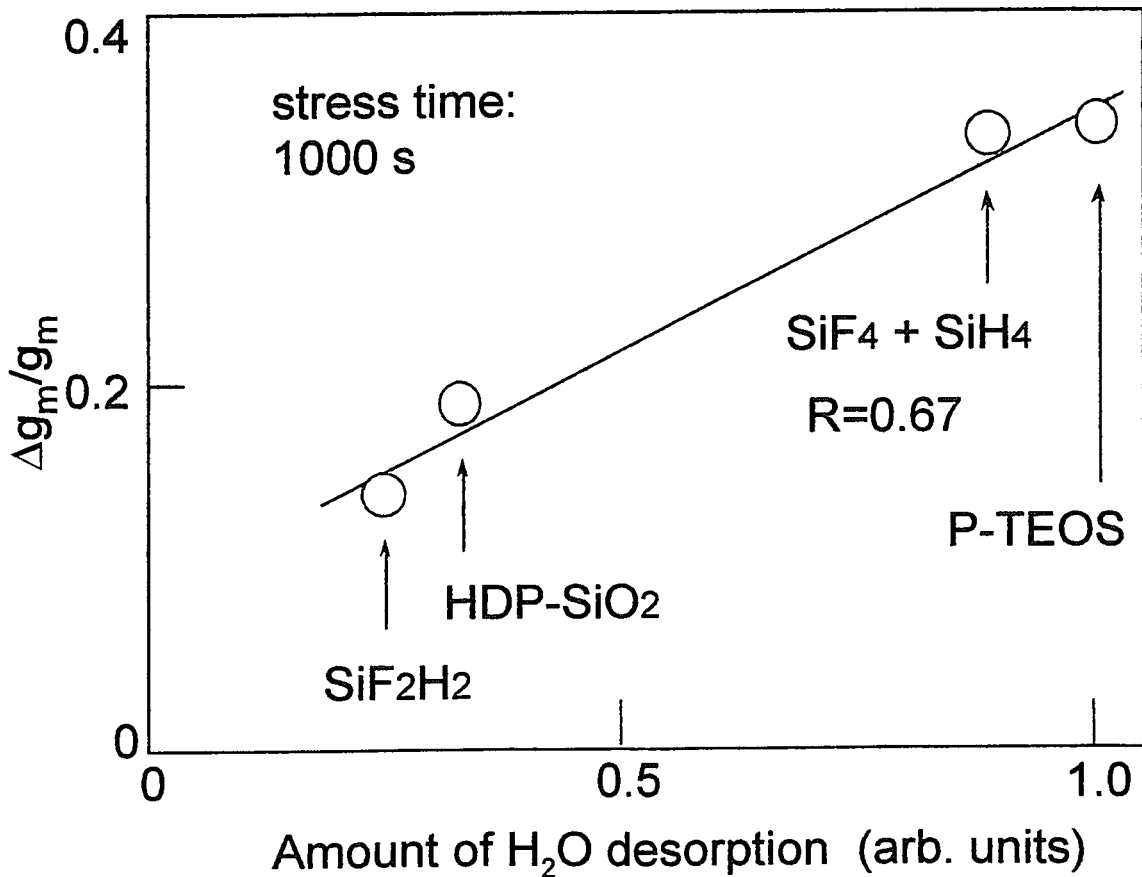


図 4-10 g_m 変動率の脱水分量依存性

HDP-SiO_x > SiF₂H₂ + O₂ プロセスとなった。これは、膜からの水分脱離量と強い相関がある。膜中に含まれる遊離 F が少なく、含有水量も減少させると、トランジスター性能の信頼性も向上することが明らかになった。

吸湿性に与える遊離 F の影響は必ずしも明確になっていないが、遊離 F が膜内にあると、F イオンとなり、この電荷が水分を取り込むためと考えられる。両者の相関については実験的に確認された。

4.6 参考文献

- 1) T. Fukuda and T. Akahori: Ext. Abst. of 25th SSDM (1993) 158
- 2) N. Hayasaka, H. Nishiyama, H. Miyajima, K. Tomioka, R. Nakata and H. Okano: Proc. 1993 Dry Process Symp. (1993) 163.
- 3) T. Tamura, J. Sakai, M. Satoh, Y. Inoue, H. Yoshitaka: Jpn. J. Appl. Phys. 36 (1997) 1627
- 4) T. Fukuda, T. Hosokawa, Y. Nakamura, K. Katoh and N. Kobayashi: 1996 Symp. on VLSI Technology Digest of Technical Papers (1996) 114
- 5) T. Fukuda, T. Hosokawa, E. Sasaki, N. Kobayashi: Tech. Digest on 1997 DUMIC. (1997) 41
- 6) T. Fukuda, T. Hosokawa, E. Sasaki, N. Kobayashi: Proceedings of 1998 IITC (1998) 42
- 7) 日本化学会: 化学便覧 基礎編 II 丸善株式会社 (1975)

第5章 Cu配線とlow-k膜の適用

5.1 はじめに

配線での信号遅延を低減するため¹⁾、0.5 μm ピッチの6層 Cuデュアルダマシン配線が開発された。図 5-1 は層間絶縁膜 (ILD) に、P-TEOS と SiOF を適用した例を示す (日立製作所製ロジック製品)。本章の目的は、低誘電率の有機系 SOG 膜を、0.5 μm ピッチの Cuデュアルダマシン配線に適用することである。有機系 SOG 膜を用いた配線の電気特性を、P-TEOS と SiOF を用いた配線の特性と比較し、その適用性を検討する。

有機系 SOG 膜 (Hybrid-Silicate Glass (HSG)) を Cuデュアルダマシン配線に用いる場合の利点として、配線とビア間のエッチングストッパー (ES) に、誘電率の高い SiN に代えて誘電率の低い P-TEOS 膜 ($k = 4.2$) を適用できる点がある。また、HSG は (i) 他の無機系の低誘電膜と比較して、化学的に極めて安定で、(ii) その耐熱性は 700°C 以上あり、水分もほとんど含有しない。また (iii) この HSG のプロセスコストは、最近の無機系の低誘電膜に比較しても極めて低く²⁾、さらに、(iv) HSG プロセスは DRAM の配線プロセスと互換性があるなどの利点を持っている。

5.2 配線遅延時間の比較

図 5-2 は配線ピッチに対する、各配線構造の RC 遅延時間のシミュレーション結果を示す。シミュレーションでは、配線スケール比 (配線高さ : 幅、配線高さ : ビア深さ、配線高さ : 拡散バリア厚さ) は一定とした。RC 遅延を、Cu + P-TEOS 配線と比較すると、Cu + SiOF (SiN エッチングストッパー) は 11%、Cu + HSG (SiN エッチングストッパー) は 28% 減少する。さらに、エッチングストッパーを SiN から P-TEOS に変更すると (Cu + HSG)、RC 遅延は、さらに 5% 減少する。この結果から、HSG と TEOS エッチングストッパーを組み合わせた層間絶縁膜構造とすると、従来の Cu + P-TEOS のダマシン構造よりも約 30%、RC 遅延を低減できることが期待される。

5.3 配線プロセスとバリアメタル

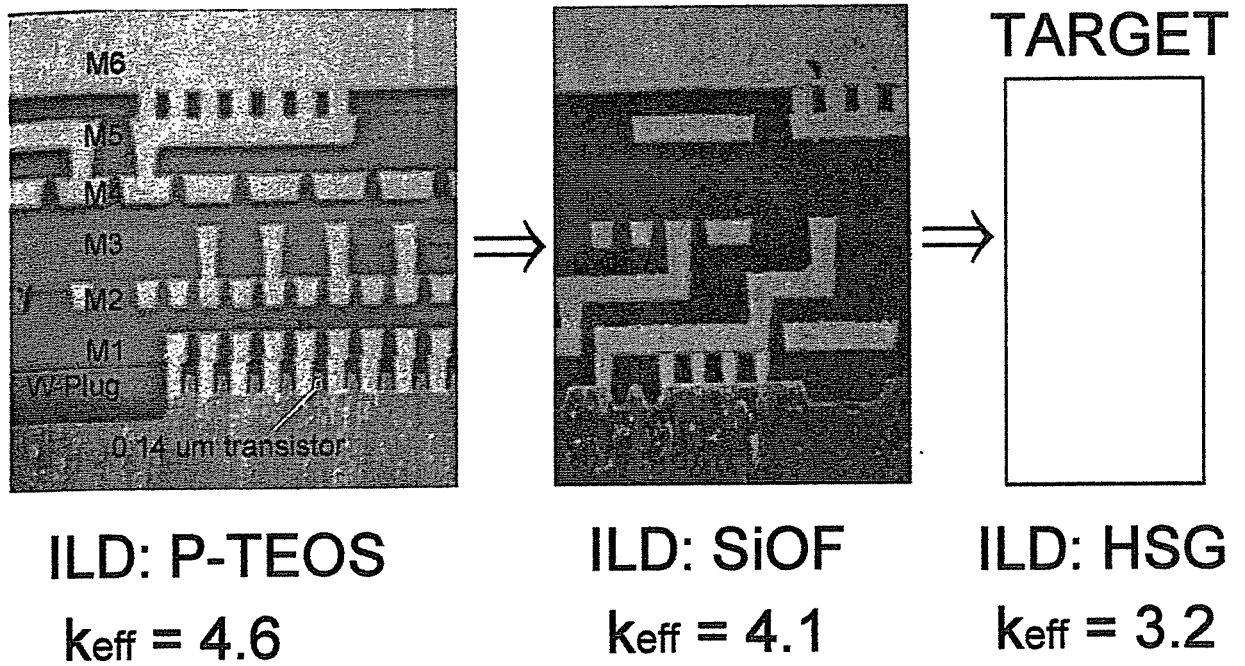


図5-1 6層Cu配線例と本目標

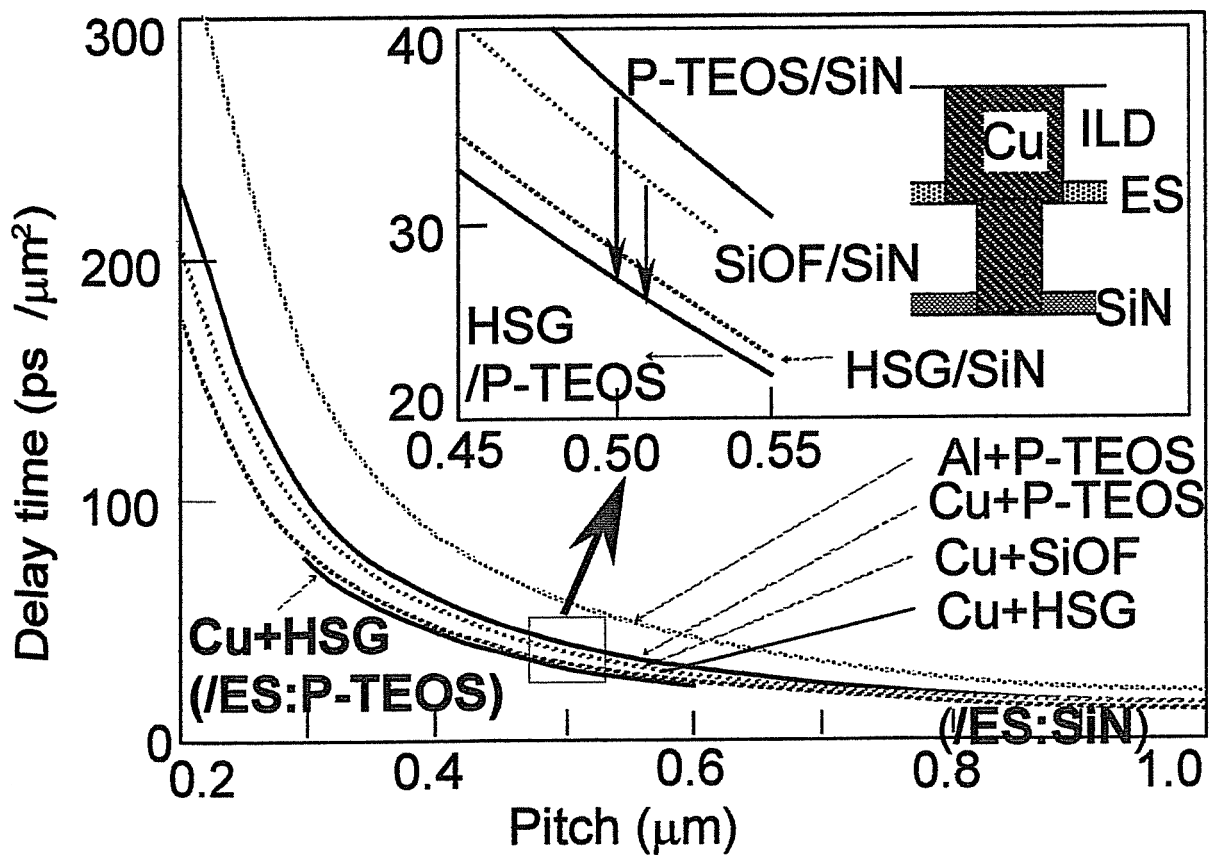


図5-2 配線構造のRC遅延時間のピッチ依存性

図 5-3 は HSG を用いる際の配線プロセスを示す。プロセスはビアファーストエッチングを基にしている。HSG は東京応化工業製の製品コード R7 である。ここでのキー技術は、マイクロレンチを生じさせない、1) HSG のドライエッチング、2) HSG エッチング後のレジスト除去（パターン側壁の保護技術）、これに、P-TEOS 膜に対する密着性を高めるための、3) HSG 表面の改質処理技術である。これらは、プロセスフロー図で、ボールド文字で示してある。

初めに、P-TEOS 膜を絶縁膜に用いたプロセスで Cu バリアメタル (BM) の検討を行った。検討した膜は、TiN、TaN、Ta 膜の三種である。TiN 膜は従来から使われており、TaN、Ta は Cu に対する密着性の向上と高いバリア性を期待した。図 5-4 は Cu シードを形成した後と Cu めっき後の断面を示す。図の中にはバリアメタルの特性、比抵抗と耐熱性を比較してある。耐熱性は Si 基板に各メタルを形成した後に Cu シードとめっき Cu を形成し、アニール後に、Si と Cu のシリサイドが観測される温度により評価した。TaN は Cu 拡散に対しては高いバリア性を示すものの、比抵抗は最も高い。TiN は最も低い抵抗を示すため、以降では、バリアメタルとして TiN を主に検討した。また、TiN を用いる利点として、TiN は従来の Al 配線工程と互換性があげられる。

5.4 HSG デュアルダマシンパターンニング

HSG エッチングには、 C_4F_8 と O_2 の混合ガス系を用いた。このガス系は、Cu/P-TEOS と Cu/SiOF にも適用し、 $0.5\ \mu\text{m}$ ピッチ配線形成に使用されてきた。ただし、同一エッチング条件を HSG に適用すると、HSG が CH_3 を含有していることに起因して、パターン端部にマイクロレンチが形成される。この問題に対して、ここでは、用いる酸素の流量を最適化することで対処した。エッチング中の断面を図 5-5 に示す。混合する酸素量を低くすることで、マイクロレンチを発生させずに異方性エッチングがなされることがわかった。また、この最適化により、HSG の P-TEOS 膜に対する選択比も比較的高く出来ることがわかった。これらの結果を基に、中間エッチングストッパー (ES) に P-TEOS を適用した。結果を図 5-6 に示す。

HSG 適用に際しては、さらに克服すべき課題がある。HSG は前述したように CH_3 を含有している。このため、通常の O_2 アッシング (アッシング種は酸素ラ

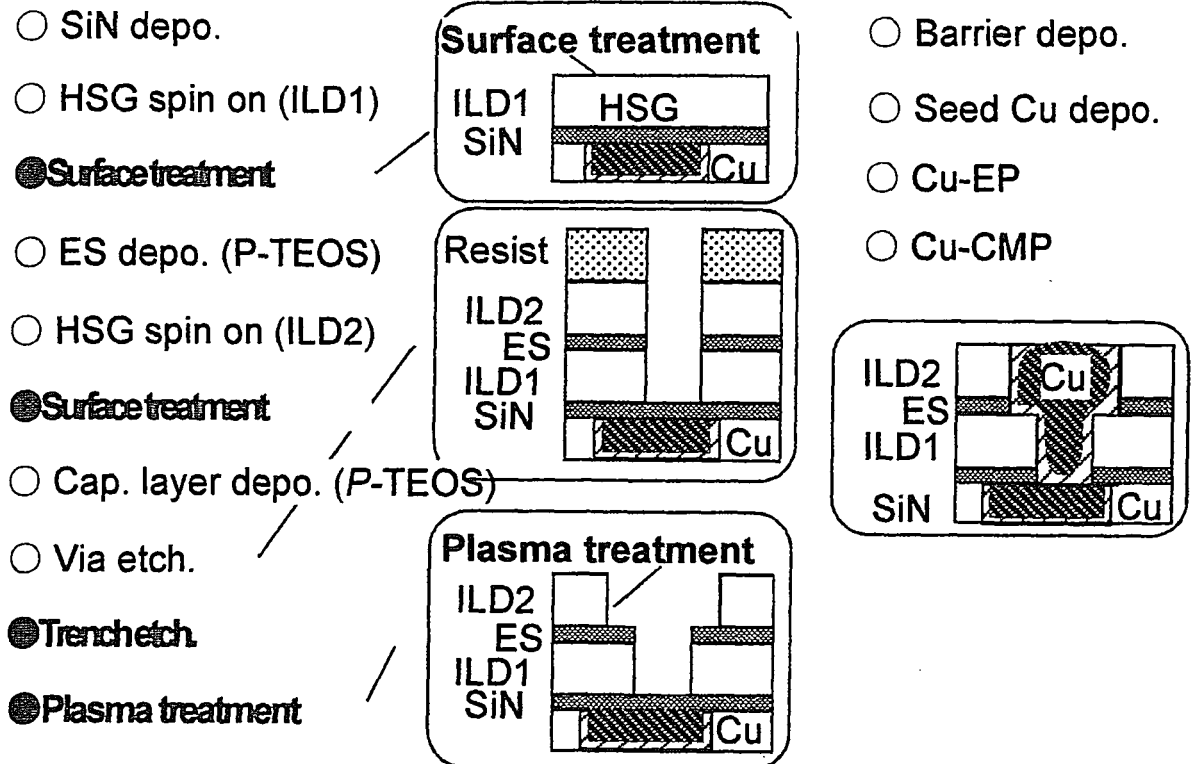


図5-3 HSGを用いた時のデュアルダマシンプロセス

Barrier metal	TiN	TaN	Ta
After Cu seed			
After Cu-EP			
Resistivity (10 ⁻⁶ ohm.cm)	85	269	141
Temp. tolerance (C)	>450	>500	>450

図5-4 バリアメタルの付き回り状況と比抵抗と耐性温度

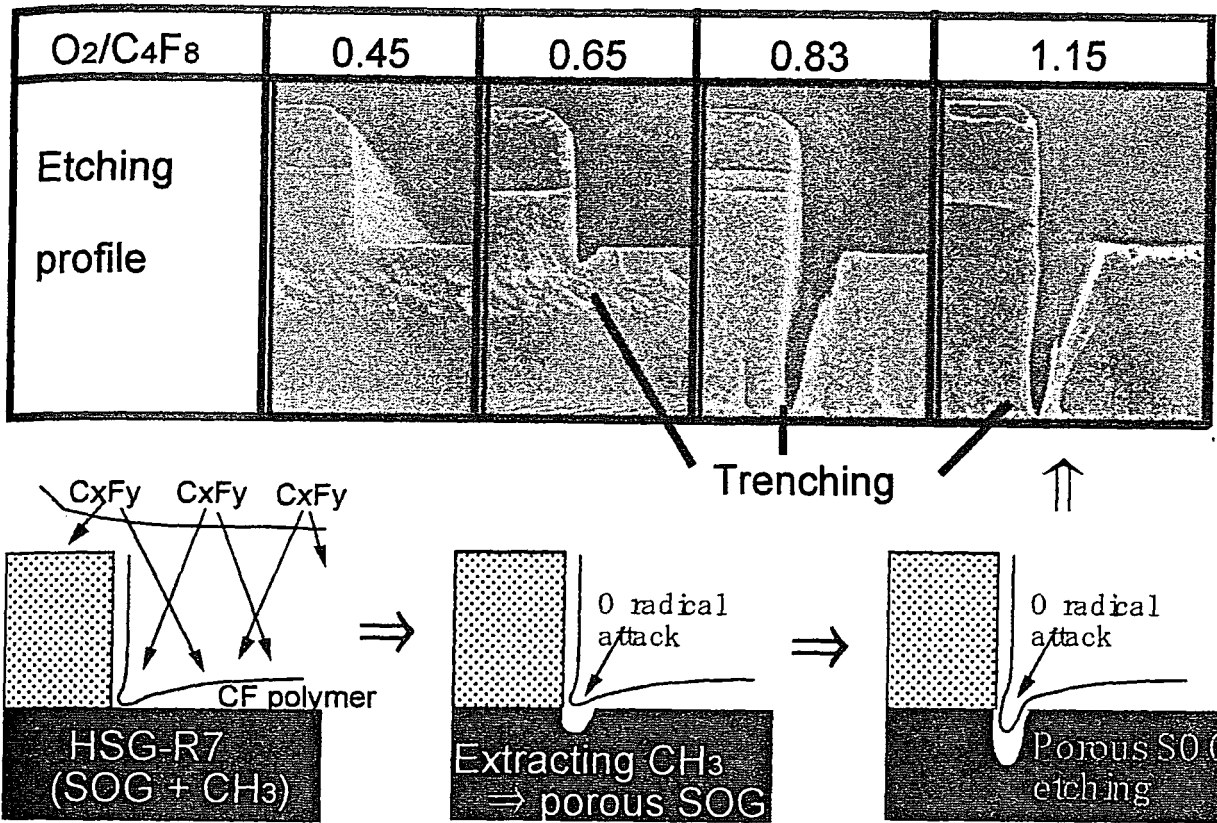


図5-5 エッチング状況の O_2/C_4F_8 混合比依存性

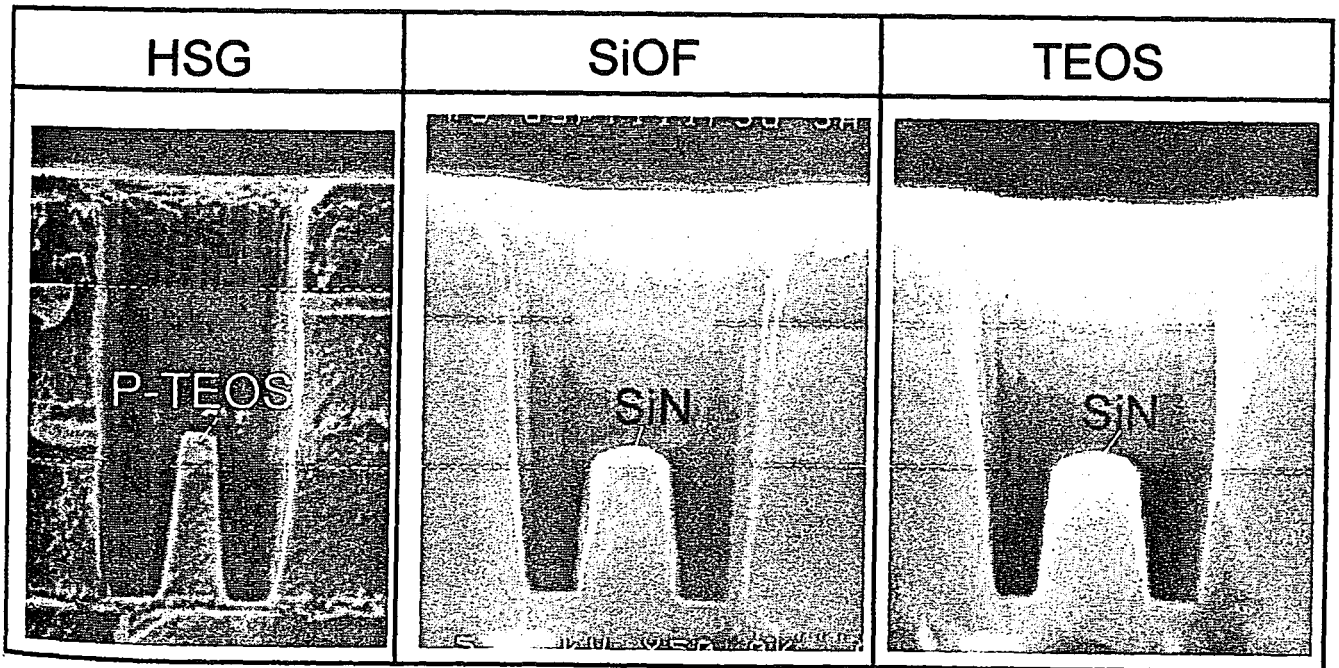


図5-6 各絶縁膜を用いた時のエッチング形状

ジカル) を適用すると、HSG から CH_3 が引き抜かれる現象が起きる。引き抜かれた部分は空間となるため、この脱離部がポーラスとなる³⁾。すなわち脱離部は、乾燥剤の“シリカゲル”となってしまう。その結果、HSG はアッシングにより致命的なダメージを受ける。このダメージ部は HF 侵液実験で明確に出来る。図 5-7 の右図はこの様子を示している。写真図の破線で示した部分は HF 侵液実験前のホール断面形状である。HF 侵液実験で、通常のアッシングが如何にダメージを与えていることがわかる。この問題に対しては、HSG がポーラスになるのを防止する保護膜を、パターン側壁に形成するプラズマ処理を適用した^{3),4)}。これは、アッシングをプラズマ処理装置で行ない、酸素イオン処理を側壁に施す方法である。すなわち、酸素イオン入射により、側壁部の結合切断部を直ちに Si-O 結合させ、かつイオンによる膜の緻密化を行う方法である。図 5-7 の左図にはこのプラズマ処理の効果を確認した HF 侵液実験結果を示す。プラズマ処理を行なった試料では、アッシング後の侵液試験でも、その形状には変化は見られない。これにより、プラズマ処理の有用性が確認出来、配線のインテグレーションが可能になった。

HSG と P-TEOS 膜の密着性はそれ程強くない。このため、しばしば、Cu-CMP 工程中に、この P-TEOS 膜と HSG の界面で剥がれが発生する。密着性を向上させるため、幾つかの表面処理方法を検討した。表面を無機質にすることで、密着性の向上を図った。無機質化では、表面近傍のみの改質が重要となる。前述したプラズマ処理でも無機質化が達成されるが、改質層が厚くなる可能性がある。ここでは、UV ランプ照射で行う検討をした。図 5-8 は HSG 表面での水の接触角の、表面処理時間の依存性を示す。処理時間の増加に伴い、接触角は減少する。角度が 3 度以下では、CMP 中に剥がれは全く発生しない。無機化層の厚さは明確ではないが、UV 照射前後での、比誘電率の増加が見られないことから、数十 nm 以下の厚さだと予想される。

5.5 Cu 配線形成と電気特性

Cu めっき、CMP には通常の市販の装置を用いた。図 5-9 は ILD に HSG を用いた時の、Cu めっき膜の埋め込み状況と Cu-CMP 後の状況を示す。Cu めっきはボイドなく完全に埋め込まれており、CMP も HSG の表面改質により、剥がれなく実施されている。

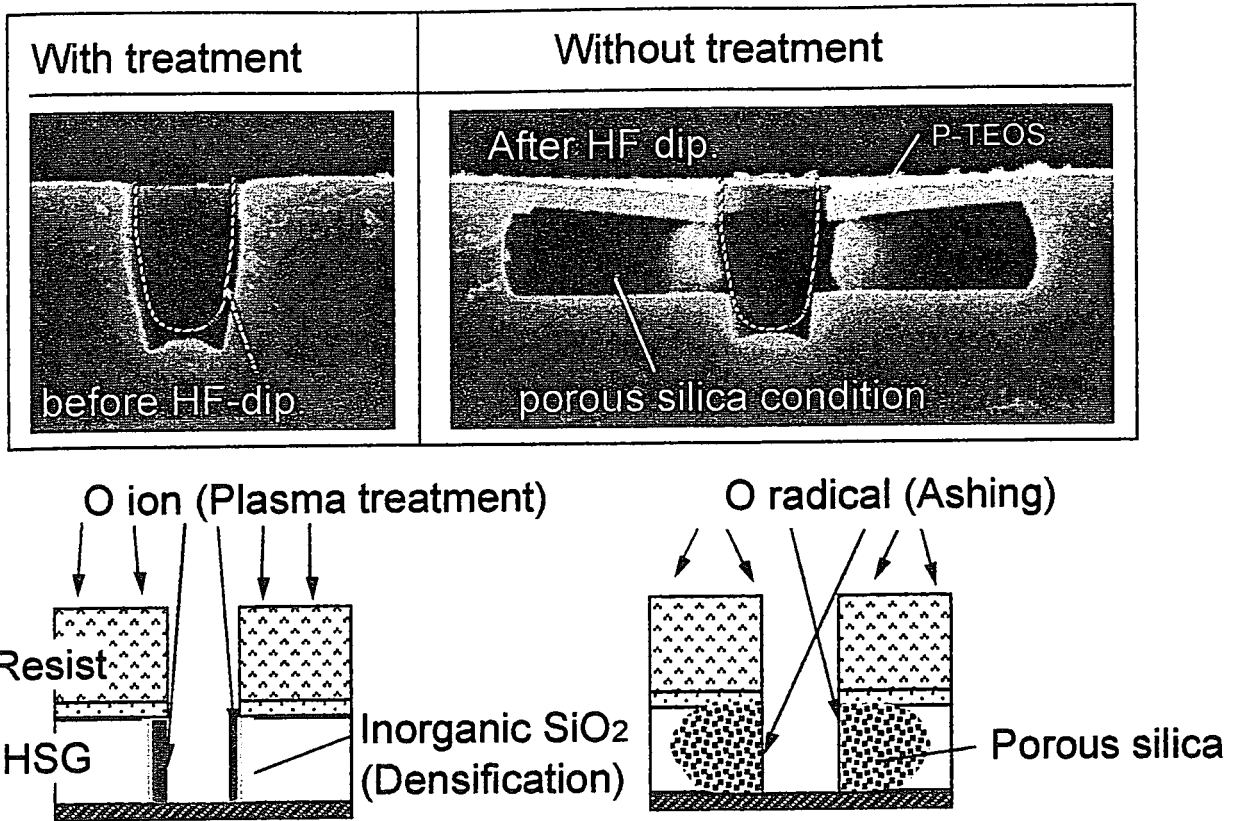


図5-7 アッシング後のポーラス化と側壁保護による効果

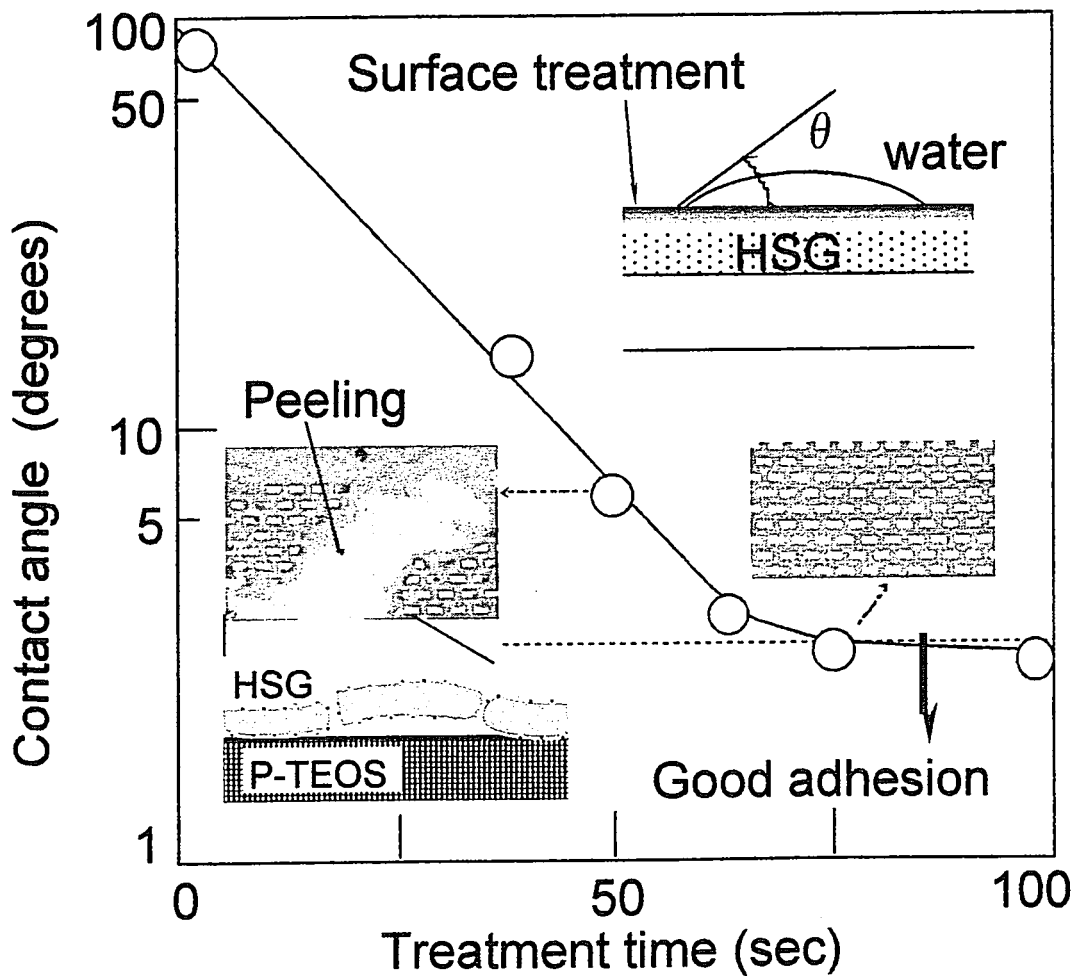


図5-8 HSG表面改質における、水の接触角の処理時間依存性

上述した技術を用いることによって、HSG をILD に用い、さらに P-TEOS 膜をエッチングストッパー (ES) に用いた低容量の Cu 配線が形成できた。この Cu 配線の電気特性を、P-TEOS をILD に用いた配線と SiOF をILD に用いた配線 (共に ES は SiN) を比較した結果を以下に示す。

電気特性は2層メタル配線を有した試料を用いて評価した。配線高さは0.4 μm 、最小配線幅は0.2 μm である。図 5-10 は、配線幅は0.25 μm の配線容量の配線ピッチ依存性を示す。図中に HSG をILD に用いた試料の断面、及び構造を示してある。配線容量は一对の楕型パターンを用い、基板と M1 配線を浮遊電位として、M2 配線間の容量を測定した。図にはシミュレーション値も記載した。シミュレーション値は実測と良く一致しており、HSG-ILD 及び P-TEOS-ES を用いた際の効果が期待される。実測値を見ると、Cu-HSG (ES: P-TEOS) の配線容量は、従来の Cu + P-TEOS 配線 (ES: P-TEOS) に比較して、約 30%低減されている。Cu + HSG (ES: P-TEOS) の実効的比誘電率は 3.3 であった。

図 5-11 には配線抵抗の抵抗分布を示す。配線幅は0.25、0.50 μm 、配線長さは 81 mm である。各プロセスで、抵抗は急峻に分布している。また、HSG-ILD の値は TEOS-ILD 及び SiOF-ILD のものより、若干大きいものの、同等と見なすことが出来る。

図 5-12 はビアファーストプロセスでのビア抵抗の抵抗分布を示す。測定にはケルビンパターンを用いた (2.4.5 節参照)。図中の白四角はこれまでに述べた HSG プロセスで形成した配線の実測値を示す。この値は P-TEOS-ILD 及び SiOF-ILD のものよりも、高い値を示した。黒四角はこれまで述べてきたプロセスに加えて、さらにプロセスを改善した後の値を示す。改善した点は、バリアメタルを TiN から Ta に変更し、さらにエッチング条件とその後の洗浄プロセスを見直した。この変更後の値は P-TEOS-ILD 及び SiOF-ILD のものに匹敵しており、0.18 μm CMOS に適用できる値である。これらの電気特性の結果から、HSG を層間絶縁膜に P-TEOS 膜をエッチングストッパーに用いた Cu 配線は 0.18 μm CMOS に十分に適用可能なことが確認された。

5.6 まとめ

HSG を層間絶縁膜に P-TEOS をエッチングストッパーに用いた Cu 配線 (0.5 μm ピッチ) を検討した。HSG のエッチング、レジスト除去技術、及び HSG

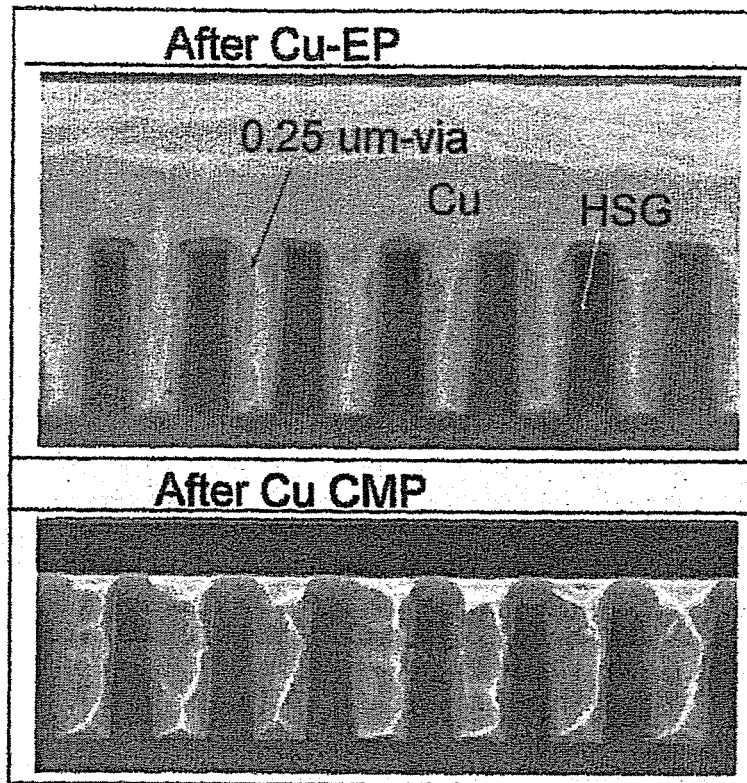


図5-9 CMP前後状況

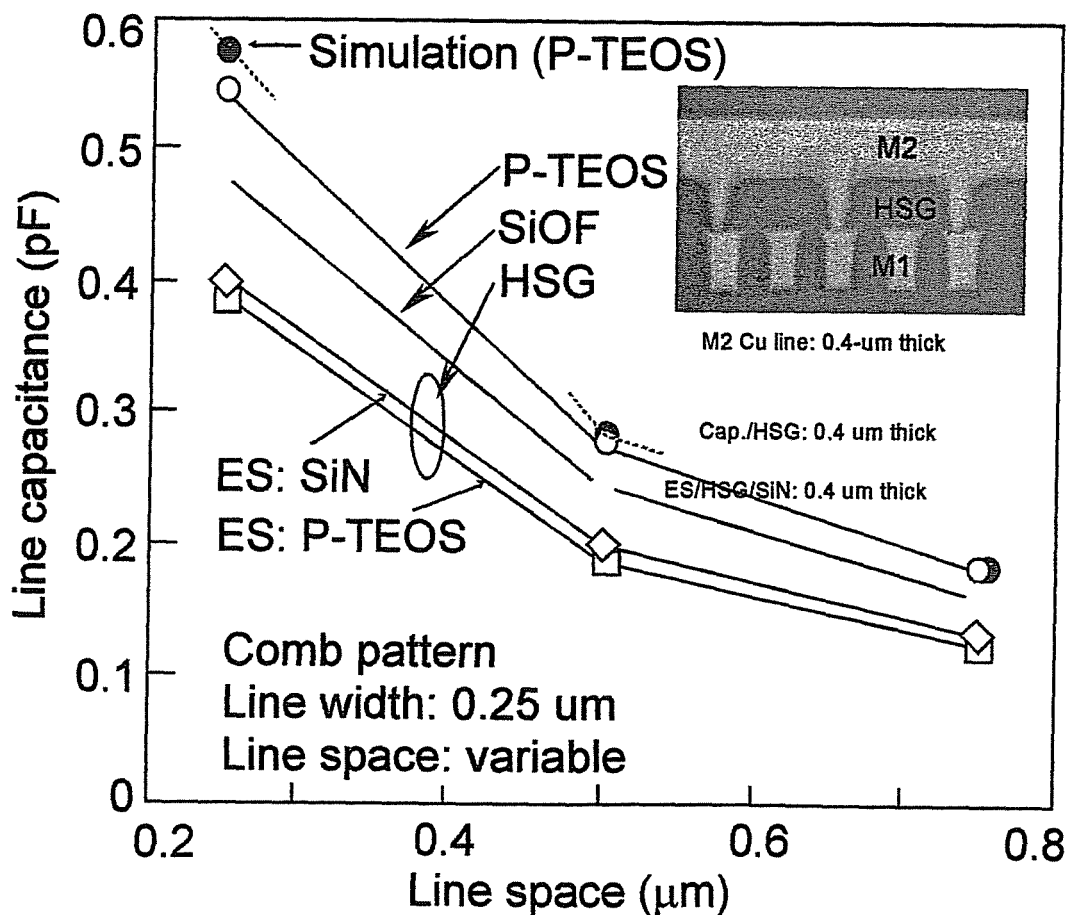


図5-10 各プロセスにおける配線容量の配線間隔依存性

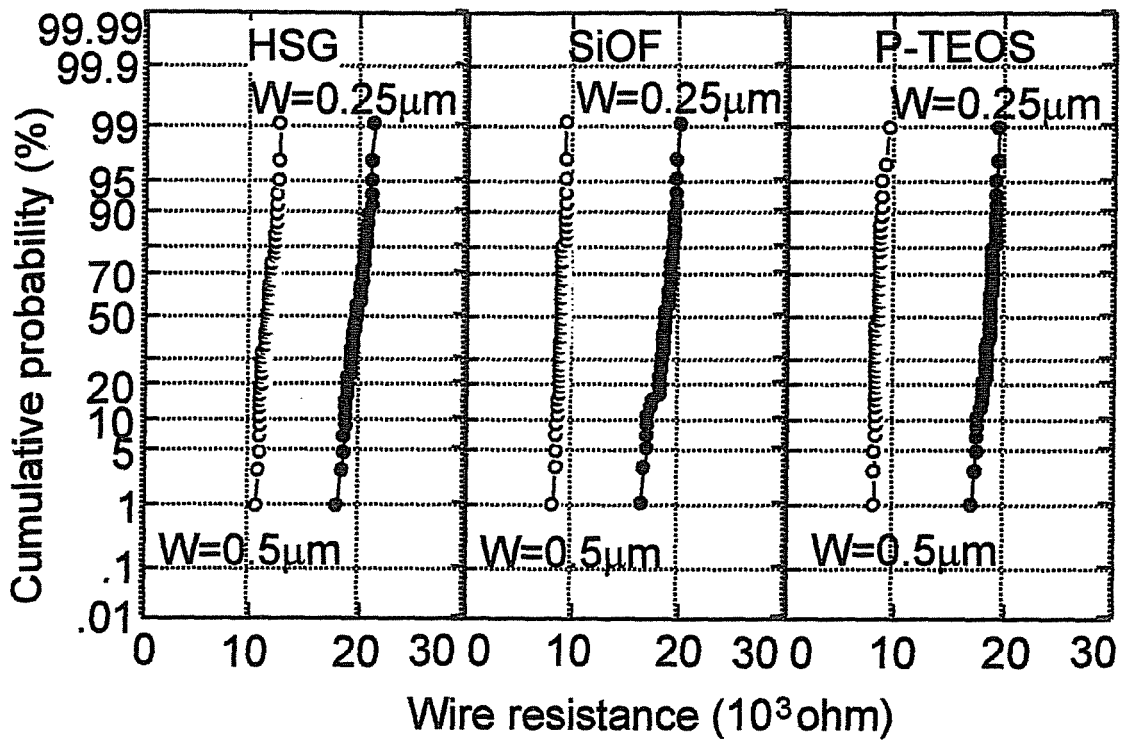


図5-11 各プロセスにおける配線抵抗の配線間隔依存性

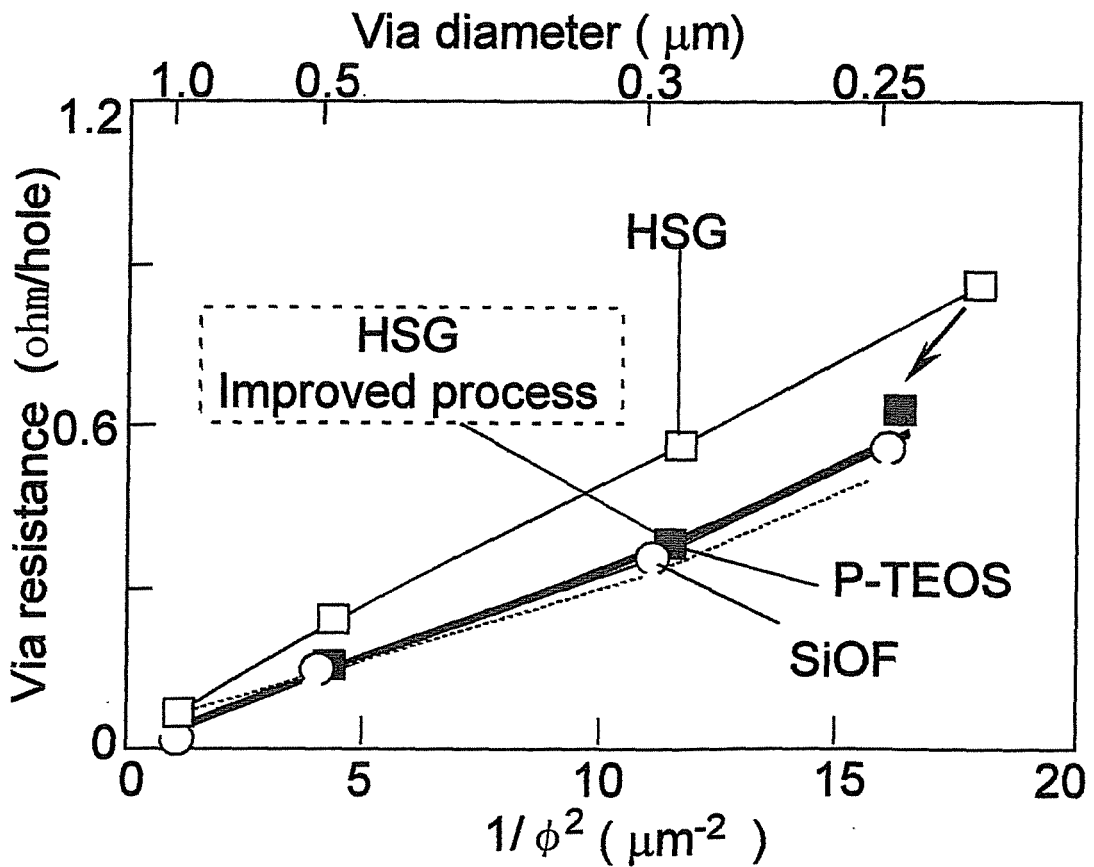


図5-12 各プロセスにおけるビア抵抗のビア径依存性

密着性向上のための表面改質等の技術を開発し、2層配線を構築した。本章で示した配線技術を用いると、配線は、従来のP-TEOSを層間絶縁膜に、SiNをエッチングストッパーに用いたCu配線に比較して、配線容量が約30%低減されることが明らかとなった。また、この配線構造の電気特性は、0.18 μm CMOSに適用可能なことが確認された。

5.7 参考文献

- 1) M. T. Bohr: IEDM Technical Digest (1995) 241
- 2) T. Furusawa and Y. Homma: 1996 SSDM Proceedings (1996) 145
- 3) T. Furusawa and Y. Homma: Symp. on 1995 VLSI Technology of Technical Papers (1995) 59

第6章 $k < 1.5$ の低誘電率層間絶縁膜の材料設計

6.1 はじめに

$k < 1.5$ の低誘電率層間絶縁膜の材料設計にあたり、候補材料の誘電率を予め知ることは重要である。これまで、未合成材の誘電率を総合的に正確に予測できる方法はなく、出来るのは、誘電率の電子分極に基づく分だけが予測可能であった。本章では、候補材料の誘電率を予測するための理論式の導出を行なう。

6.2 誘電率の決定方法の導出

誘電率は印加電位 $E(\omega)$ に対する分極 $P(\omega)$ として、複素数で定義する¹⁾。

$$P(\omega) = \epsilon(\omega) E(\omega) \quad \epsilon : \text{複素数} \quad (6-1)$$

一般的に、孤立分子系では独立な3成分により記述できる^{1,2)}。

$$\epsilon = \epsilon_{ele} + \epsilon_{ion} + \epsilon_{ori} \quad (6-2)$$

電子分極、 ϵ_{ele} は構成分子の分極率 α を用いて、下記の式で表させる。

$$\epsilon_{ele} = 1 + 4\pi N \alpha_e \quad (6-3)$$

ここで、 N は単位体積あたりの分子の個数 ($\text{ケ}/\text{cm}^3$)、 α_e は分子の分極率 ($1/\text{cm}^3$) である。

イオン分極は振動子強度 F_j (j : モード) とその減衰項 Γ_j で記述できる²⁾。

$$\epsilon_{ion} = \frac{4\pi N e^2}{m} \sum_j \frac{F_j}{\omega_j^2 - \omega^2 - i\omega\Gamma_j} \quad (6-4)$$

ここで、 N は単位体積あたりの振動子数 ($\text{ケ}/\text{cm}^3$)、 e は電子電荷 (esu)、 m は換算質量、 ω_j は角周波数 ($1/\text{s}$) である。

配向分極は分子の永久双極子で記述した。

$$\epsilon_{ori} = N\mu^2/3kT \quad (6-5)$$

ここで、 N は単位体積あたりの双極子の数 ($\text{ケ}/\text{cm}^3$)、 k はボルツマン定数、 T は絶対温度である。

電子分極を記述する分子の分極率は、後述するように、原子成分の和で表わすこと

が出来る。ここでの取り扱いで重要なことは、材料を構成原子（あるいは分子）と振動子の集合体として扱ったことである。薄膜として用いる低誘電率材料の誘電率の予測を行なうために、孤立分子系に対する式を凝集系に拡張する必要がある。このために、

1) 内部電場の補正³⁾、及び、2) ϵ の実部を取ることを行った。この結果

$$\frac{\epsilon - 1}{\epsilon + 2} = \frac{4\pi N\alpha_e}{3} + \frac{4\pi Ne^2}{m} \sum_j \frac{F_j}{(\omega_j^2 - \omega^2)^2 + (\omega\Gamma_j)^2} + \frac{4\pi N\mu^2}{3kT} \quad (6-6)$$

が得られる。6-6式のままでは、誘電率に対する、先の3成分の寄与分が分離できない。ここでは、6-6式を簡略化するため、以下の仮定をした。

- 1) 対象とする周波数 ω は $\sim 1\text{GHz}$ (波数 $\nu \sim 0.03\text{cm}^{-1}$)
- 2) 対象とする温度は室温以上、すくなくとも $T > 200\text{K}$ 、である。
- 3) 電子分極 ϵ_{ele} 、イオン分極 ϵ_{ion} 、配向分極 ϵ_{ori} は独立である。

この仮定により、a) 振動子の振動数 ω_j (波数 $\bar{\nu}_j > 50\text{cm}^{-1}$) であるため、6-6式で ω_j の項は、 $\omega \ll \omega_j$ で無視でき、また、通常、 $\Gamma_j \ll \omega_j$ であるので、減衰項の項も無視できる。また、b) 6-6式の第3項は $T > 200\text{K}$ で、第1項と第2項の和に比して充分小さく、c) 各3項に相互作用はない、とすると、誘電率は各成分の和で書き表せることができ、

$$\epsilon = 1 + \frac{4\pi N\alpha_e}{1 - 4\pi N\alpha_e/3} + \frac{4\pi Ne^2}{m} \sum_j \frac{F_j}{\omega_j^2} + \frac{4\pi N\mu^2}{3kT} \quad (6-7)$$

となる。この式の第1項目は電子分極分で、クラジウス-モンティエーの式として知られているものである。第2項はイオン分極からの寄与分である。

振動子強度 F_j は原子結合による双極子の基準座標の微分に関与するため、IR強度に関与するはずである。ここで、 j 番目のIR絶対吸収強度 (積分強度)、 A_j を以下で定義する。

$$A_j = 1/L \int \ln(I_0/I) d\omega \quad (6-8)$$

ここで、 L は試料厚さである。この定義式から、吸収係数 κ と A_j は以下の関係式で結びつけられる⁴⁾。

$$I = I_0 \exp(-\kappa L) \quad (6-9)$$

$$A_j = \int_{j \text{ band}} \kappa d\omega \quad (6-10)$$

一方、 ϵ の虚数部 (ϵ_{ion} の虚数部) は吸光係数と以下の関係がある⁴⁾。

$$\text{Im}\{\epsilon_{ion}(\omega)\} = \kappa n c / \omega \quad n: \text{屈折率} \quad c: \text{光の速度} \quad (6-11)$$

従って、吸光係数に関する6-11式の積分は、IR絶対強度 A_j で表わさせることになる。

$$\int \text{Im}\{\epsilon_{ion}(\omega)\} d\omega = \sum_j \frac{cn}{\omega_j} \int_{j \text{ band}} \kappa(\omega) d\omega = cn \sum_j \frac{A_j}{\omega_j} \quad (6-12)$$

他方、 ϵ の虚数部 (ϵ_{ion} の虚数部) の積分は

$$\int \text{Im}\{\epsilon_{ion}(\omega)\} d\omega = \frac{4\pi N e^2}{m} \sum_j \int_{j \text{ band}} \frac{F_j \omega_j \Gamma_j}{(\omega_j^2 - \omega^2)^2 + (\omega \Gamma_j)^2} d\omega \quad (6-13)$$

であり、左辺の被積分項は、ローレンツ関数となるために、

$$\int \text{Im}\{\epsilon_{ion}(\omega)\} d\omega = \sum_j \frac{\pi^2 N e^2}{m \omega_j} \quad (6-14)$$

となる。式6-12と6-14から、 F_j と A_j は

$$F_j = \frac{cnm}{\pi^2 N e^2} A_j \quad (-15)$$

の関係式で結びつけられる。この結果、理論的な誘電率の記述として、以下の式を得る。

$$\epsilon = 1 + \frac{3d\alpha_e/M}{1 - d\alpha_e/M} + \frac{4cn}{\pi} \sum_j \frac{A_j}{\omega_j^2} + \frac{4\pi \sum_k \mu_k^2}{3kT} \quad (6-16)$$

$\epsilon_{ele} \qquad \qquad \epsilon_{ion} \qquad \qquad \epsilon_{ori}$

ここで、 d は密度 (g/cm^3)、 M は分子量、 $\alpha_e = \sum_i [R_a] \text{ or } \sum_i [R_g]$ であり、 R_a は原子屈折、 R_g は結合屈折 (あるいはグループ屈折) である。

電子分極 ϵ_{ele} は、原子で記述した原子屈折あるいは結合屈折で表すことができる⁵⁾。イオン分極はIRバンドの面積吸収強度 A_j の和で決定される。配向分極は $1/kT$ の関数となる。

表6-1に代表的な原子屈折と結合屈折の値を示す。原子屈折あるいは結合屈折の和で与えられる ϵ_{ele} は、後述するようなイオン分極や配向分極が大きくない分子では、比較的複雑な分子構造の物質でも実測値に近い値を与える。計算例を表7-2に示す。表

表6-1 代表的な原子屈折と結合屈折の値

Atom	[Ra] ¹⁾	Bond	[Rb]
Si	3.6 ⁴⁾	Si-O	1.75 ²⁾
O (-O)	1.643	Si-H	3.201 ²⁾
O (=O)	2.211	Si-C	2.50 ²⁾
H (O-H)	1.525	O-H	1.66 ³⁾
H (-H)	1.1	C-H	1.676 ³⁾
C (>C<)	2.418	C-F	1.83 ³⁾
(C=C)	+1.733	C-O	1.54 ³⁾
	(per = bond)	C=O	3.32 ³⁾
F	1.18 ⁴⁾	C-C	1.27 ³⁾
		C=C	4.17 ³⁾

- 1) C. P. Smyth, "Dielectric Behavior and Structure", McGraw-Hill (1955)
 2) E. L. Warrick, J. Am. Chem. Soc., 68, 2455 (1946)
 3) Vogel, A.L. et al, J. Chem. Soc., 1952, 514
 4) T. Fukuda, 1995 Autumn Meeting of Appl. Phys., Proceedings 28pZH11

表6-2 原子屈折と結合屈折から求めた電子分極分

No	分子	分子屈折	$\frac{\rho}{M}$	計算値	実測値
1		$[R]_A = 2C + 4F = 9.56$ $[R]_G = 4C - F + 2C - C = 9.54$ $[R]_{obs} = 9.78$	$\frac{2.2}{100}$	$\epsilon_A = 1.80$ $\epsilon_G = 1.80$	$\epsilon_{obs} = 2.0$ $\epsilon_{elec} = 1.8$
2		$[R]_A = 2C + 3F + Cl = 14.37$ $[R]_G = 4C - F + C - Cl + 2C - C = 14.33$	$\frac{2.2}{116.5}$	$\epsilon_A = 2.12$ $\epsilon_G = 2.12$	$\epsilon_{obs} = 2.24$ $\epsilon_{elec} = 2.1$
3		$[R]_G = 2C - N + 4C = O$ $+ 4C - C + 3 \text{ (benzene ring)} - 8C - H = 94.27$	$\frac{1.46}{358}$	$\epsilon_G = 2.81$	$\epsilon_{obs} = 3.1$ $\epsilon_{elec} = 2.7$
4		$[R]_G = 2C - N + 4C = O$ $+ 4C - C + 3 \text{ (benzene ring)} - 12C - H + 4C - F = 94.59$	$\frac{1.48}{438}$	$\epsilon_G = 2.38$	$\epsilon_{obs} = 2.9$ $\epsilon_{elec} = 2.3$

ρ :密度 M:分子量 ϵ_{obs} :@1MHz ϵ_{elec} : n^2

中、 ϵ_A , ϵ_G は R_a , R_g で求めた値を示す。理論的記述式から、実験式を得ることができる。

$$\epsilon = \underbrace{n^2}_{\epsilon_{ele}} + \underbrace{\frac{4cn}{\pi} \sum_j \frac{A_j}{\omega_j^2}}_{\epsilon_{ion}} + \underbrace{\frac{B}{T}}_{\epsilon_{ori}} \quad (6-17)$$

$$A_j = A_j \frac{9n}{(n^2+2)^2} \quad (6-18)$$

$$B = \sum_k \frac{4\pi\mu_k^2}{3\kappa} \quad (6-19)$$

電子分極は、 $\epsilon_{ele} = n^2$ となり、イオン分極、 ϵ_{ion} は実測のIR強度に内部電場補正³⁾をしたA'で記述される。配向分極 ϵ_{ori} は B/T となる。ここで、注目すべきことは、誘電率は温度依存性を示すことであり、それは配向分極 ϵ_{ori} で起因し、その温度依存性は $1/T$ に比例することである。逆に言えば、誘電率の温度依存性から、配向分極 ϵ_{ori} を分離できることになる。

6.3 誘電率の実験的分離

理論的記述式から、電子分極分の残余誘電率（イオン分極 + 配向分極）依存性を知ることができる。既存17種膜のその依存性を図6-1に示す。この図から、低誘電率材を得るためには、イオン分極と配向分極を減じることが重要であることがわかる。次に、誘電率の温度依存性を、P-TEOS, PAE (Pory-aryl-ether)、TFE (Tetrafluoroethylene) について調べた。結果を図6-2に示す。誘電率を構成する3成分の内、温度変化を示すのは、 ϵ_{ori} のみであり、その変化は $1/T$ に比例するはずである。図6-2から、誘電率は $1/T$ の一次関数となっていることがわかる。Tが無限大 ($1/T = 0$) と室温 ($T = 293^\circ\text{C}$) での誘電率の差が配向分極分となる。P-TEOSの配向分極分は、PAEより大きく、また、TFEでは配向分極分は観測されない。P-TEOSとPAEには酸素原子が構成原子であるため、P-TEOSでは、O-H、 H_2O に基づく双極子が、PAEではC-O、O-Hに基づく双極子が現れ、これらが配向分極分に寄与しているものと思われる。TFEは酸素を有しないため、配向分極を示さない。

図6-3はP-TEOSとPAE、およびTEFのIR吸収スペクトルを示す。Y軸には、IR強度を

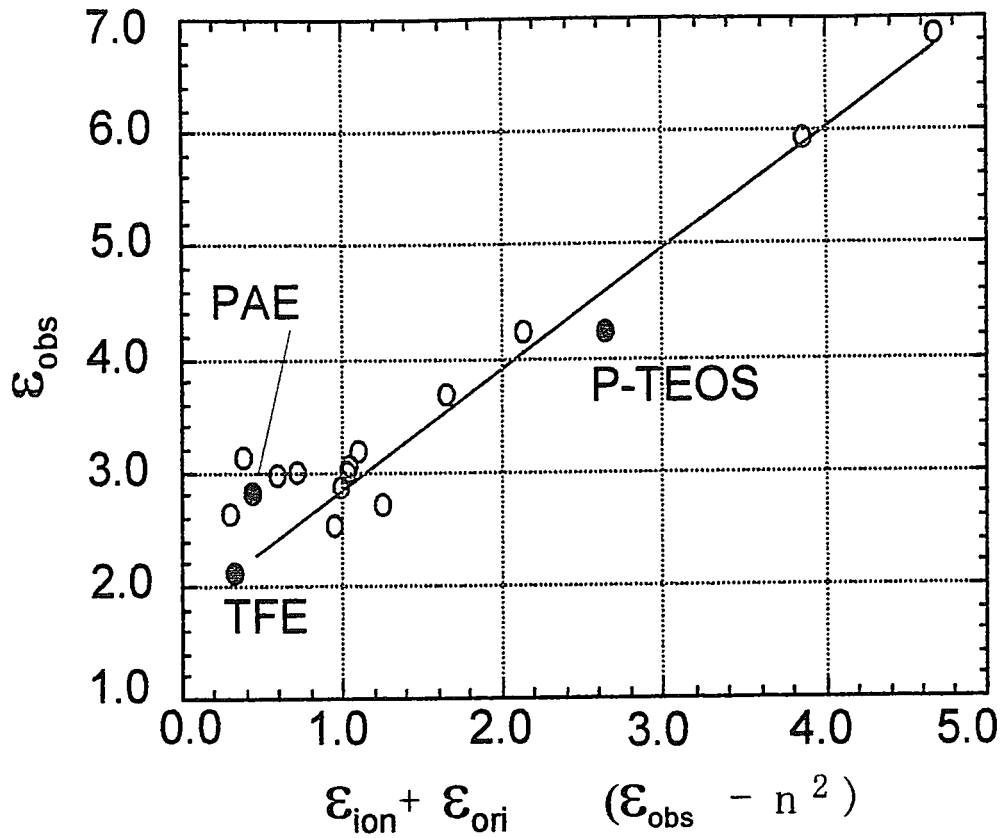


図 6-1 ϵ_{obs} の $\epsilon_{ion} + \epsilon_{ori}$ 依存性

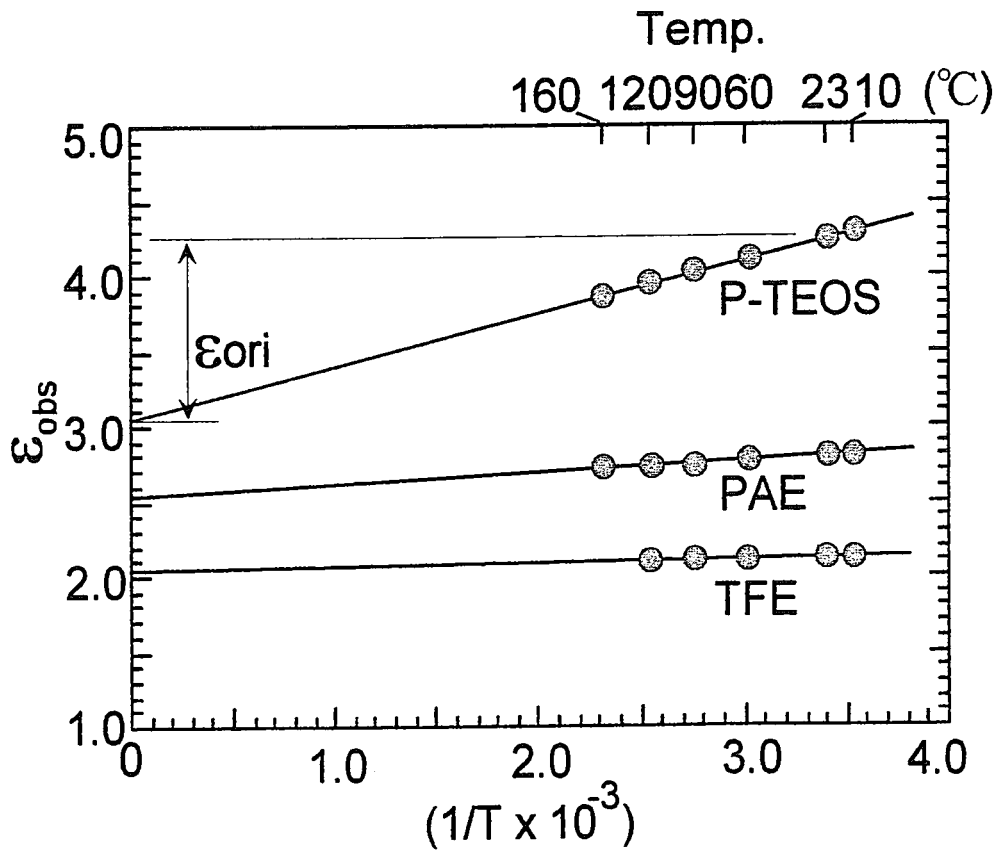


図 6-2 誘電率の温度依存性

膜厚で割った絶対強度 (A_j の値になる)を示す。イオン分極成分は A_j/ω_j^2 の関数である。P-TEOSではPAEに比較しても、強い吸収帯が比較的低い波数領域に存在する。強い吸収帯が低い波数に現れる材料程、イオン分極成分は大きくなる。このため、P-TEOSはイオン分極成分が大きく、誘電率が高い原因の一端となっている。PAEはC-Oの単位セル当たりの結合数は、P-TEOSに比して1/10以下で、その積分強度は弱い。イオン分極に最も効くモードは低波数に現われる、C-O結合振動に基づくモードである。TFEでは単位体積あたりのC-F結合が多いためIR強度はPAEに比較すると、その強度は比較的大きい。しかし、P-TEOSのSi-O結合のIR強度に比較すると3割程度である。IR強度から見ても、材料の構成原子と酸素原子が結合したSi-O, C-O等のX-Oに基づくスペクトルが現われることになる。このことから、材料の構成原子に、酸素原子がある材料は、イオン分極成分が大きくなるため極低誘電率材には不適であることがわかる。

6-4 誘電率に対する導出式の検証とlow-k材料の候補

図6-4は、実験的記述式に基づいて分離した、電子分極, ϵ_{ele} 、イオン分極, ϵ_{ion} 、配向分極, ϵ_{ori} と、C-V測定から求めた誘電率, ϵ_{obs} を示す。 ϵ_{ele} は光学的屈折率から、 ϵ_{ion} はIRスペクトル強度から、 ϵ_{ori} は誘電率の温度依存性から求めた値である。導出した式、及び手続きが正しければ、それぞれ独立に測定された3成分の和は、実測誘電率と一致するはずである ($\epsilon_{ele} + \epsilon_{ion} + \epsilon_{ori} = \epsilon_{obs}$)。図6-4の結果から、3成分の和は、実測誘電率とほぼ一致しており、これまでの理論的導出は正しいことがわかる。

誘電率に対する導出式から、low-k材料に対する指針を得ることができる。

- 1 Si-O, C-O結合は強いIR強度があり、現われる波数域も比較的低い。このため、酸素を材料構成原子である材料は、イオン分極が大きくなる。
- 2 O-H, H₂O, C-Oは双極子を生じるため、配向分極による誘電率の上昇につながる。
- 3 分子の対称性が低いと、余分のIR振動を与え、双極子モーメントの打ち消し合いが少ない。
- 4 上記結論から、low-k材料としては、酸素を有しないC, H, (N)で構成される、少なくとも、点対称 (T_d 対称群) 以上の対称性を有する分子で構成されることが望まれる。ことがわかる。

6.5 極低誘電率材 ($k < 1.5$) の候補

上述した結論を基にした極低誘電率材の一つの候補を図6-5の中に示す。図は、

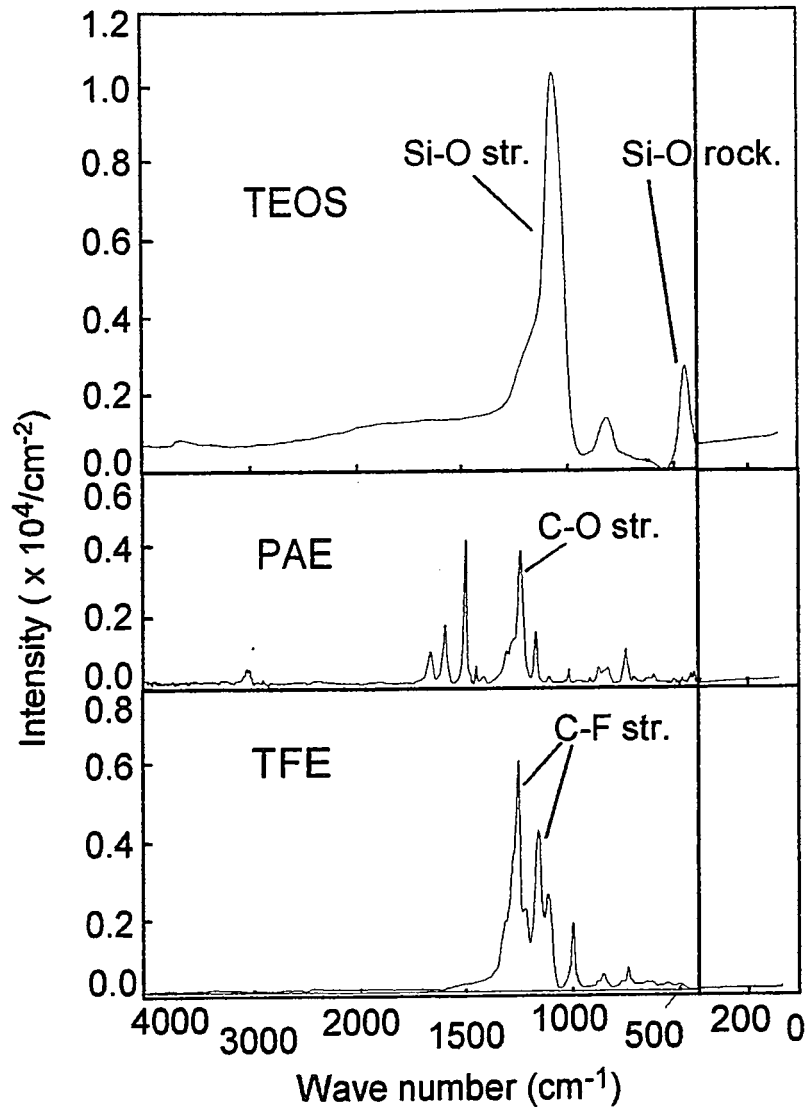


図 6-3 IRスペクトル例 (絶対吸収強度)

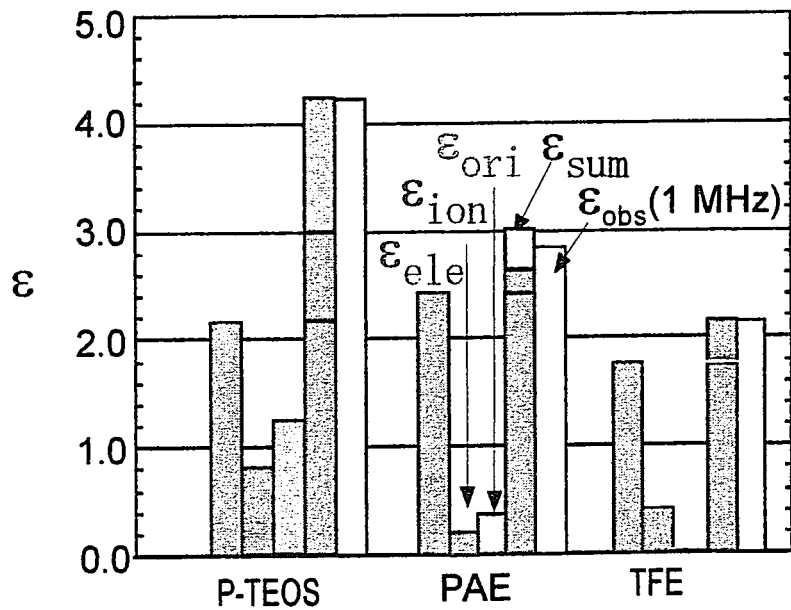


図 6-4 誘電率の各要素と実測との比較

候補材料の単位ユニット構造を示す。候補材はダイヤモンド骨格とフェニレンから構成されており、二つのフェニレンがダイヤモンド骨格炭素の間に挿入され、骨格内に内部空間を有した3次元構造となっている。対称性は T_d 対称である。この材料には、酸素が含有されていないため、配向分極の寄与はなく、また、イオン分極の寄与も小さいことが期待される。

この候補材の電子分極, ϵ_{ele} は表6-1に記載した原子屈折か結合屈折の値を用いることで計算した。ここでは、結合屈折の値を用い、30個のC-C、36個のC=C、48個のC-H結合の合計から分極率を求めた。密度は単位ユニットを構成する原子量合計をユニット体積で割ることで求め、クラジウスーモソッティの式に分極率と密度を代入して ϵ_{ele} を求めた。

イオン分極分, ϵ_{ion} は候補材のIR強度がわかれば求めることができる。図6-6は候補材の予測IRスペクトルを示す。Y軸は絶対強度である。スペクトルはシクロヘキサンとベンゼンのIRスペクトル強度から、余分のC-H（ベンゼン環）に基づく強度を差し引くことで求めた。酸素を構成原子に含んでいないため、 ϵ_{ion} の値は小さく、 ϵ_{ele} の6%であった。

図6-6は候補材の密度と誘電率の、フェニレンの挿入数依存性を示す。挿入数が増えると、内部空間体積が大きくなるため、密度は低下し、この結果、誘電率は劇的に低下する。挿入数が2個になると、誘電率は1.5以下となる。

以上のように、誘電率に対する、 ϵ_{ele} 、 ϵ_{ion} 、 ϵ_{ori} の和で表せる理論式が導出できたため、未合成の材料に対しても、文献データから、その誘電率が予想出来る。

6.6 イオン分極を考慮した分子軌道法による誘電率の予測

6.1節でも述べたが、これまで、誘電率は電子分極 ϵ_{ele} で代表されていた。分子軌道法を用いた誘電率の見積もりでも、分子の電子雲の広がりから、分子体積、分極率を求め、これらをクラジウスーモソッティの式に代入することで、誘電率を求めていた。一方、分子軌道法 (ab-initio計算) では、原子結合に基づく基準振動と、原子結合に基づく双極子の基準座標展開値が得られる。従って、6-16式から、イオン分極, ϵ_{ion} を求めることが可能となる。この節では、イオン分極を考慮した分子軌道法による誘電率の予測を行う。

J番目のIR積分強度は双極子モーメントベクトル、 μ_j から、以下の式で与えられる³⁾。

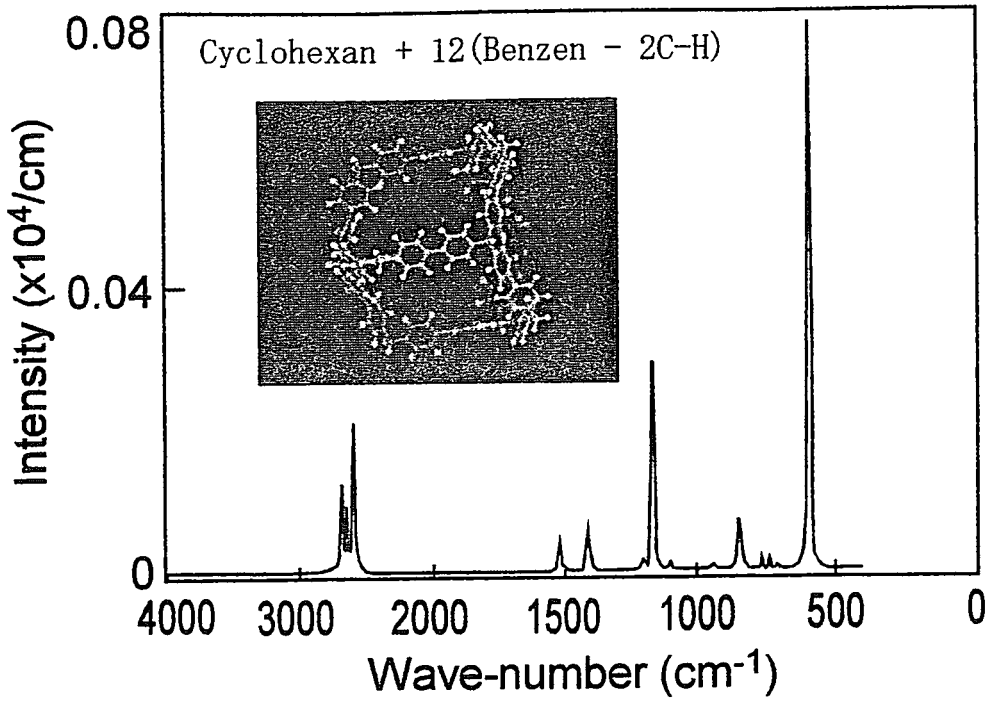


図 6-5 極低誘電率材候補の予想IRスペクトル

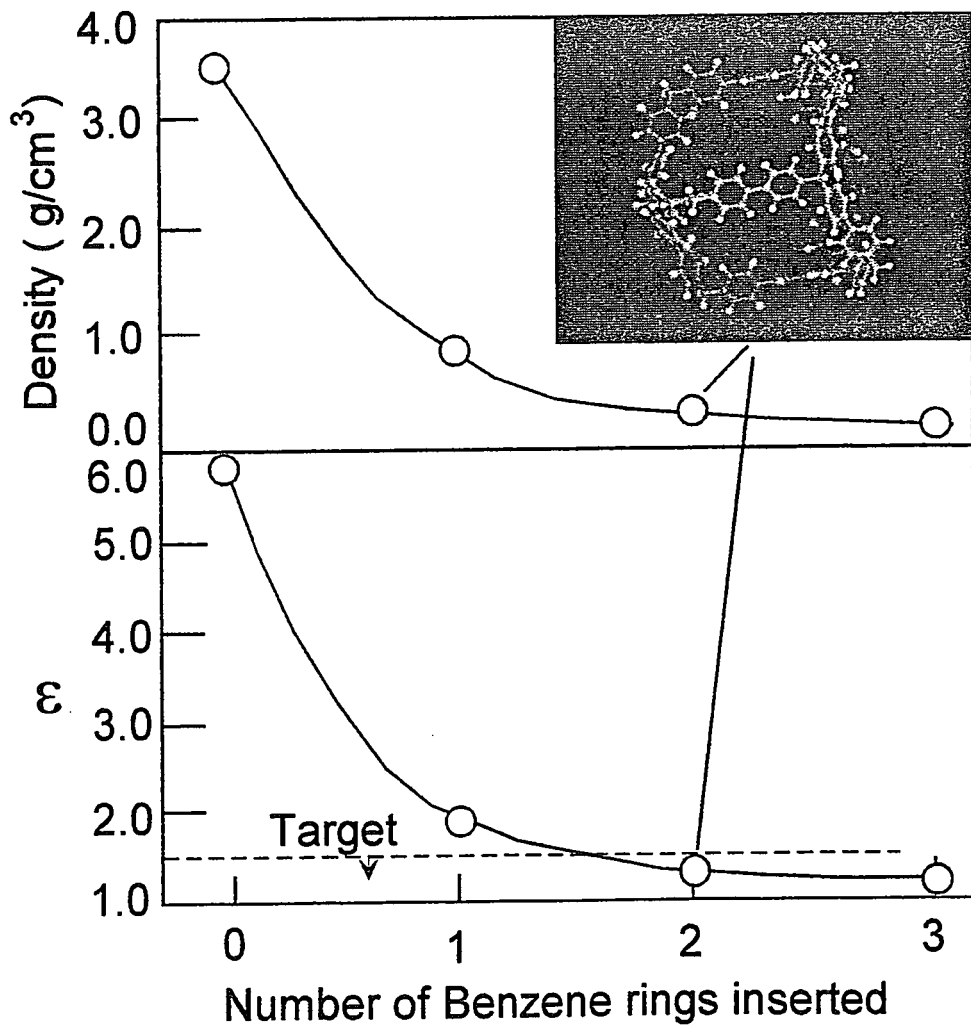


図 6-6 候補材の密度と誘電率

$$A_j = \sum_I \sum_F \frac{4\pi^2}{3ch} \omega_j (P_I - P_F) | \langle F | \mu_j | I \rangle |^2 \quad (6-20)$$

ここで、 P_I と P_F は $\langle F |$ と $| I \rangle$ の存在確率である。FとIは始状態と終状態を意味する。

$$\mu_j \text{を基準座標で展開し、} \mu = \mu^{(0)} + \mu^{(1)}q + \mu^{(2)}q^2 \quad (6-21)$$

ここで、調和振動子近似を行い、始状態は基底状態とし、終状態は第一励起状態とすると、

$$A_j = \frac{4\pi^2}{3ch} \omega_j (1 - e^{-\hbar\omega_j/kT})^2 \{ \mu^{(1)} \}^2 | \langle 0 | q_j | 1 \rangle |^2 \quad (6-22)$$

となる。 $\langle 0 |$ と $| 1 \rangle$ はエルミート多項式である。電子相関を考慮し、波動関数(B3LYP/6-31+G*)を用いた場合の赤外吸収強度に対する計算結果の一例を図6-7に示す⁶⁾。 ϵ_{ion} は次式で求められる。

$$\epsilon_{ion} = \frac{4cn}{\pi} \sum_j \frac{A_j}{\omega_j^2} \quad (6-16)$$

分子軌道法で求められる誘電率は、孤立分子系に対するものに当たる。凝集系に対する補正は、分子半径を0.075Bohr半径とすることで対処した⁷⁾。内部電場補正に用いる、光学的屈折率は、

$$n = \sqrt{\epsilon_{ele}} \quad (6-23)$$

より、求めることが出来る²⁾。テフロン、ポリイミド、 SiO_2 に対応した C_8F_{18} 、 $(\text{HO})_3\text{SiOSi}(\text{OH})_3$ 等の計算例を図6-8に示す。実験値の傾向は良く再現している。このように、ab-initio計算から、文献値から引用せずとも、未合成材の ϵ_{ele} と ϵ_{ion} を求めることが出来る。

6.7 まとめ

誘電率の理論的な解析を進めて、未合成でもその誘電率が予測できる理論式を導出した。この式を用いると、候補材のユニットを構成する結合原子種が決まれば、文献値からその誘電率を求めることができる。また、この理論式から、極低誘電率の材料を得るためには、双極子形成や、強いIR強度の原因となる酸素を、材料の構成原子として取り込まないことが重要であることがわかった。本章で導出した理論式を分子軌道計算に応用すると、文献データを用いなくとも、候補材の誘電率が求められることになる。

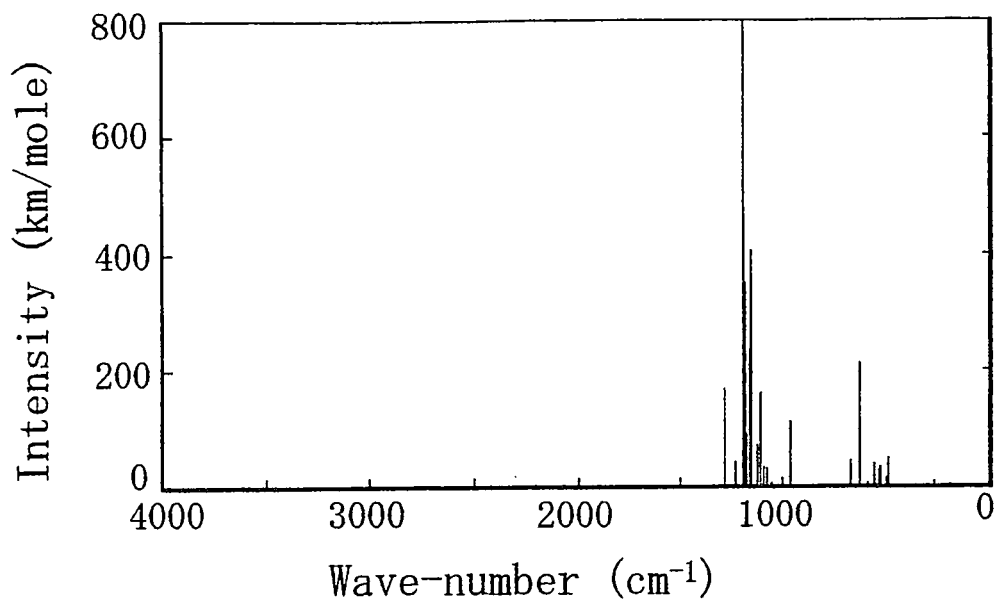


図 6-7 C_8F_{18} のab-initio計算例

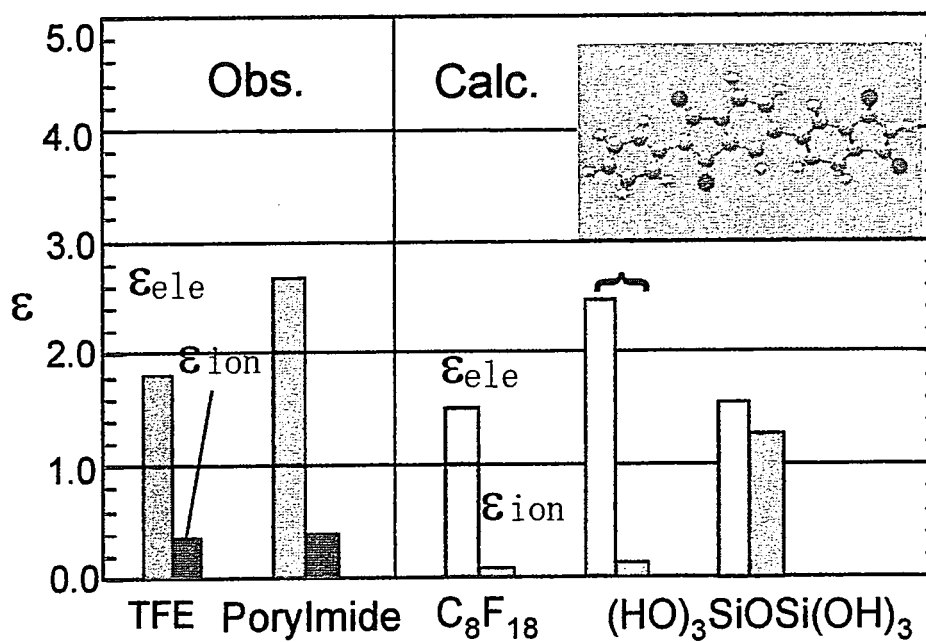


図 6-8 各物質の電子分極とイオン分極の誘電率の寄与

6.8 参考文献

- 1) C. Kittel: *Introduction to Solid State Physics*, John Wiley & Sons, New York (1953)
- 2) 黒澤達美: *基礎物理学選書9 物性論* (1975)
- 3) S. R. Polo and M. L. Wilson: *J. Chem. Phys.* 23 (1955) 2376
- 4) R. London: *The Quantum Theory of Light*, Clarendon Press Oxford, London (1973)
- 5) 日本化学会: *化学便覧 基礎編II* 丸善株式会社 (1975)
- 6) 技術研究組合 超先端電子技術開発機構 (ASET) : *電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H12 年度成果報告書* (2001)
- 7) 松浦 東、青井信夫、福田琢也、松永宏典: 第61回応用物理学学術講演会 講演予講集 (2000) 742
- 8) Y. Shimogaki, S. W. Lim, E. G. Loh, Y. Nakano, K. Tada and H. Komiyama: *Mater. Res. Soc. Symp. Proc.* 565 (1999) 255
- 9) 福田琢也: 平成7年秋季応用物理学学術講演会 講演予稿集 (1995) 450
- 10) E. B. Wilson: *MOLECULAR VIBRATION* McGRAW-HILL, New York (1955)

第7章 $k < 1.5$ の low-k 材のリーク電流機構の解析

7.1 はじめに

LSI の多層配線の絶縁を担う層間絶縁膜において、デバイス適用の是非を決定する電気特性の第一因子は配線間を流れるリーク電流値である。層間絶縁材料の低誘電率化のため、従来用いられた SiO_2 とは異なる材料が検討され、それら材料のリーク電流は一般的に SiO_2 よりも大きい。新規材料の層間絶縁膜への適用性の検討と、リーク電流低減のためにはリーク電流機構を明確にする必要がある。

図 7-1 にリーク電流 I_{leak} の材料依存性を示す。値は文献 1 から室温時の値を引用した。左側には有機材料、右側には無機材料を並べてある。多くの材料で $I_{\text{leak}} < \sim 1 \times 10^{-8} \text{ A/cm}^2$ であるが、パラキシレン膜、フッ化有機膜、ポーラス膜でリーク電流が大きい。絶縁膜の伝導機構として、Schottky emission、Frenkel-Poole emission、Ohmic emission、Ionic conduction 等²⁾ があるが、これらの伝導機構で説明するには、印加電界に対する伝導性が高過ぎる。また、後で述べるが、これらの膜では温度が高くなると、リーク電流の値は著しく上昇する。この温度依存性は、先に示した伝導機構では説明できない。伝導性が高くなる要因の一つには、絶縁膜に含まれる可動電荷の存在等が考えられる。そこで、新たに伝導性を高くしている要因に対する（高伝導性領域に因る）リークパスを考慮して、何がリーク電流起因になるかを探ることにした。

7.2 配線間リーク電流の許容値とリーク電流例

図 7-2 は $0.14 \mu\text{m}$ ルールで設計されたトランジスターを有した 6 層配線の LSI（日立製作所製のロジック製品（1999 年製））の断面を示す。図の右側に ITRS が 1999 年度に発表した MOS トランジスターの許容リーク電流について記載した³⁾。配線間の許容リーク電流は、トランジスターの I_{off} 電流か、MOS ゲート絶縁膜のリーク電流以下になることである。70 nm ノードでの値は、 I_{off} とゲート絶縁膜でのリーク電流の両者とも $40 \text{ pA}/\mu\text{m}$ とされるので、配線長が 10 mm（配線高さ: 300 nm）とすると、低電力品での配線間許容リーク電流 I_{leak} は、 $1\text{E}^{-7} \text{ A/cm}^2$ 以下となる。Low-k 材料の多くは、室温でこの値以下であるが、温度が高くなる

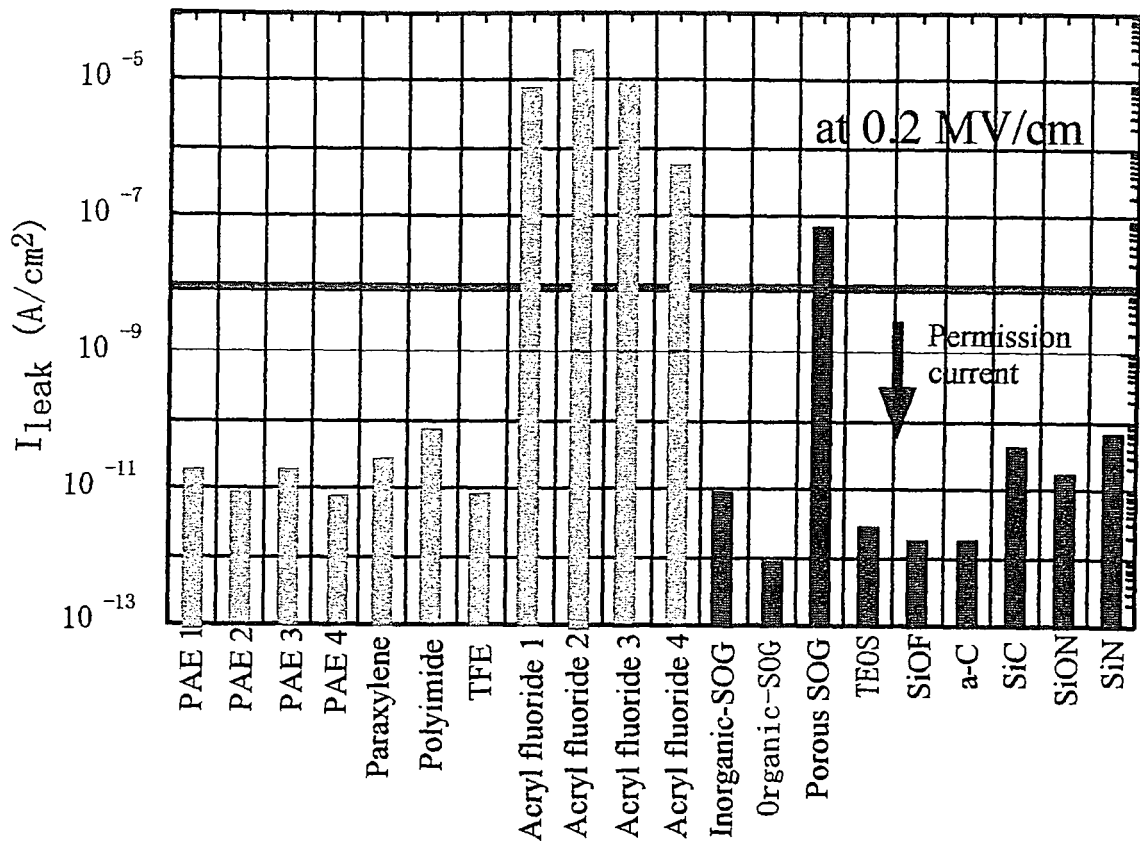
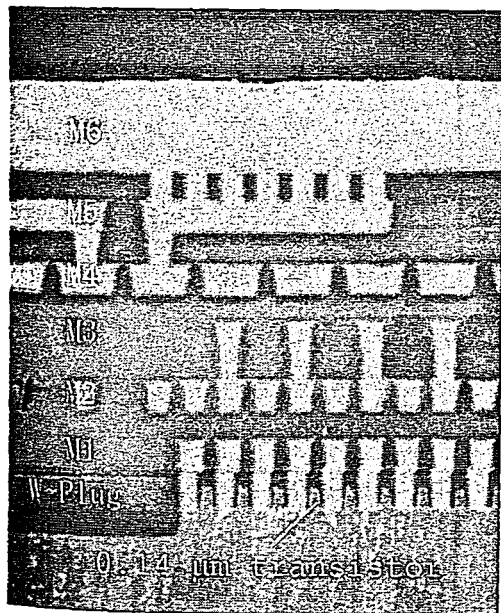


図 7-1 リーク電流の材料依存性



SEM of 0.18 μm node LSI

70 nm technology node

Max. permission for interconnects
(line length: 0.7 μm)
I_{leak} < 1x10⁻⁷ A/cm² @ 0.9 MV/cm
Actual temp. ~ 140C



Spec. of Tr (low power)
Gate dielectric leakage < 40 pA/μm
I_{off} < 40 pA/μm
Actual voltage < 0.9 V

図 7-2 LSI断面構造と層間絶縁膜のリーク電流許容限界
(Trのリーク電流 (Off時)とゲート絶縁膜リーク電流)

と I_{leak} は大きくなり、ロジック系の動作限界温度 ($\sim 140^{\circ}\text{C}$) では許容電流値を超えてしまう。

このような、大きなリーク電流の一因には形成膜の欠陥が大きく関与すると考えられる。細孔の入ったポーラス有機 SOG 膜での例を示す。図 7-3 は欠陥部での予想されるエネルギー的な様子と、リーク電流 (@ 0.2 MV/cm) の欠陥数依存性を示す。欠陥数は Al 膜の上に評価膜を形成し、HF 溶液を滴下して、下部 Al 膜の腐食数から求めた。リーク電流は欠陥数にほぼ比例して上昇している。ピンホールのような欠陥があった場合には、ピンホール壁に電荷や水が溜まることが予想される。水分子自体は中性であるが、電荷が“付着”した場合には、電荷を運ぶ、“電荷担体”になることが予想される⁴⁾。このようなピンホールに基づいた電荷によるリーク電流は

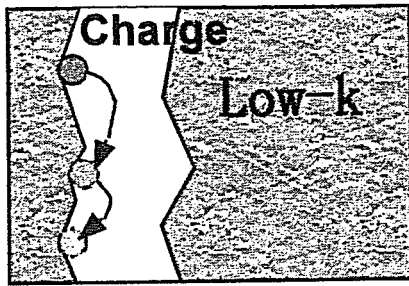
$$I_{\text{leak}} \propto N_p \times \exp(-W/kT) \quad (7-1)$$

となることが予想される。ここで、 N_p はピンホール数、 W はポテンシャルエネルギー、 k はボルツマン定数である。

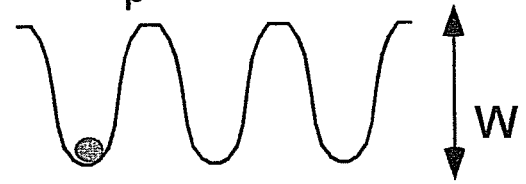
図 7-4 は、low-k 材の代表である有機 SOG 膜, MSZ (Methylsilsequiazane) 膜の I-E 特性の温度依存性を示す。室温では、低いリーク電流を示すが、 60°C に温度を上昇させるだけでもリーク電流は大きく上昇する。この大きな温度依存性の要因を解明しなければ、low-k 材料の多層配線への適用は出来ない。そこで、欠陥に基づくリークパスを考慮して、リーク電流機構を解明することにした。

7.2 膜中の電荷の分類と、リークパスを考慮した C-V 特性

リーク電流の要因を C-V 特性から考察する。図 7-5 は、絶縁膜の電荷の分類を示す。リーク電流は電荷の時間移動量となるから、 dQ/dt となる。リーク電流に関与する電荷は、可動イオン、電子となる。これらには、捕獲電荷 (電子、イオン) も含んでいり。ここではこれら²⁾に加えて、リークパスに関与した電荷と電荷担体を考慮する。リークパスを考慮した MIS 構造での、容量成分 C 、抵抗成分 R を含んだ、高周波印加時の等価回路を図 7-6 に示す。(a) は従来の取扱いを、(b) はリークパスを考慮した取扱いである。ただし、膜が本質的に持つリーク伝導に基づくコンダクト成分は無視している。従来の取扱いでは、抵抗成分 R がいないため、時間 (周波数) 依存性は現れない。このため、実際の測定



$$I \propto N_p \times \exp(-W/kT)$$



N_p : Number of pin-hole

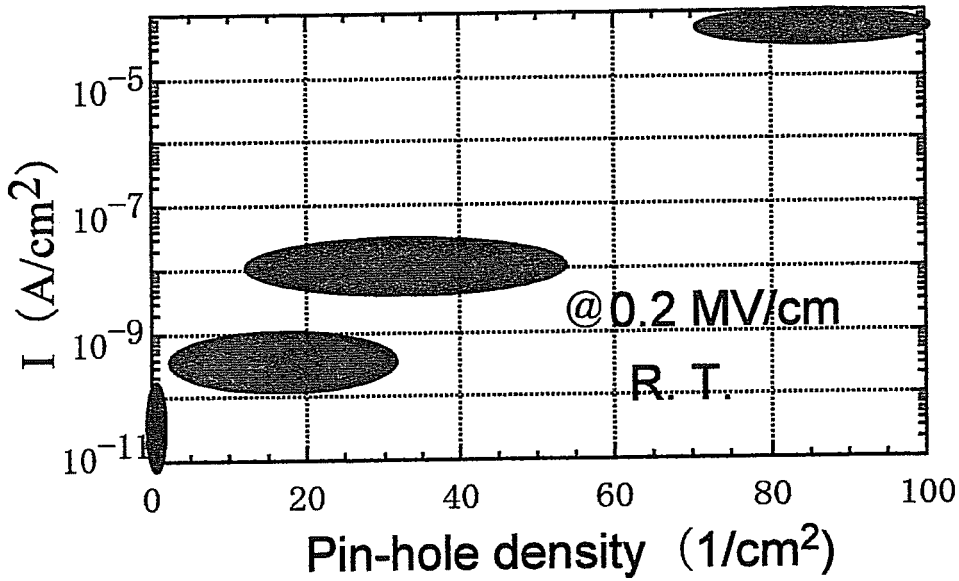


図 7-3 リーク電流のピンホール数依存性

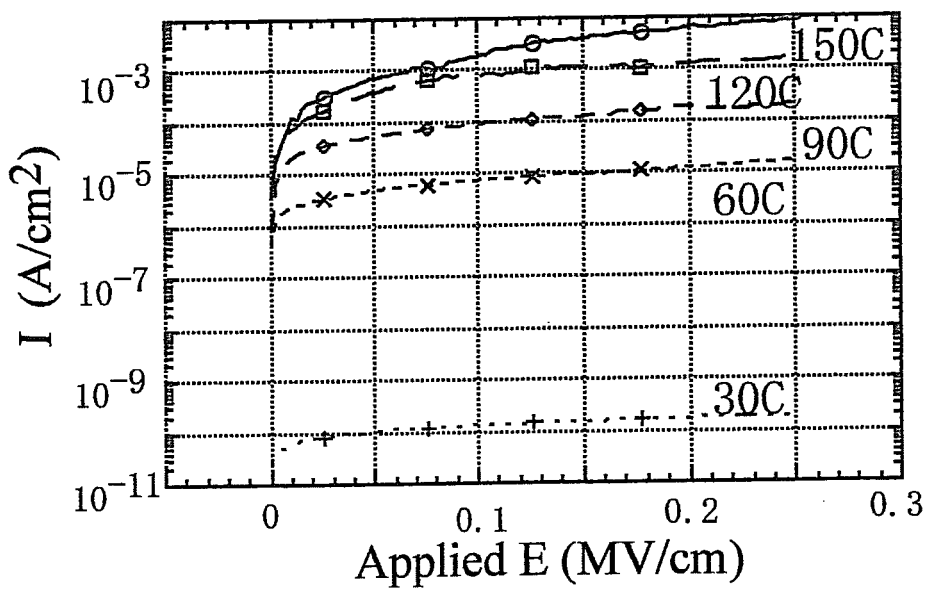


図 7-4 リーク電流の温度依存性例

での現象、例えば、低い周波数で容量測定した値が、高い周波数で測定した容量よりも高くなるという事象は説明出来ない。

$$C = \frac{C_i C_s}{C_i + C_s} \quad C_{\max} = C_i \quad (7-2)$$

ここで、 C_i は low-k 材料の容量、 C_s は Si 基板の容量である。

一方、リークパスを考慮し、抵抗が絶縁膜容量に並列に存在する等価回路の C-V 特性では抵抗 R があるため、容量 C に周波数依存性が現れる。このため、測定周波数が低くなる程、測定される C は大きくなる。従って、リークパスを考慮すると、上記、容量測定での周波数依存性を説明することが出来る。

$$C_{\max} = C_i + \frac{C_j}{1 + \omega^2 \tau^2} \quad (7-3)$$

ここで、 $\tau = R_j C_j$ であり、 C_j と R_j はリークパスの容量と抵抗である。

次に、容量に関係する膜中の電荷について考える。総電荷量は

$$Q_{\text{total}} = Q_s + Q_f + Q_m + Q_t + Q_c \quad (7-4)$$

となる。ここで、 Q_s は界面順位、 Q_f は固定電荷、 Q_m は可動イオン、 Q_t は捕獲電荷、 Q_c はピンホールの電荷および電荷担体である。この電荷分類は図 7-5 に示したものである。膜に高周波が印加された場合、電荷の質量と束縛エネルギーによるが、電荷が追随出来ない高周波では、 Q_{total} に周波数依存性は現れない、しかし、電荷が追随出来る周波数が印加された場合には、周波数依存性が現われる。追随可能な電荷は、 Q_m と Q_c であるため、このことを考慮すると $Q_{\text{total}}(\omega)$ は下記のように表される。

$$Q_{\text{total}}(\omega) = Q_s + Q_f + Q_m(\omega) + Q_t + Q_c(\omega) \quad (7-5)$$

膜中の電荷が存在しない場合に対して、電荷が存在する場合の C-V 特性でのシフト ΔV は、 $\Delta V = Q/C$ であるので、Q の膜内分布 $\rho(x)$ (x: 膜の厚さ方向の距離) が反映される。

$$\Delta V = \frac{Q_{\text{total}}}{C} = \frac{1}{C} \left[\frac{1}{d} \int_0^d x \rho(x) dx \right] \quad (7-6)$$

図 7-7 は電荷が追随出来ない高周波数と、電荷が追随出来る低周波数が印可され

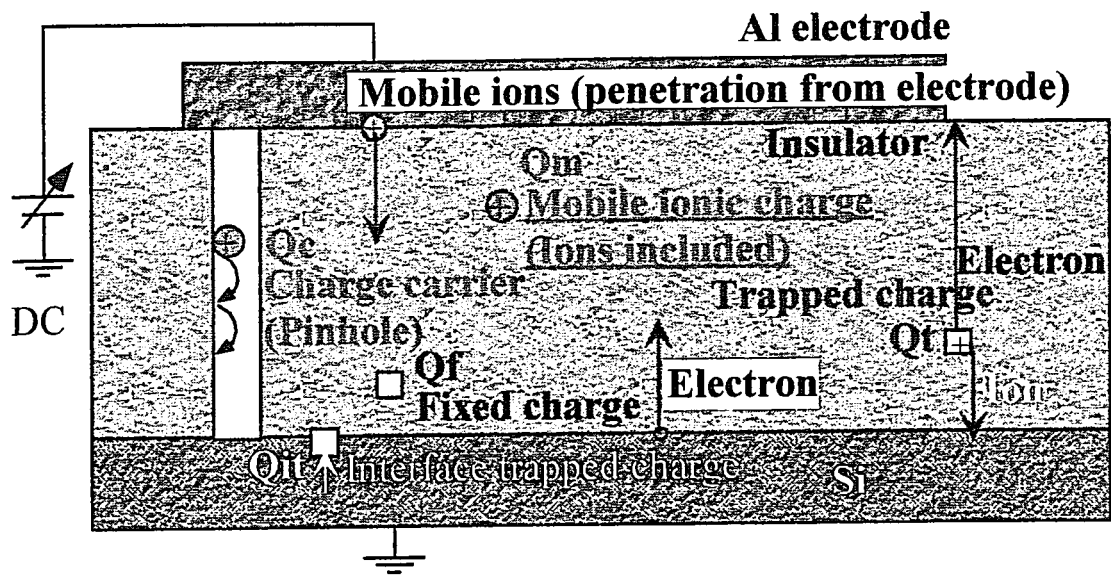


図 7-5 絶縁膜中の電荷の分類とリーク電流

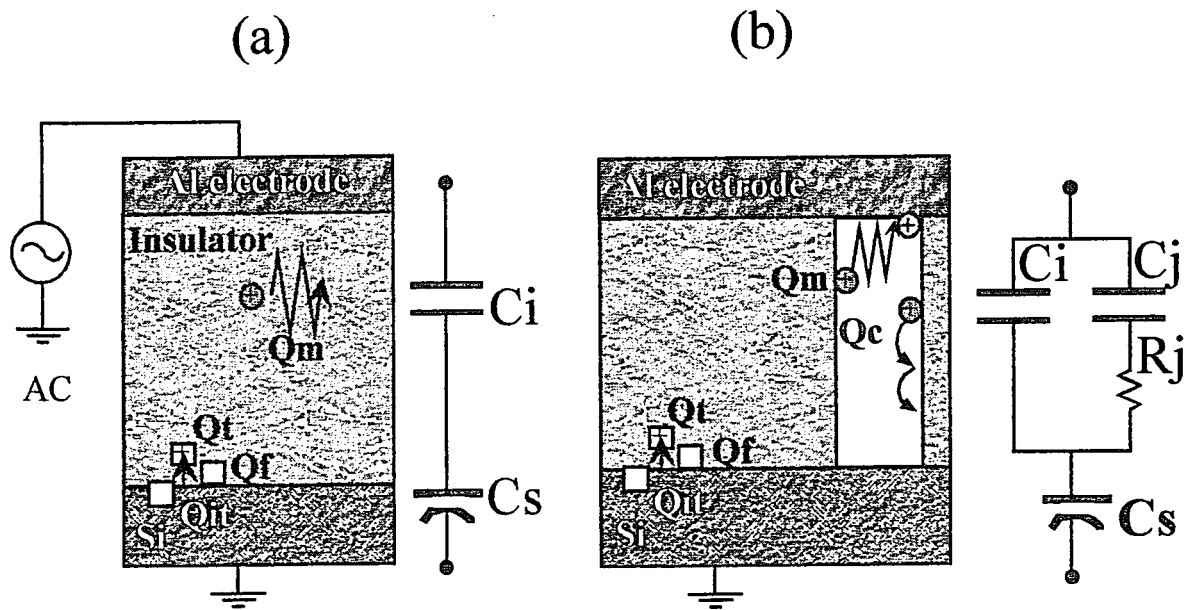


図 7-6 交流回路における絶縁膜中の電荷の分類と等価回路
 : (a) リークパスなし、(b) リークパス考慮

た時の $\rho(x)$ の様子を示す。すなわち、低周波が印加された時には、 $\rho(x)$ が、周波数依存性を含んだ、 $\rho(x,\omega)$ となる。このため、電荷分布の変化による C-V 特性のシフトにも周波数依存性がでる。高周波印加と低周波印加でのシフトの差を δV とすると

$$\delta V = \Delta V_{HF} - \Delta V_{LF} \quad (7-7)$$

$\Delta V = V_{fb} + \phi_m$ (ϕ_m : work function) から²⁾、

$$\delta V = V_{fb} \text{ at high freq.} - V_{fb} \text{ at low freq.} \quad (7-8)$$

となる。7-4、5式にもどると、

$$\delta V_{fb} = \{ (Q_m - Q_m(\omega)) + (Q_c - Q_c(\omega)) \} / C \quad (7-9)$$

となる。1 MHz と 10 kHz 印加における V_{fb} の差、 δV_{fb} を取ると、 δV_{fb} が 10kHz に追従する可動電荷とリークパスでの電荷量に比例することになる。

7.3 I-E 特性の材料依存性と δV_{fb} 依存性

C-V 特性のシフトと電荷種の関係、及び界面準位が関与した特性変化例を図 7-8 に示す。膜に存在する電荷の総量とが正であれば、マイナス側へ、総量とが負であれば、プラス側に C-V カーブはシフトする²⁾。また、MIS の構造で、絶縁膜/Si 界面の界面準位が C-V 特性にとって支配的な場合には、低周波での C-V 特性カーブは高周波でのカーブよりも緩慢な、いわゆる "stretch-out" が見られるようになる²⁾。図 7-9 は Cu の拡散バリア膜に使用されている SiN 膜の C-V 特性と I-E 特性を示す。低周波と高周波特性の間で stretch-out が見られない。このことは測定周波数の範囲では界面準位が追従していないことを示している。後述する他の膜でも、stretch-out が見られなかったため、本章での解析には界面準位の影響を無視した。SiN 膜は全体としては、正の大きなシフトを示すが、 δV_{fb} は小さい。すなわち可動電荷量が少ないことを意味している。可動電荷が少ない場合には、2-1 式に示したように、その I-E 特性（リーク電流）の温度依存性が小さくなるはずである。同じく、図 7-9 に SiN 膜の I-E 特性における温度依存性を示す。高温でも I-E 特性に変化は見られない。すなわち、膜中の可動電荷量とリーク電流の温度依存性が良く対応していることを示唆している。

本研究では、16 種の材料の I-E、C-V 特性を調べた。電極は Al である。図 7-10 は、現状で使用されている膜や開発中の、有機膜と無機膜の代表例の特性を示

$$\Delta V = \frac{Q}{C} = \frac{1}{C} \left[\frac{1}{d} \int_0^d x \rho(x) dx \right]$$

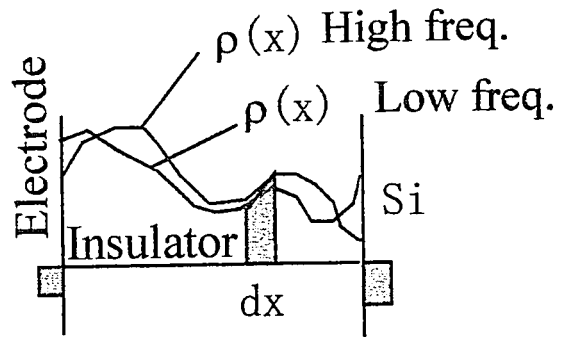


図 7-7 電荷分布の周波数依存性

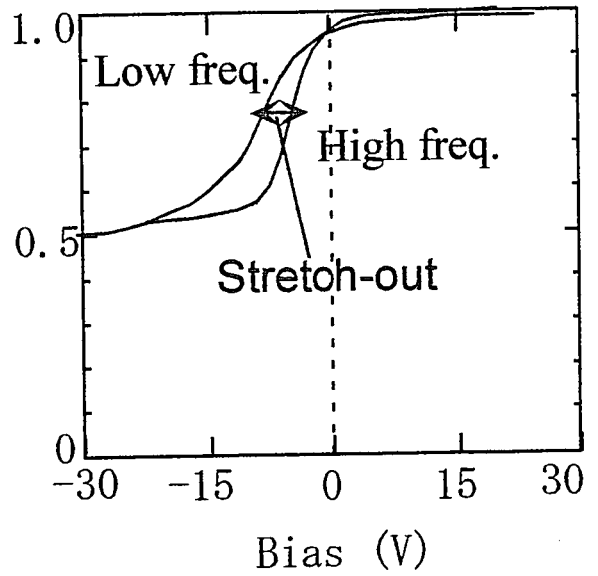
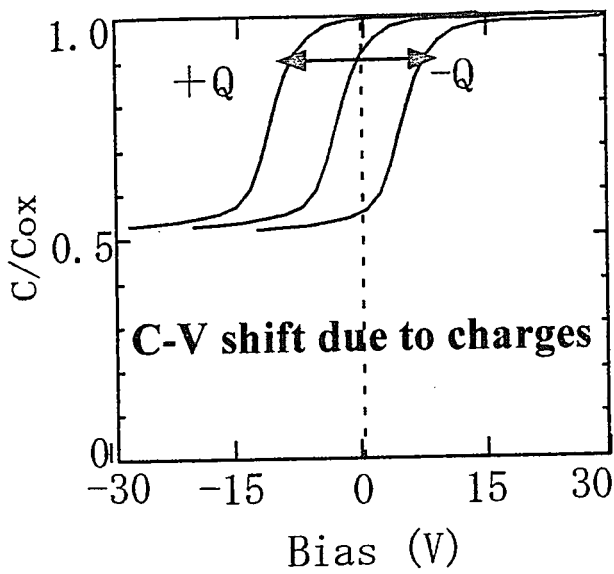


図 7-8 絶縁膜中の電荷と界面準位によるC-V特性シフト

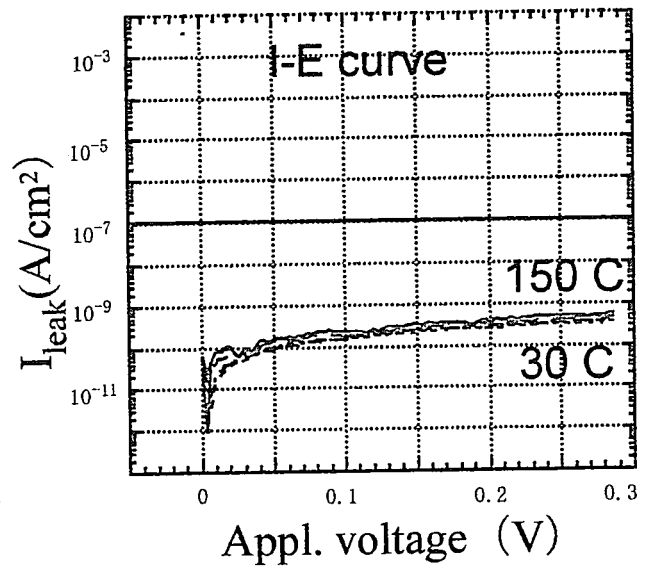
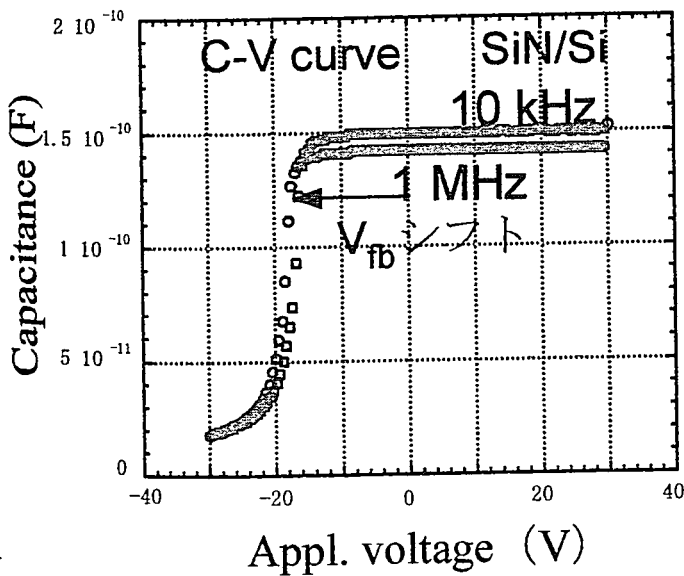


図 7-9 可動イオンが少ない膜のC-V, I-E特性

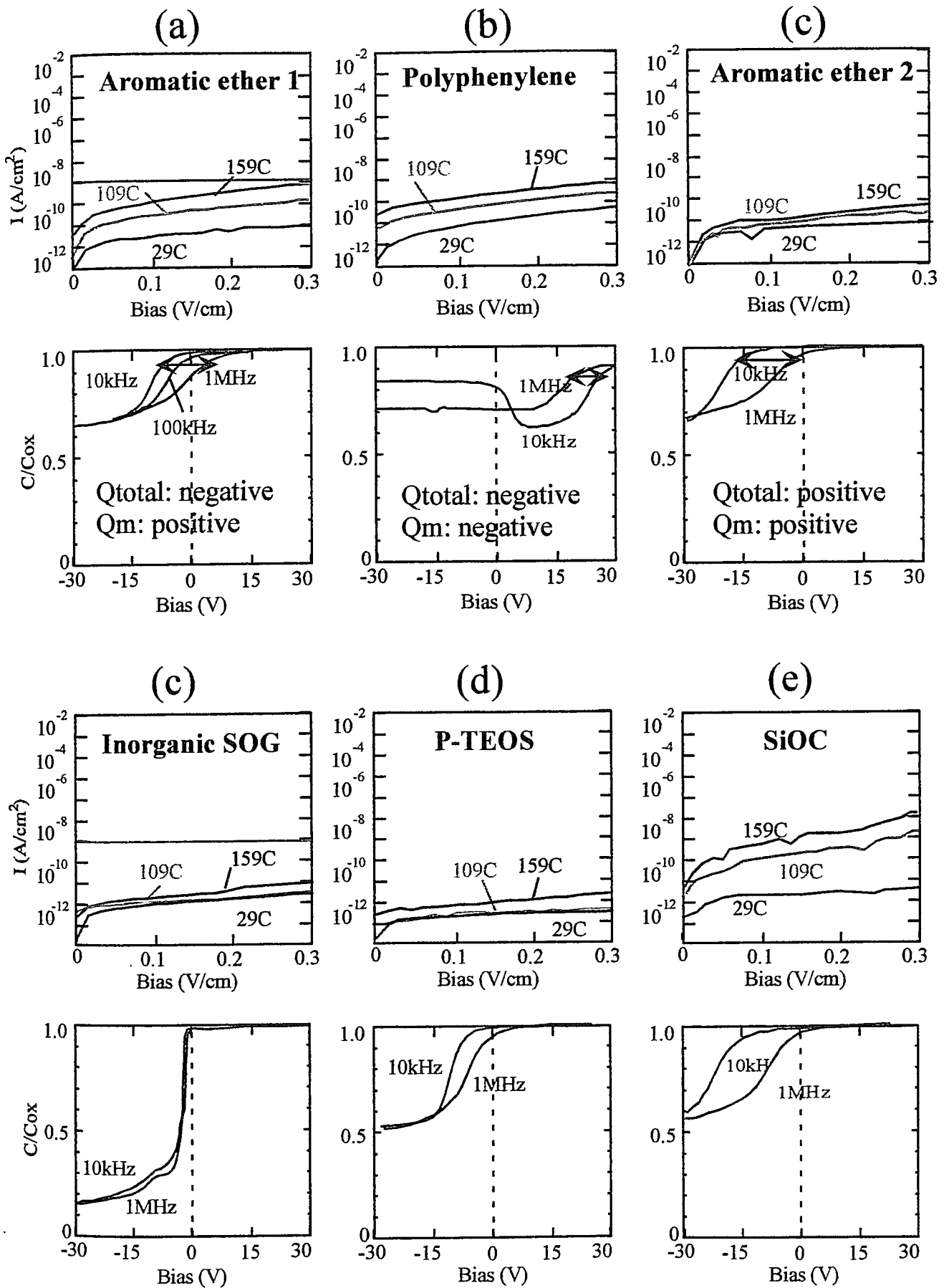


図 7-10 I-E特性とC-V特性の例(1)

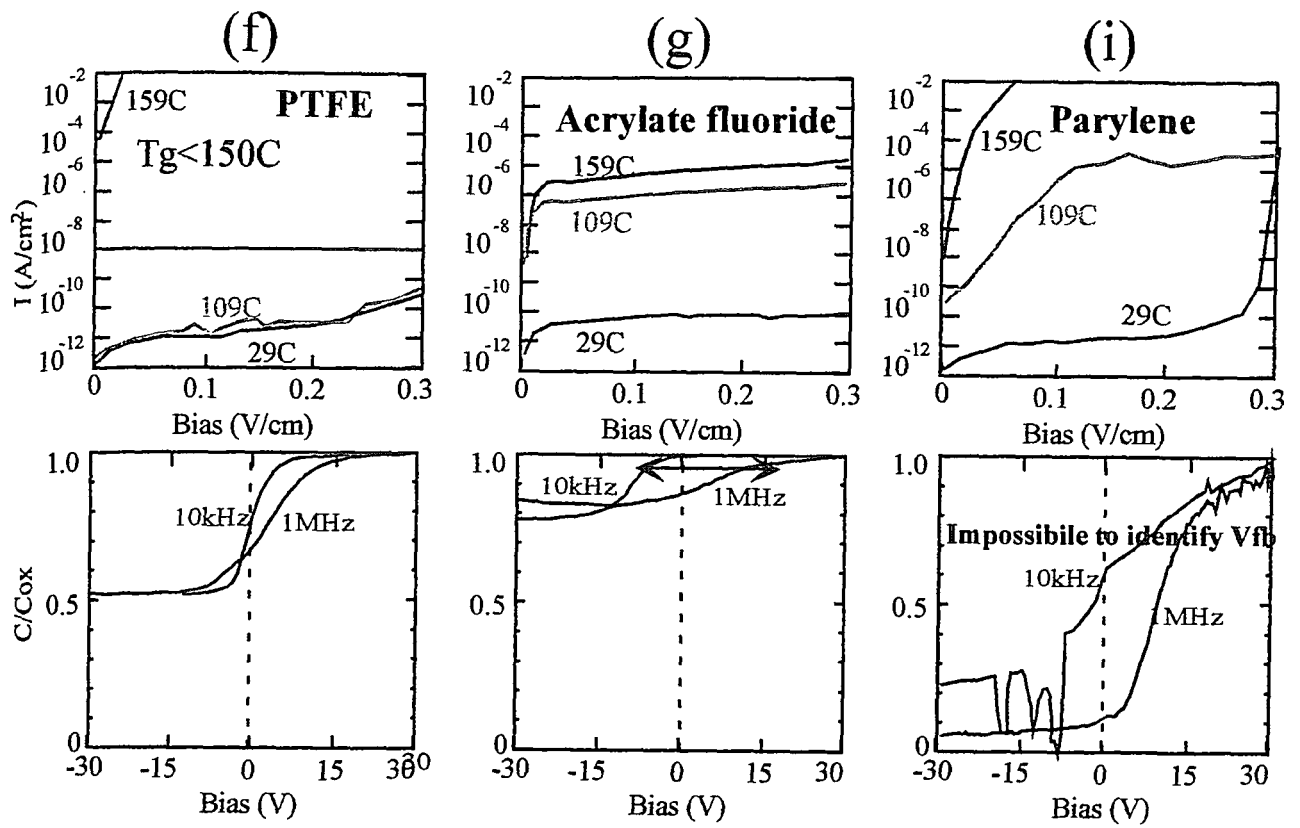


図 7-10 (続き) I-E特性とC-V特性の例(2)

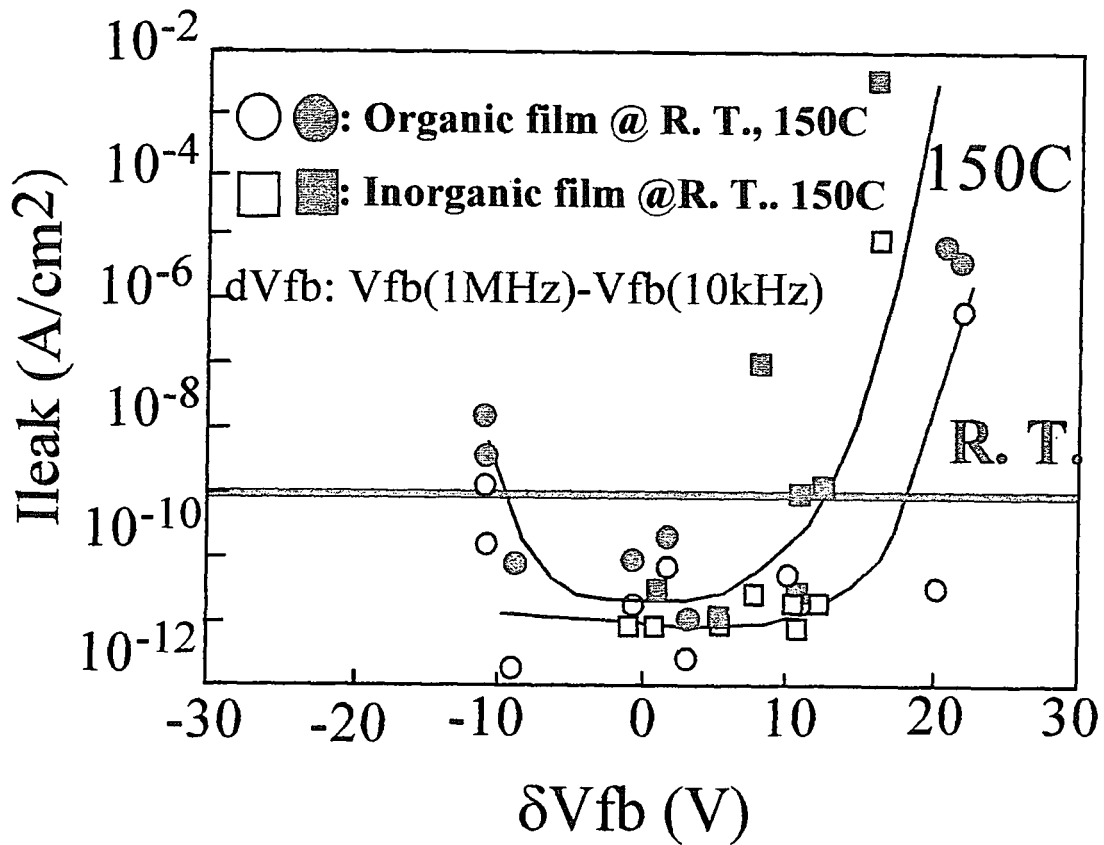


図 7-11 I_{leak} の δV_{fb} 依存性

す。図で、(a)、(b)、(c)で示した有機膜では、(a) 全電荷が正、可動電荷分も正、(b) 全電荷が正、可動電荷分が負、(c) 全電荷が負、可動電荷も負となっている。図で (d)、(e)、(f)は、無機系膜の例を示すが、同じ SiO_2 系のため I-E 特性についての傾向がつかみやすい。この3種の比較でわかることは、 δV_{fb} が大きい程、電流の温度依存性が大きいことである。(g) はフッ化エチレン膜であるが、この膜の δV_{fb} は小さい。従って、室温と 90°C での温度依存性も小さい。しかし、 150°C では、電流が非常に高くなっている。これは、フッ化エチレン膜のガラス転移温度 T_g が 150°C 以下であり、測定温度がこの T_g を超えているため、 150°C で電流が非常に高くなっていると考えられる。(h) はフッ化アクリル膜を示す。この膜の δV_{fb} は大きく、従って、I-E 特性の温度依存性も非常に大きくなっていることがわかる。(i) のポリパラキシレンでは、C-V 特性測定自体に信頼性がない。このような場合のリーク電流は、温度が高くなると極端に大きくなる。

上記結果から、 V_{fb} の値は絶縁膜のリーク電流及び、リーク電流の温度依存性と良い相関があることが推察される。図 7-11 は δV_{fb} が測定できた 15 種の膜のリーク電流 (@ 0.2 MV/cm) の δV_{fb} 依存性を示す。室温でのリーク電流値の大きさにも δV_{fb} 依存性が見られるが、温度が 150°C での I_{leak} 値はより明確に δV_{fb} 依存性、すなわち、可動電荷量の依存性を示すことがわかる。この結果から、low-k 材を層間絶縁膜に適用するには絶縁膜中の可動電荷を低減させることが重要であることが結論できる。

7.4 まとめ

層間絶縁材の低誘電率化のため、従来用いられた SiO_2 とは異なる材料が検討されている。それら材料の多くのリーク電流は SiO_2 よりも大きい。このリーク電流の要因を探るため、電荷が移動するパスを考慮し、等価回路に抵抗成分を入れた C-V 特性から見直した。その結果、電荷が追随出来ない高周波と、電荷が追随出来る低周波での C-V 特性のシフトの差 δV_{fb} は膜中の可動電荷量を反映することがわかった。大きな δV_{fb} が観測される膜ではリーク電流が大きく温度依存性も大きい傾向がある。このことから、リーク電流の一つ要因は膜に含まれる可動電荷によることが明らかとなった。

7.5 参考文献

- 1) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H11 年度成果報告書 (2000)
- 2) S. M. Sze: *Physics of Semiconductor Devices* JOHN WILLY & SONS, New York (1981)
- 3) International Technology Roadmap for Semiconductor, 1999 Edition of the ITRS (1999)
- 4) T. Fukuda, H. Nishino and H. Yanazawa: *Jpn. J. Appl. Phys.* 43 (2004) 86

第8章 $k < 1.5$ の low-k 材からの不純物除去技術

8.1 はじめに

これまで多くの low-k 材料の電氣的評価を行って来た^{1,2)}。その中で、絶縁性の不良は膜に含まれる水分等の不純物や電荷の影響だと思われることが多々あった。Low-k 膜では、 k の減少と共に、リーク電流が大きくなる傾向があり、現在のところ $k < 2.2$ で十分な絶縁性 ($I_{\text{leak}} < 10^{-7} \text{ A/cm}^2 @ 140 \text{ }^\circ\text{C}$) を示す膜はない。前章でも述べたが、室温では低いリーク電流特性を示すが、測定温度が高くなるにつれて、そのリーク電流は上昇することが多い。図 8-1 は市販されているポーラス SOG 膜の I-E 特性の温度依存性を示すが、温度が $90 \text{ }^\circ\text{C}$ を越えると、そのリーク電流の測定が不能になる程、絶縁性が劣化する。このリーク電流上昇の原因は、ポーラス部分に付着している水分か、電荷が原因と考えられる。第二の例を図 8-2 に示す。これは、low-k 膜の候補であるフッ化パリレンの I-E 特性である。室温でも参照膜の P-TEOS 膜に比較して、リーク電流が著しく高い。初期値でここまで高いと、層間絶縁膜の適用候補の対象にもならない。ただし、この絶縁性の悪さがこれら絶縁膜の本来の特性とは思われない点もあるため、絶縁膜からの不純物除去技術の開発が重要と考えられる。本章では、超臨界の CO_2 の脱水性を利用した方法を検討した。

8.2 超臨界 (Super Critical Fluid: SCF) CO_2 処理

SCF- CO_2 は、有機物の抽出、脱水、微細物の乾燥^{3, 4)}にと、広く使われている技術である。本研究では、特に SCF- CO_2 が微細部に入り込む特性と脱水性に着目した。SCF- CO_2 を薄膜に作用させると CO_2 は微細部分にまで浸透する。膜に水分があった場合、その含有水は CO_2 に取り込まれ (溶解)、SCF- CO_2 処理の終了後には、膜の脱水化がなされる。膜に余分の電荷が存在している場合、SCF- CO_2 処理を行う前に、膜に十分な水分を与えて置けば、電荷は H_2O に捕獲されるのではないかと考えた。 H_2O に捕獲された電荷は、次に導入する SCF- CO_2 により、 H_2O とともに除去されることが期待できる。この脱不純物除去の概念を図 8-2 に示す。

用いた装置は図 2-8 に示した。SCF- CO_2 の条件は、気圧: 15 MPa、温度: 80°C である。SCF- CO_2 処理の前処理には、超純水へのディッピング (5 分) と超純粋水 (DIW) による 1 時間の煮沸の 2 種類を検討した。電氣的評価には、Al 電極をスパッタで形成した MIS 構造の試料を用いた。測定項目は I-E (V), C-V 特性である。また、一部の試料に

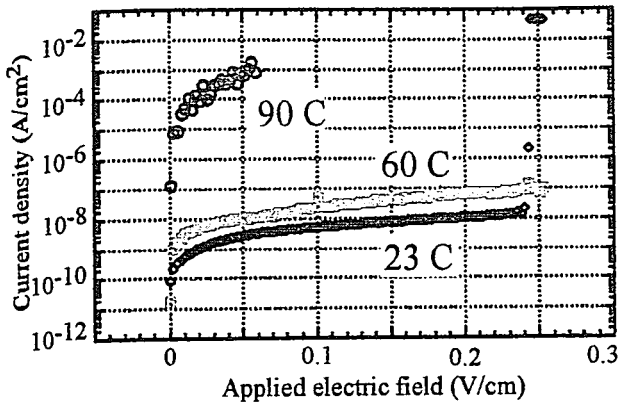


図 8-1 ポーラスSOG膜のI-E特性例

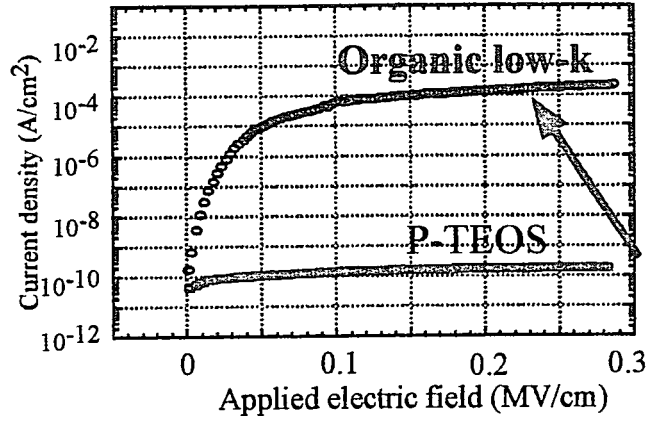


図 8-2 ポーラスSOG膜のI-E特性例

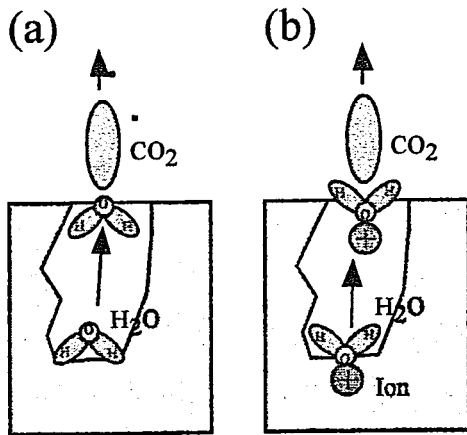


図 8-3 超臨界CO₂による
脱水(a)と脱電荷(b)作用の模式図

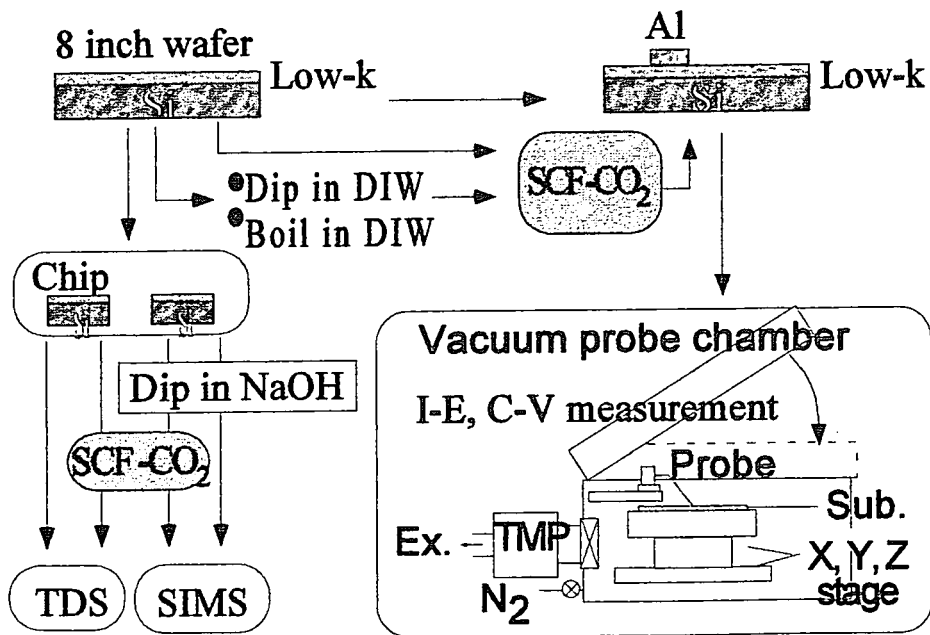


図 8-4 超臨界CO₂を用いた実験手順

は Cu 配線 (バリアメタルは Ta) をダマシン構造で形成したもの (2.4.5 節参照) を用いて、配線間の I-V 特性を調べた。脱ガス量は TDS から、不純物量は二次イオン質量分析 (Secondary Ion Mass Spectroscopy: SIMS) で評価した。評価した絶縁膜は P-TEOS、ポーラス有機 SOG (MSZ 系)、フッ化パリレン、ポリフェニレンである。

SCF- CO_2 処理は神戸製鋼所で行い³⁾、処理後は真空デシケータに基板を保管し、実験室まで輸送した。輸送された基板は、大気への最小暴露状態で評価装置に設置し、評価した。実験手順を図 8-4 に示す。

8.3 超臨界 CO_2 による不純物除去の基礎検討

超臨界 CO_2 による不純物除去の実験をするにあたり、絶縁膜を代表する P-TEOS 膜を用いて効果の検証を行った。最初に P-TEOS 膜を用いた SCF- CO_2 による脱水の効果を検証した。図 8-5 は SCF- CO_2 処理した膜と未処理の P-TEOS 膜の TDS を示す。SCF- CO_2 処理後の大気暴露の総時間は約 30 分である。SCF- CO_2 処理した膜では、 H_2 、 O_2 、 CO_2 等の脱ガス量は未処理膜のそれらと変化はないが、 H_2O の脱ガス量は、未処理膜の約半分である。このことから、SCF- CO_2 処理は P-TEOS 膜の含有水分を半減させることがわかった。測定に伴う基板の大気暴露時間が少なければ、もっと H_2O の信号強度は小さかったものと思われる。

次に、電荷除去効果を調べるため、P-TEOS 膜を 0.01 規定の NaOH 水溶液に一昼夜浸して Na を P-TEOS 膜に拡散させた試料を作った。この基板を超純粋水で洗浄 (1 時間) した後、1) そのまま乾燥したもの (Ref.)、2) そのまま乾燥させて 1 時間の SCF- CO_2 処理したもの、3) 乾燥させずに、SCF- CO_2 処理したもの (Dip + SCF)、の 3 種類に分流けた。また、3) の試料は 3 分割して、SCF- CO_2 処理を 2 分、10 分、1 時間行った。これら試料を SIMS 分析して、Na の濃度のプロファイルを決めた。濃度プロファイルの処理時間依存性を図 8-6 に示す。膜中の Na 濃度の深さ方向分布から、SCF- CO_2 処理 (SCF) だけでも Na 除去が観測されるが、処理前に水に浸して水分乾燥がない試料 (Dip + SCF) では、SCF- CO_2 処理時間が 2 分、10 分と長くなるにつれて、Na の除去が進むことが確認された。処理時間が 10 分の試料の濃度プロファイルは、1 時間の処理の試料のそれと変わらないことがわかる。これは、10 分もあれば、緻密な P-TEOS 膜でも CO_2 が膜全てに到達することを意味する。膜に水分が含有された試料の結果から、 Na^+ が H_2O に捕獲され、捕獲された Na^+ が SCF- CO_2 により、 H_2O と共に P-TEOS 膜から取り除かれていることが示唆される。尚、洗浄後に乾燥させて SCF- CO_2 処理した試料 (SCF) で Na 除去がなされたのは、P-TEOS 膜の含有水の一部が Na に取

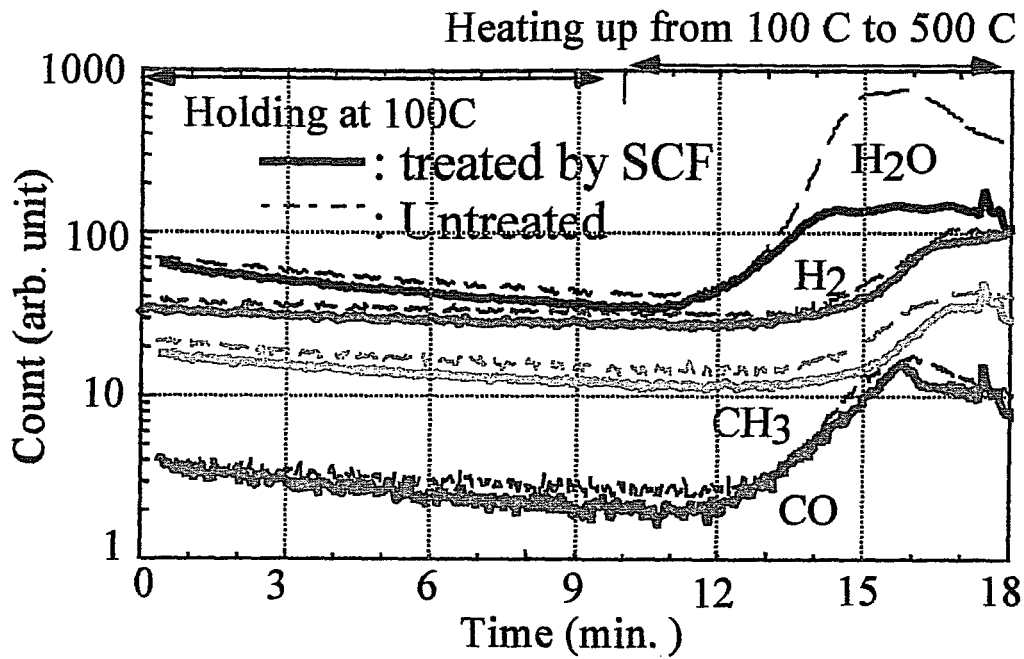


図 8-5 SCF-CO₂処理したP-TEOS膜のTDS

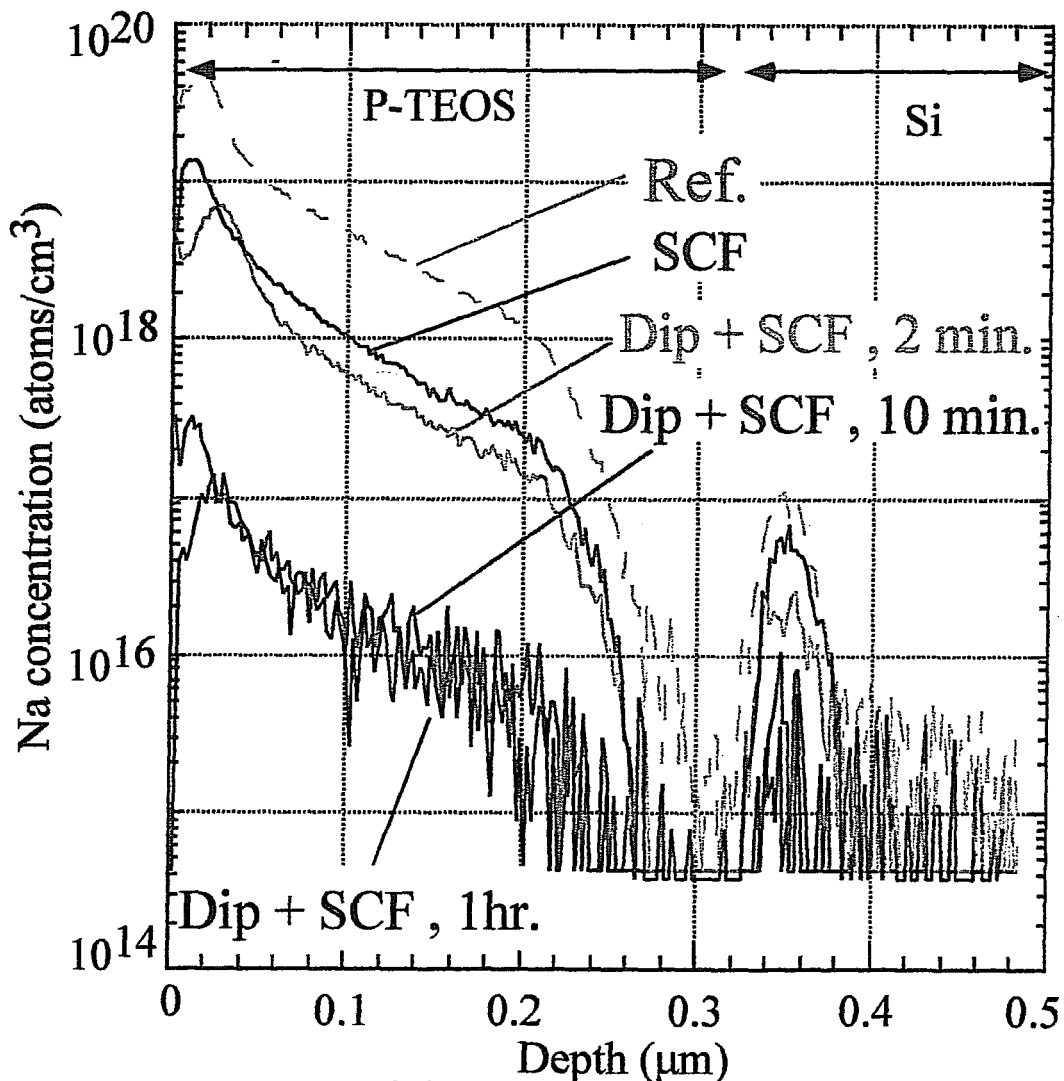


図 8-6 NaOH溶液によりNa汚染させた後に種々のSCF処理したP-TEOS膜のNa濃度分布

り付き、これが SCF-CO₂ 処理により取り除かれたためと思われる。

8.4 ポーラス SOG 膜への適用

図 8-7 は SCF-CO₂ 処理されたポーラス SOG 膜と未処理膜の I-E 特性を示す。未処理膜では 150°C での I-E 特性は得られなかったため、90°C の値を載せた。SCF-CO₂ だけの処理では、脱水処理をしたことになる。ポーラス SOG 膜では脱水することで絶縁性を向上させることが出来、高温 (150 °C) でもリーク電流を 10⁻⁹ A/cm² 以下 (at 0.25 MV/cm) にすることが出来た。SCF-CO₂ 処理前に超純水に浸した dip + SCF 処理をすることで、さらに膜中の電荷が除去されることが期待できる。SCF + Dip 処理では、脱水処理である SCF 処理に比較して、わずかであるが、さらなるリーク電流の低減がなされた。このようなポーラス膜の電気特性としては、含有水が本来の特性を隠していることが明確となった。

8.5 有機 low-k 膜への適用

フッ化ポリレンは low-k 膜の一つとして期待される材料の一つである。構成原子にフッ素があるため、膜の誘電率は低い。また、フッ素原子による疎水性も持つため、絶縁性も高いものと期待される。しかしながら、実際に形成された膜のリーク電流は高く、C-V 特性等の電気的特性の評価は出来ない状況である。図 8-8 は未処理膜 (Ref)、超臨界処理だけの膜 (SCF)、超臨界処理前に超純水に浸してから SCF-CO₂ 処理した膜 (Dip + SCF) の、室温と 150°C における I-E 特性を示す。超臨界による脱水化は、フッ化ポリレンの場合には効果を示さず、未処理膜に比較して、その I-E 特性に差は見られない。SCF 処理の前処理として、膜に水分を与える dip + SCF 処理した膜の I-E 特性には改善が見られたものの、その効果は小さい。そこで、水分をより浸透させるため、SCF の前処理として超純水による煮沸 (1 時間) を行なった。煮沸してから SCF-CO₂ 処理した膜を Boil + SCF と表記し、これら膜の I-E 特性を図 8-8 に、C-V 特性を図 8-9 に示す。この煮沸を加えた、“Boil + SCF” 処理は、単に水分を与える、“Dip + SCF” よりも電荷の除去能力が高く、室温でのリーク電流は 1 x 10⁻⁹ A/cm² (at 0.25 MV/cm) 以下となった。その結果、C-V 特性も測定可能となった。しかし、高温での I-E 特性はまだ良好ではない。そこで、この電荷除去をさらに図るために、“Boil + SCF” 処理を 2 回行った。この膜を (Boil + SCF) × 2 と表記する。この膜の I-E 特性を図 8-8 に、C-V 特性を図 8-9 に示す。この結果、高温でのリーク電流は 10⁻¹⁰ A/cm² 台となっ

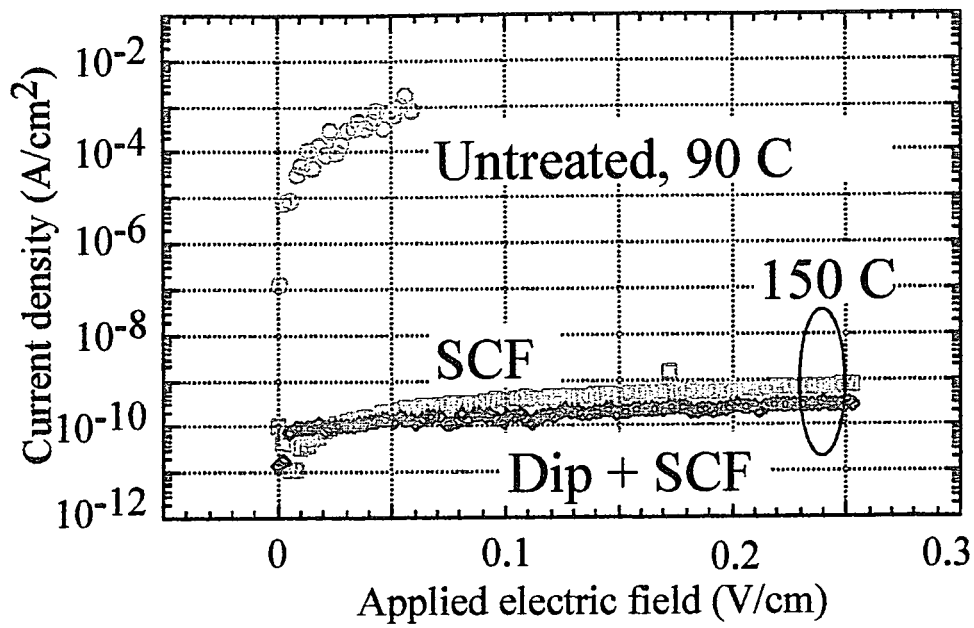


図 8-7 超臨界処理をしたポーラスSOG膜のI-E特性

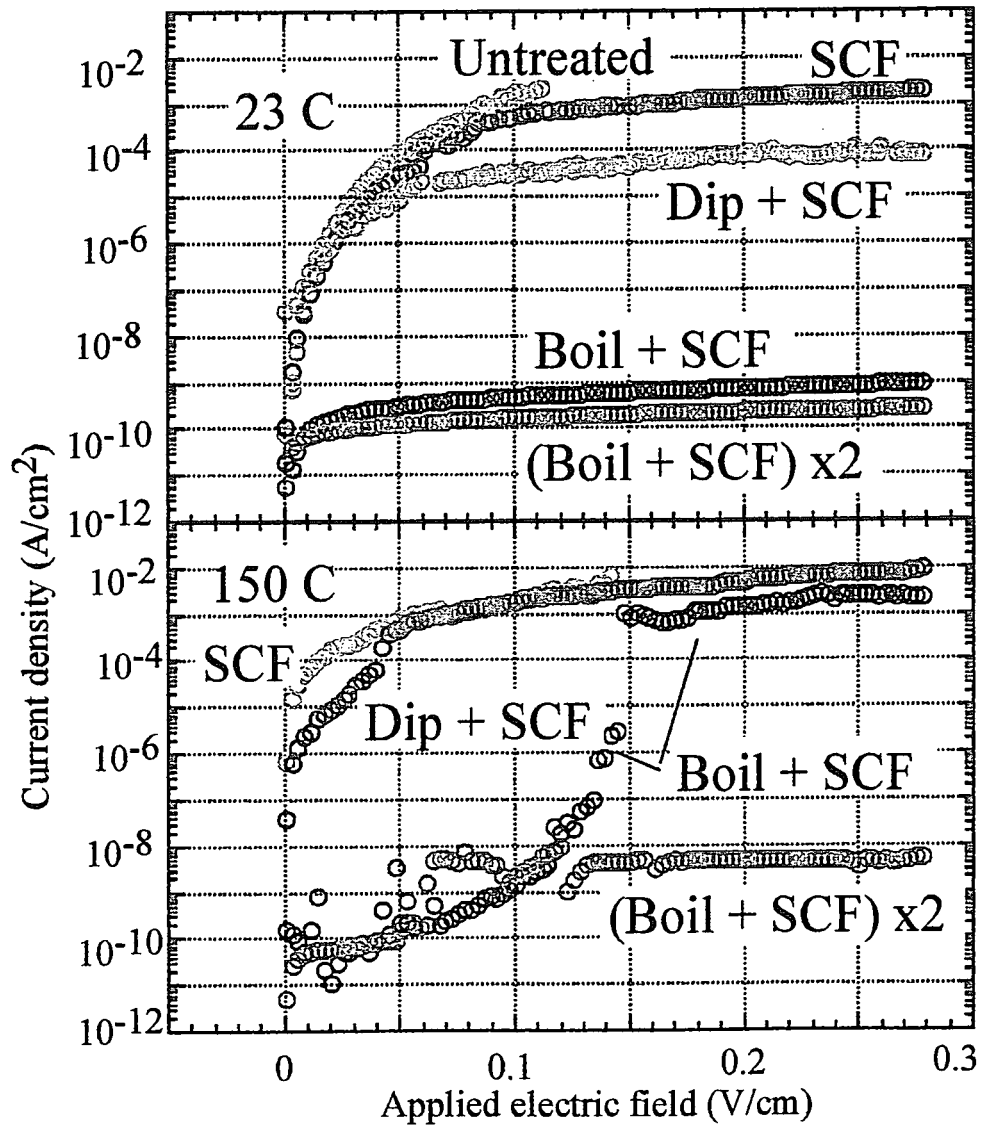


図 8-8 超臨界処理をしたパリレン膜のI-E特性

た。“Boil + SCF” 1回と2回の C-V 特性を比較すると、一回処理の膜の C-V カーブはプラス側にシフトしており、膜内に多量の負電荷があることを示唆している⁹⁾が、二回の処理では、シフトは解消され、フラットバンド電圧 V_{fb} はほぼ 0V になっている。このことは、膜中に含有された電荷は著しく低減されたことを意味する。この実験から、通常方法で形成されたフッ化ポリレンは、見掛け上、電気的な絶縁性は劣っているように判断されるが、膜から余分な荷電種を取り除けば、層間絶縁膜として充分適用可能な電氣的に良好な絶縁材料であることがわかった。

8.6 配線が形成された層間絶縁膜への適用

市販されて広く普及している low-k 膜でも、膜形成の条件がずれた場合には膜質の劣化を示す。その他にも、インテグレーション中の CMP 等のプロセスの経過を得ると膜に劣化をもたらす場合がある。その例を以下に示す。図 8-10 は層間絶縁膜に広く普及しているポリフェニレン膜を適用して第一金属配線層 (M1) を形成した基板の、金属配線間の I-V 特性を示す。M1 の断面写真も図の中に示す (作成法とパターン構造は 2.4.5 節を参照)。このロットは一連の条件で CMP 条件だけが異なるロットである。測定は、配線幅/配線間隔 = $0.24 / 0.24 \mu\text{m}$ の楕型パターンを用いて行った。室温ではリーク電流は 10^{-11}A 以下であるが、 150°C では、大きく跳ね上がり 10^{-4}A 台にもなった。この劣化したロットに対して、先に示した “Dip + SCF” 処理を実施した。処理後の I-V 特性は、高温でもリーク電流の増加は見られない。このことから、超臨界を用いた荷電除去方法は、配線層を形成した層間絶縁膜の特性回復にも効果的であることがわかった。

8.7 まとめ

SCF- CO_2 を用いて、絶縁膜から不純物を取除く方法を新しく開発した。SCF- CO_2 には、水分除去作用があり、P-TEOS 膜のような緻密な膜でも、SCF- CO_2 を作用させると膜の脱水が出来ることを確認した。この処理をポーラス膜に適用し、脱水を行うことで、絶縁性を向上させることが出来ることを確認した。さらに、イオン等の不純物除去を狙って、超臨界処理前に膜に水分を含有させて後に行なう処理の検討を行った。含有させた水が絶縁膜中のイオンに取付くと、その後の SCF- CO_2 による脱水で、イオンを水と共に除去出来ると考え、Na 汚染させた P-TEOS 膜や絶縁性の悪い有機系膜に本方法を適用した。この結果、絶縁膜に水分を含有させ、これを超臨界状態の CO_2 に

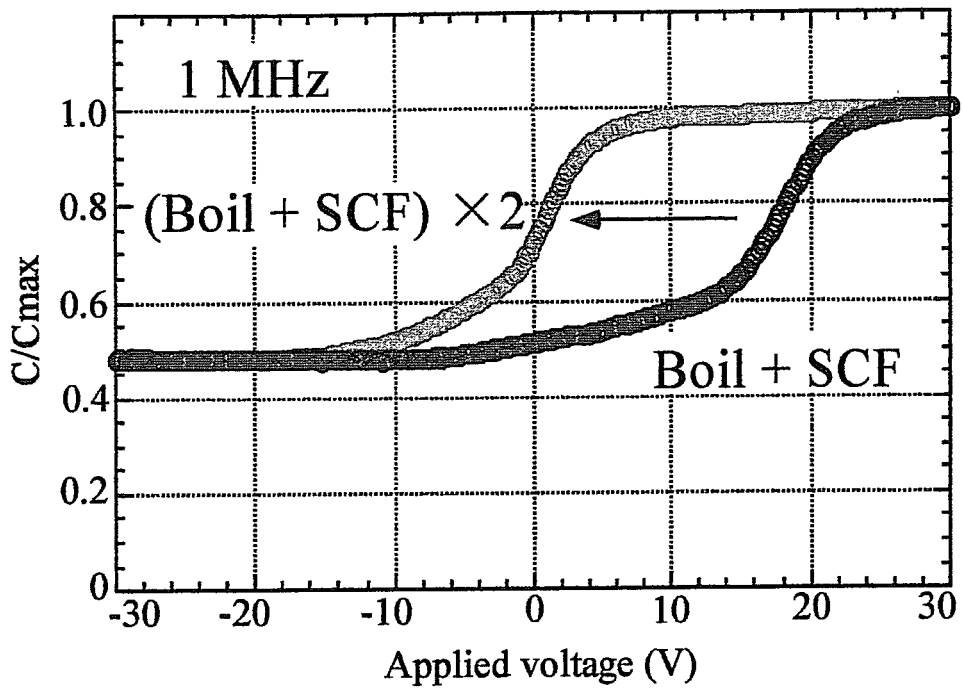


図 8-9 超臨界処理したポリレン膜のC-V特性

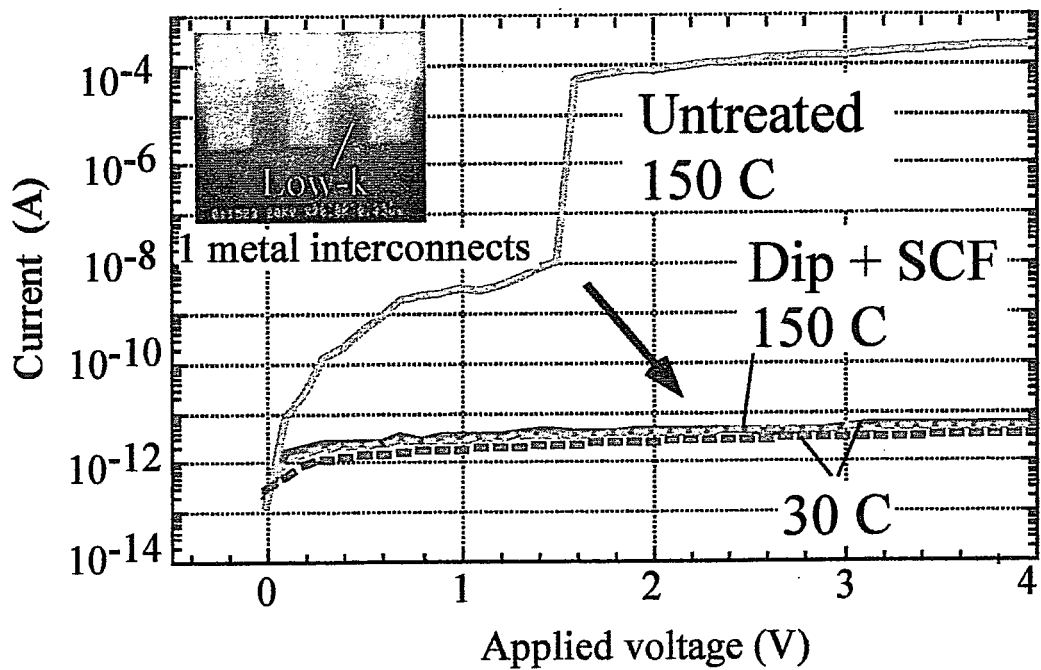


図 8-10 配線構造を形成した後に超臨界処理した層間絶縁膜のI-V特性

さらす方法で電荷除去も可能であることを確認した。水分やイオン除去した low-k 膜は、電氣的に優れた絶縁膜性を示す。併せて、この方法は、インテグレーションした LSI 配線工程でも適用出来ることも確認した。

8.8 参考文献

- 1) T. Fukuda, H. Nishino and H. Yanazawa: 201th ECS Proceedings (2002) 901
- 2) T. Fukuda, H. Nishino and H. Yanazawa: Jpn. J. Appl. Phys. 43 (2004) 86
- 3) K. Suzuki, T. Fujikawa and N. Kawakami: 2000 IITC Proceedings (2000) 105
- 4) H. Namatsu, K. Yamazai and K. Kurihara: J. Vac. Sci Technol. B 18(2) (2000) 780
- 5) S. M. Sze: *Physics of Semiconductor Devices* JOHN WILLY & SONS, New York (1981)

第9章 層間絶縁膜中の Cu 拡散機構の解明

9.1 はじめに

多層配線層の増加による配線信号遅延防止のために、Cu/low-k 配線の必要性が叫ばれて久しい¹⁾。Cu/low-k 配線を構築するためには、Cu の層間絶縁膜中への拡散防止が必須で、現状では、Ta を代表とするバリアメタルと、SiN を代表とする絶縁膜バリア膜が使われている。バリアメタルの導入は、配線の低抵抗部にあたる Cu の断面積を減少させるため、結果的に配線抵抗の増大を招いている。また、絶縁膜バリアは層間絶縁膜に low-k 膜を用いても、拡散バリア膜自体の誘電率が高いため (SiN の場合、誘電率は 8) 実効誘電率を著しく増大させることになっている。従って、将来的にはバリア膜フリーのプロセス構築をする必要がある²⁾。このためには、絶縁膜への Cu 拡散機構を明確にすることが不可欠である。

絶縁膜、特に SiO₂ 膜には Cu が拡散し易く、拡散して生成した Cu イオンが、絶縁膜の信頼性を著しく低下させることが知られている³⁻⁷⁾。図 9-1 は、Cu が絶縁膜に拡散する系と拡散しない系の模式図を示す⁷⁾。評価した膜は、Cu 拡散がある P-TEOS 膜と Cu 拡散バリア膜である SiOC 膜である。P-TEOS 膜を用いた試料 (Cu(+)/P-TEOS/Cu、Cu(+)/P-TEOS/Si 構造) で、Cu 電極に正電圧を印加すると、経時絶縁破壊 (Time Dependent Dielectric Breakdown: TDDB) により、比較的短い時間で絶縁破壊に至る (1.1.5 節と図 1-10 を参照)。一方、SiOC 膜を用いた Cu(+)/SiOC/Cu ではその TDDB 寿命は長い。次に、P-TEOS 膜と SiOC 膜を積層した Cu/SiOC/P-TEOS/Cu 構造の試料での拡散評価結果を述べる。着目点は、同じ試料でも電圧の印加方向である。バリア性がある SiOC 側の Cu 電極に正電位を印可した Cu(+)/SiOC/P-TEOS/Cu 構造では TDDB 寿命は長い。ところが、Cu 拡散し易い P-TEOS 膜側に正電位を印可した Cu(+)/P-TEOS/SiOC/Cu 構造では、バリア性がある SiOC が使われているにもかかわらず、TDDB 耐性はなくなる。これは、Cu 拡散が、Cu (+) 電極と接する絶縁膜により決定されていることを示している。Cu は酸化膜内では Cu⁺イオンになっていると推測されている^{4,5,7)}。この結果から示唆されることは、拡散バリアである SiOC 膜には、Cu⁺に対する拡散防止効果がないことである。逆に言えば、Cu 拡散防止膜は、金属状態から原子状 Cu が膜中へ拡散することを防止していることになる。

Cu の絶縁膜への拡散は重要な研究課題であるが、Cu の絶縁膜への拡散力、拡散機構について、その詳細は未だ知られていない⁸⁾。

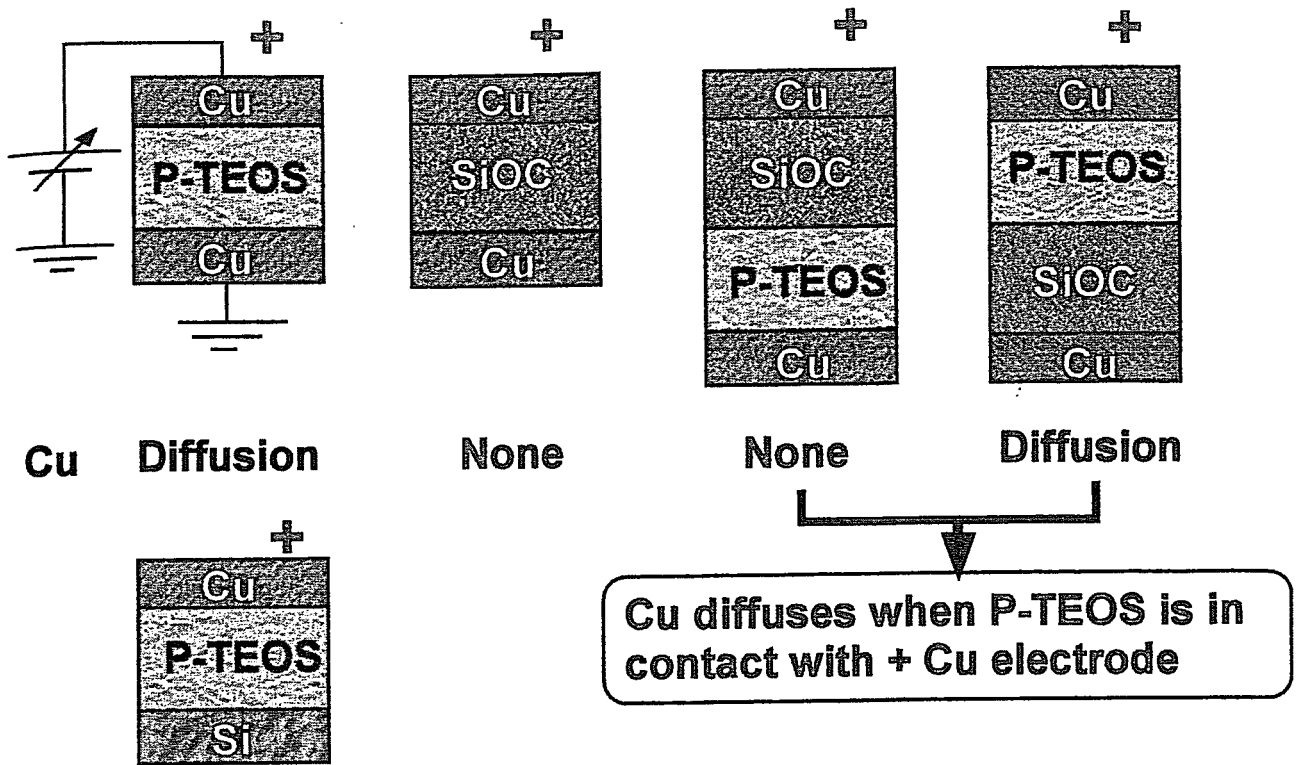


図 9-1 Cuが絶縁膜に拡散系と拡散しない系の構造比較

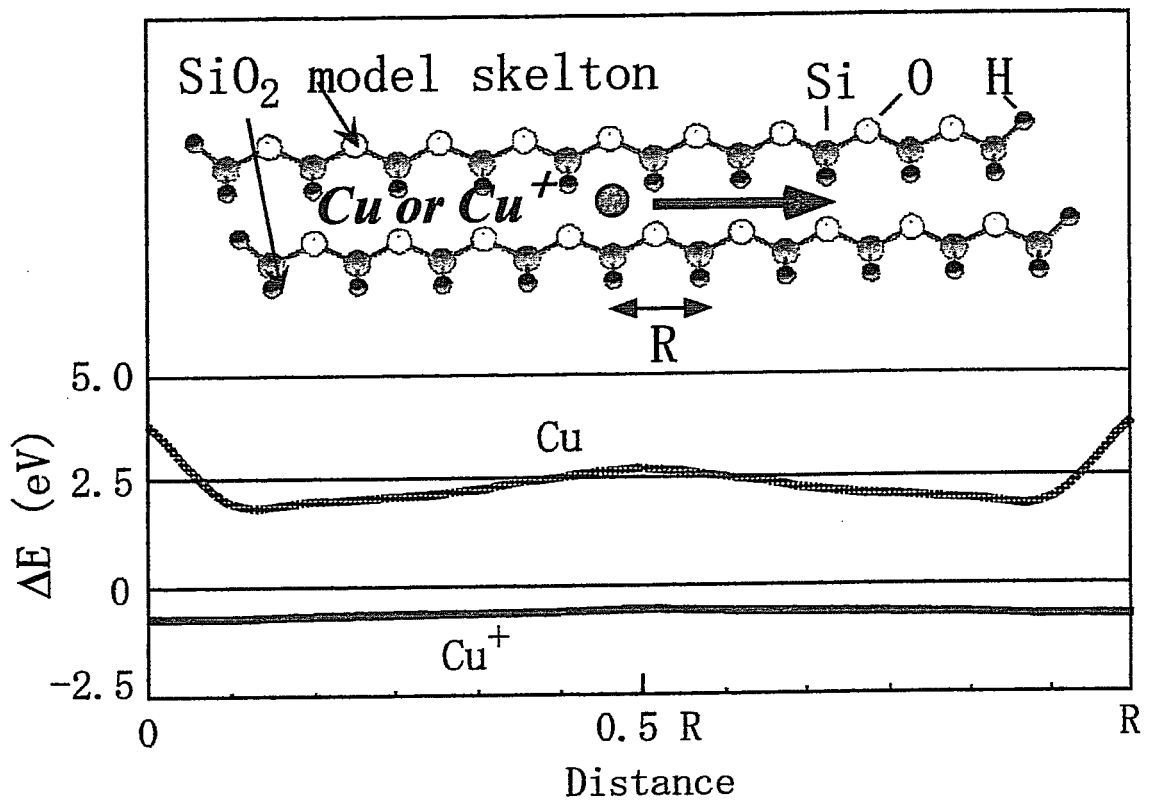


図 9-2 Cu原子とCuイオンが存在する時のポテンシャル変化 (シミュレーション)

9.2 絶縁膜への Cu 拡散力

初めに、SiO₂ 膜内で、原子状 Cu と Cu イオンのどちらが安定に存在するのかを、非経験的分子軌道法を用いたシミュレーションで見積った^{9, 10)}。図 9-2 に結果を示す。横軸はモデル分子内での距離、y 軸は Cu 原子あるいは Cu の 1 価イオンが SiO₂ モデル分子に挟まれたときのポテンシャルエネルギーを示す。Cu イオンの存在は全体のエネルギーを負の方向に下げる。これに体し、Cu 原子はエネルギーを押し上げる。このことから、SiO₂ 膜内では、Cu イオンは安定に存在し、原子 Cu は SiO₂ にいったん入るとイオンになる可能性が高いことがわかる。

Cu イオンが絶縁膜で安定に存在することは確認したが、Cu の絶縁膜への拡散における大きな疑問は、「どんな力が、金属結合した Cu を絶縁膜に溶込ませるのか？」である。図 9-3 は金属結合している Cu 電極の Cu が、絶縁膜に拡散する過程を示した模式図である。室温を熱エネルギーに換算すると、高々 0.03eV である。これに対して、金属 Cu が原子状態に変換する生成エンタルピーは、3eV 以上、原子状 Cu が一価のイオンになるエンタルピーは 7eV 以上である¹¹⁾。このことから、室温で、Cu 電極の Cu が絶縁膜中に、原子状 Cu や Cu イオンとなって、直接的に拡散する確率は極めて小さいことがわかる。なんらかの相互作用が、Cu を絶縁膜に拡散させているはずである。

比較的低いエネルギーで Cu を絶縁膜に押し出す作用力に、Cu 金属の Schottky 欠陥に基づく力がある^{12, 13)}。初めに、この Schottky 欠陥 (欠陥生成エネルギー: 1.17eV¹⁴⁾) に基づく Cu 拡散によるリーク電流量を見積る。もし、Cu が絶縁膜に拡散すると、イオンとなり、電場がかけられた場合には電流となって観察されることになる。Cu の格子定数は $3.6 \times 10^{-8} / \text{cm}$ ¹⁴⁾、印加電界は 1 MV/cm を想定した。Cu イオンの絶縁膜の移動度は熱酸化膜の TDDB 時間 ($t_{\text{TDDB}} = 10^4 \text{ sec @ } 120 \text{ nm}$)⁸⁾ から類推した。

電流密度は以下の式により算出した。

$$I = - \frac{I}{S} \frac{dQ}{dt} = v \frac{\sigma}{L} \quad (\text{A/cm}^2) \quad (9-1)$$

$$\sigma = e^* N e^{-W/kT} \quad (9-2)$$

ここで、 σ , e^* , v , L , N , W , k はそれぞれ、電荷密度 (Q/cm^2)、電子の素電荷、Cu⁺の移動速度 (cm/sec)、想定する P-TEOS 膜の厚さ (ここでは、100 nm 想定)、Cu の単位堆積当たりの結晶欠陥数、Schottky 欠陥エンタルピー、Boltzmann 定数である。9-2 式での電荷密度 σ は、室温で、結晶欠陥により絶縁膜へ押し出された原子状 Cu が、絶縁膜で Cu⁺ になった量とした。室温で見積られた電流密度は $1 \times 10^{-33} \text{ A/cm}^2$ 以下となり、実

際に測定される電流密度 $\sim 1 \times 10^{-10} \text{ A/cm}^2$ とは大きな違いがある。従って、結晶欠陥による Cu 拡散は、絶縁膜への拡散の主原因でないことになる。

9.3 脱ガスさせた TEOS の Cu 拡散

Cu 拡散を防止する絶縁膜として、SiN 膜と SiOC 膜^{7, 15)}が知られている。この二つの膜の特徴の一つに、膜からの脱ガス量が低いことが挙げられる。図 9-4 に通常の P-TEOS 膜と上記 2 種膜の、水分と酸素の TDS を示す (Mass number: 2, 18)。P-TEOS 膜に比較すると、SiN と SiOC からの脱ガス量は著しく少なく、水と酸素の脱ガス量は P-TEOS 膜に比較して 1/10 以下である。Cu の絶縁膜への拡散のし易さに、膜に含有される水分や酸素の影響が関与している可能性が考えられる。そこで、P-TEOS 膜を用い、膜からの脱ガスをなくした試料の I-E 特性を調べることにした。

図 9-5 は P-TEOS 膜の長時間における TDS を示す。400 °C で 100 分以上加熱された P-TEOS 膜からはほとんど新たな脱ガスが観測されないことがわかる。真空アニール炉において 400°C で 150 分処理した P-TEOS 膜を“脱ガス P-TEOS 膜”と以後表記する。

図 9-6 は、実験に用いた試料構造と実験手順を示す。通常の P-TEOS 膜に Cu 電極を形成した試料の他に、上記、“脱ガス P-TEOS 膜”を形成した直後に Cu 電極を形成した試料の I-E 特性を評価した。I-E 特性評価は、2.5 節で記述した、真空チャンバー式のプローブ装置を用いた。このプローブ装置で、試料を基板ホルダーに設置し、直ちに排気し、1 Pa 以下にした後に再度真空引きを行い、 10^{-4} Pa 台に排気した後に I-E 特性評価を行った。その後、 N_2 を導入した N_2 雰囲気と大気開放での I-E 特性をさらに測定した。

図 9-7 は、上記雰囲気で測定した試料の I-E 特性を示す。通常の P-TEOS 膜に比較して、脱ガス P-TEOS 膜は低い電流値を示す、すなわち、Cu 拡散量が少ないことがわかる。また、 N_2 雰囲気下での試料の I-E 特性は、Cu 電極形成直後の I-E 特性と同じであり、 N_2 雰囲気下では Cu 拡散が進まないことがわかる。一方、大気雰囲気下での試料は、 N_2 雰囲気下と比較して電流値は高くなった。大気雰囲気で一日経過すると、通常の P-TEOS 膜の値に近くなる。これらの結果から、大気雰囲気、すなわち酸素か水分の存在が、Cu の P-TEOS 膜への拡散に関与していることが推察される。

9.4 磁気相互作用と Cu 拡散

Cu 拡散の原因として、酸素の影響を考える。酸素分子は常磁性を有しており、Cu

$\sim kT \approx \sim 0.03 \text{ eV}$ (Room temp.)

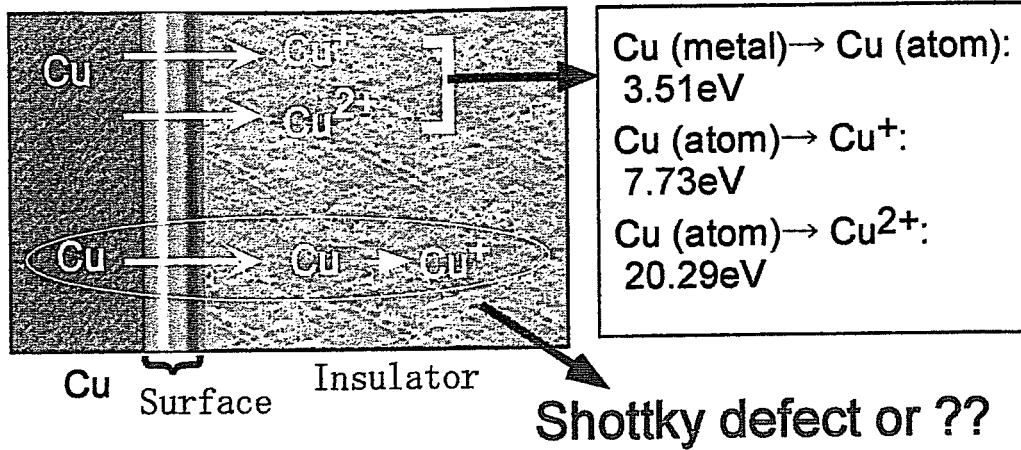


図 9-3 絶縁膜へのCu拡散過程を示す模式図と生成エンタルピー値

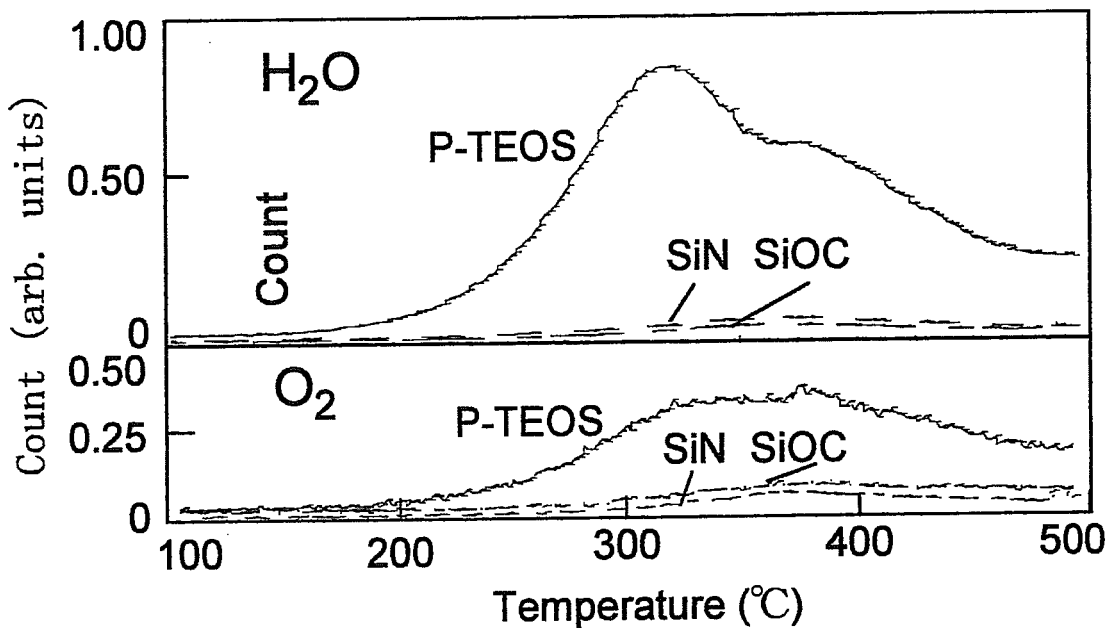


図 9-4 通常のTEOS膜, SiN膜, SiOC膜のTDS

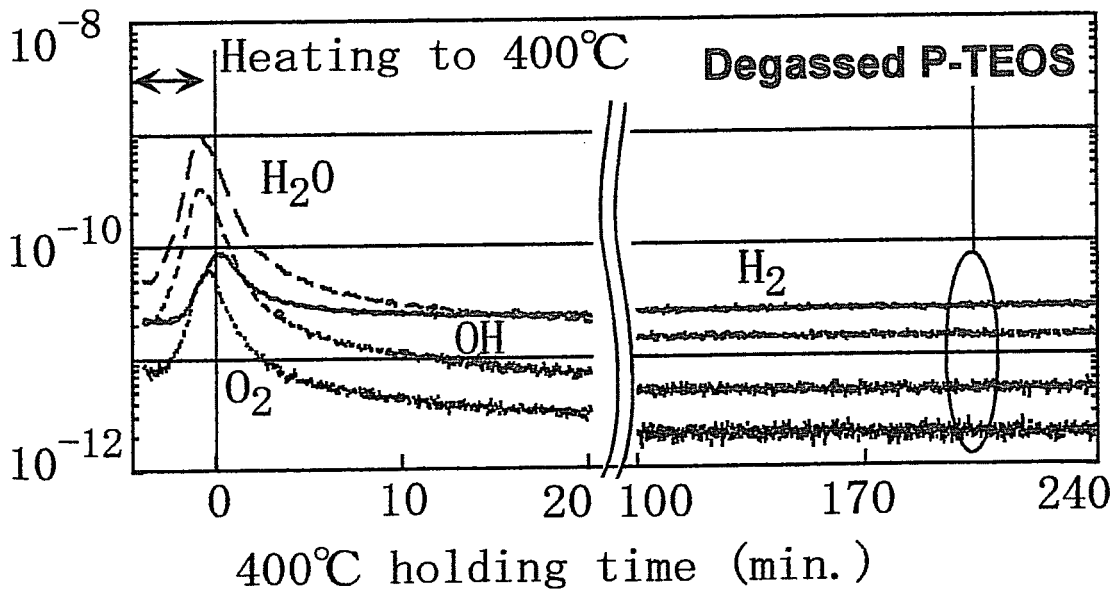


図 9-5 通常のP-TEOS膜のTDSと脱ガスP-TEOS膜

原子は磁気モーメントを有している。一方、Cu のイオン（1 価）には磁気モーメントは存在しない。酸素原子も磁気モーメントを持たないが、酸素分子が常磁性体であることは広く知られている¹³⁾。通常の P-TEOS 膜には、先に述べたように酸素分子が含有されている。従って、Cu 電極を形成した試料では、電極付近で Cu 原子と酸素分子による磁気モーメントの相互作用によるポテンシャルエネルギーの低下が起こることが考えられる。図 9-8 は Cu 原子と酸素分子の磁気モーメント相互作用を、磁場なしの状況と、磁場印加状況での比較を示す。磁場がない時には Cu 原子と酸素分子は磁気モーメント相互作用により安定となる。したがって、磁場印加がない時には、酸素分子が存在する P-TEOS 膜に Cu 原子が溶込み易いことになる。すなわち、Cu 原子は P-TEOS 膜に拡散する。一方、磁場が試料に印加されている状況では、磁気モーメントは磁界の方向にそろえられるため、酸素分子近くに Cu 原子が存在しても、磁気モーメント相互作用による安定化は働かない。すなわち、磁場印加状況では、Cu 原子は P-TEOS 膜に拡散し難いことになる。図 9-9 は、通常の P-TEOS 膜（酸素分子を含有）に Cu 電極を形成直後に磁界を印加したグループと、印加しないグループの I-E 特性を示す。P-TEOS/Si 構造でも P-TEOS/Th-SiO₂/Si 構造でも、磁場を印加された後に測定された（I-E 特性測定中は磁界印加されていない）試料の方が、低い電流を示す。この結果から、Cu の P-TEOS 膜への拡散には、TEOS 膜に存在する酸素分子が大きく関わっている可能性が明らかになった。

9.5 まとめ

絶縁膜への Cu 拡散機構を、P-TEOS 膜の I-E 特性から調べた。膜に酸素分子が入っていない状態の膜では Cu 電極からの溶け込みが少ないことがわかった。Cu 原子は磁気モーメントを有し、酸素分子は常磁性である。Cu 拡散に Cu 原子と酸素分子の磁気相互作用の安定化が関与していると考え、磁場印加した試料の Cu 拡散を調べた。磁場印加された試料で測定されるリーク電流は、印加されてなかった試料のそれよりも低かった。この結果、試料に対する磁場印加により、P-TEOS 膜への Cu 拡散が抑制されたことが確認された。このことから、Cu 拡散の一要因は、原子状 Cu と絶縁膜に含有される酸素分子の磁気モーメントの相互作用による安定が関与していることが明らかとなった。

以上の結果より、Cu 拡散防止もためには、少なくとも膜中の酸素分子含有量を低減することが重要であることがわかった。

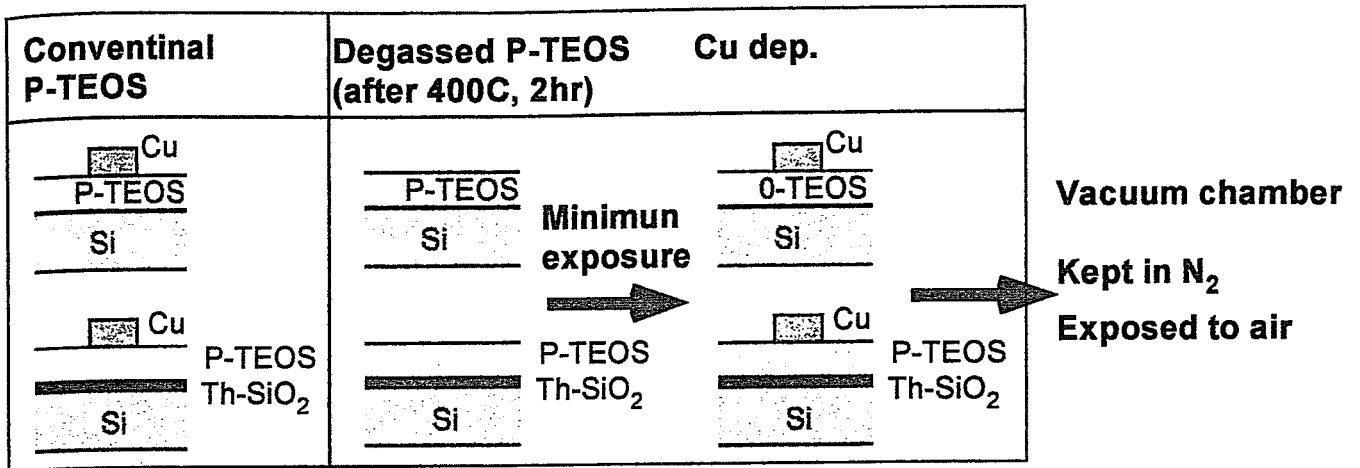


図 9-6 実験に使用した試料と実験手順

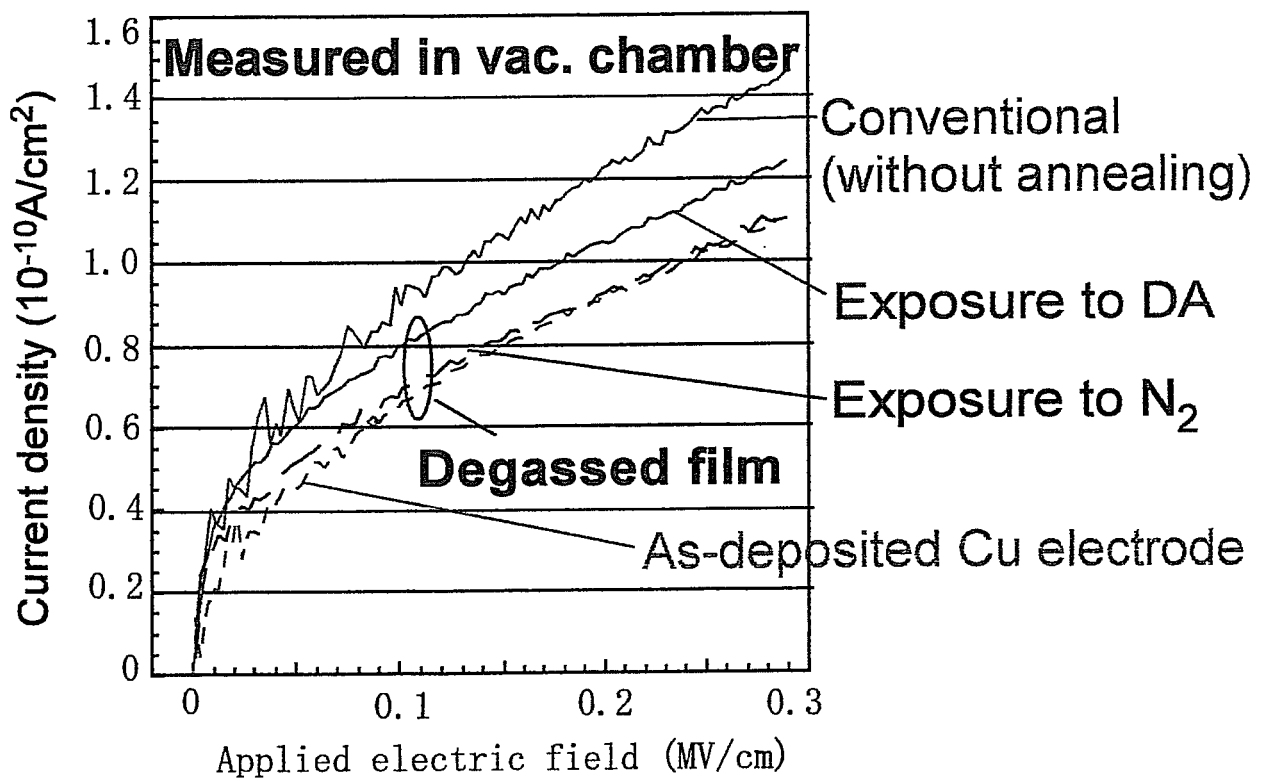


図 9-7 種々の環境におけるP-TEOS膜のI-E特性

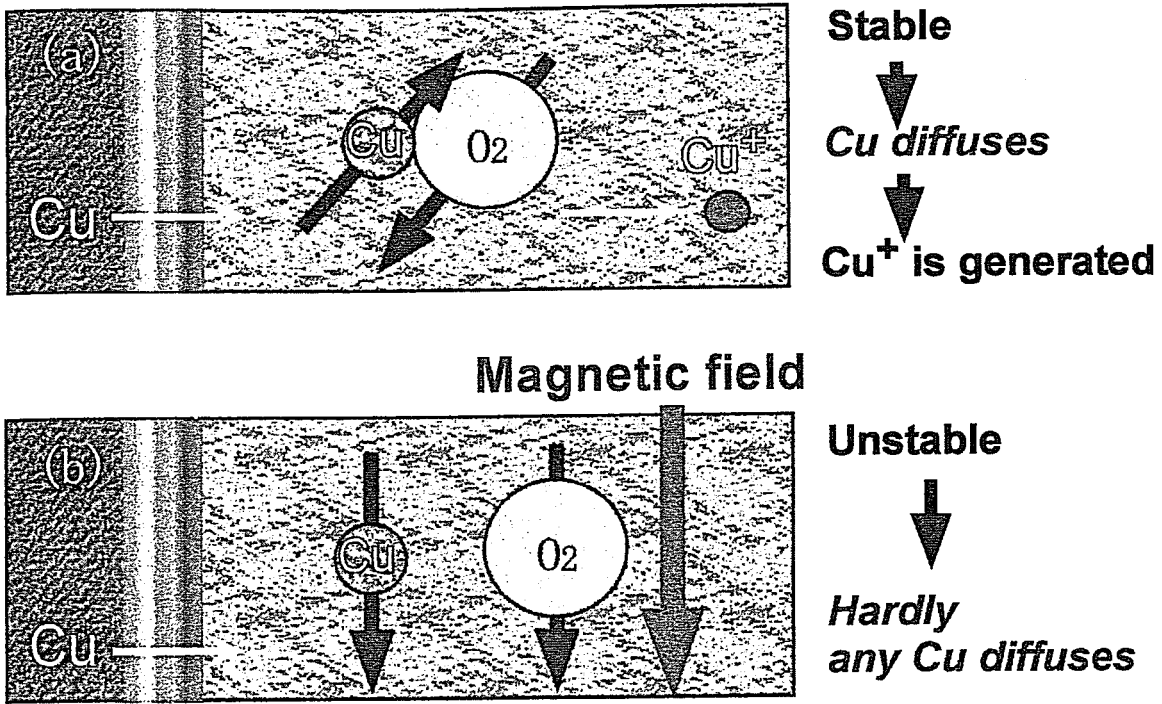


図 9-8 原子Cuと酸素分子による磁気モーメント相互作用と安定化の模式図

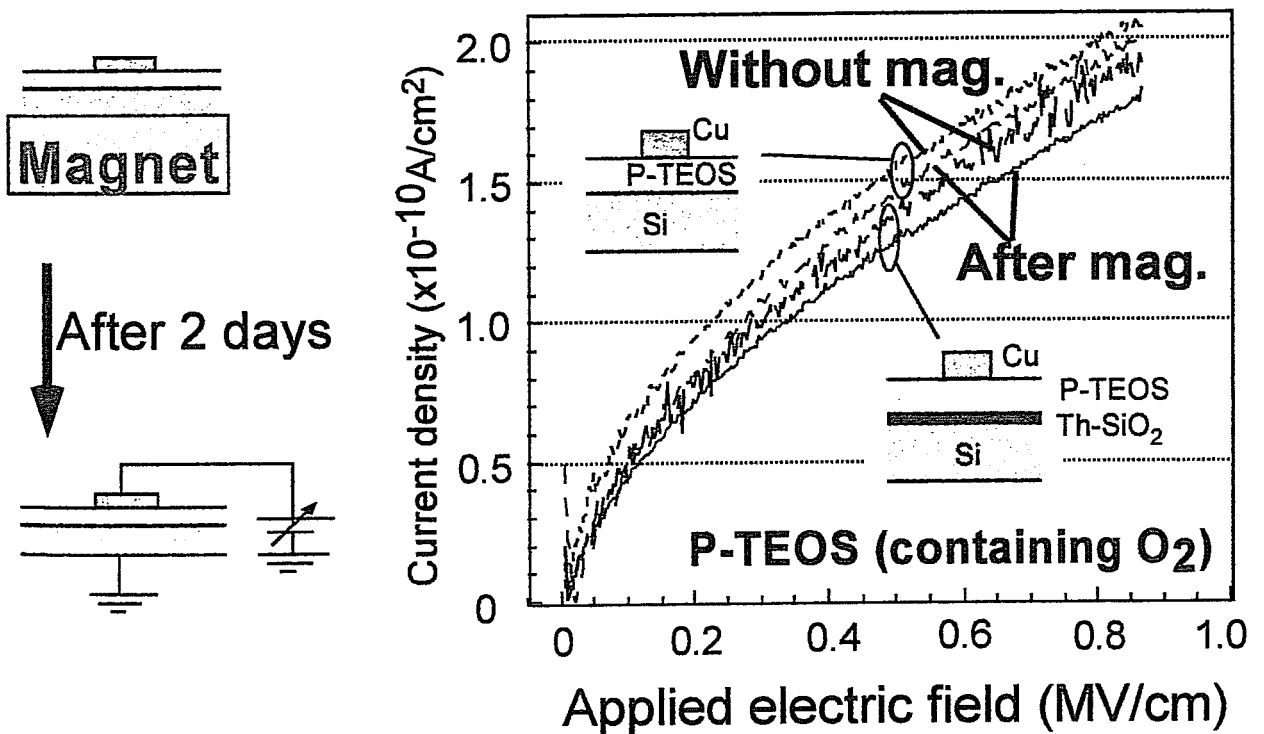


図 9-9 磁界印加された後の試料のI-E特性

9.6 参考文献

- 1) M. T. Bohr: IEDM Technical Digest (1995) 241.
- 2) International Technology Roadmap for Semiconductor, 2001 Edition of the ITRS (2001).
- 3) H. Wendt, H. Cerva, V. Lehmann and W. Pamler: J. Appl. Phys. 65 (1989) 2402.
- 4) G. Raghavan, C. Chiang, P. B. Anders, S. Tzeng, R. Villasol, G. Bai, M. Bohr and D. B. Fraser: Thin Solid Films 262 (1995) 168.
- 5) A. L. S. Loke, C. Ryu, C. P. Yue, J. S. H. Cho and S. S. Wong: IEEE Electron Device Lett. 17 (1996) 549.
- 6) H. Miyazaki, K. Hinode, Y. Homma and N. Kobayashi: Jpn. J. Appl. Phys. 35 (1996) 1685
- 7) K. Takeda, D. Ryuzaki, T. Mine and K. Hinode: 2001 IITC Proceedings (2001) 244.
- 8) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H14 年度成果報告書 (2003)
- 9) T. Fukuda, H. Nishino and H. Matsunaga: Jpn. J. Appl. Phys. 41 (2002) L537
- 10) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H13 年度成果報告書 (2002)
- 11) 日本化学会: 化学便覧 基礎編 II 丸善株式会社 (1975)
- 12) C. Kittel: *Introduction to Solid State Physics* John Wiley & Sons, New York (1953).
- 13) 黒澤達美: 基礎物理学選書9 物性論 (1975)
- 14) 岩波理化学辞典 第3判 岩波書店 (1974)
- 15) H. Ikakura, T. Ishimaru, Y. Yamamoto, Y. Kotaka, S. Ohgawara, Y. Shioya, K. Ohira and K. Maeda: Proceedings of 2000 AMC (2000) 92.

第 10 章 バリアフリー配線を目指した Cu 拡散防止膜の開発

10.1 はじめに

本章では、バリアフリー配線を目指した Cu 拡散を防止する low-k 材料の提案と、その開発された膜の評価結果について述べる。Cu 拡散を防止する絶縁膜としては、膜内に酸素分子を含有させないことが重要である¹⁾。このため、膜の構成原子に酸素が使われない膜が候補となる。現在、膜の構成に酸素が使われない膜で、入手可能な膜は 2 種ある。一つはフッ化アリレン膜で、もう一種は ASET で設計したポリイミダゾールである。バリアフリー配線の実現には、これら膜の TDDB 特性の評価とインテグレーション適用の検討が必要である。

10.2 フッ化アリレン膜の電気特性

代表的な絶縁膜に Cu 電極を形成した MIS 構造で I-E 特性を測定した結果を図 10-1 に示す。Cu 拡散の防止能力のある絶縁膜では、基本的に Cu 電極に正電位を印加しても、比較的低いリーク電流を示すはずである¹⁾。図中 SiN 膜と SiO₂ 膜は Cu 拡散を防止する特性を有する膜として良く知られている。フッ化アリレン膜²⁾ はこれらの膜よりも低いリーク電流を示し、同じ有機膜の Polyarylene (PAr) よりも一桁絶縁性は高い。フッ化アリレン膜は、C, N, F で構成され、Cu 拡散が起こり難いことが期待される。また、この膜は CVD 法で作成できるため、プロセス適合性は高い。しかしながら、このように低温で高い絶縁性を示す膜は多いが、新規絶縁膜のインテグレーション適用への難しさは、高い動作温度で如何に絶縁性を示すかにかかっている³⁾。図 10-2(a) は未処理のフッ化アリレン膜の I-E 特性を示す。60 °C 以下までは高い絶縁性を示しているものの、90 °C では、8 桁以上の高いリーク電流を示すようになる。温度が高くなるにつれて、リーク電流が上昇するのは、多くの場合に膜中に含有される電荷が原因になることが多い。そのような場合には、温度上昇とともに、徐々にリーク電流が増大する。しかし、この膜の場合、突如としたリーク電流の増大が見られた。この膜のリーク電流の原因として、膜中のダングリングボンド等に捕獲された電荷の存在を考えられる。従って、吸着サイトとなるダングリングボンド等を何かで終端することで、絶縁性の改善が図れるはずである。そこ

で、この膜に N_2 プラズマ処理をおこなった。処理後の I-E 特性を図 10-2 (b) に示す。未処理膜は 90 °C でリーク電流の著しい増大を示したが、 N_2 プラズマ処理した膜は 90 °C でも低いリーク電流を示し、さらに 150 °C になってもその低リーク電流性が保たれていることがわかる。この結果から、プラズマ処理が吸着サイトの終端に効果的であり、膜の絶縁性の向上に有効であることがわかる。しかし、この膜に関しては、上述の吸着サイトの終端不足か、含有イオンの影響かは不明であるが、高温 (140 °C) での絶縁耐圧が低く (<1 MV/cm) 実効的な TDDB 試験が行えないのが実状である。

10.3 ポリイミダゾール膜の電気特性

Cu 拡散を防止することが期待される C, N, H で構成された膜は ASET で設計された³⁾。図 10-3 はポリイミダゾール (Polyimidazole: PIZ) の、原料となるイミダゾール (N, N, N - triisobopropyliden - biphenyl - 3, 4, 3' - tetraamine) とアダマンタン (1 - 3, 4, 3' - adamantantanetricarboxylic - acid)、および合成形成された場合の立体構造を有するポリイミダゾールの分子構造を示す。反応の溶媒にはシクロヘキサノン (Cyclohexanon) を用いた。予定通りに内部空間を有した分子構造が形成されると、比誘電率は 1.3 以下になるはずである。また、構成原子に酸素がないため、Cu 拡散を防止する特性が期待される。以下で評価した PIZ はダイセル化学工業株式会社で合成された。尚、以下で評価する膜は、アダマンタンに 4 官能の反応端を持たず、3 官能の反応端の原料を用いたため、膜構造は図 10-3 に記載したような立体構造にはなっていない。

図 10-4 は、当初形成された PIZ 膜の代表的な I-V 特性を示す。膜厚は約 150 nm である。室温での測定にかかわらず、高いリーク電流が測定点全てにおいて観測された。室温測定で高いリーク電流を示す場合、膜に含有される電荷が起因の場合もあるが、膜欠陥であるピンホールが原因である場合も多い (第 7 章参照)。膜表面を顕微鏡観察したところ、ピンホールが 1 平方 mm あたり 8 個以上観測された。I-V 測定に用いる電極が 1 mm ϕ のため、電極内には必ずピンホールが存在することになる。このため、この膜の本来の絶縁性が評価できない状況であることが分った。

ピンホール対策として、合成装置と膜形成装置の雰囲気クリーン化し、さらに、用いる溶剤と溶媒の空気混入を避ける工夫をした。これにより膜のピン

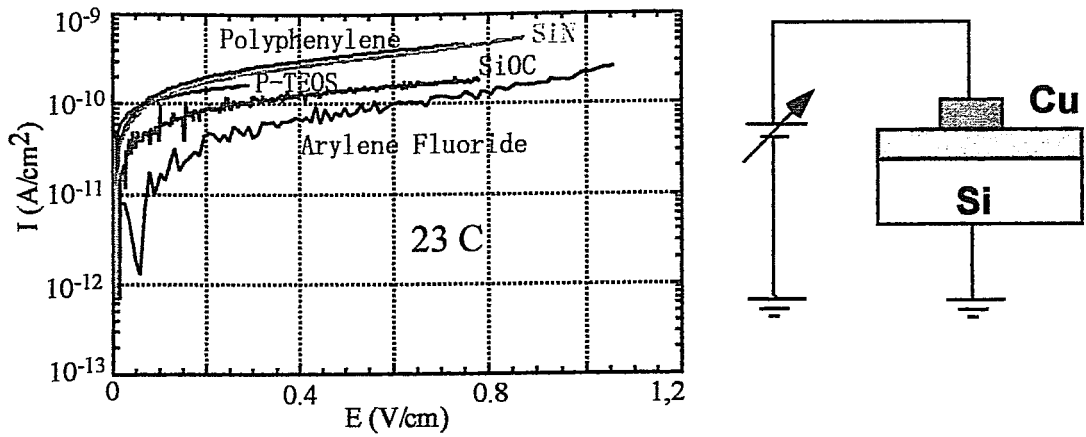


図 10-1 Cu電極を用いた時の代表的な絶縁膜のI-E特性

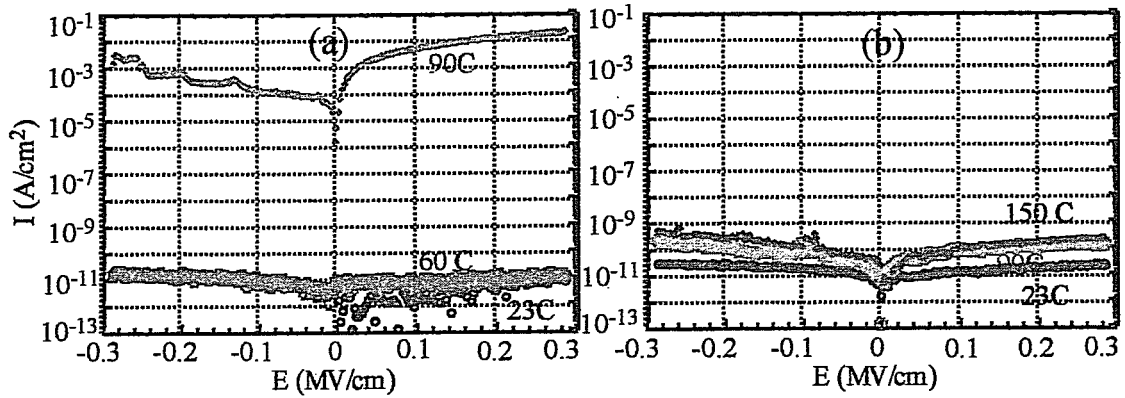


図 10-2 フッ化アリレン膜のI-E特性(a)未処理(b)N2プラズマ処理

Polyimidazole

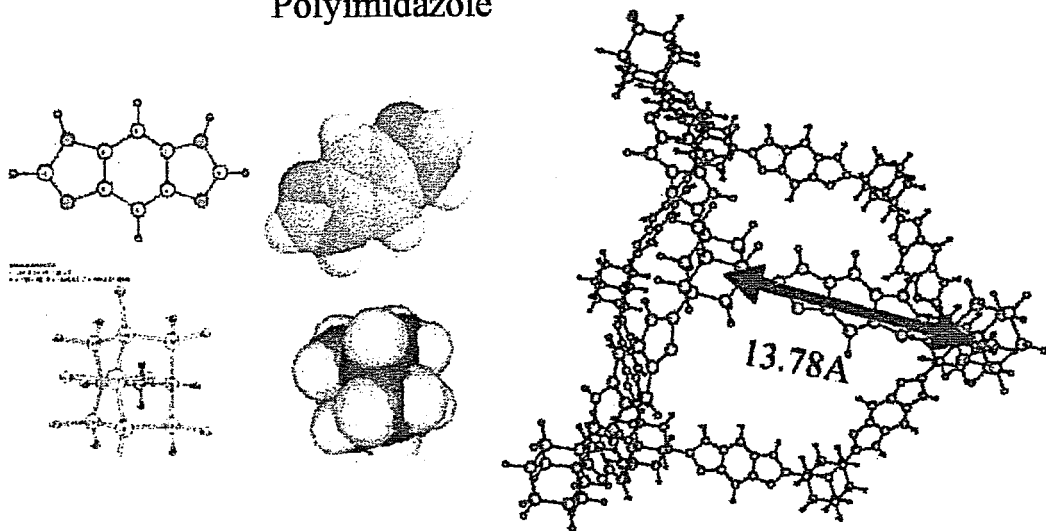


図 10-3 ポリイミダゾール膜の原料と目指した分子構造

ホールは消失した。ピンホールが形成されない条件で形成した膜の I-V 特性を図 10-5 に示す。膜厚は約 350 nm である。電極には Al と Cu を用いた。両者とも測定温度が 150 °C の高温においても、10 V (~0.3 MV/cm) でのリーク電流は、 $I_{\text{leak}} < 2 \times 10^{-8} \text{ A/cm}^2$ である。この膜の C-V 特性 (電極: Al) を図 10-6 に示す。負電位側で深い落ち込みが見られず、膜に多量の正電荷が含有されていることが示唆される。また、C-V 特性の正電位側の飽和容量から、比誘電率は 2.9 であることがわかった。

図 10-7 に電極が Al と Cu の場合の PIZ 膜の I-V 特性を示す。室温での測定で、両者に差は見られないが、150 °C の高温測定で、Al 電極でのリーク電流よりも、Cu 電極の方が高いリーク電流を示した。この結果から、この膜の成分には酸素が含まれていないにもかかわらず、Cu 拡散を防止する機能は期待出来ないことがわかった。そこで、この膜の元素分析を行った。

図 10-8 は前述した膜の XPS 分析結果を示す。この膜からは、 O_{1s} のピークが観測された。当初の狙いは、酸素を膜中に含有しない膜の成膜であった。用いた溶媒はシクロヘキサノンであるが、反応過程 (膜の合成過程) で生じる副生成物のカルボン酸が取込まれた可能性が高い。表 10-1 は分析した結果のまとめを示す。酸素が 2.9 % 含まれていることがわかった。尚、表 10-2 には機械的強度分析した結果を示す。この膜は 3 次元構造にはなっていないものの、機械強度は現在使用されているポリアリレン、PAr 膜 ($E_r = 4.8$) に比較して 2 倍以上の強度がある。

カルボン酸は高い極性を持つため、このカルボン酸を含有した膜では吸湿等による経時劣化が懸念される。図 10-9 は I-V 特性における経時変化を示す。この I-V 特性は全く同じ位置のドットで測定した結果である。成膜当初では高温でも良好な絶縁性を示していたが、時間の経過により、室温でもほとんど絶縁性を示さなくなっている。合成に用いる溶媒を変えることで、カルボン酸の取込みを防止した合成を試みた。

溶媒を N, N-dimethylacetamide (通称 NDA) に変えて、合成と膜形成を行った。この溶媒では、反応副生成のカルボン酸は生成されない。前述の薬液から形成された膜を Lot 1、溶媒を変えた薬液から形成した膜を Lot 2 と記述する。この Lot 1 と Lot 2 の TDS を図 10-10 に示す。Lot 2 は Lot 1 に比較して、 H_2O と O_2 の脱ガス量が少ない。TDS から判断すると、Lot 2 は Lot 1 に比較して含有酸素分子量は 1/10 以下になっている事がわかる。脱 O_2 量を絶縁膜の代表である、

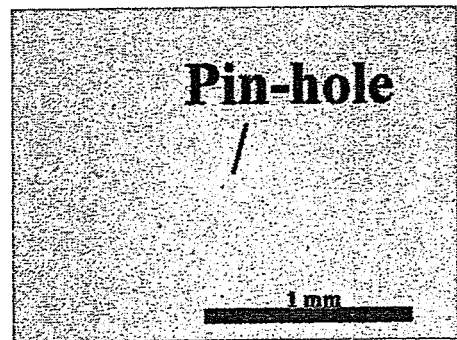
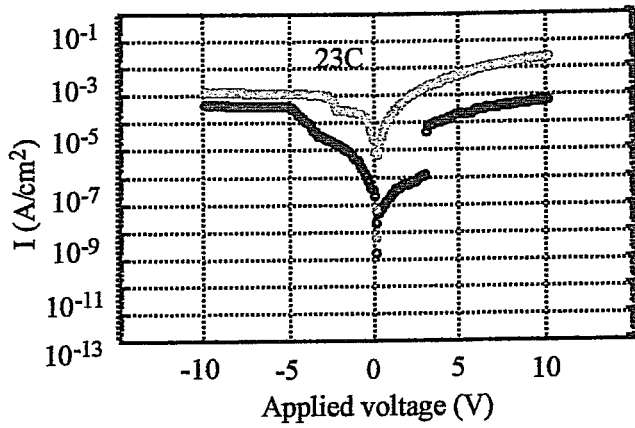


図 10-4 初期に形成されたポリイミダゾール膜のI-V特性と膜表面状況

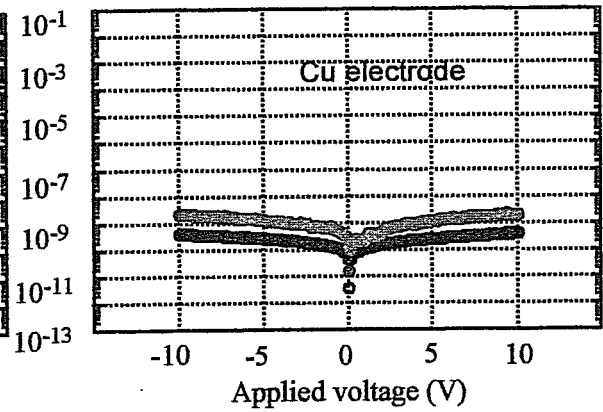
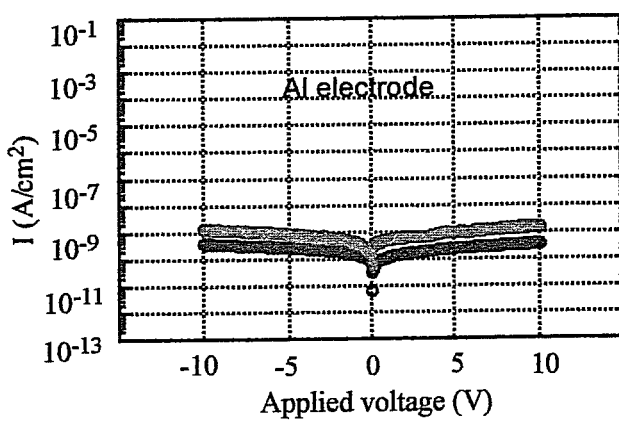


図 10-5 ピンホールをなくしたポリイミダゾール膜のI-V特性

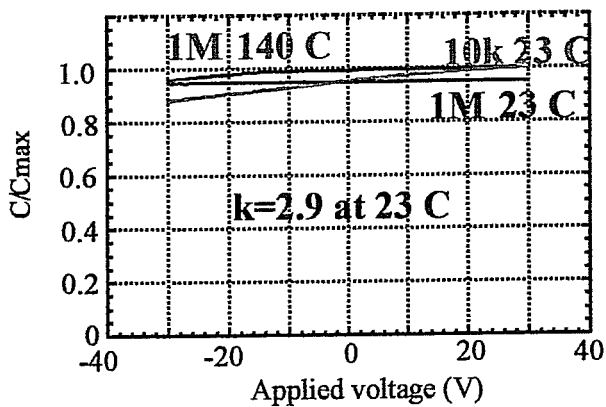


図 10-6 ポリイミダゾール膜のC-V特性

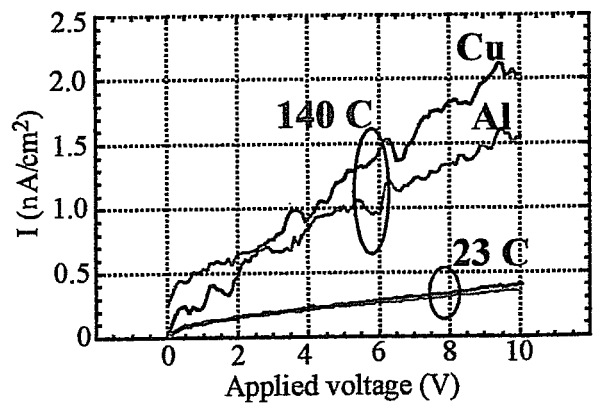


図 10-7 ポリイミダゾール膜のI-V特性の電極依存性

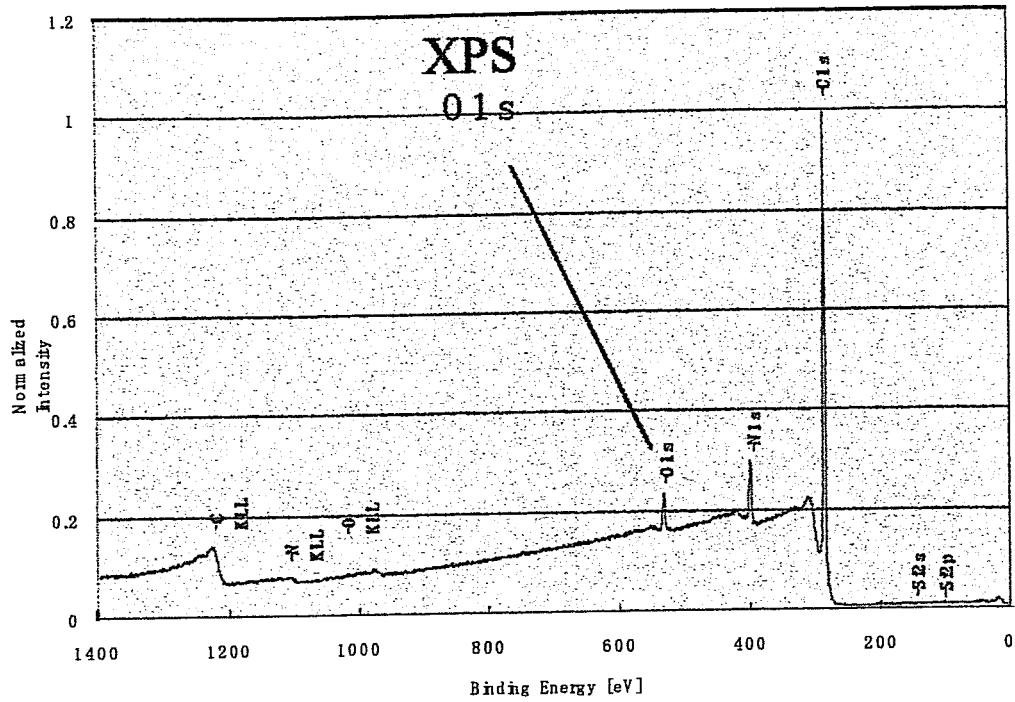


図 10-8 PIZ膜のXPS分析結果

表 10-1 試料表面のXPS元素分析結果

試料項目	C(1s)	N(1s)	O(1s)	Si(2p)
対C比(Atomic比)	1.00	0.099	0.03	0.001
PIZ 含有率(Atomic%)	88	8.8	2.9	0.08
結合エネルギー値(eV)	284.6	398.4, 400.0	532.1	101.6

表 10-2 Hardness, Reduced modulus(Er) 測定結果

Position	Hardness (GPa)	Er (GPa)
30-02	0.63	9.8
30-03	0.63	9.8
30-06	0.63	9.8
average	0.63	9.8

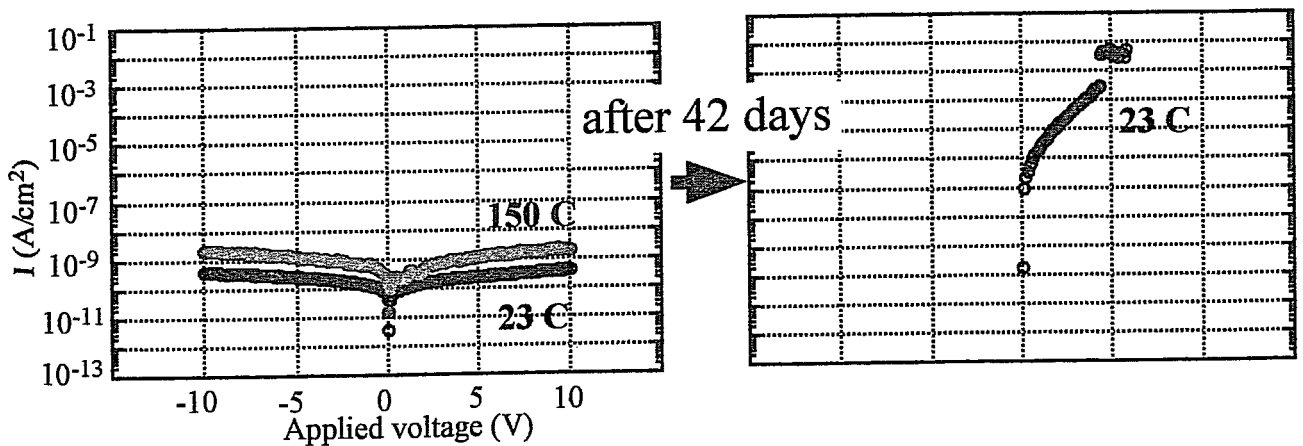


図 10-9 ポリイミダゾール膜のI-V特性の経時変化

P-TEOS 膜と有機 low-k(ポリアリレン)膜と比較したのが図 10-11 である。P-TEOS 膜と有機 low-k 膜には Cu 拡散を防止する機能はない。これら膜に比較しても Lot 2 の PIZ 膜の含有酸素分子量は著しく少ないことがわかる。Lot 2 の I-V 特性を図 10-12 に示す。電極は Al である。高温でもそのリーク電流は充分小さい。図 10-13 はこの膜に Al 電極と Cu 電極を形成した時の 140 °C での I-V 特性を示す。先に示した酸素を含有する Lot 1 の PIZ 膜では、Cu 電極を付けた試料の方が、Al 電極を付けた試料よりも高いリーク電流を示したが、今度の Lot 2 では、その I_{leak} には差は見られない。このことより、Lot 2 の PIZ 膜では、Cu 拡散を防止する機能が期待できる。

10.4 ポリイミダゾール膜の TDDB 特性

ITRS では 70 nm テクノロジーノードでの動作温度は 140 °C と予想されている⁴⁾。そこで、140 °C での TDDB 寿命を測定した。試料は、Cu/low-k 膜/Si の MIS 構造である。図 10-14 は 140 °C での TDDB 特性を示す。参考のために、最も一般的な有機 low-k 膜のポリアリレン (PAr) 膜の結果も示す。PAr 膜では、ある時間を超えたところから、Fowler - Nordheim (FN) 電流⁵⁾に基づくと思われる電流の上昇が見られる (1.1.5 節)。このような電流上昇は SiO₂ 系膜で見られる現象であり、現在そのメカニズムは不明であるが、Lot 2 の PIZ ではこの電流上昇は観察されない。PAr 膜では 1 MV/cm のストレス印加で、TDDB 寿命は 5 時間に満たないが、PIZ では 2.3 MV/cm の高電界印加で約 90 時間の TDDB 寿命がある。さらに、2.8 MV/cm で 16 時間、3.4 MV/cm で 2 時間の TDDB 寿命がある。この結果から PIZ 膜は Cu 拡散防止する機能があることが確かめられた。

次に、これらの TDDB 測定から、70nm テクノロジーノードでの TDDB 寿命を予測する。TDDB 寿命の対数、 $\log \tau$ は測定印加電界の一次関数になることが知られている^{6, 7)}。70 nm テクノロジーノードの配線ピッチは約 0.2 μm 、動作電圧は 0.9 V となるため⁴⁾、配線間には 0.9 MV/cm の電界がかかることになる。TDDB 寿命時間、 τ の電界依存性を図 10-15 に示す。図には参考のため、P-TEOS 膜と P-SiN 膜の値も記載した。 $\log(\tau)$ は印加電界 E の一次関数となっている。このプロットから、特定の印加電界、x における寿命が予測できる^{6, 7)}。70 nm テクノロジーノードを想定すると、x = 0.9 MV/cm となるが、この値での垂線と各種膜の $\log(\tau)$ の一次関数との交点での y 座標が推定寿命となる。P-SiN 膜は従来

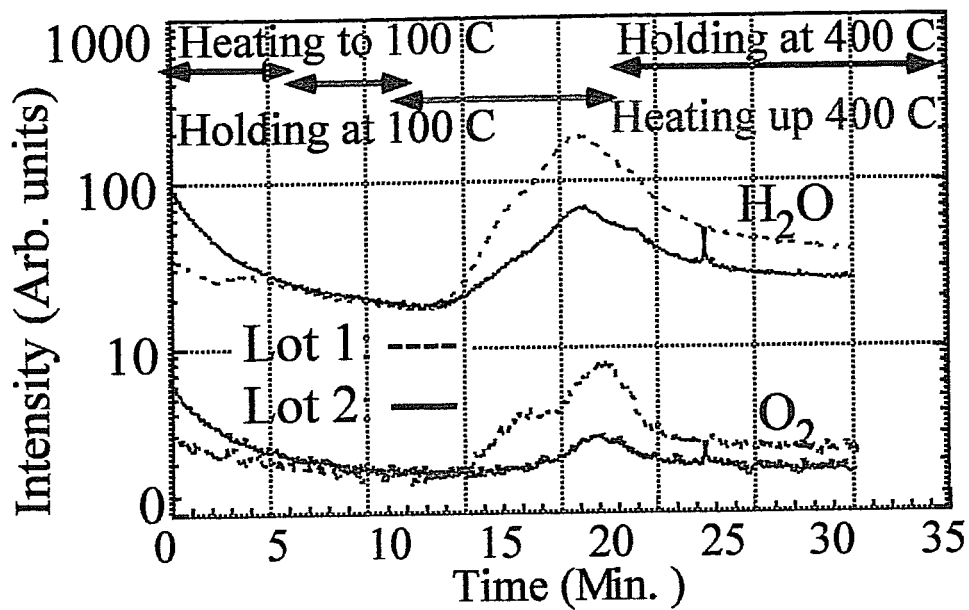


図 10-10 Lot1とLot2のPIZ膜のTDS

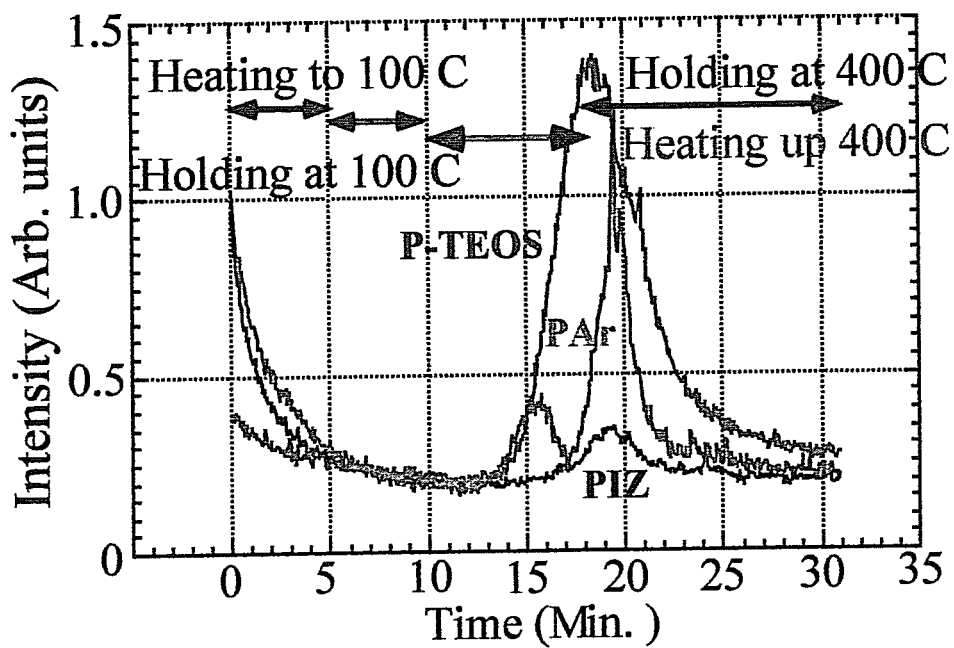


図 10-11 PIZ膜(Lot2)の脱酸素量の他の膜との比較

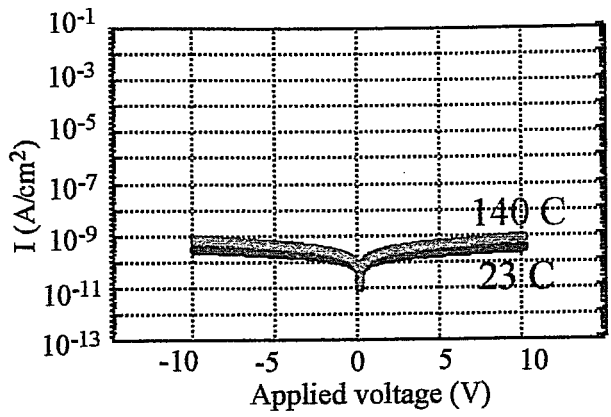


図 10-12 カルボン酸取り込みを防止したポリイミダゾール膜のI-V特性

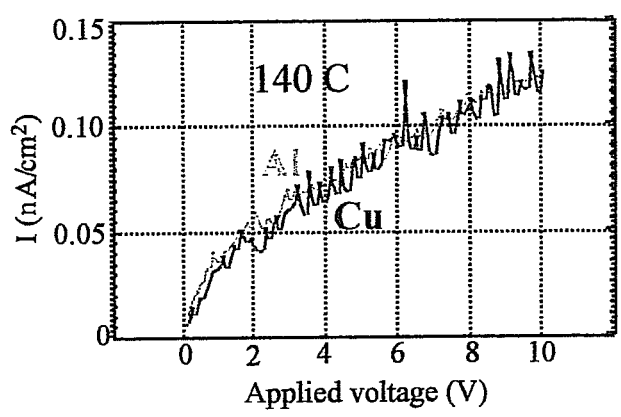


図 10-13 カルボン酸取り込みを防止したポリイミダゾール膜のI-V特性の電極依存性

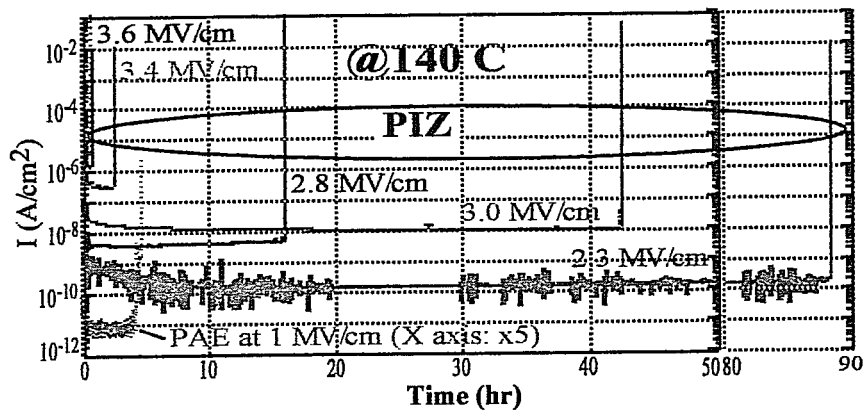


図 10-14 PIZ膜のTDDB寿命

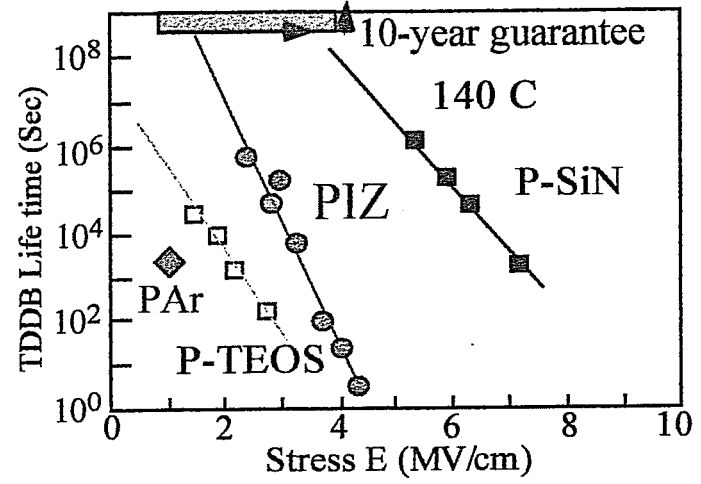


図 10-15 PIZ膜のTDDB寿命の位置づけ

から Cu 拡散バリアーに使われている膜だけに、Cu 拡散防止に関しては 0.9 MV/cm での寿命は千年を超える。P-TEOS 膜は Cu 拡散が早い膜であるが、その寿命はわずか 11 日程度である。ポリイミダゾール膜での測定から予測される寿命は少なくとも 10 年になる。

10.5 ポリイミダゾール膜の機械的特性とインテグレーションに向けた試み

表 10-2 において、PIZ 膜の機械的強度が高いことを述べたが、さらに Lot 2 の PIZ 膜の機械的強度をナノインデーター法で測定した⁸⁾。図 10-16 は、ナノインデーターによる押し込み変位と力の関係を示す。一旦押し込んだ後の変移力における接線の傾きから、膜の堅さとヤング率を求めることが出来る。その結果、この PIZ 膜の堅さは 0.83 GPa、ヤング率は 11.7 GPa であることがわかった。現在、最も一般的な有機 low-k 膜である PAr 膜では、堅さは 0.44 GPa、ヤング率は 5.0 GPa である。これらの値に比較すると、堅さ、ヤング率とも約 2 倍の強さを示すことがわかった。特にヤング率の値は、CMP での要求値である 5 GPa を超えていることから⁹⁾、CMP プロセスでの膜破壊は起こらないことが予測される。

ヤング率の値から、CMP での過重耐性は期待出来るが、膜剥がれの問題は保証出来ない。そこで密着性についても調べた。ポリイミダゾール膜を用いたバリアーフリー配線では、PIZ 膜に直接 Cu が接する構造となる。Cu/PIZ の密着力は、少なくとも、現在使われている Cu/Ta/PAr 構造の密着力と同等以上であることが求められる。2.8.3 節に示したテープテストによる密着性評価の結果を示す。Low-k 膜の上に Cu と Ta を形成した試料で密着性を評価した。試料としては、Cu/PAr、Ta/PAr、Cu/PIZ の 3 種とした。テープテスト結果を図 10-17 に示す。Cu/PAr では Cu と PAr 膜の密着性が低いため、図の下部拡大図を見てわかるように、テープ剥離後では、大きな面積の Cu 膜の剥がれが観察されている。一方、デュアルダマシン配線で現在使われている構造である、Ta/PAr 構造では、Ta 膜の剥がれはほとんど観察されない。バリアーフリー配線では、Cu/PIZ 構造で、Ta/PAr 並みの強い密着性が得られるかが課題となる。テープ剥離後の顕微鏡観察の拡大図からわかるように、剥がれはほとんど見られない。この結果は、Cu/PIZ の密着性が Ta/PAr の密着性とほぼ同じであることを意味する。これらの結果から、PIZ を用いたバリアーフリー配線構造では、機械的強度も高く、Cu に

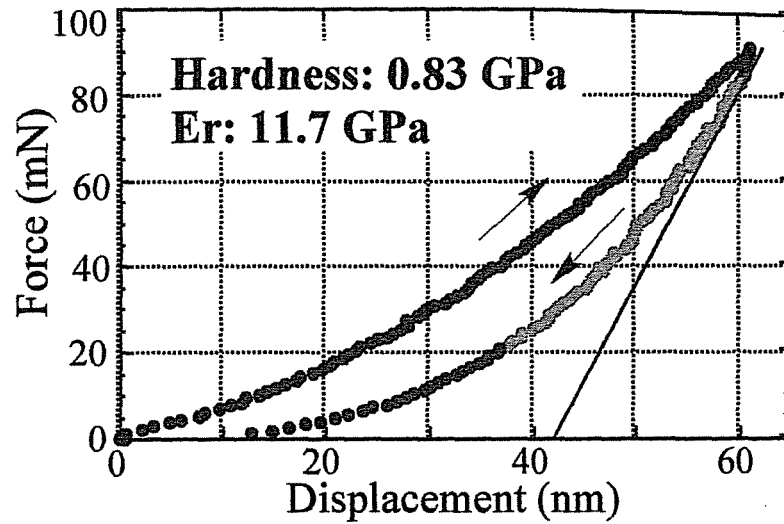


図 10-16 PIZ膜のナノインデントーターによる強度試験結果

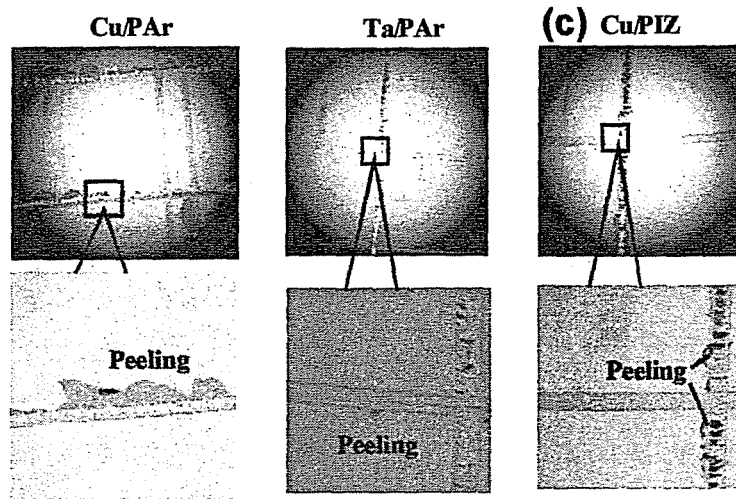


図 10-17 PIZ膜の密着評価試験結果

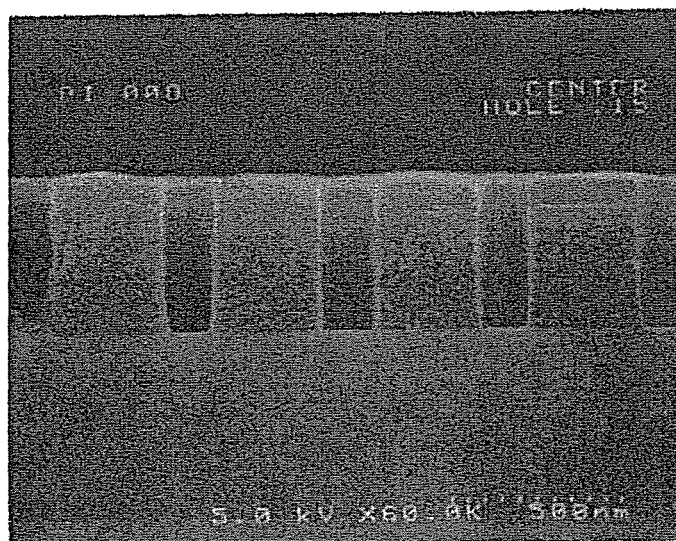


図 10-18 PIZ膜のエッチング後の形状

対する密着性も高いことが明らかとなった。このため、現状の CMP プロセス、後工程のボンディング工程にも適用出来ることが確認された。

インテグレーションに向けて、この膜のエッチング性を調べた。エッチングは、ヨーロッパのコンソシアムである IMEC¹⁰⁾ 仕様の 1 層配線のエッチング条件で行った。エッチング後の断面を図 10-18 に示す。良好な断面形状が得られている。

10.6 チッ化による Cu 拡散防止技術

前章では、酸素分子を含有しない膜が Cu 拡散を防止することを述べた。絶縁膜と Cu の界面に酸素分子が介在しなければ、絶縁膜への Cu 拡散は起きないことが期待出来る。そこで、有機 SOG を用いて、Cu 表面をチッ化することで Cu の拡散が防止出来るかを調べた。

Cu の表面チッ化に使用した装置は日本真空社製「NLD エッチング装置」¹³⁾ である。Cu の表面チッ化処理条件を表 10-3 に示す。Cu には 1) 表面のクリーニングとその後に同じチャンバーで続けて行う 2) チッ化の、2 ステップ処理を行った。第一ステップでは水素プラズマにより Cu 表面の酸化物を還元した。第二ステップでは、同じチャンバーで直ちに、窒素プラズマ処理により、Cu 表面を窒化(もしくは「窒素混在層」形成)した。チッ化した Cu の表面には、STP (Sticking at hot temperature pressing) と呼ばれる方法^{12,13)}で、溶媒を蒸発させた有機 HSG 膜 (STP-SOG)¹⁴⁾ を張り合わせた。SOD 法での成膜と CVD 膜を用いなかったのは、Cu 表面の窒化(もしくは「窒素混在層」)が溶媒や熱処理、またはプラズマで消失することを避けるためである。評価試料は、Al/STP-HSG/チッ化 Cu/Ta/Si 構造である(図 10-19 (b))。この MIM 構造で Cu 拡散を TDDB 特性から評価した。Cu と Si の間に Ta を挿入したのは HSG アニールの際に Cu と Si が反応して CuSi になるのを防ぐためである。HSG 膜の高温でのリーク電流は低く、TDDB 特性評価で必要な 140 °C 下で数 MV/cm の試験には耐えられる絶縁性を有した。図 10-20 に Cu チッ化した試料と、チッ化処理していない Al/STP-SOG/Cu/Ta/Si 構造試料の TDDB 特性結果を示す。図 10-21 は TDDB 寿命のストレス電界依存性を示す。比較のため、P-TEOS 膜、現在最も一般的な有機 low-k 膜である PAr 膜、Cu 拡散を防止する SiN 膜の値も示した。チッ化しない Cu 膜を用いた場合、比較的短い時間で絶縁破壊を示す。図 10-21 からわか

表 10-3 プラズマ窒素処理条件

Process	1st step	2nd Step
Pressure (Pa)	0.65	0.65
Flow (SCCM)	H ₂ 100	N ₂ 100
Antenna power (W)	2000	2000
Bias power (W)	0	600
Substrate temp.(C)	20	20
Treat. Time (sec)	600	600

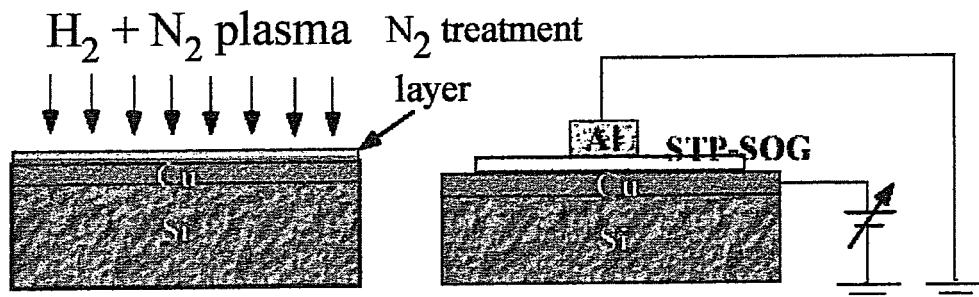


図 10-19 チッ化の模式図と評価の模式図

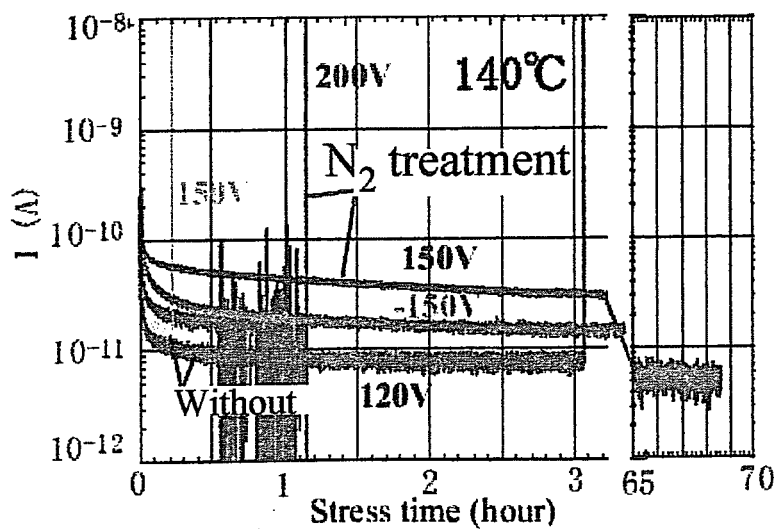


図 10-20 チッ化したCuのTDDB特性

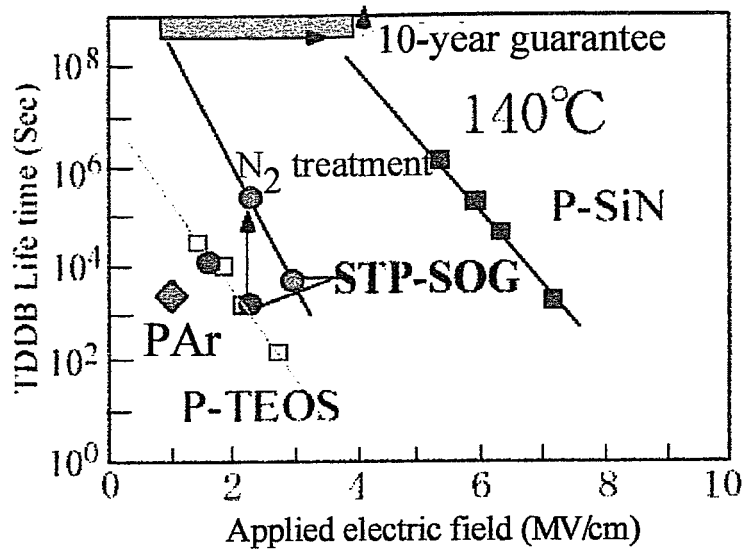


図 10-21 銅のチツ化によるTDDB寿命向上の位置づけ

るように、STP-SOG 膜の絶縁破壊時間は、P-TEOS 膜とほぼ同じ時間である。Cu 表面をチツ化した試料では、チツ化していない試料に比較して、TDDB 寿命は約 200 倍長くなっている。図から、0.9 MV/cm での推定寿命は 10 年以上になることがわかった。この結果、絶縁膜と Cu の間に酸素分子を介在させない構造を作り出すと、Cu から絶縁膜への Cu 拡散が防止出来ることが確認出来た。

10.7 まとめ

Cu 拡散防止する絶縁膜として、構成原子に酸素を含まない絶縁膜の電気的特性を調べた。ポリイミダゾール膜では、合成プロセスにおける酸素分子の混入を無くすと、Cu 拡散が防止出来ることがわかった。この膜の Cu 拡散による TDDB 寿命は、0.9 MV/cm で 10 年以上になることがわかった。この膜は、機械的強度も高く、Cu に対する密着性が良いことから、バリアフリー配線に適用可能であることがわかった。また、酸素を含んだ膜においても、絶縁膜と Cu の間に酸素分子を介在させない表面窒素処理した構造を作り出すと Cu から絶縁膜への Cu 拡散が防止出来ることが確認された。

10.8 参考文献

- 1) T. Fukuda, H. Nishino and H. Matsunaga: Jpn. J. Appl. Phys. 41 (2002) L537
- 2) 梶 成彦、小川真一：第 64 回応用物理学学術講演会 講演予講集 (2003) 756
- 3) 技術研究組合 超先端電子技術開発機構 (ASET)：電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H12 年度成果報告書 (2001)
- 4) International Technology Roadmap for Semiconductor, 1999 Edition of the ITRS (1999)
- 5) G. Raghavan, C. Chiang, P. B. Anders, S. Tzeng, R. Villasol, G. Bai, M. Bohr and D. Frazer: Thin Solid Films, 262 (1995) 168
- 6) H. Miyazaki, K. Hinode, Y. Homma and N. Kobayashi: Jpn. J. Appl. Phys. 35 (1996) 1685
- 7) K. Takeda and K. Hinode: 2001 IITC Proceedings (2001) 244.
- 8) J. Ye, M. Kano and Y. Yasuda: Jpn. J. Appl. Phys. 93 (2003) 5113

- 9) S. Lin, C. Jin, L. Lui, M. Tsai, M. Daniels, A. Gonzalez, J. T. Wetzel, K. A. Monnig, P. A. Winebarger, S. Jang, D. Yu and M. S. Liang: Proceedings of 2001 IITC (2001) 146.
- 10) <http://www.imec.be/>
- 11) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H11 年度成果報告書 (2000)
- 12) S. Shishiguchi, T. Fukuda, H. Kochiya, H. Yanazawa and H. Matsunaga: Proc. Advanced Metallization Conference (2001) 57
- 13) N. Sato, K. Machida, M. Yano, K. Kudo and H. Kyuragi: Jpn. J. Appl. Phys. 41 (2002) 2367
- 14) 技術研究組合 超先端電子技術開発機構 (ASET) : 電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発 H14 年度成果報告書 (2004)

第 11 章 参照絶縁膜のリーク電流の研究とこれを用いた汚染の評価

11.1 はじめに

前章までに、種々の low-k 材の電氣的評価を行ってきた。この際に P-TEOS 膜を参照膜として使ってきた¹⁾。第 9 章では、P-TEOS 膜の電気特性も成膜後の処理により大きく変わることがわかった²⁾。このため、本章では、この P-TEOS 膜の膜自体のリーク電流機構をより詳細に調べることにし、参照膜として条件の明確化と参照膜を用いた汚染状況の評価手法の検討を行なう。

11.2 実験手順と「未処理 P-TEOS 膜」、「脱ガス P-TEOS 膜」、「脱水 P-TEOS 膜」

実験には 8 インチの P 型 Si 基板上（比抵抗：9-12 $\Omega \cdot \text{cm}$ ）に P-TEOS 膜（膜厚：350nm）を成膜し、後処理を行った後、直ちに Al 電極（直径：1 mm ϕ ）を形成した試料を用いた。後処理からの試料の扱いに関しては、大気に暴露される時間を出来るだけ短くした。すなわち、後処理後の電極形成は直ちに行い、続いて、これらの試料を直ちに真空プローバ（2.5 節）に移して、真空引きを行った。其の後に I-E, C-V 特性を評価した。P-TEOS 膜の後処理は、真空アニール処理（真空、400 $^{\circ}\text{C}$ 、150 分）と超臨界 CO₂ 処理²⁾（80 $^{\circ}\text{C}$ 、15 MPa、30 分）である。真空アニール処理は膜からの脱ガスを目的としている。

図 11-1 に P-TEOS 膜の TDS を示す。横軸は時間を示す。400 $^{\circ}\text{C}$ 保持で 100 分を超えた時間では P-TEOS 膜からの脱ガスは殆ど見られなくなる。この状態にした P-TEOS 膜を「脱ガス P-TEOS 膜」と定義する。実際に用いた試料は、真空アニール装置で、400 $^{\circ}\text{C}$ で 150 分の処理を行ったものである。図 11-2 に超臨界処理した P-TEOS 膜と未処理の P-TEOS 膜の TDS における比較を示す。超臨界 CO₂ 処理した膜からの脱 H₂O 量は半減している。この超臨界処理した P-TEOS 膜を「脱水 P-TEOS 膜」と定義する。実際に用いた試料は、超臨界処理装置で、30 分の処理を施したものである。また、未処理の通常の P-TEOS 膜を、「未処理 P-TEOS 膜」と表記する。

電気特性の測定は、試料を真空プローバに設置した後、1 Pa 以下に真空引きし、次ぎに N₂ を導入し、再度 0.1 Pa 以下に真空引きした後に N₂ 雰囲気にして測定した。測定温度は 23 $^{\circ}\text{C}$ - 150 $^{\circ}\text{C}$ 、P-TEOS 膜の膜厚は 350 nm である。I-E 特

“Degassed P-TEOS condition”

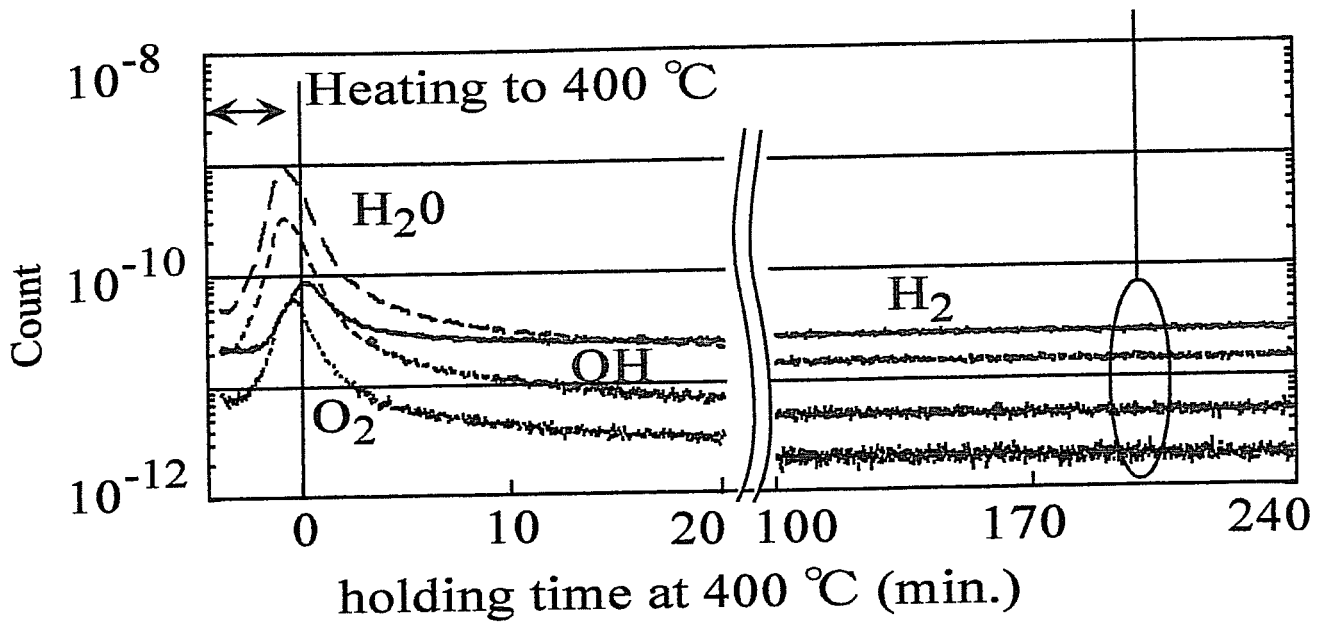


図 11-1 未処理P-TEOS膜のTDSと脱ガスP-TEOS膜の定義

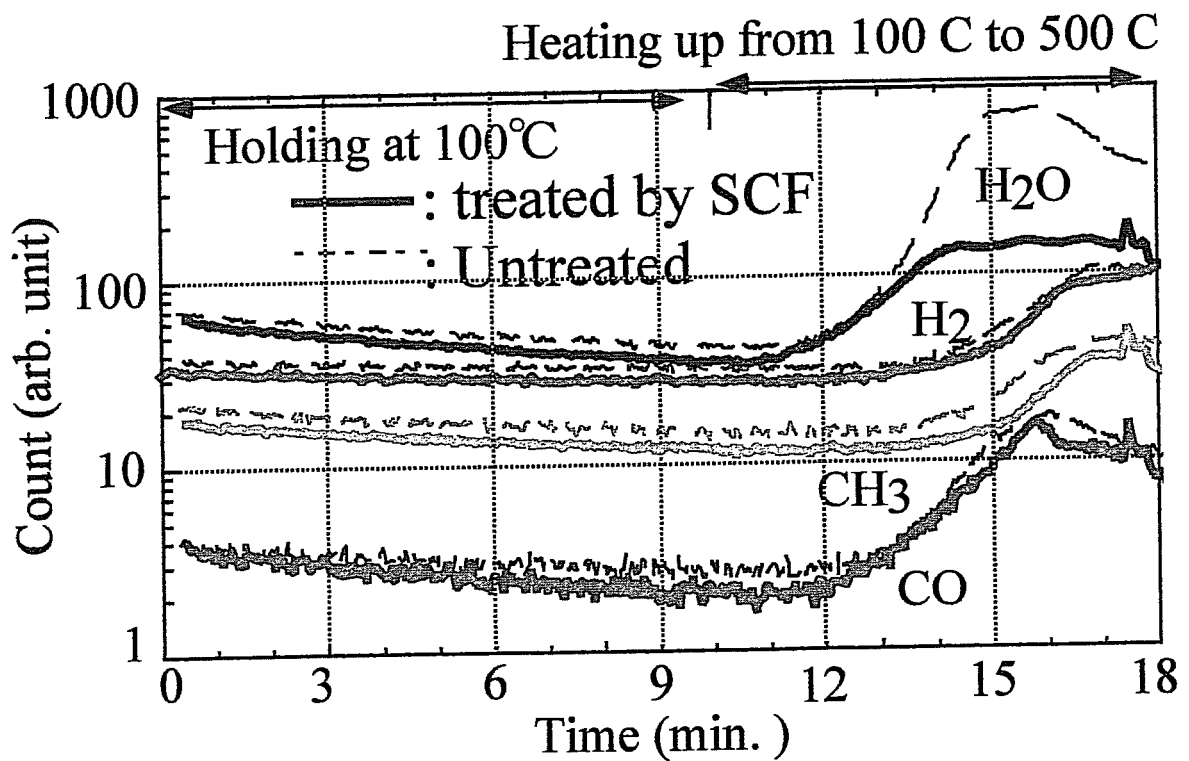


図 11-2 SCF- CO_2 処理したP-TEOS膜と未処理P-TEOS膜のTDS

性の表示では横軸に電界をとったが、この値は電位(V)を膜厚で割った値である。

11.3 各 P-TEOS 膜の I-V, C-V 特性

図 11-3 は未処理 P-TEOS 膜の C-V, I-E 特性を示す。図中(a), (b)は 1 MHz と 10 kHz での C-V 特性の温度依存性を示す。(c)は室温における C-V 特性の周波数依存性を(d)は I-E 特性の温度依存性を示す。フラットバンド電圧 V_{fb} は膜中の電荷を反映する^{2, 3)}。後で述べるように 1 MHz での容量は温度の上昇とともに減少するが、 V_{fb} には温度依存性は見られない。また、 V_{fb} が負電位側にあるため、ネット電荷は正で、この値は温度による変動は小さいことがわかる。一方、低周波の 10 kHz 印加時の V_{fb} は温度の上昇に伴い、正電位側に大きくシフトしている。低周波では、可動電荷がこの周波数に追従し膜内を移動できる。このため、可動電荷が膜中に多く存在すると、1 MHz での C-V カーブと 10 kHz でのカーブの V_{fb} との間に、電圧シフト (δV_{fb}) が生じる。この δV_{fb} は、膜中の可動電荷量に比例する²⁾。(c)は室温時の 1 MHz の C-V 特性と 10 kHz の C-V 特性の比較を示す。室温における δV_{fb} が 5V と、大きいことから膜中に可動電荷が多数存在することがわかる。低周波(10 kHz)印加時の V_{fb} の温度上昇に伴う電圧シフト増加は、温度の上昇による可動電荷の運動エネルギーの増加を反映しているものと推察される。(d)は I-E 特性の温度依存性を示す。測定温度の上昇に伴い、リーク電流が増加している。このリーク電流の増加は、膜中の可動電荷の存在のためと考えられる²⁾。

本研究の目的は、上記のような高温でのリーク電流増加の起因究明である。図 11-4 は脱ガス P-TEOS 膜の C-V, I-E 特性を示す。図中(a), (b)は 1 MHz と 10 kHz での C-V 特性の温度依存性を、(c)は室温における C-V 特性の周波数依存性を、(d)は I-E 特性の温度依存性を示す。未処理 P-TEOS 膜の場合と異なり、低周波印加時に V_{fb} の温度依存性は見られず、室温での δV_{fb} の値も著しく小さくなっている。このことから、脱ガス P-TEOS 膜には、ほとんど可動電荷が含まれていないことが推察される。このため、I-E 特性においてもリーク電流の温度依存性は見られない。150 °Cでも、リーク電流、 I_{leak} は $2.5 \times 10^{-10} \text{A/cm}^2$ (at 0.25 MV/cm) である。このことから、未処理 P-TEOS 膜のリーク電流には、膜中の可動電荷が大きく関与していることが強く推察される。膜中に可動電荷が存在に対する一因として、膜中の水分の影響が考えられる。

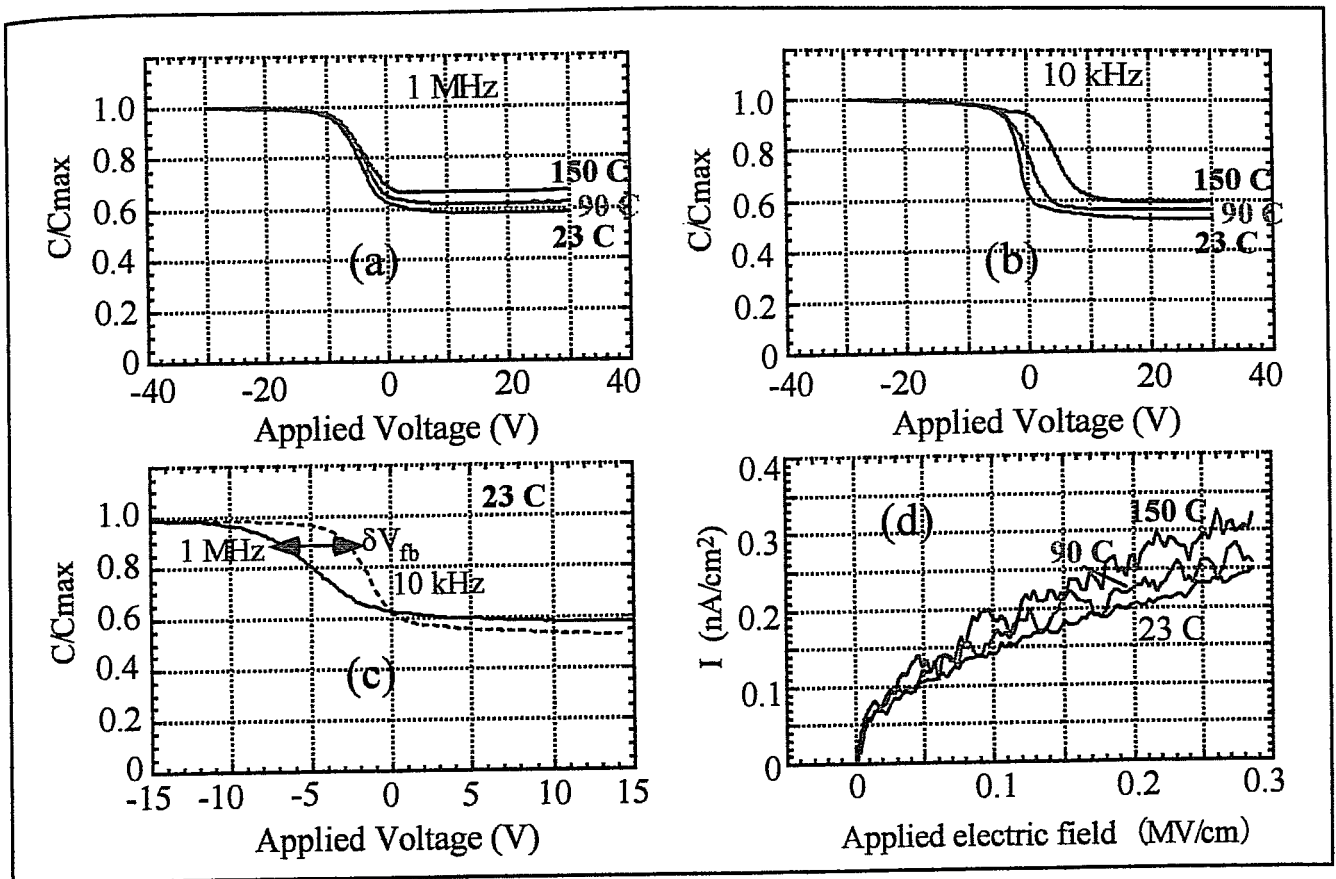


図 11-3 未処理P-TEOS膜の (a) 1 MHzでのC-V特性の温度依存性 (b) 10 kHzでのC-V特性の温度依存性 (c) 室温での dV_{fb} (d) I-E特性の温度依存性

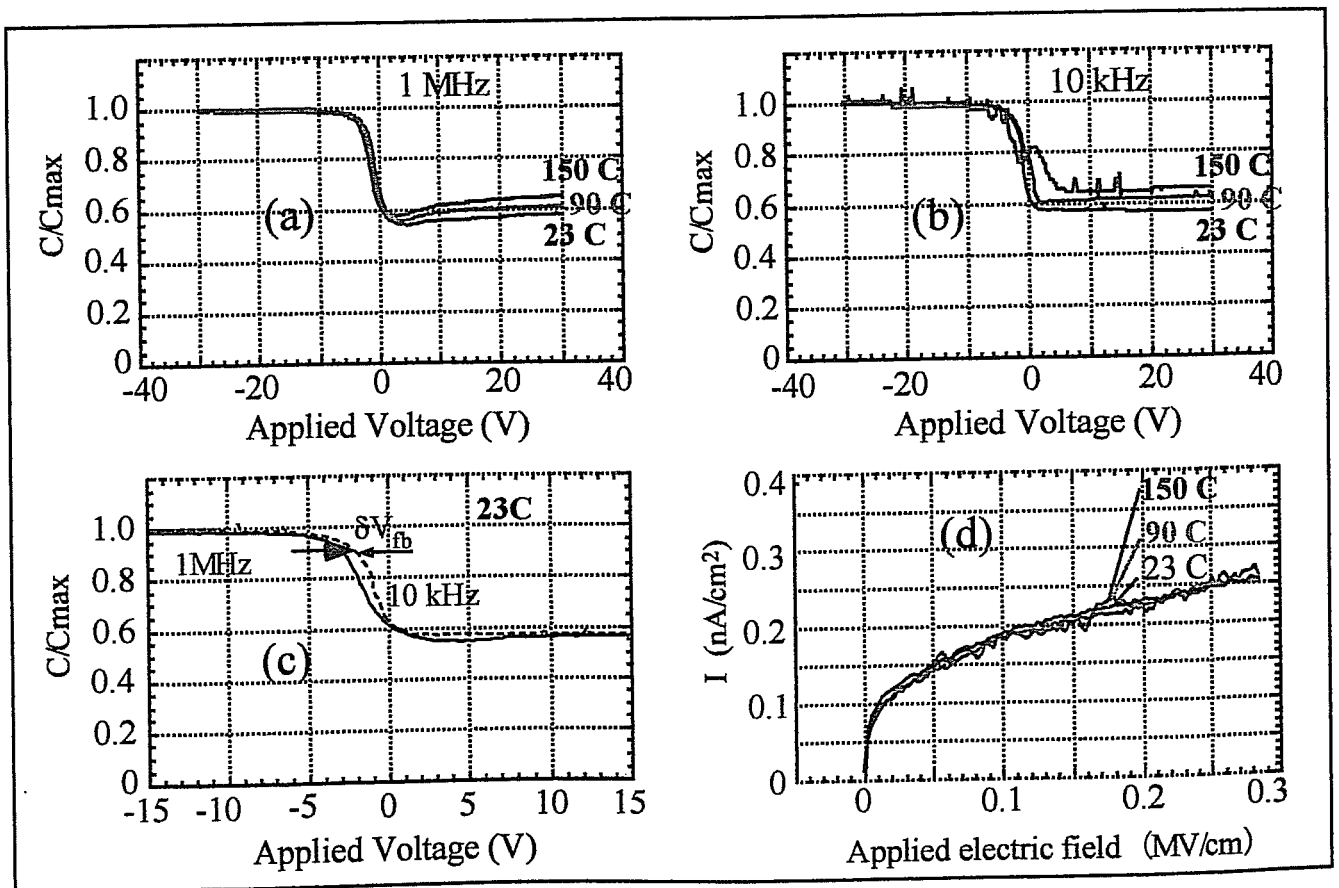


図11-4 脱ガスP-TEOS膜の (a) 1 MHzでのC-V特性の温度依存性 (b) 10 kHzでのC-V特性の温度依存性 (c) 室温での dV_{fb} (d) I-E特性の温度依存性

脱ガス P-TEOS 膜の電気的特性の改善には、真空アニールによる膜の緻密化も寄与した可能性はある。そこで、屈折率と膜厚を測定したが、脱ガス P-TEOS 膜と未処理 P-TEOS 膜には差が見られなかった。ただし、高温の真空アニールによる絶縁性の向上が、未処理 P-TEOS 膜と Si 界面に新たな SiO₂ 膜の形成や界面順位の改善が関与している事は否定出来ない。そこで、水分を超臨界 CO₂ 処理により脱水した膜を評価することにした。

図 11-5 は超臨界 CO₂ 処理によって膜中水分を半減させた、脱水 P-TEOS 膜の (a) 室温における C-V 特性の周波数依存性と (b) I-E 特性の温度依存性を示す。未処理 P-TEOS 膜での δV_{fb} に比較して、脱水 P-TEOS 膜の値は $\delta V_{fb} < 2 \text{ V}$ と、1/2 以下に小さくなった。従って、脱水により膜中の可動電荷量は半減されたことがわかる。高温でのリーク電流も未処理 P-TEOS 膜に比較すると大きく減少しており、 $I_{leak} > 2.5 \times 10^{-10} \text{ A/cm}^2$ (at 0.25 MV/cm) である。表 10-1 に、それぞれの膜における δV_{fb} とリーク電流 I_{leak} の 140°C での値から室温での値を差引いた ΔI_{leak} の値を示す。上記実験結果からわかることは、 δV_{fb} が小さい時には ΔI_{leak} の値が小さいことである。この表の結果から、未処理 P-TEOS 膜のリーク電流の増加に、何らかの可動電荷を生じさせる機構が関与していることが推察される。

11.4 P-TEOS 膜における水分の影響

リーク電流とは別の観点から、P-TEOS 膜の含有水分について考察する。図 11-6 は未処理 P-TEOS 膜と脱ガス P-TEOS 膜の比誘電率の温度依存性を示す。比誘電率は、電子分極、イオン分極と配向分極に分離でき、温度依存性を示すのは配向分極分だけである⁵⁾。その温度依存性は温度の逆数、1/T に比例する。図で見られるように、測定された比誘電率は 1/T に対する一次関数となっている。脱ガス P-TEOS 膜の比誘電率は、未処理 P-TEOS 膜よりも小さくなっている。すなわち、膜の含有水分が殆どない状況にある膜では、比誘電率が小さくなることわかる。

室温における脱ガス P-TEOS 膜と未処理 P-TEOS 膜の比誘電率の差 0.35 が未処理 P-TEOS 膜に含有される水に由来するものと仮定すると、含有される水の量を概算することが出来る。水の比誘電率は約 80⁶⁾ である。含有体積比率を x とすると、 $80x + 3.90(1-x) = 4.35$ から、 $x = 0.47\%$ となる。これを、含有分子数比率に換算すると、0.07% となる。

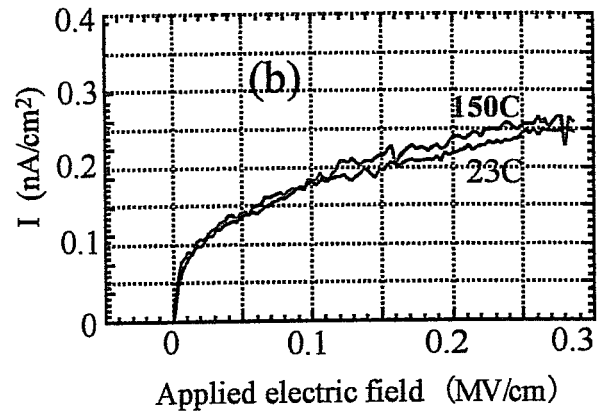
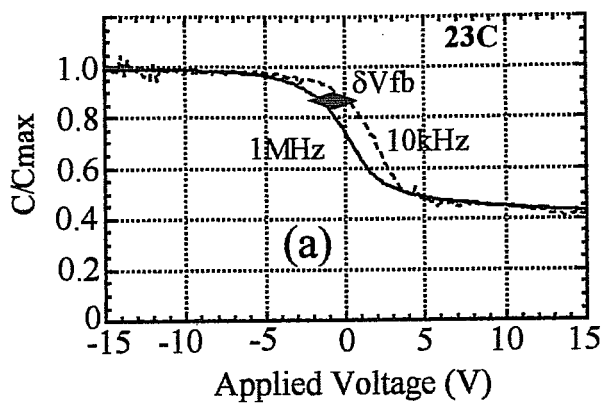


図 11-5 脱水P-TEOS膜の (a) 室温でのC-V特性と (b) I-E特性の温度依存性

表11-1 各条件での δV_{fb} と ΔI_{leak}

Item	δV_{fb}		ΔI_{leak}
	23 C	150 C	150 C - 23 C
Untreated	> 5 V	> 9 V	~ 0.1 nA/cm ²
Degassed	1 V	< 1 V	~ 0
Dehydrated	< 2V	—	< 0.02nA/cm ²

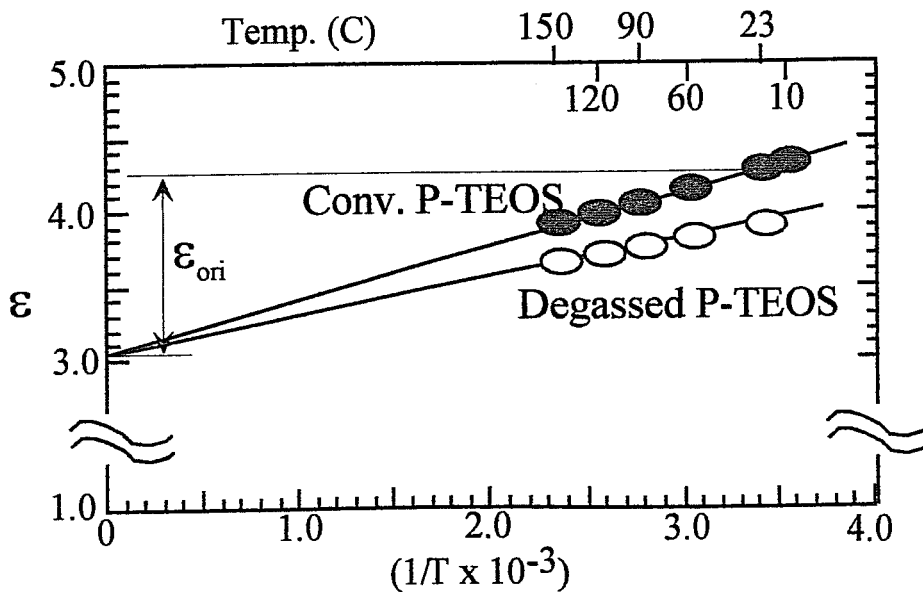


図 11-6 比誘電率の温度依存性

11.5 TDS 中の Q_{mass} 測定

未処理 P-TEOS 膜の高温での高いリーク電流と、 V_{fb} の大きなシフトに、膜に含有される水分が関与していることが示唆された。膜中に水分が存在した時に、水分そのものか、あるいはそれにより生じたイオンがリーク電流の原因となることが予想される。表 11-1 に示したように、未処理 P-TEOS 膜では、高温でリーク電流は増大する (0.1 nA/cm^2 at 0.25 MV/cm)。150 °Cでの増加電流分は、室温での値の 30%に当たる。この上昇分が膜に含まれる水分に起因するのであれば、高電界印加の BTS (Bias Temperature Stress) 処理した際に、含有水は電気分解するはずである。そこで、BTS 処理の際に、脱ガスを直接観測することにした。測定は 2.5 節に記載した真空プローバで行った。測定は、 $1 \times 10^{-4} \text{ Pa}$ 以下の真空雰囲気で行った。この真空プローバには、 Q_{mass} を設置してあるので、電気特性を評価している時の、プローバ内の雰囲気をモニターできる。尚、電極は通常の $1 \text{ mm } \phi$ から $5 \text{ mm } \phi$ に大きくしてある。

図 11-7 は、未処理 P-TEOS 膜に BTS 処理している時の、プローバ室で測定した Q_{mass} スペクトルを示す。BTS 処理中と BTS 処理なしで、 N_2 、 H_2O の信号強度には、何ら変化は見られない。一方 H_2 の信号強度には BTS 処理有無の明らかな依存性が見られる。 O_2 の信号強度にも、僅かに BTS 印加依存性が見られる。このことから、P-TEOS 膜に含有水分がある場合、電極に電圧印加すると、膜内で電気分解が起こり、その結果 H_2 と O_2 が観測されると考えられる。 O_2 の信号強度変化が小さいのは、バックグラウンドの空気のためと考えられる。

図 11-7 で、第 1 回目の BTS 処理は、15 分で平均、 $2 \times 10^{-7} \text{ A}$ の電流が流れている。BTS 処理で、流れる電流の 30% (150°Cでの上昇分) が電気分解に消費されたとすると、 $0.3 \times 2 \times 10^{-7} \times 15 \times 60 = 5.4 \times 10^{-5} \text{ C}$ が消費されたことになる。これが水の分解に使われたと仮定し、電極下の体積 (面積: $5 \text{ mm } \phi$ 、膜厚: 350 nm) と P-TEOS 膜の密度 (2.5 g/cm^3) を基に計算すると、未処理 P-TEOS 膜の含有水の、含有分子数比率は 0.05%となる。

熱酸化膜の脱水量を TDS から測定した文献があり、その量は $5 \times 10^{14} \text{ gas/cm}^2$ である⁷⁾。膜厚 (200 nm) 全体からの脱ガスが全て水分子だとすると、この熱酸化膜の含有水の分子数比率は 0.04 %となる。

上記、酸化膜の含有水の分子比率について整理する。未処理 P-TEOS 膜で、誘電率の温度変化から求めた値が、0.07 %、BTS の消費電力から求めた値が、

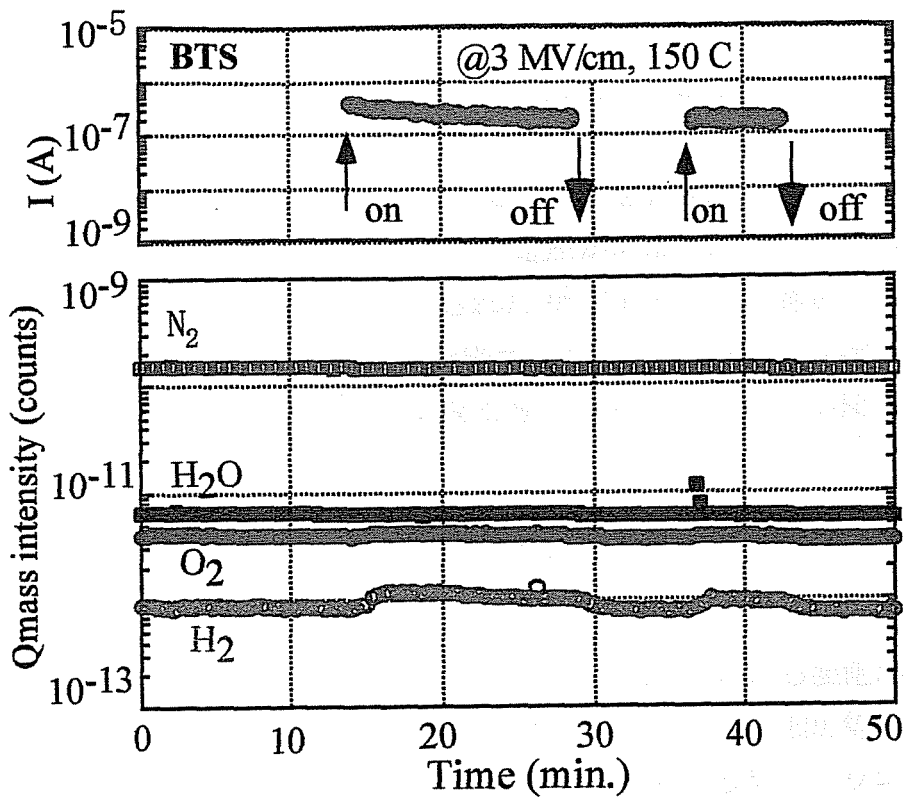


図 11-7 BTSの状況とその時の Q_{mass} スペクトル

$$I \propto N_{O^{2-}} \times \exp(-W_{O^{2-}}/kT)$$

$N_{O^{2-}}$: O^{2-} イオン生成数



$$I \propto N_{H^+} \times \exp(-W_{H^+}/kT)$$

N_{H^+} : H^+ イオン生成数

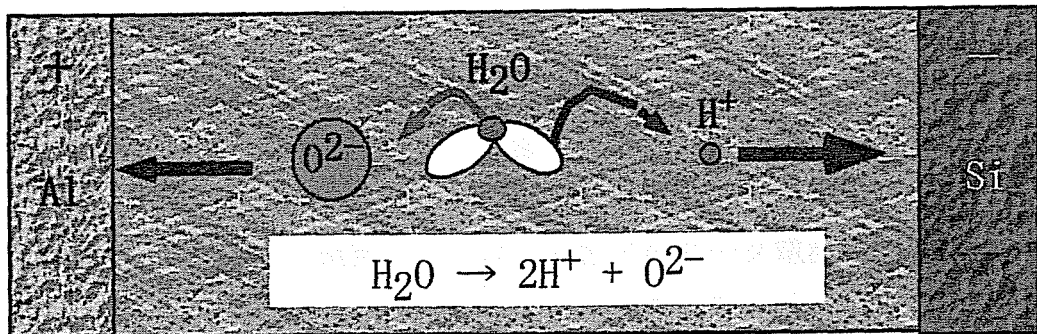


図 11-8 膜中での電気分解と可動電荷の模式図

0.05 %、成膜方法が異なるが、熱酸化膜の TDS から求まる値が、0.04 %、となった。酸化膜の含有水に対して、異なる 3 方法で同定された値が同程度であることがわかった。

これらのことは、P-TEOS 膜でのリーク電流の一因が膜中の水分の存在であることを強く示唆している。電気測定の際に電圧が印加されるが、この際に膜中の水分が電気分解し、電気分解で生成された O^2 や H^+ がリーク電流になることが考えられる。図 11-8 はこれらの状況を図示したものである。見処理 P-TEOS 膜のリーク電流が大きくなる理由は、電気分解で生成したイオンが関与したためと考えられる。

11.6 電氣的測定を利用した汚染チェック

Low-k 膜のインテグレーションを行う上では、各工程における装置からの汚染を受けないようにすることが必要になる。汚染チェックには、EDX 等による化学的分析もあるが、多くはトランジスタが形成されているテストウエハーで、トランジスタ性能の劣化を見ることが多い (4.2 節)。しかし、検査費用が高いため、安価で単純な方法が望まれている。前説で、P-TEOS 膜の C-V 特性や I-V 特性が環境に敏感であることがわかった。そこで、汚染検査に P-TEOS 膜を利用することを考える。

図 11-9 は 2 種の low-k 膜の I-V 特性を示す。一般的に、リーク電流は高温になるほど増大するが、この 2 種の low-k 膜は低温 (室温) の方が 1 桁以上あるいは 1 桁近くリーク電流が高いという特徴が見られた。この 2 種の膜の共通点は同じアニール炉で処理されたことである。新しい材料の場合、例えば電氣的特性から汚染が疑われても、膜質に依存する特性との区別がつかない。そこで、N 型 Si ウエハーに P-TEOS 膜を成膜したウエハーを用いて検査した。検査では、ウエハーを 1/4 に分割して、2 枚を懸念されるアニール装置に入れて処理し、残り 2 枚を参照試料とした。代表的な I-V 特性を図 11-10 に、C-V 特性を図 11-11 に示す。(a) はアニールを施していない試料を、(b) はアニール処理した試料を示す。アニールを施していない参照試料では、室温でのリーク電流が低く、測定温度が高くなると、リーク電流が増えるといった典型的な I-V 特性を示す。しかし、このアニール炉で処理した試料では、逆に室温でのリーク電流が、高温でのリーク電流より 1 桁近く大きくなっている。この特性は先に示した 2 種の low-k

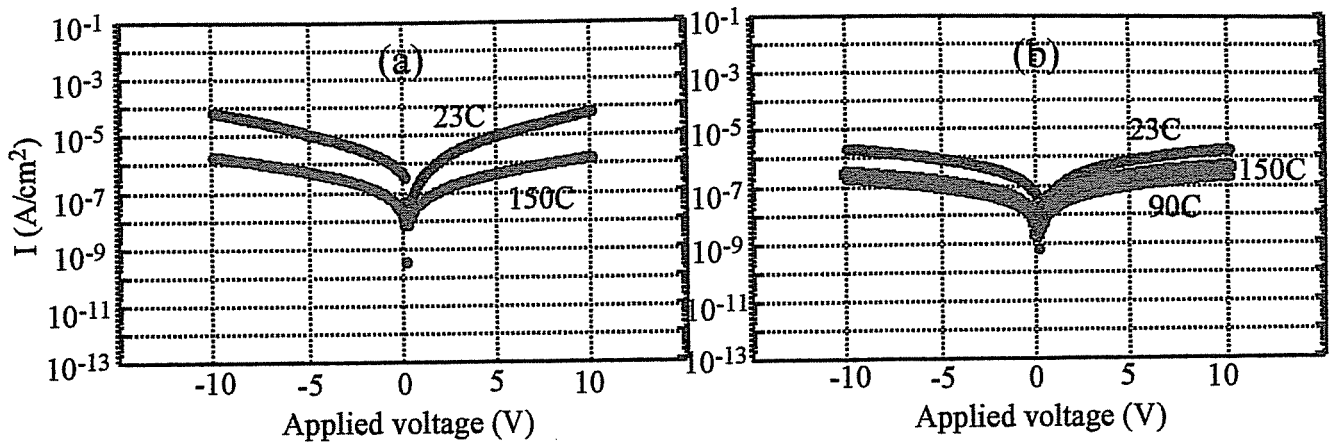


図 11-9 I-V特性 (a)材料1 (b)材料2

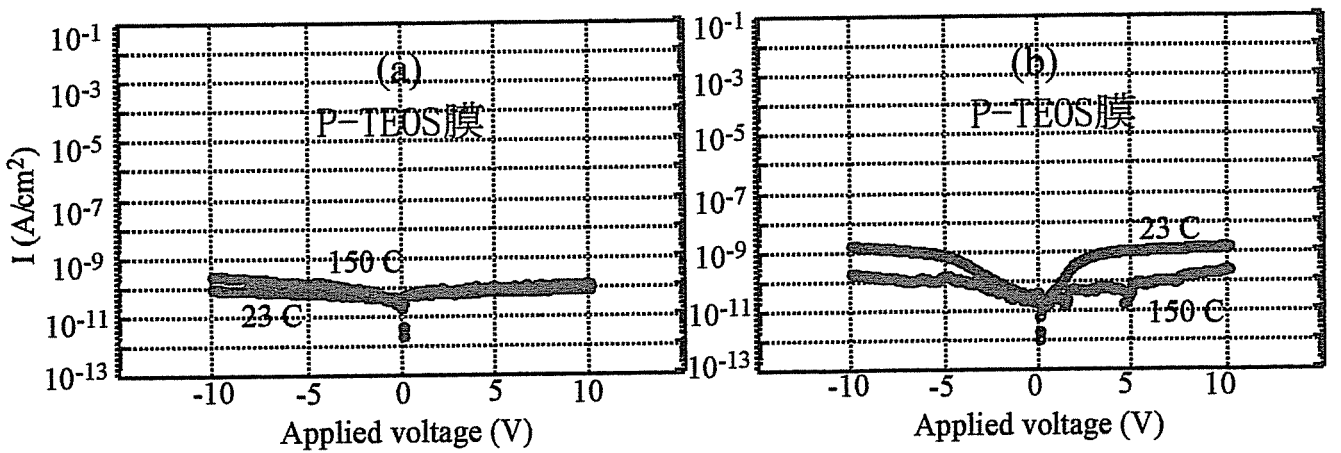


図 11-10 I-V特性 (a)アニールなし (b)アニール後

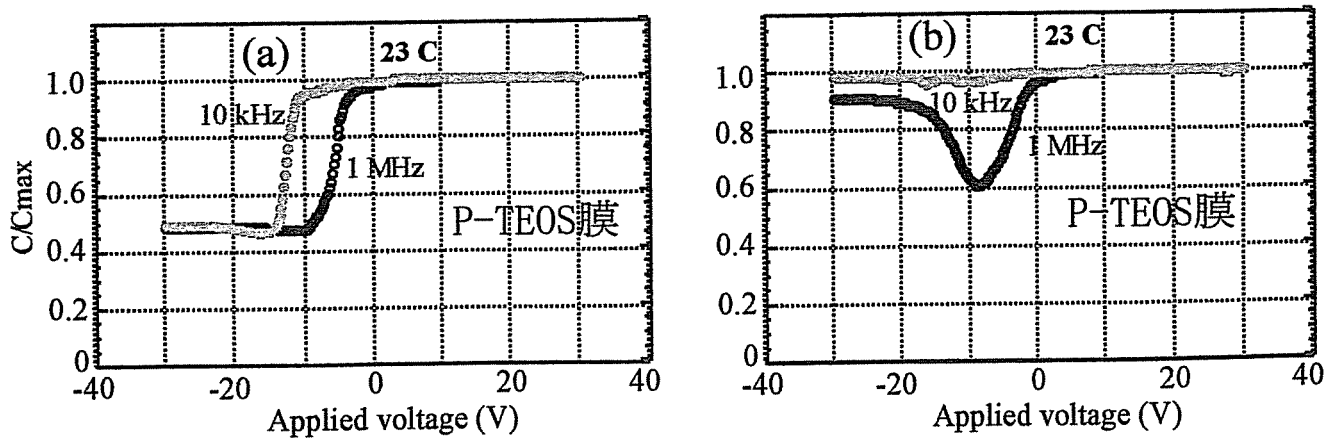


図 11-11 C-V特性 (a)アニールなし (b)アニール後

材と同じ特性を示している。このことから、先の2種の low-k 材は、このアニール炉で汚染を受けたことが予想される。C-V 特性を見ると、アニールを施していない試料では、高周波、低周波とも適切な C-V 特性が観測されているものの、アニール処理した試料では、高周波と低周波とも典型的な特性が観測されない。高周波印加 (1 MHz) では、負電圧側で容量の増加が見られる。低周波印加 (10 kHz) では容量の電圧依存性が見られない。汚染の詳細は不明だが、このアニール装置による処理では、基板が汚染されたことを確かめることができた。

11.7 まとめ

P-TEOS 膜のリーク電流機構を調べた。通常用いられている状態の膜、脱ガスさせた膜と脱水させた膜の I-E と C-V 特性を比較した。この結果、リーク電流には水分が関与することがわかった。誘電率の温度依存性の結果もこのことを示唆している。また、BTS 中のプローバの雰囲気を Q_{mass} 測定した結果、電流が流れている時に水素の発生が確認された。これらのことより、通常用いられている状態の膜では、電気的特性評価中に電気分解が起きて、これがリーク電流の原因になっていることと考えられる。

また、P-TEOS 膜を挟んだ簡便な MIS 構造の I-V と C-V 特性の評価から、プロセス汚染のチェックが出来ることを確認した。

11.8 参考文献

- 1) T. Fukuda, H. Nishino, A. Matsuura and H. Matsunaga: Jpn. J. Appl. Phys. 41 (2002) L537
- 2) T. Fukuda, H. Nishino and H. Yanazawa: Jpn. J. Appl. Phys. 43 (2004) 86
- 3) S. M. Sze: *Physics of Semiconductor Devices* JOHN WILLY & SONS, New York (1981)
- 4) T. Fukuda, H. Nishino and H. Yanazawa: Jpn. J. Appl. Phys. 43 (2004) 86
- 5) T. Fukuda, N. Aoi and H. Matsunaga: Jpn. J. Appl. Phys., 41 (2002) L307
- 6) 日本化学会: *化学便覧 基礎編 II* 丸善株式会社 (1975)
- 7) 平下、内山: BUNSEKI KAGAKU 43 (1994) 757
- 8) W. J. Moore: *Physical Chemistry* Maruzen Asian Edition, Tokyo (1962)

第12章 まとめ

LSI 多層配線の層間絶縁膜とインテグレーションに関する開発研究を行った。得られた結果と今後の課題を以下にまとめる。

(1) バイアス ECR-CVD による平坦化成膜

電子サイクロトロン(ECR)を利用したプラズマ CVD による SiO_2 膜形成を検討した。この結果、Ar を用いずとも 400 kHz の周波数印加で、低ダメージで、かつ高い平坦化成膜速度 $> 250 \text{ nm/min}$ を実現した。本技術は基板加熱なしで熱酸化膜並みの高品質膜が高速で形成でき、しかもチャンバー内壁への付着物の低減化が図れるので、LSI 以外の TFT 製造や他の分野でも有望な薄膜形成技術であると考えられる。

しかしながら、磁界でプラズマ生成位置や流れを制御するが、磁界発生コイルはチャンバーに設置するため、大面積の基板の処理に対しては、基板面上で均一な磁界面が得られないといった問題がある。大面積対応には、基板ホルダ内に磁界発生コイルの設置等の工夫が必要となる。

(2) SiOF 膜形成とデバイスへの適用

Al 配線用に比誘電率が低い SiOF 膜のプロセス検討とそのインテグレーションを行った。SiOF 膜の安定化には、成膜用のプラズマ中に遊離フッ素を発生させず、従って膜中にも遊離フッ素を含有させないことが重要であることを明らかにした。プロセスガスの検討を行ない、 SiF_2H_2 が遊離フッ素の低減に有効であることが分った。また、より安価なプロセスとして、従来の $\text{SiF}_4 + \text{O}_2$ に SiH_4 を加えたプロセスを検討した結果、 SiH_4 添加により、膜に含有される遊離フッ素が少なくなり、実際のデバイスにも適用出来ることが確認された。また、デバイス性能の劣化が層間絶縁膜の含有水分に大きく関係していることがわかった。

この SiOF 膜は現在でもロジック製品の高層配線の層間絶縁膜や、一部の DRAM では、Al 配線の層間絶縁膜として使われている。今後は車載向けの LSI にも使われることが予想される。しかしながら、本研究で示した結果は、HDP-CVD における結果である。6 インチ向けの HDP-CVD 装置は現在販売されていないこと、および装置価格が高い。このため、車載向けの LSI への適用には、RF プラズマ-CVD 装置向けにプロセスのチューニングが新たに必要

となる。

(3) Cu/low-k のインテグレーション技術

低誘電率の層間絶縁膜は高速ロジックデバイスに必須であるため、低誘電率である SOG 膜 (比誘電率、 k : 2.8) のインテグレーション適用を検討した。HSG は他の低誘電膜と比較して、(i) 化学的に極めて安定で、その耐熱性は $700\text{ }^{\circ}\text{C}$ 以上あり、水分もほとんど含有しない。また (ii) この HSG のプロセスコストは、他の低誘電膜に比較しても極めて低く、また、(iii) HSG プロセスは DRAM の配線プロセスと互換性があるなどの利点がある。

HSG を用いた配線の電気特性を、P-TEOS と SiOF を用いた Cu デュアルダマシン配線の特性と比較し、適用を検討した。エッチングとレジストアッシングでは SOG の CH_3 引き抜きによる膜質の粗質化の防止が課題であり、バリアメタルとの密着性向上のための表面改質が重要であることを明らかにした。

Low-k 材料のインテグレーションでは、下記の“バリアフリー配線を目指した Cu 拡散防止膜の開発”でも述べるが、常に従来プロセスの一部を変える立場でプロセス構築を行う必要がある。それは、エッチング等の加工の適正化であり、CMP 耐性のための密着性対策である。このため、材料に合わせた事前の“科学的”現象の把握やシュミレーション手法の開発が必要になると考えられる。

(4) $k < 1.5$ の低誘電率層間絶縁膜の材料設計

低誘電率層間絶縁膜、low-k 膜の材料の実現のためには、材料の設計段階でその膜の比誘電率 k の予想が重要である。これまで、電子分極による k の予想は出来ていたが、イオン分極まで考慮した k 値の予想は出来なかった。そこで、凝集系に対する k の理論式を導いた。誘電率の複素数表現から、電子分極、イオン分極、配向分極は独立であるとし、かつイオン分極の虚数部を赤外吸収スペクトル強度 (IR 積分強度) に結びつけ、分子設計段階で、構成分子の k 値を予想出来るようにした。この導出式の妥当性は実際の膜で検証され、さらに、新たな low-k 材料として酸素原子を含まず、対称性の高い材料が有望であることを提案した。

本研究では low-k 材料を対象としたため、対称性が点対称 (T_d 対称) 以上とし、誘電率の配向分極については深く考慮していない。高誘電率膜 (High-k) 膜に上記理論式を適用するには、より分子構造の非対称性を考慮した扱いが

必要となる。

(5) $k < 1.5$ の low-k 材の電流機構の解析

LSI の配線の層間絶縁膜にとって重要なことは、その高い絶縁性である。すなわち、絶縁膜が如何に配線間に流れる電流を阻止するかにある。Low-k 材料は新たに開発された材料が多い。絶縁膜のリーク電流に対する研究は多いが、新たに開発された low-k 材料は、その電気伝導機構から説明されるよりは、はるかに大きなリーク電流であることが多い。そこで、付加的なリークパスも考慮したリーク電流機構を考え、そのリーク電流の要因を解明した。その結果、low-k 材料のリーク電流の主因は、膜に含有される可動イオンであることがわかった。

本研究では、大まかにリーク電流の起因を探ったが、詳細で正確なリーク電流機構を探るためには、リーク電流の温度依存性や電界依存性を詳細に探る必要がある。

(6) $k < 1.5$ の low-k 材からの不純物除去技術

$k < 1.5$ でなくとも、多くの low-k 材料で、材料の開発初期段階においては、外因性の高いリーク電流が観測される。また、low-k 化を図るため、膜に空孔を入れ、膜密度の低下を行った膜では、温度の上昇に伴いリーク電流の上昇が見られる。これらの主要因は、膜中の不純物の存在と考えられる。そこで、これら不純物を除く手法を開発した。超臨界 CO_2 は高い浸透性と溶解性を持つ。P-TEOS 膜でその脱水性効果を確認し、空孔を有する膜へ適用した。この結果、水分の除去で著しい電気特性の向上が確かめられた。また、膜に含まれる電荷は、浸水処理を行ない、その脱水時に除去出来ることを、Na 汚染させた P-TEOS で確認した。この方法を有機系 low-k 膜に適用した結果、室温で高いリーク電流を示した膜においても、電荷除去で高い絶縁性を示すことがわかった。

超臨界 CO_2 処理を用いた不純物除去は、そのフィジビリティチェックが終わったばかりである。この技術を普及させるには、超臨界 CO_2 への不純物の溶解度等を研究し、どの不純物に、どこまでの濃度まで対応出来るかを明確にする必要がある。出来れば、この処理による電気特性の回復から、不純物濃度の同定まで研究を拡大することが重要である。

(7) 層間絶縁膜中の Cu 拡散機構の解明

Cu 配線では Cu の絶縁膜への拡散を防止するバリアメタルと拡散防止絶縁膜が使われている。絶縁膜自体に Cu 拡散を防止出来る機能があれば、バリアフリーの配線が実現出来る。しかしながら、Cu 拡散の原因には不明な点が多い。拡散防止機能を有する絶縁膜には、含有される酸素分子が少ないことに着目し、Cu 拡散の機構を探った。P-TEOS 膜を真空アニールして、ガスが抜け切った P-TEOS 膜の Cu 拡散挙動を調べた。その結果、Cu 拡散は P-TEOS 膜が空気に触れてから発生することが明らかとなった。酸素分子は常磁性で、原子状の Cu は磁気モーメントを持つため。Cu/P-TEOS 膜に磁場印加したサンプルのリーク電流を調べたところ、磁場印加の無い状況のサンプルより、低いリーク電流が観測された。これにより、Cu 拡散の一要因は、膜に含まれる酸素分子と原子状 Cu の磁氣的相互作用であることがわかった。

本研究では、Cu 拡散のドライビングフォースの一部がわかっただけである。まだ、すべての Cu 拡散機構を明確にした訳ではない。酸化反応や水分が関与している可能性もある。Cu 拡散機構の明確化には、電流の温度依存性、電界依存性からも研究する必要がある。

(8) バリアフリー配線を目指した Cu 拡散防止膜の開発

前節で述べたように、Cu の絶縁膜への拡散の要因の一つは、絶縁膜に含まれる酸素分子が関与している。そこで、絶縁膜の構成原子に酸素を持たない膜を形成し、その絶縁膜の Cu 拡散防止性を調べた。実際に TDDB を調べた膜は、C, N, H で構成されたポリイミダゾール (Polyimidazole) 膜である。酸素分子の含有が見られない膜では、TDDB 寿命が 10 年以上持つことが確認された。バリアフリー配線では膜の機械強度が問題となり、また、Cu に直接接することから、Cu 膜への強い密着性も必要となる。ポリイミダゾールの弾性率は CMP 耐性以上であること、また Cu への密着性は現行のプロセス (low-k/バリアメタル) と同じであることも明らかにし、この膜のプロセス適合性が高いことを示した。

しかし、この膜のインテグレーションはまだ行われていない。少なくともメタル 2 層のインテグレーションを行い、問題点の抽出を行なうことが早急に必要である。

(9) P-TEOS 膜のリーク電流の研究とこれを用いた汚染の評価

第9章で脱ガスさせた P-TEOS 膜の電気特性を調べたが、その中で、脱ガス P-TEOS 膜のリーク電流が、通常用いている膜より低いことがわかった。そこで、P-TEOS 膜のリーク電流の起源を探るために、脱ガスさせた P-TEOS 膜、脱水させた P-TEOS 膜と比較した。その結果、高い電界を印加する BTS 処理中に、電気分解されたと考えられる水素を検出した。これらのことより、標準 P-TEOS 膜のリーク電流は、膜に含有された水分の電気分解が関与していることを明らかにした。

さらに、P-TEOS 膜の電気評価は膜の状態に敏感であることから、汚染が懸念されたアニール炉の汚染検出が出来るかどうかを検討した。その結果、リーク電流の上昇と、C-V 特性カーブの様子からプロセス汚染が検出可能であることを示した。

(10) 今後の課題の解決に向けて

多層配線の層間絶縁膜は SiO_x ($k=4.2$) から SiOF 膜 ($k=3.6$) に、さらに誘電率が小さい low-k 膜へと変遷してきた。この中で $k > 3$ 迄は苦勞しながらも ITRS のロードマップに沿った開発が進められて来た。しかし、 $k < 2.6$ からは開発が遅れている。これまでは、ロードマップに沿ってデバイスメーカー各社で同時期に開発が終了していたが、各社で開発終了に差が出るようになった。これは各社で用いる膜の種類とプロセスが違うことにもよるが、信頼性が取れなくなったためである。 k の低減に伴い、膜強度の低下と経時変化(吸水)が問題となっている。

$k=2.6$ の材料適用は、1999 年当初、2001 年に達成される予定であったが、製品に搭載したのは 2001 年に米国の IBM 一社であった。しかもこれは、高コストの製品に対してのみである。米国の半導体コンソシアムである Sematech は一昨年 (2005) 12 月に衝撃的な発表を行った。それは、Sematech は $k < 2.5$ の開発をしない、と言うものである。LSI の牽引元の米国の開発拠点が層間絶縁膜の開発とインテグレーションを断念した。それ程 $k < 2.6$ の開発は難しい。 $k=2.6$ の材料適用は、昨年序々に適用が始まって来た状況である。

現在、動作周波数が 1 GHz を超え始めている。2 GHz を超えるところから、誘電損出が問題となってくる。それは、水の回転周波数が 2.45 GHz であることによる。Low-k 膜は空孔を持つ膜が使われると予想される。第8章で述べたことであるが、空孔を持つ膜は表面積が広くなることから、吸着水が多く

なる。第 11 章で記述した空孔を持たない P-TEOS 膜でも水分を含有している。水分が膜内にあると、誘電吸収が起き電力の消費が大きくなる。従って、如何に層間絶縁膜に耐吸水性をもたせるか、あるいは脱水処理技術が鍵となる。この場合、第 8 章で述べた、超臨界 CO₂ 処理技術が極めて有望と考えられる。

LSI 製造は、成熟産業に移行しつつある。このため如何に製造コストを下げ、また省エネといった環境にやさしいプロセスを構築することが重要になってくる。これには、第 10 章で述べたバリアフリー膜の適用が鍵となるはずである。

以上は、技術的な問題から今後の課題を述べたが、デバイスメーカーに所属していたプロセス部隊の一技術者として、層間絶縁膜の課題解決のための提案をしたい。これ迄の LSI の開発は、設計→デバイス→プロセス→材料(装置)の指揮系統で行なわれて来た。この方式で ITRS のロードマップの目標を早期に達成し、利益を得てきた。層間絶縁膜について言えば、既存材料の延長材料の適用(マイナーチェンジ)であったため、プロセス部隊とすれば物性がほぼわかっている材料の選択を行ない、インテグレーションの課題解決に専念すれば解決した(第 4、5 章)。これは、プロセス側が材料メーカーに要求を出すと、期間は要したが、要求仕様の材料が供給された時の話である。65nm ノード以降では、デバイス→プロセスに要求される仕様を材料メーカーに要求しても、材料自体が出来ない状況になってきた。これは、材料メーカーがプロセス側の要求仕様を高い見地から見て開発を行なっていなかったこともある。言葉を変えると、材料側がプロセス→デバイス(→設計)への提案が出来なかった環境であったためと考えている。Low-k 材料の LSI への早期適用のためには、層間絶縁膜材料側が指導権を発揮する必要がある。早期対応が日本で達成出来れば、日本経済への波及効果は大きい。

LSI 材料そのものの開発では、日本は強い。例えば LSI のパターンニングに用いるレジスト材料供給の世界シェアの上位 5 社の内、4 社が日本の企業である。これは、材料への機能性の付加や精製を考慮した分子設計と合成設計が出来たためだと考えている。レジストを例に挙げたのは、感光性や耐エッチング性等の“機能性”を有した材料のためである。今後の層間絶縁膜材料には、機械強度向上、耐吸水性、Cu 拡散防止等の“機能性”を持たせることが必要になってくる。この材料の LSI 適用には、材料→プロセス→デバイス(→設計)への提案が必須だと考えている。このためには、材料開発技術者がデバイス技術者になるか、デバイス技術者が材料メーカーで強く推進すること

が必要だと思われる。“機能性”層間絶縁膜材料の開発が必要な今、日本がLSIでリーダーシップを回復できる機会であると強く感じている。

謝辞

この論文は色々な方に支えられて完成したものです。最初に感謝を述べますのは、適切なるご助言とご指導をいただきました、本論文の主査をしていたいただいた名古屋大学大学院工学研究科結晶材料工学専攻教授、財満鎮明先生です。本当に辛抱強くご指導をいただきました。ありがとうございました。先端技術共同研究センターの小川正毅教授、結晶材料工学専攻の酒井朗助教授、坂本渉助教授、エコトピア科学研究所の高井治教授には、本論文に関して懇切なご助言をいただき、深く感謝いたします。東京農工大学工学部電気電子工学科の上野智雄助教授には、共同研究を通じて技術的な支援と議論をいただきまして感謝いたします。

本論文は筆者が1985年に日立製作所に入社以来、携わって来た開発と、同社から1999年に研究組合 超先端電子技術開発機構 (ASET) に出向してから携わった開発結果を主にまとめたものです。

ここで、当時の肩書きで、大変失礼いたしますが、お礼を述べたく思います。日立研究所の門馬直弘部長には、筆では現せない、親身なるご指導と研究の助けをいただきました。大上三千男主任研究員、望月康弘主任研究員、日立工場の園部正主任技師には大変有用な指導と議論をいただき感謝しています。研究を一緒にした斉藤克明研究員、夜を徹する実験も一緒にしていただいた、日立工場の鈴木和夫主任技師、佐藤淳二主任技師には大変感謝しております。SiOF膜とSOG膜のインテグレーションにおいては、日立半導体開発センタープロセス開発部の川本佳史部長、小林伸好主任研究員から、励ましと大変有用な助言とご指導をいただきました。深く感謝いたします。中村吉孝研究員の助言と協力には感謝しています。日立デバイス開発センターの青木英雄研究員、丸山裕之研究員、大島隆文研究員のご協力とご助言がなければインテグレーションの達成は出来ませんでした。深く感謝いたします。ASETでは、伊藤仁部長、松永典弘室長、柳沢寛室長から、研究の励ましをいただきました。また、深い議論をさせていただき、ありがとうございます。獅子口清一主任研究員、青井信夫主任研究員、西野弘剛研究員からは、日々の議論を通し、沢山の示唆をいただきました。また、研究のご協力に感謝しております。バリアーフリーの絶縁膜の開発研究では、ダイセル化学工業株式会社から全面的な協力をいただき、材料を供給していただきました。感謝いたします。また、同社の船木克典主席研究員、中野達二主席研究員とは有

意義な議論もさせていただきました。大変感謝いたします。

最後に、本研究を見守ってくれた娘の恵未と麻恵、ありがとう。誰よりも妻、恵子には最大の感謝を述べたい。ありがとう！

2007年 3月

福田琢也

研究業績

査読論文

- 1) T. Fukuda, K. Suzuki, S. Takahashi, Y. Mochizuki, M. Ohue, N. Momma and T. Sonobe: Jpn. J. Appl. Phys. 27 (1988) P. L1962-L1965
- 2) T. Fukuda, M. Ohue, N. Momma 2, k. Suzuki and T. Sonobe: Jpn. J. Appl. Phys. 28 (1989) 1035-1040
- 3) K. Saito, N. Chiba, T. Fukuda, K. Suzuki and M. Ohue: Jpn. J. Appl. Phys. 27 (1992) 1102-1106
- 5) Y. Abe and T. Fukuda: Jpn. J. Appl. Phys. 32 (1993) L1167-L1168
- 6) T. Fukuda, K. Saito, M. Ohue, K. Shima and N. Momma: Jpn. J. Appl. Phys. 34 (1995) L937-L940
- 7) T. Fukuda, N. Aoi and H. Matsunaga: Jpn. J. Appl. Phys., 41 (2002) L307-L310
- 8) T. Fukuda, H. Nishino, A. Matsuura and H. Matsunaga: Jpn. J. Appl. Phys. 41 (2002) L537-L539
- 9) T. Fukuda, H. Nishino and H. Yanazawa: Jpn. J. Appl. Phys. 43 (2004) 86-90
- 10) T. Fukuda, H. Nishino and H. Yanazawa: Jpn. J. Appl. Phys. 43 (2004) 936-939
- 11) T. Fukuda, N. Aoi and Y. Funaki: Jpn. J. Appl. Phys. 46 3A in press
- 12) T. Fukuda: Jpn. J. Appl. Phys. 46 4A in press

国際学会発表

- 1) T. Fukuda, M. Ohue, T. Kikuchi, K. Suzuki, T. Sonobe and N. Momma: IEDM Technical Digest (1989) 665-669
- 2) T. Fukuda, K. Saito, M. Ohue, K. Shima and N Momma: IEDM Technical Digest (1992) 285-288
- 3) T. Fukuda, T. Hosokawa, Y. Nakamura, K. Katoh and N. Kobayashi: Symposium on VLSI Technology Technical papers (1996) 114-115
- 4) T. Fukuda, T. Hosokawa, Y. Nakamura, K. Katoh and N. Kobayasi: Proceeding of 1998 IITC (1998) 42-44
- 5) T. Fukuda, T. Ohsima, H. Aoki, H. Maruyama, H. Miyazaki, N. Konishi, S. Fukada, T. Yunogami, S. Hotta, S. Maekawa, K. Hinode, K. Nojiri, T. Tokunaga and N. Kobayashi: IEDM Technical Digest (1999) 619-622

6) T. Fukuda, H. Nishino and H. Yanazawa: Proceeding of 2003 ITC (2003) 217-220