

KAKEN
15206004

IV 族半導体極微細プロセスに向けた
固相反応のダイナミクス制御とCエンジニアリング

課題番号 15206004

平成15年度～平成17年度 科学研究費補助金

(基盤研究 (A)) 研究成果報告書

名古屋大学図書



20123114

平成18年3月

研究代表者 財満 鎮明

名古屋大学 大学院工学研究科 教授

目次

第1章 はしがき	1
1.1 研究の背景	1
1.2 研究の目的	6
参考文献	7
研究組織	9
交付決定額（配分額）	9
研究発表	9
第2章 実験方法	13
2.1 Ni/Si コンタクト形成用実験装置	13
2.1.1 金属蒸着装置	13
2.1.2 急速熱処理装置	15
2.1.3 減圧 CVD 装置	16
2.1.4 イオン注入装置	16
2.2 Ni/Si コンタクト試料作製方法	19
2.2.1 固相反応評価用試料作製方法	19
2.2.2 コンタクト抵抗評価用試料作製方法	21
2.2.3 ショットキーダイオード作製方法	21
2.3 Ni/Si コンタクトの測定・評価方法	26
2.3.1 X線回折法	26
2.3.2 顕微鏡法	26
2.3.3 二次イオン質量分析法	28
2.3.4 電気的特性評価方法	29
2.4 MBE/STM 超高真空装置	32
2.5 基板表面清浄化法	35
2.6 薄膜成長法	38
参考文献	40
第3章 C イオン注入による NiSi/Si(100)コンタクト特性の改善 ..	41
3.1 Ni/Si(C)界面固相反応	41
3.2 コンタクト抵抗測定	48
3.3 ショットキーダイオードの電気伝導特性	54
参考文献	66

第4章 Si(100)基板上的エピタキシャル NiSi ₂ 初期成長の観察 およびC導入によるその制御	67
4.1 試料作製方法	67
4.1.1 試料の清浄化	67
4.1.2 ニッケル(Ni)の蒸着	69
4.1.3 カーボン(C)の蒸着	69
4.2 Si(100)清浄表面上での NiSi ₂ 固相成長	70
4.2.1 Si(100)清浄表面	70
4.2.2 清浄表面上の NiSi ₂ 核形成	72
4.2.3 清浄表面上の NiSi ₂ 成長過程	76
4.3 C 吸着表面上での NiSi ₂ 固相成長	82
4.3.1 Si(100)清浄表面上の炭化反応	82
4.3.2 C 吸着表面上の NiSi ₂ 成長過程	86
4.3.3 NiSi ₂ 島の構造について	89
4.3.4 成長メカニズムの考察	98
4.4 C 吸着状態の異なる表面上での NiSi ₂ 固相成長	100
4.4.1 C 蒸着量依存性	100
4.4.2 C 吸着表面状態依存性	104
4.5 C 効果のまとめ	115
参考文献	115

第5章 走査トンネル顕微鏡による Si _{1-x-y} Ge _x C _y 極薄膜初期成長の 観察およびその成長制御	117
5.1 実験条件	117
5.2 同時蒸着による Ge _{0.952} C _{0.048} 薄膜の初期成長過程	118
5.3 Si(100)基板上 Ge _{0.952} C _{0.048} 同時蒸着法、および Ge _{0.952} C _{0.048} 別蒸着法に おける表面構造の比較	123
5.4 低速成長における Ge _{0.952} C _{0.048} 薄膜の初期成長	126
5.5 Si(100)基板上 Si _{0.176} Ge _{0.776} C _{0.048} 薄膜における蒸着法の違いによる表面 構造変化	134
参考文献	142

第6章 むすび	145
6.1 研究成果のまとめ	145
6.2 今後の展望	148

第1章 はしがき

1.1 研究の背景

近年の高度情報化社会を支えている Si 系超大規模集積回路 (ULSI: Ultra-Large Scale Integrated circuits) は、その基本素子である金属-酸化物-半導体電界効果トランジスタ (MOSFET: Metal-Oxide-Semiconductor Field Effect Transistor) を作製するための薄膜形成技術および微細加工技術の発展によって、その高性能化・高集積化が達成されてきた。現在では、MOSFET 素子の寸法はナノメートルのスケールに到達しつつあり、これに伴って、個々の原子層単位の反応制御や不純物原子の個数単位の厳密な制御等、原子尺度の物性・構造制御技術が要求されている。

しかし、現在の半導体材料をそのまま使用し、微細化していくことには、物理的な限界が生じてきている[1]。トランジスタの各部の寸法を均等に $1/k$ 倍に縮小すると、スケールリング則に従い、トランジスタの容量およびしきい値電圧などの電気的特性は $1/k$ 倍に縮小される[2]。しかし、一方で、上部配線の金属とトランジスタの半導体部分との接触領域におけるコンタクト領域については、コンタクト抵抗や配線抵抗は k^2 および k 倍になることが問題点として挙げられる。つまり、微細化が進むにつれて、半導体と金属のコンタクト部分での抵抗が増大し、無視できなくなる。また、コンタクト部に用いられるシリサイドは、金属とソース・ドレイン領域の基板 Si との固相反応によって形成するため、拡散層深さはより浅くなる傾向にある。したがって、素子の微細化に伴い、コンタクト抵抗の問題だけではなく、浅接合化された pn 接合上での Si の消費量およびシリサイド/Si 接合界面の制御が非常に重要となってくる。

その結果、金属電極/Si コンタクトに注目すると、シリサイド形成固相反応に伴う、不純物、金属原子および空孔欠陥の拡散現象の厳密な制御、シリサイド/Si 界面の原子尺度の反応制御、および超平坦界面形成等が要求される。更に、コンタクト面積の縮小に伴うコンタクト抵抗の増大を克服する為に、 $10^{-8} \sim 10^{-9} \Omega \text{cm}^2$ 台の超低抵抗コンタクト

の形成が不可欠となっている。以上の観点から、本研究で着目する課題を以下に挙げる。

a) C 添加による NiSi/Si(100)コンタクト特性の改善

現在、最も有望視されるコンタクトにおける候補材料は NiSi である。NiSi が従来の CoSi₂ や TiSi₂ に代わって期待されている理由を以下にあげる。

- i) 比抵抗およびコンタクト抵抗率が低い[3]
- ii) シリサイド形成時において Si 消費量が少ない[4]
- iii) 低温形成が可能[5]

これらの点から、さらなる MOSFET の微細化に対しても期待の持てる材料といえる。しかし一方で、NiSi の ULSI プロセスへの導入には、その熱的な安定性が最大の問題となる。その問題点を以下にあげる。

i) NiSi は準安定な多結晶であるため、600℃以上の高温熱処理において結晶粒が凝集し、膜の劣化が生じる[6]。

ii) 750℃以上の熱処理において、安定相である NiSi₂ へと相転移が起きる[7]。

このような問題点を解決し、熱的安定性の改善を図ることが NiSi をコンタクト材料として用いる場合に必要とされる。NiSi の熱的安定性の向上については、新たに第三元素を添加することで解決しようという試みがいくつか報告されている[8-10]。特に Pd や Pt といった Ni と同族の第三元素を Si(111)基板に導入することで、熱処理温度に伴う相転移やシート抵抗の増大を抑制し、熱的安定性の改善に成功したという報告はいくつかなされている[11-13]。

一方、更なるコンタクト抵抗率の低減には、半導体中の不純物濃度の増大および金属/半導体界面でのショットキー障壁高さの低減が本質的な解決策である。現在の ULSI には n 型チャネルおよび p 型チャネルの MOSFET を混載した、CMOS(Complementary Metal-Oxide-Semiconductor)のトランジスタが用いられており、n 型および p 型両方のコンタクト抵抗を同時に低減させるためには、Si よりもバンドギャップの狭い半導体を用いてショットキー障壁の低減を図る必要がある。このような観点から Si と同族でバン

ドギャップの小さい C を用いた、Si(C)および SiGe(C)混晶膜を導入することでバンドギャップの制御が期待される[14]。C の導入により、以下に示す利点が報告されている。

- i) 不純物の拡散が抑制できる[15]。
- ii) 格子定数が小さいので格子不整合歪を補償できる[16]。
- iii) Ni/Si(C)系において熱的安定性が向上する[17]。
- iv) C による新たなバンドギャップ制御ができる[18]。

したがって、Si および SiGe に C を添加することで、コンタクト領域においては、コンタクト抵抗率の低減および熱的安定性の向上が期待できる。しかし、一方で金属、半導体、不純物原子を含めた多元系となるため、それらの固相反応は更に複雑になることが予想され、表面・界面反応現象の解明とその制御技術の確立が必要とされる。

b) Si(001)基板上におけるエピタキシャル NiSi₂ 初期成長の観察およびその制御

本研究では、超平坦コンタクトを実現する手段の一つとして、エピタキシャルシリサイドにも注目した。Si 基板上にシリサイドをエピタキシャル成長させることにより、均一な膜質と原子レベルで平坦な界面を有するシリサイド膜の形成が可能となる。

Si 基板上にエピタキシャル成長するシリサイドには、NiSi₂ や CoSi₂ などがある[19, 20]。CoSi₂ は Si との格子不整合が-1.2%と小さい。また、NiSi₂ は Si との格子不整合が-0.46%とさらに小さく、CoSi₂ と比較しても Si(100)基板上にエピタキシャル成長しやすい材料として知られている。NiSi₂ は Si(100)基板上以外に、Si(111)基板上でもエピタキシャル成長し、Si(111)基板上におけるエピタキシャル NiSi₂ 膜形成に関する研究は多数なされている[21, 22]。

しかし、従来 ULSI に用いられる Si(100)表面上に NiSi₂ をエピタキシャル成長させた場合、コンタクト材料としてはさまざまな問題点が生じる。具体的には、シリサイド/Si 界面において{111}ファセットを多数形成することにより、界面ラフネスが大きくなること[23]、また NiSi₂ よりも低温(≥350°C)で形成される多結晶 NiSi が NiSi₂ に相転移する前に凝集して不均一な結晶粒を形成してしまい、その後、形成される NiSi₂ 膜の均一性

が悪化することが挙げられる[6]。従って、Si(100)基板上にコンタクト材料として適用可能な高品質のエピタキシャル NiSi₂ を形成するためには上述のような課題を克服しなくてはならない。現在では、さまざまな不純物(As, BF₂, P)をドーピングした Si(100)基板上的エピタキシャル NiSi₂ の形成や、H 終端した Si(100)表面上の NiSi₂ の研究が行われている[24-26]。また不純物 As や微量の C が NiSi₂/Si 界面において{111}ファセット形成を抑制するという報告があるが[27]、詳細なメカニズムについて十分には理解されていないのが現状である。

NiSi₂ 膜に対する C の効果として、Si 基板中に原子半径の小さい C を導入することにより、C を含んだ Si 基板と NiSi₂ の格子不整合がさらに小さくなり、従来の Si 基板上よりも高品質なエピタキシャル NiSi₂ 膜が形成されることが期待される。また、Si 基板中へ sub-monolayer の C を導入することによって、50 nm 程度の NiSi₂ 膜において{111}ファセットの形成が抑制されることがわかっている[27]。しかし、{111}ファセット抑制の機構の詳細は不明であり、エピタキシャル NiSi₂ 形成技術の確立には C の与える効果の更に詳しい解明が必要である。このメカニズム解明には初期の段階における成長過程を理解することが極めて重要である。

c) Si_{1-x-y}Ge_xC_y 極薄膜初期成長の原子尺度観察およびその成長制御

スケーリングに依存しない MOSFET 高性能化の技術として、従来用いられてきた Si 単元素のみではなく他の材料を加えることによって性能向上を図ろうとする試みが近年盛んに研究されている。特に Ge はその物性から非常に魅力的な材料である。代表的な Ge の特徴としてものとして以下のようなことが挙げられる。

i) Ge は Si よりも高移動度である。バルクの Ge の電子移動度および正孔移動度はそれぞれ室温で 3900 cm²/V·s および 1900cm²/V·s であり、Si の電子移動度、正孔移動度 1450 cm²/V·s および 450cm²/V·s に比べてそれぞれ 2 倍および 4 倍である。このことから高駆動力なデバイスが期待される。

ii) Si および Ge は、ともにIV族半導体でありダイヤモンド構造を持つ。そのため Si

で使われてきたプロセスを継続して利用しやすい。

このような特徴から、Si 基板上に形成される Ge 薄膜、および Si と Ge の混晶の $\text{Si}_{1-x}\text{Ge}_x$ 薄膜は Si の物理的限界を超えるひとつの手段として期待されている。しかし、Si(100) 基板上的 $\text{Si}_{1-x}\text{Ge}_x$ および Ge のエピタキシャル成長では Si と Ge の格子定数(Si: 5.43 Å、Ge: 5.65 Å)には約 4.2%の差が存在するため、格子定数差によって膜内に歪みが生じる。このため、薄膜表面の島状化およびミスフィット転位が発生し、平坦性や結晶性が悪化する問題がある[28, 29]。

この問題に対して、1990 年代当初から、 $\text{Si}_{1-x}\text{Ge}_x$ に格子定数の小さい IV 族元素の C (格子定数: 3.57 Å) を添加することで、 $\text{Si}_{1-x}\text{Ge}_x$ の持つ結晶性の悪化を防ごうとする試みがなされてきた。加えて、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 混晶薄膜は、 $\text{Si}_{1-x}\text{Ge}_x$ の伝導帯にオフセットを形成することができ[30]、エネルギーバンド構造の制御が期待される。また、高濃度 C を混入すればそれだけ歪みを補償することができるため高 Ge 濃度の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜の成長や量子井戸構造の形成など新しい可能性の広がりが期待できる。

一方、 $\text{Si}_{1-x}\text{Ge}_x$ 中の C 濃度が 3% を超えると C は $\text{Si}_{1-x}\text{Ge}_x$ の格子位置には置換せず、結晶性が悪化する問題点がある[31-33]。これは Si および Ge に対する C の固溶度が、それぞれ 10^{17}atoms/cm^3 および 10^8atoms/cm^3 オーダーと低いためと考えられており[34]、Si 基板上に高 C 濃度の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜を成長させると Si-C 領域と Si-Ge 領域の相分離する等の現象が生ずる。

これに対して、Sakai らは、初期成長において Si 基板と $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜の間へ $\text{Si}_{1-x}\text{Ge}_x$ 中間層の導入することによって、結晶性のよい高品質な高 C 濃度(5%)の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜の形成に成功した[35]。この中間層を導入するメリットは、C 原子の挙動を制御することにある。Si 基板上的 $\text{Si}_{1-x}\text{Ge}_x$ 膜表面に新たに蒸着された $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜中の C 原子は、Ge との反応性が低いことから、膜中で分散し下地の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜の Ge 原子と結合しにくく、Si と結合しやすい。それによって、C 原子の表面マイグレーションが抑制され、凝集することなく膜中に取り込まれる[35]。しかし、Si、Ge、および C において、それぞれの相互作用の詳しいメカニズムはまだ解明されていない。この問題を克服するため

には高 C 濃度の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜の成長における Ge と C の原子スケールでの相互作用の理解が重要である。

以上の課題に対して、研究代表者らは C を中心とする第三元素添加による、物性制御および固相反応ダイナミクス制御を提案した。10nm 世代の極微細 ULSI 素子の実現には、上述の様な固相反応素過程の制御に着目した、物性および反応ダイナミクス制御の概念導入が必要不可欠である。

Si および SiGe に対する C 添加の効果として、先述したような伝導帯端のエネルギーバンド構造制御、SiGe 膜の歪みの補償および不純物原子の拡散抑制等の効果が期待される。これらに加えて、我々は Si プロセスへの C の導入には、金属/Si 界面の固相反応素過程における、界面エネルギーおよび歪みの制御、不純物、金属原子および空孔欠陥の拡散プロファイル制御、Si 反応層深さの制御、シリサイド相の相転移温度制御などが実現可能と考えた。

1.2 研究の目的

本研究では、MOSFET を中心とした次世代 IV 族半導体素子の、超高性能化、超高集積化を実現する為に必要な、微細構造形成技術の開発を目指した。その為、従来の金属/Si 系あるいは Si-Ge 系に C を第三元素として導入することによる新しい原子論的反應ダイナミクス制御技術の開発を目的とした。

第一に、適切に C 導入された Si 系コンタクト形成技術の確立を目標とした。金属シリサイド形成素過程における、固相反応ダイナミクス、不純物・金属原子および空孔欠陥の再拡散、シリサイド結晶相の相転移等に与える C の効果を検証した。具体的には、次世代コンタクトとして期待される、NiSi/Si および超平坦界面形成の期待されるエピタキシャル NiSi₂ の形成に対する C 導入技術を検討した。結晶学的特性評価、電気的特性評価、および走査トンネル顕微鏡を用いた原子尺度の初期成長観察を行い、これらの研

究を通して、第三元素としての C 添加によるシリサイド/Si コンタクトの界面エネルギー、歪みエネルギー制御の原理解明を目標とした。C 添加の特長を活用し、均一かつ原子層尺度で反応層厚さや不純物分布等が制御された高性能なシリサイド/Si 極微細コンタクト形成技術の確立を目指した。

第二に、C エンジニアリングに必須となる、Si および SiGe に対する高濃度 C 導入および制御技術の確立を目指した。C は熱平衡状態においては、Si に対する固溶限界から格子置換位置への高濃度添加が困難な元素である。この課題に対し本研究では、薄膜の成長手法を様々な制御し、膜表面における原子レベルの構造変化を主に走査型トンネル顕微鏡により観察した。

参考文献

- [1] 次世代 ULSI プロセス技術, リアライズ社.
- [2] R. H. Dannard et al. in Semiconductor Silicon Electrochemical Society, H. R. Huff and R. R. Burgess, Editors, (1973).
- [3] Y. Tsuchiya, A. Tobioka, O. Nakatsuka, H. Ikeda, A. Sakai, S. Zaima and Y. Yasuda, *Jpn. J. Appl. Phys.* **41**, 2450 (2002).
- [4] S. P. Murarka, *Silicide for VLSI Applications*, p30.
- [5] J. P. Gambino and E. G. Colgan, *Mater. Chem. Phys.* **52**, 99 (1998).
- [6] R. Mukai, S. Ogawa and H. Yagi, *Thin Solid Films* **270**, 567 (1995).
- [7] F. Deng, R. A. Johnson, P. M. Asdeck, S. S. Lau, W. B. Dobbelday, T. Hisao and J. Woo, *J. Appl. Phys.* **81**, 8047 (1997).
- [8] E. M. Schaller, B. I. Boyanov, S. English and R. J. Nemanich, *J. Appl. Phys.* **85**, 3614 (1999).
- [9] Y. C. Heo, S. T. Chung, C. K. Park, J. H. Lee, Y. H. Koh, B. G. Park and J. D. Lee, *Jpn. J. Appl. Phys.* **38**, 5783 (1999).
- [10] C. J. Tsai, P. L. Chung and K. H. Yu, *Thin Solid Films* **365**, 72 (2000).
- [11] R. N. Wang and J. Y. Feng, *Phys. Condens. Matter.* **15** 1935 (2003).
- [12] D. Manginck, J. Y. Dai, J. S. Pan, and S. K. Lahiri, *Appl. Phys. Lett.* **75**, 1736 (1999).
- [13] J. F. Liu, H. B. Chen, J. Y. Feng and J. Zhu, *Appl. Phys. Lett.* **77**, 2177 (2000).
- [14] B. A. Orner, J. Olowolafe, K. Roe, J. Kolodzey, T. Laursen, J. W. Mayer and J. Spear, *Appl. Phys. Lett.* **69**, 2557 (1996).
- [15] L. D. Lanzerotti and J. C. Sturm, *Appl. Phys. Lett.* **70**, 3125 (1997).
- [16] K. Eberl, S. S. Iyer, S. Zollner, J. C. Tsang and F. K. LeGoues, *Appl. Phys. Lett.* **60**, 3033 (1992).

- [17] S. Zaima, Y. Tsuchiya, K. Okubo, O. Nakatsuka, A. Sakai, J. Murota, and Y. Yasuda, ICSI3, 9-12 Mar. 2003, Santa Fe, USA (2003).
- [18] G. Schmidt and K. Eberl, *Phys. Rev. Lett.* **80**, 3396 (1992).
- [19] R. T. Tung and J. M. Gibson, *J. Vac. Sci. & Technol.* **A3**, 987 (1985).
- [20] H. von Känel, R. Stalder, H. Sirringhaus, N. Onda, and J. Henz, *Appl. Surf. Sci.* **53**, 196 (1991).
- [21] R. T. Tung, J. M. Gibson, and J. M. Poate, *Phys. Rev. Lett.* **50**, 429 (1982).
- [22] K. C. R. Chiu, J. M. Poate, J. E. Rowe, and T. T. Sheng, *Appl. Phys. Lett.* **38**, 988 (1981).
- [23] H. Foll, P. S. Ho, and K. N. Tu, *Phil. Mag.* **A45**, 31 (1982).
- [24] I. Kunishima, K. Suguro, T. Aoyama, and J. Matsunaga, *Jpn. J. Appl. Phys.* **29**, L2329 (1990).
- [25] K. Ueda, K. Ishikawa, and M. Yoshimura, *Appl. Surf. Sci.* **159-160**, 201 (2000).
- [26] M. Yoshimura, I. Ono, and K. Ueda, *Appl. Surf. Sci.* **130-132**, 276 (1998).
- [27] 土屋義規, 修士学位論文, (2003), 名古屋大学.
- [28] 古川静二郎、雨宮好仁 編、『シリコン系ヘテロデバイス』 p. 200.
- [29] R. People and J. C. Bean, *Appl. Phys. Lett.* **47**, 322 (1985).
- [30] K. Yuki, K. Toyoda, T. Takagi, Y. Kanzawa, K. Nozawa, T. Saitoh, and M. Kubo, *Jpn. J. Appl. Phys.* **40**, 2633 (2001).
- [31] S. Sego, R. J. Cuilbertson, D. J. Smith, Z. Atzmon, and A. E. Bair, *J. Vac. Sci. A* **14**, 441 (1996).
- [32] R. Hartmann, D. Grützmacher, E. Müller, U. Gennser, A. Dommann, P. Schröter, and P. Warren, *Thin Solid Films* **318**, 158-162 (1998).
- [33] M. Okinaka, Y. Hamana, T. Tokuda, J. Ohta and M. Nunoshita, *J. Cryst. Growth*, **249** (1-2), 78-86 (2003).
- [34] *Semiconductor – Basic Data 2nd revised Edition*, edited by O. Madelung (Springer, Berlin, 1996) p. 22.
- [35] A. Sakai, Y. Torige, M. Okada, H. Ikeda Y. Yasuda, and S. Zaima, *Appl. Phys. Lett.* **79**, 3242 (2001).

研究組織

研究代表者： 財満鎮明（名古屋大学 大学院工学研究科 教授）

研究分担者： 酒井 朗（名古屋大学 大学院工学研究科 助教授）

研究分担者： 中塚 理（名古屋大学 エコトピア科学研究所 助手）

研究分担者： 近藤博基（名古屋大学 大学院工学研究科 助手）

交付決定額（配分額）

（金額単位：円）

	直接経費	間接経費	合計
平成 15 年度	22,500,000	6,750,000	29,250,000
平成 16 年度	8,700,000	2,610,000	11,310,000
平成 17 年度	4,300,000	1,290,000	5,590,000
総計	35,500,000	10,650,000	46,150,000

研究発表

(1) 学会誌等

1. “Influence of C incorporation on the initial growth of epitaxial NiSi₂ on Si(100)”, E. Okada, O. Nakatsuka, S. Oida, A. Sakai, S. Zaima, and Y. Yasuda, Appl. Surf. Sci. **237** (1-4), pp. 150-155 (2004).
2. “Control of Ni/Si interfacial reaction and NiSi technology for ULSI applications”, S. Zaima, O. Nakatsuka, A. Sakai, and Y. Yasuda, in Proc. of IUMRS International Conference in Asia 2004, (2004).
3. “Initial growth behaviors of SiGeC in SiGe and C alternate deposition”, S. Takeuchi, O. Nakatsuka, Y. Wakazono, A. Sakai, S. Zaima, and Y. Yasuda, Mater. Sci. Semicond. Proc. **8** (1-3), pp. 5-9 (2005).
4. “Thermal stability and electrical properties of Ni-silicide on C-incorporated Si”, O. Nakatsuka, K. Okubo, A. Sakai, M. Ogawa, S. Zaima, J. Murota, and Y. Yasuda, in Proc. of Advanced Metallization Conference 2004 (AMC2004) pp. 293-298 (2005).
5. “Improvement in NiSi/Si contact properties with C-implantation”, O. Nakatsuka, K. Okubo, A. Sakai, M. Ogawa, Y. Yasuda, and S. Zaima, Microelectronic Engineering **82** (3-4), pp. 479-484 (2005).
6. “Fabrication technology of SiGe hetero-structures and their properties”, Y. Shiraki and A.

Sakai, Surface Science Reports **59** (7-8), pp. 153-207 (2005).

7. “Si および $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 上の Ni シリサイド形成”, 中塚理, 酒井朗, 財満鎮明, 安田幸夫, 電気学会研究会資料(電子材料研究会), EFM-04, pp. 25-30 (2004).

(2) 口頭発表

1. “Influence of C incorporation on the initial growth of epitaxial NiSi_2 on $\text{Si}(100)$ ”, E. Okada, S. Oida, O. Nakatsuka, A. Sakai, S. Zaima, and Y. Yasuda, in Abstr. of The 7th International Conference on Atomically Controlled Surfaces, Interfaces and Nanostructures, p. 78, Nara, Japan, Nov. 16-20, 2003.
2. Invited: “Current Status and Future Prospects of Si-ULSI Technology”, S. Zaima, The 1st Workshop for Joint Program Japan-US Research Collaboration for Synchrotron Radiation Nanomaterials Science, Tokyo, Japan, Mar. 16-17, 2004.
3. “Initial growth behaviors of SiGeC in SiGe and C alternative deposition”, S. Takeuchi, O. Nakatsuka, Y. Wakazono, A. Sakai, S. Zaima, and Y. Yasuda, Second International SiGe Technology and Device Meeting, pp. 192-193, Frankfurt (Oder), Germany, 16-19 May, 2004.
4. “Nickel Silicide Technology for Low Resistivity Contacts in ULSI Devices”, S. Zaima, O. Nakatsuka, A. Sakai, and Y. Yasuda, The Seventh China-Japan Symposium on Thin Films, pp. 151-154, Chengdu, China, 20-22 Sep., 2004.
5. “Thermal stability and electrical properties of Ni-silicide on C-incorporation”, O. Nakatsuka, K. Okubo, A. Sakai, M. Ogawa, S. Zaima, J. Murota, and Y. Yasuda, Advanced Metallization Conference 2004: Asian Session, pp. 18-19, Tokyo, Japan, 28-29 Sep., 2004.
6. Invited: “Group-IV Semiconductor Materials Engineering for Advanced Device Technology”, Y. Yasuda, A. Sakai, O. Nakatsuka, and S. Zaima, 2004 Joint International Meeting: 206 th Meeting of The Electrochemical Society (ECS) and 2004 Fall Meeting of The Electrochemical Society of Japan (ECSJ), Honolulu, USA, 3-8 Oct., 2004.
7. “Improvement in the Ni silicide/Si contact properties by C implantation”, K. Okubo, O. Nakatsuka, A. Sakai, M. Ogawa, S. Zaima, J. Murota and Y. Yasuda, Third International Workshop on New Group IV (Si-Ge-C) Semiconductors: Control of Properties and Application to Ultrahigh Speed and Opto-Electronic Devices, pp. 43-44, Sendai, Japan, Oct. 12-13, 2004.
8. “Control of initial growth of epitaxial NiSi_2 on $\text{Si}(001)$ with C incorporation”, O. Nakatsuka, E. Okada, D. Ito, A. Sakai, S. Zaima, M. Ogawa, and Y. Yasuda, Third International Workshop on New Group IV (Si-Ge-C) Semiconductors: Control of Properties and Application to Ultrahigh Speed and Opto-Electronic Devices, pp. 41-42, Sendai, Japan, Oct. 12-13, 2004.
9. “Evolution of surface morphology in the initial growth of $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ layers”, S. Takeuchi, O. Nakatsuka, Y. Wakazono, A. Sakai, M. Ogawa, S. Zaima, and Y. Yasuda, Third

International Workshop on New Group IV (Si-Ge-C) Semiconductors: Control of Properties and Application to Ultrahigh Speed and Opto-Electronic Devices, pp. 33-34, Sendai, Japan, Oct. 12-13, 2004.

10. "Scanning tunneling microscopy observation of C adsorption behavior in the initial growth of SiGeC on Si(001)", Y. Wakazono, S. Takeuchi, O. Nakatsuka, A. Sakai, S. Zaima, M. Ogawa, and Y. Yasuda, Third International Workshop on New Group IV (Si-Ge-C) Semiconductors: Control of Properties and Application to Ultrahigh Speed and Opto-Electronic Devices, pp. 31-32, Sendai, Japan, Oct. 12-13, 2004.
11. Invited: "Control of Ni/Si interfacial reaction and NiSi technology for ULSI applications", S. Zaima, O. Nakatsuka, A. Sakai, and Y. Yasuda, The International Union of Material Research Society- International Conference in Asian 2004, p. 205, Hsinchu, Taiwan, Nov. 16-18, 2004.
12. "Improvement on NiSi/Si contact properties with C-implantation", S. Zaima, O. Nakatsuka, K. Okubo, A. Sakai, M. Ogawa, and Y. Yasuda, Materials for Advanced Metallization Conference 2005, pp. 143-144, Dresden, Germany, Mar. 6-9, 2005.
13. "Surface structures in the initial growth of epitaxial $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ layers in SiGe and C alternate deposition", S. Takeuchi, O. Nakatsuka, Y. Wakazono, A. Sakai, M. Ogawa, Y. Yasuda, and S. Zaima, First International WorkShop on New Group IV Semiconductor Nanoelectronics, pp. 33-34, Sendai, Japan, May 27-28, 2005.
14. "Control of Solid-Phase Reaction and Electrical Properties of Ni silicide/Si Contacts by Ge and C Incorporation", O. Nakatsuka, K. Okubo, A. Sakai, J. Murota, Y. Yasuda, M. Ogawa, and S. Zaima, First International WorkShop on New Group IV Semiconductor Nanoelectronics, pp. 35-36, Sendai, Japan, May 27-28, 2005.
15. "Impact of C implantation on electrical properties of NiSi/Si contact", O. Nakatsuka, K. Okubo, A. Sakai, M. Ogawa, and S. Zaima, The 5th International Workshop on Junction Technology, pp. 91-92, Osaka, Japan, June 7-8, 2005.
16. "Si(001)面上エピタキシャル NiSi₂ の初期成長過程に与える C の効果", 岡田絵美、中塚理、酒井朗、財満鎮明、安田幸夫、第 51 回応用物理学関係連合講演会、28a-P2-3、p. 908、東京工科大学、2004 年 3 月 28 日～31 日。
17. "原子層成長法による高 C 濃度 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 混晶薄膜初期成長の表面 STM 観察", 竹内正太郎、若園恭伸、中塚理、酒井朗、財満鎮明、安田幸夫、第 3 回日本表面科学会中部支部学術講演会、No. 2、p. 2、名古屋大学、2004 年 5 月 12 日。
18. "Si および $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 上の Ni シリサイド形成", 中塚理、酒井朗、財満鎮明、安田幸夫、電子材料研究会、EFM-04-45、pp. 25-30、東京、2004 年 7 月 23 日。
19. "SiGeC 極薄膜初期成長の走査トンネル顕微鏡評価", 若園恭伸、竹内正太郎、中塚理、酒井朗、財満鎮明、小川正毅、安田幸夫、第 65 回応用物理学学会学術講演会、2p-X-7、p. 321、東北学院大学、2004 年 9 月 1 日～4 日。
20. "C イオン注入による Ni/Si 界面固相反応制御", 大久保和哉、中塚理、酒井朗、小川正毅、財満鎮明、安田幸夫、第 52 回応用物理学関係連合講演会、1a-ZE-9、p. 943、

埼玉大学、2005年3月29日～4月1日。

21. “C イオン注入を用いた NiSi 界面固相反応制御”、中塚理、大久保和哉、酒井朗、小川正毅、安田幸夫、財満鎮明、第4回・日本表面科学会中部支部学術講演会、No. 10、p. 10、名古屋工業大学、2005年4月23日。

第2章 実験方法

本章では、本研究に用いた諸装置および試料作製方法について述べる。

2.1 Ni/Si コンタクト形成用実験装置

2.1.1 金属蒸着装置

金属膜の蒸着は、超高真空装置内における電子銃蒸着法にて行った。図 2-1 に本実験に用いた超高真空金属蒸着装置の概略図を示す。装置は、試料導入チャンバ (Load-lock chamber)、金属膜蒸着チャンバ (Deposition chamber、以下、蒸着チャンバ)、および試料熱処理用チャンバ (Anneal chamber、以下、アニールチャンバ) の3つのチャンバから構成されており、各チャンバはゲートバルブによって隔てられている。試料はモリブデンおよびステンレス製の試料ホルダに固定され、2本のマグネティック・トランスファーロッドによって各チャンバ間を運搬される。

蒸着チャンバおよびアニールチャンバの到達真空度はどちらも、約 2×10^{-9} Torr 以下であった。超高真空までの排気過程は、まず全てのゲートバルブを開いた状態で、油回転ポンプ (RP: Rotary Pump) による粗引きの後、ターボ分子ポンプ (TMP: Turbo Molecular Pump) によって排気を行った。この状態での到達真空度は、約 1×10^{-6} Torr であった。そのまま排気を行いながら、抵抗ヒータにより装置全体の外壁を約 120°C に加熱して、装置内壁に吸着している不純物分子の焼き出しを行った。約 24 時間焼き出しを行った後、チャンバが余熱を持っている状態で、電子銃 (EB-gun)、熱処理用ヒータ、イオンゲージおよびスパッタリングイオンポンプ (SIP: Sputtering Ion Pump) のガス出し (Degas) 作業を行った。装置の温度が室温に戻ってから、排気装置を TMP から SIP に切り替えた。TMP による排気では補助ポンプである RP からチャンバ内に流入する外気および駆動用オイルによる汚染の可能性があるのに対し、SIP は閉鎖系のポンプであり、

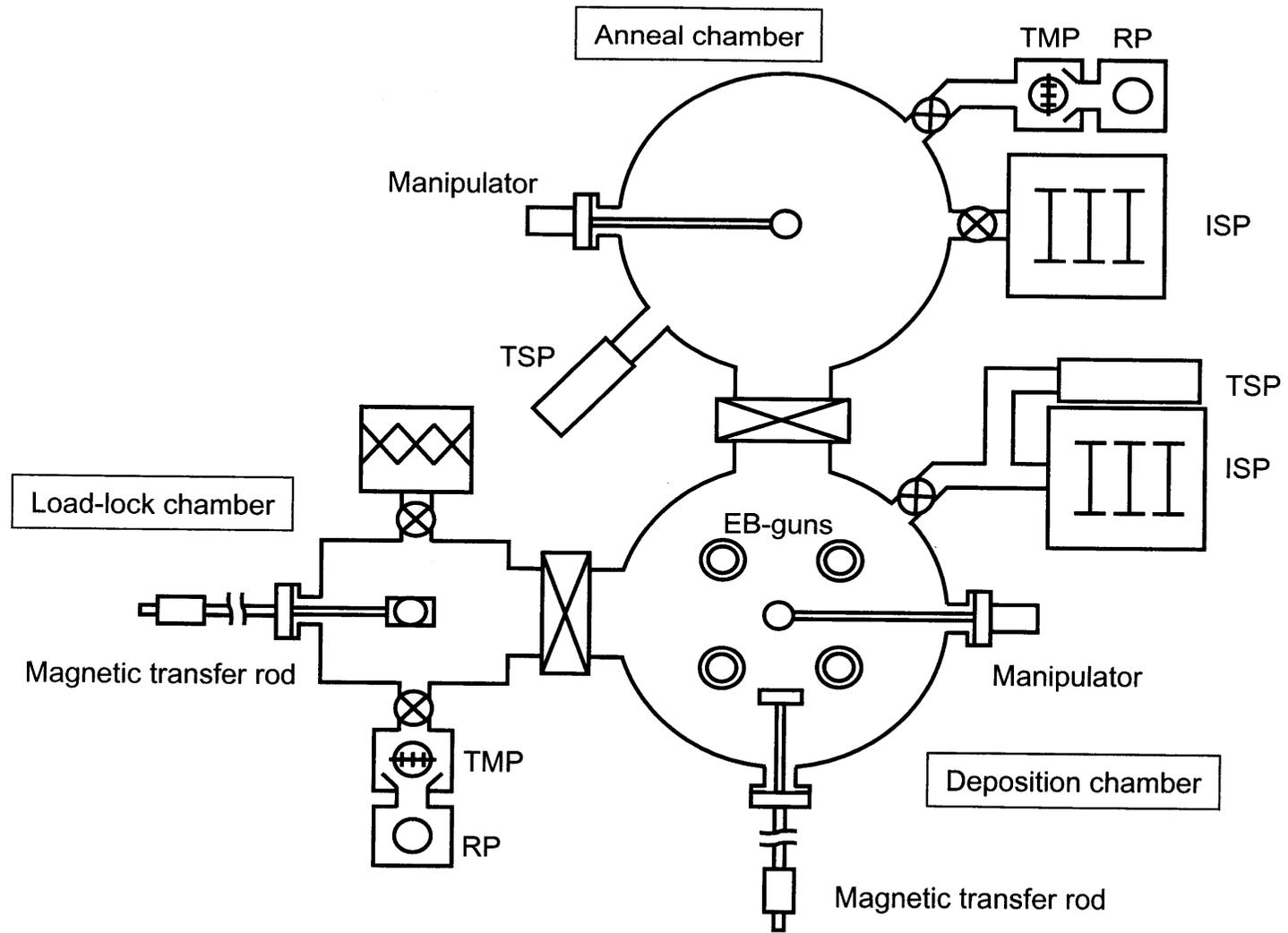


図2-1 金属蒸着装置の概略図。

このポンプを主排気装置として用いることで、外気からのチャンバ内の汚染を完全に防ぐことができる。その後ゲートバルブにより3つのチャンバを隔てた。蒸着チャンバおよびアニールチャンバには、補助排気装置としてチタンサブレーションポンプ (TSP: Titanium Sublimation Pump) を備えており、これを間欠的に使用することで、到達真空度は 1×10^{-9} Torr 以下に達する。試料の導入時には、導入室に装備されているソーptionポンプ (SP: Sorption Pump) によって、粗引きを行った。RP を用いた粗排気では、RP 駆動用のオイルによるチャンバ内の汚染が懸念されるが、SP を用いることで、これを防ぐことが可能である。排気後に TMP によって試料導入室を 5×10^{-7} Torr 以下まで排気した後、試料を蒸着チャンバまで搬送した。以上の手順によって蒸着チャンバの超高真空は保持したままで、試料を導入することが可能である。

蒸着チャンバには4本の電子銃が装備されている。電子銃蒸着法は、超高真空中においてフィラメントを加熱し熱電子を誘起させ、さらにフィラメントに電圧を印加してアースに対して高電位の状態を作り、電子線を発生させる。発生した電子線を高電界によって加速し、蒸着原料に照射することにより、蒸着原料を昇温、融解させ、蒸気として真空中に飛び出させることで蒸着を行う。

アニールチャンバのマニピュレータには、試料ホルダ加熱用のカーボンヒータが備わっており、試料を大気中に取り出すことなく高真空を保ったまま、熱処理することが可能である。

2.1.2 急速熱処理装置

急速熱処理 (RTA: Rapid Thermal Annealing) 法では、加熱量を電氣的に制御しやすいランプ加熱法を採用することによって、従来用いられてきた抵抗加熱による熱処理と比較して、ウェハの高速な加熱・冷却、熱処理時間の精密な制御を可能にしている。以上の理由から、極浅不純物層の形成や、金属原子の拡散を最小限に抑えたシリサイド形成等に非常に有効な手段であると考えられる。

本研究では、装置として AG Heat Pulse 610 を使用した。この装置では、タングステンヒーターランプが石英製のチャンバ上部および下部にそれぞれ 10 本ずつ装備されており、熱処理温度を 400℃ から 1200℃、昇温速度を最大 200℃/秒まで選択可能である。試料はチャンバ内部に支持された Si ウェハー上に置かれる。チャンバは密閉されており、熱処理前に 10 分間のパージを行うことによって流入ガス雰囲気を実現した。流入ガスには N₂ を用い、その流量はマスフローコントローラーにより 1.5 l/min に制御した。試料温度は Si ウェハーの裏面をパイロメーターにより観測し、加熱制御を行っている。本研究では、第 2 段階目の高温熱処理時およびイオン注入後の不純物活性化処理に RTA を用いた。

2.1.3 減圧 CVD 装置

本研究では、SiO₂ 膜の堆積に減圧 CVD (Chemical Vapor Deposition) 装置 (国際電器株式会社製減圧 CVD 装置) を用いた。装置には、石英反応炉が 2 本装備されている。原料ガスとして、N₂、O₂、および SiH₄ を導入し、SiO₂ および poly-Si が堆積できる。排気にはロータリーポンプおよびメカニカルブースターポンプを用い、成膜時の真空度は 7.5×10^{-2} Torr であった。本研究では SiO₂ 膜を、SiH₄ ガス 1 l/min、酸素ガス 150 ml/min、470℃、1 時間という条件で約 200 nm 堆積した。

2.1.4 イオン注入装置[1]

イオン注入装置の原理はイオン源で発生させた原料元素のイオンを高電圧で加速し、基板表面に衝突させ、基板内部に物理的に埋め込む手法である。イオン注入装置の主な利点として以下の点が挙げられる。

- 1) 注入する原料元素の量と深さを正確に制御できる。
- 2) 室温にてイオン注入できるので、選択注入用のマスクとしてフォトレジストのレジ

スト膜を用いることができ、プロセスの簡略化に有利である。

3) 基板表面の薄膜や不純物層を通して、その奥に不純物を注入できる。

図 2-2 に本研究で使用したイオン注入装置(日新電機株式会社製 NH-20SR-WMH 中電流イオン注入装置)の概略図を示す。この装置はイオンソース部(I/S)、ビームライン部(B/L)、ターゲットチャンバ部(T/C)で構成されている。また、各チャンバは油拡散ポンプによって真空排気されており、イオン注入時における各チャンバ内の真空度はイオンソース部が 2×10^{-5} Torr、ビームライン部、ターゲットチャンバ部は 5×10^{-7} Torr 以下であった。

注入されるイオンは、イオンソース部において生成される。イオンソース部は、ガスボックスとイオン源、引き出し電源、質量分析マグネットからなっている。イオン源はフリーマンイオン源となっている。イオン源は導入ガス分子をイオン化するためのフィラメント、それを囲むアノード電極を兼ねたアークチャンバ、およびイオン引き出しスリットで構成されている。加熱されたフィラメントから生じた熱電子がアークチャンバ内で加速され、ガス供給系より供給されたガスと衝突電離してイオンを発生する。さらに、生じた熱電子の飛跡を磁場によって曲げることで、飛距離を大きくするためのソースマグネットが設けられている。生成されたイオンは引き出し電源によって、スリットを通過して質量分析系へと引き出される。引き出されたイオンは質量分析マグネットによって曲げられ、必要な質量数をもった原料元素のイオンのみが分析スリットを通過してビームライン部へと進む。ビームライン部に進んだイオンは加速管で必要とされるエネルギーまで加速されて、さらに Q レンズによってビームがターゲット上に焦点を結ぶように集束される。そして、x、y 走査電極でビームが走査されることで、ターゲットチャンバ内にあるウェハ面内に均一にイオンが注入される。また注入されるイオンの量は、ファラデーカップにより荷電粒子の数を電流値として読むことで、その打ち込み量を正確に制御している。

本装置は加速電圧として 30~200kV までが使用可能で、 B^+ イオンと P^+ イオン、および C^+ イオンを注入することが可能である。本研究では BF_3 ガス、 PF_5 ガスおよび CO_2

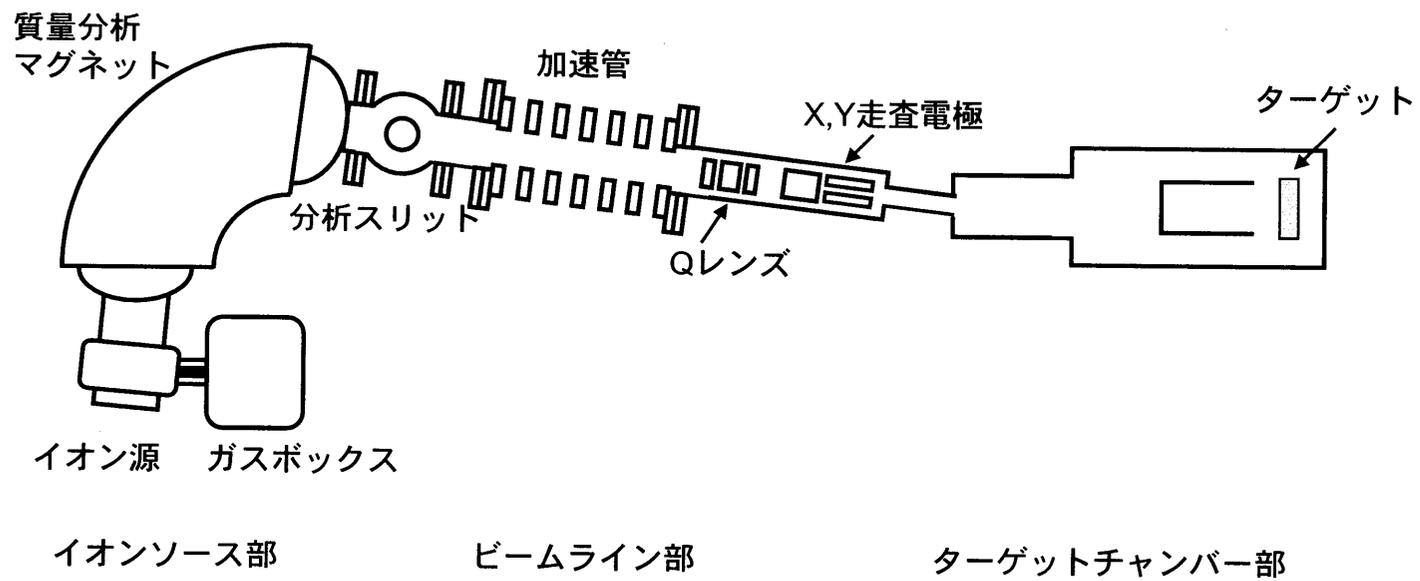


図2-2 イオン注入装置の概略図。

ガスをそれぞれ流量約 0.5 cc/min でアークチャンバ内に導入しイオンを生成した。B⁺、C⁺を加速電圧 30kV で、P⁺を 85kV で加速し、ビーム電流約 40 μA で基板に注入した。なお、結晶に対するイオンの入射方向により侵入深さが異なるチャネリング効果を防ぐために、ターゲットチャンバ内の試料台には約 7°の傾斜がつけてある。

イオン注入では、高エネルギーのイオンが基板結晶と衝突し、そのエネルギーは固体結晶中の原子変位エネルギーよりはるかに大きい。そのため基板結晶には多くの欠陥が生じ、特に高濃度の注入においては、注入領域がほぼ完全に非晶質となる。したがってイオン注入後には結晶性の回復を図るための熱処理が必要である。また、注入された不純物原子を電氣的に活性なドナーあるいはアクセプタとして機能させるためには、格子点に置換するための熱処理も必要になる。本研究では RTA を用いた短時間熱処理を施した。

2.2 Ni/Si コンタクト試料作製方法

2.2.1 固相反応評価用試料作製方法

本節では、本研究で用いた固相反応観察用の試料の作製法について述べる。固相反応観察用試料には、n 型および p 型 Si(100)の CZ 基板を使用し、その比抵抗はそれぞれ 1.59 ~ 2.06 Ωcm、2.0 ~ 4.0 Ωcm であった。基板には表 2-1 に示すような化学洗浄をおこなった後、直ちにホルダに固定し、金属蒸着装置に取り入れた。蒸着チャンバ内において、電子銃を用いて試料表面に金属膜を蒸着した。蒸着中の真空度は 5×10^{-9} Torr 以下であった。蒸着後、引き続き真空を保持したままアニールチャンバにおいて第一段階熱処理として 350°C、30 分間の熱処理を施した。熱処理中の真空度は 2×10^{-8} Torr 以下であった。その後、試料を大気中に取り出し、一部の試料に対しては、第二段階の熱処理として、N₂ 雰囲気中で 550 ~ 850°C の RTA 処理を行った。

表2-1 化学洗净法。

洗净溶液	処理法	処理時間
• 王水 (HNO ₃ :HCl=1:3)	Boil	10 min
• 超純水	Overflow	10 min
• 硫酸 (H ₂ SO ₄ :H ₂ O ₂ =3:1)	Boil	10 min
• 超純水	Overflow	10 min
• 塩酸 (HCl:H ₂ O ₂ :H ₂ O=1:1:6)	Boil	10 min
• 超純水	Overflow	10 min
• フッ酸 (HF:H ₂ O=1:50)	Dip	10 min
• 超純水	Overflow	<5 sec

2.2.2 コンタクト抵抗評価用試料作製方法

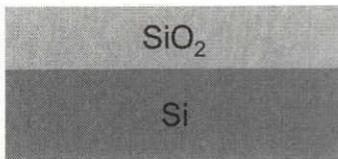
コンタクト抵抗評価に用いた試料の作製方法について述べる。コンタクト抵抗の測定は、Kelvin 四端子法を用いて行った。Kelvin パターンの作製工程の概略図を、図 2-3 に示す。はじめに、基板表面に絶縁膜として Wet 熱酸化によって膜厚 800 nm の SiO₂ 膜を形成した。これをフォトリソグラフィ工程によりイオン注入層部分のパターニングを行い、加速電圧 30 kV で C⁺を、連続して B⁺あるいは P⁺をそれぞれ 30kV、85 kV で dose 量 $3 \times 10^{14} \sim 3 \times 10^{15} \text{ cm}^{-2}$ を注入した。なお、イオン注入時の保護および深さ方向への濃度プロファイル制御のために、イオン注入前に Dry 熱酸化により膜厚 70 nm の SiO₂ 膜を形成した。イオン注入後の基板結晶性と不純物の活性化のために、N₂ 雰囲気中で 1100°C、30 秒間の RTA 熱処理を行った。さらに減圧 CVD により膜厚 200 nm の保護 SiO₂ 膜を堆積し、フォトリソグラフィ工程によりコンタクトホールを形成した。コンタクトホールを形成した試料は表 2-1 の化学洗浄を施した後、超高真空チャンバで Ni を蒸着した。蒸着方法およびその後の熱処理条件も固相反応評価用試料と同様である。この試料を大気中に取り出し、硫酸 (H₂SO₄:H₂O=3:1) 中に浸すことにより、Ni シリサイドを溶解せずに未反応の Ni のみを溶解することで、SiO₂ 膜上などに残る未反応の Ni のみを選択的に除去した。この処理により、Si の露出しているコンタクト部でのみ、自己整合的にシリサイドを形成できる[2]。その後、測定用の電極として、Al を真空蒸着した後、電極形状のパターニングを行った。この試料を用いてコンタクト抵抗を測定した。

2.2.3 ショットキーダイオード作製方法

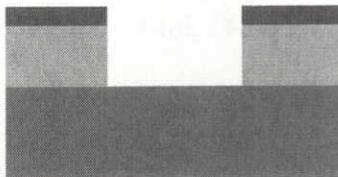
本研究で用いたショットキーダイオードの作製方法について述べる。図 2-4 にその作製工程を示す。はじめに基板の保護膜として Dry 酸化によって膜厚 70 nm の SiO₂ 膜を形成した。基板表面には C⁺を 30kV、dose 量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入した。また基板裏面には B⁺あるいは P⁺を低抵抗のオーミックコンタクトを得るために 30kV あるいは 85

1. 化学洗浄

2. WET酸化 : 1000°C, 4 hour, ~800 nm

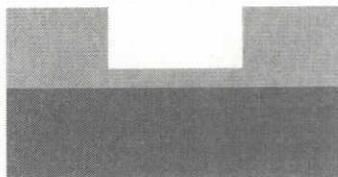


4. SiO₂エッチング : バッファードフッ酸

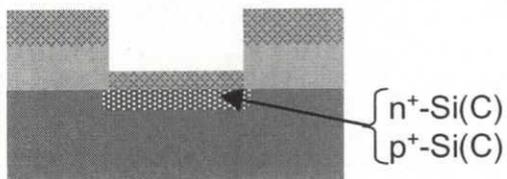


6. 化学洗浄

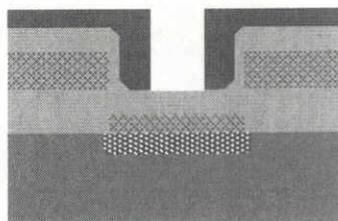
7. Dry酸化 : 1000°C, 1 hour, ~70 nm



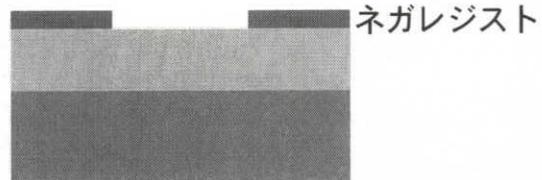
9. 活性化RTA(1100°C, 30sec)



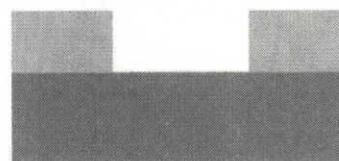
12. 2ndマスク : ネガレジスト+現像



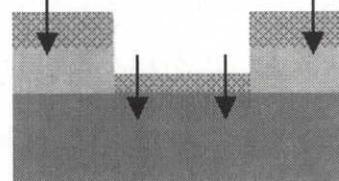
3. 1stマスク : 希釈ネガレジスト+現像



5. レジスト剥離 : 硫酸boil

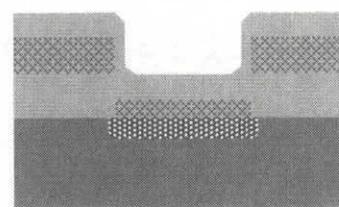


8. イオン注入(C⁺, B⁺:30 kV, P⁺:85 kV)



10. 硫酸洗浄

11. LPCVD : 470°C, 1 hour, ~200 nm



13. SiO₂ エッチング : バッファードフッ酸

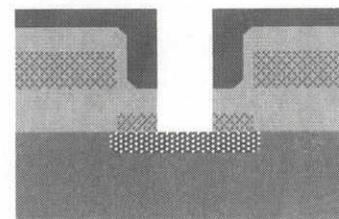
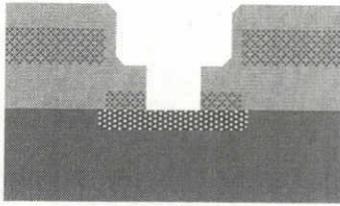


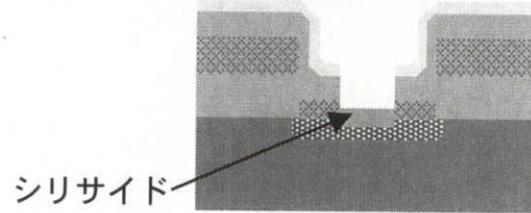
図2-3 Kelvinパターン作製工程の概略図。

14. レジスト剥離：硫酸boil

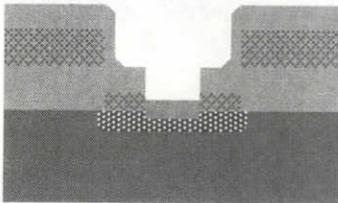


15. 化学洗浄+水素終端

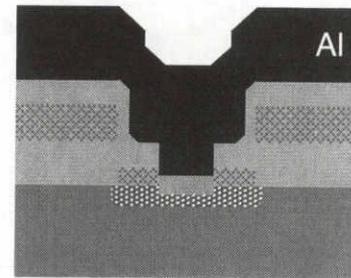
16. 金属膜蒸着+熱処理



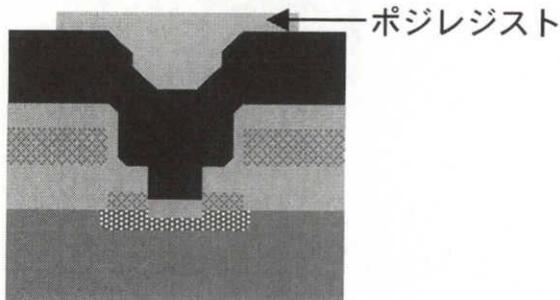
17. 未反応金属部除去



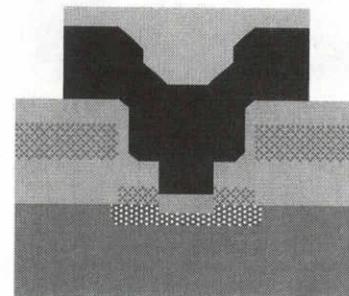
18. Al蒸着



19. 3rdマスク：ポジレジスト+現像



20. アルミエッチング



21. ポジレジスト剥離

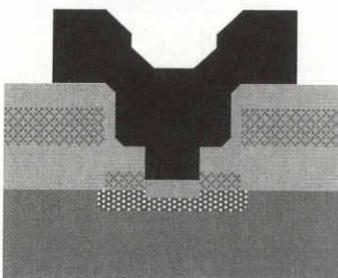
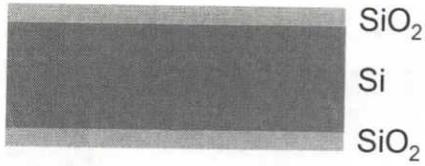


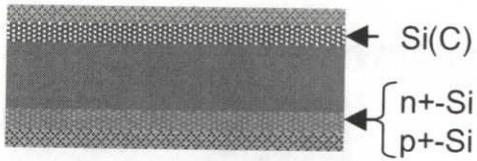
図2-3 Kelvinパターン作製工程の概略図。

1. 化学洗浄 (硫酸)

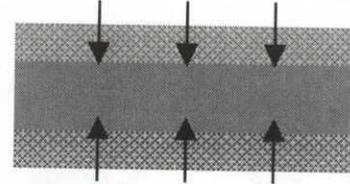
2. dry酸化 : 1000°C, 1 hour, ~70 nm



4. 活性化RTA(1100°C, 30sec)

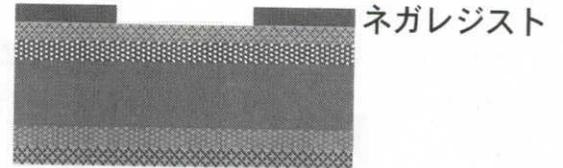


3. イオン注入(C⁺,B⁺:30 kV, P⁺:85 kV)

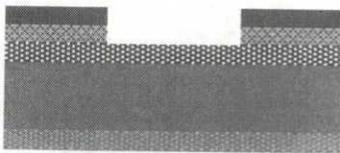


5. 硫酸洗浄

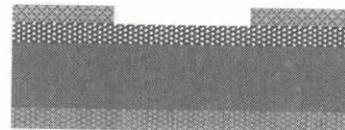
6. 2ndマスク : ネガレジスト+現像



7. SiO₂ エッチング : バッファードフッ酸

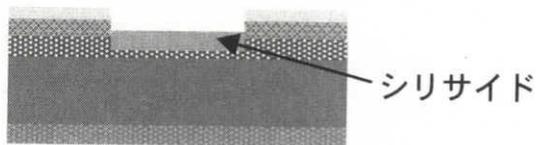


8. レジスト剥離 : 硫酸boil



9. 化学洗浄+水素終端

10. 金属膜蒸着+熱処理



11. 未反応金属部除去

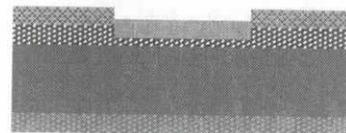
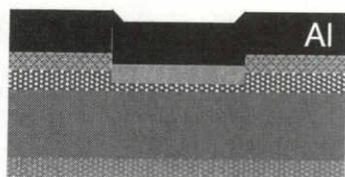
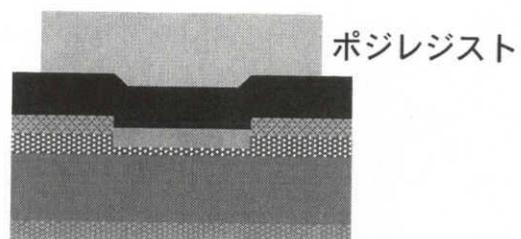


図2-4 ショットキーダイオード作製工程の概略図。

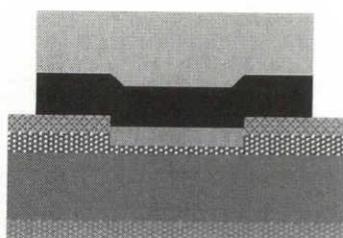
12. Al蒸着



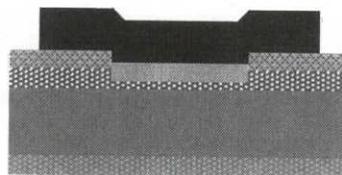
13. 3rdマスク ポジレジスト+現像



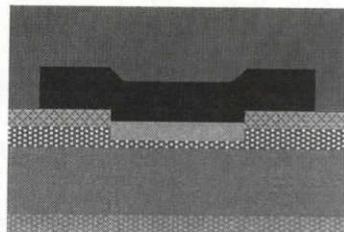
14. アルミエッチング



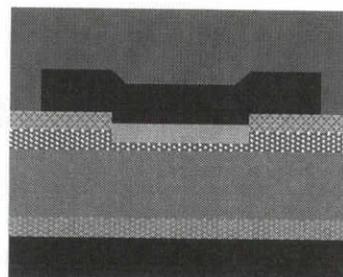
15. ポジレジスト剥離



16. 表面保護レジスト



17. 裏面アルミ蒸着



18. レジスト剥離

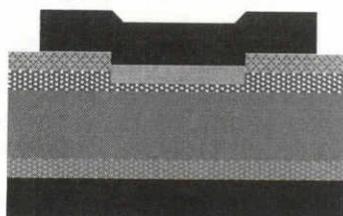


図2-4 ショットキーダイオード作製工程の概略図。

kV、dose 量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入した。次にフォトリソグラフィ工程によって $1 \times 1 \text{ mm}^2$ のコンタクトホールを開口した。コンタクトホールを形成した試料はコンタクト抵抗測定用試料作製と同様の過程を経て Ni シリサイドを形成した。その後、測定用の電極として、Al を基板の表面および裏面に真空蒸着した後、表面 Al 電極のパターニングを行った。この試料を用いてショットキーダイオードの電気伝導特性を測定した。

2.3 Ni/Si コンタクトの測定・評価方法

2.3.1 X 線回折法

本研究では、固相反応によって形成された結晶相の同定などの結晶性評価に、X 線回折法 (XRD: X-Ray Diffraction analysis) を用いた。X 線回折装置として RIGAKU 製 RINT2100 を用いた。熱処理に伴う固相反応形成物の同定は、薄膜測定モードで行った。図 2-5 に薄膜測定モードの場合での X 線装置の光学系を示す。X 線源には、CuK α 線 (波長 $\lambda = 0.15418 \text{ nm}$) を用いた。X 線の入射角度は試料に対して 2.823° とした。薄膜測定モードでは、入射 X 線に対して、ブラッグ条件を満たしかつ消滅則を満たさないような多結晶薄膜中の結晶面の回折ピークが検知される。さらに X 線は Si 基板にまで達するため、CuK α 線を用いた場合、本研究の入射角では Si(113)面の回折ピークが $2\theta = 56^\circ$ 付近に同時に観測される。この Si(113)面からの検出角度を、理論的に計算される角度と比較することで、角度ズレの補正を行った。また、多結晶中から回折条件を満たす結晶面をより多く検出するため、測定中は試料を回転させた。

2.3.2 顕微鏡法

本研究では、固相反応によって形成された膜表面のモフォロジー、結晶相の同定、および界面構造の詳細な評価に、走査型電子顕微鏡 (SEM: Scanning Electron Microscope)、

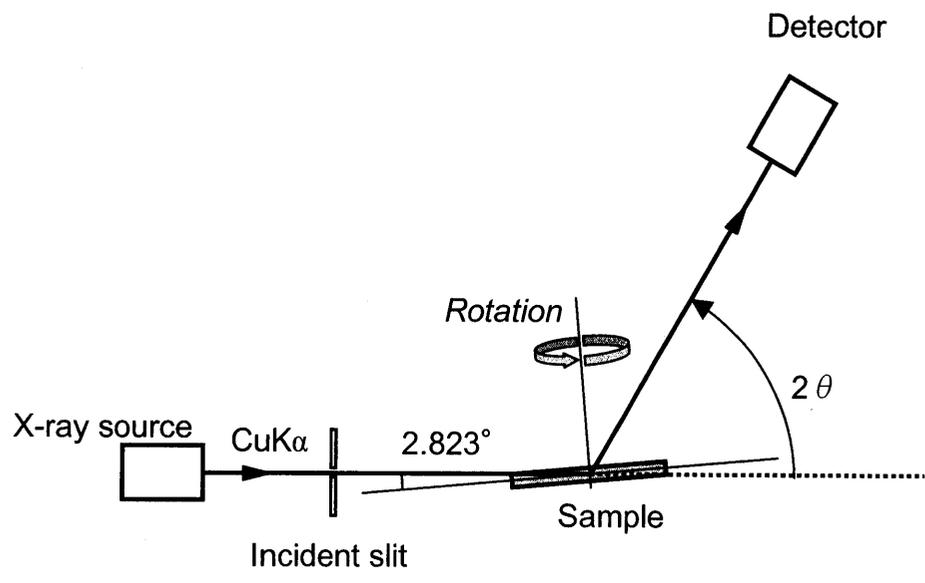


図2-5 X線回折装置の模式図。

および透過型電子顕微鏡 (TEM: Transmission Electron Microscope) を用いた。

シリサイド膜の表面モフォロジー観察に SEM として JEOL 製 JSM-6301F を用いた。観察に用いた電子線の加速電圧は 30 kV であった。また、本 SEM 装置には、エネルギー分散型 X 線分析装置 (EDS: Energy Dispersive X-ray Spectroscopy) が装備されている。EDS 法は、照射した電子線によって試料を構成する原子の内殻電子を励起し、構成元素固有の X 線を放出させる。その特性 X 線の波長やエネルギーの違いを、分光結晶や Si(Li ドープ)あるいは Ge 半導体素子を用いて分光して検出する分析法である。

固相反応によって形成された結晶相のモフォロジー、および界面構造について断面 TEM 観察を用いて詳細に行った。装置は JEOL 製 JEM 2010F および日立製作所製の H-800 を使用し、観察に用いた電子線の加速電圧は 200 kV であった。観察試料の作製には、一般的な Ar イオンビームによるイオンミリング法を用いた。

2.3.3 二次イオン質量分析法[3]

本研究では、不純物原子の深さ方向濃度分布の測定に二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) を用いた。SIMS は試料表面に一次イオンを照射した際に生じるスパッタリング現象によって発生する二次イオンを質量分析計により質量分離を行い、試料の構成成分の定性、定量を行う手法である。

検出される信号がイオンであるため、それを電場で引き出して質量分析を行う。よって本研究では Si および C をマイナスイオン検出モードでの濃度、B をプラスイオン検出モードでの濃度とした。

2.3.4 電気的特性評価方法

(A) シート抵抗測定法

本研究でのシート抵抗の測定には四探針法を用いた。図 2-6 (a)にその概略図を示す。4つの探針が等間隔に配置されており、外側2つの探針間に定電流 I を流し、内側2つの探針間の電圧 V を測定することにより、以下の式からシート抵抗値が求まる。

$$R_s = \frac{V}{I} \cdot CF \quad (2.1)$$

CF は試料の形状による補正值であり、図 2-6 (b)に示すような試料形状依存性を持つ[4]。本研究ではこの CF の効果にシート抵抗値が依存しないよう、探針間距離 1 mm に対して十分大きな 15 mm 角以上の試料に対して測定を行い、 CF を 4.4 として計算を行った。

(B) コンタクト抵抗率測定方法

本研究では、コンタクト抵抗測定に一般的に用いられる、Kelvin 四端子法を用いて測定を行った[5]。図 2-7 に(a) Kelvin パターンの形状と測定用試料の構造略図、および(b) その等価回路を示す。probe 1 から probe 4 へ定電流 I を流し、probe 2 と probe 3 間の電位差 V を測定することにより、コンタクト抵抗 R_c を得ることができる。

$$R_c = \frac{V}{I} \quad (\Omega)$$

コンタクトの面積を S_c とすると、コンタクト抵抗率 ρ_c は、

$$\rho_c = S_c R_c \quad (\Omega\text{cm}^2) \quad (2.2)$$

となる。

本研究では電流 I を 5~100 μA の範囲で変化させ、その時のコンタクト部での電圧降下 V よりコンタクト抵抗を求めた。測定には、定電流源として ADVANTRAST TR6143、および電圧計として HEWLETPACKARD HP3478A を使用した。測定には、一辺約 20、

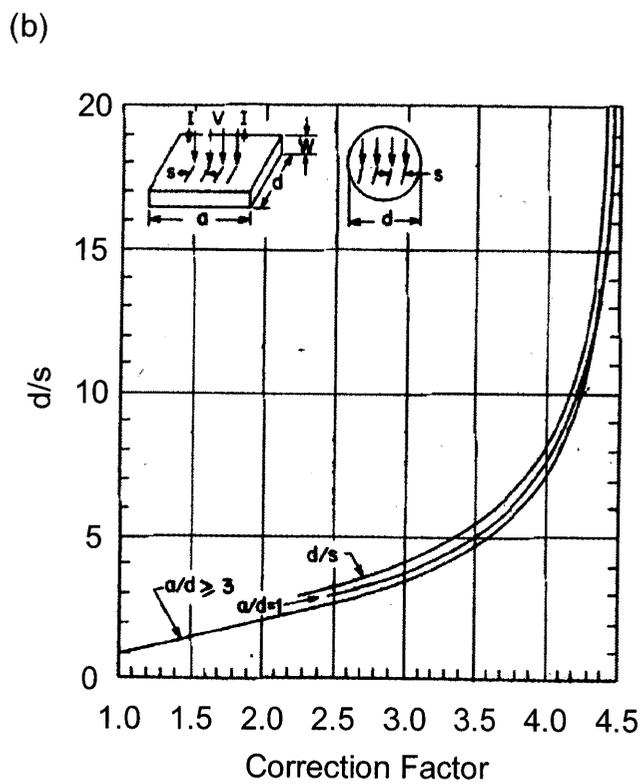
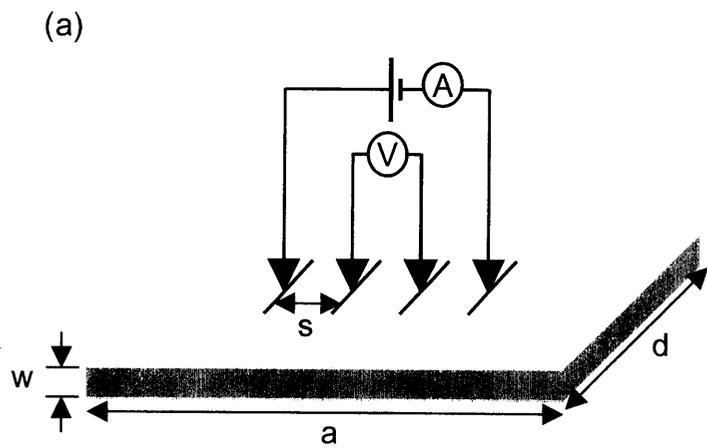
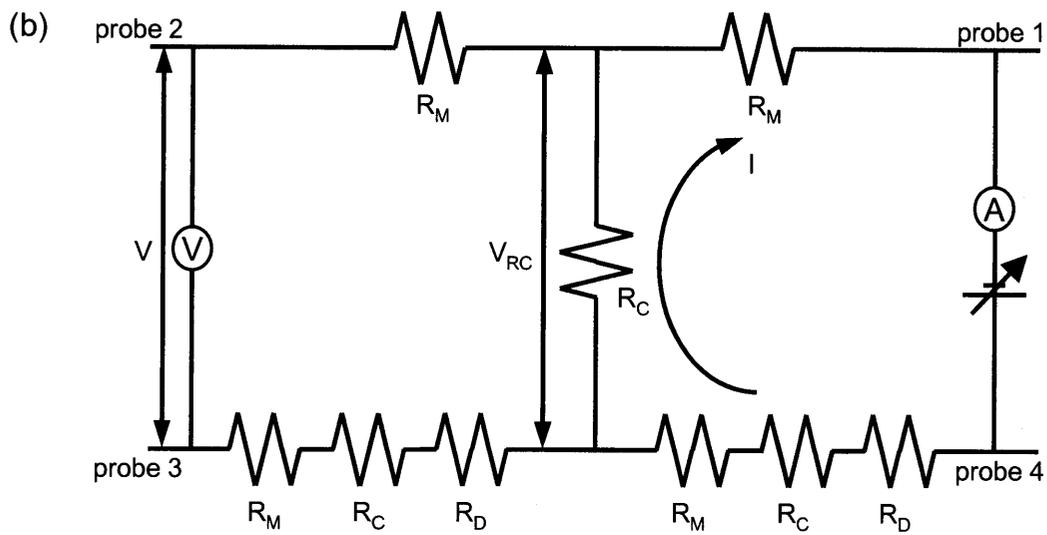
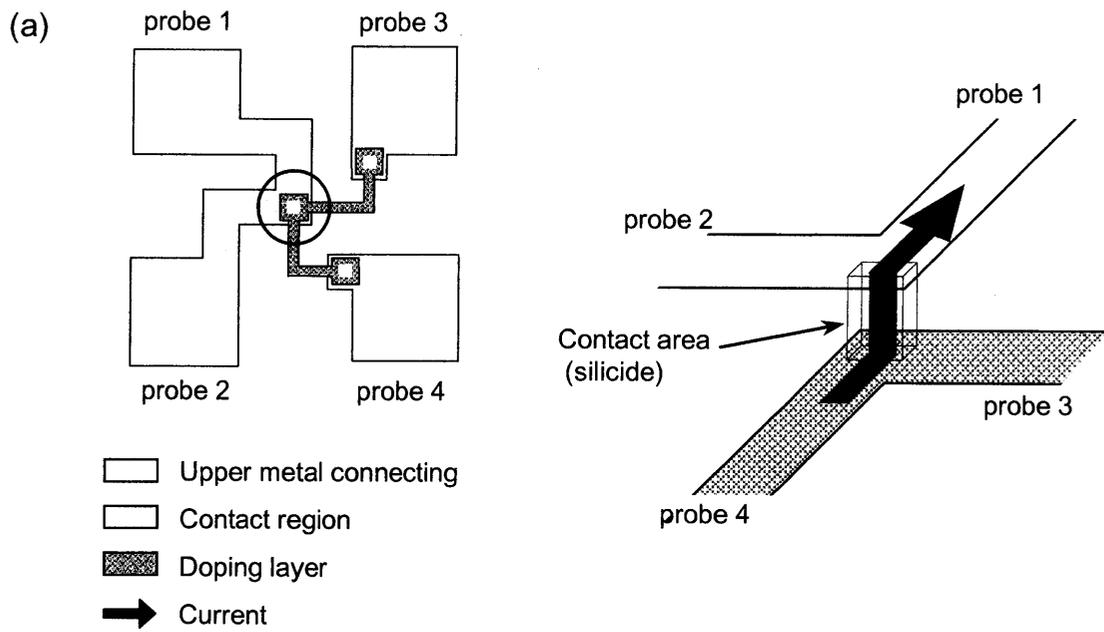


図2-6 (a)四端針測定法の概略図。
(b)CFの試料形状依存性。



R_C : Contact resistance
 R_D : Doping region connecting resistance
 R_M : Metal connecting resistance

図2-7 (a)Kelvinパターン構造概略図。
 (b)等価回路。

15、10、5 および 2.5 μm の 5 種類のコンタクトを用いた。また、設計値と作製した試料とでサイズに違いが生じるため、SEM を用いて、実際に形成されているコンタクト部の面積を測定した。

(C) ショットキーダイオードの電流-電圧特性

金属/半導体界面において熱放出機構が支配的な電気伝導機構である場合、ショットキーダイオードを流れる電流密度は、以下のように表せる。

$$J = A^* T^2 \exp\left(-\frac{q\Phi_B}{k_B T}\right) \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (2.3)$$

$$n \equiv \frac{q}{k_B T} \frac{\partial V}{\partial(\ln J)} \quad (2.4)$$

順方向電流において熱放出電流が支配的な場合、理想因子は 1 に近づく。それに対し、トンネル電流等による電流成分の寄与が増加するにつれて、理想因子は 1 より大きな値をとるようになる。その結果見かけ上のショットキー障壁高さは小さくなる。

本研究においてショットキー障壁高さを決定するにあたって、一定温度条件下での順方向電流の電圧依存性を測定し、 $\ln(J)$ - V プロットの切片から飽和電流 J_s を求め、リチャードソン定数 A^* を用いて算出する方法をとった。

2.4 MBE/STM 超高真空装置

図 2-8 は、本研究で用いた分子線エピタキシャル成長装置(MBE: Molecular Beam Epitaxy)、および走査トンネル顕微鏡(STM: Scanning Tunneling Microscope)装置の概略図である。本装置は、STM 分析室、成長室、オージェ分析室および試料運搬室の 4 室から構成される。それぞれの室は、ゲートバルブを介して連結されており、基板を固定した試料ホルダーおよび探針ホルダーの各室間の搬送は、トランスファーロードおよびウォブルスティックにより行う。

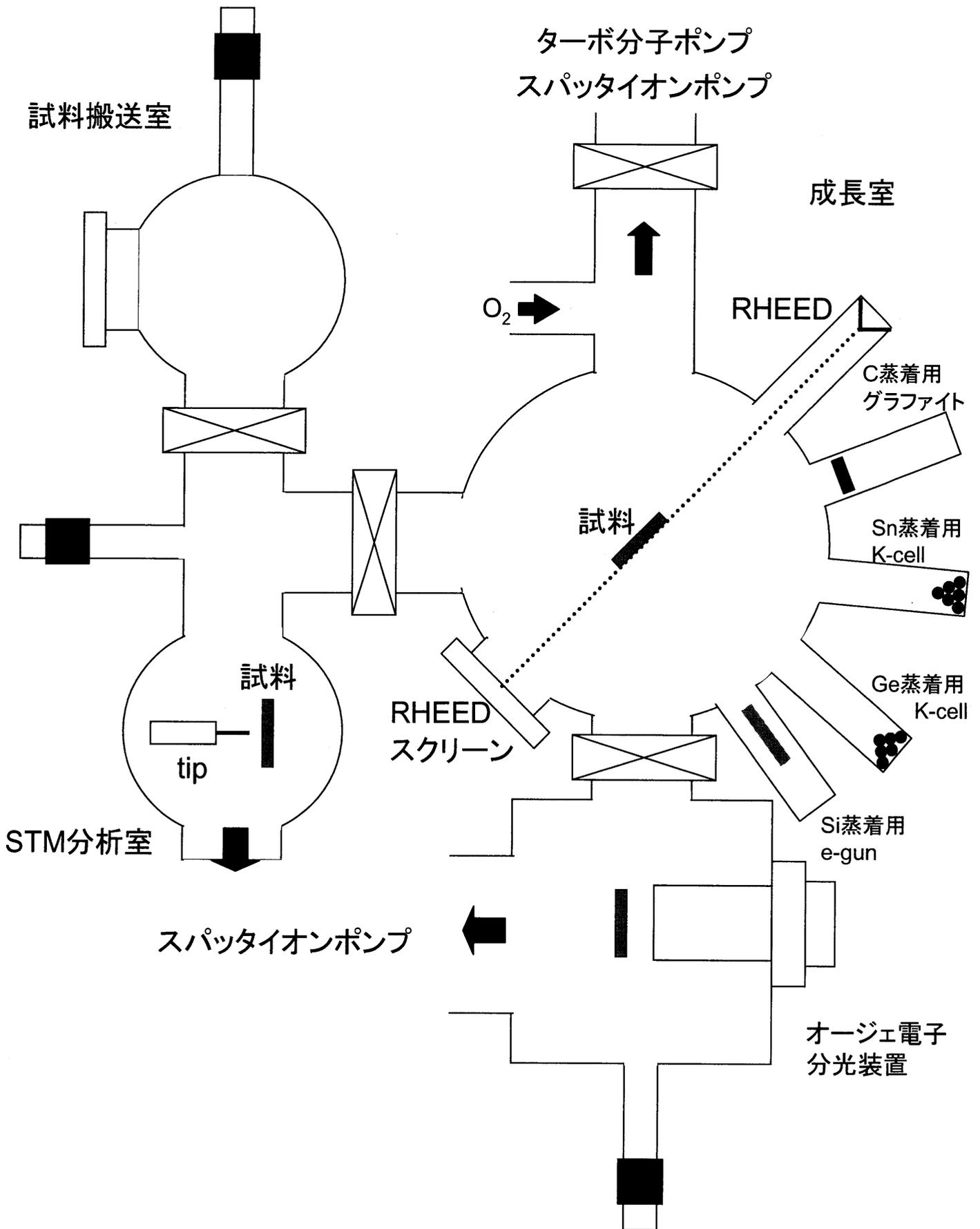


図2-8 MBE/STM超高真空装置の概略図。

成長室では、基板の清浄化、薄膜形成、および試料の熱処理を行う。到達真空度は 1×10^{-9} Torr 以下であり、排気にはターボ分子ポンプ、スパッタイオンポンプ、およびチタンサブレーションポンプを用いている。成長室では、クヌーセンセル(K-cell: Knudsen-cell)による Ge の蒸着、電子ビーム蒸着装置(EFM: Evaporator with integral Flux Monitor)による Si の蒸着が可能である。また、グラファイトフィラメントの通電加熱による C の蒸着が可能である。表面分析装置として、反射高速電子線回折(RHEED: Reflection High Energy Electron Diffraction)装置が装備されている。これは成長中に薄膜の表面構造を“その場”観察したり、試料の膜厚校正を行うのに用いられる。また、STM 探針、試料ホルダーの傍熱および通電加熱が可能な、2 回転軸 3 方向可動するマニピュレーターを備えている。

STM 分析室は、成長室で作成された試料の表面構造を調べる目的で、超高真空用 STM 装置(OMICRON 製)が設置されている。到達真空度は 5×10^{-10} Torr 以下で、排気にはスパッタイオンポンプおよびチタンサブレーションポンプを用いている。その他に試料・探針ホルダーを常時 8 枚保管できるカローセルが設置されている。また、STM 本体は 4 本のスプリング、およびマグネットにより除震されたステージ上に取り付けられ、そのスキャナ部にはトライポッド式の piezo 素子が用いられている。本 STM の最大走査範囲は、 $1 \times 1 \mu\text{m}^2$ である。試料観察時の垂直分解能、および面内分解能はそれぞれ 0.01nm 以上、および 0.2nm である。

オージェ分析室には、成長室で作製した試料の組成分析を行うためにオージェ電子分光(AES)装置が設置されている。到達真空度は 1×10^{-9} Torr 以下であり、排気にはスパッタイオンポンプが用いられている。

試料搬送室を用いることによって、超高真空を破ることなく、基板および STM 探針を分析室および成長室中へ導入することが可能である。排気にはターボ分子ポンプを用いている。搬送室には、基板・探針ホルダーを一度に最大 7 枚保管できる。

2.5 基板表面清浄化法

本研究では、試料基板としてホウ素を添加した p 型 Si(100)基板(比抵抗 3~5 Ω cm)を使用した。この基板は、STM 試料ホルダーの規格に基づいて、11mm×4mm の長方形に切り出した。このとき、ウェハのオリエンテーションフラットに対する切り出し方向は、毎回一致させた。これは、表面清浄化のための通電加熱の際、基板の通電方向によってはステップバンチングとよばれる表面再構成が引き起こされ、ステップのほとんどない極めて平坦性の高いテラスと、ステップが多数集積したマルチステップの2つの領域が形成されてしまうからである。

Si 基板の化学洗浄法として有機洗浄法を用いた。表 2-2 に洗浄工程を示す。基板を化学洗浄後、基板を大気中にてタンタル製試料ホルダーに取り付け、試料運搬室内に導入した。搬送室を 1×10^{-8} (Torr)以下に排気した後、基板および試料ホルダーを成長室へ搬送した。

成長室に基板を導入後、以下の手順で基板清浄化を行った。

1. 基板および試料ホルダーの脱ガスのため、600°Cで8~12時間加熱した。
2. 基板を900°Cまで昇温後、表面の酸化膜および不純物を昇華するため基板を約1150°Cに加熱し、これを2分間維持してフラッシュアニールを施した。
3. アニール後、急峻な熱収縮による結晶性の悪化を防ぐために、基板温度をゆっくりと成膜時の温度まで降温させた。

試料基板は直接通電によって加熱し、基板温度の測定は、赤外放射温度計を用いた。

RHEED 観察により、Si(100)2×1 再構成パターンが観察されたこと、および AES 測定により炭素や酸素などの主要な不純物が測定限界以下であることを確認し、Si 表面の清浄化を確認した。図 2-9(a)および 2-9(b)に清浄化処理後の試料から得られた典型的な RHEED 像、および AES スペクトルを示す。

表2-2 基板洗浄工程。

1. 超純水	over flow	10min
2. アセトン	dip	10min
3. 超純水	over flow	10min
4. メタノール	dip	10min
5. 超純水	over flow	10min

(a)

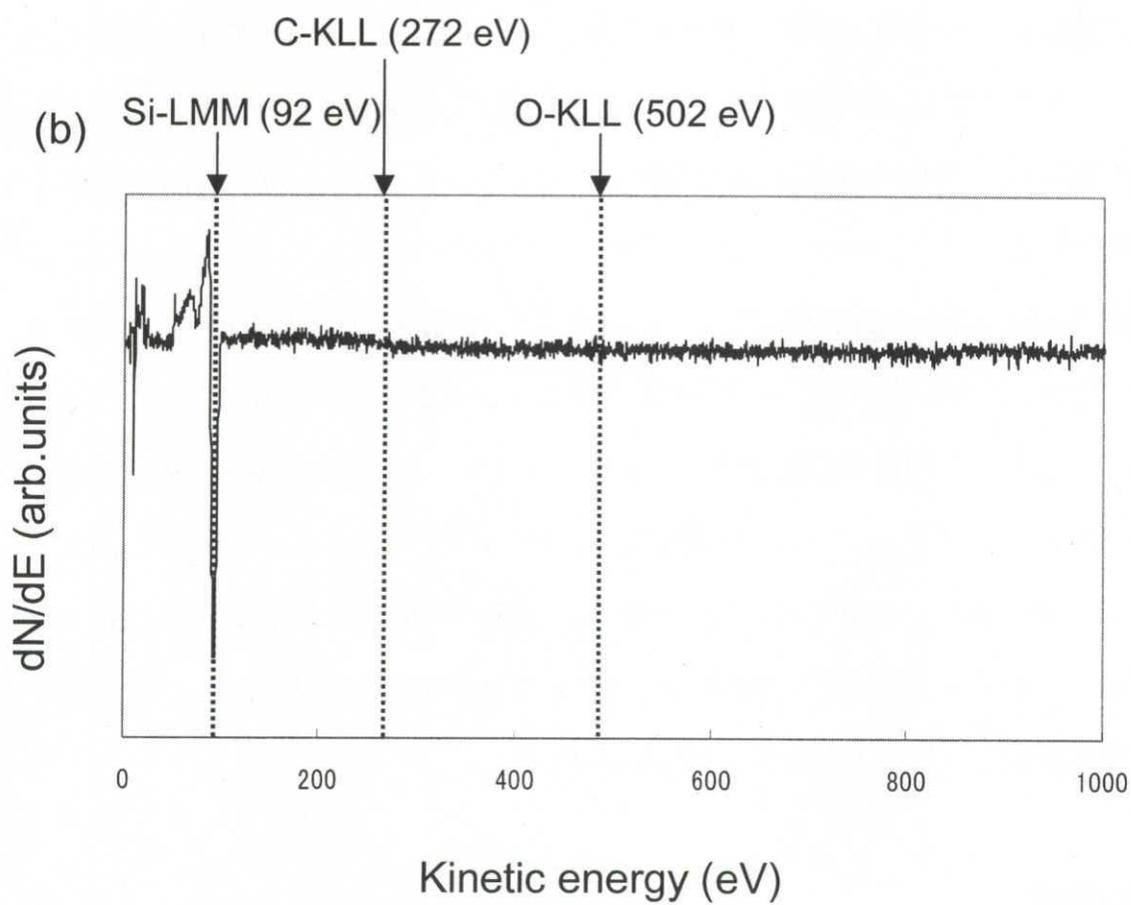
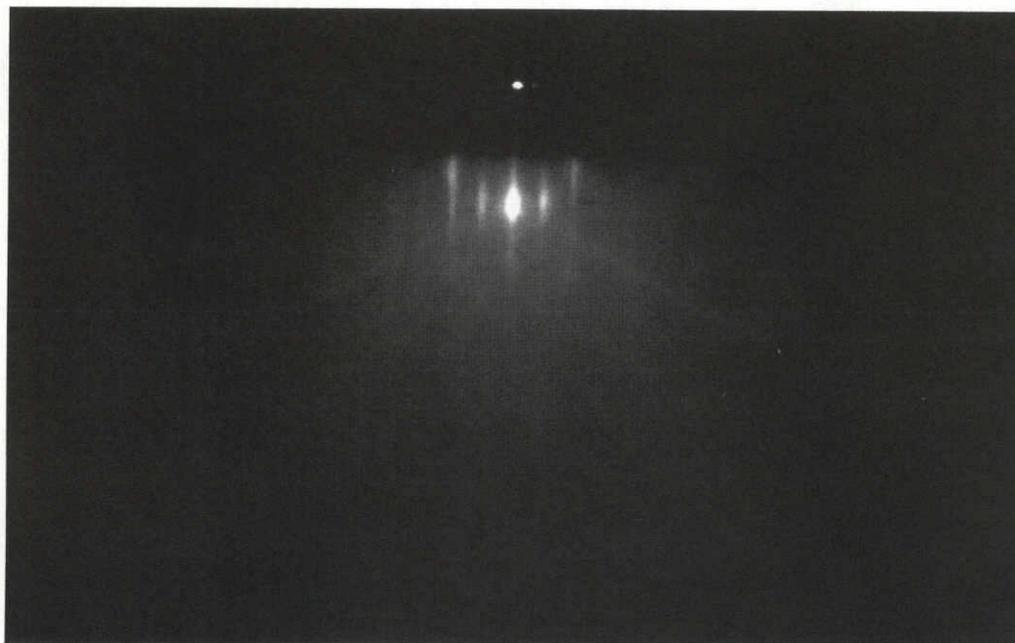


図2-9 清浄化処理後のSi(100)表面の
(a)RHEED像、及び(b)AESスペクトル。

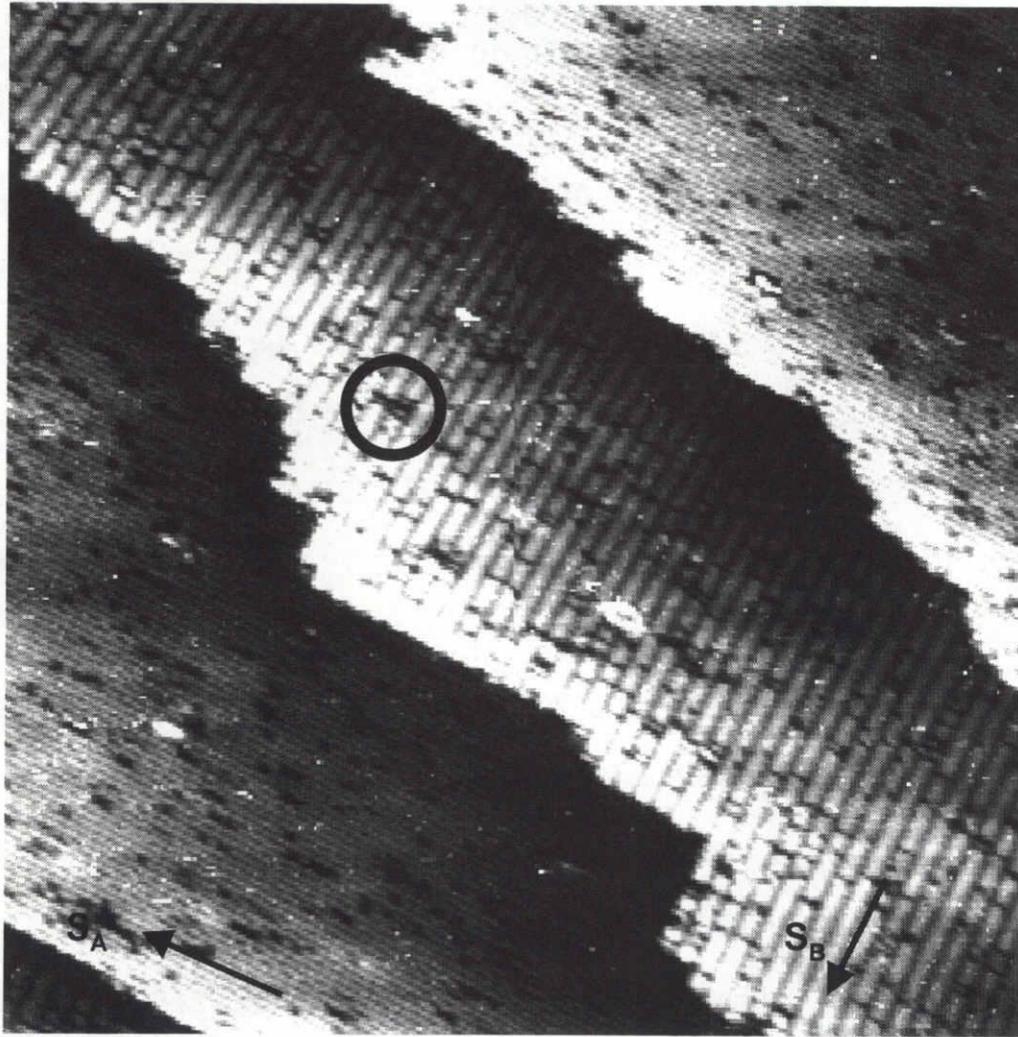
また、図 2-10(a)および 2-10(b)にそれぞれ Si(100)清浄表面の STM 像、および Si(100)-2×1 表面における 2 種類のステップ構造のモデル図を示す。STM 像の走査領域は 50×50nm²、試料電圧は-2.0 V である。Si(100)清浄表面において、最表面の Si 1 原子は 2 本のダングリングボンドを持ち、エネルギー的には不安定なため、表面第 1 層の隣接する 2 個の Si 原子同士が 2 重結合して安定になる。この 2 重結合した 2 つの Si 原子を一単位として 2 量体(ダイマー)と呼び[6]、このダイマーの連なりをダイマー列と呼ぶ。ダングリングボンドの密度を半減して表面エネルギーを低減させることにより、表面は安定な 2×1 再配列構造を形成する。このため、表面の単位格子は、ダイマーに沿った基本ベクトルがバルク Si の 2 倍の長さとなる。図 2-11(a)の STM 像において、明るい点列が並ぶ様子が観察されるが、これはそれらダイマーが一行に並んだものに対応する。そして、黒円で示すようにダイマーが抜けたような黒い点として見える部分は欠陥である。

Si(100)表面上のステップは単調な階段状であり、ステップの高さは 1 原子層(0.136nm)に等しい。基板のオフセット角が大きくなるとステップの高さが 2 原子層に変わることが知られている[7]。今回の試料は STM 像より、ステップの高さは 1 原子層に相当することが確認できた。また、ステップごとにダイマー列の方向が 90° 異なっている。これは、通常 Si(100)清浄表面においては、単原子ステップが存在し、各テラス領域に 1×2、および 2×1 の再配列構造が形成されたダブルドメイン構造が交互に並ぶことに対応している。図中の矢印に示したように、上層のダイマー列に対して平行なステップ、および垂直なステップを S_A ステップと呼び、S_B ステップと呼ぶ。S_A ステップ、および S_B ステップは基板表面に交互に現れる。また、S_A ステップの形成エネルギーは S_B ステップの形成エネルギーより小さいために S_A ステップは直線的な形状となり、S_B ステップはジグザグ形状となることが報告されている[8]。

2.6 薄膜成長法

Ge の蒸着には K-cell を用いた。PBN (Pyrolytic Boron Nitride) 製坩堝に入った粒状

(a)



(b)

10 nm

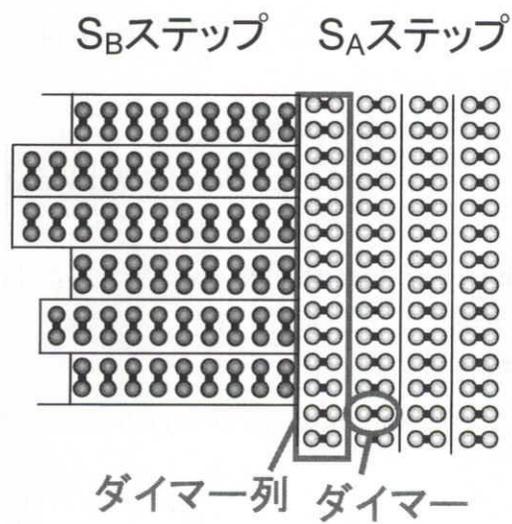


図2-10 Si(100)清浄表面のSTM像、および模式図。
走査範囲: $50 \times 50 \text{ nm}^2$ 。

Ge 原料を 960~1100°C に加熱することにより分子線を発生させ、蒸着を行った。Ge の蒸着速度は RHEED 振動から見積もり、 $2.9 \times 10^{-3} \sim 3.3 \times 10^{-3}$ ML/s であった。ここで、1 ML は Si(100) 基板上的 Si 原子の面密度 $6.8 \times 10^{14} \text{ cm}^{-2}$ に相当する膜厚と定義する。この高さはダイヤモンド構造の Si(100) 方向の原子間距離 (0.136 nm) に対応する。成長の開始および停止は K-cell のシャッターの開閉により制御した。

C の蒸着は、二本のタンタル製ロッドで固定したグラファイトフィラメント (純度 99.9995%) に、30A の高電流を流すことでグラファイトを約 950°C に加熱し、分子線を発生させることにより行った。C の蒸着速度は、室温にて Si(100) 清浄表面に吸着させたクラスター状 C 密度を STM 観察によって評価することで、 $2.9 \times 10^{-3} \sim 3.3 \times 10^{-3}$ ML/s と見積もられた。成長の開始および停止はシャッターの開閉により制御した。

Si の蒸着には、EFM を用いた。タングステンフィラメントに 2.0~2.2A の電流を流して熱電子を発生させ、500~800V の高電圧を印加することにより、電子線をロッド状 Si 原料の先端に集中させる。これにより、Si を加熱して生じる分子線によって蒸着を行った。Si の蒸着速度は RHEED 振動により $3.3 \times 10^{-3} \sim 5.3 \times 10^{-3}$ ML/s と見積もられた。成長の開始および停止は、EFM のシャッターの開閉により制御した。

参考文献

- [1] 水野博之, イオン工学ハンドブック, イオン工学研究所 (2003).
- [2] 日経マイクロデバイス 1999 年 6 月号, p. 57.
- [3] 次世代 ULSI プロセス技術, リアライズ社, p.587 (2000).
- [4] S. M. Sze, *Physics of Semiconductor Device*, p. 390 (H. Willy and Sons Inc., New York, 1981).
- [5] S. J. Proctor and L. W. Linholm, *IEEE Electron Devices Lett.* **3**, 294 (1982).
- [6] 塚田捷編 『表面における理論 I』 (丸善) p.127.
- [7] D. J. Chadi, *Phys. Rev. Lett.* **59**, 1691 (1987).
- [8] B. S. Swartzentruber, Y. W. Mo, R. Kariontis, M. G. Lagally, and M. B. Webb, *Phys. Rev. Lett.* **65**, 1913 (1990).

第3章 C イオン注入による NiSi/Si(100)コンタクト特性の改善

3.1 Ni/Si(C)界面固相反応

本節では Si(100)基板に対する C イオン注入が、Ni/Si(C)系の固相反応および電気的特性に与える効果について述べる。

金属/Si 界面への C の導入は、不純物拡散の抑制および格子不整合歪の補償に効果がある[1, 2]。また、Zaima の報告から、Si 基板上に C 濃度 0.4% の Si(C)層を導入することによって、NiSi 膜の凝集の抑制および B 原子の界面偏析による界面不純物濃度の向上という結果が得られている[3]。つまり C 添加によって、NiSi 薄膜の熱的安定性の向上と NiSi/Si 系コンタクトにおけるコンタクト抵抗の低減が同時に期待される。そこで、濃度および深さ分布の精密な制御が容易であり、実プロセスに有用であるイオン注入装置を用いて、NiSi/Si コンタクトに対する C の影響について研究を行った。

本研究で用いた基板は、固相反応評価用試料に関しては、まず dry 熱酸化法により作製した SiO₂(70 nm)/Si 基板に対し、C⁺イオンを加速電圧 30kV、注入量 3×10¹⁴~3×10¹⁵ cm⁻² で注入し、さらに連続して B⁺あるいは P⁺イオンをそれぞれ加速電圧 30kV および 85V で 3×10¹⁵ cm⁻² 注入した。その後、基板結晶性回復と注入イオンの活性化のために窒素雰囲気中で 1100℃、30 秒間の熱処理を行った。SiO₂ を剥離した後、第 2 章の表 2-1 で示した化学洗浄法を施したものを Si(C)基板として用い、その後 Ni を 10~20 nm 蒸着し、試料作製を行った。コンタクト抵抗測定用試料においては、図 2-3 に示した工程に従って、Ni を 20 nm 蒸着した。ショットキーダイオードに関しては、図 2-4 に示した工程に従って、Ni を 20 nm 蒸着した。

まず、C、B および P イオンそれぞれの注入深さを決定するために、イオン注入における加速電圧の条件を検討した。Ni を 20 nm 蒸着し、Si との固相反応によって NiSi を形成した場合、NiSi/Si 界面は、Ni 蒸着前の Si 表面に対し 45 nm 程度の深さとなる。注入イオンは、Si 基板上へ 70 nm の熱酸化膜を通じて打ち込み、さらに NiSi/Si 界面の濃

度を最大にするために、115 nm 程度の打ち込み深さが必要となる。この目的となるイオンの注入深さ分布を見積るために、TRIM を用いてシミュレーションを行った[4]。図 3-1 にイオン注入後の注入原子濃度深さ方向分布のシミュレーション結果を示す。B⁺については加速電圧 30 kV で、P⁺は 85 kV で注入を行った場合に目的の不純物分布が得られることがわかった。C については、その原子量が 12 で B の 11 とほぼ同じであることから、B⁺の加速電圧と同じ 30 kV で打ち込んだ。また、同じ注入量でも dose レートによって基板が受けるダメージが異なるため[5]、注入量 $3 \times 10^{15} \text{cm}^{-2}$ の試料に関しては注入時間に著しい違いが生じないようにビーム電流値を制御した。

図 3-2 に Ni(10 nm)/Si(C)系における各温度熱処理に対する XRD プロファイルを示す。C 注入量は $3 \times 10^{15} \text{cm}^{-2}$ である。350~750°C 熱処理後の試料においては NiSi に起因するピークが観察できる。850°C においては全てのピークが観察できず、これは C を含まない Ni/Si 系の結果と一致している。すなわち、Si(100)基板上へのエピタキシャル NiSi₂ の形成を示唆している。また、C イオンの注入量が $3 \times 10^{14} \text{cm}^{-2}$ の場合および Ni の蒸着膜厚が 20 nm の試料に対しても同様の結果が得られた。したがって、Si 基板上へ C イオンを注入したことによる反応形成物や相転移温度の変化は生じていないと判断できる。

図 3-3 に C 注入の有無における Ni/Si 系でのシート抵抗値の熱処理温度依存性を示す。図 3-3(a)および 3-3(b)が、それぞれ Ni(20 nm)/Si 系および Ni(10 nm)/Si 系についての結果である。図 3-3(a)において、350°C 熱処理後の段階ではシート抵抗値は共に低い値となっている。これは C の有無にかかわらず平坦な NiSi 膜が形成されているためであると言える。C 注入なしの試料では 650°C 以上の熱処理に伴って膜の凝集によるシート抵抗値の増大が見られる。一方、C イオンを注入した試料ではシート抵抗値の増大が比較的抑制されていることが確認できる。図 3-3(b)の Ni 膜厚を 10 nm に薄膜化した場合では特に、C の有無によるシート抵抗値の熱処理温度依存性に差が顕著に見られる。

図 3-4 および図 3-5 に、それぞれ Ni(10 nm)/Si 系および Ni(10 nm)/Si(C)系での表面 SEM 像を示す。Ni/Si 系では 750°C 熱処理後(図 3-4(b))において NiSi 膜が不連続になり、それがシート抵抗値の増大に繋がるが、Ni/Si(C)系(図 3-5)では凝集が抑制されている。その

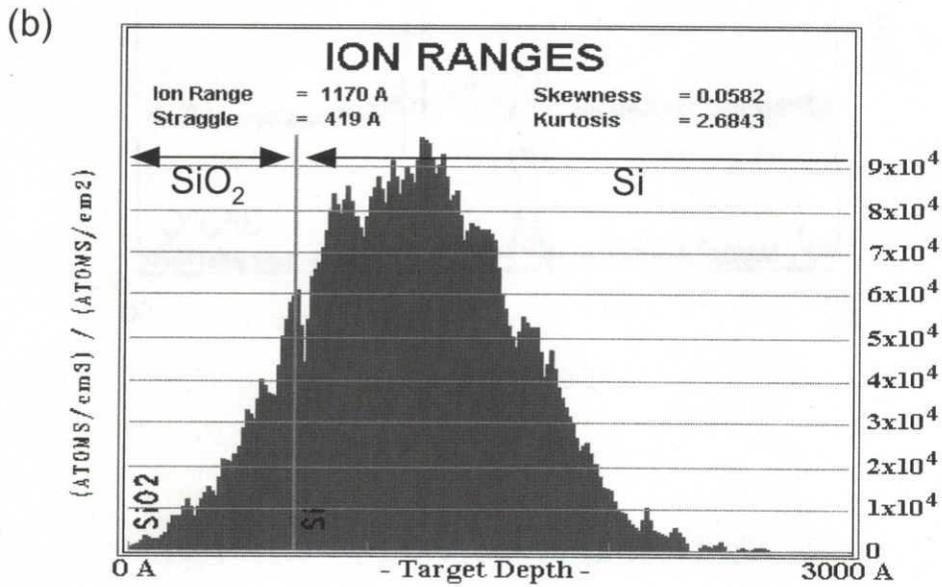
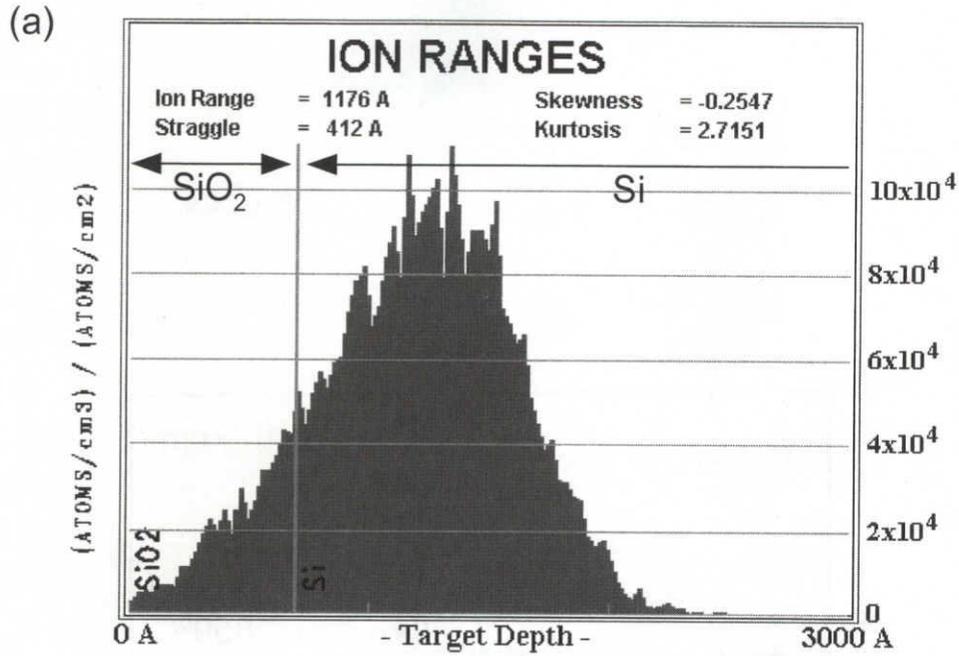


図3-1 TRIMによる不純物濃度の深さ方向プロファイルのシミュレーション結果。
 $\text{SiO}_2(70 \text{ nm})/\text{Si}$ 基板に、(a) B^+ を加速電圧30 kVで注入した場合、
 (b) P^+ を85 kVで注入した場合。

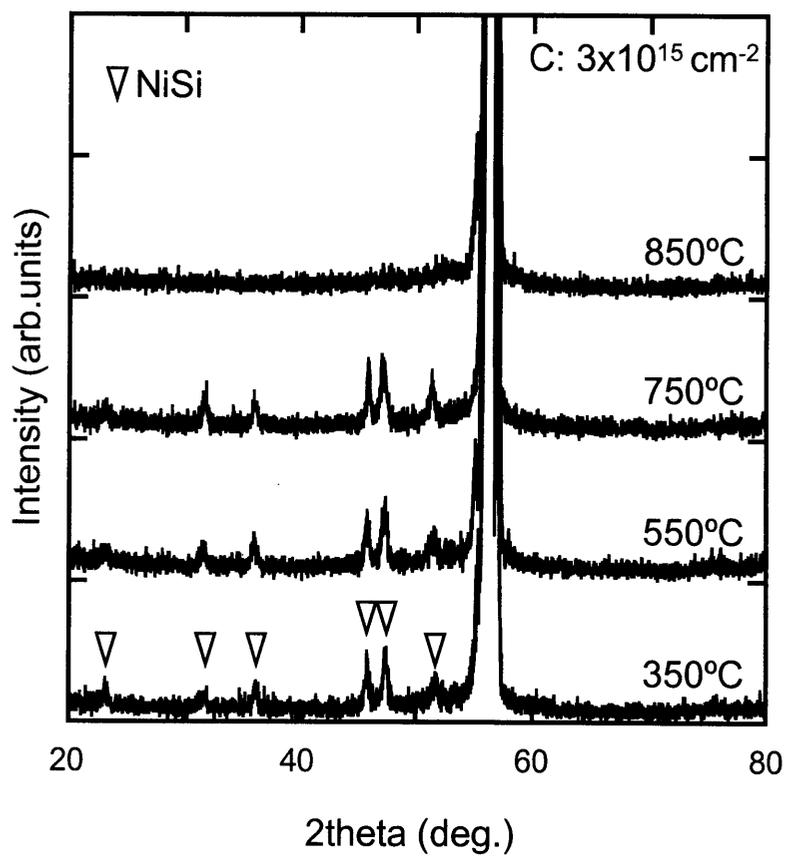


図3-2 Ni(10 nm)/Si(C)におけるXRDプロファイル。

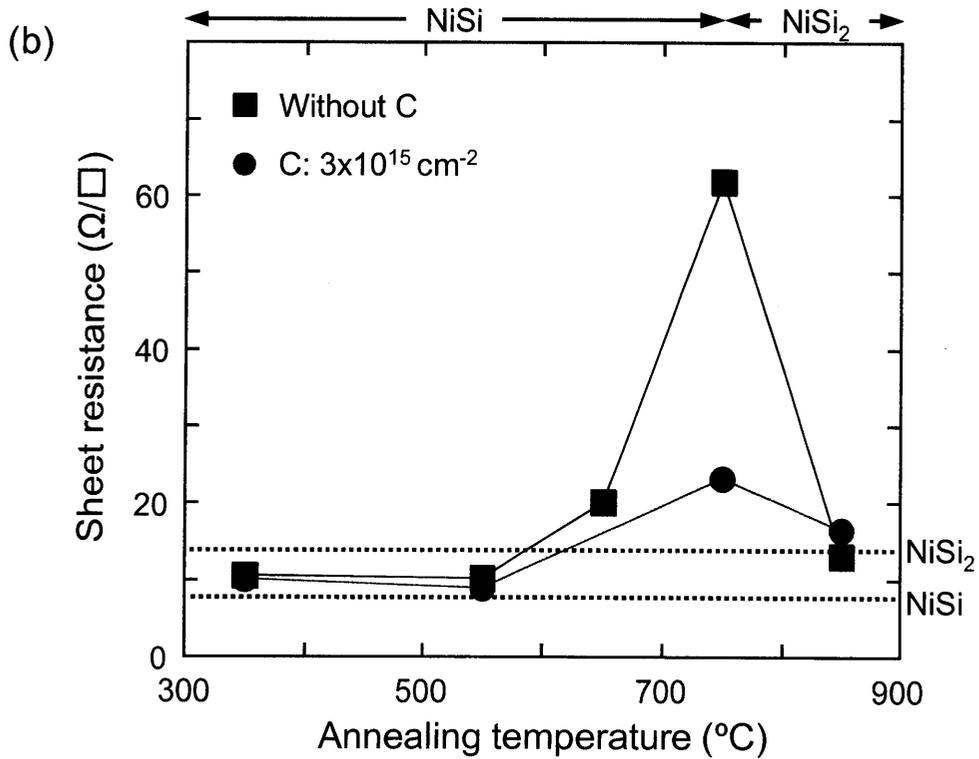
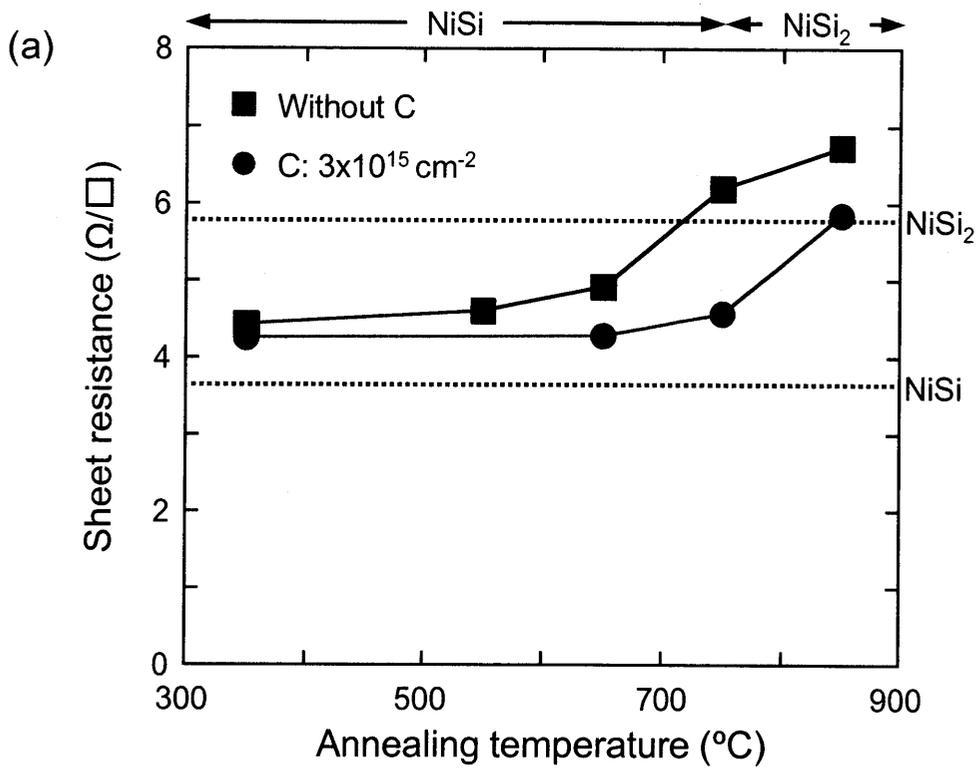


図3-3 Cイオン注入の有無における、Ni/Si系でのシート抵抗値の熱処理温度依存性。
 (a) Ni(20 nm)/Si系および(b) Ni(10 nm)/Si系。

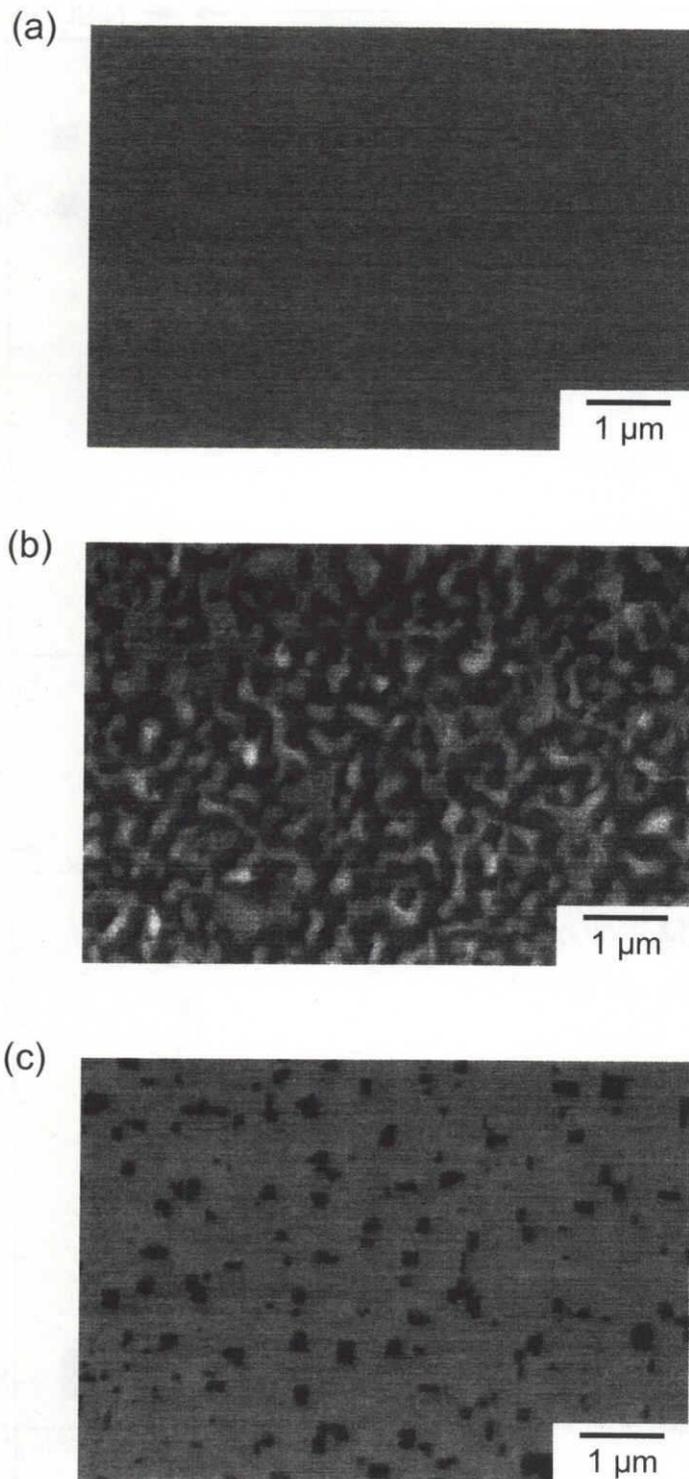


図3-4 Ni(10 nm)/Si系における表面SEM像。
(a) 550°C、(b) 750°Cおよび(c)850°C熱処理後。

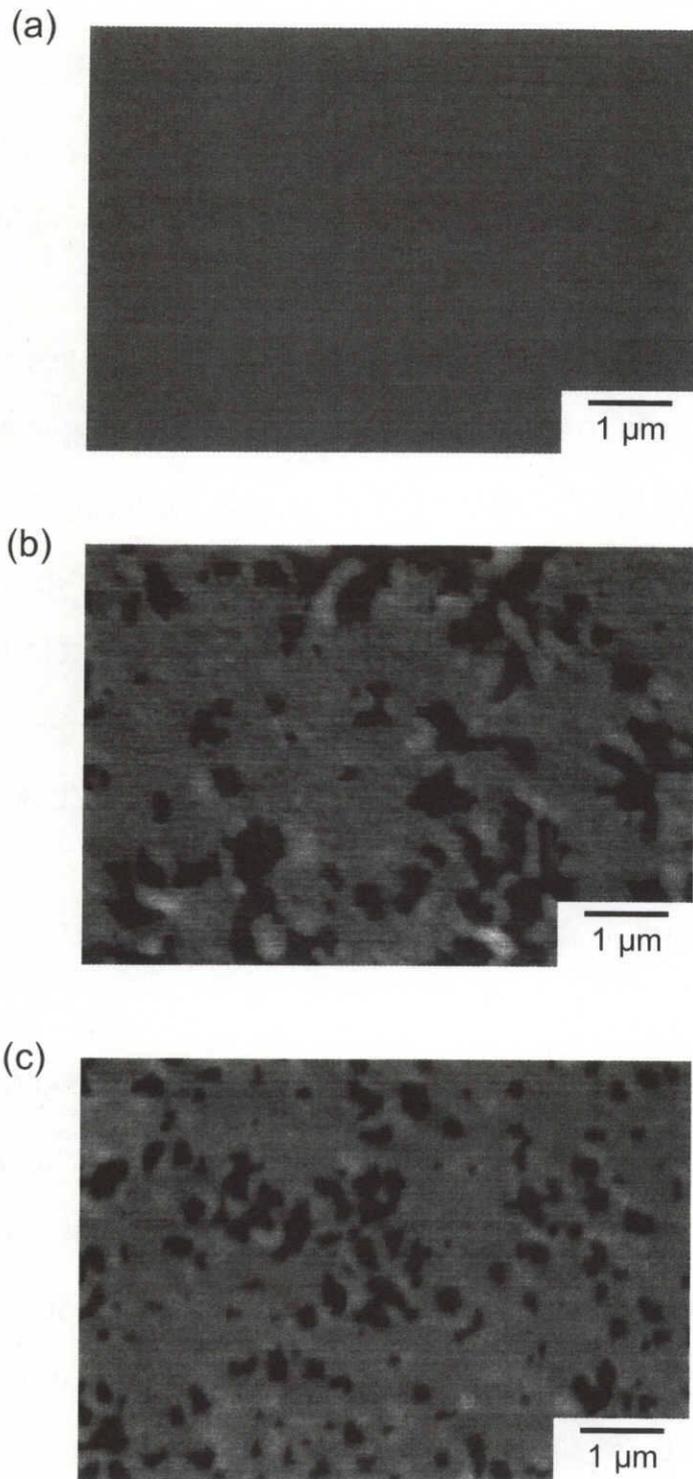


図3-5 Ni(10 nm)/Si(C)系における表面SEM像。
(a) 550°C、(b) 750°Cおよび(c) 850°C熱処理後。

結果、シート抵抗値の増大が抑制されたと解釈できる。

図 3-6 に C イオン注入濃度の異なる Ni(20 nm)/Si 試料の 750°C 熱処理後における SEM 像を示す。これらの像により、C 注入濃度の増加に伴い NiSi 膜の凝集がより効果的に抑制されていることが分かる。注入量 $3 \times 10^{15} \text{ cm}^{-2}$ の試料においては Si の露出領域はほぼ観察されない。

C イオン注入の有無における Ni(20 nm)/Si 試料の断面 TEM 像を図 3-7 に示す。図 3-7(a) の Ni/Si 系においては NiSi の凝集による界面のラフネス増大や Si の露出した領域が観察される。一方、C を注入した試料においては SEM 像の結果同様、連続した膜となっており、比較的厚さが均一な膜が形成されていることがわかる。NiSi 膜そのものは、C 注入なしの Ni/Si 系 350°C 熱処理後の場合と比べて結晶粒のサイズに大きな変化は見られない。Ni/Si 系の 350°C 熱処理後と比較して変化がないことは、シート抵抗値が 350°C 熱処理後の試料と比較してもあまり増大していないことにも現れている。

3.2 コンタクト抵抗測定

理想的な金属/Si コンタクトの場合、コンタクト抵抗は界面での Si 側の不純物濃度に依存する。不純物原子のイオン注入後、Si 基板中には原子の衝突により空孔や格子間原子が増大し、注入量や注入エネルギーによっては打ち込まれた領域はアモルファス化する。また、イオン注入直後においては不純物原子そのものも基板 Si の格子位置には入っていない[6]。したがって Si 基板の結晶性を回復させ、打ち込んだ不純物を格子位置に置換し、十分に活性化させる必要がある。

図 3-8 にイオン注入後の活性化熱処理における、シート抵抗値の熱処理温度依存性を示す。図 3-8(a)および 3-8(b)は、それぞれ n 型 Si 基板に C、B および B のみを注入した場合、および p 型 Si 基板に C、P および P のみを注入した場合である。図中の点線部は、本実験の条件下での不純物活性化率 100% の場合におけるシート抵抗値をプロセスシミュレータにより計算した値である[7]。まず、図 3-8(a)において B イオンのみを注入した

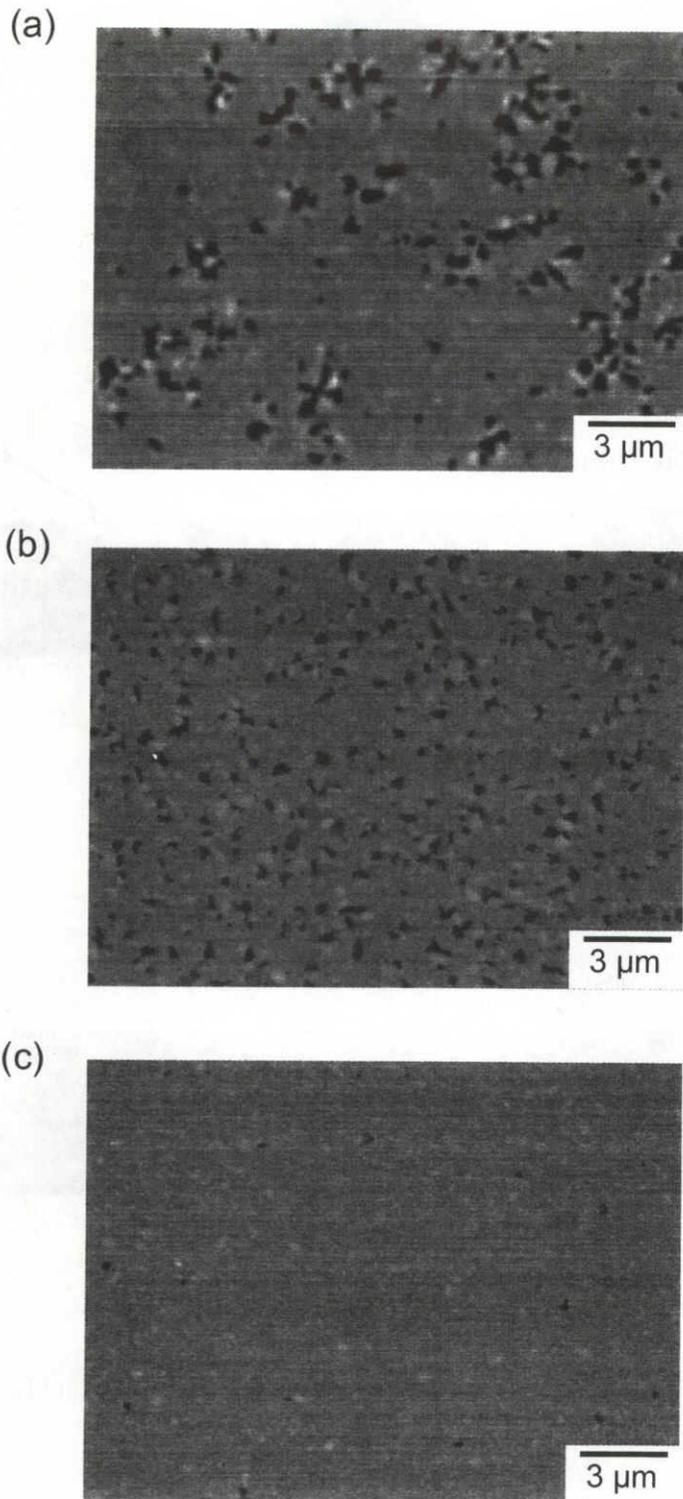
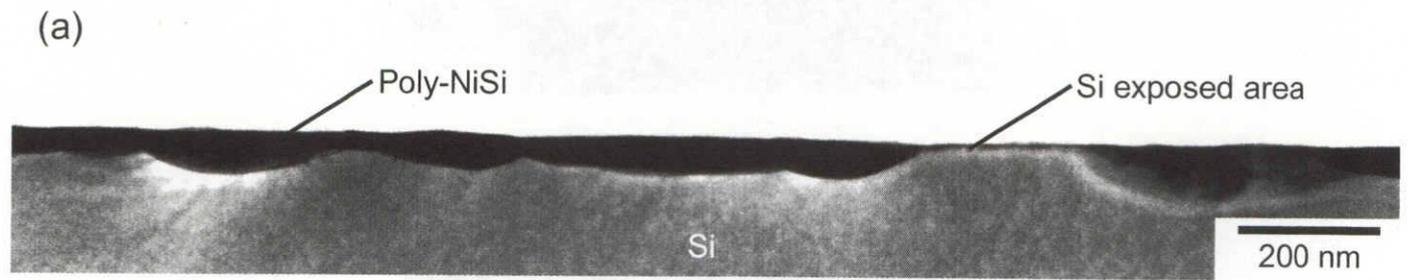


図3-6 注入濃度による、Ni(20 nm)/Si(C)、750°C熱処理後における表面SEM像。
(a) C注入なし、(b) $3 \times 10^{14} \text{ cm}^{-2}$ および(c) $3 \times 10^{15} \text{ cm}^{-2}$ 。



(b) C: $3 \times 10^{15} \text{ cm}^{-2}$

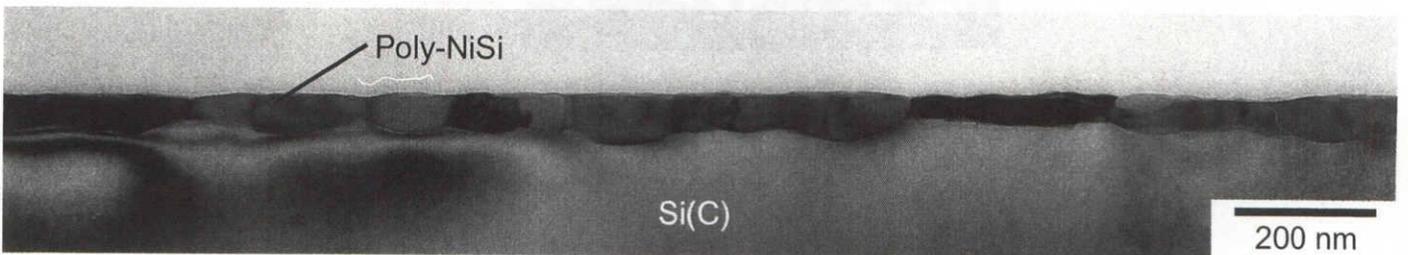


図3-7 Ni(20 nm)/Si 750°C 30秒間熱処理後の断面TEM像。
(a) C注入なし、
(b) C: $3 \times 10^{15} \text{ cm}^{-2}$ 注入。

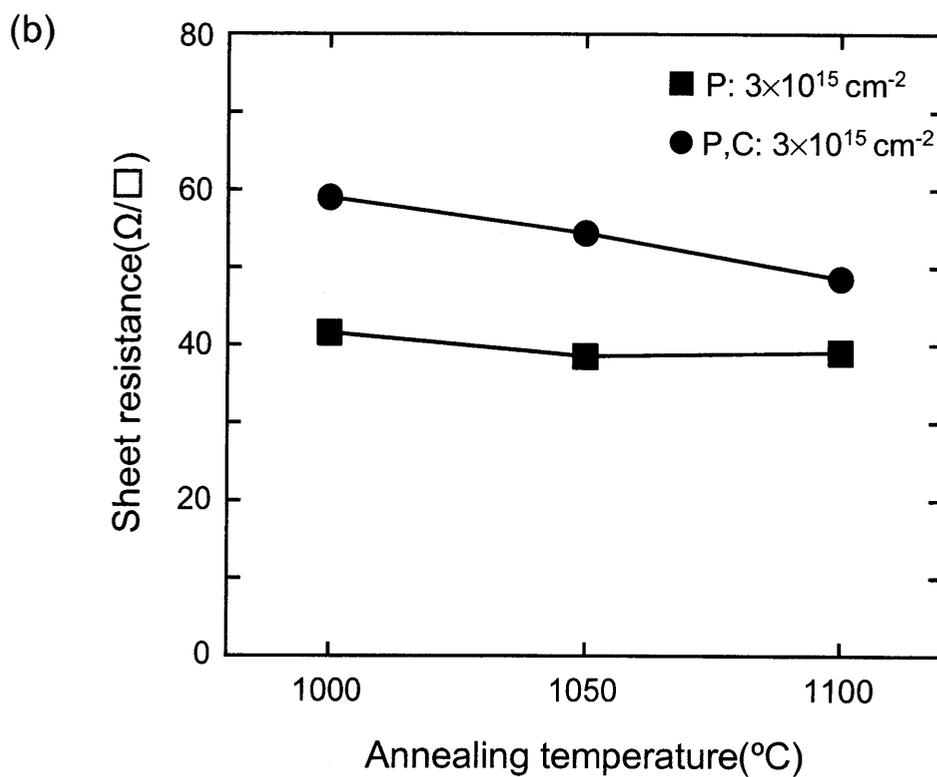
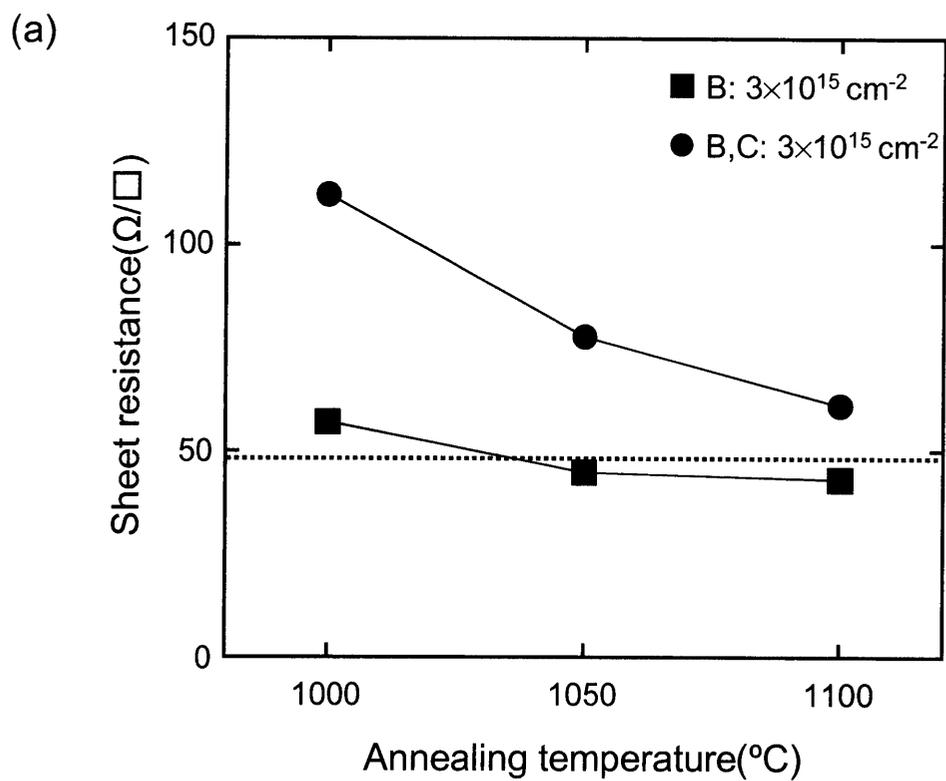


図3-8 イオン注入後Si基板における、シート抵抗値の活性化熱処理温度依存性。
 (a) n型Si基板へのB注入および(b) p型Si基板へのP注入。熱処理時間は30秒間。

場合には、熱処理温度の増大に伴いシート抵抗値が減少する。これは熱処理によって、存在する不純物原子の格子位置に入る割合が増大したためである。また、1050℃と1100℃でのシート抵抗値がほぼ変わらないことから、活性化は充分行われていると解釈できる。一方、CおよびBイオンを注入した試料に対しては、熱処理に伴いシート抵抗が減少するが1100℃においてもその値は飽和せず、抵抗値も高い。したがって、Cの注入によってBの電気的な活性化あるいはSiの結晶性の回復が遅れていると考えられる。

図3-8(b)のPイオン注入の場合においても同様の結果が得られたが、シート抵抗値は全体的に低い結果となった。一般的にSi基板における同程度の不純物濃度では、有効質量の小さい電子がキャリアであるn型半導体の方が比抵抗は小さいので[8]、C注入なしの試料と比較した場合、1100℃熱処理後において同程度に活性化されたと解釈できる。以上の結果から、コンタクト抵抗率測定用の試料については活性化が最も進行していると思われる1100℃30秒の熱処理を施したものをを用いた。

図3-9に、p⁺-SiにNiを20nm蒸着し、350℃、30分間熱処理した試料のSIMSによる深さ方向の原子濃度分布を示す。まず、Bのピークは50nm付近のNiSi/Si界面位置に来ていることからイオン注入による深さ方向の制御ができているのが確認できる。深さ方向濃度分布について見ると、Cを注入した試料の方がNiSi/Si界面付近においてB濃度が1.5~2倍程度高くなっており、Si中へのB原子の1100℃における固溶限 $1.8 \times 10^{20} \text{ cm}^{-3}$ に近い値となっている[9]。さらに、NiSi/Si界面付近へBがパイルアップしており、C注入によってBの基板方向への拡散が抑制されていると考えられる。

次に、C原子の分布に着目すると、Cを注入した試料に対しては深さ75nm付近でC濃度は $3 \times 10^{20} \text{ cm}^{-3}$ になっている。これはシミュレーションによる打ち込み直後に予想される結果とほぼ一致する。また、Cの深さ方向への分布はBの場合に比べてシャープな形であり、1100℃、30秒間の熱処理に対しても、C原子はBに比べあまり拡散していないと考えられる。また、ピーク形状はNiSi/Si界面に近い側の方がより急峻な濃度変化をとって非対称になっていることから、NiSi形成の際にC原子は基板側へと掃き出されていると推測される。

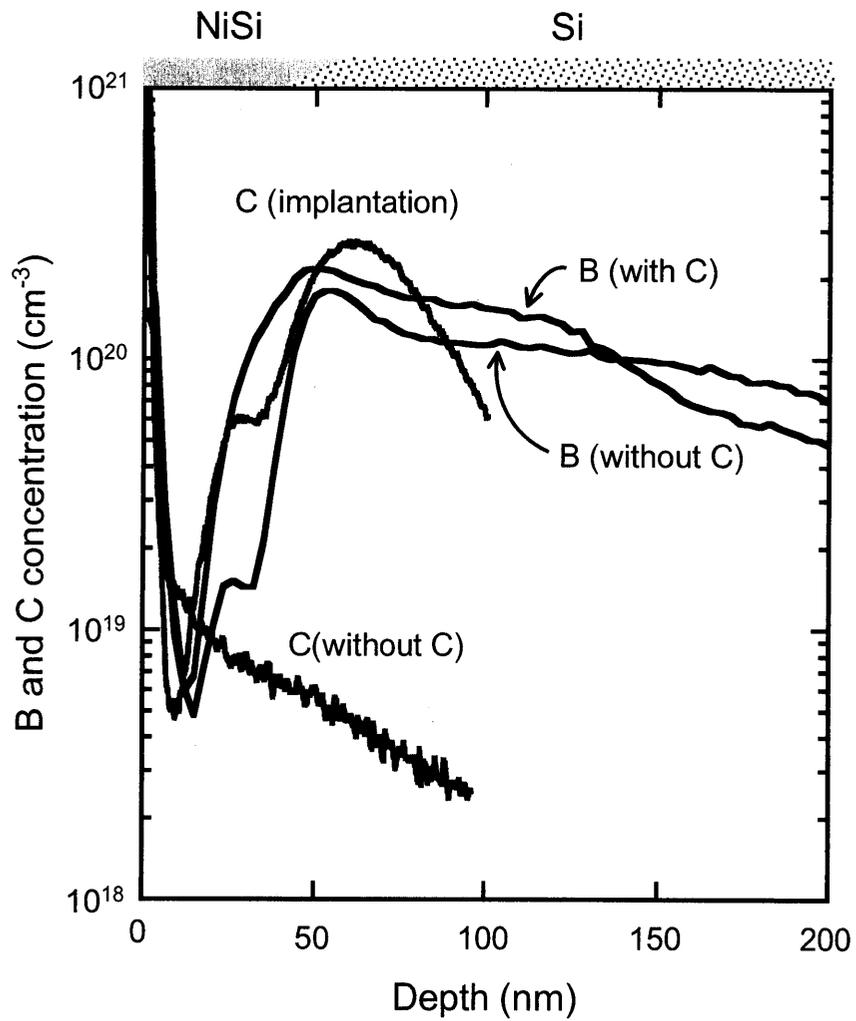


図3-9 Cイオン注入の有無における、深さ方向の原子濃度プロファイル。

図 3-10 に C イオン注入の有無に対する、コンタクト抵抗値のコンタクト面積依存性を示す。p⁺-Si (図 3-10(a))については、C をイオン注入した試料の方が 1/2~1/6 倍程度低いコンタクト抵抗値を得ることができた。このことは先述した C 注入試料において NiSi/Si 界面における B 濃度が高いという SIMS の結果と一致し、またその B 原子は電氣的に活性なものであると解釈できる。これは C を添加した Si(C)系、SiGe(C)系基板において B 原子の拡散が抑制されるという報告と同様である[10, 11]。一方、n⁺-Si については、C イオン注入の有無にかかわらず同程度のコンタクト抵抗値となった。よって P 原子の基板方向への拡散およびシリサイド化における NiSi/Si 界面への偏析には、C 注入の影響はほとんど生じないと考えられる。

3.3 ショットキーダイオードの電気伝導特性

図 3-11 に Ni/n-Si および C イオン注入濃度 $3 \times 10^{15} \text{ cm}^{-2}$ の Ni/n-Si(C)接合ショットキーダイオードについて、各温度における順方向電圧印加時の電流-電圧(I-V)特性を示す。熱処理温度は 350℃である。ショットキーダイオードにおける理想的な熱放出電流の I-V 特性は、2 章でも述べた以下の式を用いて表せる。

$$J = A^* T^2 \exp\left(-\frac{q\Phi_B}{k_B T}\right) \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (3.1)$$

後述する表 3-1 で求めた n 型および p 型に対するショットキー障壁高さ 0.65 および 0.38 eV を使って、(3.1)式を用いて計算した 100K、200K、300K における理想 I-V 特性を破線で示す。C 注入なしの Ni/n-Si 試料の場合、250K 以下の領域において低電圧印加時に傾きが緩やかになっており、熱放出電流に加えて過剰電流成分が見られる。これは、界面近傍における欠陥を介して流れるマルチステップトンネル機構が寄与した電気伝導が生じているものと推測される[12]。一方、Ni/n-Si(C)の試料では、Ni/n-Si と比較してそのような低温・低電圧印加時における過剰成分が確認できない。また測定温度に伴い電流が著しく変化していることから温度に依存した機構が支配的であると考えられる。しかし理想 I-V と比較して傾きが緩やかで、全体的に低い電流値となっていることから別

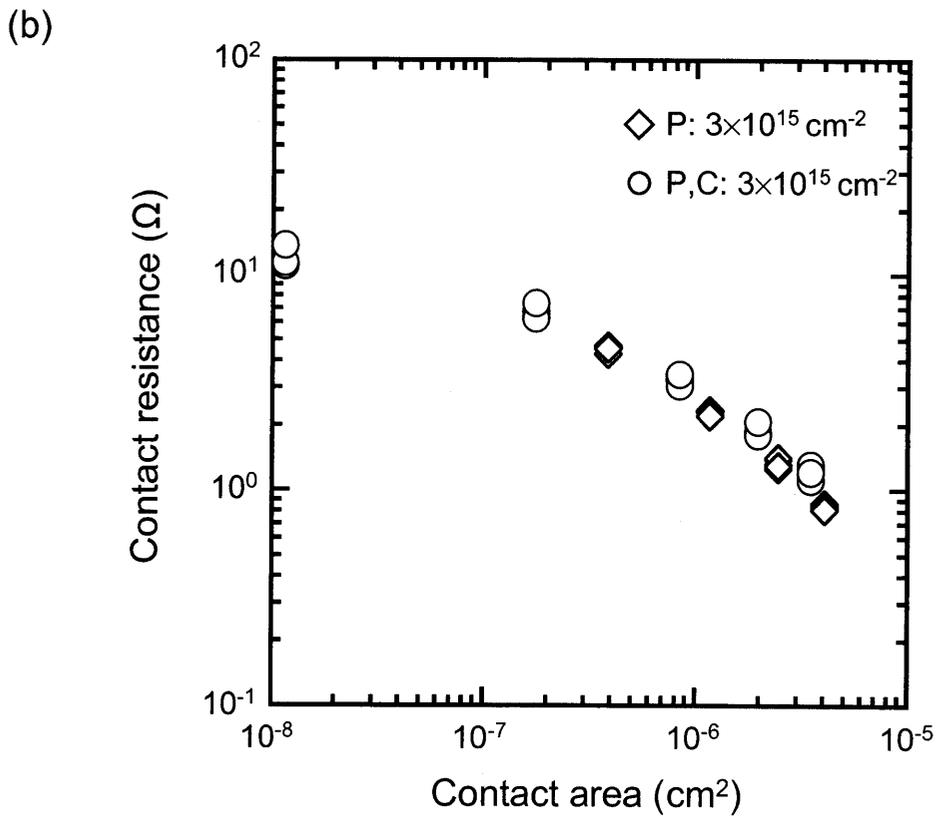
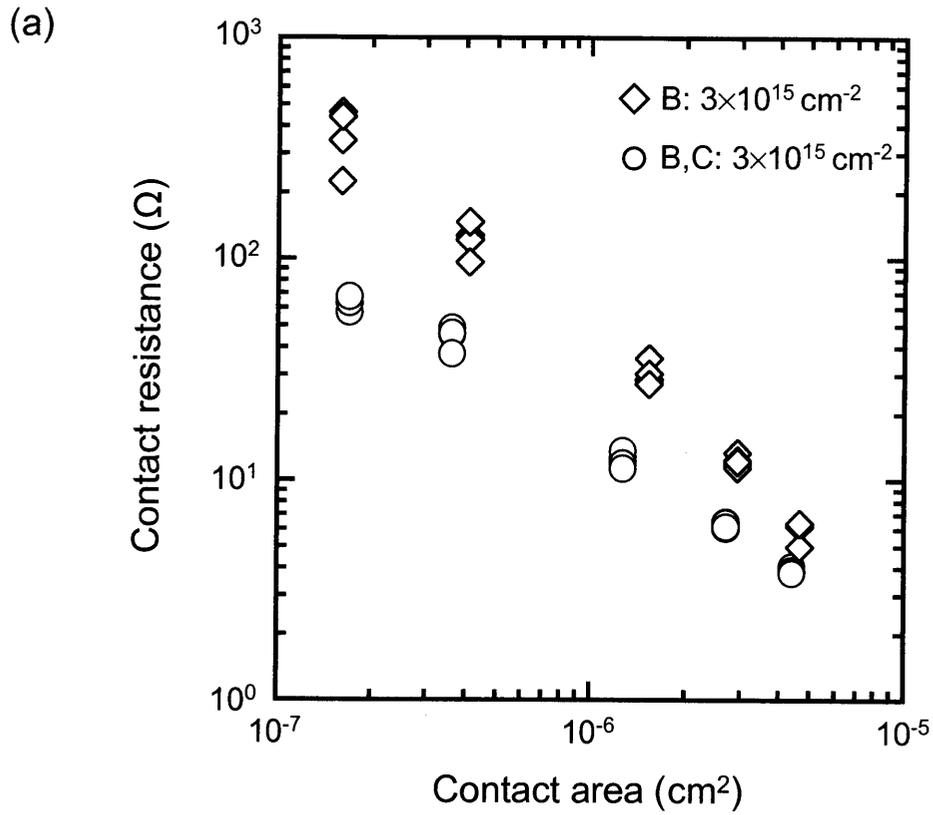


図3-10 Cイオン注入の有無におけるコンタクト抵抗値。
 (a) Ni/p⁺-Si系および(b) Ni/n⁺-Si系。

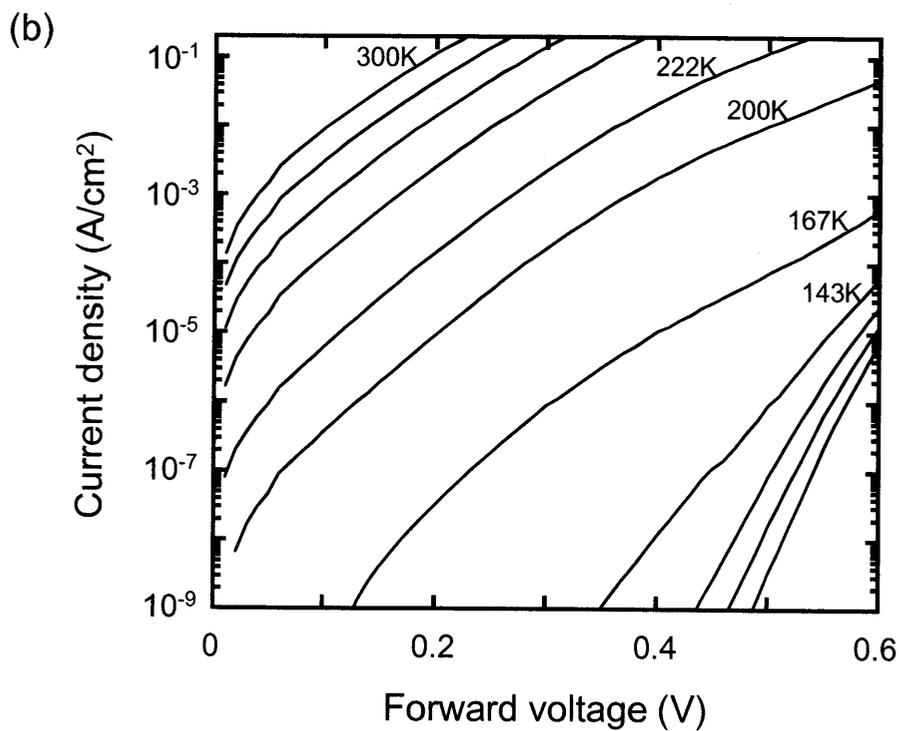
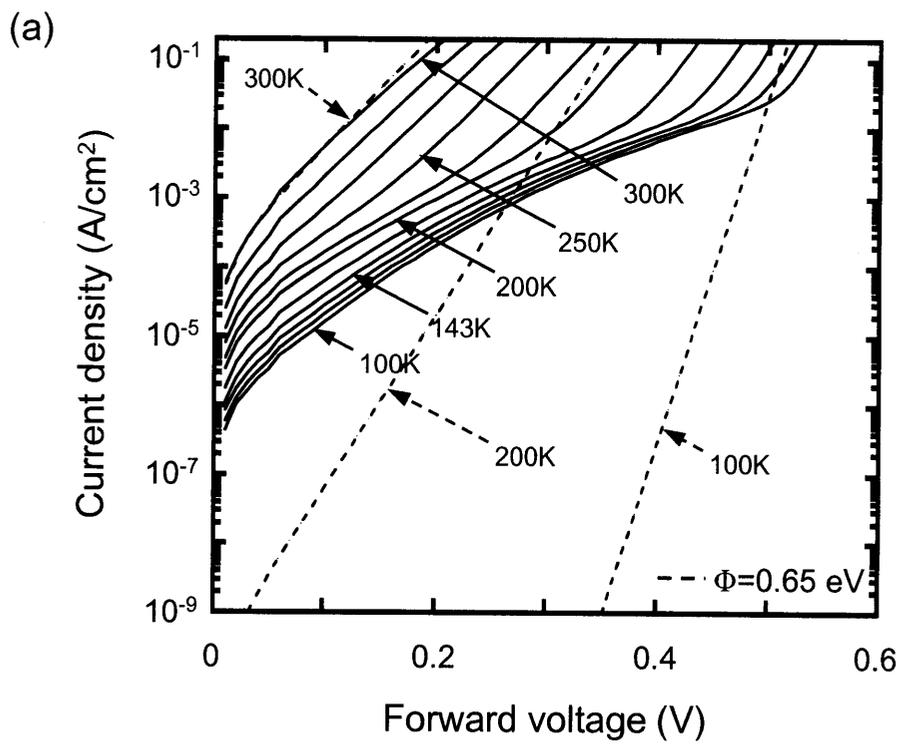


図3-11 ショットキーダイオードの順方向電圧印加時のI-V特性。
 (a) Ni/n-Si および(b) Ni/n-Si(C)、350°C熱処理後。

の伝導機構も働いていると考えられる。

次に Ni/p-Si および Ni/p-Si(C)におけるショットキーダイオードの順方向印加時の電流-電圧特性を図 3-12 に示す。図 3-11 と同様にショットキー障壁高さ 0.38 eV の場合の理想 I-V 特性を破線で示す。Ni/p-Si の試料では、温度依存性が見られ、また過剰電流成分がほとんど観察されないことから熱放出機構が支配的であり、理想的な界面が形成されていると判断できる。一方、Ni/p-Si(C)の試料においては、250K 以下の温度領域での過剰電流成分が見られる点からこの領域ではマルチステップトンネル機構が支配的であると判断できる。

それぞれの I-V 特性から指数関数的な依存性を示す領域を選択し、最小二乗法を用いたフィッティングを行うことにより、その傾きおよび切片を求めた。(3.1)式および次式より、理想因子 n およびショットキー障壁高さ Φ_B を決定できる。

$$n \equiv \frac{q}{k_B T} \frac{\partial V}{\partial (\ln J)} \quad (3.2)$$

(3.1)式および(3.2)式を用いて得られた、各温度における理想因子 n およびショットキー障壁高さを図 3-13 に示す。なお、リチャードソン定数 A^* としては p-Si および n-Si に対してそれぞれ 32 および 112 A/cm²K²の値を用いて計算した[13]。ただし、Ni/p-Si 試料での測定温度 167K 以上および Ni/p-Si(C)の試料に対しては n 値が十分 1 に近い、すなわち熱放出電流が支配的な領域が観察されなかったために本評価が適用できなかった。

図 3-13(a)に示した Ni/n-Si の試料において、低温領域では n 値が増大することから電流成分が熱放出機構から外れることを表している。図 3-13(b)に示した Ni/n-Si(C)の場合、指数関数的な依存性を示す領域は多く見られたが、その傾きが緩やかであり、 n 値としては 1.3~1.9 という値が得られた。図 3-13(c)に示した Ni/p-Si の場合、167K 以下の低温領域において熱放出電流が支配的となるが、より高温の領域では大きな電流が流れるため、基板抵抗の影響により指数関数的な依存性から外れるものと考えられる。

熱放出機構が支配的と考えられる n 値が最も低い場合を選択した場合の n 値およびショットキー障壁高さを表 3-1 に示す。C 注入なしの試料に対しては、 n 型および p 型ともに n 値は 1.04 と比較的 1 に近い値を示し、ショットキー障壁の和が 1.03 eV となる。

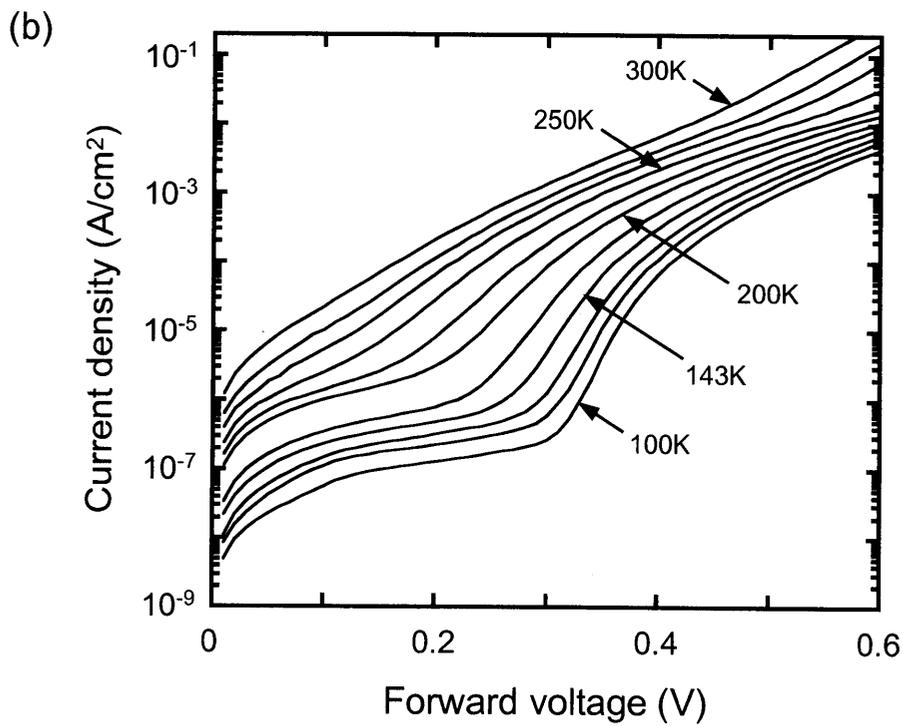
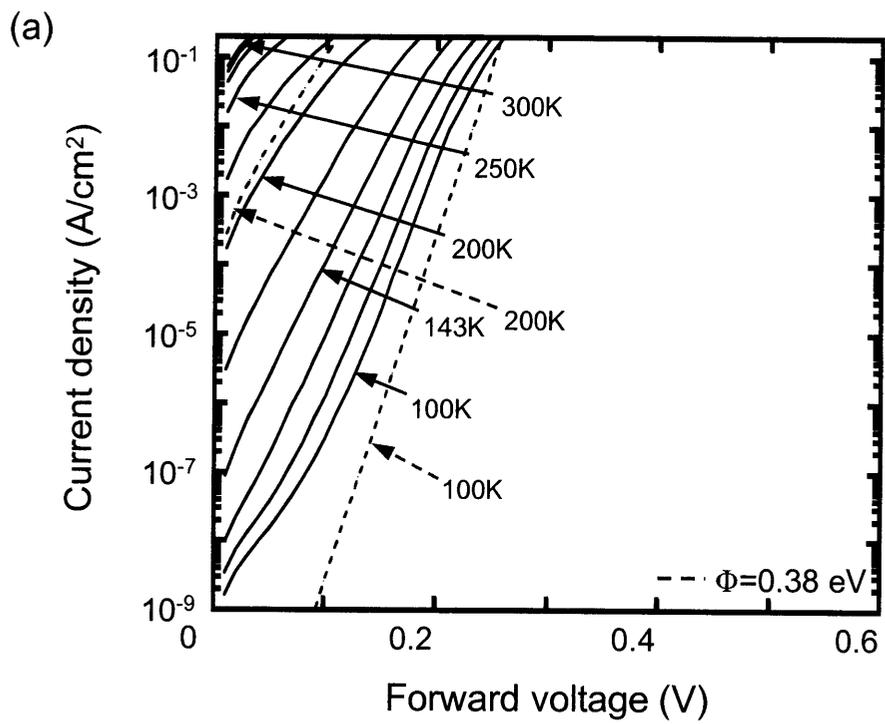


図3-12 ショットキーダイオードの順方向電圧印加時のI-V特性。
(a) Ni/p-Si および(b) Ni/p-Si(C)、350°C熱処理後。

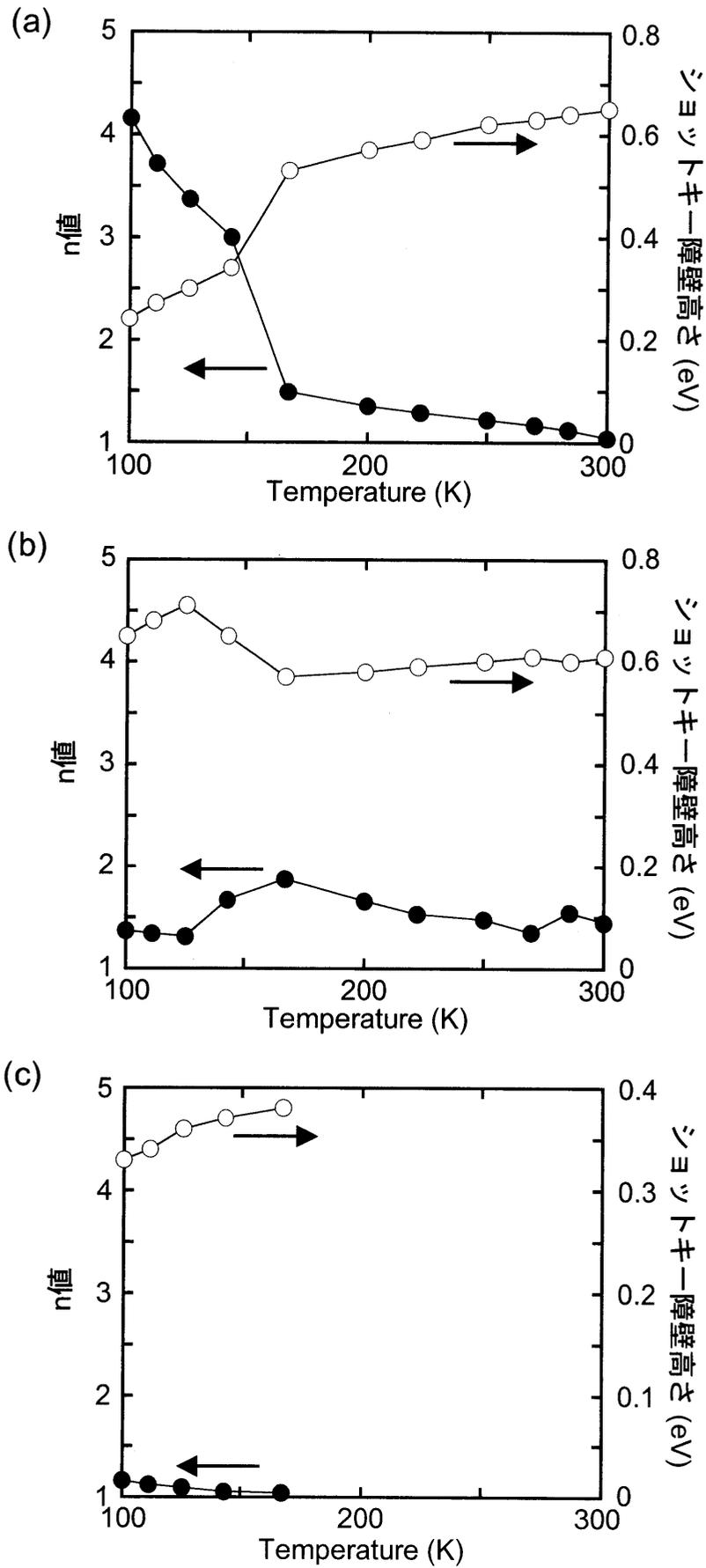


図3-13 順方向電圧印加時のI-V特性から見積もった n 値およびショットキー障壁高さの温度依存性。(a) Ni/n-Si、(b) Ni/n-Si(C)、(c) Ni/p-Si。

表3-1 Ni/n-Si系およびNi/p-Si系ショットキーダイオードの順方向I-V測定から見積もった理想因子およびショットキー障壁高さ。

		without C	with C implantation
Ni/n-Si	n	1.04	1.31
	ϕ_{Bp}	0.65	0.71
Ni/p-Si	n	1.04	—
	ϕ_{Bn}	0.38	—

これは Si のバンドギャップに近い値となることから信頼できる値であると言える。Ni/n-Si(C)においては n 値が 1.31、Ni/p-Si(C)においては先述したとおり熱放出電流が支配的な領域が観察されなかった。この結果からも Ni/Si(C)コンタクトでは熱放出電流以外の伝導機構が寄与していると考えられる。

図 3-14 に Ni/n-Si および Ni/n-Si(C)ショットキーダイオードの各温度における逆方向電圧印加時の I-V 特性を示す。C 注入なしの Ni/n-Si 系においては低温低電圧印加時においても 10^{-4}A/cm^2 程度の逆方向電流が流れており、比較的溫度依存性は乏しい。したがって欠陥部分を介して電流が流れるマルチステップトンネル機構が支配的に働いていると解釈できる。一方、C イオン注入をした Ni/n-Si(C)試料において低温時に逆方向電流が非常に低くなっている事が分かる。溫度依存性が強いことから、ショットキー界面を流れる電流は熱放出電流が支配的であると判断できる。これらは順方向電圧印加時の場合の特性と一致する。次に Ni/p-Si および Ni/p-Si(C)ショットキーダイオードの各温度における逆方向電圧印加時の I-V 特性を図 3-15 に示す。n 型の場合と異なり、C 注入なしの Ni/p-Si においては溫度依存性が強く熱放出機構が支配的であると判断できる。順方向で得られたショットキー障壁高さ $\Phi_{Bp}=0.38 \text{ eV}$ を用いて(4.3.1)式から計算される飽和電流 J_s は、300K の場合に 1.2 A/cm^2 となる。300K において数 A/cm^2 の飽和電流が得られているが、整流特性として信頼できる値と考えられる。一方 Ni/p-Si(C)においては C 注入なしの場合と比較して全体的に電流値が低く、高温での測定において数桁逆方向電流が抑制されているが、詳細なメカニズムについてはさらなる検討を要する。

図 3-16 にショットキーダイオードの逆方向電流の溫度依存性をアレニウスプロットした結果を示す。印加電圧は 3V である。図 3-16(a)および 3-16(b)は、それぞれ n 型および p 型ダイオードに関する結果である。図 3-16(a)の Ni/n-Si においては溫度依存性が小さく、低温領域において 10^{-4}A/cm^2 台の逆方向電流が流れているのが分かる。したがって順方向印加時と同様に、界面における欠陥を介してトンネルする電流の存在が考えられる。一方 Ni/n-Si(C)においては 300K で同程度だった逆方向電流が減少していくのが分かる。以上より、Ni/n-Si 系においてマルチステップトンネル機構によって流れていた

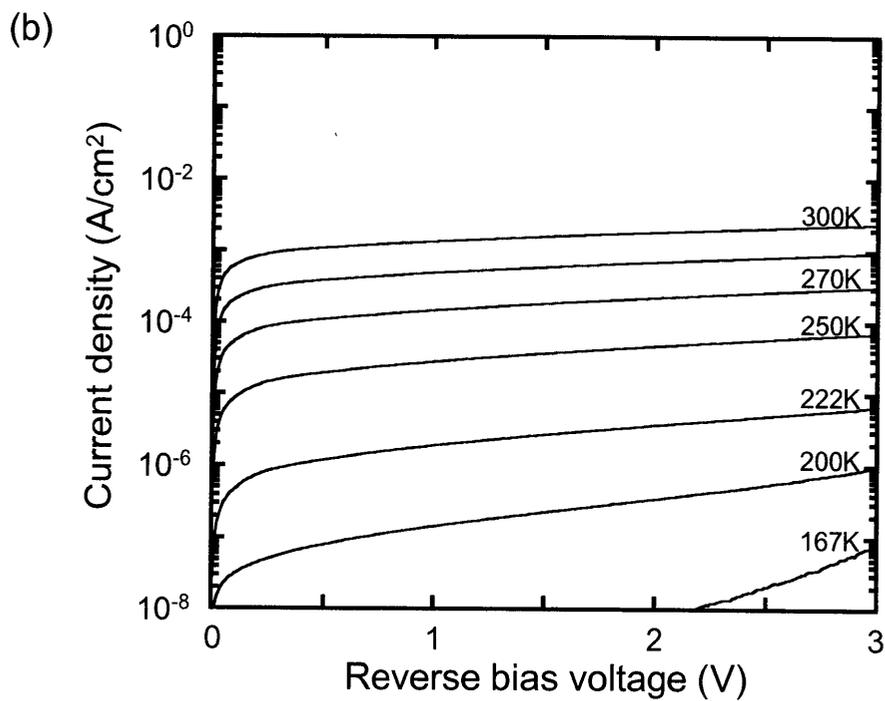
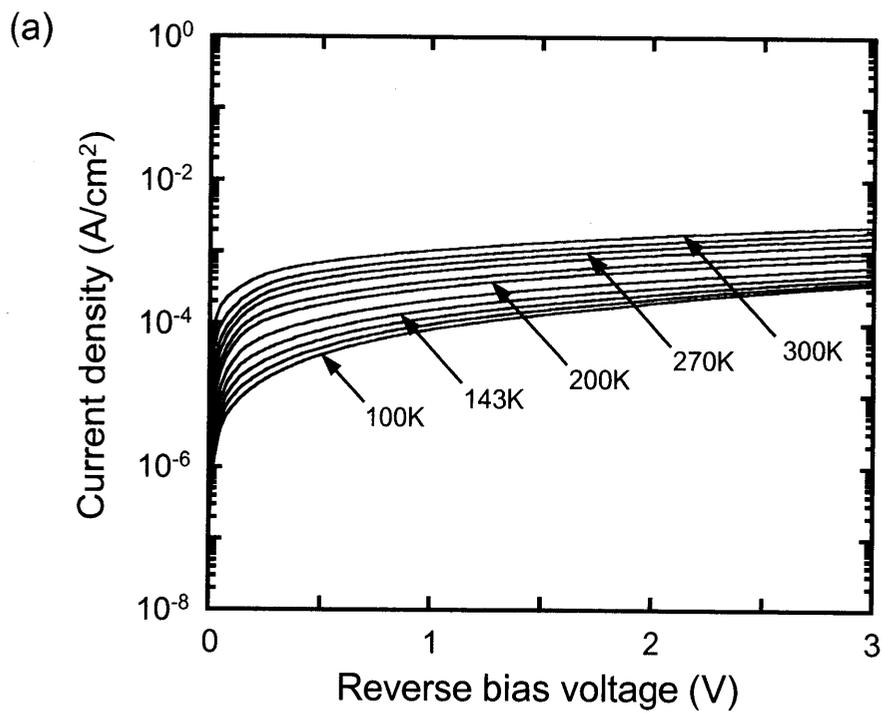


図3-14 ショットキーダイオードの逆方向電圧印加時のI-V特性。
(a) Ni/n-Si および(b) Ni/n-Si(C)、350℃熱処理後。

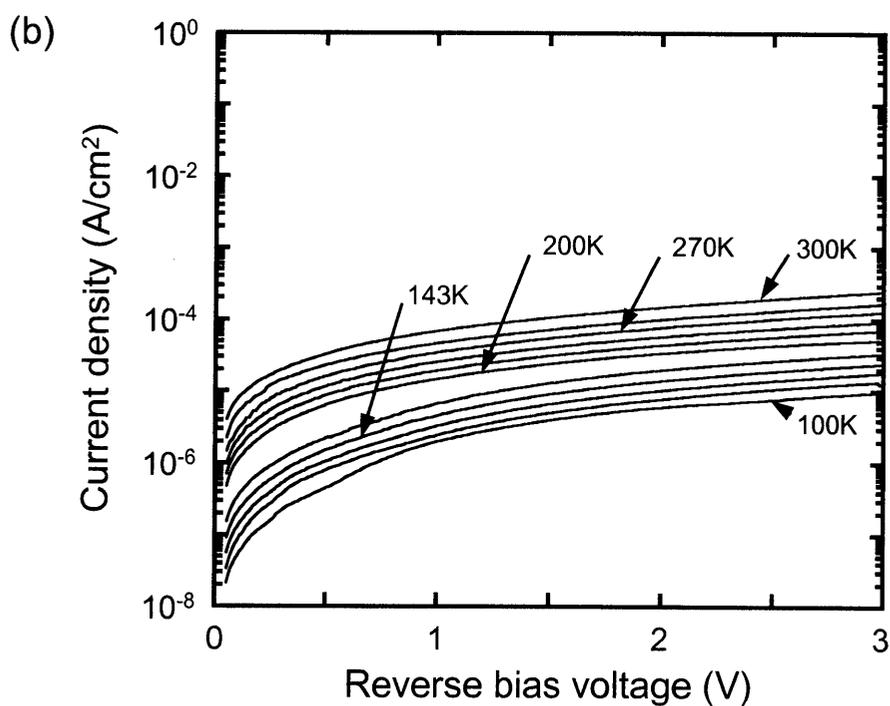
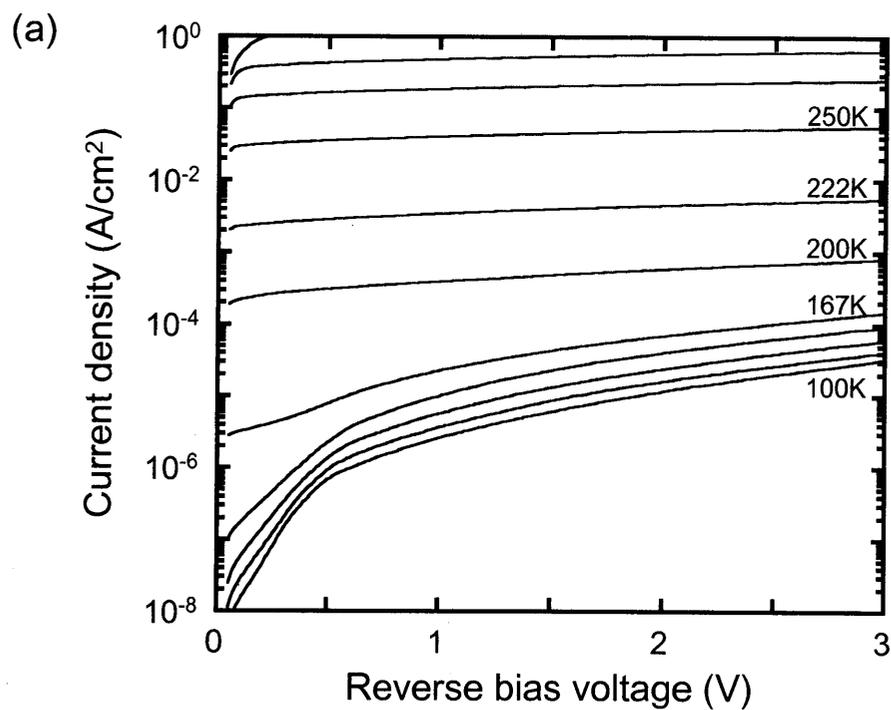


図3-15 ショットキーダイオードの逆方向電圧印加時のI-V特性。
(a) Ni/p-Si および(b) Ni/p-Si(C)、350°C熱処理後。

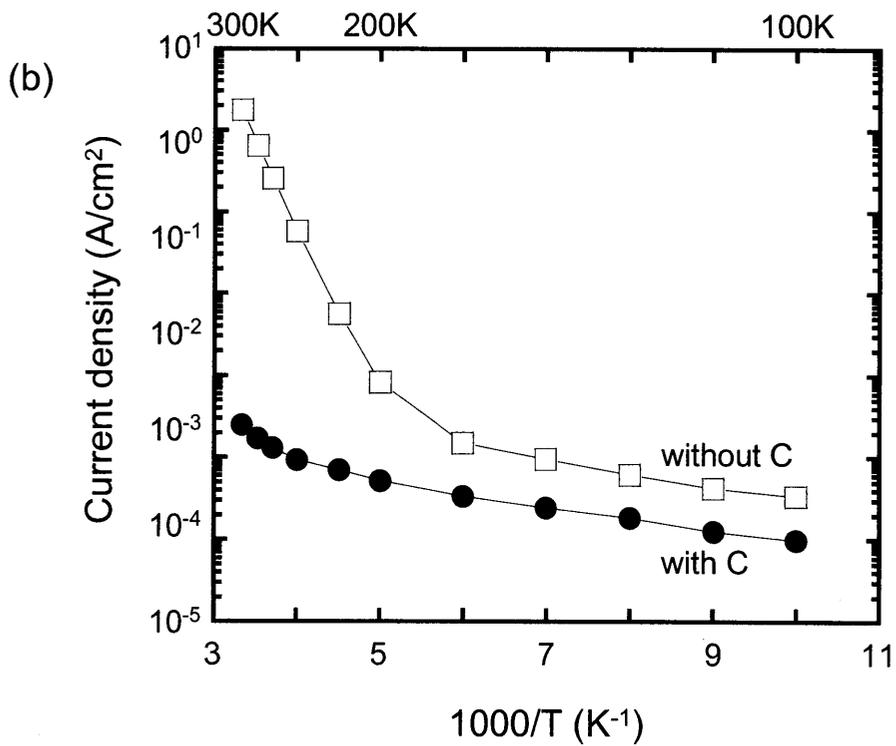
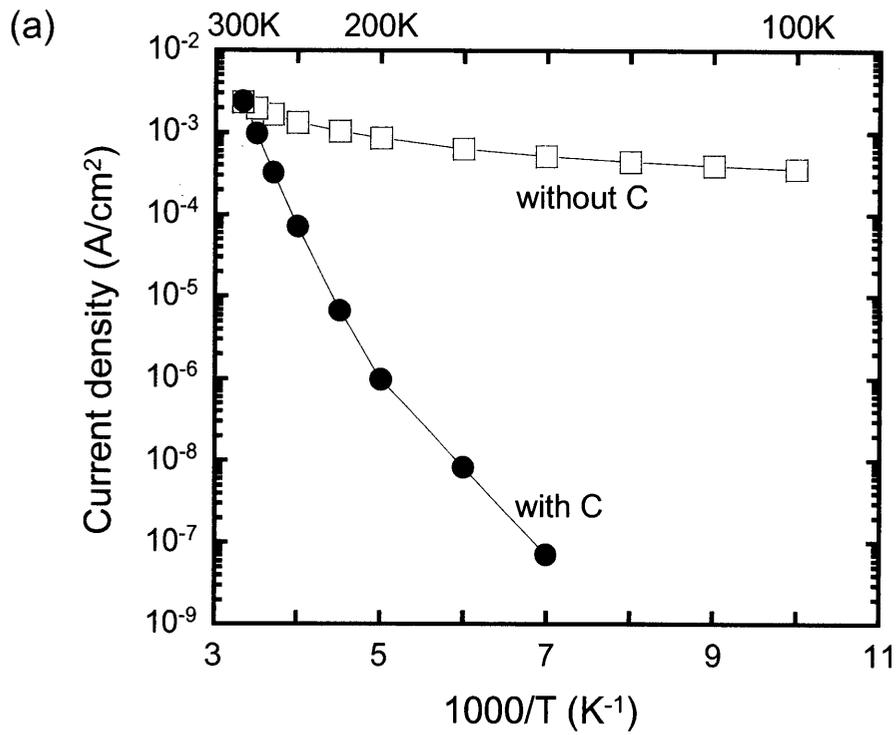


図3-16 ショットキーダイオードの逆方向電流の温度依存性。印加電圧は3V。
 (a) Ni/n-Si系 および(b) Ni/p-Si系、350°C熱処理後。

電流が、Cをイオン注入することにより界面近傍の欠陥を大幅に減少させ、熱放出電流が支配的な機構へと変化したと解釈できる。

一方、Ni/p-Si系においては、C注入なしの場合、順方向印加時と同様に温度依存性が見られ、温度の逆数と比例関係を満たす222~300Kまでの傾きから見積もったNi/p-Si系におけるショットキー障壁高さは0.42 eVであった。これは順方向印加時から求めた0.38 eVと近い値となった。

また、Cを注入したNi/p-Si(C)においては、C注入なしの場合と比較して全体的に電流は低い値となった。逆方向電流が減少したという事はNiSi/Si界面近傍における欠陥が減少したと推測できる。

以上をまとめると、Ni/Si系においてCイオンを基板に注入した場合、逆方向特性における電流値が減少した。特にn型においてはI-V特性が向上し、界面近傍の欠陥が減少したと考えられる。LeeらはNiSi/p⁺-Si/n-Si基板へN₂イオンを6×10¹⁴cm⁻²注入することによりリーク電流が減少したと報告している。それはN₂原子導入によることでシリサイド膜の平坦性が向上したことと、注入での欠陥が捕獲サイトとなりNiの拡散を抑制したのではないかと解釈している[14]。またChengらも同様にN⁺、N₂⁺を2×10¹⁵~3×10¹⁵cm⁻²注入することでNi原子の拡散抑制をSIMSにより確認している[15]。Si中におけるNiの拡散は、450-800℃の温度領域ではsubstitutional型が支配的である[16]。以上の報告を元に考察すると、Cイオンを注入することによって、Si中のvacancy濃度が減少し、Niの拡散が抑制されたと推測される。以前、土屋は、CVDで作製したSi(C)基板において、Ni蒸着後低温熱処理した試料中のNiSi膜表面および界面に、NiSiとは異なるNi-poorなシリサイド相が局所的に存在することを確認し、それがNi拡散の抑制によって形成された反応初期相であると解釈した[17]。今回の結果は、その解釈を指示するものであるが、今後DLTS等によって欠陥の準位および密度について詳細に評価する必要がある。

また、C注入なしの試料における順方向印加時のNi/Si系においては、報告されているNiSiのショットキー障壁および(3.1)式を用いた理想I-V特性とよく一致した。しかし、

C を注入した試料においては順方向印加時に、n 型および p 型ともに電圧に対する電流の増加は緩やかになっている。その原因としては、図 3-8 で示した、C 注入 Si 基板のシート抵抗値の増大からも考えられるように、Si 基板上の Si(C)層が直列抵抗を担っている可能性がある。また、先述の Ni-poor な結晶相が、余分な抵抗として影響を及ぼしている可能性も考えられるが、詳細についてはさらなる検討が必要と思われる。

参考文献

- [1] L. D. Lanzerotti and J. C. Sturm, *Appl. Phys. Lett.* **70**, 3125 (1997).
- [2] G. Schmidt and K. Eberl, *Phys. Rev. Lett.* **80**, 3396 (1992).
- [3] S. Zaima, Y. Tsuchiya, K. Okubo, O. Nakatsuka, A. Sakai, J. Murota, and Y. Yasuda, ICS13, 9-12 Mar. 2003, Santa Fe, USA (2003).
- [4] J. R. Ziegler, J. P. Biersack and U. Littmark, *The Stopping and Range of Ions in Solids*, Vol.1, Pergamon Press, New York, (1985).
- [5] J. S. Williams and J. M. Poate, *Ion Implantation and Beam Processing*, p.22 (1984).
- [6] 水野博之, イオン工学ハンドブック, p149 (2003).
- [7] 芦澤哲夫, 修士論文 (1999) 名古屋大学.
- [8] W. F. Beadle, J. C. C. Tsai and R. D. Plummer, Eds., *Quick Reference Manual for Semiconductor Engineers*, Wiley, New York (1985).
- [9] V. E. Borisenko and S. G. Yudin, *Phys. Stat. Sol.* **A101**, 123 (1987).
- [10] P. A. Stolk, D. J. Eaglesham, H.-J. Gossmann, and J. M. Poate, *Appl. Phys. Lett.* **66**, 1370 (1995).
- [11] L. D. Lanzerotti, J. C. Sturm, E. Stach, R. Hull, T. Buyuklimanli and C. Magee, *Appl. Phys. Lett.* **70**, 3125 (1997).
- [12] A. R. Riben and D. L. Feucht, *Solid-State Electron.* **9**, 1055 (1966).
- [13] J. M. Andrew and M. P. Lepselter, *Solid-State Electron.* **13**, 1011 (1970.)
- [14] P. S. Lee, K. L. Pey, D. Mangelinck, J. Ding, A. T. S Wee and L. Chan, *IEEE Electron Device Lett.* **21**, 566 (2000).
- [15] L. W. Cheng, S. L. Cheng, J. Y. Chen, L. J. Chen and B. Y. Tsui, *Thin Solid Films* **355**, 412 (1999).
- [16] K. Graff, *Semiconductor Silicon 1986*, The Electrochem. Soc. p.751 (1986).
- [17] 土屋義規, 修士学位論文 (2003) 名古屋大学.

第4章 Si(100)基板上的のエピタキシャル NiSi₂ 初期成長の観察 および C 導入によるその制御

NiSi₂ はダイヤモンド構造に似た CaF₂ 構造をしている。その構造を図 4-1 に示す。その格子定数は 0.5406 nm であり、Si との格子不整合が-0.46%と非常に小さいため、Si 基板上にエピタキシャル成長し、Si 基板との間に急峻なヘテロ界面を形成できることが期待されている。しかし、通常 NiSi₂/Si(100)界面においては{111}ファセットを形成しやすい[1]。NiSi₂ をコンタクト材料として適用するには、{111}ファセット形成という問題を解決し、Si(100)基板上において原子レベルで平坦な NiSi₂(100)/Si(100)界面を形成する必要がある。現在、Si 基板中への 0.4%程度の C の導入により、{111}ファセット形成が抑制されるという報告がある[2]。しかし、詳細なメカニズムについては十分に解明されていない。その解明は、シリサイド形成時の表面および界面における原子の動きを理解し、原子レベルで平坦なシリサイド/Si 界面の形成技術を確立する上で非常に重要である。

本研究では、Ni/Si 界面への sub-monolayer の C の導入により、エピタキシャル NiSi₂ 形成の初期成長過程に与える C の影響について検証を行った。形成された NiSi₂ の表面モフォロジーや結晶構造などを、STM、AES、RHEED および TEM を用いて観察、評価した。本章では、C の有無による NiSi₂ 形成の違いを比較するために、まず、Si 清浄表面上に Ni シリサイドを固相成長させた場合について述べる。その後、様々な C 蒸着条件により C を導入した Si 表面上における NiSi₂ の初期成長について述べる。

4.1 試料作製方法

4.1.1 試料の清浄化

本研究では試料として n 型 Si(100)基板、比抵抗 1~7 Ωcm を用いた。基板を[110]劈

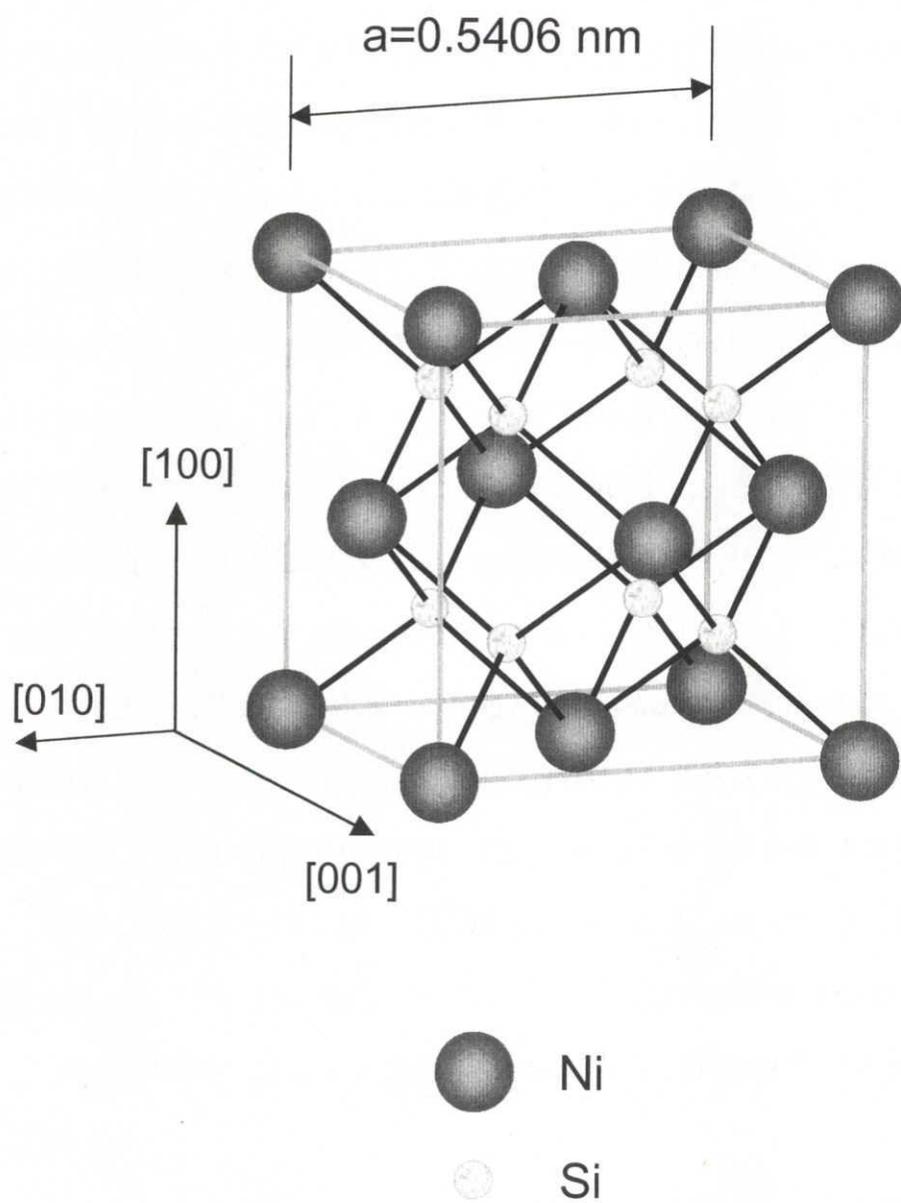


図 4-1 NiSi₂ の単位格子 (CaF₂ 構造)。

開方向に沿ってダイヤモンドカッターを用いて約 $4 \times 10 \text{ mm}^2$ の大きさに切り出し、アセトンおよびエタノールによってそれぞれ 10 分間の超音波洗浄を行った。その後、試料ホルダーに取り付け、試料導入チャンバから超高真空チャンバに大気開放することなく導入した。傍熱ヒータを用いて試料ホルダーの脱ガスを行い、通電加熱により基板を 700°C で 8 時間以上保持することによって試料からの脱ガスを行った。続いて、 1100°C で 2 分間の熱処理を行い、一旦 900°C まで下げてから、約 50 分間かけて通電加熱用の電流が 0 A になるまで電流を徐々に下げて試料を冷却することにより、Si の清浄表面を得た。

RHEED 観察により、Si(100)- 2×1 再構成パターンが観察されたこと、およびオージェ電子分光 (AES: Auger Electron Spectroscopy) 測定を用いて、C や O などの主要な不純物が測定限界以下であることにより Si 表面の清浄化を確認した。

4.1.2 ニッケル(Ni)の蒸着

Ni の蒸着には EFM を用いた。蒸着源としては、純度 99.99 %、直径 3 mm、長さ 45 mm のロッド状の Ni を用いた。今回、加速電圧を 0.8 kV とした。また Ni の蒸着速度は約 0.03 nm/min (0.40 ML/min) であった。ここで 1 ML は、Si(100)最表面上の Si 原子の面密度 $6.78 \times 10^{14} \text{ cm}^{-2}$ に相当する膜厚と定義する (Ni 1 ML = 0.0742 nm)。

Ni の膜厚は AES 測定によって見積もった。また、Ni 蒸着後に AES 測定により、炭素や酸素などの不純物が測定限界以下であることを確認した。

4.1.3 カーボン(C)の蒸着

C の蒸着には Ni と同じく EFM 装置を用いた。しかし、C は Ni に比べて融点が高いため蒸発しにくい。そのために Ni よりも高い加速電圧 (1.0 kV) を与えて蒸着した。C のロッド形状は、直径 1 mm、長さ 45 mm であり、純度は G530S (99.99%相当) のものを使用した。C の蒸着速度は約 0.002 nm/min (0.04 ML/min) であった。Ni の 1 ML の定義と

同様に Si(100)最表面上の密度に相当する膜厚を 1 ML とする (C 1 ML=0.0385 nm)。また、AES 測定によって、C の蒸着を確認した。

4.2 Si(100)清浄表面上での NiSi₂ 固相成長

4.2.1 Si(100)清浄表面

図 4-2(a)および 4-2(b)に清浄化処理直後の Si(100)表面の STM 像、および Si(100)-2×1 表面における 2 種類のステップ構造のモデルをそれぞれ示す。この Si 表面では RHEED 像により Si(100)-2×1 再構成パターンが観察され、AES 測定では主要な不純物は測定限界以下であることにより、清浄化を確認した。

Si(100)清浄表面において、最表面の Si 原子は 2 本のダングリングボンドを持つ。ダングリングボンドはエネルギー的に不安定であるために、隣り合う Si 原子のダングリングボンド同士が 2 重結合して、安定になる。この 2 重結合した 2 つの Si 原子を一単位として、ダイマーと呼び、このダイマーの連なりをダイマー列と呼ぶ。ダングリングボンドの密度を半減して表面エネルギーを低減させることにより、表面は安定な 2×1 再配列構造を形成する。

図 4-2 に示した STM 像において、ダイマー列を反映した白い列が並んでいる様子が観察される。そして、矢印 A で示すようにダイマーが抜けたような黒い点として見えている部分は欠陥である。また、矢印 B で示すようにダイマー列の一部にはジグザグに見える部分がある。これは表面に対して傾いた非対称（バックリング）ダイマーが違う向きに交互に並んでいるためである。

Si(100)表面上のステップは単調な階段状であり、面方位のずれが小さい表面ではステップの高さは 1 原子層(0.136 nm)に等しい。基板のオフセット角が大きくなると、ステップの高さが 2 原子層に変わることが知られている[3]。今回の試料は STM 像より、ステップの高さは 1 原子層に相当することがわかった。また、ステップごとにダイマー列の

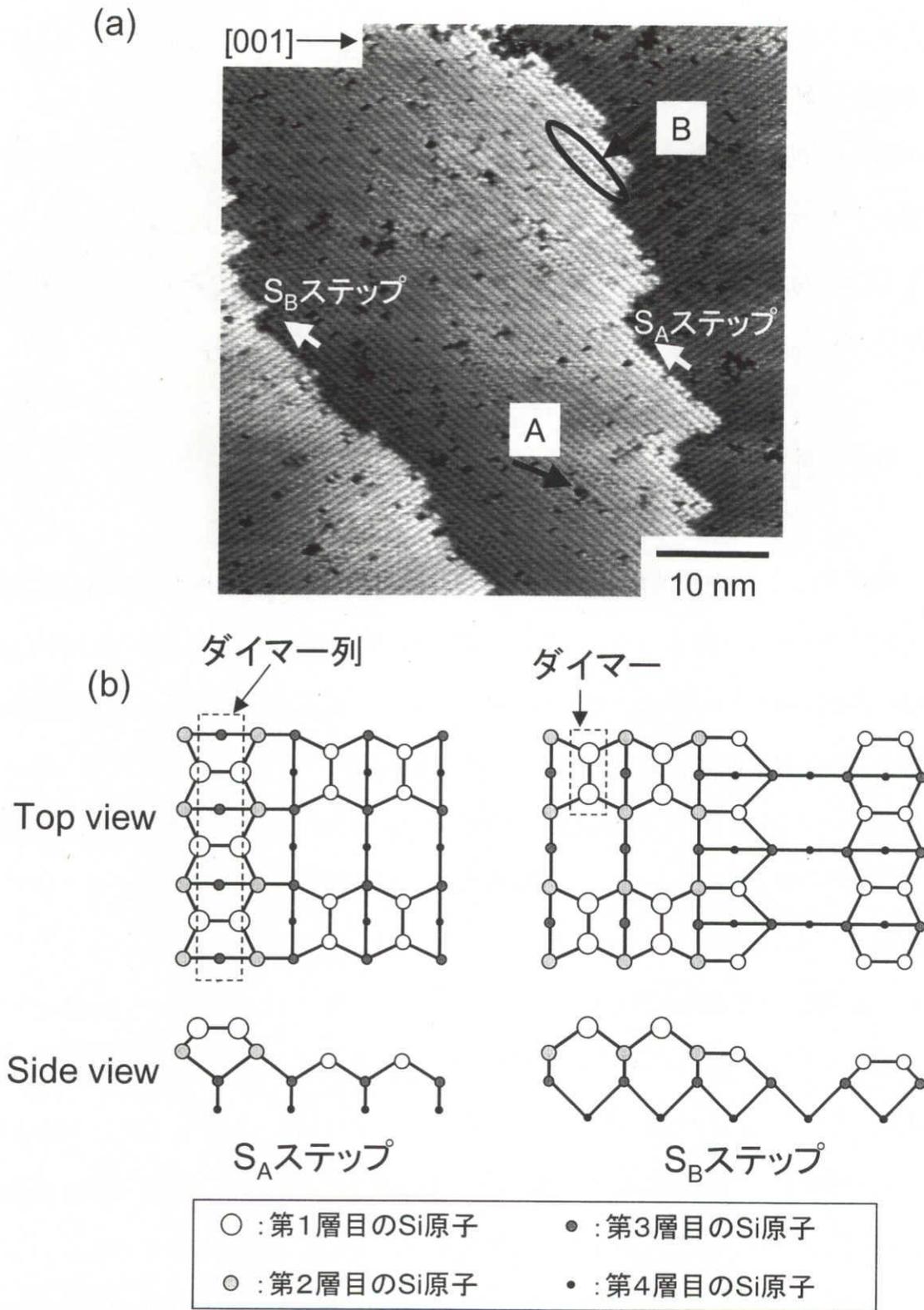


図 4-2 Si(100)-2×1 清浄表面の(a)STM 像、及び(b)(2×1)構造モデル。
 図中に S_A、S_B ステップ及びダイマー列を示す。

方向が 90° 異なっている。これは、通常 Si(100) 清浄表面において単原子ステップが存在し、各テラス領域に 1×2 と 2×1 の再配列構造が形成されたダブルドメイン構造が交互に並ぶことに対応している。

図中の矢印で示したように、上層のダイマー列に対して平行なステップ、および垂直なステップをそれぞれ S_A ステップおよび S_B ステップと呼ぶ[3]。また S_A ステップの形成エネルギーは S_B ステップの形成エネルギーより小さいために S_A ステップは直線的な形状となり、 S_B ステップはジグザグ形状となると報告されている[4]。

4.2.2 清浄表面上の NiSi_2 核形成

4.2.1 節で示した Si(100) 清浄表面に室温で Ni を蒸着させた試料表面の STM 像、およびラインプロファイルを図 4-3(a)~4-3(c) に示す。Ni 膜厚はそれぞれ(a)0.5 ML(0.04 nm)、(b)1.0 ML(0.07 nm)、(c)2.0 ML(0.15 nm)、および(c)4.8 ML(0.36 nm)である。STM 像中の白線はラインプロファイルの位置を示している。STM 像より、それぞれの膜厚の場合において Si 基板上で Ni が凝集しクラスターとなっているのが、白い輝点として観察される。クラスターの直径は約 2~4 nm と見積もられた。また下地の Si 基板のステップ構造も観察される。

Ni 0.5 ML の試料を超高真空中にて 600°C で 10 分間熱処理した表面の STM 像およびラインプロファイルを図 4-4 に示す。STM 像中には、ステップ端に白い長形状の島が観察される。この島は $\langle 011 \rangle$ 方向に沿ったエッジを持っている。ステップは Si 清浄表面に比べてギザギザしており、これは長形状の島の周辺だけでなく、島から離れた領域においても観察される。また、のこぎり状のステップは交互に形成されている。

次に、Ni 1 ML の試料を超高真空中において 600°C で 10 分間熱処理した試料表面の STM 像およびラインプロファイルを図 4-5 に示す。図 4-5(a)および 4-5(b)はそれぞれ広域 STM 像、および拡大 STM 像である。STM 像中には、長形状の島および白い輝点が観察される。Si(100)基板上のエピタキシャル NiSi_2 は $\langle 011 \rangle$ 方向のエッジが安定であり、

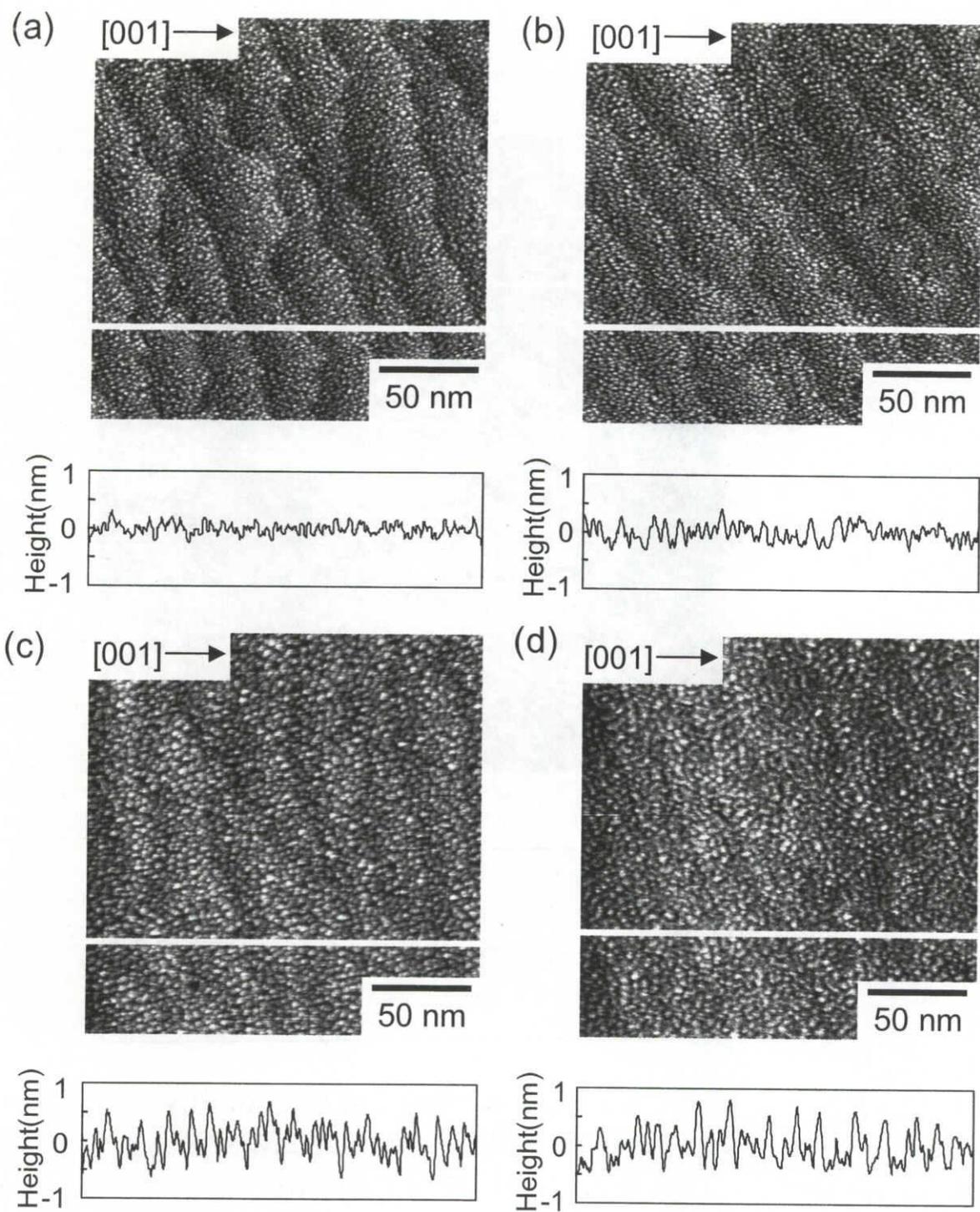


図 4-3 Si 清浄表面上に室温で Ni を蒸着した試料表面の STM 像、及びラインプロファイル。Ni 膜厚は(a)0.5 ML、(b)1.0 ML、(c)2.0 ML、及び(d)4.8 ML である。

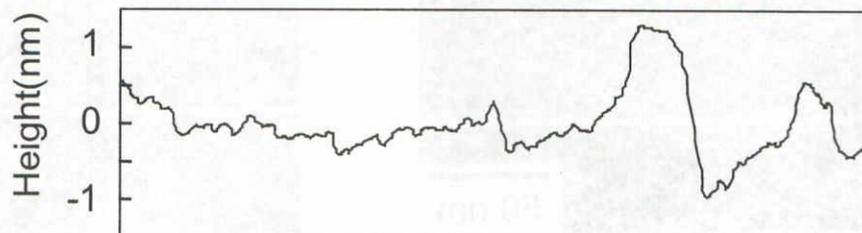
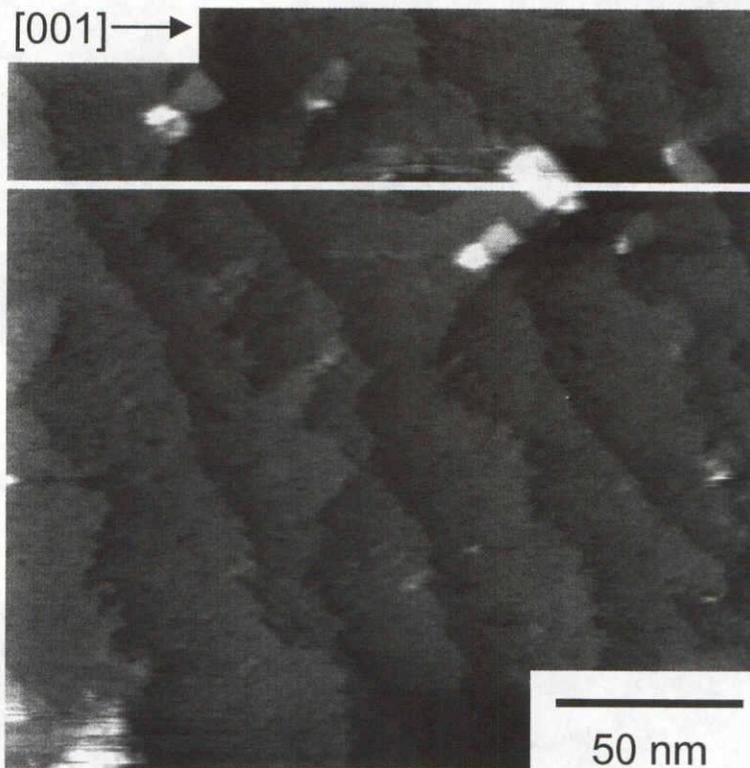


図 4-4 Si 清浄表面上に室温で Ni を 0.5 ML 蒸着し、
600°C で 10 分間熱処理した表面の STM 像、
及びそのラインプロファイル。

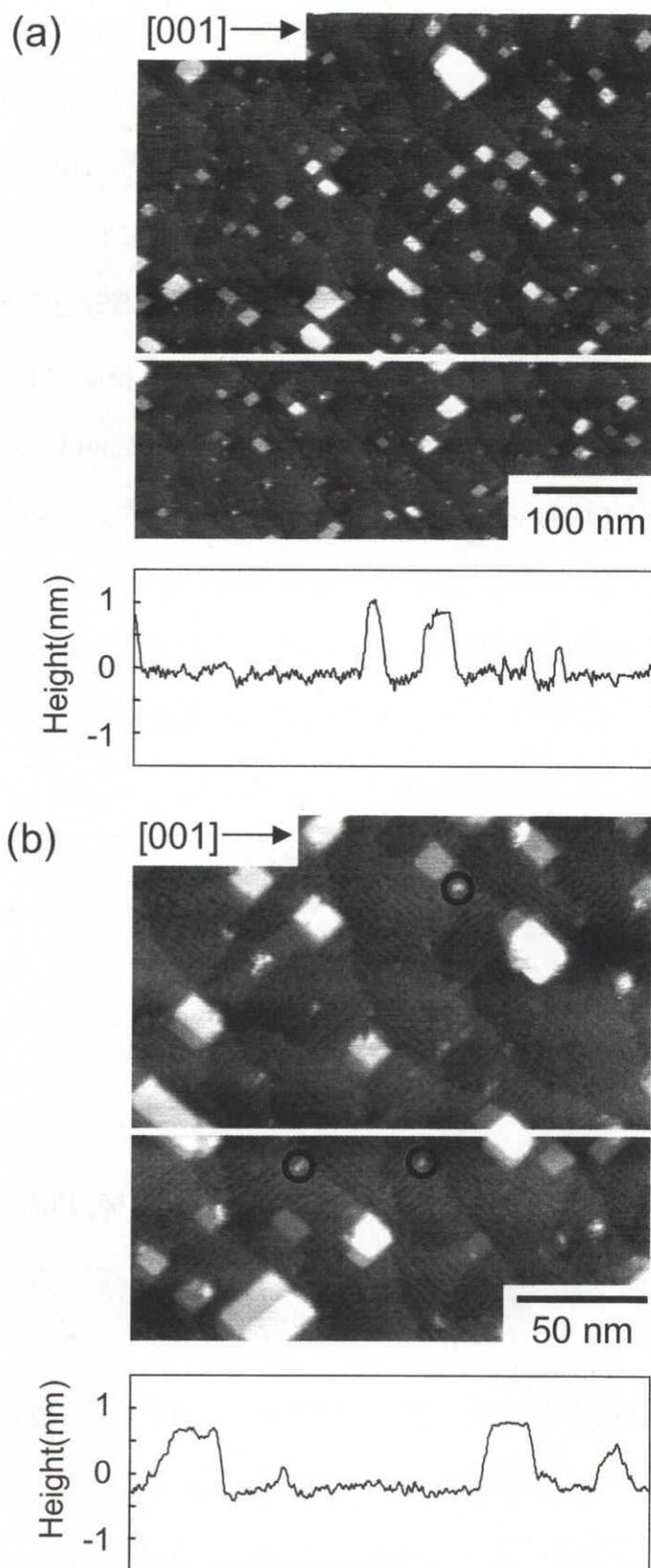


図 4-5 Ni 1 ML 蒸着後 600°C で 10 分間熱処理した表面の STM 像、及びラインプロファイル。(a)広域像、及び(b)拡大像。

この方向に沿って成長しやすい[5]。したがって、長方形の島は NiSi_2 であると考えられる。また、より小さな白い輝点は NiSi_2 の初期成長核であると考えられる。

この白い輝点は図 4-5(b)において丸印で示すようにテラス上の中央部分に比べ、ステップ端に多く存在する。そして NiSi_2 島もまたステップ端に位置しており、島の周辺のステップは削られている。結果的に NiSi_2 島が山の頂点に位置したようなのこぎり状になっている。Y. Khang らは NiSi_2 島はステップのエッジ部分とテラスに形成され、これらの NiSi_2 島は主に 1.08 nm の高さを持つと報告している[5]。今回形成された NiSi_2 島の平均高さは 0.96 nm と見積もられ、1.08 nm との差の 0.12 nm は NiSi_2 の 1 層分に相当する。また、 NiSi_2 島の存在しない領域には欠損列が観察され、この欠損列はダイマー列に垂直方向に形成されることから、のこぎり状になっているステップは S_B ステップであると言える。これは、 S_A ステップに比べ S_B ステップの形成エネルギーが高く、 S_A ステップ端の Si 原子に比べ S_B ステップ端の Si 原子の方が動きやすいためと考えられる。すなわち、 S_B ステップ端の Si 原子が優先的に NiSi_2 の形成に供給され、結果として S_B ステップがのこぎりのような形状になり、 NiSi_2 島は S_B ステップ端に形成されたと考えられる。 NiSi_2 の初期成長のモデルを図 4-6 に示す。

4.2.3 清浄表面上の NiSi_2 成長過程

Si(100)清浄表面上に Ni 2 ML(0.15 nm)を室温で蒸着した後、超高真空中において 600°C で 10 分間熱処理した試料表面の STM 像およびそのラインプロファイルを図 4-7(a)に示す。STM 像中の白線はラインプロファイルの位置を示している。

STM 像からは、 $\langle 011 \rangle$ 方向に沿ったエッジをもつ長形状の NiSi_2 とみられる島構造が多数観察される。また、長方形の島は Ni 1 ML のときと同様にステップ端に多数形成されており、ステップは乱雑になっている。島と島の間には周期的なダイマー欠損列が観察される。島の存在しない領域の拡大 STM 像を図 4-7(b)に示す。ダイマー欠損列の周期は約 3.1 nm と見積もられた。Si のダイマー列の間隔が 0.77 nm であることから、これは

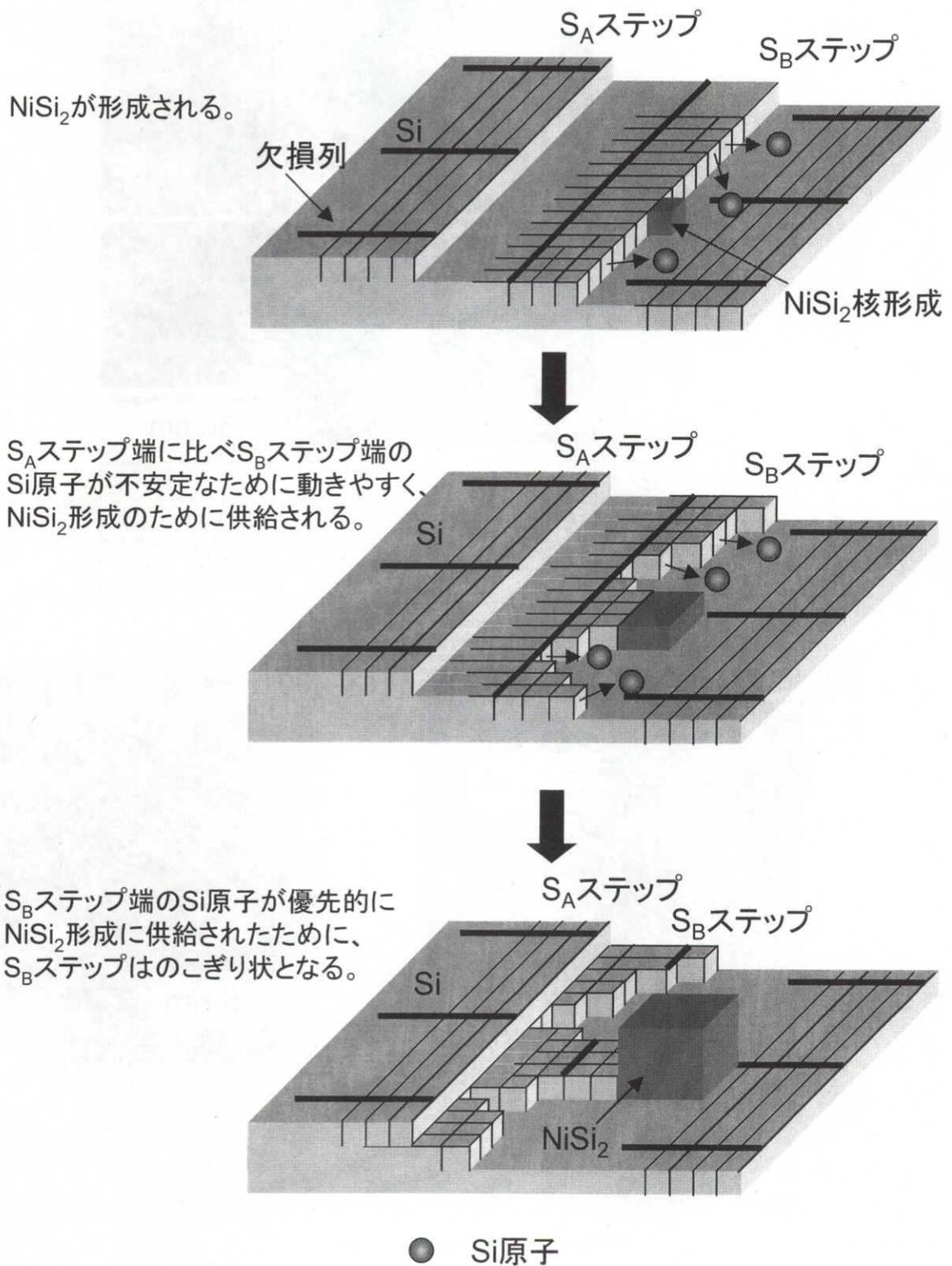


図 4-6 清浄表面上の NiSi₂ 初期成長過程のモデル図。

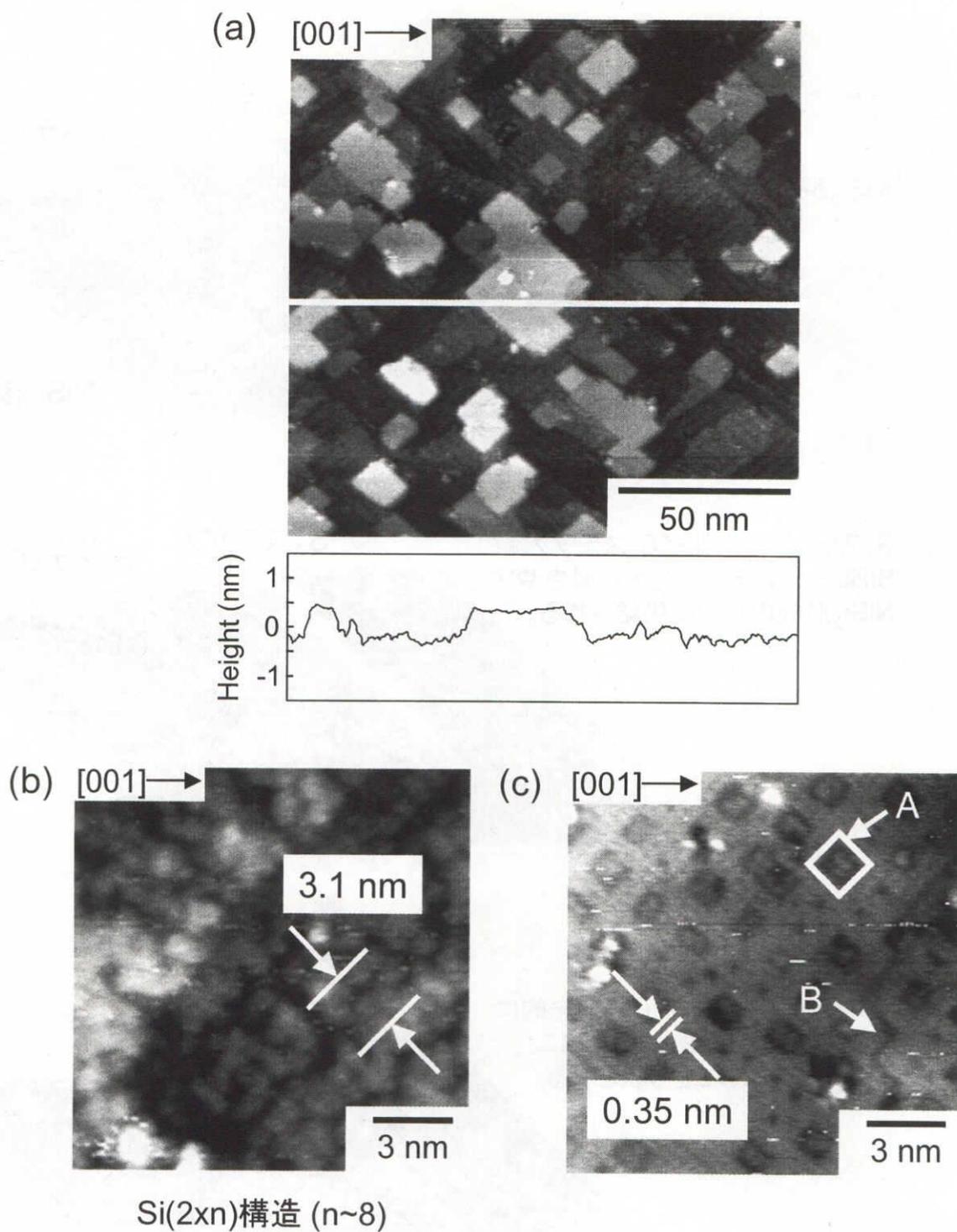


図 4-7 清浄表面上に Ni 2 ML を室温で蒸着し 600°C で 10 分間熱処理した表面の STM 像、及びラインプロファイル。

(a) 広域 STM 像、(b) 島の存在しない領域の拡大 STM 像、及び (c) 島のテラス領域の拡大像。

n が 8 に相当する $\text{Si}(2 \times n)$ 構造であることがわかる。

RHEED 像からも 0 次ラウエ・ゾーンにおいて、 $1/8$ および $7/8$ の位置にストリークが確認された。 $\text{Si}(100)$ 基板の上に NiSi_2 を形成した場合、 Si 基板が露出している領域において $\text{Si}(2 \times n)$ 構造が確認されることが知られている[6]。したがって、本試料においてもこのダイマー欠損列のある領域では Si 基板が露出していると考えられる。

次に、 NiSi_2 島上の平坦なテラス領域の拡大 STM 像を図 4-7(c) に示す。STM 像中に矢印 A で示すように $\langle 011 \rangle$ 方向に沿った正方形の構造が観察される。この正方形の中には白い輝点が観察される。Y. Khang らは同様の構造を報告しており、この輝点は Ni 原子であると考えられている[7]。現在提案されている $\text{NiSi}_2(100)$ 表面構造のモデルを図 4-8 に示す[6]。モデル図より $\text{NiSi}_2(100)$ 表面における原子配列の間隔は 0.38 nm であることから正方形の一辺は 1.90 nm となる。今回形成された膜の原子配列は STM 像より 0.35 nm 、正方形の一辺は約 1.66 nm と見積もられた。また、図 4-7(c) において矢印 B で示すような逆位相境界(anti-phase boundary)と呼ばれる境界線も観察できた。以上のことより、この島は NiSi_2 がエピタキシャル成長したものであると考えられる。

$\text{Ni } 4.8 \text{ ML}(0.36 \text{ nm})$ を室温で蒸着した後、同様に超高真空中において 600°C で 10 分間熱処理した試料表面の STM 像、およびそのラインプロファイルを図 4-9 に示す。STM 像より、 Ni の膜厚をさらに増やした場合においても、 $\langle 011 \rangle$ 方向に沿ったエッジを保ったまま NiSi_2 が成長していることがわかる。

図 4-9 の比較的暗い領域において、STM 像から原子分解能像を観察することはできなかった。しかし、ラインプロファイルより、この暗い領域と NiSi_2 島表面との高さの差は約 1.2 nm と見積もられ、これは NiSi_2 の 9 層分に相当していることが分かる。ここで、 NiSi_2 の格子定数は 0.5406 nm であるので、 NiSi_2 の 1 層は 0.1351 nm となる。 Ni を 4.8 ML 蒸着した場合、 NiSi_2 が平坦に成長したと仮定すると、 NiSi_2 の厚さは 1.27 nm である。したがって、この暗い領域は Si 基板が露出していると考えられる。また、この STM 像における表面ラフネスを示す RMS (root mean square) は 0.44 nm 、 NiSi_2 島のテラスが占める表面の割合は 72% と見積もられた。

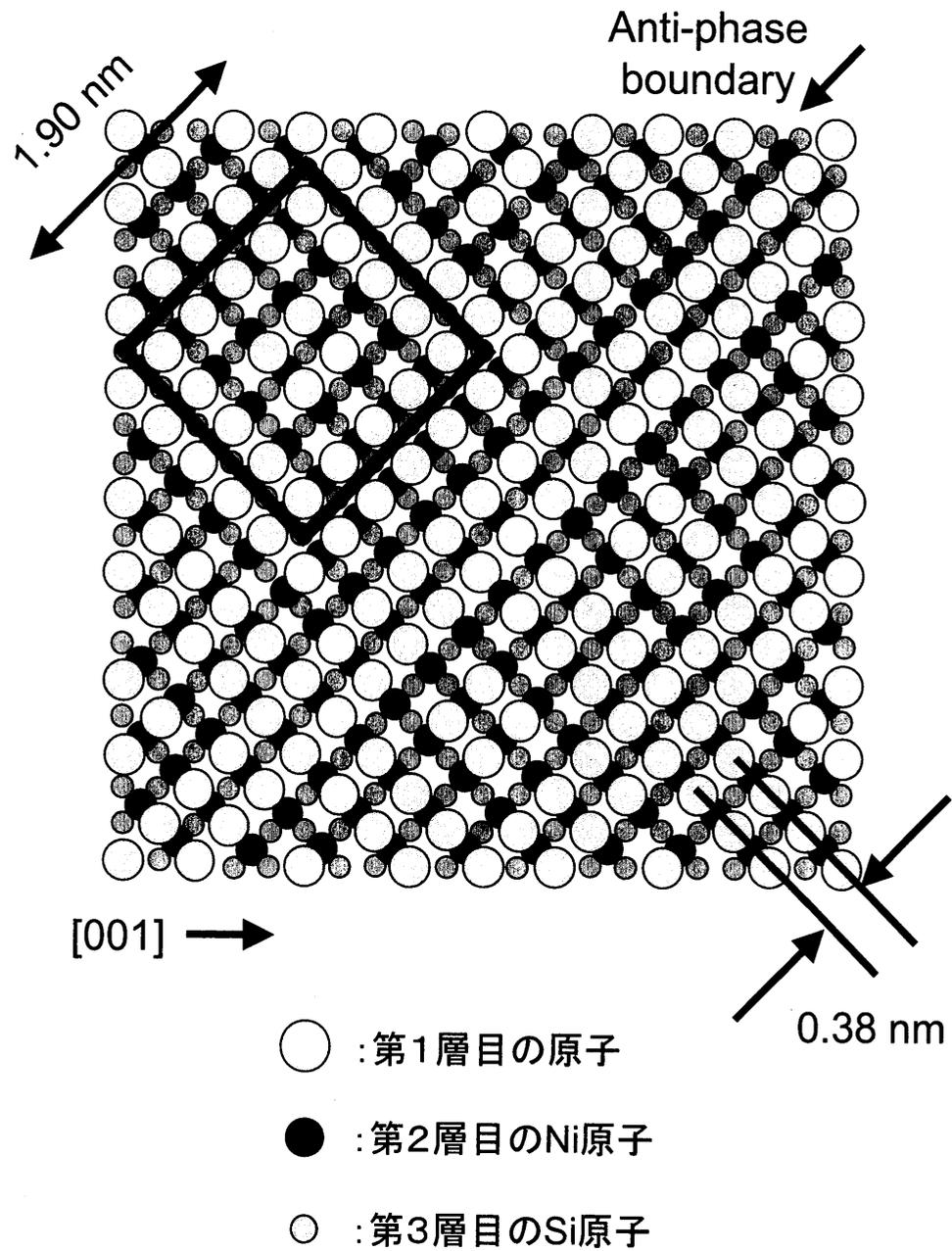


図 4-8 NiSi₂ の表面構造のモデル図。

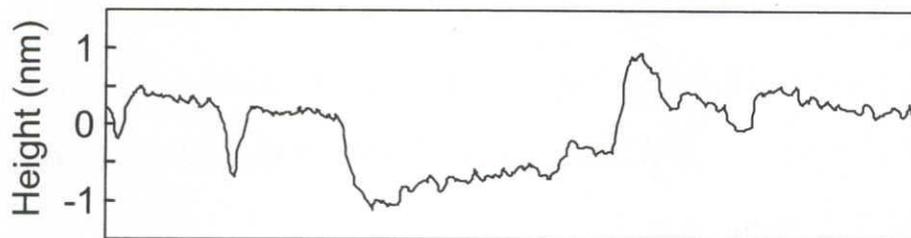
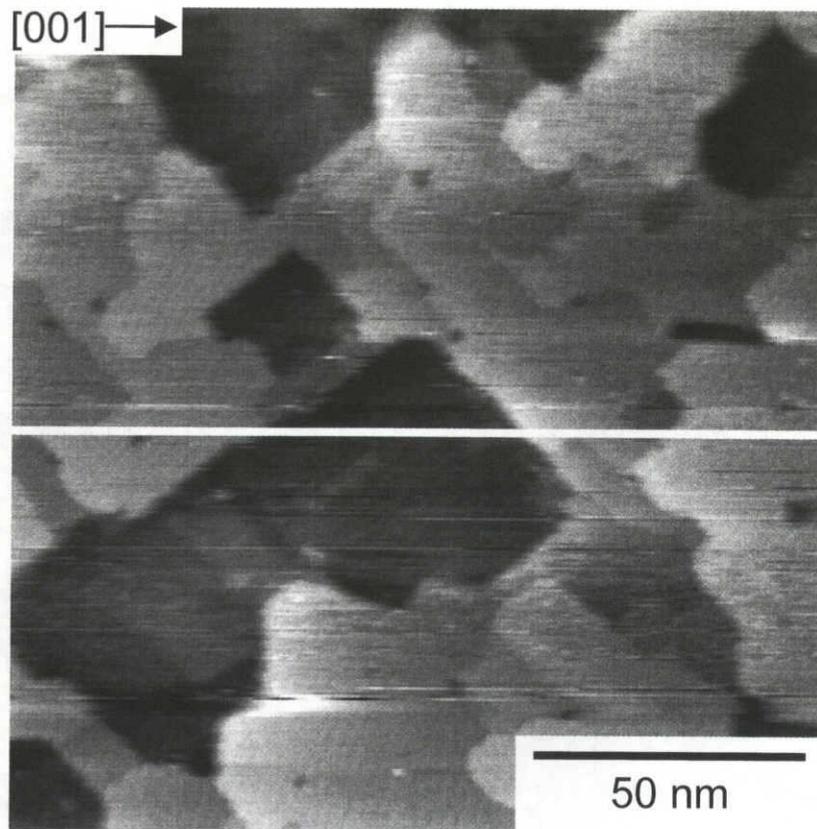


図 4-9 清浄表面上に Ni を室温で 4.8 ML 蒸着し、600°C で 10 分間熱処理した表面の STM 像、及びラインプロファイル。

4.3 C 吸着表面上での NiSi₂ 固相成長

4.3.1 Si(100)清浄表面上の炭化反応

Si(100)清浄表面上に C 0.2 ML(0.008 nm)を室温で蒸着した試料表面の STM 像、およびラインプロファイルを図 4-10(a)に示す。STM 像において白い輝点が多数観察される。A. Wawro らは、Si 基板の上に C を蒸着した場合、STM 像において C クラスタは白い輝点として観察されることを報告している[8]。輝点の高さはラインプロファイルより約 0.35 nm と見積もられた。また、この表面の拡大 STM 像を図 4-10(b)に示す。この像より、輝点の存在しない領域では Si のダイマー列が確認された。

次に、図 4-11(a)に基板温度を 550°C に保ちながら C を 0.2 ML 蒸着した試料表面の STM 像を示す。STM 像において、Si ダイマー列は観察されなかったが、ダイマー列が短く途切れたような周期的な構造が確認された。図 4-11(a)の白線で示した領域の原子分解能像を(b)に示す。白い輝点は周期的に並んでおり、その間隔は約 1.06 nm である。

同じ試料表面の RHEED 像を図 4-11(c)に示す。清浄表面では(2×1)構造が確認されていたが、この RHEED 像では 0 次および 1 次ラウエ・ゾーンの間には 1/4、2/4、および 3/4 次ラウエ・ゾーンに位置するスポットが確認された。Leifeld らは、550°C に保った Si(100) 基板の上に C を 0.11 ML 蒸着したとき、c(4×4)表面再構成された原子構造が形成されることを報告している[9]。

c(4×4)構造の詳細な構造については、複数の異なるモデルが提案されている。現在、提案されている c(4×4)構造のモデル図を図 4-12 に示す[10,11]。c(4×4)構造を形成する他の方法として、C を室温で蒸着した表面を 600°C で長時間熱処理する方法がある[12]。また、C 以外にも、C₂H₄ や SiC などを用いて c(4×4)構造を形成する方法も報告されている[10,13]。したがって、図 4-11 に示される表面の構造は C が Si 表面に偏析し、c(4×4)構造を形成したものと考えられる。しかし、STM 像および RHEED 像からは C 原子がどのような位置に存在しているかは、決定することはできなかった。

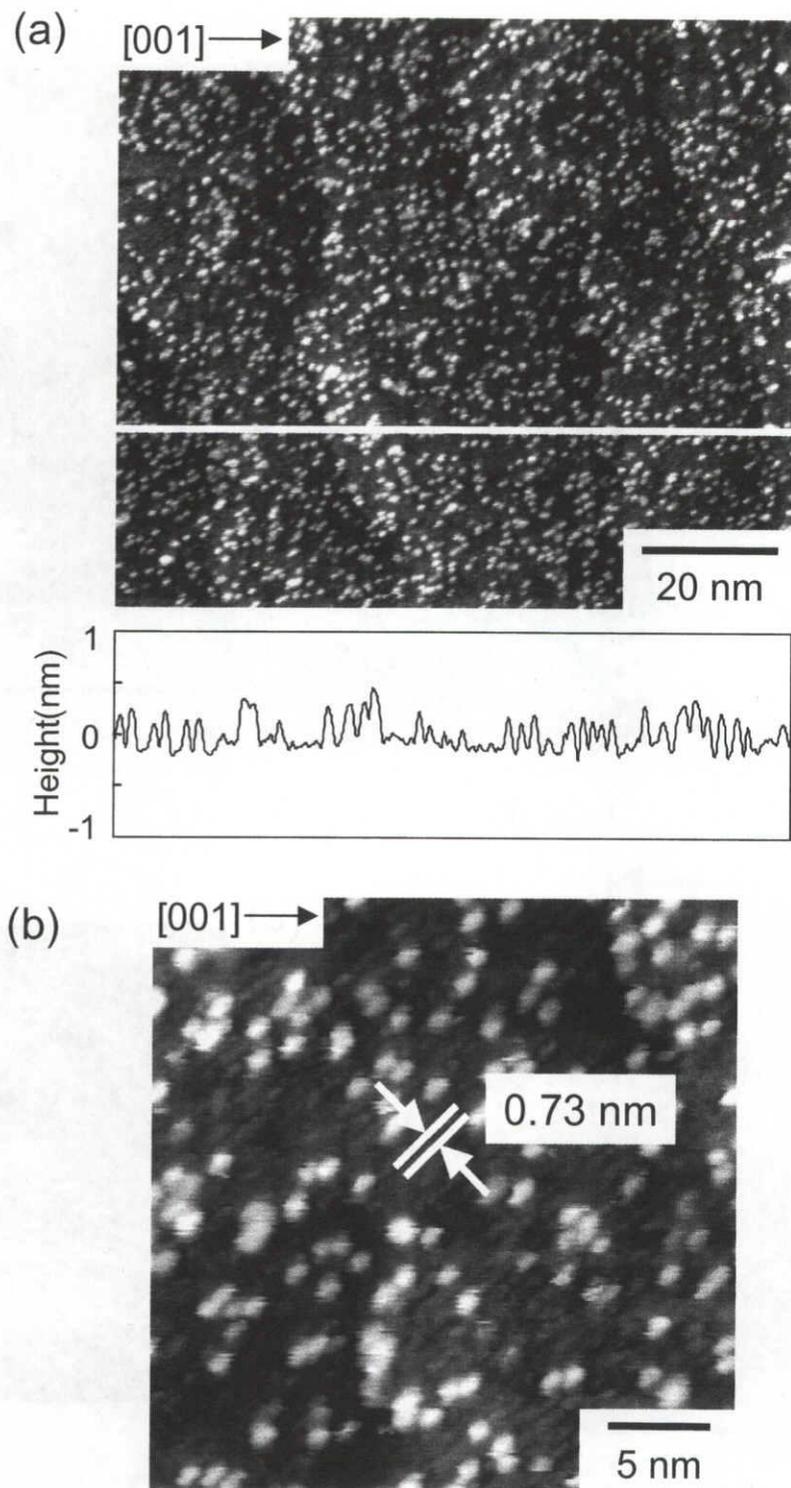


図 4-10 清浄表面上に C を 0.2 ML 室温で蒸着した試料表面の STM 像、及びラインプロファイル。
 (a) 広域 STM 像、及び (b) 拡大 STM 像。

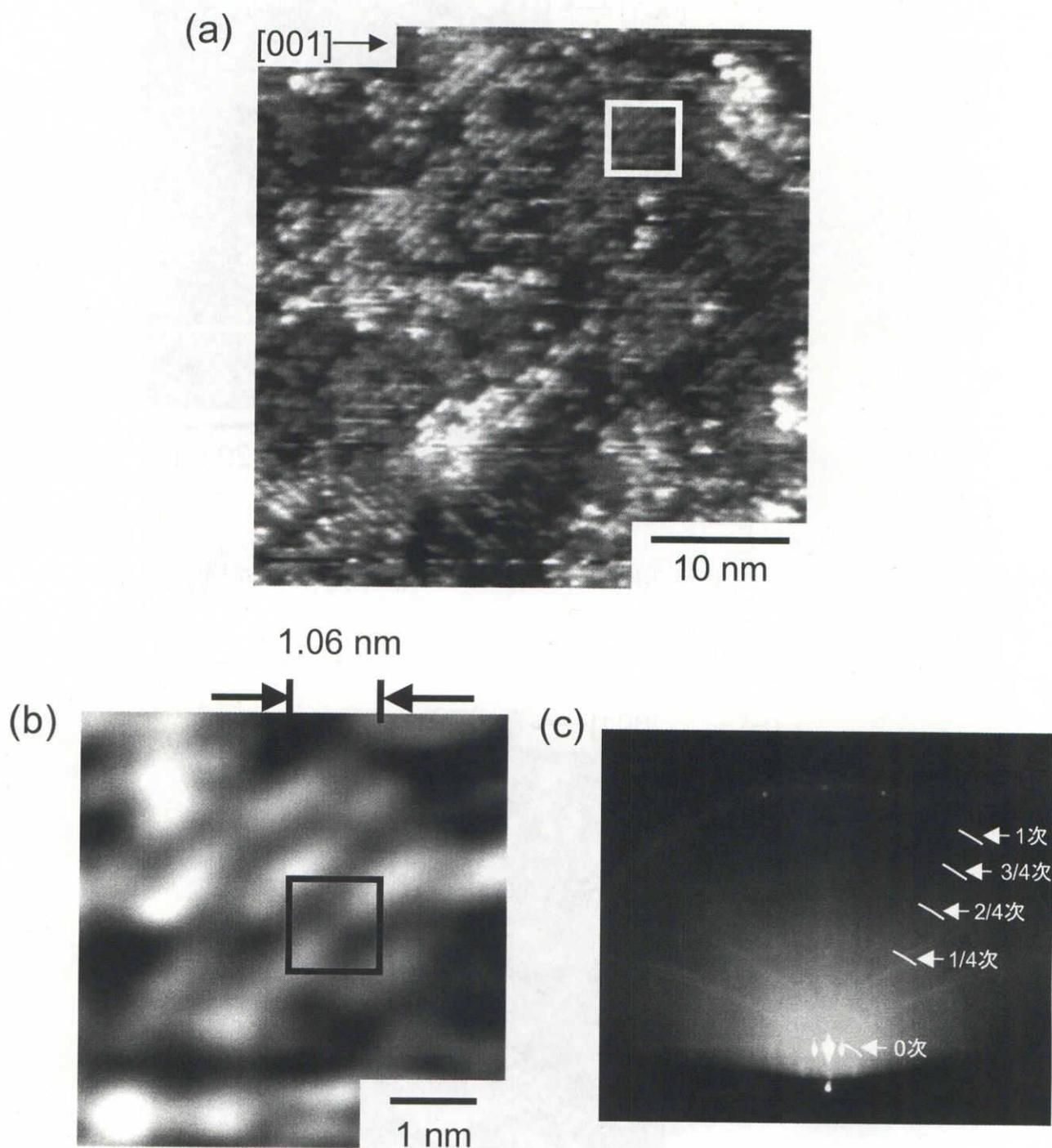
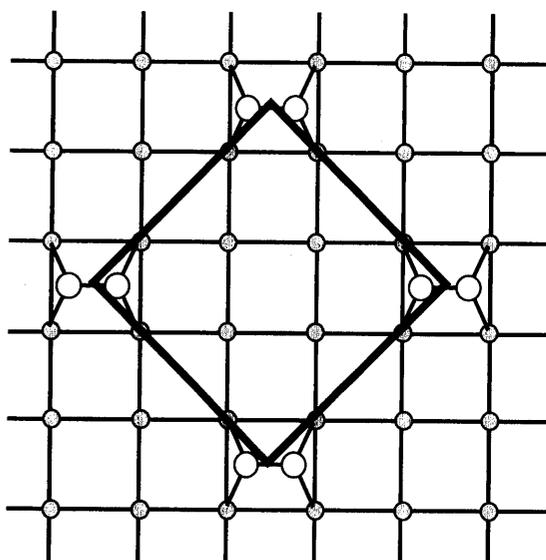
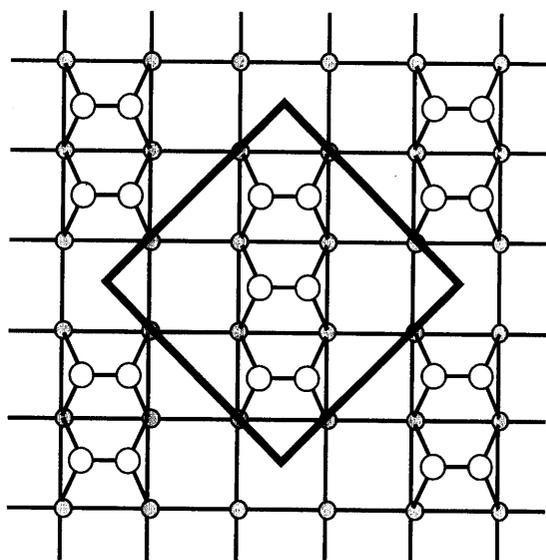


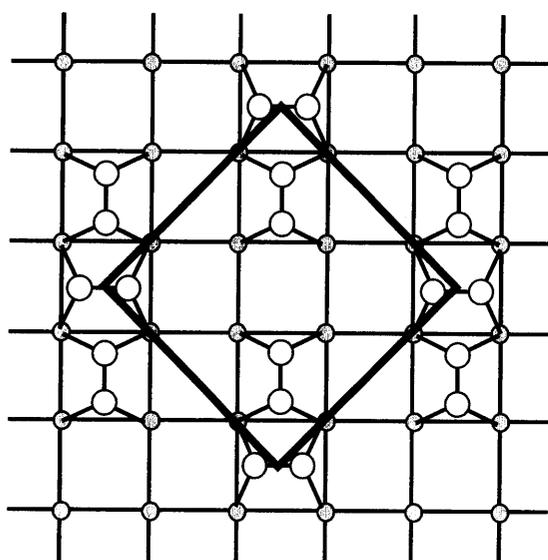
図 4-11 C を基板温度 550°C にて 0.2 ML 蒸着した表面の (a) 広域 STM 像、(b) 拡大 STM 像、及び (c) RHEED 像。



Single dimer model



Missing dimer model



Mixed ad-dimer model

- : 第1層目の原子
- : 第2層目の原子

図 4-12 $c(4 \times 4)$ 構造のモデル図。

4.3.2 C 吸着表面上の NiSi₂ 成長過程

図 4-11 に示した C 0.2 ML を基板温度 550°C で蒸着した表面上に、Ni 2 ML および 4.8 ML を室温にて蒸着した。表面上では清浄表面上の Ni と同様に Ni がクラスターとなっているのが観察され、C の有無による Ni の吸着に違いはみられなかった。

次に、基板温度 550°C にて C 0.2 ML を蒸着した表面上に、Ni を 2 ML 室温で蒸着した試料を超高真空中において 600°C で 10 分間熱処理した試料表面の STM 像、およびそのラインプロファイルを図 4-13(a) に示す。STM 像において、図 4-7 に示した Si 清浄表面上の NiSi₂ 成長とほぼ同様の NiSi₂ 島の成長が確認できる。NiSi₂ 島の存在しない領域では C がない場合に比べて、明瞭な Si(2×n) 構造は確認できなかった。

そこで、NiSi₂ 島の存在しない領域の拡大 STM 像を図 4-13(b) に示す。STM 像より、ダイマー欠損列の周期が乱れているのがわかる。この欠損構造は、C の存在に起因していると考えられる。一部の領域において Si(2×n) 構造も観察できるが、n の大きさを評価するのは困難であった。

次に、NiSi₂ 島のテラス領域を拡大した STM 像を図 4-13(c) に示す。STM 像より図 4-7(c) と同様の正方形の周期的な構造が観察され、C の有無による違いは NiSi₂ 島のテラス領域においては観察されなかった。また、NiSi₂ 表面上での原子配列の周期は約 0.36 nm と見積もられた。したがって、この島は Si 清浄表面上の島と同様に NiSi₂ がエピタキシャル成長したものであると言える。また、C の存在位置は STM 像からはわからなかった。

図 4-14(a)、4-14(b) および 4-14(c) にこの試料における C 蒸着直後、Ni 蒸着直後、および熱処理直後のオージェ微分スペクトルをそれぞれ示す。C に関連した AES ピークは運動エネルギー 272 eV の位置に現れる。すべての状態において C の AES ピークが現れているのがわかる。C 蒸着直後との強度を比較すると、Ni 蒸着直後および熱処理直後はそれぞれ同程度の C 強度をもつことがわかる。つまり、C は常に最表面全体に存在しているか、もしくはそのほとんどが露出している Si 基板表面に存在していると考えられる。

一方、図 4-11 に示した c(4×4) 再構成表面上に Ni を 4.8 ML 室温で蒸着し、その後、

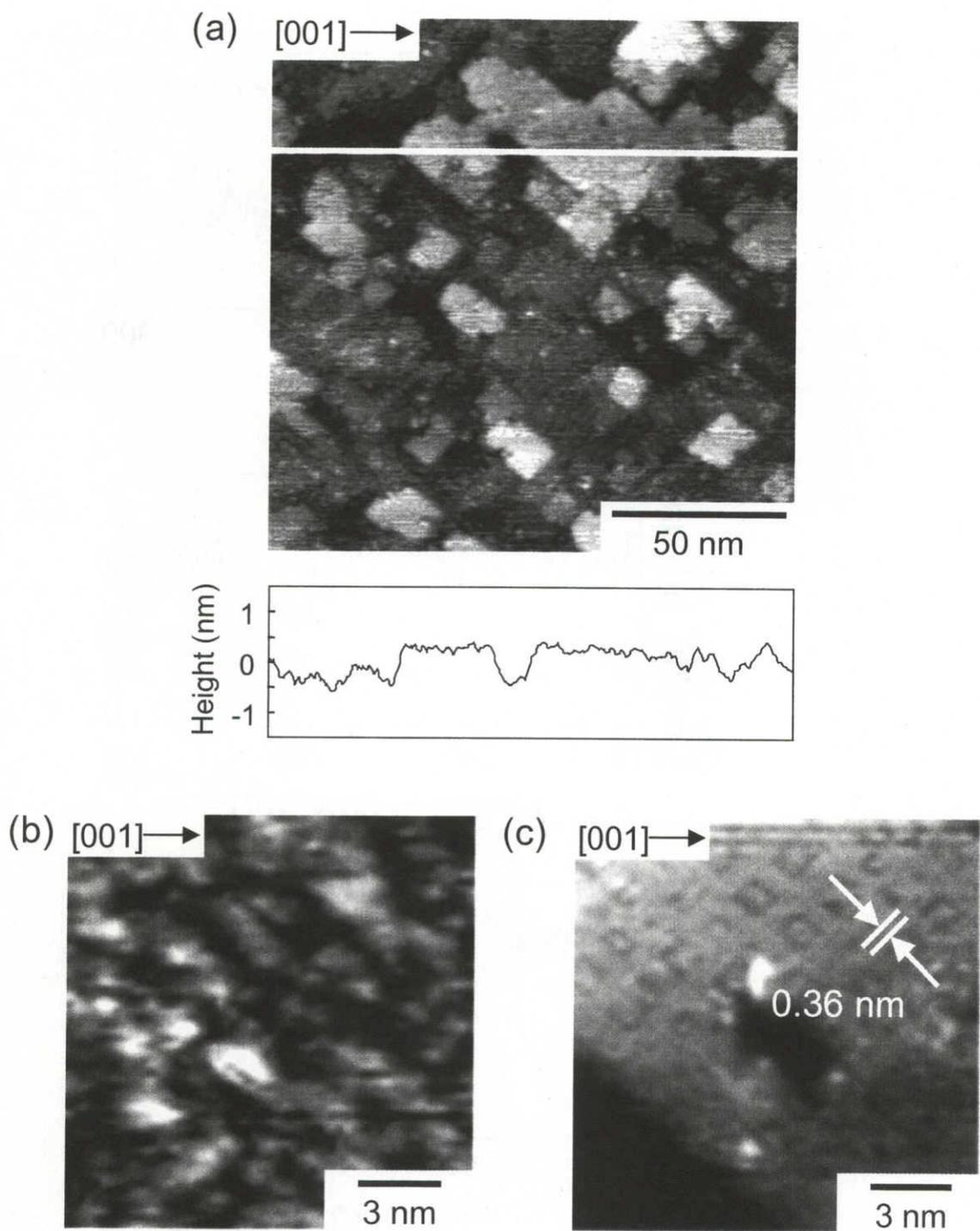


図 4-13 C 0.2 ML を基板温度 550°C で蒸着した表面上に Ni を 2 ML 蒸着し 600°C で 10 分間熱処理した表面の STM 像、及びラインプロファイル。
 (a) 広域 STM 像、(b) 島の存在しない領域の拡大 STM 像、及び
 (c) 島のテラス領域の拡大 STM 像。

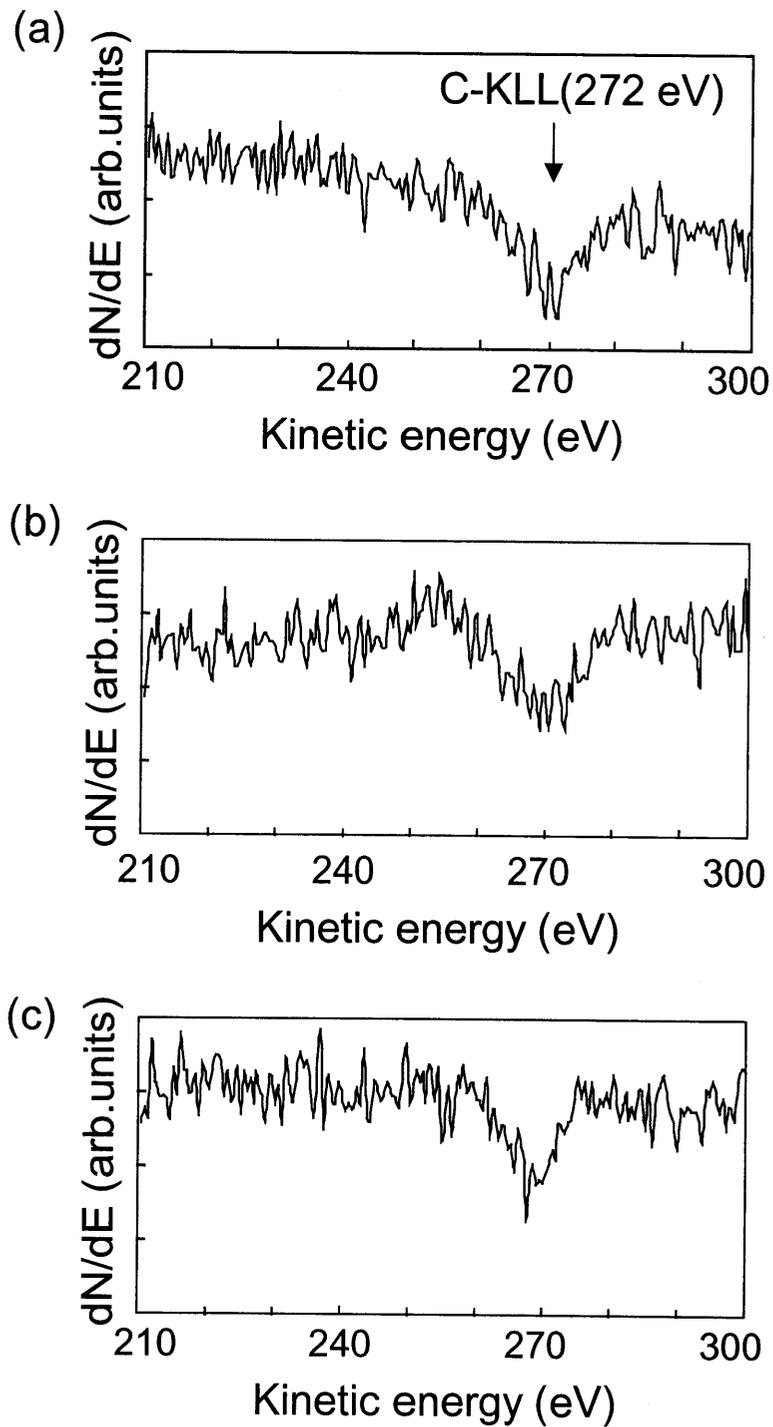


図 4-14 C 0.2 ML の試料の AES スペクトル。
 (a) C 0.2 ML を基板温度 550°C で蒸着した後、
 (b) Ni 2 ML を蒸着した後、及び
 (c) 600°C で 10 分間熱処理した後。

超高真空中において 600°C で 10 分間熱処理した試料表面の STM 像、およびそのラインプロファイルを図 4-15(a) に示す。広域 STM 像より図 4-9 に類似した NiSi₂ 島の成長が観察される。しかし、形成された島の表面に多数の白い輝点と欠陥が観察される。これは図 4-9 に示した清浄表面上の NiSi₂ 膜形成の場合には観察されなかった表面構造であり、C に起因したものであると考えられる。

図 4-15(a) のラインプロファイルより、C がいない場合に比べ、極端に高いエッジを持つ NiSi₂ の島がなく、表面は比較的平坦になったことがわかる。表面ラフネスを示す RMS 値は 0.18 nm であり、図 4-9 から得られた RMS 値の 0.44 nm よりもかなり小さくなった。また、NiSi₂ 島のテラス領域が占める表面被覆率は 85% と見積もられた。

この表面の拡大 STM 像を図 4-15(b) および 4-15(c) に示す。図 4-15(b) は NiSi₂ 島の存在しない暗い領域の拡大 STM 像である。この領域では Si のダイマー欠損列を観察することはできなかったが、一部の領域において周期的な像が観察された。

NiSi₂ 島のテラス領域の拡大 STM 像を図 4-15(c) に示す。STM 像より、図 4-13(c) と同様の NiSi₂ 表面に一致する原子構造が確認され、この島も NiSi₂ がエピタキシャル成長したものであると考えられる。

4.3.3 NiSi₂ 島の構造について

次に、C の有無によるエピタキシャル NiSi₂ が形成された表面構造の違いについて考察する。図 4-16 に C がいない場合、および C がある場合の NiSi₂ 形成後における表面ラフネスを示す RMS 値の Ni 蒸着膜厚依存性をグラフにまとめる。C がいない場合では、Ni 2 ML から Ni 4.8 ML へと Ni 膜厚が増えるにつれて、RMS が増大している。一方、C がある場合には Ni 膜厚が増えても、RMS はほとんど変化していない。したがって、C を導入した場合には、NiSi₂ 形成表面の平坦性が向上していることが明らかになった。

また、それぞれの試料において、Si 基板の露出している領域から測った NiSi₂ 島の平均高さ、および NiSi₂ 島のテラス領域が全表面に占める割合（表面被覆率）を表 4-1 にま

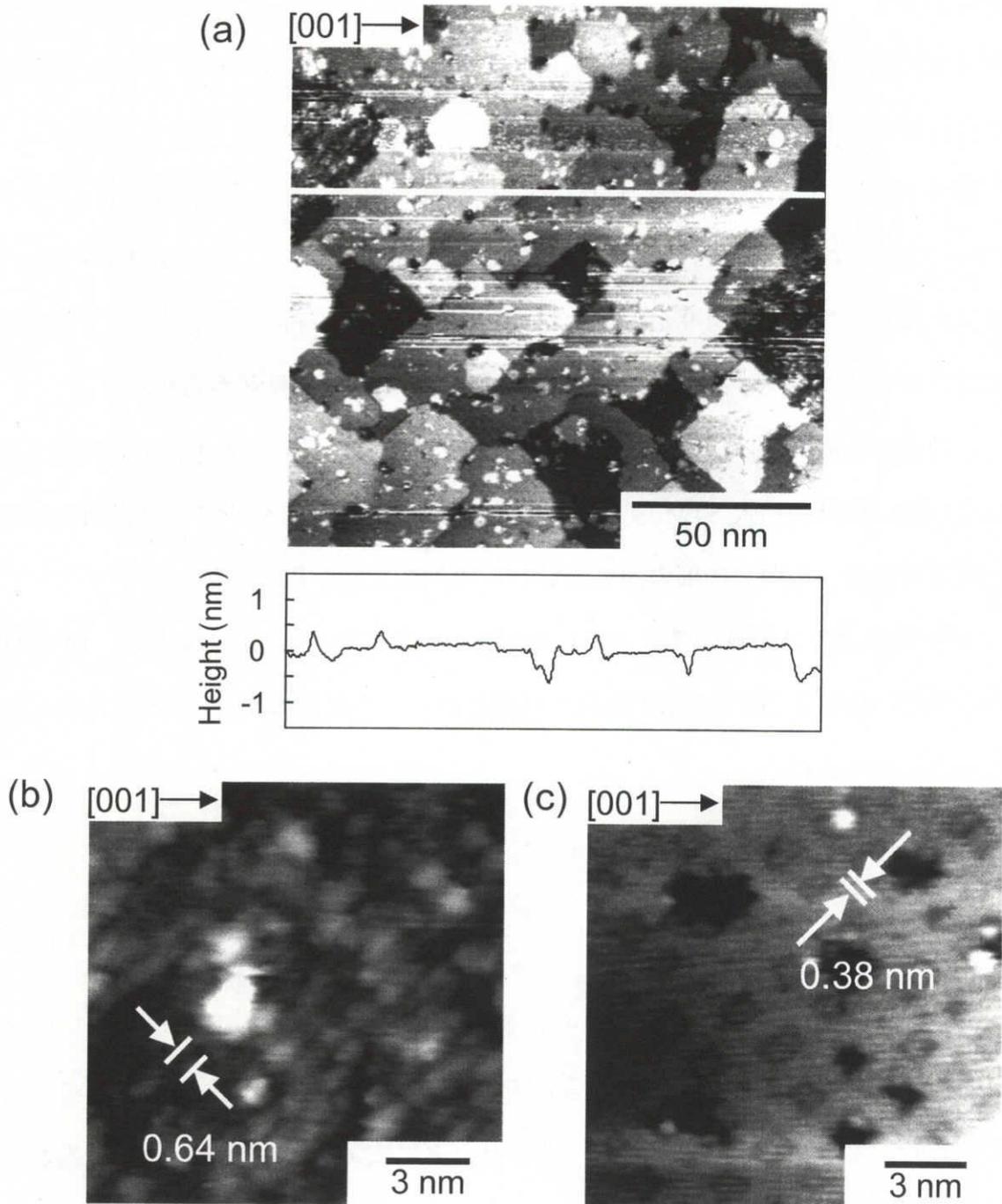


図 4-15 C 0.2 ML を基板温度 550°C で蒸着した表面上に Ni を 4.8 ML 蒸着し 600°C で 10 分間熱処理した表面の STM 像及びラインプロファイル。
 (a) 広域 STM 像、(b) 島の存在しない領域の拡大 STM 像、及び
 (c) 島のテラス領域の拡大 STM 像。

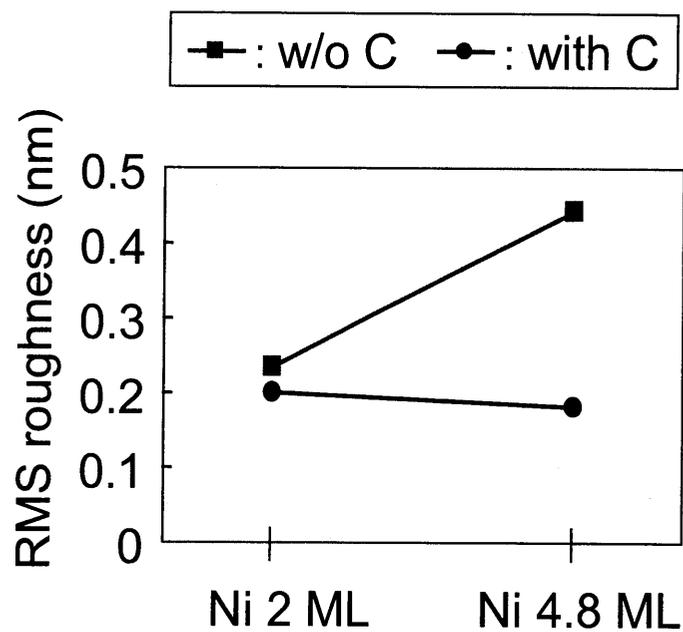


図 4-16 Ni 2 及び 4.8 ML の蒸着後 600℃で 10 分間熱処理した表面の C 有無による RMS 値の比較。

表 4-1 Ni 2 及び 4.8 ML の蒸着後 600℃で 10 分間熱処理した表面の NiSi₂ 島の高さ、及び NiSi₂ 島のテラス領域が占める表面被覆率の C 有無による比較。

Ni	Without C		With C	
	2 ML	4.8 ML	2 ML	4.8 ML
Island height (nm)	0.69	1.39	0.54	0.78
Coverage (%)	30	72	32	85

とめる。C がない場合においては、Ni 膜厚を増やすと NiSi_2 の表面被覆率が増加し、 NiSi_2 島の高さが約 2 倍になる。一方、C がある場合には、Ni 膜厚の増加に伴って表面被覆率は同様に増加するが、 NiSi_2 島の高さは C がない場合に比べてあまり増加しない。STM のラインプロファイルから観察される NiSi_2 島の表面および Si の露出領域は、いずれの試料でも比較的平坦であることを考慮すると、C を含まない試料においては、 NiSi_2 島の高さの増加が RMS の増加に大きく寄与していると考えられる。

次に、 NiSi_2/Si 界面の構造を詳細に解析するために行った断面 TEM 観察の結果を示す。図 4-17 は清浄表面上に Ni を 2 ML 室温で蒸着し、 600°C で 10 分間熱処理した試料の断面 TEM 像である。図 4-17(a)、4-17(b)、4-17(c) および 4-17(d) はそれぞれ広域像、 NiSi_2 島のモデル図、広域像中の白線で示した領域の拡大像、およびその断面の原子配列の模式図である。

広域断面 TEM 像において、STM 像で観察されていた NiSi_2 島が観察された。 NiSi_2/Si 界面では $\{111\}$ ファセットをもつ三角形および台形の NiSi_2 島が多数形成され、界面におけるラフネスは非常に大きい。 NiSi_2 島が Si 基板中において完全な逆ピラミッド型を形成している場合、および図 4-17(b) に示すような NiSi_2 島を形成し、A 方向から観察する場合には、断面 TEM 像において NiSi_2 島の断面は三角形として観察される。しかし、逆ピラミッド型の NiSi_2 島が成長途中の場合、および図 4-17(b) のような NiSi_2 島を B 方向から観察する場合には NiSi_2 島の断面は台形として観察される。図 4-17(a) において NiSi_2/Si 界面は明瞭に観察され、界面の極めて急峻な $\{111\}$ ファセットが $\langle 011 \rangle$ 方向に原子レベルの平坦性を保って形成されていることを示唆している。これらの NiSi_2 島の Si 基板中における平均深さは約 6.2 nm と見積もられた。

図 4-17(c) の拡大像において、 $\text{Si}\{111\}$ 面 (図中: 黒破線) に対して、 NiSi_2 島の原子は図中で示すように平行に配列していることが確認できる。図 4-17(c) に示した NiSi_2 島の結晶格子面 (図中: 白線) の面間隔は、Si 基板の $\{111\}$ 面の面間隔とほぼ同じ 0.31 nm であった。これは $\text{NiSi}_2\{111\}$ 面の面間隔 (0.312 nm) にも一致する。したがって、これらの NiSi_2 島は (d) に示される原子構造の配向で $\text{NiSi}_2(100)$ 島が $\text{Si}(100)$ 面上にエピタキシャル成長し

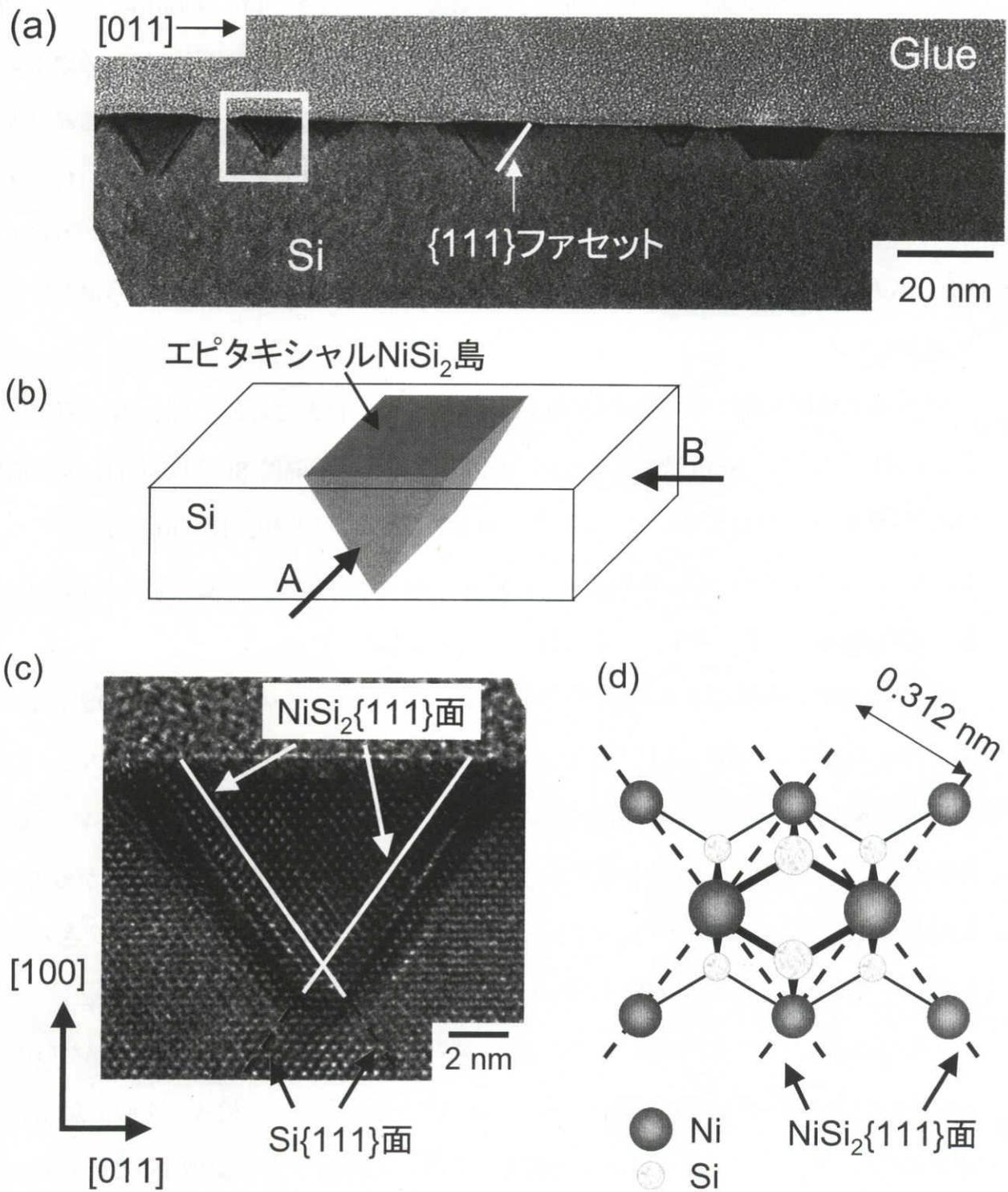


図 4-17 清浄表面上に Ni 2 ML を蒸着し、600°C で 10 分間熱処理した試料。
 (a) 広域断面 TEM 像、(b) NiSi₂ 島のモデル図、
 (c) NiSi₂ 島の拡大像、及び (d) 原子配列の模式図。

ているものと考えられる。

図 4-18 に C 0.2 ML を基板温度 550°C にて蒸着した表面に Ni を 2 ML 室温で蒸着し、600°C で 10 分間熱処理した試料の断面 TEM 像を示す。図 4-18(a)、4-18(b) および 4-18(c) はそれぞれ広域像、広域像中の白線で示した領域の拡大像、およびその断面の原子配列の模式図である。図 4-17 と比較すると、 $\{111\}$ ファセットが明瞭に観察される島は少なく、多くの NiSi_2/Si 界面は不明瞭であった。これは $\langle 011 \rangle$ 方向に形成された $\{111\}$ ファセットが図 4-17 に示した試料に比べて短くなったためと考えられる。また、これらの NiSi_2 島の Si 基板中における深さの平均は約 5.9 nm と見積もられ、C がいない場合に比べて減少した。

図 4-18(b) の拡大像において図 4-17(c) と同様に、Si $\{111\}$ 面に対して NiSi_2 島の原子は平行に配列している。 NiSi_2 島の原子配列 (図中: 白線) の間隔は Si 基板の $\{111\}$ 面の面間隔とほぼ同じ 0.31 nm であった。これは $\text{NiSi}_2 \{111\}$ 面の面間隔 (0.312 nm) にも一致する。したがって、これらの NiSi_2 島も図 4-18(c) で示されるような原子構造の配向で $\text{NiSi}_2(100)$ 島が Si(100) 面上にエピタキシャル成長していると考えられる。

図 4-19 に C の有無による NiSi_2 島の Si 基板中への深さの分布をヒストグラムに表す。図 4-19(a) および 4-19(b) はそれぞれ C のない場合、および C 0.2 ML の場合である。図中の矢印は NiSi_2 島の深さの平均値を示している。グラフより、C がある場合において NiSi_2 島の深さの分布が狭くなり、かつその平均値が減少したことが分かる。したがって、C を Si 基板中に導入することによって NiSi_2/Si 界面における $\{111\}$ ファセットの深さ方向への成長が抑制され、表面における NiSi_2 島の $\langle 011 \rangle$ エッジの形成も抑制されたと言える。

以上の結果より、C 有無による NiSi_2 島の形状の違いについてまとめる。C がいない場合および C がある場合の NiSi_2 形成後の典型的な STM 像およびその模式図を図 4-20(a) および (b) にそれぞれ示す。これらは清浄表面上および C 0.2 ML を基板温度 550°C にて蒸着した表面上に Ni を 2 ML 蒸着し、600°C で 10 分間熱処理した後の STM 像である。また、それぞれの試料における NiSi_2 島の形状を平面および断面模式図を用いて説明する。

C がいない場合、STM 像より $\langle 011 \rangle$ 方向に沿った長く明瞭なエッジで囲まれた NiSi_2 島が

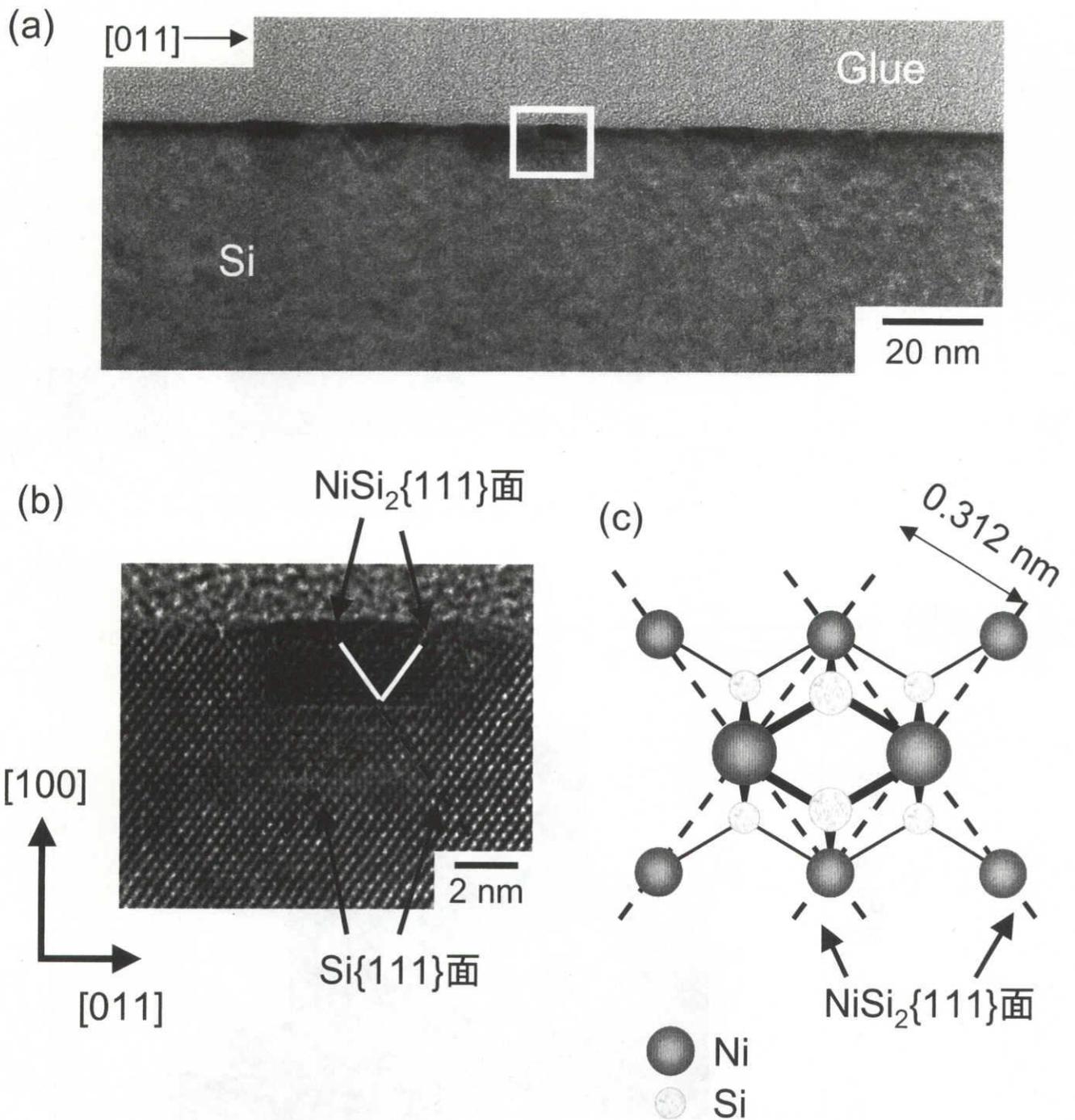


図 4-18 C 0.2 ML を基板温度 550°C において蒸着した表面上に、
 Ni 2 ML 室温で蒸着し 600°C で 10 分間熱処理した試料。
 (a) 広域断面 TEM 像、(b) NiSi₂ 島の拡大像、及び (c) 原子配列の模式図。

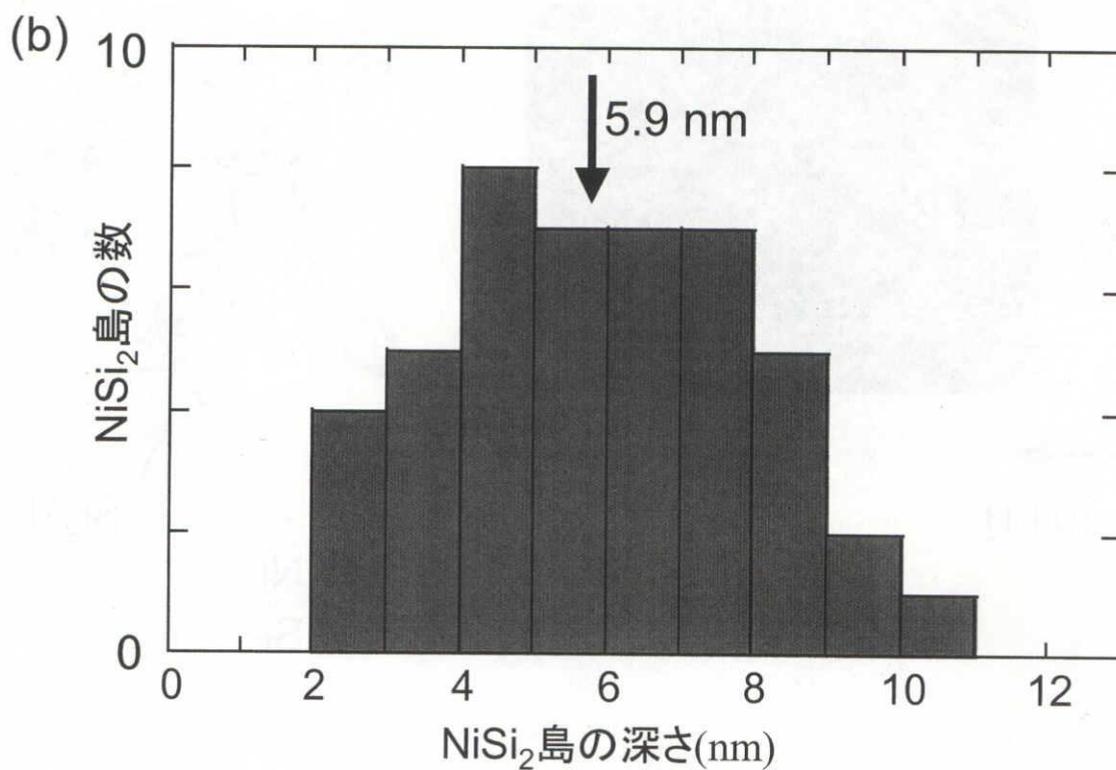
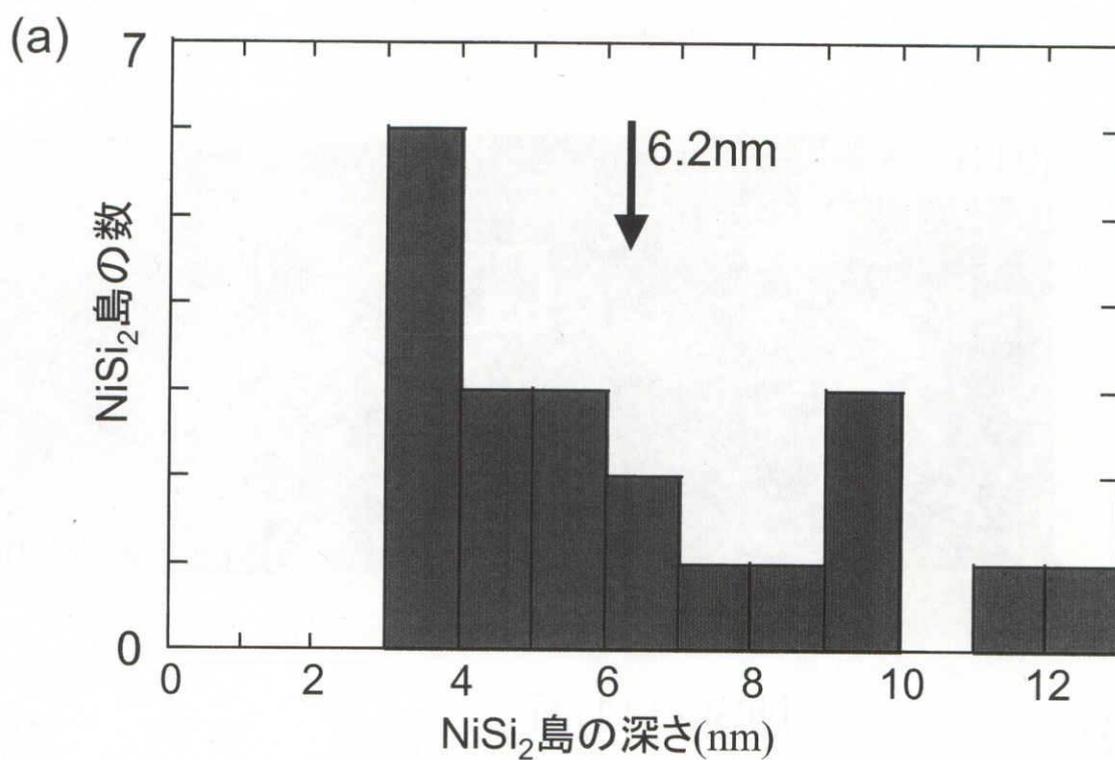


図 4-19 NiSi₂島の深さの分布 (ヒストグラム)。
(a)C なし、及び(b)C 0.2 ML。

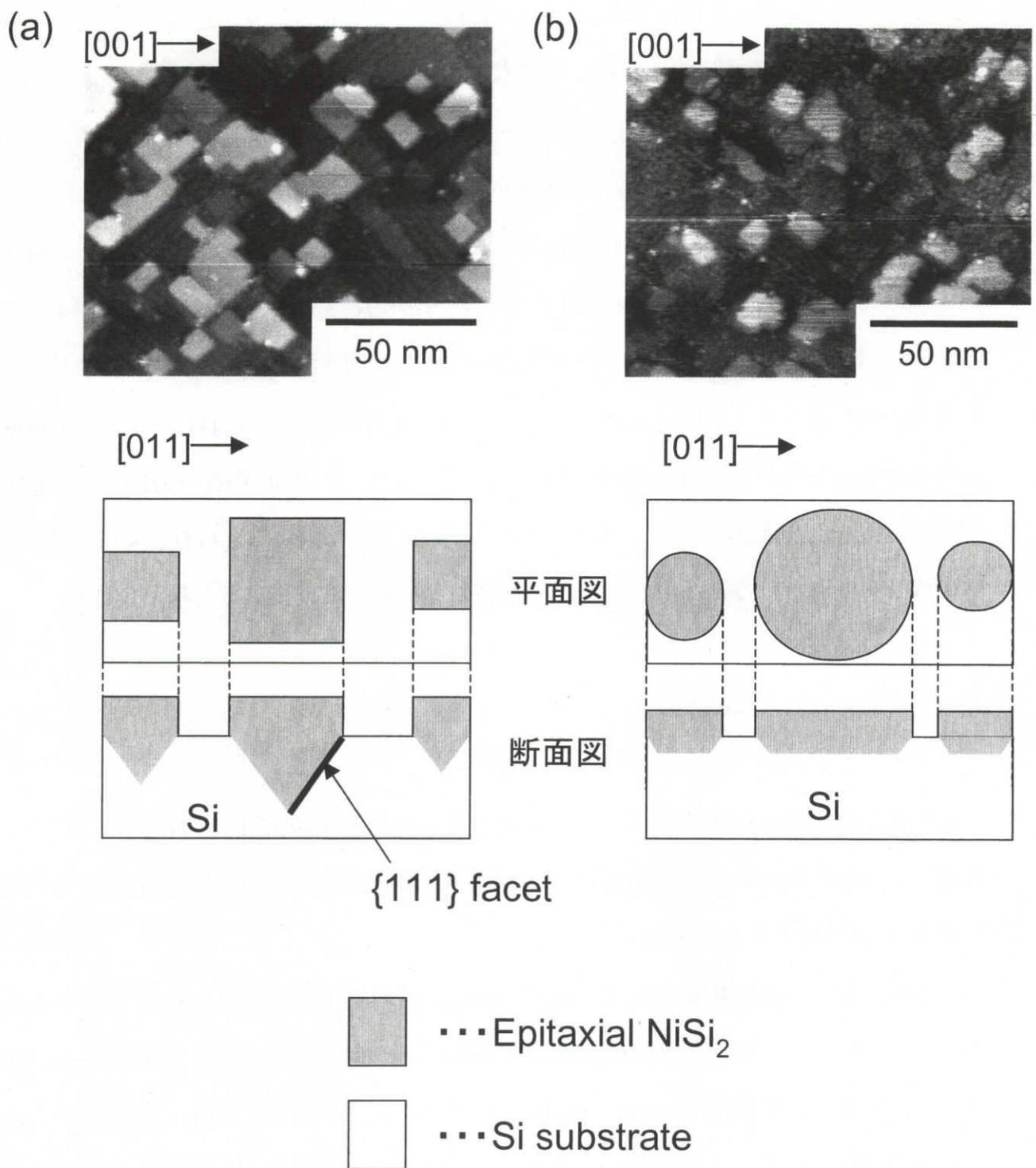


図 4-20 Ni 2 ML を蒸着後、熱処理した表面の STM 像及び模式図。
 (a)C なし、及び(b)C 0.2 ML。

形成されているのがわかる。図 4-20(a)の断面図に示すように、表面に現れる長い<011>エッジは NiSi₂/Si 界面における大きく深い{111}ファセットの形成を意味している。{111}ファセットはエネルギー的に非常に安定な界面を形成している。そのため、一旦{111}ファセットが形成されると NiSi₂ 島の水平方向の成長は抑制され、結果的に基板上において NiSi₂ 島の垂直上方向への成長が優先的に生じると考えられる。

一方、C がある場合、図 4-20(b)の STM 像より、NiSi₂ 島は丸みを帯びており、NiSi₂ 島の周りを囲んでいる<011>エッジは C がない場合に比べて短いことが観察される。つまり、C の導入により<011>方向への優先的な成長が抑制され、等方的な成長が生じたものと考えられる。また、短い<011>エッジは NiSi₂/Si 界面における{111}ファセット形成の抑制を意味しており、図 4-20(b)の断面図に示すように、NiSi₂ の深さ方向への成長が抑制される。その結果、NiSi₂/Si 界面におけるラフネスの増大が抑えられ、また水平方向への成長が促進されることから、NiSi₂ の膜は比較的均一に成長すると考えられる。

4.3.4 成長メカニズムの考察

前節までの結果より、C の有無によるエピタキシャル NiSi₂ の成長メカニズムについて考察する。図 4-21(a)および 4-21(b)に、C のない場合および C のある場合において考えられる NiSi₂ 成長のモデル図を示す。

C がない場合、基板温度を 600°C に保つ NiSi₂ 形成時には表面において Si 原子が泳動する。つまり、一旦 NiSi₂ の初期核が形成されると、表面泳動する Si 原子が NiSi₂ 島の成長のために次々と供給され、NiSi₂ 島が成長していく。一般的には NiSi₂ の形成時において Ni が拡散種となり、Si 基板中へ拡散すると言われている[14]。Ni 原子は 600°C で 10 分間の熱処理の場合、約 200 nm 拡散することから[15]、同時に Ni 拡散によって NiSi₂ 島は Si 基板との界面に{111}ファセットを深く形成する。界面が{111}ファセットで完全に囲まれ、逆ピラミッド型が完成すると、{111}ファセットは非常に安定なために、垂直下方向および水平方向への成長は遅くなり、NiSi₂ は垂直上方向に優先的に成長する。その

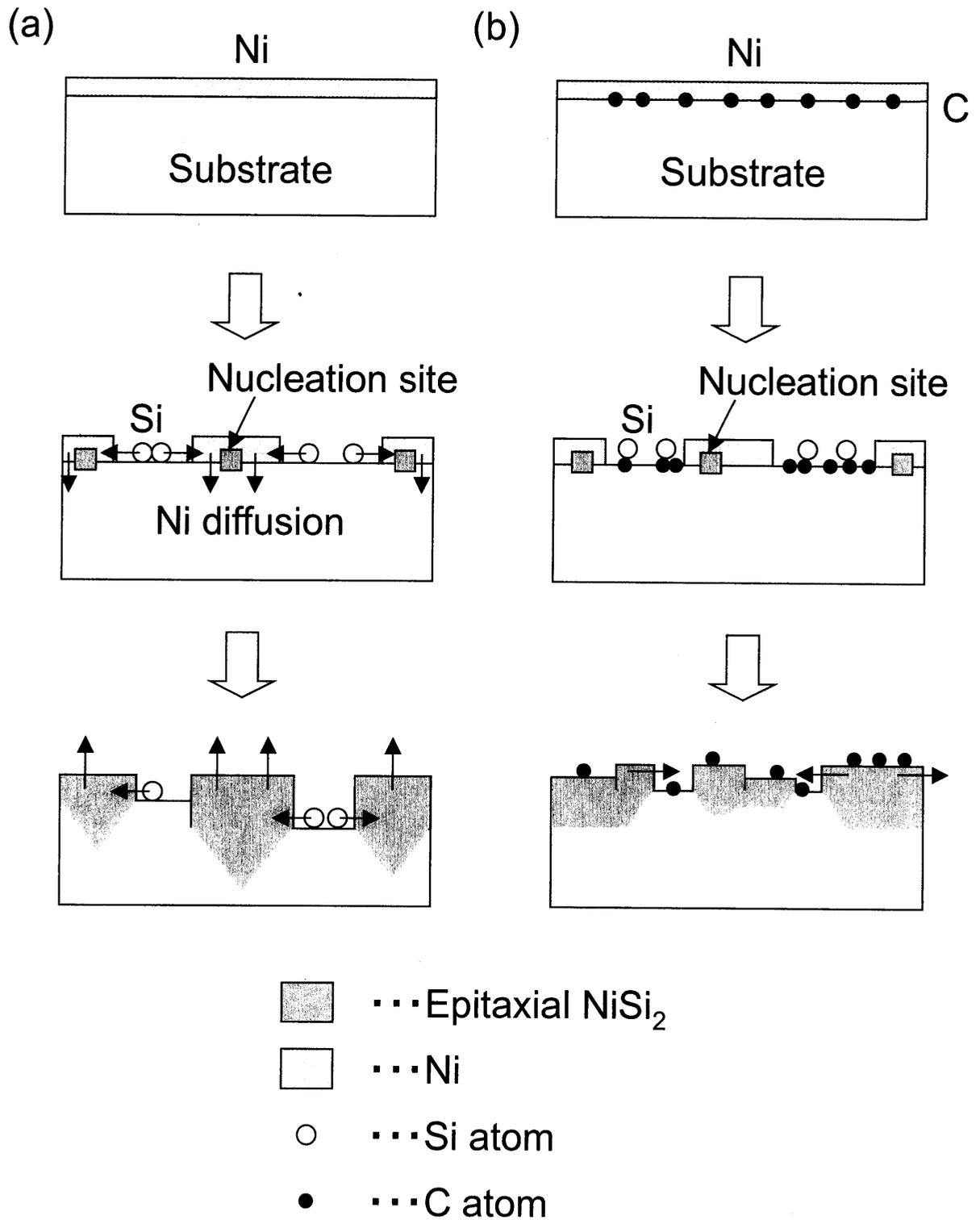


図 4-21 Cの有無による NiSi_2 成長モデル図。
 (a) Cなし、及び(b)C 0.2 ML。

際に、Si 基板中の Si 原子に比べると、表面上の Si 原子が泳動しやすいために、露出している Si 基板から Si 原子の供給が起こることが推測される。その結果として、C のない場合においては NiSi₂ 島の高さが増加し、表面のラフネスが増大すると考えられる。さらに、NiSi₂/Si 界面において大きな{111}ファセットが形成されることにより、界面のラフネスも増大する。

一方、C がある場合では、表面において C 原子の影響による c(4×4)構造が形成されていることから、Si 原子と C 原子の結合が存在するものと考えられる。ここで、Si 同士および Si-C の結合エネルギーはそれぞれ 23.2 および 31.6 kcal/mol であることから、Si-Si ボンドに比べ S-C ボンドの結合力が強い[16]。したがって、表面で Si-C ボンドが形成されている場合、その結合の分だけ Si 原子の表面泳動が阻害されると考えられる。つまり、NiSi₂ 形成時において Si の表面泳動による供給が抑制されるため、NiSi₂ 島の垂直上方向への成長が抑制され、水平方向の成長が優先的となり、結果として NiSi₂ 島の高さが減少すると考えられる。

また、Si 基板中に C が存在することにより、Ni 原子の拡散機構にも影響を及ぼすと考えられる。C がない場合、Ni の拡散に対する制限はなく、Ni 原子の移動が速やかに起こり、安定構造の{111}ファセットが広い面積を持って形成可能であった。しかし、C がある場合、Si 基板中の C により Ni 拡散が制限され、安定な{111}ファセットが成長する速度は遅くなると考えられる。したがって、{111}ファセットの形成が抑制され<011>方向に沿った長いエッジを持つ NiSi₂ 島が減少すると考えられる。その結果、NiSi₂ 島は等方的に成長し、水平方向への成長が促進され、NiSi₂ 形成表面の被覆率が向上したといえる。

4.4 C 吸着状態の異なる表面上での NiSi₂ 固相成長

4.4.1 C 蒸着量依存性

次に C 蒸着量の異なる表面における NiSi₂ 島の成長の違いについて述べる。基板温度

を 550℃に保ちながら膜厚の異なる C を蒸着し、試料を作製した。C 蒸着量はそれぞれ 0.04 ML、0.2 ML、および 0.6 ML である。

C 0.2 ML の場合には表面において $c(4\times 4)$ 構造が形成されたことは前節で述べた。C を 0.04 ML 蒸着した表面において、STM 像および RHEED 像から $c(4\times 4)$ 構造の存在を確認することはできなかった。Jemander らは、Si(100)表面に対して $c(4\times 4)$ 構造を表面全体に形成するには C 膜厚 0.07 ML が必要であると報告している[13]。したがって、C を 0.04 ML 蒸着した表面においても一部の領域では $c(4\times 4)$ 構造を形成しているが、その領域が限られるためその存在の確認が困難であった可能性がある。しかし、一方で Kim らは C 膜厚 0.05 ML を蒸着した場合には、 $c(4\times 4)$ 構造は得られず $(2\times n)$ 構造が観察されるとも報告している[17]。したがって、C 0.04 ML の試料表面においてどのような構造が形成されているのかについては、今後更なる研究が必要である。

図 4-22(a)、4-22(b)、および 4-22(c)に、C 0.6 ML を基板温度 550℃にて蒸着した試料表面の広域 STM 像、広域像において白線で示した領域の拡大 STM 像、および RHEED 像をそれぞれ示す。拡大 STM 像において、白い輝点が周期的に並んでいるのが観察され、その間隔は約 1.12 nm と見積もられた。これは Si(100)面上の $c(4\times 4)$ 構造の一周期 1.086 nm にほぼ一致する。また RHEED 像より、図 4-11(c)に示したような C 0.2 ML の場合と同様に $c(4\times 4)$ 構造に関連づけられるスポットが確認された。したがって、この表面上には $c(4\times 4)$ 構造が形成されていると考えられる。

次に、これらの C 蒸着量の異なる表面上に Ni を室温で 4.8 ML 蒸着し、その後 600℃で 10 分間熱処理した試料表面の STM 像、およびラインプロファイルを図 4-23 に示す。C の蒸着量はそれぞれ(a)0.04 ML、(b)0.2 ML および(c)0.6 ML である。STM 像より、それぞれの試料表面では NiSi_2 島が形成されており、その形状はお互いに非常に類似している。表面ラフネスを示す RMS 値はそれぞれ、0.25 nm、0.18 nm、および 0.17 nm であった。また Si 基板から測った NiSi_2 島の高さの平均はそれぞれ 0.78 nm、0.78 nm、および 0.63 nm であった。したがって、C 蒸着量の増加に伴って NiSi_2 形成後の表面平坦性が向上すると考えられる。また、これらの試料における NiSi_2 島のテラス領域が占める表

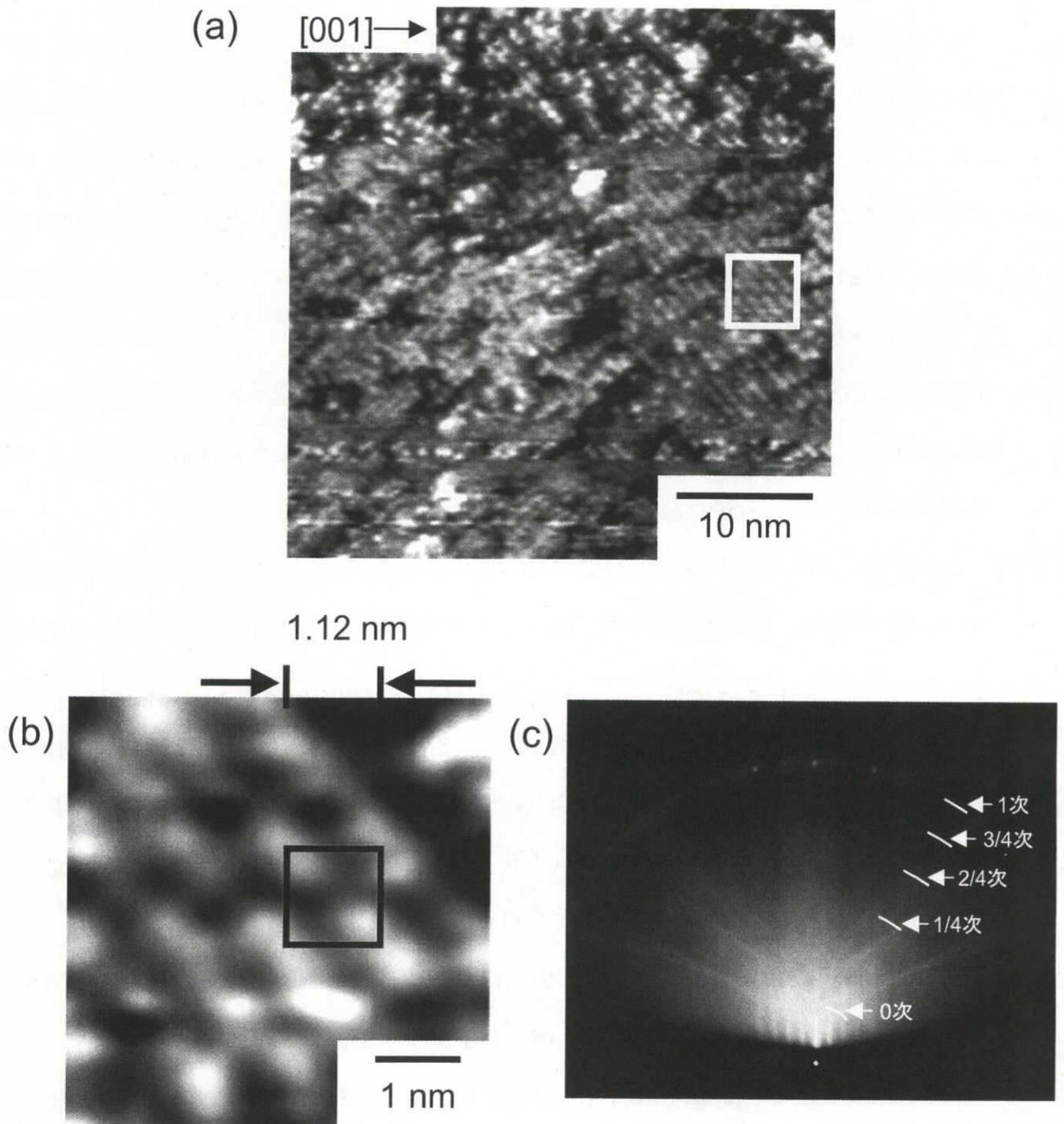


図 4-22 C 0.6 ML を基板温度 550°C にて蒸着した試料表面。
(a)広域 STM 像、(b)拡大 STM 像、及び(c)RHEED 像。

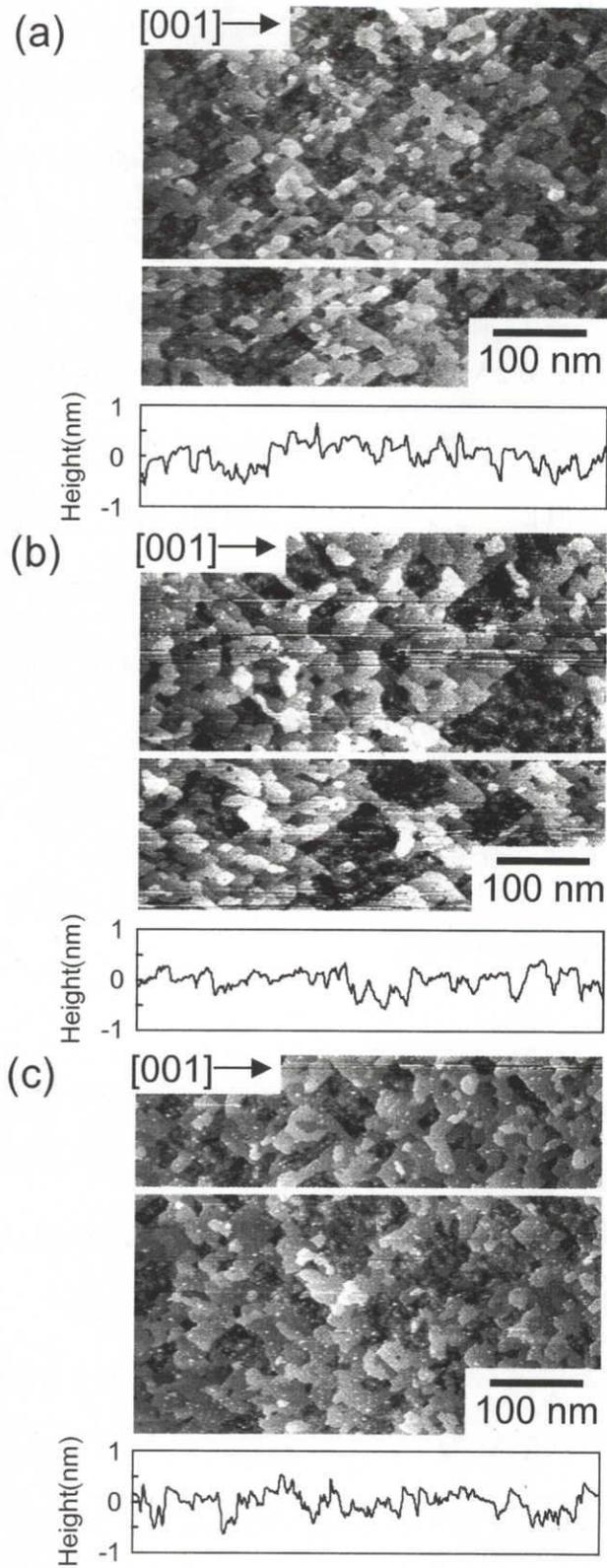


図 4-23 異なる膜厚の C を 550℃にて蒸着した表面に Ni 4.8 ML を室温で蒸着し、600℃で 10 分間熱処理した試料表面の STM 像及びラインプロファイル。
C 膜厚は(a)0.04 ML、(b)0.2 ML、及び(c)0.6 ML である。

面被覆率はそれぞれ 69%、85%、および 78%と見積もられた。

次に C 膜厚を更に増加させた場合について述べる。図 4-24 に C 膜厚 1.2 ML を室温にて蒸着した表面上に、Ni を 4.8 ML 室温で蒸着し、600°C で 10 分間熱処理した試料表面の STM 像およびラインプロファイルを示す。STM 像において丸みを帯びた NiSi₂ 島が多数観察され、表面全体は非常に平坦である。表面ラフネスを示す RMS 値は 0.12 nm であり、C 膜厚が 0.04 ML、0.2 ML および 0.6 ML の試料と比較すると、どの場合よりも RMS 値は小さい。したがって、C 蒸着量の増加が NiSi₂ 形成後の表面平坦性を向上させることは明らかになった。但し、この C 1.2 ML の試料に関しては C 蒸着温度が室温のため、C 蒸着直後の表面において c(4×4)構造は形成されておらず、C はクラスター状に分布している。C 0.04 ML の場合において C 蒸着後に形成された表面構造が未確定であることも考慮すると、NiSi₂ 膜の表面平坦性は C 蒸着量および Ni 蒸着時の表面状態に依存することが考えられる。

4.4.2 C 吸着表面状態依存性

前節では、主として基板温度を 550°C に保った状態で C 蒸着を行っていた。本節では、まず C を室温で 0.2 ML 蒸着した表面上における NiSi₂ の成長について述べる。室温で C を蒸着した場合には、C 蒸着直後においては図 4-10 に示されたように、表面において c(4×4)構造は確認されていない。

図 4-25(a)に C を室温で 0.2 ML 蒸着した表面に Ni を 2 ML 蒸着し、600°C で 10 分間熱処理をした試料表面の STM 像、およびラインプロファイルを示す。また比較のために、図 4-25(b)および 4-25(c)に、それぞれ清浄表面上および C 0.2 ML を基板温度 550°C にて蒸着した表面上に Ni を 2 ML 蒸着し、600°C で 10 分間熱処理した試料表面の STM 像およびラインプロファイルを示す。図 4-25(a)、4-25(b)、および 4-25(c)における NiSi₂ 島の密度は、それぞれ $2.2 \times 10^{11} \text{cm}^{-2}$ 、 $1.7 \times 10^{11} \text{cm}^{-2}$ 、および $1.3 \times 10^{11} \text{cm}^{-2}$ と見積もられた。このことから、C を室温で蒸着した表面上における NiSi₂ 島の密度が比較的大きいことが

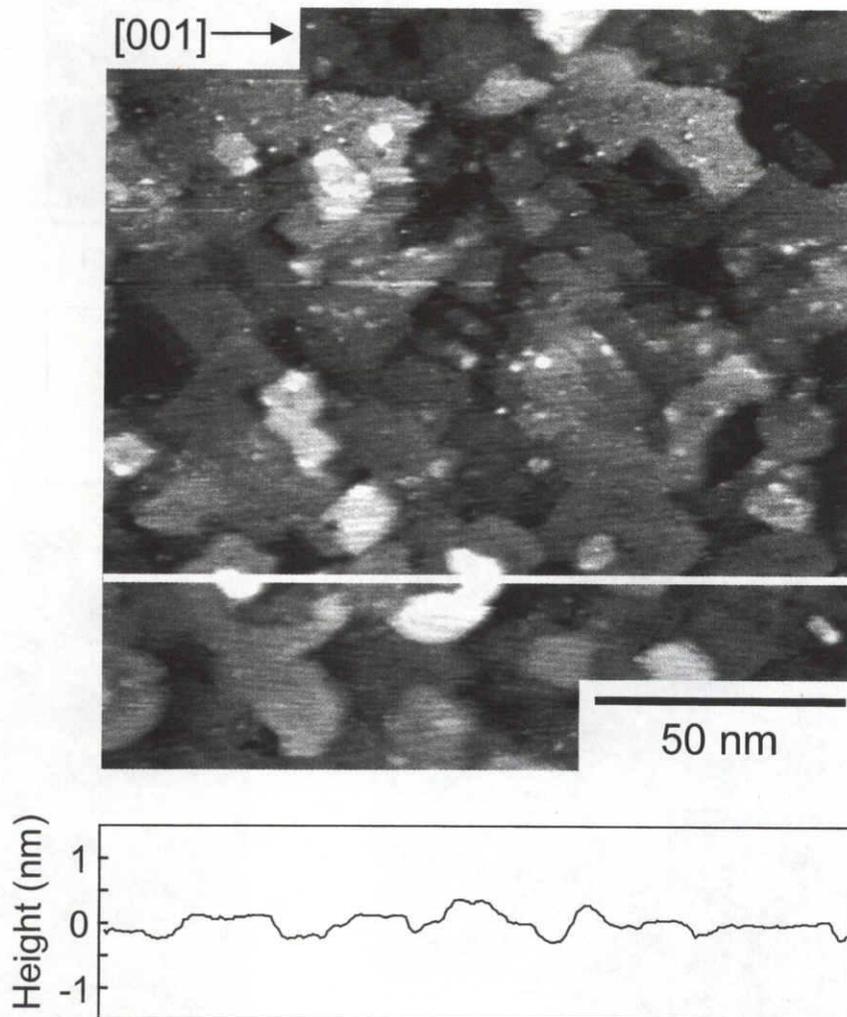


図 4-24 C を室温にて 1.2 ML 蒸着した表面に Ni を室温で 4.8 ML 蒸着し、
600°C で 10 分間熱処理した試料表面の STM 像及びラインプロファイル。

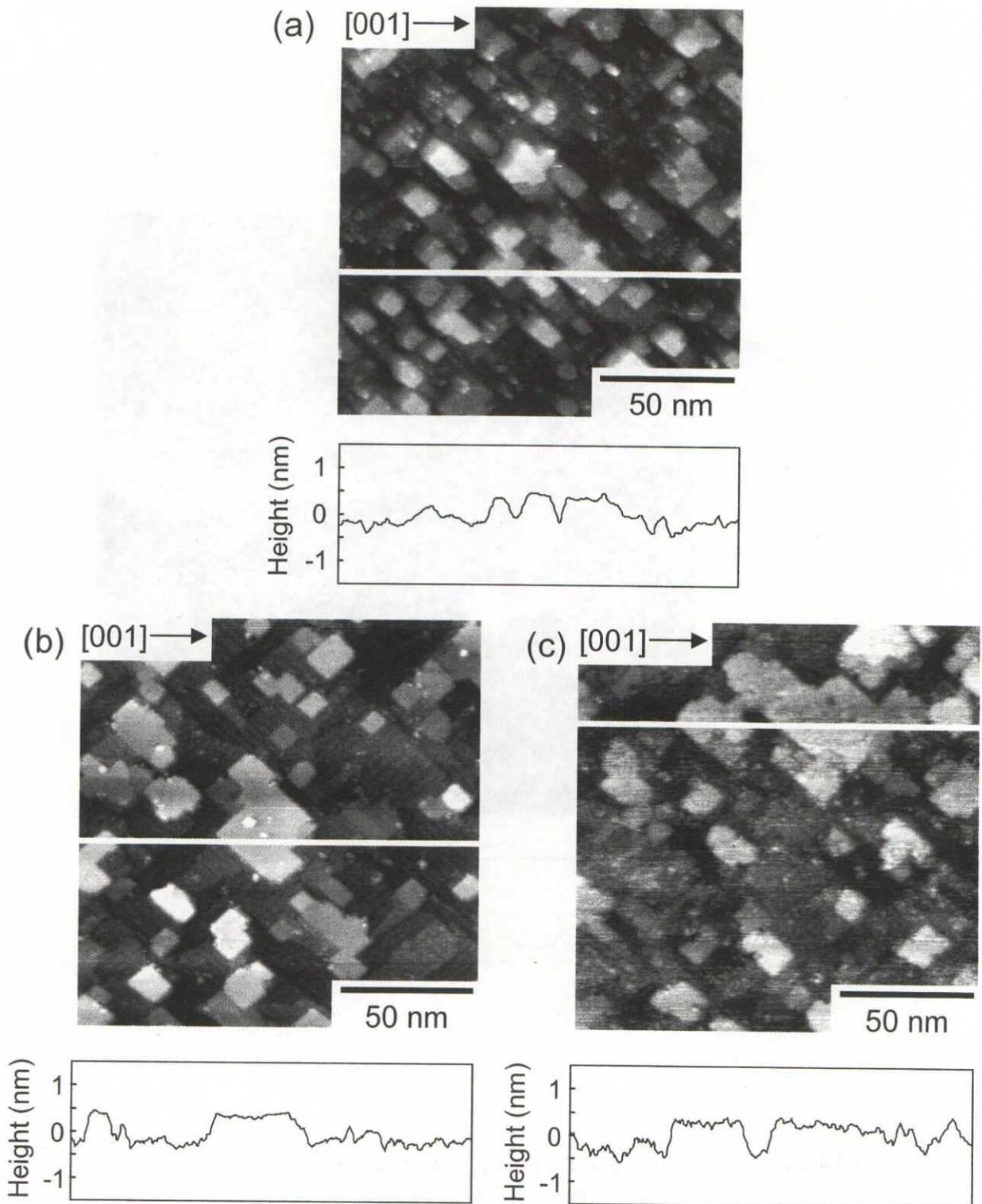


図 4-25 異なる表面上に Ni 2 ML を室温で蒸着し、600°C で 10 分間熱処理した試料表面の STM 像及びラインプロファイル。
 (a) C 0.2 ML を室温で蒸着した表面上の NiSi₂ 形成、
 (b) 清浄表面上における NiSi₂ 形成、及び
 (c) C 0.2 ML を基板温度 550°C にて蒸着した表面上の NiSi₂ 形成。

わかる。島の密度が増加する理由として、NiSi₂の初期核発生率の増加、または核発生速度に対する NiSi₂ 島成長速度の低下が考えられる。もしも前節で述べたように C の導入によって Si 原子の表面泳動が抑制されるとすれば、個々の NiSi₂ 島の成長速度が低下し、結果的に生成核密度が増加することも考えられる。

しかし、これが正しいければ前節までに議論したように、図 4-25(c)に示した試料においても同様に NiSi₂ 島の核密度が増加するはずである。実際には図 4-25(c)に示す試料表面において NiSi₂ 島の密度は増えておらず、この仮定は矛盾する。したがって、図 4-25(a)に示した C を室温で蒸着した試料においては C クラスターの存在により NiSi₂ 島の核発生率が増加していると推測される。しかし、C を室温で蒸着した場合に、NiSi₂ 島の核密度が増大する理由は現在のところ不明であり、今後の更なる実験が必要である。

次に、C を 0.2 ML 室温で蒸着した表面上に Ni を 4.8 ML 蒸着し、600°C で 10 分間熱処理した表面の STM 像、およびラインプロファイルを図 4-26 に示す。STM 像より、図 4-9 および図 4-15 に示したように清浄表面上、および C 0.2 ML を基板温度 550°C にて蒸着した表面上の NiSi₂ 形成と類似した NiSi₂ 島の成長が観察される。また、図 4-15 に示したような白い輝点は NiSi₂ 島の表面上には確認されなかった。この表面のラフネスを示す RMS 値は 0.21 nm と見積もられ、清浄表面上における NiSi₂ 形成表面の RMS 値の 0.44 nm に比べ平坦性は向上したが、C 0.2 ML を 550°C で蒸着した表面上における NiSi₂ 形成表面の RMS 値 0.18 nm に達するほどの平坦性は得られなかった。したがって、表面平坦性を向上させるためには C 導入により Si-C ボンドを形成し、表面における Si 原子の泳動を抑制することが重要であると考えられる。

そこで Si-C ボンドをもつと考えられる c(4×4)構造を前節とは異なる方法で形成し、その表面上における NiSi₂ 形成について検討した。まず、C 0.2 ML を室温にて蒸着し、続いて 600°C で 10 分間熱処理をした試料表面の STM 像および RHEED 像を、それぞれ図 4-27(a)および 4-27(b)に示す。STM 像より、清浄表面に比べギザギザになっているステップが観察された。このようなのこぎり状のステップは、c(4×4)構造の形成に伴ってステップ端の Si 原子が移動することによって得られると考えられている。一般的には、

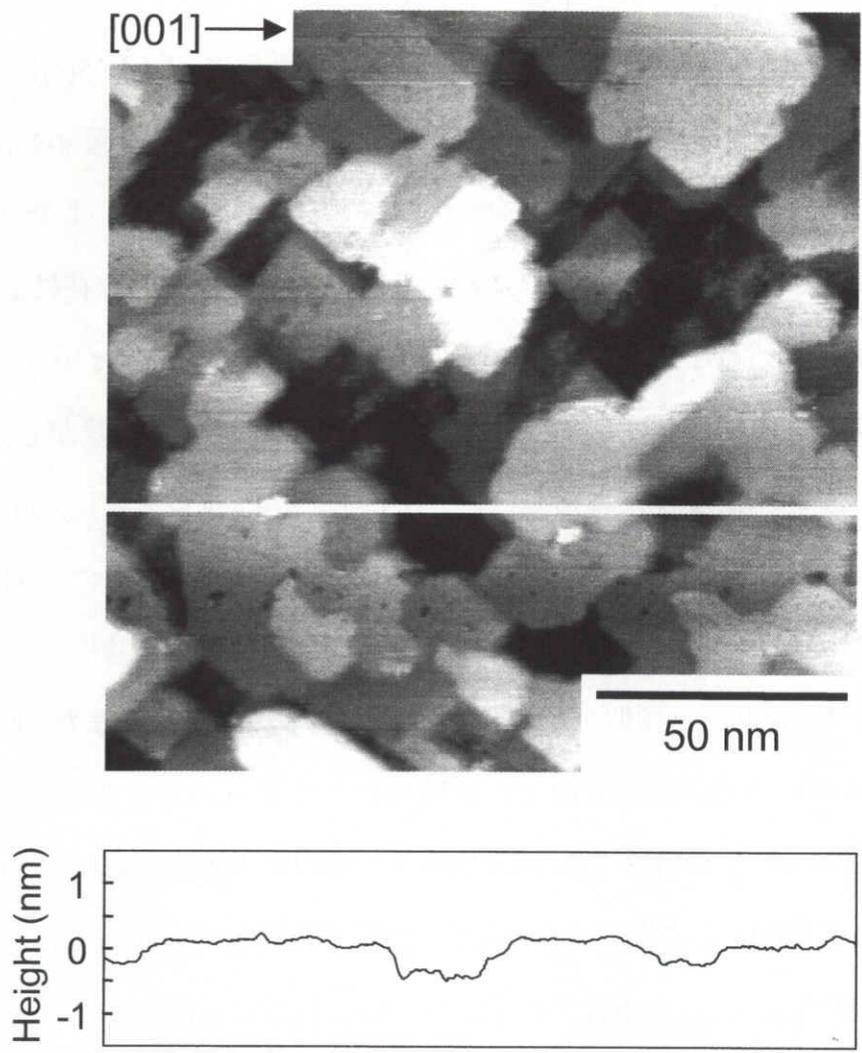


図 4-26 C 0.2 ML を室温で蒸着した表面上に Ni を 4.8 ML 蒸着し、600°C で 10 分間熱処理した試料表面の STM 像及びラインプロファイル。

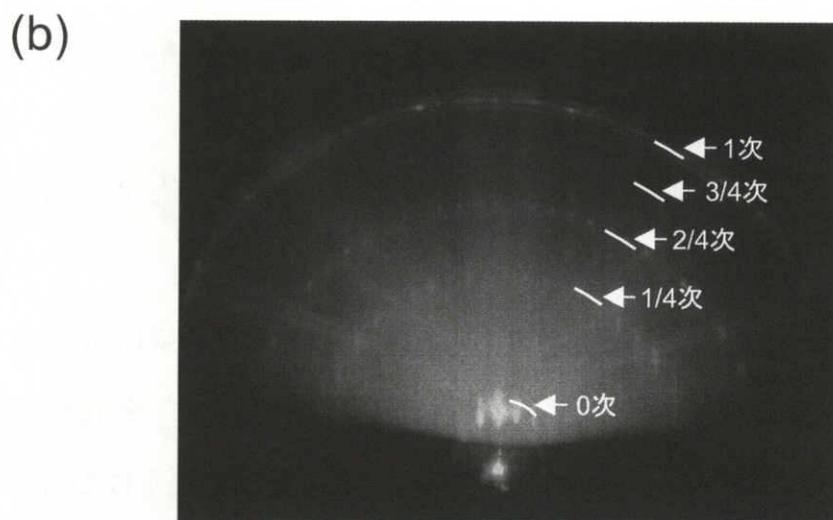
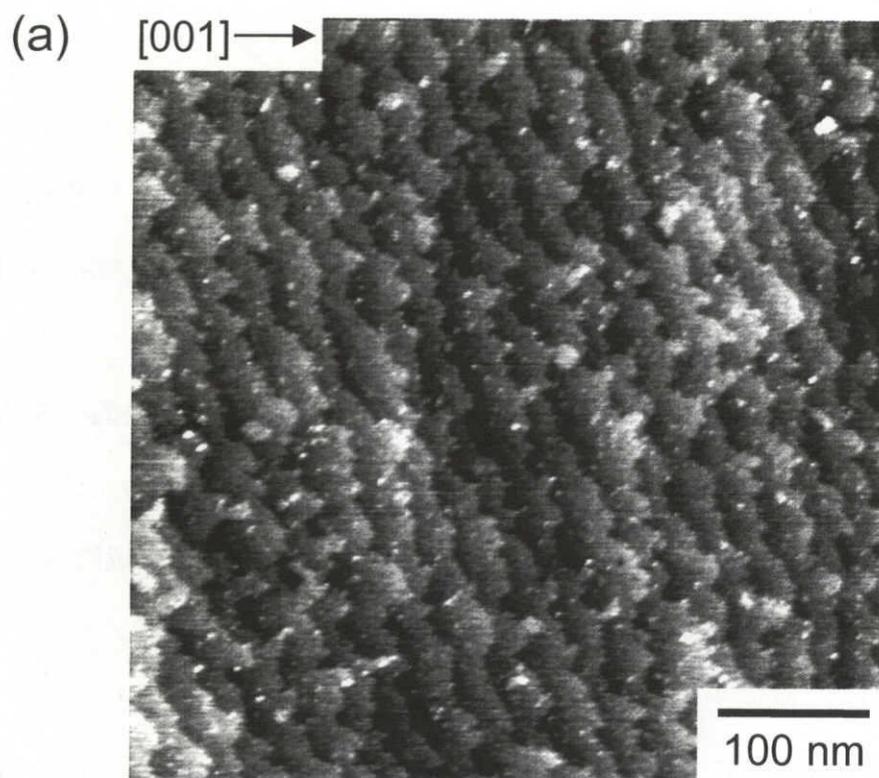


図 4-27 C 0.2 ML を室温で蒸着し、600°C で 10 分間熱処理した試料表面。
(a)STM 像、及び(b)RHEED 像。

S_A ステップに比べ S_B ステップがのこぎり状になることが報告されているが[17]、今回の試料における STM 像においては、両方のステップにおいてのこぎり状の形態が観察された。しかし、原子分解能像によって原子配列構造までを確認することは困難であった。

一方、RHEED 像では図 4-11(c)に示した試料と同様の RHEED パターンが観察され、表面において $c(4 \times 4)$ 構造が形成されていると考えられる。C 0.2 ML を基板温度 550°C で蒸着した場合に表面上に形成された $c(4 \times 4)$ 構造との違いは、STM 像および RHEED 像においては観察されなかった。

この表面上に Ni を 4.8 ML 蒸着し、 600°C で 10 分間熱処理した表面の STM 像およびラインプロファイルを図 4-28 に示す。STM 像より、 $\langle 011 \rangle$ 方向に沿ったエッジをもつ NiSi_2 島と見られる構造が観察される。また、この NiSi_2 島のテラス領域における拡大像においては図 4-15(c)と同様の NiSi_2 表面構造が観察され、 NiSi_2 がエピタキシャル成長していることを確認した。

図 4-28 の NiSi_2 島上には暗く見える多数の欠陥 (矢印 A) と白い輝点 (矢印 B) が観察できる。この欠陥は NiSi_2 島表面上にはほぼ等間隔 (欠陥間の距離: 約 16 nm) で分布していることから、エピタキシャル成長によって生じた膜の歪を緩和するために形成されたものと推測される。つまり、 NiSi_2 の Si に対する格子不整合が -0.46% であるために、Si 表面上にエピタキシャル成長した NiSi_2 膜が伸張歪を受けており、欠陥を多数形成することによりこの歪を緩和していると考えられる。

また、白い輝点は主に欠陥に沿って存在している。白い輝点は前節で述べたように、C に起因したものであると考えられる。この試料の表面ラフネスを示す RMS 値、 NiSi_2 島の平均高さ、および NiSi_2 島のテラス領域が占める表面被覆率はそれぞれ 0.19nm、0.61nm、および 85% と見積もられた。

次に、C を 0.2 ML 室温にて蒸着し、 550°C で更に長時間の 20 時間熱処理をした試料表面の STM 像および RHEED 像を図 4-29(a)および 4-29(b)に示す。STM 像より Si 基板のステップおよび多数の白い輝点が観察される。しかし、原子分解能像によって原子配列構造を確認することは困難であった。一方、RHEED 像より図 4-27(b)に示した C 0.2 ML を

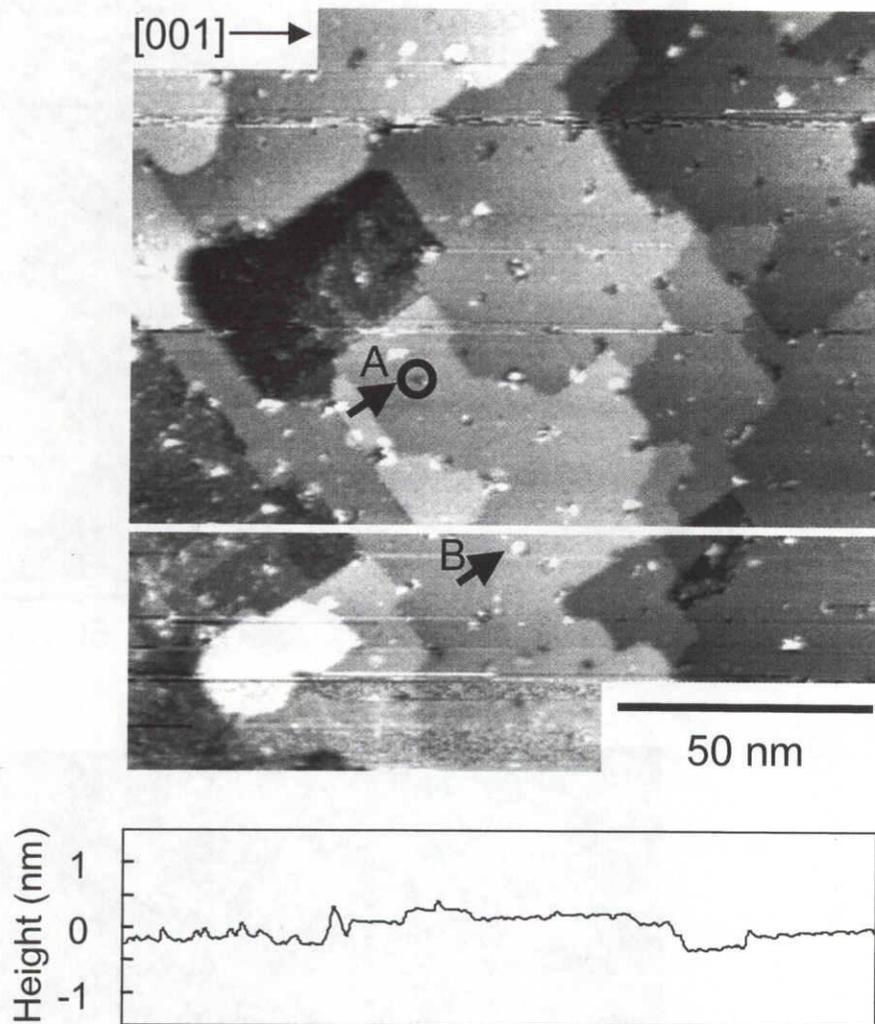


図 4-28 C 0.2 ML を室温で蒸着し、600°C で 10 分間熱処理した表面上に Ni を 4.8 ML 室温で蒸着し 600°C で 10 分間熱処理した試料表面の STM 像及びラインプロファイル。

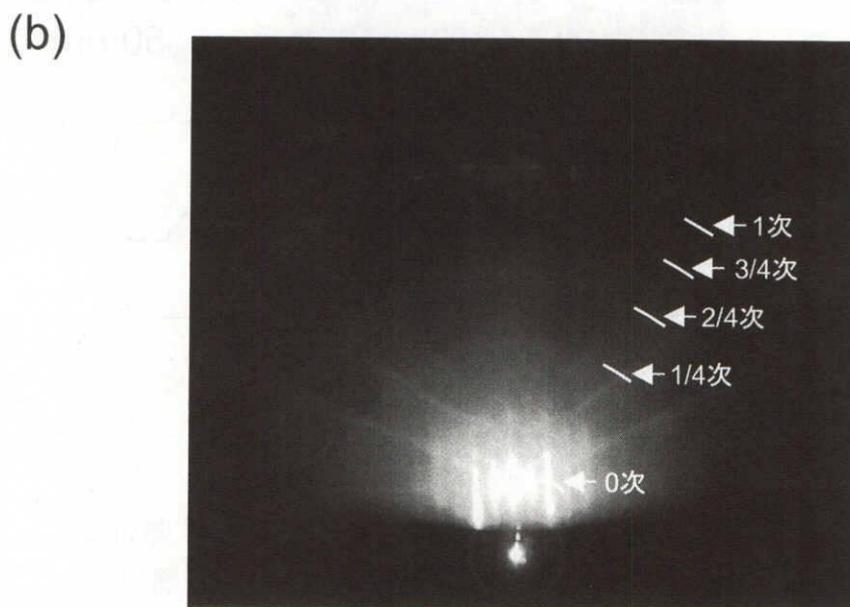
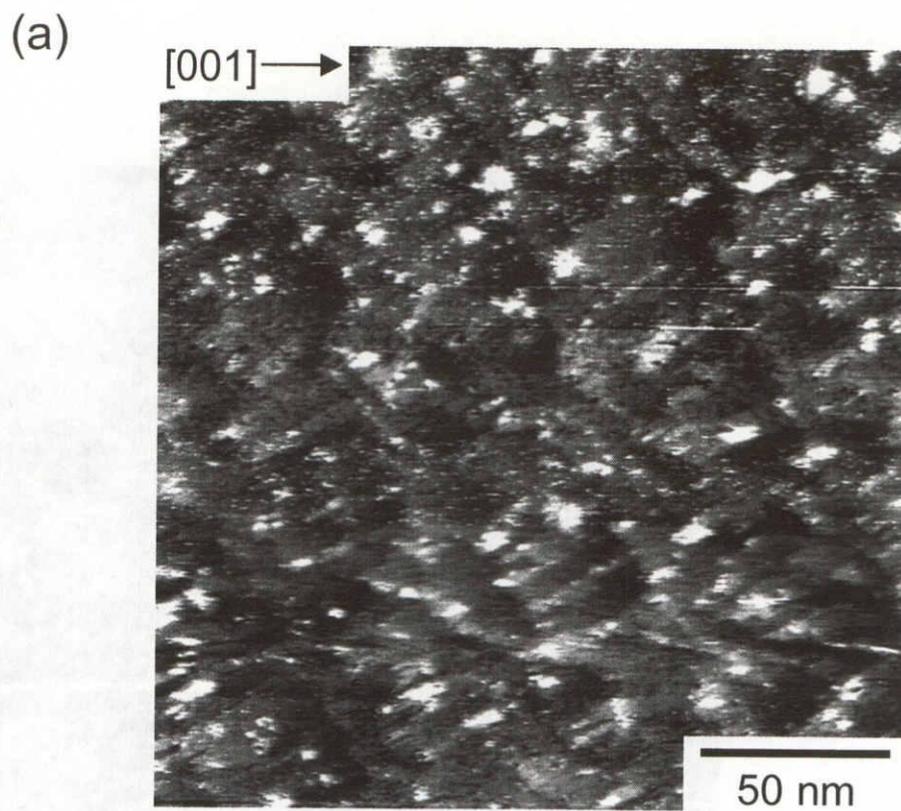


図 4-29 C 0.2 ML を室温で蒸着し、550°C で 20 時間熱処理した試料表面。
(a)STM 像、及び(b)RHEED 像。

室温で蒸着後に 600°C で 10 分間熱処理した表面と同様の RHEED パターンが観察された。また、C を 0.2 ML 室温で蒸着後に 600°C で 20 時間熱処理することにより表面において $c(4\times 4)$ 構造を形成するという報告もあることから[13]、この表面上には $c(4\times 4)$ 構造が形成されていると考えられる。

この表面上に Ni を 4.8 ML 蒸着し、600°C で 10 分間熱処理した試料表面の STM 像およびラインプロファイルを図 4-30 に示す。STM 像より $\langle 011 \rangle$ 方向に沿ったエッジを持つ NiSi_2 島が観察される。しかし、図 4-28 に示した NiSi_2 島の $\langle 011 \rangle$ 方向に沿ったエッジの長さとの試料におけるエッジの長さを比較すると、後者が明らかに短い。この表面のラフネスを示す RMS 値は 0.19 nm であり、清浄表面上に形成された NiSi_2 島の RMS 値に比べ小さく、表面平坦性が向上している。また、 NiSi_2 島の平均高さおよび NiSi_2 島のテラス領域が占める表面被覆率は、それぞれ 0.75 nm および 79% と見積もられた。

ここで、図 4-28 および図 4-30 に示した C 蒸着後の熱処理条件の異なる二つの試料表面の NiSi_2 形成について考察をおこなう。表面ラフネスを示す RMS 値、 NiSi_2 島の平均高さ、および NiSi_2 島のテラス領域が占める表面被覆率にはほとんど違いは見られなかった。しかし、それぞれの STM 像より個々の NiSi_2 島の占めるテラス面積に違いが見られる。図 4-28 および図 4-30 における各 NiSi_2 島の平均テラス面積はそれぞれ約 1120 nm² および 340 nm² と見積もられた。したがって、C 蒸着後の熱処理時間によって Ni 蒸着前の表面状態が異なり、その表面上での NiSi_2 島形成に大きな影響を与えたと考えられる。

Si(100)表面上に室温で C を蒸着し、その後の熱処理によって $c(4\times 4)$ 構造を形成するためには十分な熱処理時間が必要であると言われている[13]。これを考慮に入れると、10 分間の熱処理では $c(4\times 4)$ 構造の形成には十分な時間でないため、 $c(4\times 4)$ 構造が限られた領域にのみ形成されていると考えられる。一方、20 時間の熱処理では表面の広い領域において $c(4\times 4)$ 構造が形成されていると考えられる。つまり長時間の熱処理により、安定な Si-C ボンドを持つ $c(4\times 4)$ 構造が広範囲に形成された結果、 NiSi_2 形成時における Si 原子の表面泳動の抑制がより効果的に行われ、表面平坦性が向上したと考えられる。また、Si 基板中の C が Ni 拡散に対して影響を及ぼし、 $\{111\}$ ファセットの成長が抑制され

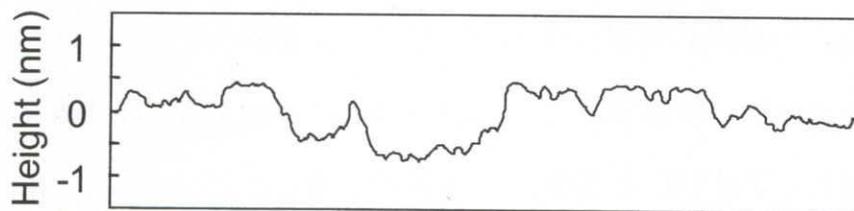
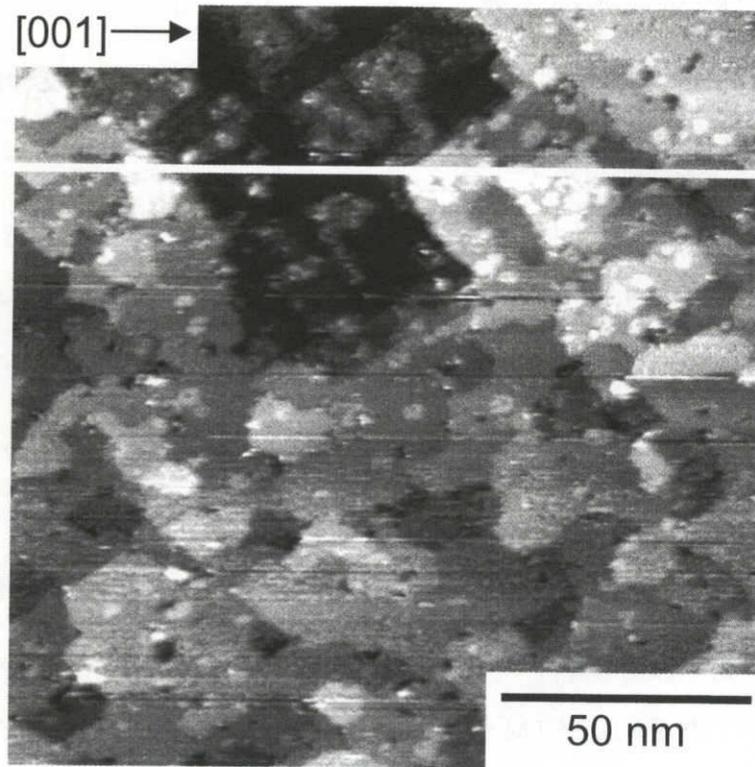


図 4-30 C 0.2 ML を室温で蒸着し、550℃で 20 時間熱処理した表面上に Ni を 4.8 ML 室温で蒸着し、600℃で 10 分間熱処理した試料表面の STM 像及びラインプロファイル。

た結果、 $\langle 011 \rangle$ エッジが短くなり、 NiSi_2 形成が等方的に行われたと考えられる。

4.5 C 効果のまとめ

以上の結果から、 $\text{Si}(100)$ 表面上におけるエピタキシャル NiSi_2 の形成は、C 蒸着量および C 蒸着後の熱処理に依存する表面状態に強く影響されることが明らかになった。 NiSi_2 形成表面の平坦性を向上させるためには、C 蒸着量の制御、および適切な C 導入による Si-C ボンドの形成が重要であることがわかった。

安定な Si-C ボンドをより多く形成することにより、 NiSi_2 形成時における Si 原子の表面泳動が阻害される。その結果、 NiSi_2 島の垂直上方向への成長が抑制され、水平方向の成長が優先的となり表面平坦性および表面被覆率が向上する。

また、Si 基板中における C の存在は Ni 拡散機構にも影響を及ぼし、C が存在しないときに比べて Ni 拡散が制限される。その結果、 NiSi_2/Si 界面における $\{111\}$ ファセット形成が抑制され、 NiSi_2 の等方的な成長が促進されることにより、界面における平坦性が得られると考えられる。

また、Si-C ボンドを形成する手段として、表面上に $c(4 \times 4)$ 構造を形成させることが有効であることがわかった。 $c(4 \times 4)$ 構造の形成領域の割合が表面平坦性に強く影響を及ぼすと考えられるため、 NiSi_2/Si の表面および界面における更なる平坦性の向上は、 $c(4 \times 4)$ 形成領域の制御が特に重要であると考えられる。

参考文献

- [1] K. C. R. Chiu, J. M. Poate, J. E. Rowe, and T. T. Sheng, *Appl. Phys. Lett.* **38**, 988 (1981).
- [2] 土屋義規, 修士学位論文, (2003), 名古屋大学.
- [3] D. J. Chadi, *Phys. Rev. Lett.* **59**, 1691 (1987).
- [4] B. S. Swartzentruber, Y. W. Mo, R. Kariontis, M. G. Lagally, and M. B. Webb, *Phys. Rev. Lett.* **65**, 1913 (1990).
- [5] Y. Kahng, S. J. Kahng, K. M. Mang, D. Jeon, J. H. Lee, Y. N. Kim, and Y. Kuk, *J. Vac. Sci. Technol.* **B12**, 2094 (1994).
- [6] I. Ono, M. Yoshimura, and K. Ueda, *J. Vac. Sci. Technol.* **B16**, 2947 (1998).

- [7] Y. Khang and Y. Kuk, *Phys. Rev. B* **53**, 10775 (1995).
- [8] A. Wawro, R. Czajka, A. Kasuya, and Y. Nishina, *Surf. Sci.* **365**, 503 (1996).
- [9] O. Leifeld, D. Grützmacher, B. Müller, K. Kern, E. Kaxiras, and P. C. Kelires, *Phys. Rev. Lett.* **82**, 972 (1999).
- [10] T. Takaoka, T. Takagaki, Y. Igari, and I. Kusunoki, *Surf. Sci.* **347**, 105 (1996).
- [11] R. I. G. Uhrberg, J. E. Northrup, D. K. Biegelsen, R. D. Bringans, L. E. Swartz, *Phys. Rev.* **B46**, 10251 (1992).
- [12] 鳥毛裕二, 修士学位論文, (2000), 名古屋大学.
- [13] S. T. Jemander, H. M. Zhang, R. I. G. Uhrberg, and G. V. Hansson, *Mater. Sci. and Eng.* **B89**, 415 (2002).
- [14] F. M. d'Heurle, S. Petersson, L. Stolt, and B. Stritzker, *J. Appl. Phys.* **53**(8), 5678 (1982).
- [15] G. L. P. Berning, L. L. Levenson, *Thin Solid Films* **55**, 473 (1978).
- [16] Wang YL, Poirier RA, *Can. J. of Chem.-Rev. Can. De Chimie* **76**, 477 (1998).
- [17] W. Kim, H. Kim, G. Lee, S. Y. You, Y. K. Hong, and J. Y. Koo, *Surf. Sci.* **516**, 553 (2002).

第5章 走査トンネル顕微鏡による $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 極薄膜初期成長の観察およびその成長制御

超高速デバイスの実現に向けて Ge を中心とするIV族系半導体の薄膜成長技術が注目されている。特に高 C 濃度の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜の特徴としては、 $\text{Si}_{1-x}\text{Ge}_x$ の格子定数差による歪を C 添加によって補償すること、C による伝導帯エネルギーバンドアライメント制御などが挙げられる。しかし、Si、Ge に対しての C の固溶度は 10^{18}atoms/cm^3 、および 10^8atoms/cm^3 オーダーと低いため[1, 2]、結晶性の悪化が問題となっている[3]。したがって、高性能デバイスに応用可能な高い結晶性を持つ高 C 濃度 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜の成長法の確立が必要となっている。

これまでの研究で、高 C 濃度 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜の初期成長過程において Si-C 領域と Si-Ge 領域とに相分離が生じ、これが $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜の結晶性を悪化させることが明らかになってきた[3,4]。C 濃度 5%以上の高い結晶性を持つ高 C 濃度 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜成長技術の確立のためには、Si、Ge および C の原子尺度における相互作用の理解に基づいて、C の凝集を抑制することが重要であると考えられる。本章では、Ge リッチな $\text{Si}_{1-x}\text{Ge}_x$ 薄膜の初期成長に与える C の影響および、高 Ge 組成 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜の初期成長を STM 用いて観察する。具体的には Si 基板上に $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜を同時に蒸着させた場合と Si 基板にはじめに $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を成長させ、その上に C を蒸着することで $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 薄膜を形成した場合の表面構造変化を観察した。

5.1 実験条件

Si(100)基板上への $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜、 $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜の成長および成長表面の STM 観察は、第 2 章で述べた MBE/STM 超高真空装置を用いた。成長室および分析室の到達真空度は、それぞれ 2.0×10^{-9} 、および 5.0×10^{-10} Torr であった。

Si(100)基板は装置導入前に、第 2 章で述べた有機洗浄法によって表面処理を施した。導入後、基板に対して成長室内で熱処理を行い、表面を洗浄した。Si(100)基板の清浄表面は、RHEED および STM で表面のダブルドメイン 2×1 構造によって確認した。

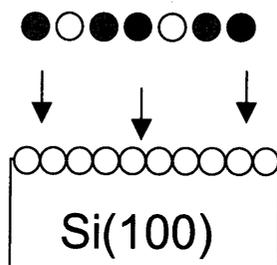
膜厚 1ML の $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜、 $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜は基板温度 600°C において 2 種類の蒸着方法で成長させた。図 5-1 にその模式図を示す。1 つは Si(100)基板に対して、Si、Ge、および C を同時に蒸着させる方法である(以下同時蒸着法と呼ぶ)。もうひとつの方法は 1ML の Ge もしくは $\text{Si}_{0.2}\text{Ge}_{0.8}$ 層を蒸着させた後に、C を別蒸着させる方法である(以下別蒸着法と呼ぶ)。また、蒸着レートは 3.5×10^{-3} 、および 6.9×10^{-3} ML/sec (290、および 140 sec/ML)とした。

成長後、試料を分析室に搬送し、基板を降温してから約 30 分後に室温にて STM による表面構造を観察した。STM 観察は、試料電圧-2.0V、トンネル電流 0.5nA~1.0nA の定電流モードで行った。

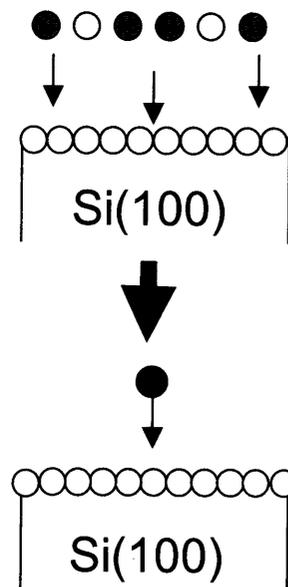
5.2 同時蒸着による $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜の初期成長過程

図 5-2 は Si(100)基板上に Ge を 1ML 成長させた表面の STM 像である。挿入図は同試料の原子分解能像である。図 5-3(a)および 5-3(b)は Si(100)基板上に同時蒸着法によって $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜をそれぞれ 0.5ML、および 1ML 成長させた表面の STM 像である。挿入図はそれぞれ同試料を原子分解能で観察した像である。 $\text{Ge}_{0.952}\text{C}_{0.048}$ の蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)である。図 5-2、図 5-3(a)、および図 5-3(b)の STM 像において、テラス上に存在するダイマー列に対して垂直方向に列状にダイマー欠損した欠陥が、原子 8 個の間隔で並んでいる。すなわち、 $2 \times n$ 周期($n=8$)のダイマー欠損列(missing dimer row)が観察できる。このダイマー欠損列は Si(100)基板上に Ge を成長させた初期に観察されるものである[5, 6]。これは Si(100)基板に対して格子定数差に起因した圧縮歪を持つ Ge 膜内の歪みを効率よく緩和するために形成されと考えられる[5, 6]。また、一般的に Si 表面上の Ge の成長は 2 次元層状成長から表面に 3 次元島を形成して膜内の歪を

(a) SiGeC同時蒸着法

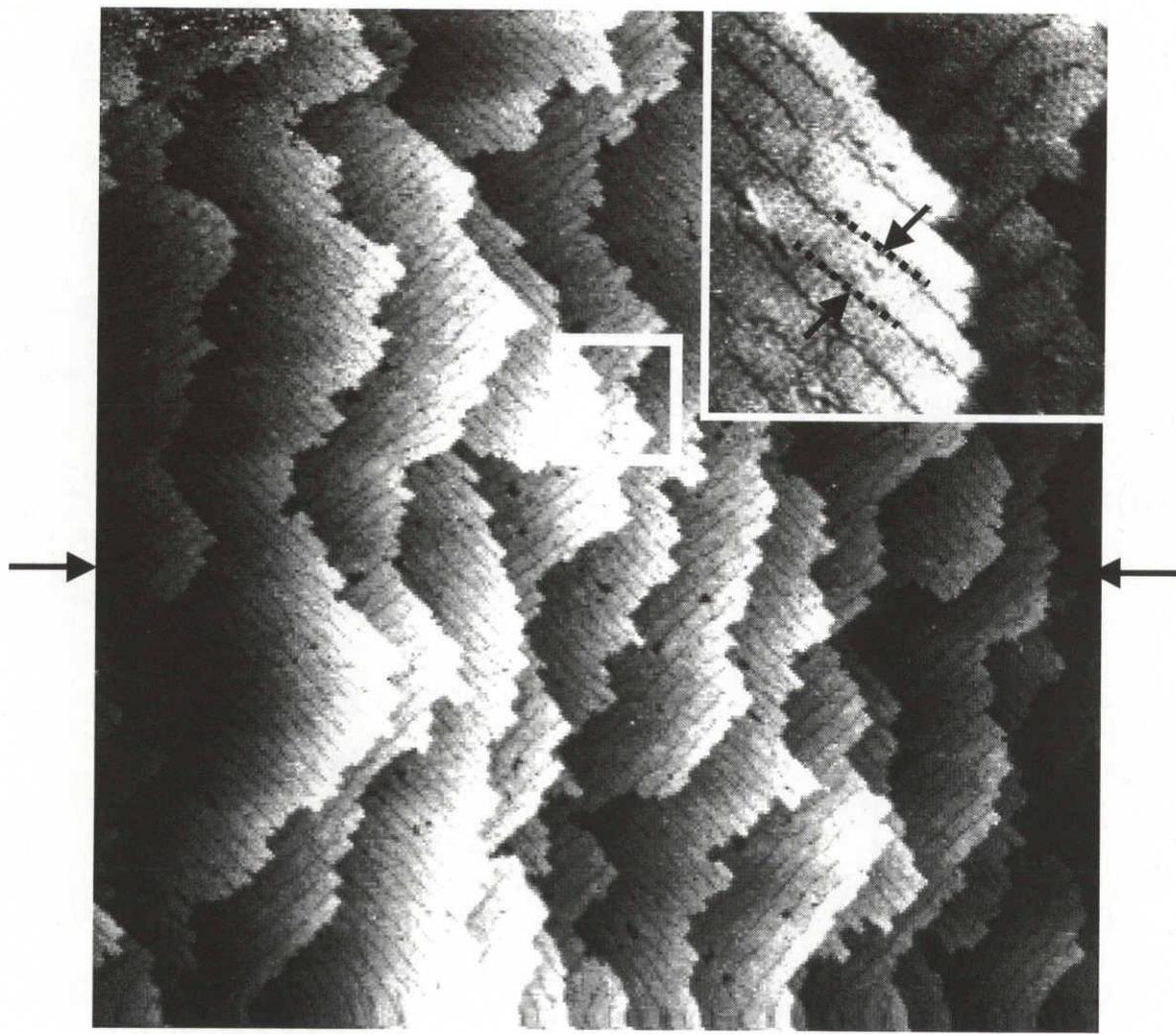


(b) SiGe-C別蒸着法



○ Si ● Ge ● C

図5-1 Si表面上 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 薄膜成長方法の違いを示す模式図。
(a)Si表面に対してSi,Ge,およびCを同時に蒸着させる方法(同時蒸着法)と、(b)Si、およびGeを蒸着後Cを蒸着する方法(別蒸着法)



50nm

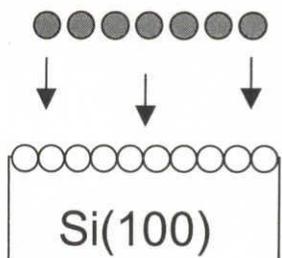
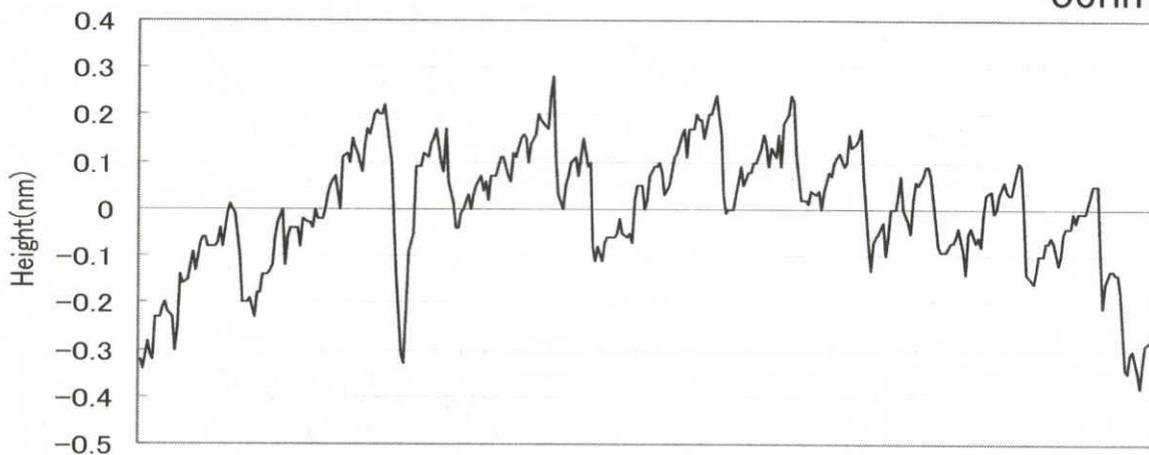
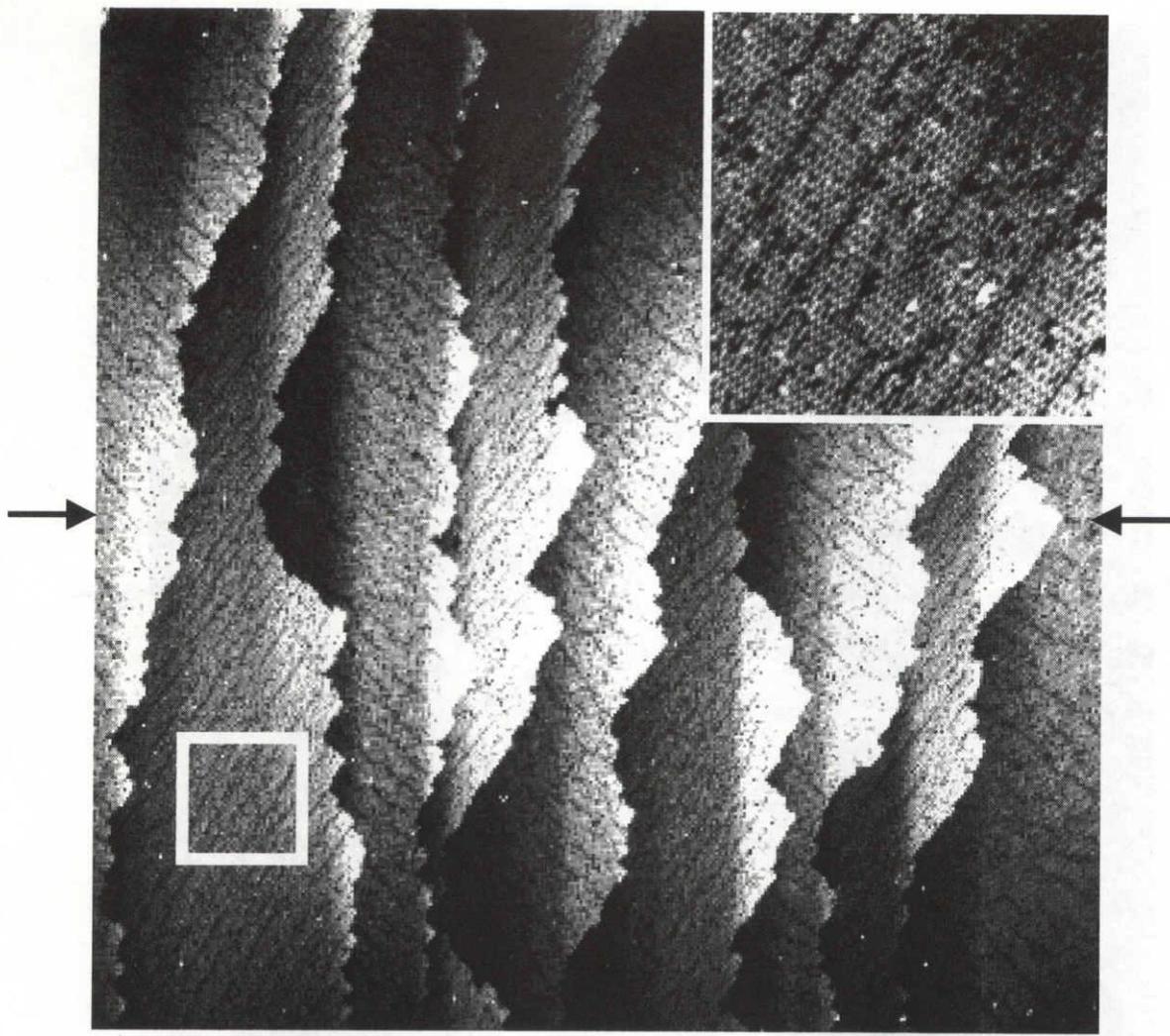


図5-2 Si表面に600°CでGeを1ML成長させた時のSTM像及びラインプロファイル。
 蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)。
 走査範囲は $200 \times 200 \text{ nm}^2$ 。
 挿入図は原子分解能で観察した像。



50nm

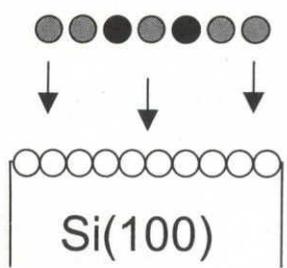
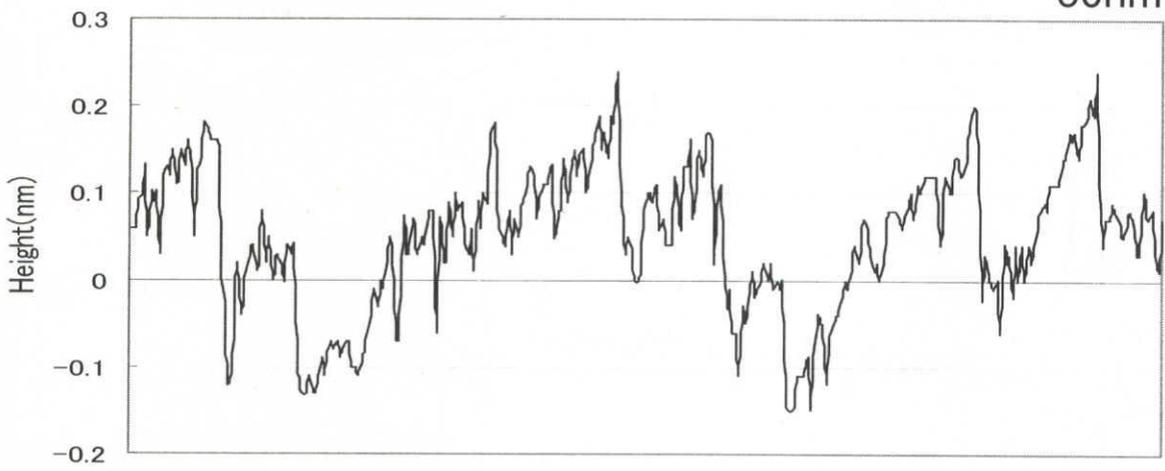
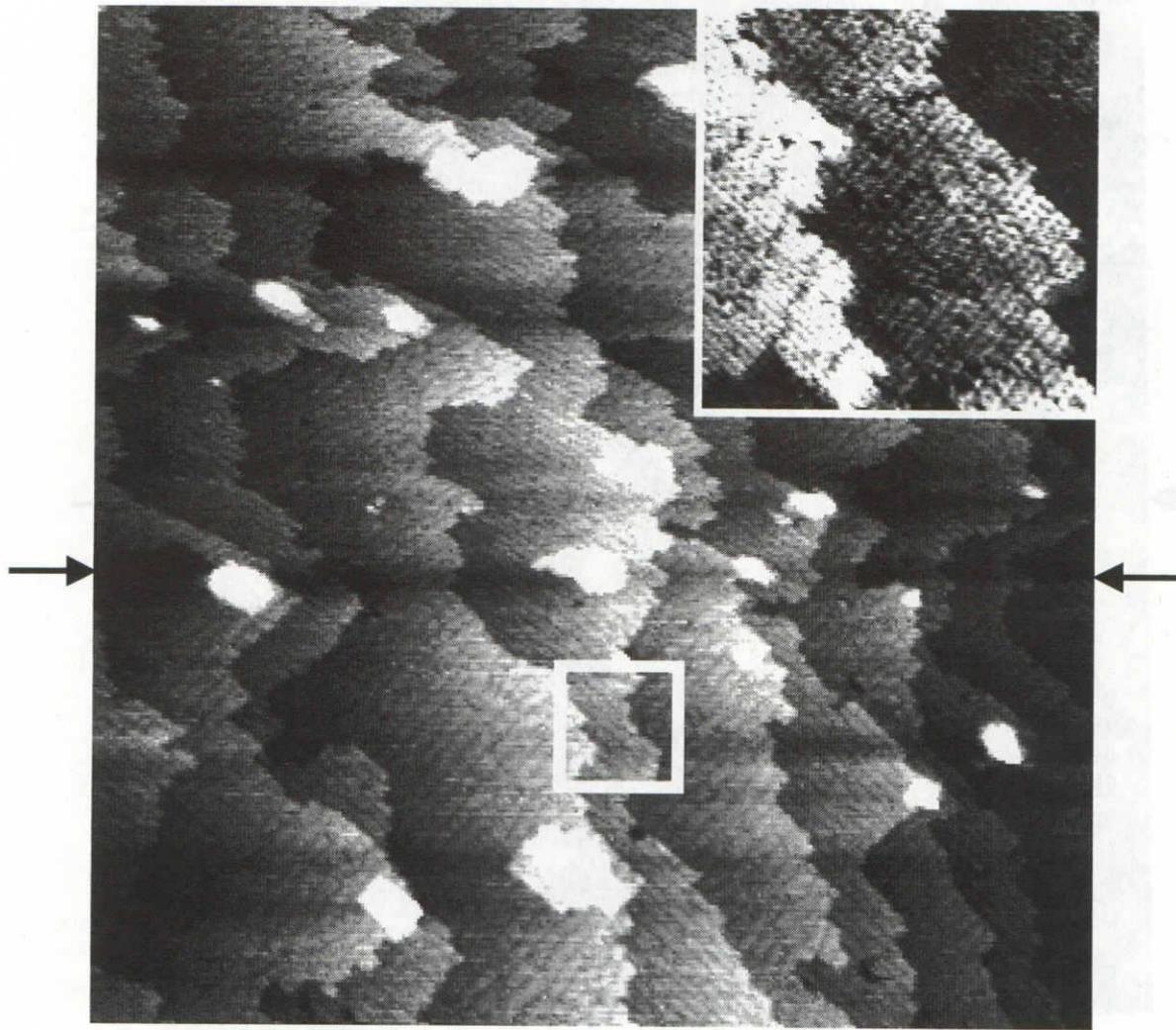


図5-3(a) Si表面に600°Cで $\text{Ge}_{0.952}\text{C}_{0.048}$ を0.5ML成長させた時のSTM像及びラインプロファイル。
 蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)。
 走査範囲は $200 \times 200 \text{nm}^2$ 。
 挿入図は原子分解能で観察した像。



50nm

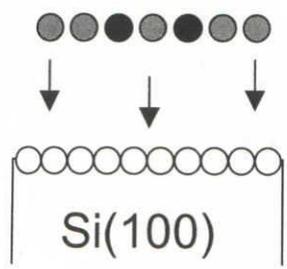
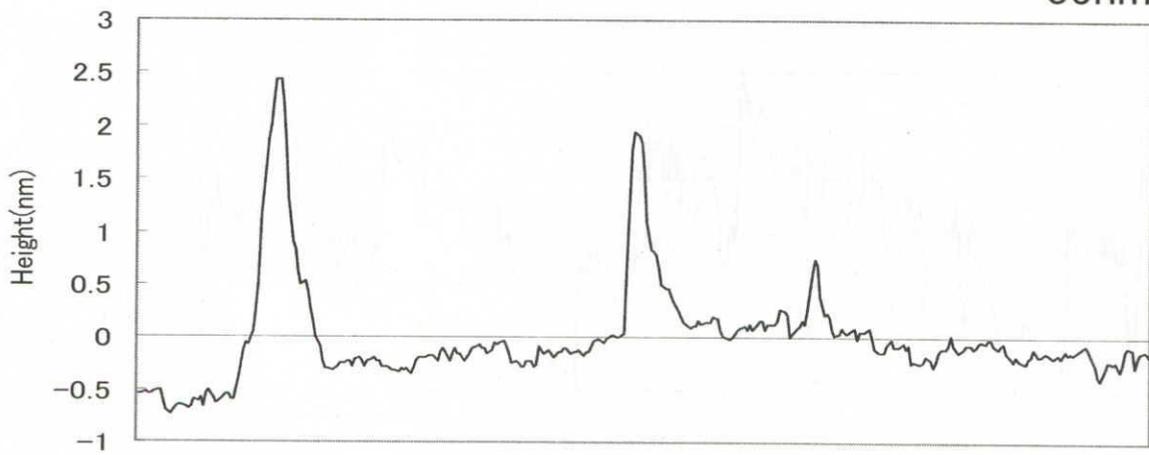


図5-3(b) Si表面に600°Cで $\text{Ge}_{0.952}\text{C}_{0.048}$ を1ML成長させた時のSTM像及びラインプロファイル。
 蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)。
 走査範囲は $200 \times 200 \text{ nm}^2$ 。
 挿入図は原子分解能で観察した像。

緩和させようとする S-K (Stranski-Krastanov) 成長様式であることが知られている[7, 8]。

図 5-2 の STM 像において、Ge を 1ML 成長させた時は 3 次元島を形成することなくステップ-フロー成長しているのが観察された。それに対して、0.5ML 成長させた $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜ではステップ-フロー成長がはっきり観察されるが、1ML 成長させた $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜では 3 次元島が形成された。この 3 次元島は平均高さおよび平均粒径が、それぞれ 2nm および 5.5nm であった。

図 5-3(b)から 3 次元島の体積は $7.8 \times 10^{-19} \text{ cm}^3$ と見積もられる。この 3 次元島を構成する原子を Ge、および C と仮定して、これに必要な原子数をそれぞれ計算すると、Ge: 3.4×10^4 個、C: 1.4×10^5 個である。図 5-3(a)の STM 像内に蒸着された C の原子数を計算すると 1.3×10^4 個であった。3 次元島から見積もられた値と比較すると、C を仮定した場合、3 次元島の形成に必要な原子数が蒸着された原子数より 1 桁以上多くなる。そのため 3 次元島は C で構成されているのではなく、主に Ge で構成されていると考えられる。以上の結果より、Si(100)基板上の $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜の初期成長過程において、0.5ML 以下ではステップ-フロー成長するが、膜厚が 1ML まで達すると、3 次元島が形成されると考えられる。これは Ge と C の相互作用によるものと考えられるが、その詳細については次節に述べる。

5.3 Si(100)基板上 $\text{Ge}_{0.952}\text{C}_{0.048}$ 同時蒸着法、および $\text{Ge}_{0.952}\text{C}_{0.048}$ 別蒸着法における表面構造の比較

図 5-4 は Si(100)基板上に別蒸着法によって膜厚 1ML の $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜を成長させた表面の STM 像である。Ge および C の蒸着レートは $6.9 \times 10^{-3} \text{ ML/sec}$ (140 sec/ML)である。図 5-2(b)と同様に、多くの 3 次元島が観察された。図 5-3(b)および図 5-4 における 3 次元島の特徴を表 5-1 に示す。どちらの蒸着方法でも 3 次元島の平均高さおよび平均半径は同程度である。一方、3 次元島の密度は同時蒸着法よりも別蒸着法のほうが大きい。また、同時蒸着法の場合、図 5-3(b)の挿入図に示すように原子分解能での STM 像から、

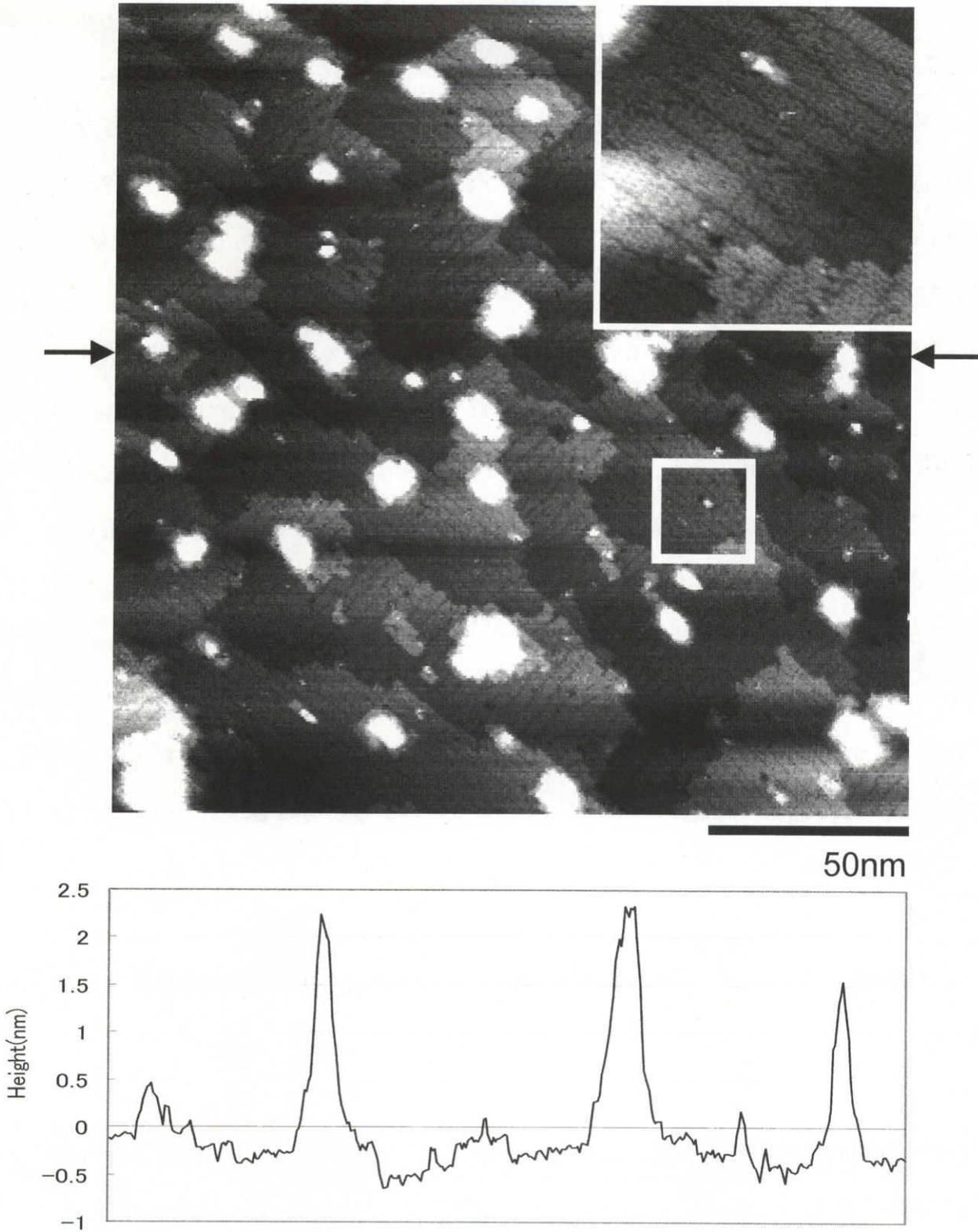


図5-4 Si表面に600°CにてGe1ML成長後、Cを0.048ML蒸着させたSTM像及びラインプロファイル。
 蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)。
 走査範囲は $200 \times 200 \text{ nm}^2$ 。
 挿入図は原子分解能で観察した像。

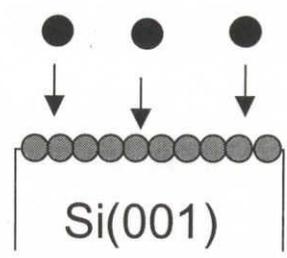


表5-1 図5-3(b) (Si表面に600°CにてGeCを同時蒸着したSTM像) と
 図5-4 (Si表面に600°CにてGeとCを別蒸着したSTM像)、
 それぞれから得られる3次元島の密度、平均高さ、平均半径を示す。

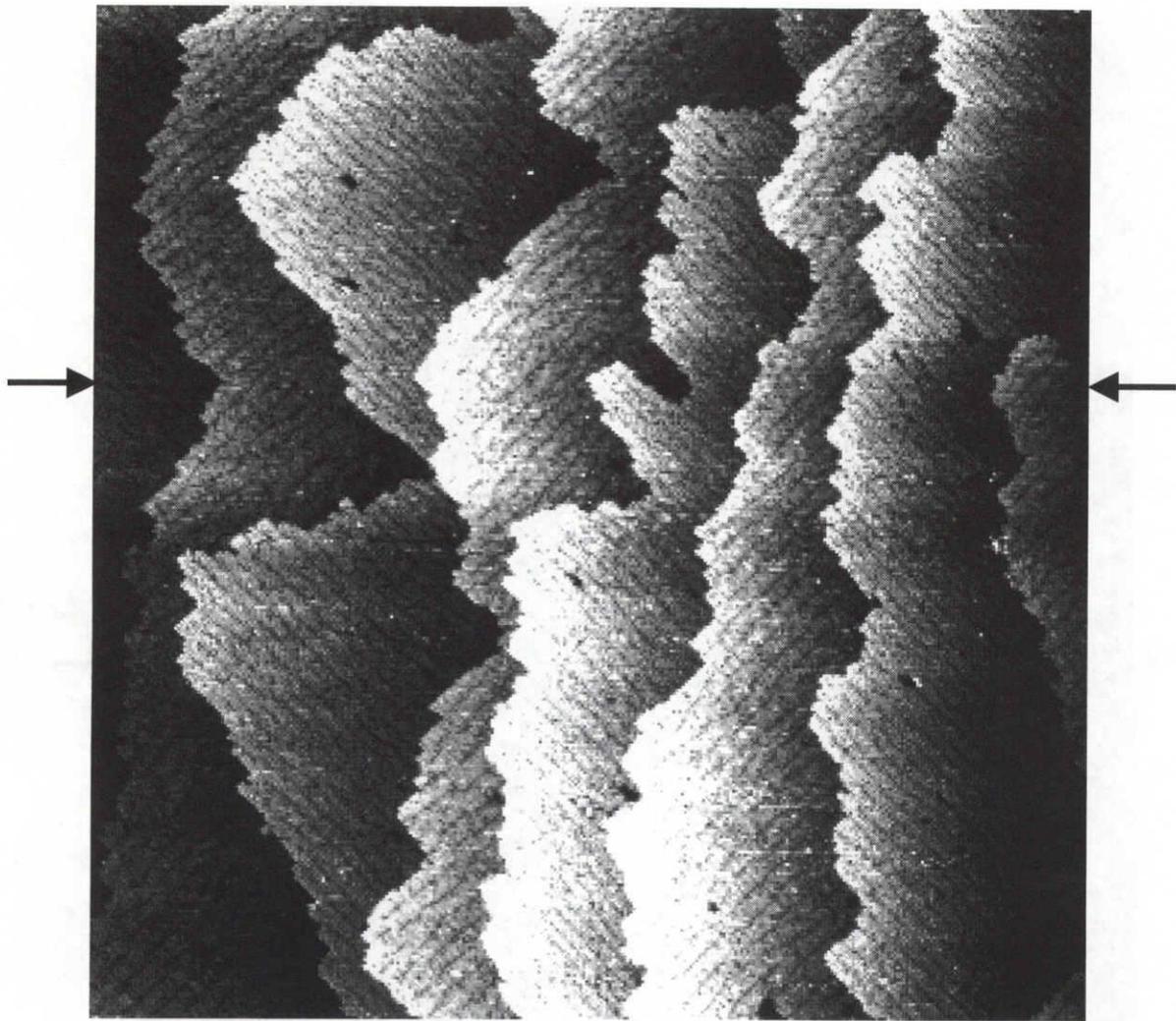
	Density (cm ⁻²)	Average height (nm)	Average radius (nm)
Co-deposition	4.5×10 ¹⁰	2.0	5.5
Alternate deposition	1.2×10 ¹¹	2.2	5.1

ダイマー欠損列の $2 \times n$ 構造の周期性が図 5-2 の Ge のみを成長させた場合に比べて乱れているのがわかる。実際 $2 \times n$ の n の値は図 5-2 に示すように Ge のみを蒸着した場合はほぼ 8 であったが、図 5-3(b) 挿入図に示した $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜の場合は 8~16 の値となった。ダイマー欠損列の周期的配列は、2 次元膜成長の膜内の歪みを反映しているものであると考えられる[6,9]。したがって、 n の値が大きくなることは、膜内の歪みが補償されていることを示している。すなわち、 $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜におけるダイマー欠損列の周期的配列の乱れは、Ge 膜の歪みが C 混入によって局所的に補償されたためと考えられる。

一方、図 5-4 の挿入図の別蒸着法により形成した $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜においては、ダイマー欠損列の $2 \times n$ 構造の周期性 n は 8 程度に保たれていた。この結果は、別蒸着法では C 混入による Ge 膜の歪みの補償が行われていないことを示唆している。すなわち、C 原子が Ge 膜の結晶格子置換位置に存在していないと考えられる。Wakayama らは、Ge 膜の上に C を蒸着させると 3 次元島が形成されるということを報告している[10]。これは Ge 膜上に C を蒸着することによって Ge 膜の局所的歪みの増大によって起こると考えられている。これらの報告と得られた結果から、Ge 表面に蒸着させた C は Ge 膜内に混入せずに、Ge-C 結合の形成による局所的な歪みを生み出すものと考えられる。その結果、Ge-C 結合による局所的な歪みを緩和させるために、Ge の 3 次元島が形成されると考えられる。

5.4 低速成長における $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜の初期成長

図 5-5(a)、および 5-5(c)は Si(100)基板上に膜厚 1ML の $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜をそれぞれ同時蒸着法、および別蒸着法によって成長させた表面の STM 像である。図 5-5(b)、および 5-5(d)はそれぞれ図 5-5(a)および 5-5(c)の原子分解能像である。前節までの試料と異なる点は、C の蒸着レートであり、 3.5×10^{-3} ML/sec (290 sec/ML) と 1/2 遅くなっている。図 5-5(a)および 5-5(c)ともに 3 次元島は観察されなかったが、図 5-5(b)および 5-5(d)の STM 像において、円で示したように白い輝点が観察された。これらの白い輝点は Si(100)基



50nm

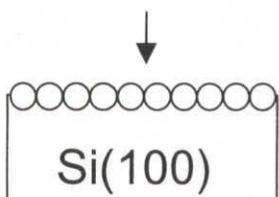
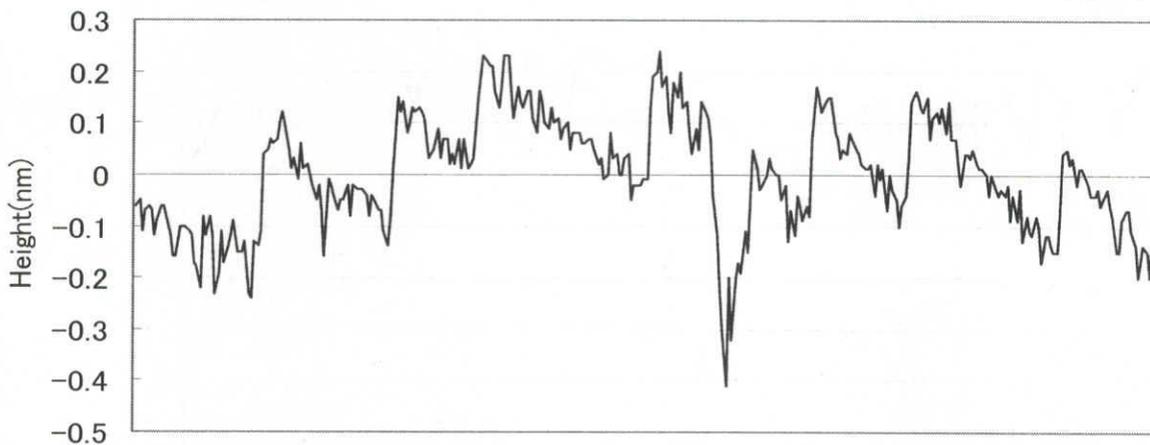


図5-5(a) Si表面に600°Cで $\text{Ge}_{0.952}\text{C}_{0.048}$ を1ML成長させた時のSTM像及びラインプロファイル。
蒸着レートは 3.5×10^{-3} ML/sec (280 sec/ML)。
走査範囲は $200 \times 200 \text{ nm}^2$ 。

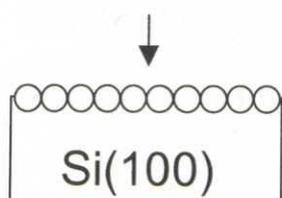
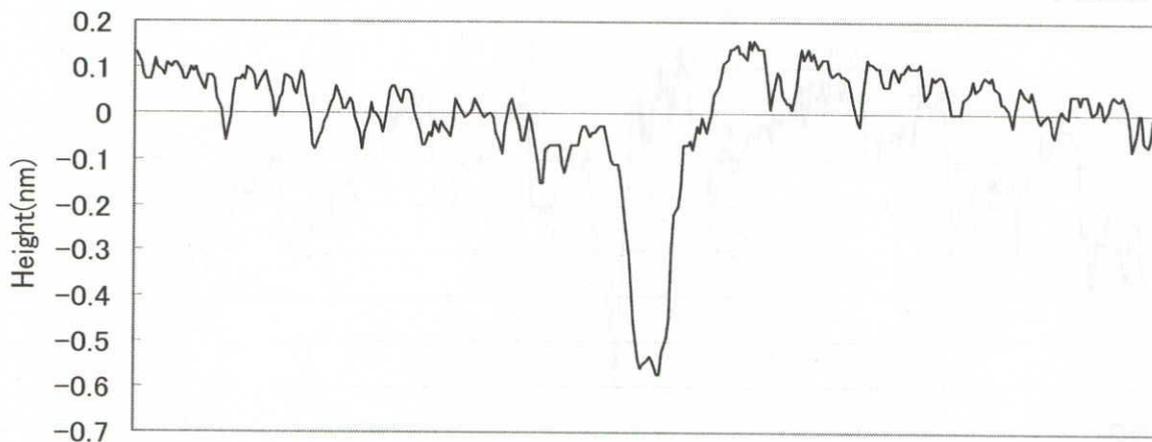
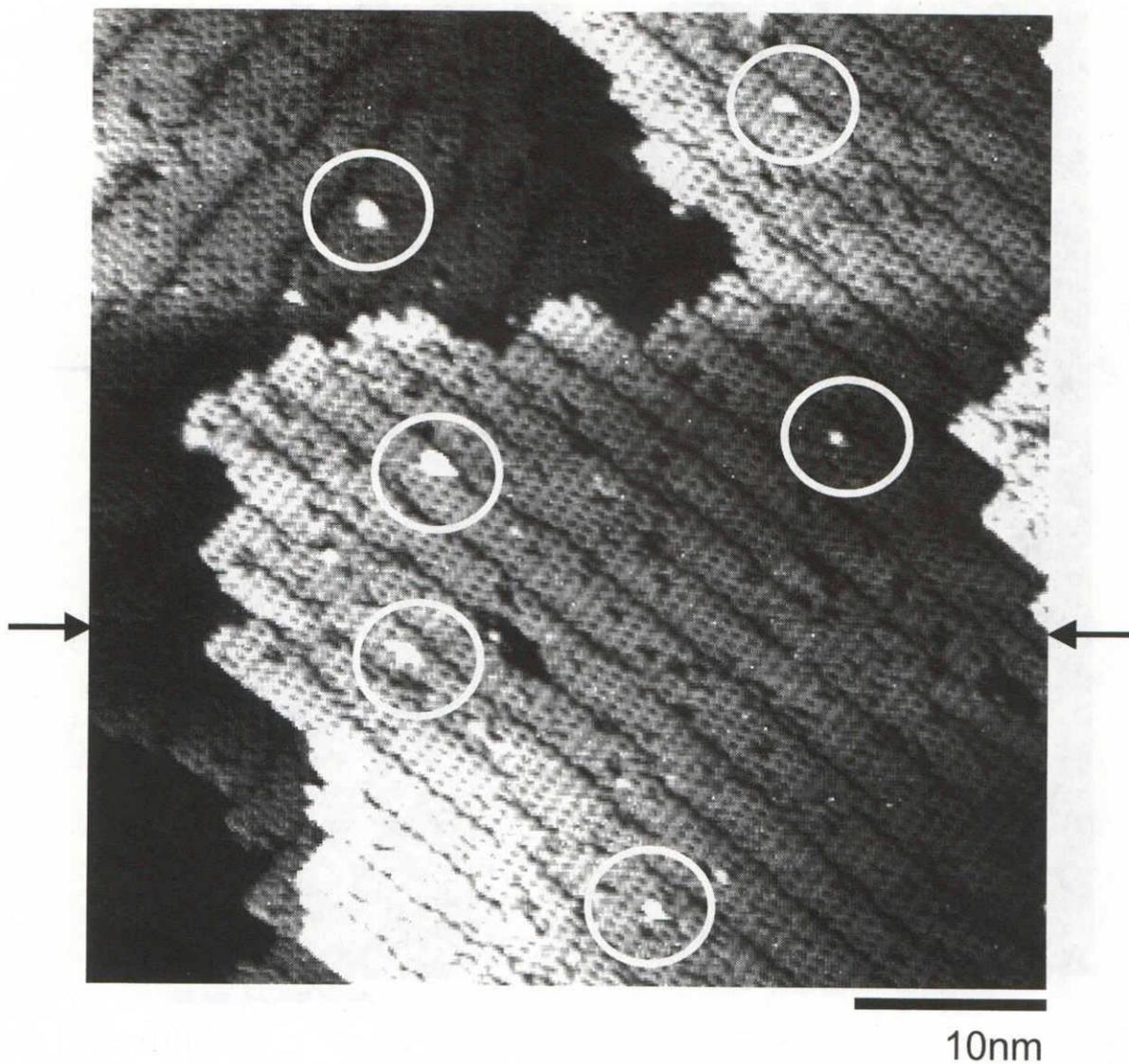
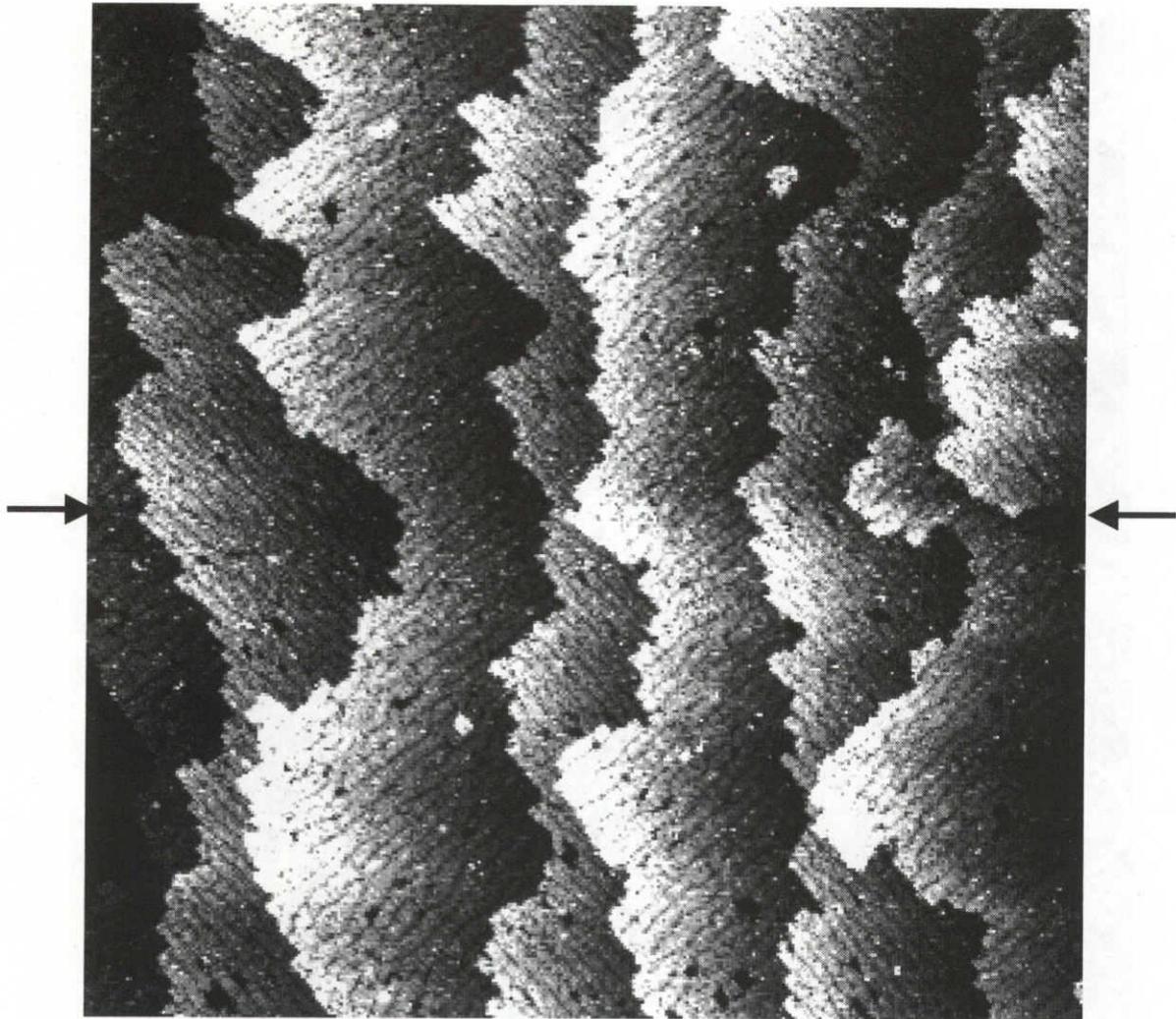


図5-5(b) Si表面に600°Cで $\text{Ge}_{0.952}\text{C}_{0.048}$ を1ML成長させた時のSTM像及びラインプロファイル。
蒸着レートは 3.5×10^{-3} ML/sec (280 sec/ML)。
走査範囲は $50 \times 50 \text{ nm}^2$ 。



50nm

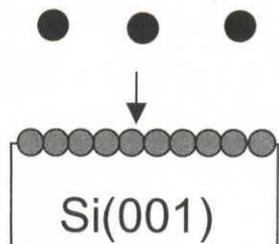
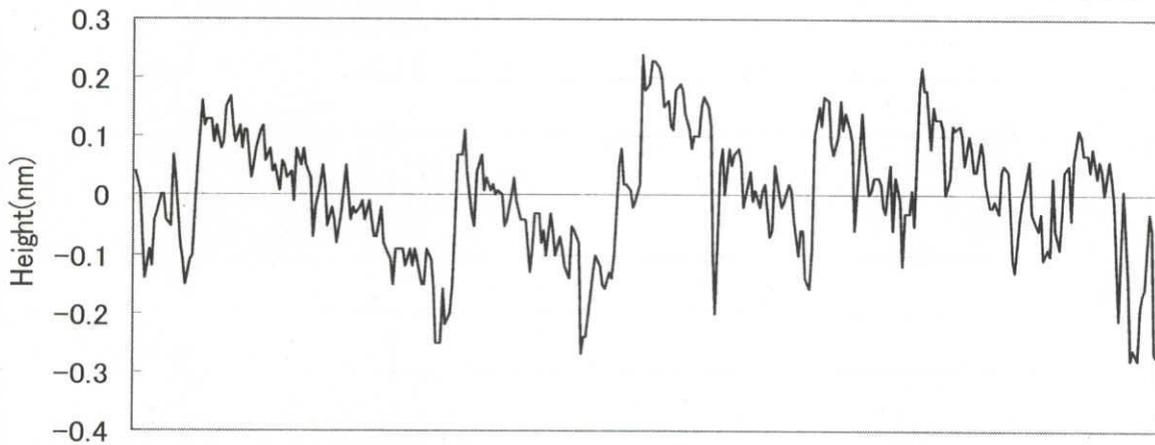


図5-5(c) Si表面に600°CにてGe1ML成長後、Cを0.048ML蒸着させたSTM像及びラインプロファイル。
蒸着レートは 3.5×10^{-3} ML/sec (280 sec/ML)。
走査範囲は $200 \times 200 \text{ nm}^2$ 。

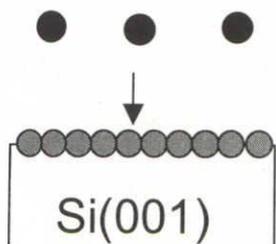
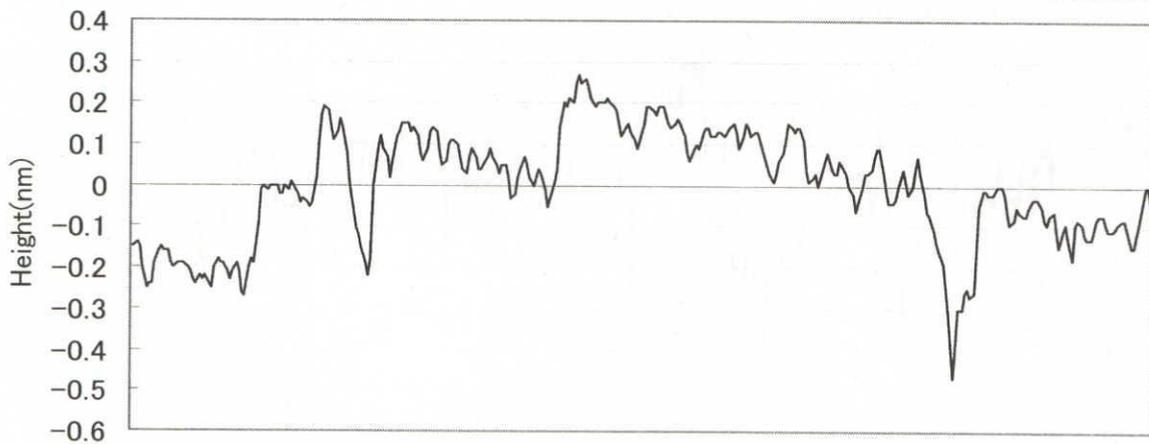
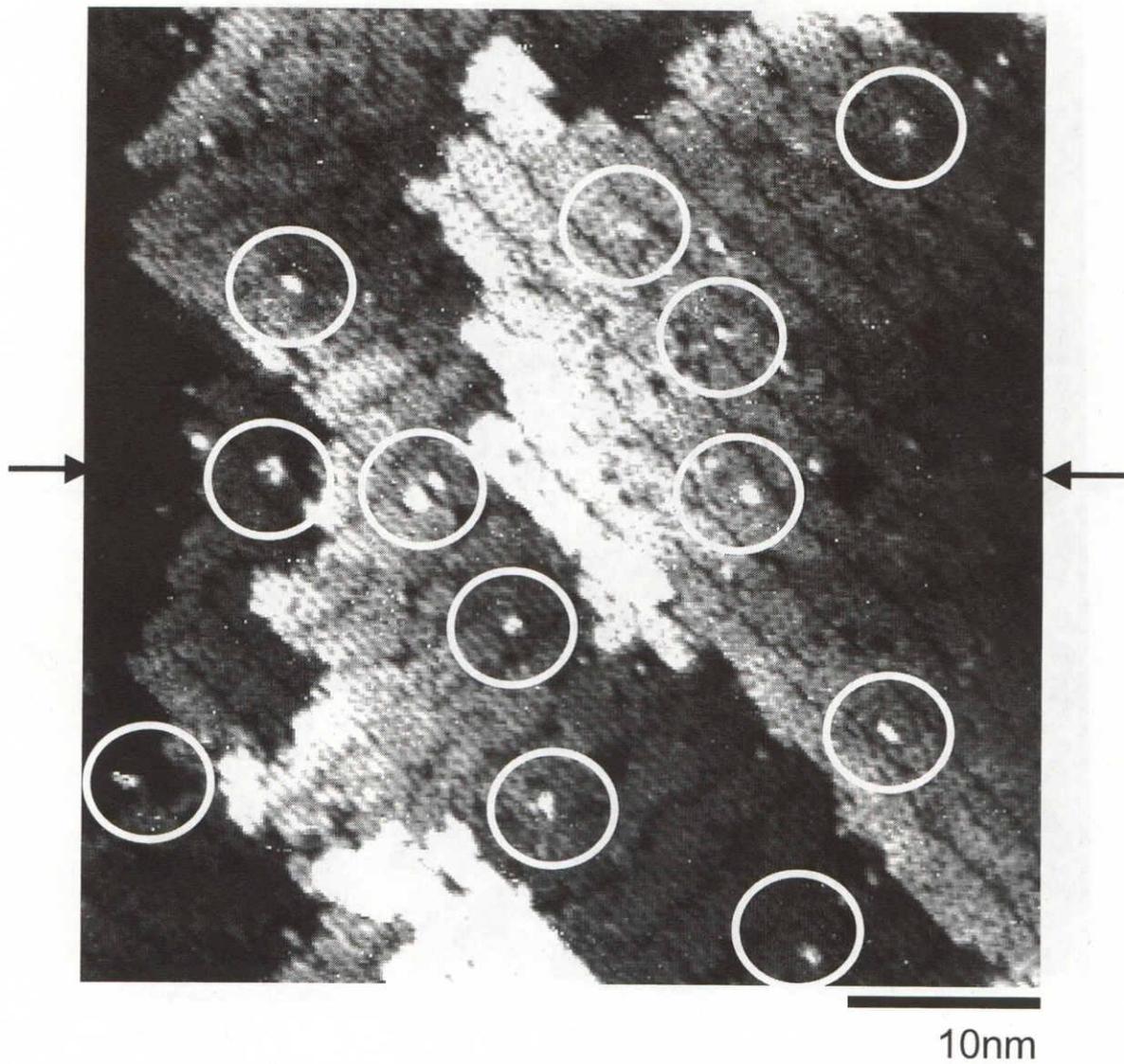


図5-5(d) Si表面に600°CにてGe1ML成長後、Cを0.048ML蒸着させたSTM像及びラインプロファイル。
蒸着レートは 3.5×10^{-3} ML/sec (280 sec/ML)。
走査範囲は $50 \times 50 \text{ nm}^2$ 。

板上にCを室温で蒸着させた際に形成されるCクラスターに非常によく似ている[11,12]。したがって、これらの輝点はGe表面におけるCの凝集によって形成されたCクラスターであると考えられる。

図 5-5(b)および 5-5(d)に示される C クラスターの特徴についてまとめたものを表 5-2 に示す。同時蒸着法および別蒸着法におけるひとつの C クラスターを形成しているであろう平均の C 原子の個数は、その体積からそれぞれ 19 個、および 22 個と見積もられ、比較的近い値が得られた。したがって、同時蒸着法および別蒸着法いずれにおいて形成される C クラスター自体は同等のものであると考えられる。これらの結果は、蒸着レートがより遅い場合には、C 原子は 3 次元島を形成するような歪み場を形成するのではなく C 原子同士で凝集してクラスターを形成する傾向にあることを示している。

一方、C クラスターの密度は同時蒸着法に比べて別蒸着法の場合の方が大きい。つまり、C クラスターは同時蒸着の場合よりも別蒸着の方がよりできやすい。これは、基板に存在する表面の Si が C 凝集を抑制しているためと考えられる。

以上のように、C の蒸着方法、および蒸着レートによって $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜初期成長における C 原子の挙動が変化していることが明らかになった。以下では、モデル図を導入して、蒸着方法による C 原子の挙動の変化を考察する。図 5-6(a)および 5-6(b)は、それぞれ $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜の同時蒸着法および別蒸着法における初期成長モデル図である。

一般的に C 原子は Ge 原子よりも基板上的 Si 原子と結合しやすい。Dentel や Schmidt らは Si 基板にあらかじめ 0.2ML の C を蒸着させた表面に Ge を成長させると、C が存在する領域には Ge は成長せず、C が存在しない Si 基板の領域に選択的に Ge が成長し、3 次元島が形成されることを報告している [13,14]。また、 $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜表面のダイマ一欠損列の乱れが生じる場合には膜表面の歪みは補償されていると考えられる。したがって、同時蒸着における成長初期では、C 原子は基板の Si 原子と結合して膜内に取り込まれ、 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 膜としてステップ-フロー成長していると考えられる。

成長後期では Ge 濃度が高くなり、表面に Ge-C 結合が形成され、これを中心とする領域において局所的な歪が発生する。その局所的歪みを緩和させるために、3 次元島が

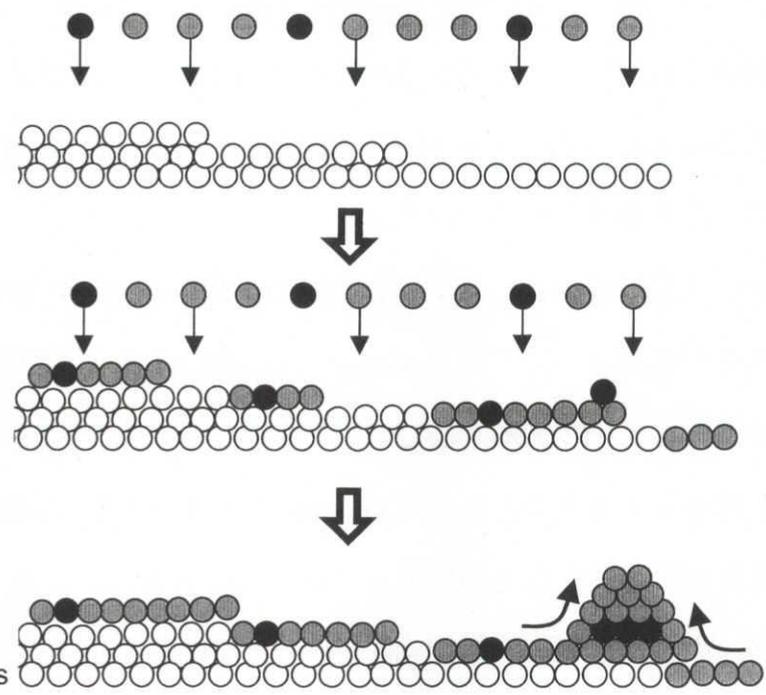
表5-2 図5-5(b)、および図5-5(d)、それぞれから得られるCクラスターの密度、および1つのクラスターを形成しているの見積もられる平均のC原子数を示す。

	Density (cm ⁻²)	Average C atoms in a cluster (atoms)
Co-deposition	4.4×10^{11}	19
Alternate deposition	1.0×10^{12}	22

(a) Co-deposition

Early growth stage:
Step-flow growth

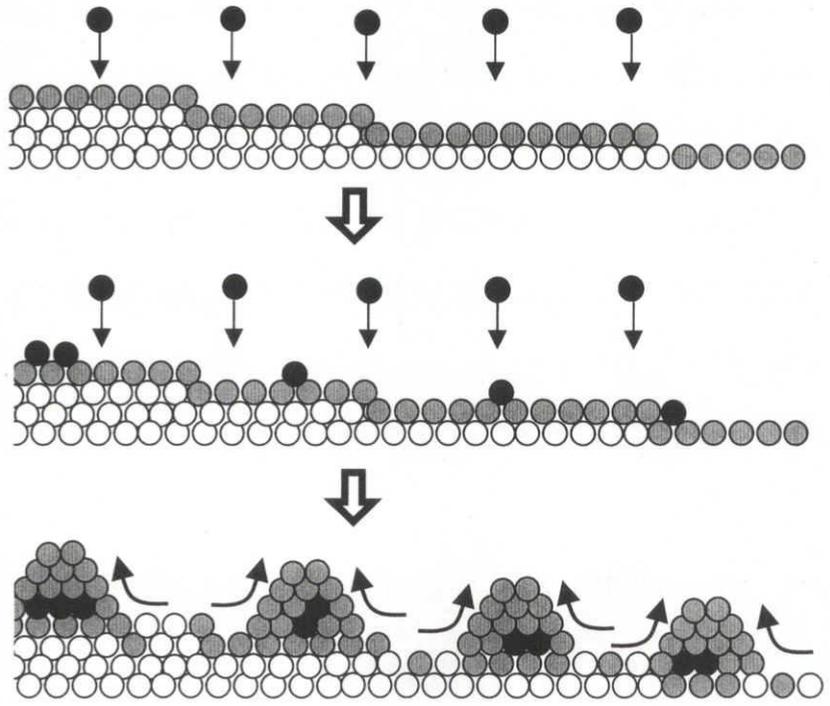
Later growth stage:
Formation of 3D islands



(b) Alternate deposition

Formation of Ge-C bonds
causes strain in layer

3D islanding of Ge



○ Si ● Ge ● C

図5-6 Si基板上的Ge_{0.952}C_{0.048}1MLの(a)同時蒸着法、および(b)別蒸着法における初期成長過程のモデル図。

形成されると考えられる。別蒸着法では、膜表面のダイマー欠損列が周期的に配列されていることから、Ge 膜の歪は補償されていないと考えられる。つまり Ge 膜表面に C は混入されていないと考えられる。よって、蒸着した多くの C 原子は、基板の Si と結合することなく Ge と結合して、局所的歪が発生し、それを緩和するために 3 次元島を形成したと考えられる。

次に成長速度の違いによる C 原子の挙動の変化を考察する。図 5-7(a)および 5-7(b)は、それぞれ別蒸着法における $\text{Ge}_{0.952}\text{C}_{0.048}$ 膜の高速成長および低速成長の場合における初期成長モデル図である。ここでも、前述したように表面に歪みを与え、表面構造に大きく影響を与えると考えられる Ge-C 結合に着目する。一般的に、Ge-C 結合はその結合性の低さから準安定なもので容易に結合が切れやすいと考えられる。

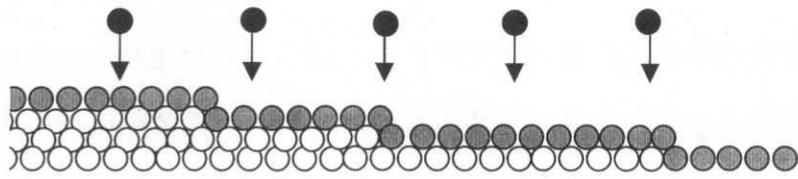
高速成長した場合、単位時間当たり表面に存在する C 原子が増えるため、多数の準安定な Ge-C 結合が形成されると考えられる。その結果、Ge-C 結合による局所的歪みが大きくなり Ge-C 結合が分解する前に 3 次元島を形成すると推測される。一度 3 次元島が形成されれば、Ge-C 結合は分解されることはなく、C は 3 次元島を形成することで安定化すると考えられる。

それに対して、低速成長させた場合、単位時間当たり表面に存在する C 原子が比較的少ないため、3 次元島を形成できるほどの局所的歪みが生まれることはなく、準安定な Ge-C 結合は分解する。その結果、C 原子は表面を泳動して凝集し、クラスターを形成する。つまり、C はクラスターを形成することで安定化されると考えられる。

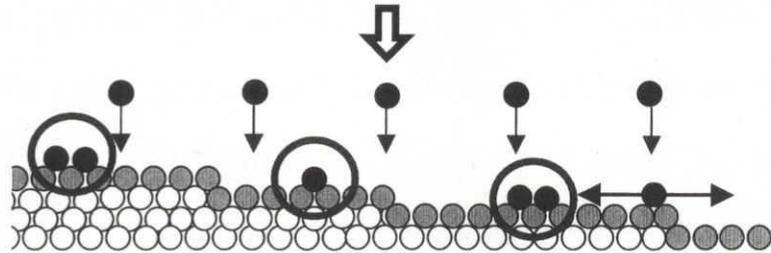
5.5 Si(100)基板上 $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜における蒸着法の違いによる表面構造変化

前節での結果において、3 次元島、および C クラスターは別蒸着法の方が同時蒸着法より多数形成された。これは基板の Si 原子によって、C 原子の凝集が制御されている可能性が考えられる。つまり、C の凝集を防ぎ、膜内に混入させるためには Si の存在が必要不可欠だと考えられる。そこで、低濃度の Si を導入して $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜成

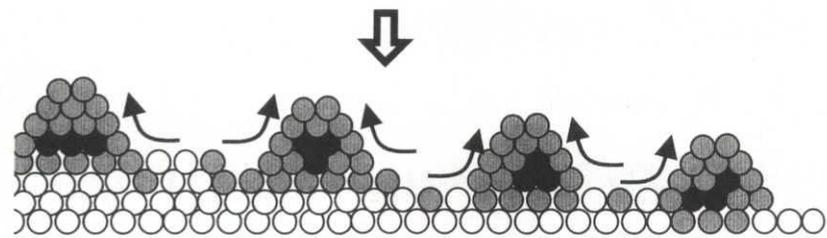
(a) High deposition rate



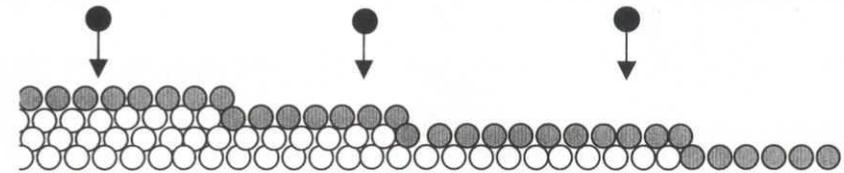
Stabilization of Ge-C bonds



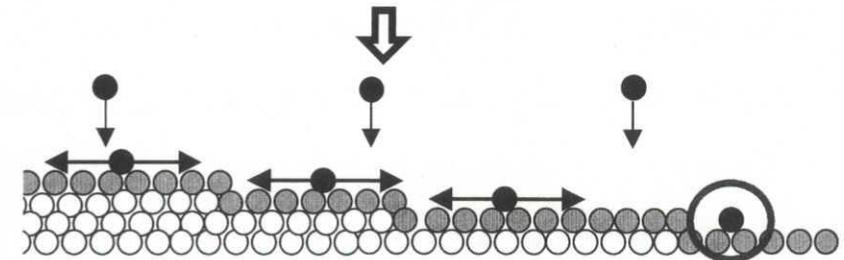
Stabilization of C
by formation of 3D islands



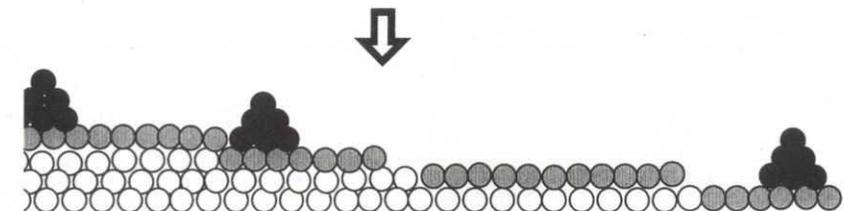
(b) Low deposition rate



Decomposition of Ge-C bonds



Stabilization of C
by formation of cluster



○ Si ● Ge ● C

図5-7 別蒸着法における $\text{Ge}_{0.952}\text{C}_{0.048}$ IMLの(a)低速成長および(b)高速成長における初期成長過程のモデル図

長の観察を試みた。

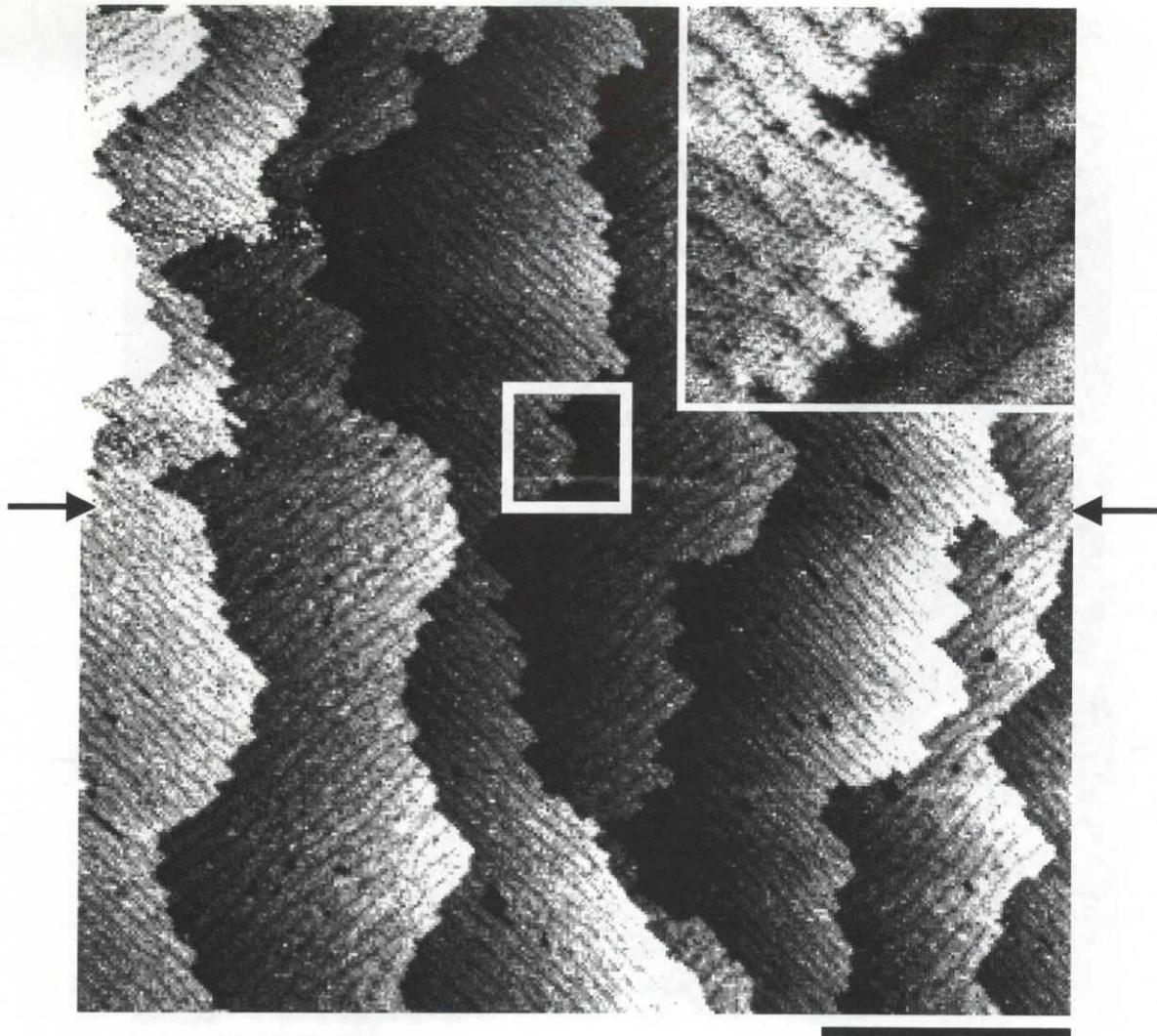
図 5-8(a)および 5-8(b)は、それぞれ Si(100)基板上に 1-ML の $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜を同時蒸着法および別蒸着法でそれぞれ成長させた STM 像である。挿入図はそれぞれ原子分解能で観察した像である。C の蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML) である。

図 5-8(a)では、ステップ-フロー成長がはっきりと観察されるが、図 5-8(b)では 3 次元島の成長が観察される。これら 3 次元島の数密度は $6.9 \times 10^{-3} \text{ cm}^{-2}$ と見積もられた。この値は図 5-4 で観察された $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜の場合の数密度よりも低い。この結果から、 Ge_xC_y 膜に Si を混入させることにより Ge-C 結合に起因して生じる局所的歪みによる 3 次元島の形成を抑制できることを示している。

また、図 5-8(b)の挿入図の中の白い円で示すように、別蒸着法の場合、3 次元島と同時に局所的に原子スケールの白い輝点の配列が観察された。この構造は Leifeld らが報告する、 550°C に保った Si(100)基板上に C を 0.11 ML 蒸着した際に形成される $c(4 \times 4)$ 構造に酷似している[15]。よって、この白い輝点の配列は $c(4 \times 4)$ 構造が部分的に形成されているものと推測される。 $c(4 \times 4)$ 構造の詳細な構造については、複数の異なるモデルが提案されている。

現在、提案されている $c(4 \times 4)$ 構造のモデルを図 5-9 に示す[15-17]。 $c(4 \times 4)$ 構造が形成される他の方法として、Si 表面に C を室温で蒸着した表面を 600°C で 20 時間熱処理する方法がある[12]。また、C 以外にも、 C_2H_4 や SiC などを用いて $c(4 \times 4)$ 構造を形成する方法も報告されている[17, 18]。したがって、この実験において、 $c(4 \times 4)$ 構造が観察されたことは Si-C 結合の存在を示していると考えられる。以上の結果から、C 原子は Si 原子と優先的に結合し、C の表面拡散、および 3 次元島を形成するであろう Ge-C 結合の形成を抑制すると考えられる。

図 5-10(a)および 5-10(b)は Si(100)基板上に 1ML の $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜を同時蒸着法により成長させた表面の STM 像である。図 5-10(b)は図 5-10(a)の原子分解能像である。蒸着レートは 3.5×10^{-3} ML/sec (290 sec/ML) であり、図 5-8(a)の場合の 1/2 である。 $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜の場合、 $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜の場合に観察されていた C クラスタが



50nm

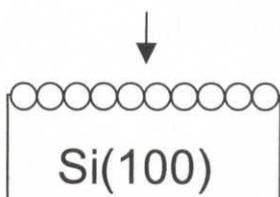
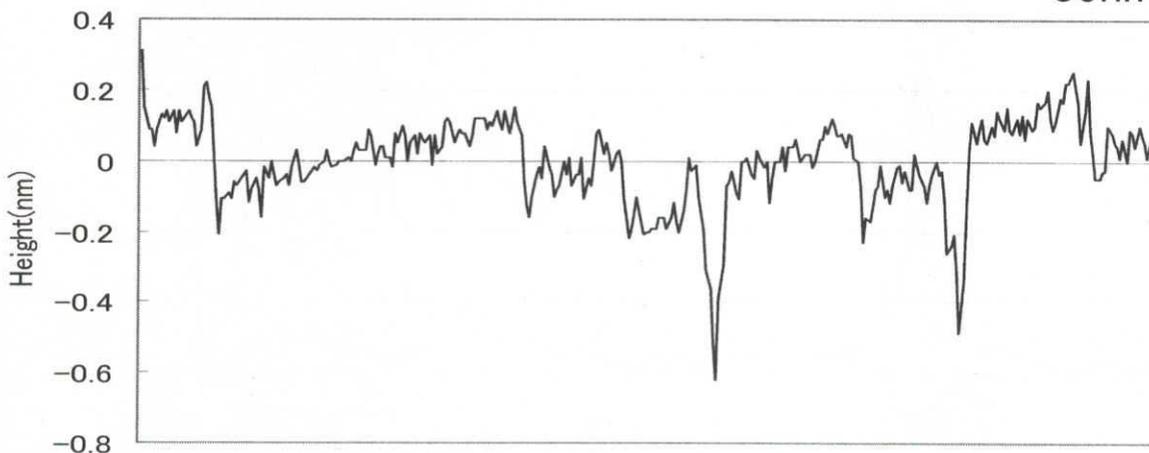


図5-8(a) Si表面に600°Cにて $\text{Si}_{0.186}\text{Ge}_{0.786}\text{C}_{0.048}$ 1ML成長させたSTM像及びラインプロファイル。
蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)。
走査範囲は $200 \times 200 \text{ nm}^2$ 。
挿入図は原子分解能で観察した像。

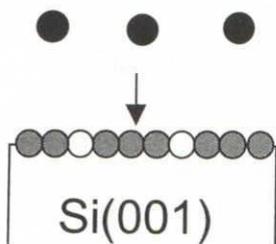
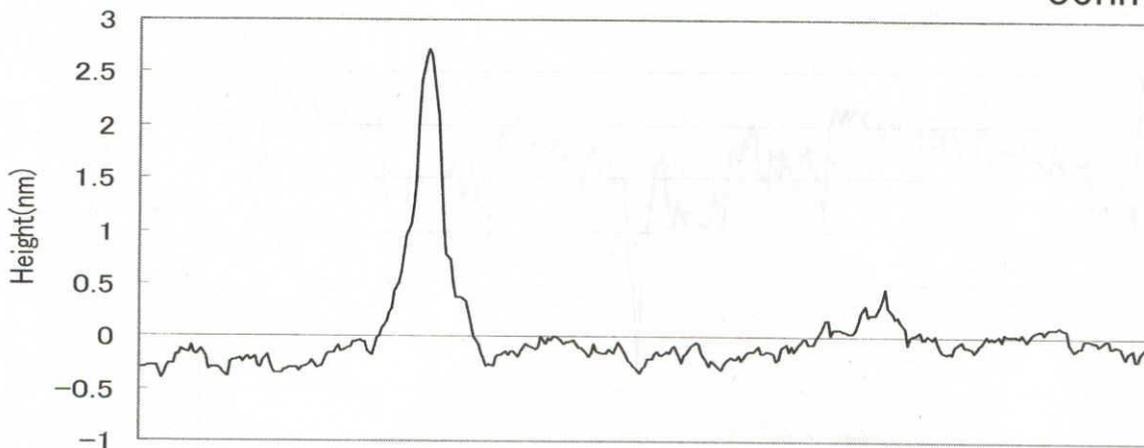
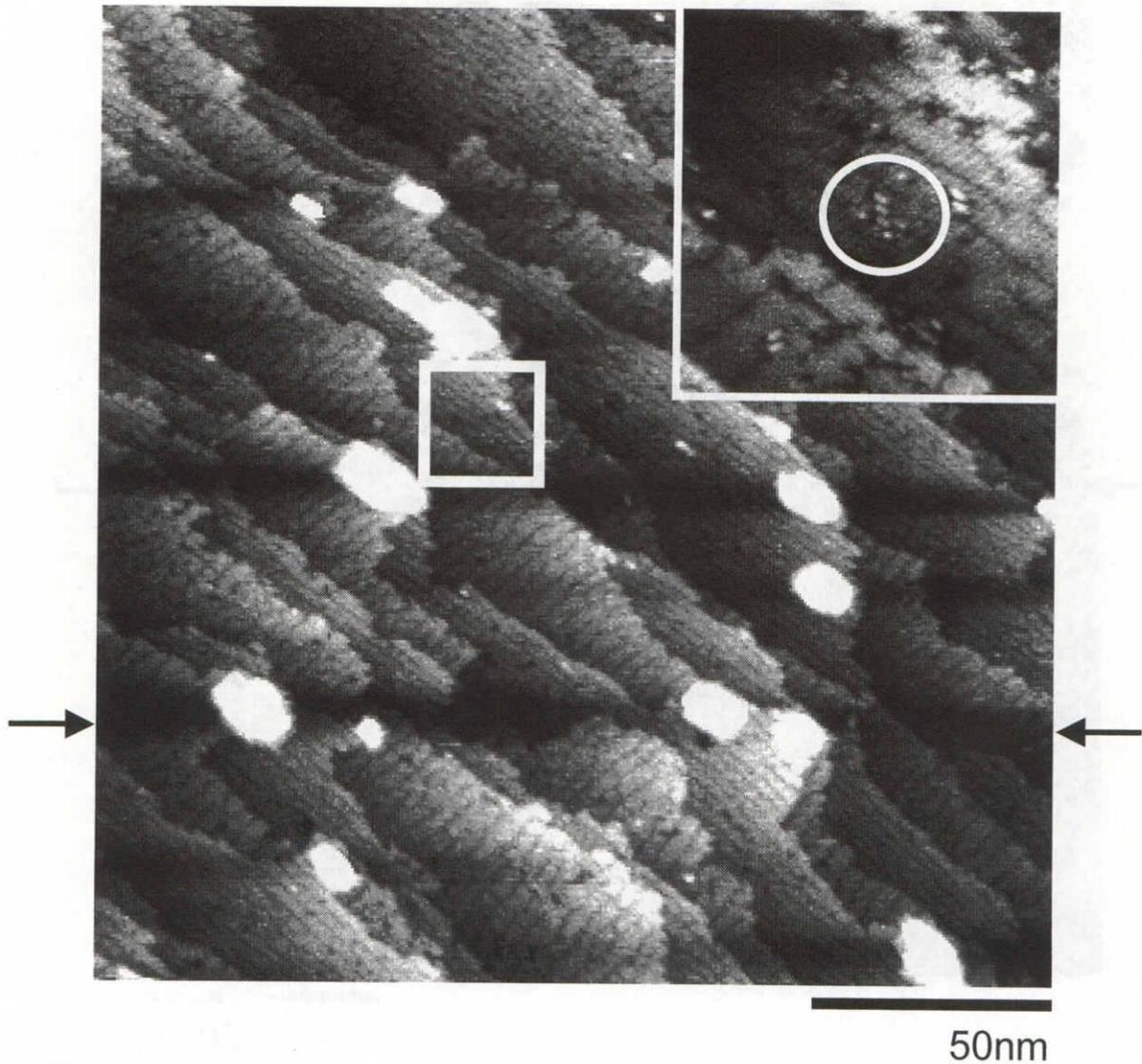
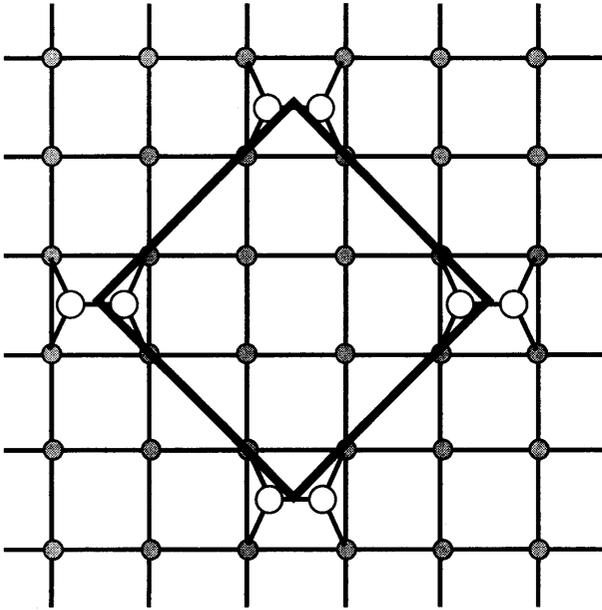
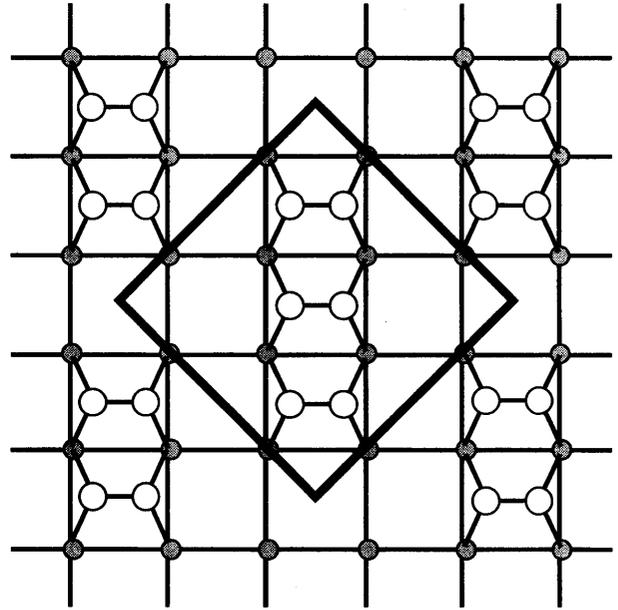


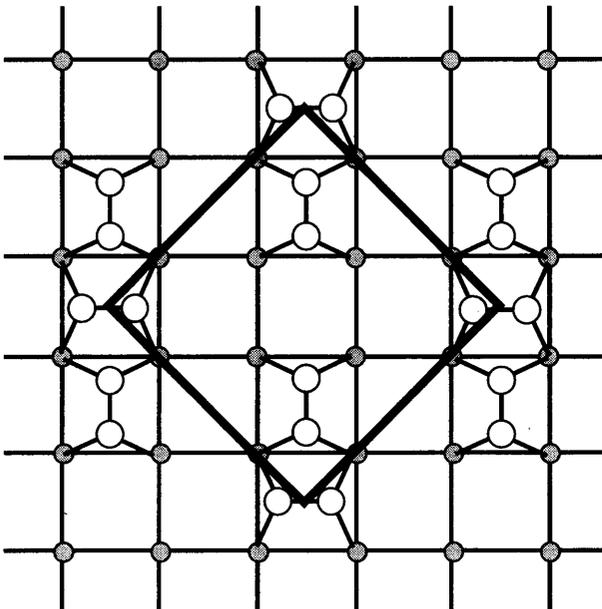
図5-8(b) Si表面に600°Cにて $\text{Si}_{0.2}\text{Ge}_{0.8}$ 1ML成長後、Cを0.048ML蒸着させたSTM像及びラインプロファイル。
 蒸着レートは 6.9×10^{-3} ML/sec (140 sec/ML)。
 走査範囲は $200 \times 200 \text{ nm}^2$ 。
 挿入図は原子分解能で観察した像。



Single dimer model



Missing dimer model



Mixed ad-dimer model

- : 第1層目の原子
- : 第2層目の原子

図5-9 c(4×4)構造のモデル図。

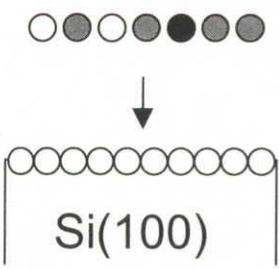
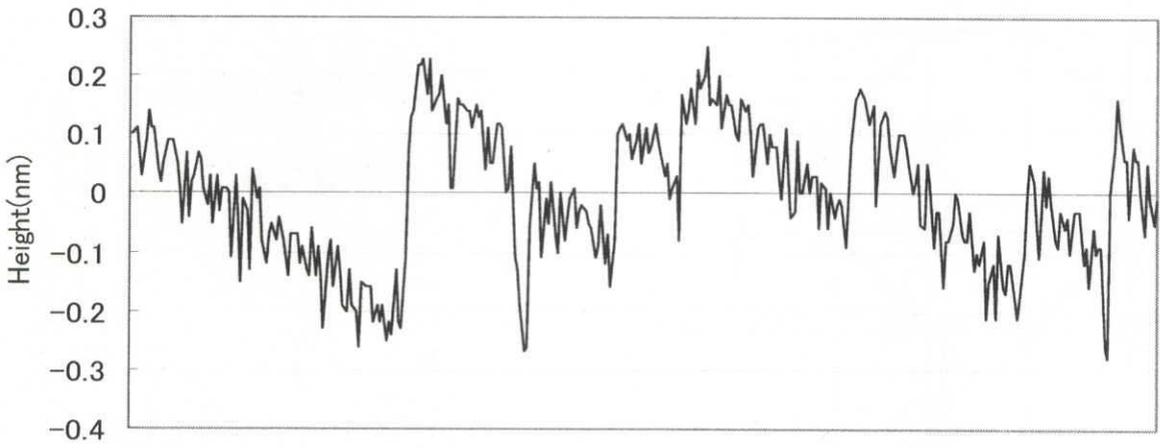
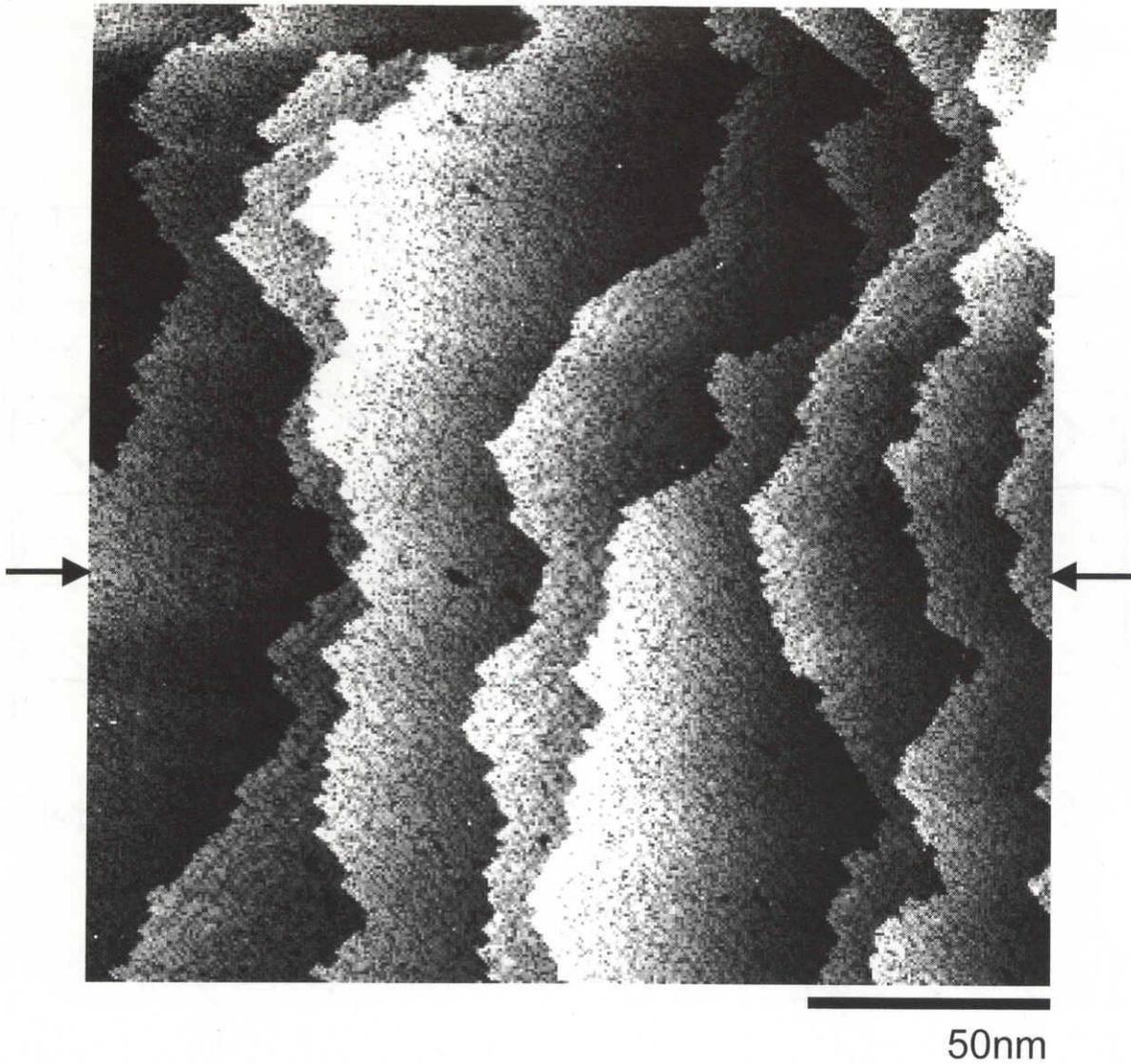


図5-10(a) Si表面に600°Cにて $\text{Si}_{0.186}\text{Ge}_{0.786}\text{C}_{0.048}$ 1ML成長させたSTM像及びラインプロファイル。
蒸着レートは 3.5×10^{-3} ML/sec (280 sec/ML)。
走査範囲は $200 \times 200 \text{nm}^2$ 。

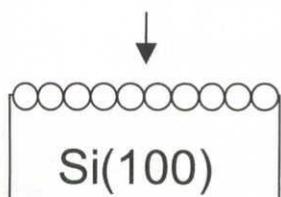
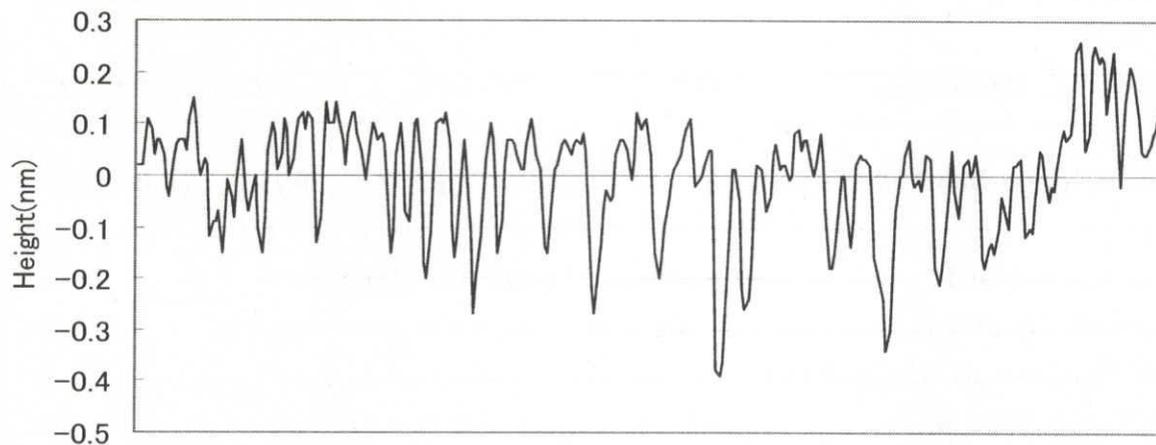
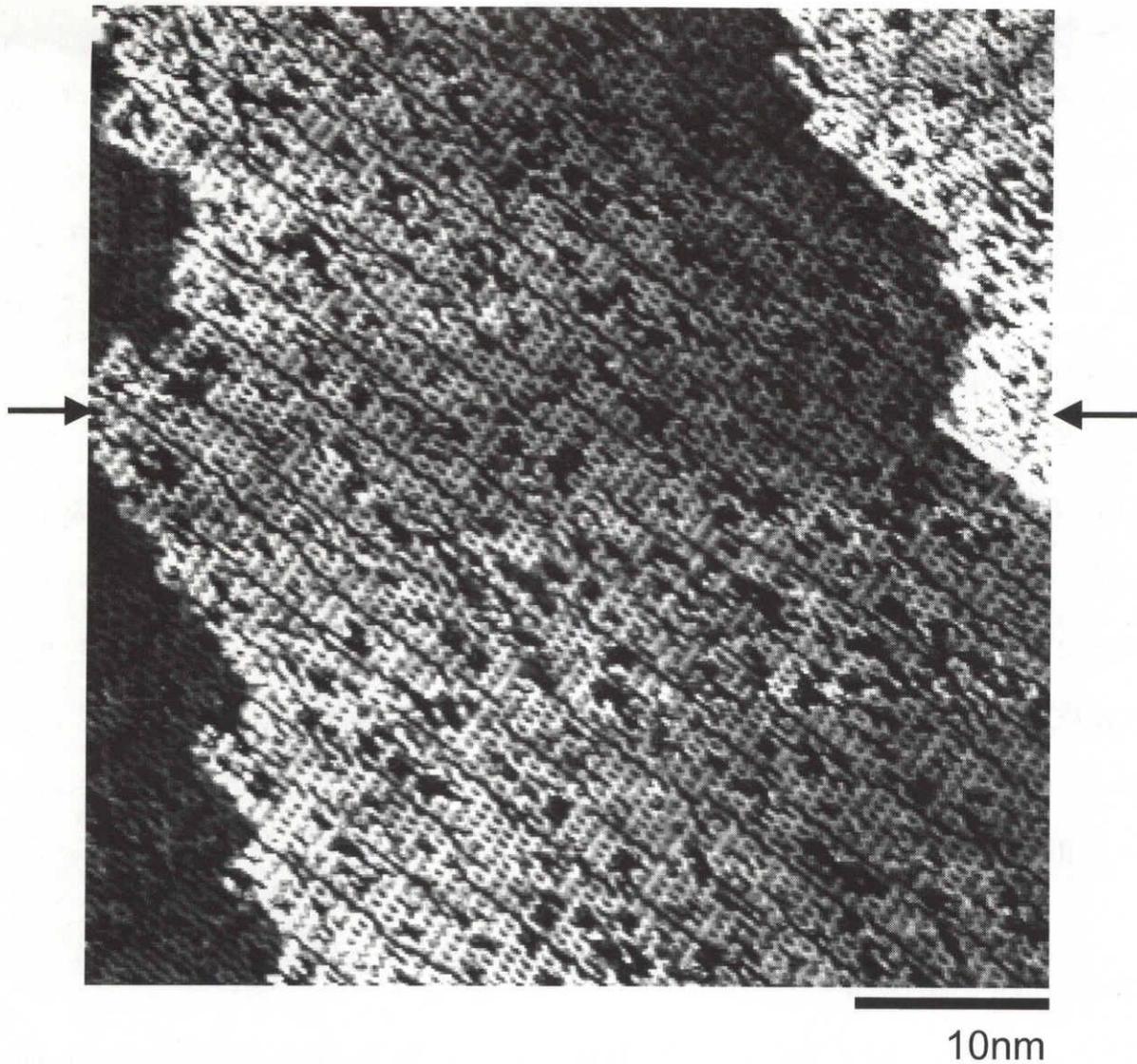


図5-10(b) Si表面に600°Cにて $\text{Si}_{0.186}\text{Ge}_{0.786}\text{C}_{0.048}$ 1ML成長させたSTM像及びラインプロファイル。
蒸着レートは 3.5×10^{-3} ML/sec (280 sec/ML)。
走査範囲は $50 \times 50 \text{ nm}^2$ 。

観察されなかった。さらに、図 5-10(b)に示すような低速成長、および $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 薄膜の場合の原子分解能像では、ダイマー欠損列の $2 \times n$ 構造に関して、 n の値は、低速成長、および $\text{Ge}_{0.952}\text{C}_{0.048}$ 薄膜場合は 8~11 程度であったが、8~15 と乱れていた。これは、 $\text{Si}_{0.2}\text{Ge}_{0.8}$ 膜の圧縮歪みが補償されているためと考えられる。つまり、C 原子はクラスターになるのではなく膜内に取り込まれていると推測される。これらの結果から、C 原子は Ge-C 結合よりも Si-C 結合を形成しやすく、その結果 $\text{Si}_{1-x}\text{Ge}_x$ 膜に取り込まれやすいと考えられる。

以上の結果から、Ge 膜上への C の蒸着は、局所的歪みを発生による Ge の 3 次元島の形成、および C の凝集によるクラスター形成などが起こるが、いずれも Si を導入することによって抑制できる。よって、C の挙動の制御、および $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜のエピタキシャル成長には Si の存在が不可欠であることがわかった。また、今回の結果から C の蒸着量によって Ge の 3 次元島の数密度を制御できることが期待できるため、Ge ドットへの応用の可能性も考えられる。

参考文献

- [1] Semiconductor – Basic data 2nd revised Edition, edited by O. Madelung (Springer, Berlin, 1996) p. 22.
- [2] M. Okinaka, Y. Hamana, T. Tokuda, J. Ohta, and M. Nunoshita, J. Cryst. Growth **249**, 78 (2003).
- [3] A. Sakai, Y. Torige, M. Okada, H. Ikeda, Y. Yasuda, and S. Zaima, Appl. Phys. Lett. **79**, 3242 (2001).
- [4] S. Zaima, A. Sakai, and Y. Yasuda, Appl. Surf. Sci. **212-213**, 184 (2003).
- [5] A. Oral and R. Ellialtioglu, Surf. Sci. **323**, 295 (1994).
- [6] J. Tersoff, Phys. Rev. B. **45**, 15 (1991).
- [7] 白木靖寛、吉田貞史編著 『薄膜工学』(丸善) p.34.
- [8] Y.-W. Mo, D.E. Savage, B.S. Swartzentruber, and M.G. Lagally, Phys. Rev. Lett. **65**, 1020 (1990).
- [9] S. Takeuchi, O. Nakatsuka, Y. Wakazono, A. Sakai, S. Zaima, and Y. Yasuda, Mater. Sci. Semicond. Proc. **1-3**, 5 (2005).
- [10] Y. Wakayama, G. Gerth, P. Werner, and L. V. Sokolov, Surf. Sci. **493**, 399 (2001).
- [11] M. Lonfat, B. Marsen, and K. Sattler, Chem. Phys. Rev. Lett. **313**, 539 (1999).
- [12] 鳥毛裕二, 修士学位論文 (2000) 名古屋大学.

- [13] D. Dentel, J. L. Bischoff, L. Kubler, M. Stoffel, and G.Castelein, *J. Appl. Phys* **93**, 5069 (2003).
- [14] O. G. Schmidt, C. Lange, K. Eberl, O. Kienzle, and F. Ernst, *Appl. Phys. Lett.* **71**, 2340 (1997).
- [15] O. Leifeid, D. Grutzmacher, B. Muller, K. Kern, E. Kaxiras, and P.C. Kelires *Phy. Rev. Lett.* **82**, 5 (1999).
- [16] T. Takaoka, T. Takagaki, Y. Igari, and I. Kusunoki, *Surf. Sci.* **347**, 105 (1996).
- [17] R. I. G. Uhrberg, J. E. Northrup, D. K. Biegelsen, R. D. Bringans, L. E. Swartz, *Phys. Rev.* **B46**, 10251 (1992).
- [18] S. T. Jemander, H. M. Zhang, R. I. G. Uhrberg, and G. V. Hansson, *Mater. Sci. and Eng.* **B89**, 415 (2002).

第6章 むすび

6.1 研究成果のまとめ

本研究では、MOSFET を中心とした次世代 IV 族半導体素子の、超高性能化、超高集積化に向けて、C 導入プロセスによる、主にシリサイド/Si コンタクトにおける固相反応ダイナミクス制御について、研究を行った。その成果を以下にまとめる。

a) C 添加による NiSi/Si(100)コンタクト特性の改善

濃度および深さ分布の精密な制御が容易であり、実プロセスに適したイオン注入装置を用いて、NiSi/Si コンタクトに対する C 注入の影響について研究を行った。C 注入の有無による反応形成物の変化は見られなかった。C 注入なしの Ni/Si 系においては 650 ~ 750°C 熱処理後の試料に生じる NiSi の凝集を、C の注入によって抑制でき、結果的にシート抵抗値の増大を抑制できることがわかった。

コンタクト抵抗を測定した結果、Ni/p⁺-Si においては C 注入によって不純物である B 原子の偏析によるコンタクト抵抗値の低減が得られた。これは C の導入によって、NiSi/Si 界面における B の偏析が促進されたためと考えられる。

また、I-V 特性からは逆方向特性における電流値が減少した。特に n 型においては I-V 特性が向上し、界面近傍の欠陥が減少したと考えられる。これは、C イオンを注入することによって、Si 中の vacancy 濃度が減少し、Ni の拡散が抑制されたと推測される。順方向印加時には n 型および p 型ともに電圧に対する電流の増加は緩やかになっており、Si 基板上の Si(C)層が直列抵抗を担っている可能性があるが、この詳細についてはさらなる検討が必要である。

要求されるコンタクト抵抗の低減および熱的安定性の改善という点において、Si 基板中への C 導入は有効な手段の一つであることが明らかになった。

b) Si(001)基板上におけるエピタキシャル NiSi₂ 初期成長の観察およびその制御

清浄表面上に室温で Ni 0.5~2.0ML 蒸着し、600℃で 10 分間熱処理を行った。<011> 方向に沿ったエッジをもつ長方形のエピタキシャル NiSi₂ 島がステップ端に形成され、元の Si の S_B ステップはのこぎり状になることが観察された。これは S_A ステップに対して S_B ステップ端の Si 原子がエネルギー的に不安定であることから、NiSi₂ 島形成には S_B ステップ端から Si 原子が供給されるためと考えられる。Ni 膜厚を 4.8 ML に増やした場合においても<011>方向に沿ったエッジを保ったまま NiSi₂ 島が成長した。また、NiSi₂/Si 界面において多数の{111}ファセット形成が観察された。

基板温度 550℃における C 0.2 ML 蒸着表面には、c(4×4)構造が形成されることが確認された。この表面上に Ni を 2 ML 室温で蒸着し 600℃で 10 分間熱処理を行った結果、<011>方向に沿うエッジの長さは短く、丸みを帯びた NiSi₂ 島が観察された。また、NiSi₂/Si 界面においては、C なしの場合と比較して{111}ファセットは不明瞭であった。これは C 導入により Si 基板中の Ni 原子の拡散が制限されたことにより、{111}ファセットの<011>方向への成長が抑制され、等方的な成長が促進されたためと考えられる。また c(4×4)構造により表面において Si-Si ボンドより安定な Si-C ボンドが形成され、NiSi₂ 形成に供給される Si 原子の表面泳動が抑制されると考えられる。その結果、NiSi₂ 島の垂直上方向への成長が抑制され、水平方向の成長が優先的となり、表面平坦性及び表面被覆率が向上したと考えられる。

C 蒸着量の増加とともに、形成された NiSi₂ 表面の平坦性が向上した。これは、C 蒸着量の増加に伴い C 蒸着直後の Si 表面において c(4×4)構造の占める領域が増加し、Si-C ボンドがより広い範囲に形成されているためと考えられる。

さらに、C 0.2 ML を室温で蒸着し、600℃で 10 分間、及び 550℃で 20 分間熱処理した表面上での NiSi₂ 形成の違いについて研究を行った。C 蒸着後の熱処理において、両試料の表面上に c(4×4)構造が形成されているのが観察された。また NiSi₂ が形成された表面の平坦性は両試料ともに C がいない場合に比べて向上した。

C 蒸着後に十分な時間熱処理を行うことにより、Si-C ボンドをもつ c(4×4)構造が表面

全体に形成され、NiSi₂ 形成時における Si 原子の表面泳動の抑制がより効果的に行われ、エピタキシャル NiSi₂ の表面平坦性が向上しることがわかった。また、Si 基板中の C が Ni 拡散に対して影響を及ぼし、{111}ファセットの成長が抑制された結果、<011>エッジが短くなり NiSi₂ 形成が等方的に生じることがわかった。

結果として、NiSi₂/Si の表面及び界面の平坦性を向上するために sub-monolayer の C の導入は非常に有効であることが明らかになった。NiSi₂/Si コンタクトの更なる表面及び界面における平坦性を得るには、Ni/Si 界面において Si-C ボンドをより多く均一に形成する技術の確立が必要であると考えられる。

c) Si_{1-x-y}Ge_xC_y 極薄膜初期成長の原子尺度観察およびその成長制御

Si(100)清浄表面に、1ML の Ge_{0.952}C_{0.048} 膜を同時に蒸着した場合(同時蒸着法)、C を含まない場合には観察されなかった Ge の 3 次元島が観察された。また、そのテラス上では、ダイマー欠損列の周期性配列に乱れが生じていた。このダイマー欠損列の周期的配列は 2 次元膜成長の膜内の歪みを反映しているものであると考えられるため、ダイマー欠損列の周期的配列の乱れは、Ge 膜の歪みの補償を示唆しており、C が膜内に混入したと考えられる。

一方、先に Ge を 1ML 成長させ、その上に C を蒸着することで Ge_{0.952}C_{0.048} 膜を形成した場合(別蒸着法)、同時蒸着法と比較して Ge の 3 次元島の数密度が高くなった。また、そのテラス上では、ダイマー欠損列の周期性が保たれていた。この結果から、Ge 表面に蒸着された C は Ge 膜内に混入せず、Ge-C 結合を形成し、これにより局所的歪みが発生し、その歪みを緩和するために Ge の 3 次元島が形成されたと考えられる。

同時蒸着法、および別蒸着法において、3 次元島の密度が異なるのは、同時蒸着法においては、C が基板の Si と結合することで C の凝集を抑制し、C の Ge 膜内への混入を促進させる可能性が考えられる。

蒸着レートを 1/2 に遅くした場合、同時蒸着法、および別蒸着法共に、表面に Ge の 3 次元島ではなく、C クラスターが観察された。この結果は、蒸着レートが遅い場合には、

C原子は3次元島を形成する様な歪み場を形成せず、基板表面を泳動し、C原子同士で凝集してクラスターを形成する傾向にあることを示している。一方、Cクラスターの密度は同時蒸着法の場合と比較して、別蒸着法の方が高かった。これは、基板表面のSiが、C凝集を抑制しているものと考えられる。

さらに、低濃度のSiを導入して $\text{Si}_{0.176}\text{Ge}_{0.776}\text{C}_{0.048}$ 膜成長の観察を試みた。高速成長させた場合、同時蒸着法では3次元島が消失した。また、別蒸着法では、3次元島の数密度の低下、および部分的な $c(4\times 4)$ 構造が観察された。これらの結果から、C原子はSi原子と優先的に結合し、3次元島形成を抑制するのに効果的であることがわかった。

よって、Cの挙動の制御、および $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 膜のエピタキシャル成長には適切な量のSiの存在が不可欠であることがわかった。また、今回の結果から、Cの蒸着量によってGeの3次元島の数密度を制御できることが期待できるため、Geの量子ドット形成技術に向けた応用の可能性も考えられる。

6.2 今後の展望

現在、MOSFETの更なる微細化が進むにつれて、従来のスケーリング則に従うだけでは、もはや素子の高速化、高性能化が実現できない時代に突入している。絶縁膜には、いわゆるHigh-k材料として高誘電率金属酸化物が導入されつつあり、また、チャンネル領域には高移動度材料実現に向けての、歪Si、 $\text{Si}_{1-x}\text{Ge}_x$ 、あるいはGeの導入が真剣に議論されている。また、従来のプレーナ構造と決別して、ダブルゲートあるいは3次元的な新構造の検討も始まっている。つまり、スケーリングを超えたポストスケーリング技術としての、新材料、新構造の検討が必須となってくる。

これに合わせて、従来のSi、 SiO_2 、電極金属材料の単純な元素系に、様々な新元素が導入されることになる。これを確実に制御し、信頼性のあるデバイスを実現するためには、材料固有の物性、また多元系の固相反応、拡散機構の理解が不可欠である。本研究では、そのような課題に先駆けて、極微量のCの導入が、素子の表面・界面の固相反応

や不純物の拡散に大きな影響を与え、効果的な改善効果をもたらすことを明らかにした。また一方で、 $\text{Si}_{1-x}\text{Ge}_x$ などへの高濃度の C 導入には、一定の障壁が存在し、その実現には原子尺度の化学結合状態の制御が必要なことも明らかになった。

今後、本研究で得られた成果を活かすには、C の有効性を保ちながら、デバイス構造に C を導入した場合の素子への影響を、系統的に明らかにしていく必要がある。目的の効果を得るのに適切な C 組成を明らかにすると同時に、他の構造、物性に影響を与えない、局所的な C 導入技術の開発と、その評価、観察を行なっていくことが重要であろう。

さらには、ポストスケーリング世代に向けて、C 以外の H、O や N などの元素を制御性よく、効果的に添加することで、極微細領域における反応ダイナミクス制御の幅を広げていく研究開発が必要となると考えられる。