

通信装置の高速・高密度実装技術に関する研究

杉浦伸明

目	次
第1章 序論	1
1. 1 研究の背景	1
1. 2 通信システムと実装技術	2
1. 2. 1 通信システムの動向	2
1. 2. 2 実装技術の役割	3
1. 3 通信システム用実装技術の研究状況と課題	4
1. 3. 1 コネクタ技術	4
1. 3. 2 冷却技術	4
1. 3. 3 インタフェース	5
1. 3. 4 EMC	6
1. 3. 5 バス	6
1. 3. 6 低電圧化、保守	7
1. 4 本論文の目的と構成	7
参考文献	9
第2章 バックプレーン給電	12
2. 1 まえがき	12
2. 2 バックプレーン給電構成	13
2. 2. 1 給電形態	13
2. 2. 2 高密度高速化での給電の課題	14
2. 3 バックプレーン給電の解析モデル	14
2. 3. 1 解析モデル	14
2. 3. 2 熱平衡状態に関する方程式	15
2. 3. 3 給電系の電気定数の考え方	17
2. 4 バックプレーン給電の性能とバックプレーン層構成	17
2. 4. 1 給電による温度上昇	17
2. 4. 2 解析によるバックプレーン構造評価	18
2. 4. 2. 1 銅箔残存率の影響	18
2. 4. 2. 2 層数の影響	20
2. 4. 2. 3 層数、銅箔残存率による相互の影響	21
2. 5 まとめ	22
参考文献	23

第3章	スイッチング雑音	24
3.1	まえがき	24
3.2	スイッチング雑音の信号系への影響	24
3.2.1	スイッチング雑音のモデル	24
3.2.2	素子動作でのスイッチング雑音の信号系への影響	25
3.3	コネクタスイッチング雑音評価	25
3.3.1	スイッチング雑音測定評価基板構成	25
3.3.2	実測結果	28
3.3.2.1	分離したグラウンド層とスイッチング雑音	28
3.3.2.2	一体としたグラウンド層とスイッチング雑音	29
3.3.2.3	電源と電源用グラウンド組の収容組数とスイッチング雑音	29
3.3.3	スイッチング雑音の考察	30
3.3.3.1	同時動作出力数と総合電流変化	30
3.3.3.2	帰路電流の分布	32
3.3.3.3	有効グラウンド端子数	34
3.4	まとめ	34
	参考文献	35
第4章	サブラック内信号伝送性能	36
4.1	まえがき	36
4.2	サブラック内信号伝送の条件	36
4.3	サブラック内伝送系に係わる実装諸条件の検討	37
4.3.1	主信号系に直接影響する雑音系	37
4.3.1.1	配線間漏話	37
4.3.1.2	コネクタ端子間漏話	39
4.3.1.3	配線系の高周波損失	41
4.3.2	実装系で発生し、主信号系に間接的に影響する雑音	42
4.3.2.1	電源層構成とスイッチング雑音	42
4.3.2.2	コネクタ部でのスイッチング雑音	45
4.4	サブラック内伝送速度限界	46

4.5	まとめ	48
	参考文献	49
第5章 高速信号伝送用パッケージコネクタと高速適用領域		50
5.1	まえがき	50
5.2	高速信号伝送用コネクタへの要件	50
5.2.1	コネクタのスループットへの要求	50
5.2.2	高速コネクタへの要求条件	51
5.3	高速信号伝送用コネクタの設計	52
5.3.1	設計モデル	53
5.3.2	シミュレーション評価	53
5.3.3	試作コネクタの電気特性	54
5.4	高速信号伝送用コネクタの伝送性能評価	56
5.4.1	伝送評価サブブロック構成	56
5.4.2	伝送性能評価	57
5.4.2.1	誘導雑音	57
5.4.2.2	損失特性	58
5.4.2.3	符号誤り測定	59
5.5	コネクタの高速伝送適用領域評価	60
5.6	まとめ	61
	参考文献	62
第6章 マルチインタフェース収容を考慮した高速高密度システム実装		63
6.1	まえがき	63
6.2	装置間接続インタフェースの動向と実装への要件	63
6.2.1	装置間接続インタフェースの動向	63
6.2.2	インタフェースの収容要件	65
6.3	インタフェース収容実装構成	65
6.3.1	構成技術	65
6.3.1.1	電気・光変換機能	66
6.3.1.2	外付け機能部と信号処理部の インタフェース	67

6. 3. 1. 3	電源供給	68
6. 3. 1. 4	外付け機能部の取り付け形態	68
6. 3. 2	ブレッドボードでの一次評価結果	69
6. 4	マルチインタフェース収容に向けた高速高密度実装	70
6. 5	まとめ	72
	参考文献	73
	第7章 結論	74
	謝辞	77
	本研究に関する発表論文	78

第1章 序論

1. 1 研究の背景

「実装」という用語は、広辞苑にはない。この事は、実装という言葉が日本語として認知されていないといえる。実装という用語は英語のPackaging、Mounting、Physical Designなどを包含する用語であり、限られた領域内（ラック、配線板など）に所望の機能を実現するための部品類を効率よく、コスト、性能を満足するように搭載する技術を意味している。従って、システムや装置を構築するにあたり方式設計を基に回路設計を進め、機能を実現するための組立段階に係わってくる技術に相当するものといえる[1]。

通信装置の装置実装は、伝送装置、交換装置などというカテゴリの中で進展してきた。電気通信がはじまった時代はアナログ信号処理が基本であったが、半導体素子の開発が進み、半導体チップへの機能集積化の進展、大規模メモリ素子の開発等によって信号処理のデジタル化への移行が進んだといえる。このようなデジタル化とともに、機能処理部のLSI化、高密度実装化が進展してきたことから、効率的で共通的に適用できる実装技術として、伝送と交換の統合実装化が検討され、2.5m近い従来の高架を基本にデジタルシステム実装（DS実装）が構築された[2]（伝送、交換で同一の実装体系を適用しているのは日本だけであろう。AT&Tでも伝送と交換は別実装体系であり[3],[4]、NTTの統合実装に対しては驚いている）。高架での装置は、装置を建物に設置する作業が大変であるとともに、保守作業時も高いところまで登らないといけないなど、作業性の面から見直しが図られ、1.8m高のキャビネット架を基本とした装置実装が検討される事となった。従来の2.5m近い高架に搭載されていた機能を1.8m内に収容し、同一フロアスペース内に同一規模以上のシステムを収容するためには高密度な実装技術構築が必要となる。このような高密度実装化のためには、例えば、配線板内に多数の部品を搭載するとともに、多数の信号端子を確保する事が必要となるため、従来コネクタに比べ1.5倍の端子密度を有する高密度コネクタが開発された[5]。このような、高密度化技術を基にHi-PAS（High Density Packaging System）実装が構築され[6]、通信装置に広く適用されている。最近では、高密度な部品実装技術としてMCM（Multi Chip Module）実装技術[7],[8]の適用検討がコネクタ[9]も含めて進んでいる。

さらに、デジタル化にともない、信号伝送速度の高速化が著しく、この高速信号伝送に適應できる実装技術の要求が装置構成の要となってきている。信号の高速化はインタフェース規定、例えば、ISDNでのINSネット64、1500、SDH[10]（Synchronous Digital Hierarchy）等に対応し、進んでいる事による。高速信号伝送化は信号の速度の高速化とともに電磁雑音の放射及び信号伝送へ影響を与える雑音要因となるため、難しい技術課題となっている。特に、電磁放射雑音については、放射だけでなく、耐力という面からEMC（Electro Magnetic Compatibility）規格として全世界でも規制を考えており[11]、通信のみならず、全ての電気・電子機器装置に関わる技術となってきている。さらに、近年のマルチメディアの流れは、通信装置だけでなくコンピュータ機器等も含めての各種メディア信号処理となるため、信号処理の高速化は、ますます必要と

なってくる。

このように、通信装置実装には、高密度実装化と高速信号処理化が進展しており、方式要求の機能諸元を実現するためには、限られたキャビネット内、配線板内スペースに効率的に装置実装できるかが重要な技術ポイントとなってきている。

1. 2 通信システムと実装技術

1. 2. 1 通信システムの動向

日本の通信システムである交換機の時代の変遷をみると、機械的リレー接点のスイッチから、電子交換へと変遷してきた。電子交換機は、蓄積プログラム制御（SPC: Stored Program Control）と半導体メモリなどの集積回路が重要な要素であり、ハード部品である半導体素子の進歩（メモリの大規模化、LSIの高集積化、高速化）によって、装置の小型化、高性能化が達成されてきた[12]。信号処理についても半導体素子の進展に伴い、デジタル信号での交換処理へと進展し、アナログ/デジタル信号変換機能等を有する加入者回路を有するD70加入者線交換機へと進展した[13],[14]。並行して、ISDN化への対応として、デジタル加入者線インタフェース（Iインタフェース）を有するデジタル加入者線交換機（ISM:I interface Subscriber Module）がD70交換機の機能拡張という形で実用化されてきた[15],[16]。

伝送系についても伝送インタフェースは周波数多重からデジタル系の時分割多重へと進展してきた[12]。この多重化構成は国によって異なっていたため、伝送インタフェース速度階層の国際的な整合規格を制定する事からSDHインタフェース[10]（156Mbps×n：156Mbps、622Mbps、2488Mbps、・・・）が策定され、日本は世界に先駆けて、本インタフェースを基幹網に導入し、ネットワークの効率化を図ってきている[17],[18],[19]。

このような通信の高速化とともに、通信と放送の融合化、コンピュータ通信との融合化等のマルチメディア通信、つまり、音声、画像、データ等の異速度メディアを通信するB-ISDN時代に向けての通信装置の検討が必要となり、ATM(Asynchronous Transfer Mode)通信技術[20]が中核の技術と目され、図1-1に示すように、スイッチの入出力数×入出力インタフェース速度で決まるシステムスループットとして、現用装置（D70、D10交換機）やN-ISDN交換機に比べ、数桁大きなものが要求される様になってきている[21]。このマルチメディア化に向け米国での情報スーパーハイウェイ（NII:National Information infrastructure）構想[22]や日本でのバックボーンネットワーク[23],[24]でのインフラ構築とサービスの研究が進んでいる。

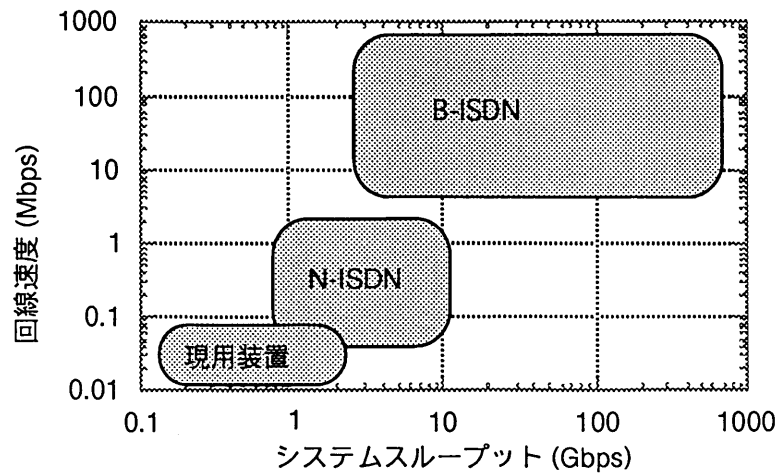


図1-1 システムスループットの動向

1. 2. 2 実装技術の役割

規定されたインタフェース条件で信号を受信し、所望の機能を実現するための方式設計に基づく装置を、具現化する技術が実装技術である。システムを具現化するための実装技術としては、部品レベルからシステム相当のレベルまであり、その技術分野は広い[25]。システム構築に関わる実装技術の関わりを図1-2に示す。

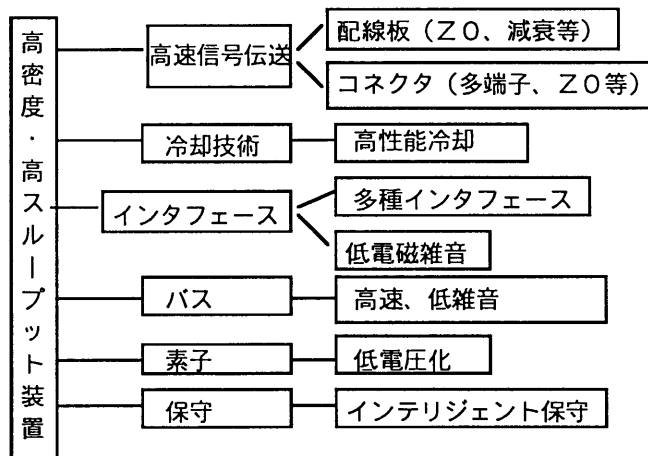


図1-2 実装技術課題の関連

システム機能を搭載するラック、サブラック等の構造寸法はIEC (International Electrotechnical Commission)での規格[26]として定められており、メートル系の体系へと進んでいる。システムはこの基本構造寸法体系を遵守し、この構造領域内に効率的に収容する事が求められる。配線・コネクタ技術としては、機能を搭載する配線板内の高密度配線技術、多層配線板、高速な信号伝送を可能とする配線設計技術、高密度なコネク

タ技術が求められる。冷却技術としては、高密度化に伴い増大する高消費電力装置を高性能に冷却可能とするとともに、消費電力の状況に応じて柔軟に対応できる技術である。給電技術は高密度化に伴い増加するシステムレベルの所要電流を有効に通電できる技術である。装置接続並びに保守技術は、通信系に取り込まれる各種インタフェースを、効率的に収容し、かつ、インタフェースの接続状態を監視できる技術である。EMC (Electro Magnetic Compatibility)は昨今の電磁雑音の規制に対応する技術であり、機構構造だけでなく、回路実装、配線設計技術とも関連し、特に、高速信号伝送化とともに、重要な技術となってきた。

このように、実装技術は、装置構築における組立技術であり、装置ハードウェアとして実現するための技術である。

1. 3 通信システム用実装技術の研究状況と課題

音声、データ、映像等のマルチメディアを処理するB-I S D N時代に向けてA T M (非同期転送モード)システムを今後の広帯域通信網の有力な候補として、通信装置の開発が行なわれている。特に、公衆網用の通信装置では、信号処理・信号伝送速度の高速化と高密度実装化が最大の課題となっている。この課題には、以下に示す数々の技術、例えば、装置内消費電力の増加に対する冷却性能の向上、装置が放射する電磁波による電磁雑音の低減化及び外来電磁波に対するイミュニティ向上、装置間接続用高速インタフェースの効率的収容、高速なバス構成などの構築が必須となる。これら通信装置への実装技術の研究は、各課題に対して以下に示す状況である。

1. 3. 1 コネクタ技術

図1-1に示すシステムスループットと関連するコネクタ技術に対しては、多端子化と高速信号伝送化が要求されている。コネクタでの伝送性能は、コネクタ部で発生する雑音を抑さえる事が必須であり、高速信号伝送に向け、細径同軸エレメントを組み込んだパッケージコネクタが開発され[27]、装置に適用されている。コネクタの高密度化に向けては、メートル系実装構成とも関連し、1.5 mmコネクタが必要となる考えも示されている[28]。

システムの実装構成としても、従来のブックシェルフ構成から、システムスループット向上に向けて、I/O数の確保と機能部の集約を図った平面実装形態が考えられ、本形態の実装技術について検討が進められている[29],[30]。

1. 3. 2 冷却技術

通信装置の高密度化、信号速度の高速化に伴い、装置架当りの消費電力は増加の一途にある。現在、通信装置の実装として適用されている架内高密度実装(H i -P A S)での自然空冷に対する標準ファン(120mmΦ)を適用した強制空冷の冷却性能比は

約2.5である[31]。しかしながら、システムのスループットに対する発熱密度は図1-3に示すように[32]、スループットの上昇にともない発熱密度も増加の傾向にあり、B-ISDN時代には、高性能な強制空冷技術の開発が必須である。この高性能冷却技術として、大型ファン(150mm \square)を適用する事で自然空冷に対して冷却性能比が約4倍となる事を確認している[31]。また、MCM(Multi Chip Module)を搭載する実装が指向される中であって、ブックシェルフ実装にMCMを適用した装置系での強制空冷の冷却性能として、一括通風式に対して90kwまでの冷却性能を確認しており[32]、装置の高発熱化に対しての冷却技術の構築が進んでいる。一方、装置消費電力の低減には、低電圧素子の適用が上げられ、検討が進んでいる。

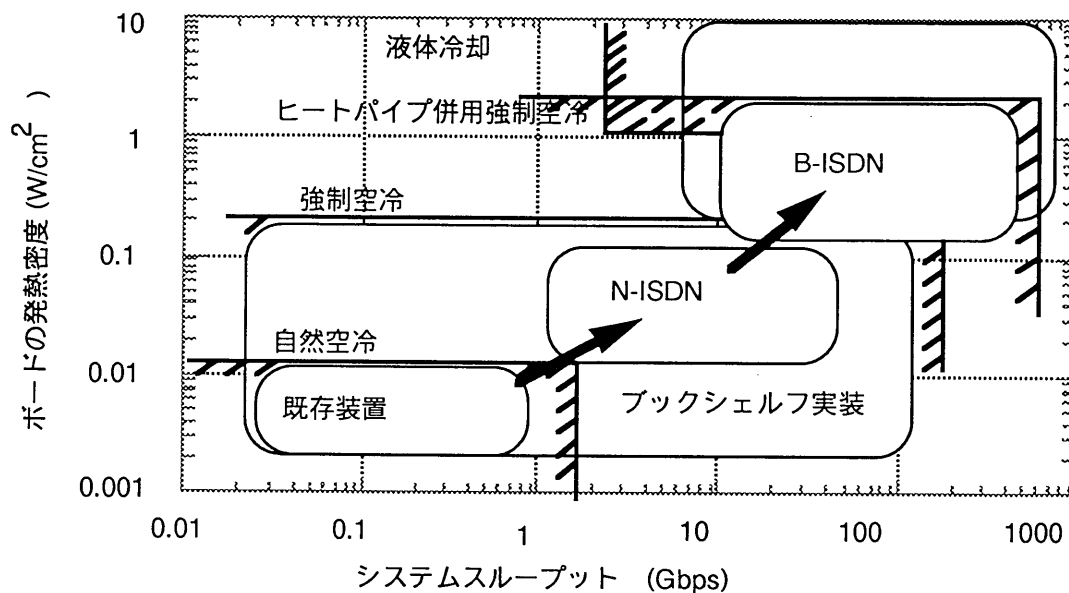


図1-3 システムスループットと発熱密度

1.3.3 インタフェース

通信装置はスイッチ系と端局系の装置間だけでなく、制御系と端末系のローカル接続があり、接続条件も大きく電気/光に大別される。装置として接続するインタフェース速度は図1-4に示すように数Mbps~数百Mbps、伝送距離も数m~数十kmと、適用するインタフェースによって適用領域が分けられ、高速で長距離伝送できる安価なインタフェースが装置構成にとって必要となっている[42],[43]。このように、各種インタフェースを装置内に収容するにあたり、インタフェースの分界点をバックプレーンとして、インタフェース部を外付け構成として、伝送距離、伝送速度に応じて外付け部を取り替えるインタフェース機能部実装技術が考えられる[33],[45]。この場合、外付け部に対してのインタフェース規定と外付け部とバックプレーン部との接続に於ける

信号伝送性能などの技術検討が進んでいる。

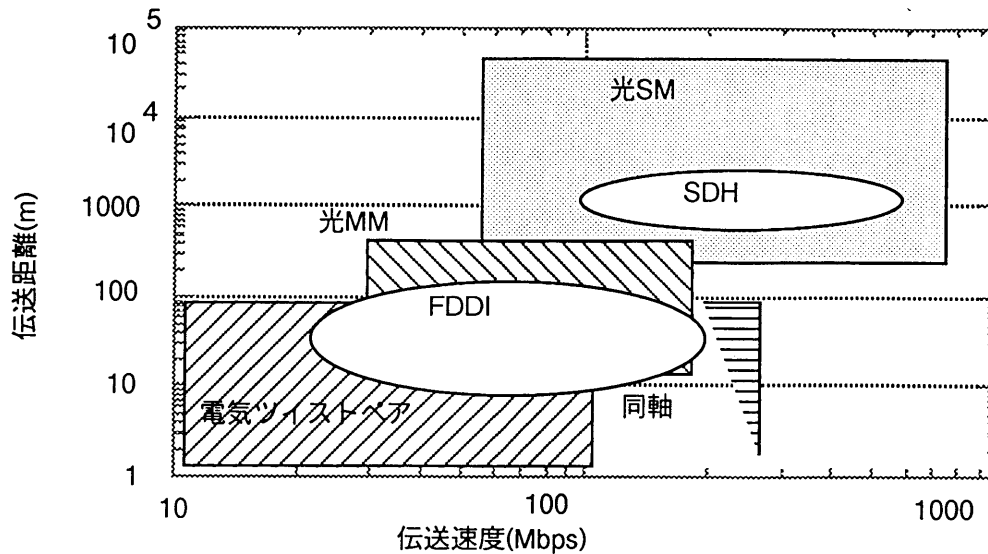


図1-4 インタフェースに対する領域

1. 3. 4 EMC (Electro Magnetic Compatibility)

通信装置実装では、EMC対策は必須技術となってきている。NTTの通信装置実装Hi-PASではキャビネット、サブラックレベル毎にシールド機能を付与し、かつ、冷却性能とシールド効果とのトレードオフに基づき、開口形状寸法を最適化している[34]。さらに、電磁波の主要な放射源、誘導経路であるキャビネット間、サブラック間ケーブルへの対策としてパッケージ実装ピッチ15.24mmに対応したケーブルコネクタをシールド化している[35]。今後は、EMC対策部品の大幅な小型化を狙い、磁性膜フィルタの応用等、EMC特性向上の検討が必要となっている[36],[37]。

尚、これまでEMC評価はVCCI(情報処理装置等電波障害自主規制協議会)技術基準等に準じたシステムとしての雑音評価が中心であったが、キャビネット等機構構造物としてのシールド特性評価を標準の試験法で規定しようとする動きがある[38]。

1. 3. 5 バス

信号処理性能を決定するバス特性は、バス幅、負荷数、バスサイクルが関わる。通信装置のバスはバス長が60cmと長く、かつ、負荷数も20位と多い特徴を有する。図1-5に示すように、従来のシェアバス方式では、負荷数の増大に伴い容量が大きくなるために、バス幅×バス線1本あたりの物理速度で決まるバスのスループットは1Gbps位が限界と言われている[39]。このため、バスの性能向上に対しては、1:1

接続高速バス等の検討が必要となっている。バスは実装だけでなく、信号方式、制御方式などが関連するため、総合的な観点から、その技術を構築する必要がある[44]。

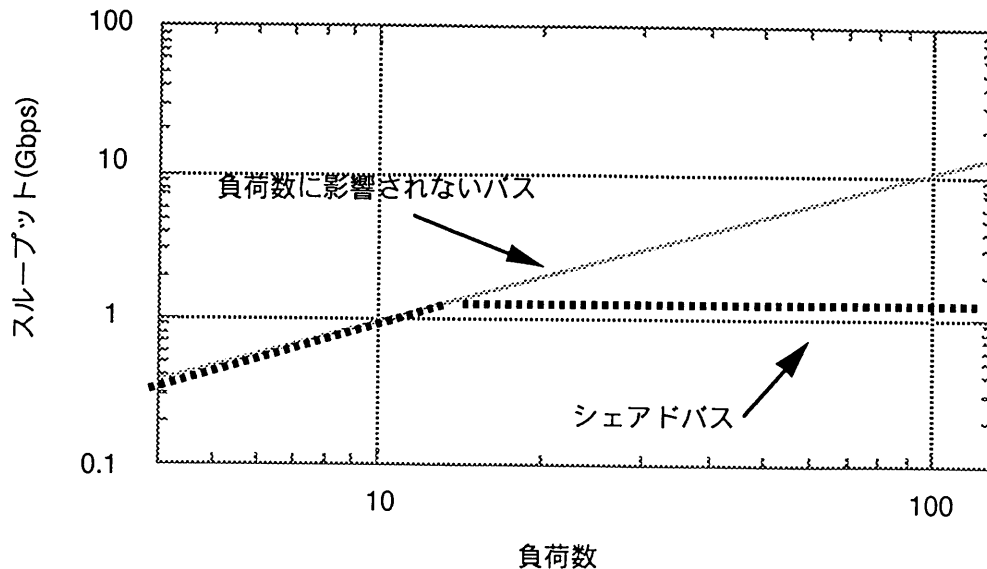


図1-5 シェアドバスでの負荷数とスループット

1. 3. 6 低電圧化、保守

消費電力の低減に向け、低電圧素子の適用が考えられる。低電圧素子の適用にあたっては、

- ・ 既存電圧系素子との混在条件、特に、信号接続におけるインタフェース
- ・ 電源混在系での電源投入シーケンス
- ・ 素子に対する雑音マージンの低下に対する雑音配分、電源雑音の低減

が必要となる。一方、システム保守のインテリジェント化は、保守機能の向上と関連し要望されており、各種センサを導入しての監視、レーザハザード[41]、分割ファン[6],[40]等、効率的なシステム保守が必要となっている。

1. 4 本論文の目的と構成

B-I SDN時代の通信装置は、信号速度の高速化、高速信号処理化が必須となっている。このような通信装置構成にあたっては、冷却、コネクタ、インタフェース収容、保守構成等、多岐に渡る技術検討が必要となる。本論文では、このような装置実装技術に対して、主に、電気信号伝送特性向上に向け、サブラック（ユニット）内信号伝送の鍵となるコネクタ技術を中心に、給電性能、サブラック内の信号伝送に係わる雑音ならびに信号伝送特性評価を検討するとともに、マルチインタフェース収容に向けた効率的

た効率的な実装法について研究をおこなってきた成果をまとめたものである。

本論文は7章で構成され、以下に各章の内容の梗概を示す。

第1章は序論であり、本研究の意義と目的を述べた。

第2章では、通信システムへの給電として、バックプレーン給電の給電性能評価をバックプレーン給電のモデル化と給電に伴う発熱に関する熱平衡方程式を考慮して、バックプレーンの構造と関連させて考察する。これらの評価結果より、大電流給電に対するバックプレーン層構成指針を示す。

第3章では、素子動作に伴い発生するスイッチング雑音について、コネクタを取り付けた信号伝送テグボードによって、コネクタの端子収容と配線板の層構成とを関連させての雑音測定結果を示し、コネクタ部でのスイッチング雑音のモデル化と端子収容の相関評価結果を示す。

第4章では、サブラック内信号伝送の伝送性能評価について、高密度コネクタを基に評価し、伝送可能な伝送速度領域について、サブラック内伝送で問題となる各種雑音と関連させ考察を行う。

第5章では、サブラック内高速信号伝送の要となる高速信号伝送用コネクタとして試作した、既存高密度コネクタと互換可能なコネクタの設計並びにコネクタの特性評価、及び、サブラック内信号伝送性能に対して、既存高密度コネクタ、高密度同軸パッケージコネクタ、試作コネクタでの比較評価を行い、各コネクタの高速伝送適用領域について考察する。

第6章では、今後の通信システムを展望し、各種インタフェースを収容するインタフェース実装構成について示す。

第7章では、本研究で得られた結果を総括し、結論を述べる。

参考文献

- [1] 須賀唯知, "実装技術の未来", 第6回日経BP・Panasonic技術フォーラム, 1995.
- [2] 金子義正, 川上正晴, 相原憲一, 金井恒雄, "デジタルシステム実装法", 通研実報, Vol.33, No.10, p.2383, 1984.
- [3] W.L.Harrod, W.E.Hamilton, "The FASTEC Integrated Packaging System", Solid State Technology, Vol.29, No.6, p.107, 1986.
- [4] F.N.Graff, Jr, C.E.Jeschke, C.R.Komp, B.E.Nevis, D.W.Zdan, "The 5ESS Switching System: Physical Design/Hardware", AT&T Technical J., Vol.64, No.6, p.1439, 1985.
- [5] 安田圭一, 杉浦伸明, 稲垣秀一郎, "高速信号伝送に適した高密度パッケージコネクタの構成技術", NTT R&D, Vol.38, No.10, p.1203, 1989.
- [6] 原田昭男, 金子保夫, 茨木修, 中埜賢一, "デジタル通信装置高密度実装法", NTT R&D, Vol.38, No.10, p.1193, 1989.
- [7] N.Yamanaka, S. Kikuchi, T.Kon, T.Ohsaki, "Multichip 1.8-Gb/s High-Speed Space-Division Switching Module using Copper-Polyimide Multilayer Substrate", Proc. 40th ECTC, p.562, 1990.
- [8] 土井幸治, 山田博希, 佐々木伸一, 杉浦伸明, 富室久, "マルチチップ実装を適用したATMスイッチモジュールの一検討", 信学技報, SSE91-109, 1991.
- [9] S. Sasaki, T. Kishimoto, N. Sugiura, "Coaxial SMD Module Connector for High-Speed MCM", IEICE Trans. Electron., Vol. E77-C, No.10, p.1575, 1994.
- [10] CCITT 勧告G709, "Synchronous Multiplexing Structure", 1989.
- [11] IEC C.I.S.P.R.16, C.I.S.P.R. "Specification for Radio Interface Measuring Apparatus and Measurement Methods".
- [12] "電気通信自主技術開発史—交換編、搬送電話編", 電気通信協会, 1976.
- [13] 五嶋一彦, 岩橋栄治, "デジタル市内系システムの開発", 通研実報, Vol.31, No.10, p.1937, 1982.
- [14] 安井直彦, 江川哲明, 佐藤隆昭, "デジタル加入者線交換機の方式構成", 通研実報, Vol.31, No.10, p.1955, 1982.
- [15] 池田博昌, 塚田啓一, 江川哲明, 木村英俊, "INS伝達システム", 通研実報, Vol.36, No.8, p.967, 1987.
- [16] 上野隆男, 福田晴幸, 土橋忠彦, 三瓶健, "インタフェース交換システムのハードウェア", 通研実報, Vol.36, No.8, p.977, 1987.
- [17] 榎一光, 三浦秀利, 岡田賢治, "今後の伝送路網のありかたと新しい同期インタフェースの適用", NTT R&D, Vol.39, No.4, p.619, 1990.
- [18] 上田裕己, 辻久雄, 坪井利憲, "新しい同期インタフェースを適用した同期端局装置", NTT R&D, Vol.39, No.4, p.627, 1989.
- [19] 坂本崇, 都甲昌邦, 中橋兼三, "新しい同期デジタル通信ネットワークのシステム構成", Fujitsu, Vol.42, No.4, p.300, 1991.
- [20] 富永英義監, "B-ISDN入門", オーム社, 1992.

- [21] T. Gotoh, "Broad-band ISDN/Developing Visual Communication for the Future", 9th Int. Display Research Conf., p.2, 1989.
- [22] Gore A.(石田順子訳), "インフラ整備に政府の投資を (Infrastructure for the Grobal Village)", 日経サイエンス,p.136,1991-11.
- [23] 河西宏之,宮内充,"ギガビットネットワークの展開と課題",信学誌,Vol.77, No.5, p.539, 1994.
- [24] 宮内充,神保良博,"VI&P総合実験の進展 (本格化する広帯域系総合実験)",NTT技術ジャーナル, Vol.5, No.3, p.54, 1993.
- [25] 高橋渉, 田山幸治, 武富剛, 栗坂勝, 加藤修, 橋口徹, 柏木茂, "広帯域システム実装方式の一考察", 信学技報, SSE90-121, 1990.
- [26] IEC 917-2, "Modular order for the development of mechanical structures for electronic equipment practices, part 2 Sectional Specification-Interface co-ordination dimensions for the 25 mm equipment practice", 1992.
- [27] 安田圭一,杉浦申明,"高速信号伝送用パッケージコネクタの検討", 信学技報, EMC91-10,1991.
- [28] K. Nakano, K. Yasuda, T. Kishimoto, "High-Density, High-Bandwidth Connectors for Broad-Band ISDN", IEICE Trans. Electron., Vol. E77-C, No.10, p.1567, 1994.
- [29] T. Kishimoto, K. Yasuda, H. Oka, S. Sasaki, Y. Kaneko, M. Kawauchi, A. Harada, N. Sugiura, "Small Planar Packaging System Combined with Card-on-Board Packaging for High-Speed, High-Density Switching Systems", Proc. ISHM, p.253, 1994.
- [30] 岸本亨, 安田圭一, 岡宏規, 金子保夫, 河内光彦, "小規模平面実装技術", 信学技報, SSE94-186, 1994.
- [31] 原田昭男,岸本亨,金子保夫,"高発熱通信装置用冷却技術", NTT R&D,Vol.43,No.5,p.101,1994.
- [32] 金子保夫,岸本亨,原田昭男,"高発熱マルチチップモジュールの強制空冷技術", NTT R&D, Vol.43, No.5,p.93,1994.
- [33] 杉浦申明,"装置間光接続用装置実装構成",信学論,Vol.J76-C-II,No.12,p.800,1993.
- [34] 森敏則,篠崎薫,"キャビネットのシールド特性と冷却特性のトレードオフに関する一考察", 1991年信学春季全大,B-305,1991.
- [35] 森敏則,安田圭一,"通信装置用ケーブルコネクタのEMC構成法に関する一検討", 信学技報,EMD94-3,1994.
- [36] 森敏則,千田正勝,石井修,"高損失磁性多層膜を用いたノイズフィルタ", 1994年信学春季全大,B-273, 1994.
- [37] 森敏則, 篠崎薫, 安田圭一, 茨木修, "高密度実装システムHi-PASのEMC対策構成技術", NTT R&D, Vol.43, No.12, p.109, 1994.
- [38] IEC 917-xx, "Mechanical Structures for Electronic Equipment. Part 3: Electromagnetic Shielding Performance Tests for Cabinets, Racks and Subracks for IEC 917-... and IEC 297-...".
- [39] "ATL LAN対応機器の開発・製品化動向とアプリケーション", J I E C セミナ資料,日本工業技術センタ, 1994.

[40] 杉浦伸明, 茨木修, 金子保夫, "ファンユニット組み込み構造", 実用新案広報, 実願昭62-122561 (登録第2000708号).

[41] 杉浦伸明, "コネクタ嵌合検出機構を利用したレーザ駆動制御構成の検討", 平成7年信学秋全大 B-369, 1995.

[42] 中村正人, 杉浦伸明, 安田圭一, "高密度同軸ケーブルコネクタを用いたケーブル伝送性能", 平成6年信学春全大 C-437, 1994.

[43] 河内光彦, 中村正人, 杉浦伸明, "装置間高速電気インタフェースの検討", 平成7年信学春全大 SC5-2, 1995.

[44] 岡 宏規, 杉浦伸明, "通信装置の高速バス回路におけるパッケージ実装数と信号伝送速度の相関", 平成7年信学秋全大 B-370, 1995.

[45] 中村正人, 杉浦伸明, 安田圭一, "装置間高速インタコネクションの一検討", 平成6年信学春全大 C-328, 1994.

第2章 バックプレーン給電

2. 1 まえがき

通信装置の高密度実装化にともない、装置の消費電力は増大の傾向にある。消費電力が増大することは、必要とする電流量が大きくなることであり、給電系の通電許容電流以上に給電が要求されると、給電系が有する抵抗でのジュール発熱にともなう温度上昇が顕著となる。この温度上昇が著しくなると、給電系を構成する部品の品質劣化など信頼度面から問題をきたすこととなるため、給電構成の給電性能を明確化することは、装置実装設計にとって重要である。

一般に、通信装置は、装置架（キャビネット、フレーム等）内にサブラックを搭載する構成をとり、このサブラックを機能処理実現の構成単位としている[1]-[3]。このような実装構成をブックシェルフ実装と総称している。このブックシェルフ実装では、サブラックの裏面側にバックプレーンを取り付け、このバックプレーンと信号処理を実行する機能回路を搭載した配線板とをコネクタ（バックプレーンコネクタとパッケージコネクタでの）接続する形態をとる。サブラック裏面に取り付けるバックプレーンは大型の印刷配線板であり、複数の信号層、電源層、グランド層を有し、一般に2. 4 mm以上の板厚となり、全体の層数によっては1 cm弱の厚さになる事もある。

このブックシェルフ実装でのバックプレーンに接続される各配線板への給電は、バックプレーン内の電源層を介して行うため、バックプレーン給電は不可欠のものとなる。バックプレーン給電で良好な給電を実現するためには、このバックプレーン給電性能を明確にすることが必要である。バックプレーン給電性能はバックプレーン内の電源・グランド層数、銅箔厚さ、銅箔残存率といったバックプレーンの物理構造条件が関連し、これらの物理構造諸元から、適用可能な給電規模を設計できる事は、装置実装設計面からは非常に有用な事となる。このような給電に対し、配線板単体への通電電流と温度上昇については、銅箔板の構造諸元と関連させて検討評価されている[4]。しかしながら、バックプレーン給電系は、物理構成が3次元的になり、かつ、バックプレーンに複数枚の配線板が接続されるということで構造規模も大きくなる事より、給電系のモデル化の考え方、並びに、給電性能評価についても明確にされていないのが現状である。

本章では、このバックプレーン給電性能評価を給電系での温度上昇の観点から行う事を示している。つまり、給電系での温度上昇評価を、通電にともなう給電部でのジュール熱発熱、伝導、放熱の熱平衡状態を考え、この熱平衡状態時の温度上昇値で行う手法である。この評価法について、まず、バックプレーン給電に関して、バックプレーン構造諸元で表した回路定数を用いた、簡易な等価回路モデルを説明する。次に、給電による熱平衡状態を取り扱い、解析を行ない、本解析によって、バックプレーンの給電性能をバックプレーンの構造と関連させ評価するとともに、バックプレーン給電実験結果と対比することで、所望の給電を実現するために必要なバックプレーンの構造についての構造諸元について示すとともに、給電にあたっての適用領域を示した[5]。

2. 2 バックプレーン給電構成

2. 2. 1 給電形態

通信装置での給電形態としては、通信装置内で必要とする所要の電源電圧を生成し、バックプレーン内の電源層によって、各配線板まで給電する形態（バックプレーン給電形態）と、各配線板上に小型の電源電圧変換のコンバータを搭載し、このコンバータで配線板上の回路が必要とする電源を給電する形態（オンボード給電形態）がある。ここでは、バックシェル形態で広く適用されているバックプレーン給電形態について検討する。

バックプレーン給電の構成例を図2-1に示す。バックプレーンは大型の印刷配線板であり、通信系装置では一般にガラスエポキシ材料の多層配線板を用いている。このバックプレーンはサブラックにとりつけられる。バックプレーンには複数枚の配線板（同様にガラスエポキシ多層配線板）が接続されている。バックプレーンの片側に電源を受電し、各配線板にバックプレーン内の電源層を介して給電する。バックプレーン給電での電流は、接続されている複数の配線板に分流して流れ、配線板内を流れて、バックプレーン内に戻る形態である。

なお、配線板とバックプレーンとはコネクタを介して接続される。一般に、このコネクタは、プレスインピンを適用している。このため、バックプレーン内にはこのプレスイン端子搭載のためのクリアランスが多数設定される事となる[3],[6]。

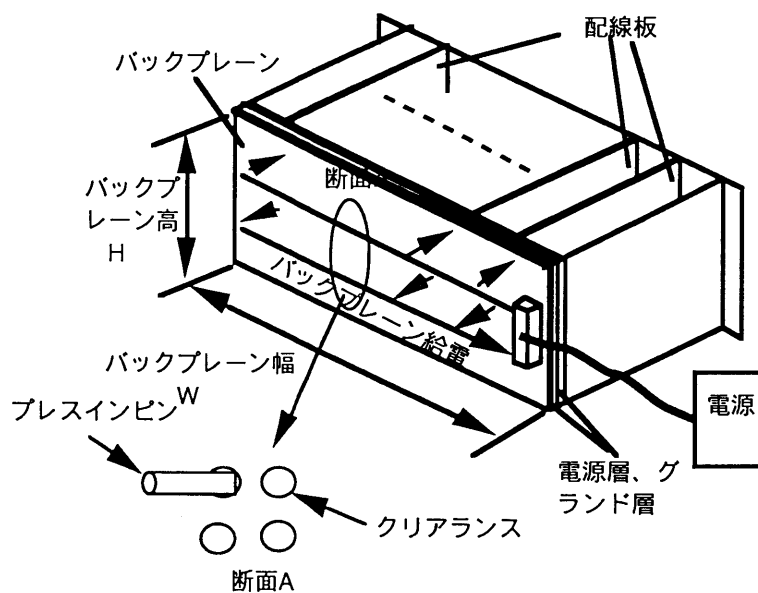


図2-1 バックプレーン給電系構成

2. 2. 2 高密度高速化での給電の課題

通信装置の高密度実装化、高速信号処理化にともない、信号処理機能単位のサブブロック単位での必要電流が増大することになる。必要電流の増大は、給電系が有する抵抗でのジュール熱の増加と電圧降下の増加を引き起こす。ジュール熱の増加は、バックプレーンの温度上昇となり、この温度上昇が著しく大きくなると、バックプレーンの変質につながり、信頼性を低下させる事となる。また、電圧降下が大きくなると、電源電圧の変動となり、配線板での受電電圧の低下となり、素子動作に影響を及ぼす事となる。このように、通電電流量の増大に対しては、発熱、電圧降下を所定の範囲に抑える事が装置信頼性の観点から必要となってくる。

一般に、配線板での通電に伴う温度上昇の許容値は、 10°C とされている[7]。また、電圧降下については、適用する素子の電圧条件で決まるため、その許容電圧内に電圧降下を押え込む事が必要となる。この電圧降下は直流抵抗を基にオーム則で決まるため、設計が比較的容易である。他方、温度上昇については寸法、温度に対して非線形の関係であるので、扱いが複雑となる問題がある。従って、この温度上昇評価が課題となる。

2. 3 バックプレーン給電の解析モデル

2. 3. 1 解析モデル

図2-1で示したバックプレーン給電構成を、図2-2に示す給電系モデルで簡易的に置き換える。図2-2において、バックプレーン部はバックプレーンに接続される配線板対応に分割され、バックプレーンに給電される電流は、各配線板に分流するモデルである。各配線板が Z_i で示され、バックプレーンの電源層より各配線板に供給された電流は、バックプレーンのグランド層へ戻る形である。

この給電系モデルを基にした等価回路モデルが図2-3である。電源層、グランド層は抵抗モデルとし、配線板対応に分割されている。供給する全電流と全戻り電流とは同一としている。この等価回路モデルを基に、検討を進める。

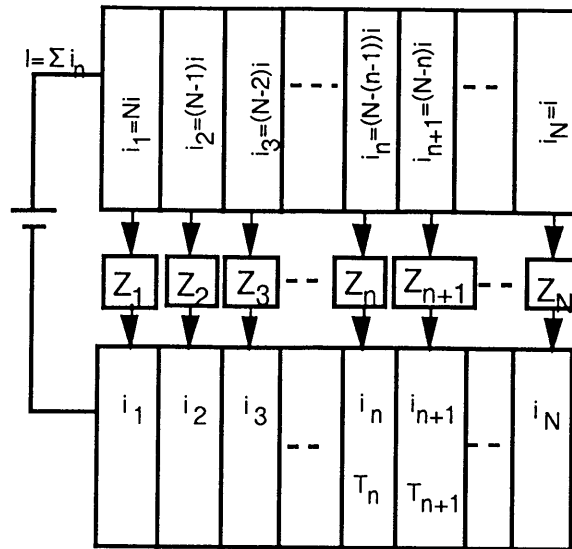


図 2-2 給電系モデル

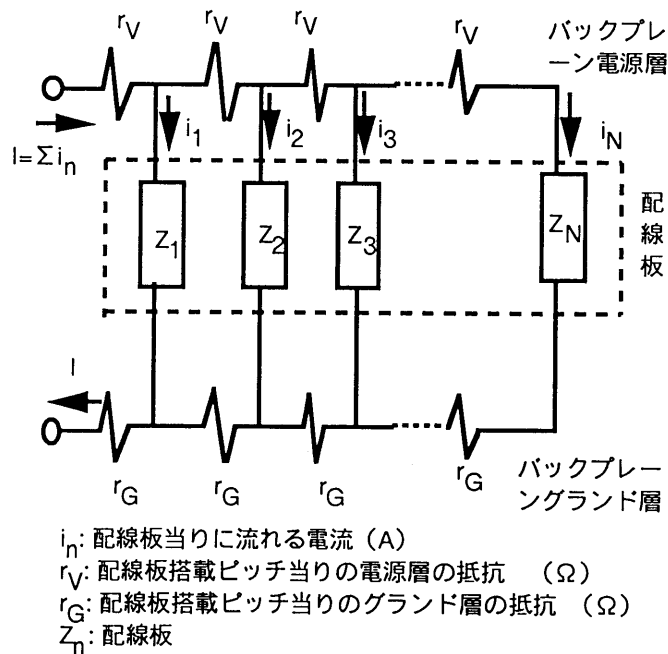


図 2-3 給電系等価回路モデル

2. 3. 2 熱平衡状態に関する方程式

バックプレーン電源層への通電により発生するジュール熱にともなう温度上昇は、通電によるジュール熱発熱と熱伝導および外気への放熱間での熱平衡した状態から求める事ができる。図 2-2 に示す給電系のモデルに対して、通電に伴うジュール熱発熱の熱平衡に関する以下の方程式を考える[8]。

熱伝達率

$$Q_{conv} = 0.48 \lambda W(T_b - T_a)(H^3 g \beta (T_b - T_a) / \nu^2)^{0.25} \quad (2-1)$$

熱輻射で放射される熱量

$$Q_{rad} = 4.88 \times 10^{-8} (T_b^4 - T_a^4) HW \quad (2-2)$$

発熱

$$Q_{heat} = I^2 R_0 (1 + \alpha (T_b - T_a)) \quad (2-3)$$

H バックプレーン高さ (m)

W バックプレーン幅 (m)

Ta 周囲温度 (K)

Tb バックボード表面温度 (K)

λ 空気の熱伝導率 (Kcal/mh°C)

ν 空気の動粘性係数 (m²/s)

g 重力加速度 (m/s²)

β 空気の体積膨張率 (1/°C)

α 銅の電気抵抗の温度係数 (1/°C)

R₀ 銅の基準抵抗 (Ω)

今、それぞれの温度が t_1 、 t_2 に保たれている面積 S、距離 l の平行平板に伝わる熱量 Q_{cond} は、次式で示される。

$$Q_{cond} = CKS(t_1 - t_2)/l \quad (2-4)$$

C: 銅箔残存率 (クリアランス設定後の単位格子面積に対するクリアランス以外の銅箔面積の比)

K: 銅の熱伝導率 (W/mK)

n 番目の小片と n-1 番目、n+1 番目の小片に着目すると、各小片から流入、流出する熱量は各小片の温度を T_n, T_{n-1}, T_{n+1} とすると、次式の関係が成立する。

$$\begin{aligned} Q_{cond} &= CKS(T_n - T_{n-1})/l + CKS(T_n - T_{n+1})/l \\ &= CKS(2T_n - T_{n-1} - T_{n+1})/l \quad (2-5) \end{aligned}$$

Tb を T_n とした各式をそれぞれ

$$Q_{conv} = f_1(T_n) \quad (2-6)$$

$$Q_{rad} = f_2(T_n) \quad (2-7)$$

$$Q_{heat} = f_4(T_n, I_n) \quad (2-8)$$

$$\text{とし、} Q_{cond} = f_3(T_{n-1}, T_n, T_{n+1}) \quad (2-9)$$

とすると、次式が成立する。

$$f_1(T_n) + f_2(T_n) + f_3(T_{n-1}, T_n, T_{n+1}) = f_4(T_n, I_n) \quad (2-10)$$

本式より、 T_{n-1}, T_n, T_{n+1} の関係がもとまるので、求める各小片の温度上昇が算定できる。

熱平衡状態の評価にあたり、ガラスエポキシの体積は、銅箔部体積に比べ数十～百倍であるが、ガラスエポキシの熱伝導度は銅箔の 1/2000 であるため [9]、配線板としての体積熱伝導度は、銅箔部がガラスエポキシ部に対して数十～百倍大きくなることから、熱は銅箔部分を伝導するとし、配線板材料部分は伝導しないとした。

2. 3. 3 給電系の電気定数の考え方

給電系を簡易等価回路モデルに置き換える観点より、電源層・グランド層の抵抗モデル化を適用する。つまり、電源・グランド層に適用する銅箔部分の抵抗をモデル化する。一般に抵抗は次式で得られる。

$$\text{抵抗} = \text{抵抗率} \times \text{通電方向の長さ} / \text{通電方向の面積} \quad (2-11)$$

また、抵抗は、導体面積に反比例するため、銅箔部分にあけられるクリアランスによる実効面積の減少分は、抵抗の増分に比例すると仮定した。さらに、同一電源に対する電源層数の増加は、抵抗が並列接続になり、電流は各層に均等に分流すると仮定した。

2. 4 バックプレーン給電の性能とバックプレーン層構成

2. 4. 1 給電による温度上昇

300mm(高)×600mm(幅)のバックプレーンを用い、給電に伴う温度上昇と、給電電流値との関係の実測評価を行なった。銅箔厚は70μmである。

実測結果と、シミュレーション結果を図2-4に示す。実験は、銅箔残存率40%、60%である。また、電源、グランド層は各1層で構成している。配線板の通電に伴う温度上昇は、配線板の表面に熱電対を装着して行なった。通電後の温度は、自然対流下で定常状態に落ち着いた状態として、通電後約1時間位経過した温度を計測した。図2-4の結果が示す様に、通電電流の増加にともない温度上昇も大きくなる。この実測の傾向とシミュレーション結果は20%内で一致している。一般に、自然空冷での実測では、熱電対ならびに自然対流が一様とならない事から、ばらつきが1～3℃は発生する事を考慮すれば、実測とシミュレーション結果はばらつき内におさまっており、ここで扱ったモデルは妥当であると判断した。

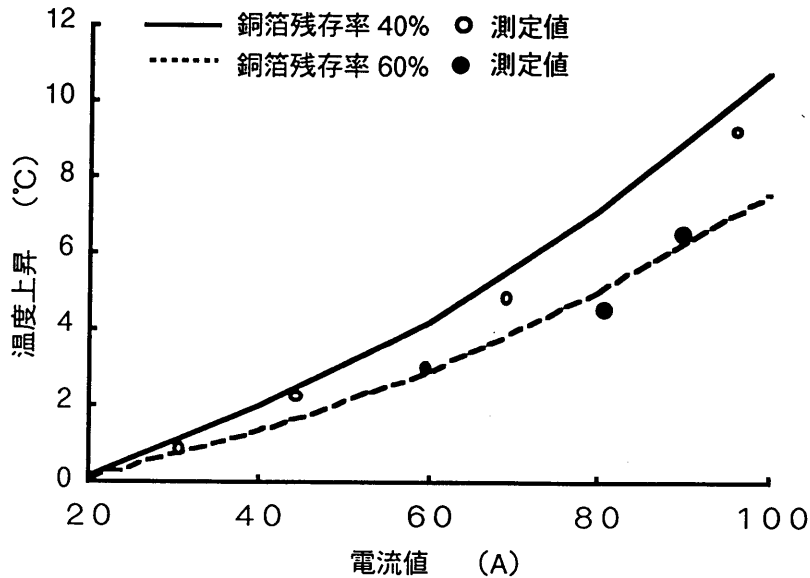


図2-4 通電電流と温度上昇

2.4.2 解析によるバックプレーン構造評価

バックプレーン給電性能評価は、バックプレーン構造の銅箔残存率、電源層数に関連する。これらの構造条件の給電性能への影響について、解析モデルを基に検討を行った。ここでは、バックプレーン給電を行うサブトラックの寸法として、IEC (International Electrotechnical Commission) で規格化されている標準寸法[10]の一つである300mm (高) × 600mm (幅) を適用し、バックプレーンもこの寸法とした。この寸法は、NTTの通信装置で適用している寸法でもある[11]。また、評価にあたり、バックプレーンの電源層数とグランド層数は同数とした。

2.4.2.1 銅箔残存率の影響

バックプレーンにはプレスインピンが実装されるため、プレスイン挿入のために、クリアランスをバックプレーンに設ける。このクリアランスのために、電源層、グランド層は穴があいた板となる。クリアランスはプレスインピン配置に対して設定される事、プレスインピンの対角長によってクリアランス径が異なる事から、銅箔残存率は設定されるクリアランス配置等に依存する事となる。

この銅箔残存率に影響を及ぼすプレスインピンの打ち込み状態としては、図2-5に示す正方配置、千鳥配置状態がある。端子の配置は、格子寸法dを基本とする。千鳥配置の場合、正方配置のまん中にも配置するため、同一格子寸法では千鳥配置は正方配置に比べ、銅箔残存率が低くなる。そこで、ブックシェルフ実装に適用できる高密度なコネクタとしてその格子寸法の限界と考えられる2mm正方配置と2.54mm千鳥配置を比較対象とし、クリアランス径と銅箔残存率の関係を評価した結果を図2-6に示す。クリアランス径によって銅箔残存率が変化することがわかる[12]。300mm (高)

×600mm（幅）、銅箔厚さ70 μ mのバックプレーンにおいて、電源、グランド各2層用いた場合に、銅箔残存率と温度上昇の評価結果を図2-7に示す。銅箔残存率は温度上昇に影響を及ぼす事が示される。従って、バックプレーン設計における銅箔残存率は給電性能評価における重要な項目である。

現状の技術で、高密度にプレスインピンを実装するための、細径プレスインピンの対角長としては、0.55mmが限界である[6]。そこで、このプレスインピンを用いる事を前提にすると、クリアランス径は、多層バックプレーンの製造性より1.55mm ϕ となる[6]。そこで、この細径プレスインピンを適用することを前提にすると、2mm正方配置の場合の銅箔残存率は55%、2.54mm千鳥配置の場合の銅箔残存率は45%となる。高密度コネクタを前提とする事から、各配置に対して、これらの銅箔残存率を適用する。

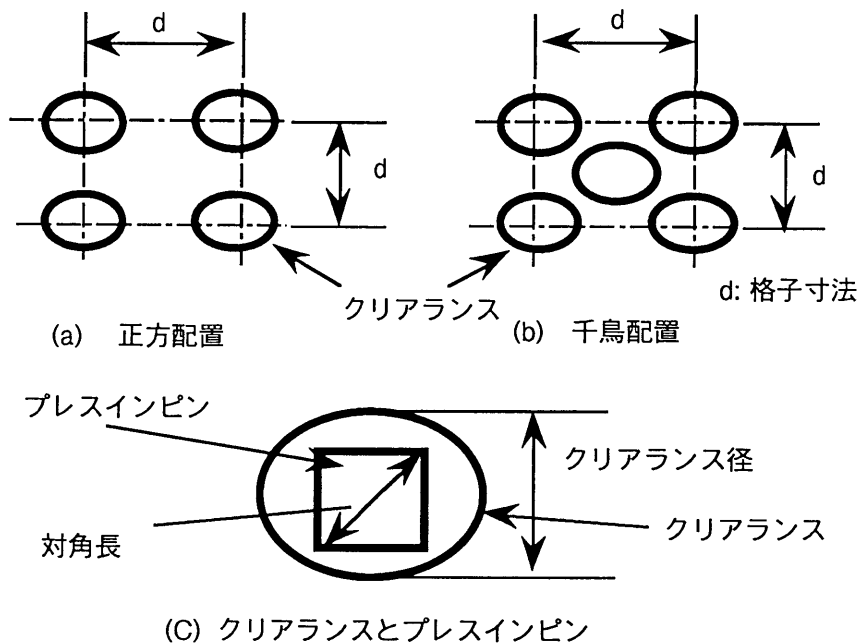


図2-5 端子配置構成

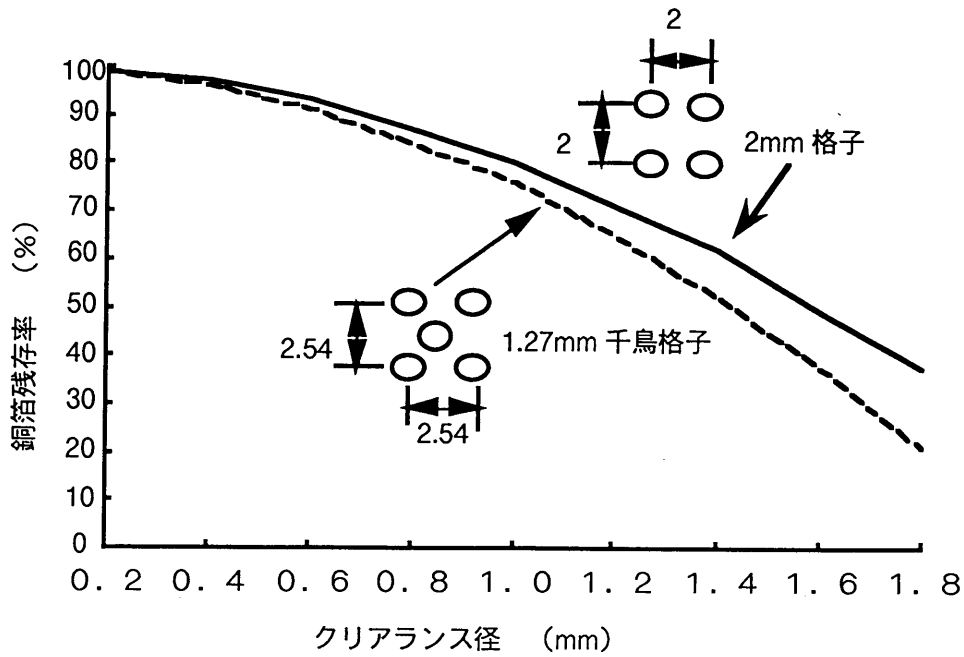


図 2-6 クリアランス径と銅箔残存率

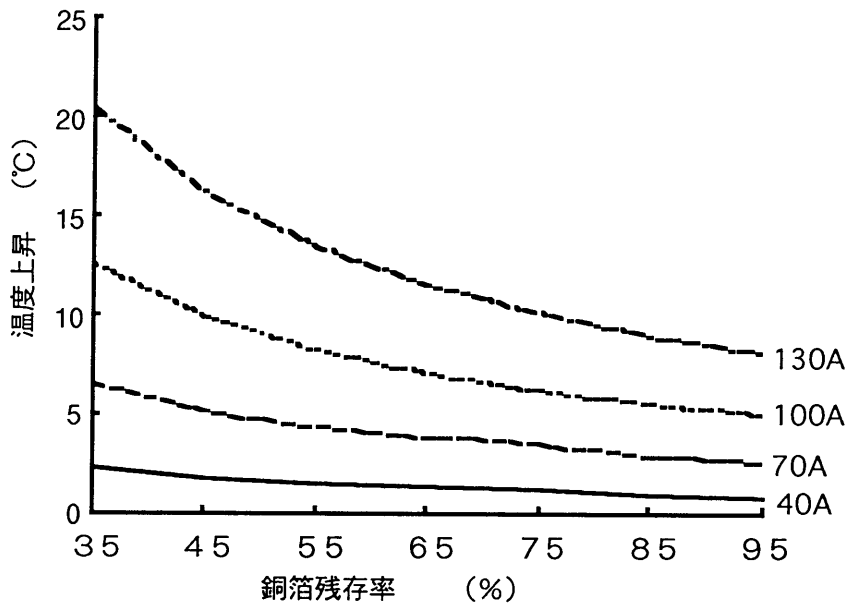


図 2-7 銅箔残存率と通電に伴う温度上昇

2.4.2.2 層数の影響

300mm (高) × 600mm (幅) のバックプレーンで、銅箔残存率 55% において 100A を給電した場合の温度上昇への電源層数の影響を評価した結果を図 2-8 に示す。層数の増加にともない電源系の抵抗が小さくなるために、温度上昇が小さくな

る事がわかる。

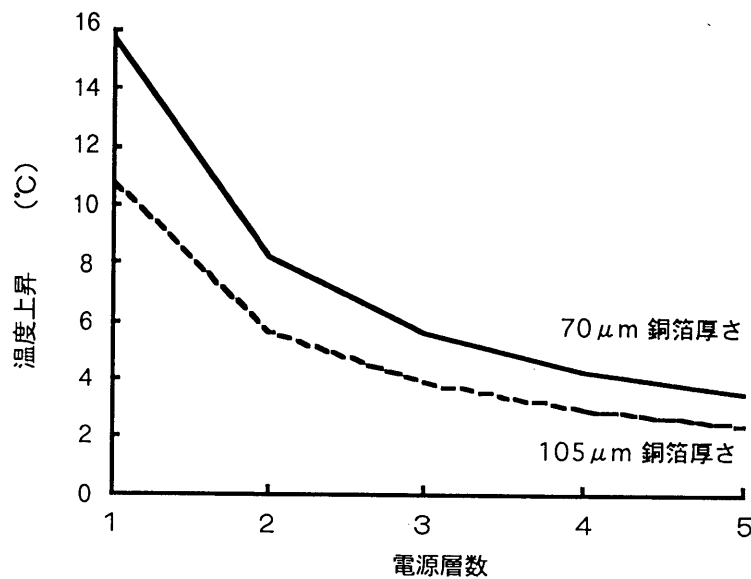


図2-8 電源層数、銅箔厚さと温度上昇

2.4.2.3 層数、銅箔残存率による相互の影響

バックプレーンに給電した際の配線板の温度上昇としては、10°C以下に抑える事を設計の指針としている。そこで、300mm（高）×600mm（幅）のバックプレーンにおいて、銅箔残存率45%、55%、温度上昇を10°C以下とするために必要となる電源層数を通電電流に対して評価した結果を図2-9に示す。通電電流値の増大とともに電源層の増加が必要となり、例えば、150A給電では、70μm銅箔厚では、銅箔残存率45%の場合に5層、55%の場合に4層の電源層が必要となる事がわかる。本図より、バックプレーンの構造から、適用可能な給電電流領域が判明する事となり、装置設計へ反映する事ができる。また、コネクタが異なっても、コネクタによるクリアランス径が決まれば、同様に、通電電流量が評価できる事となる。

電源バーでの給電に対しても同様な評価が可能で、バーの構造パラメータを適用する事で（銅箔残存率100%となる点が大きく異なる）、評価が可能となる。

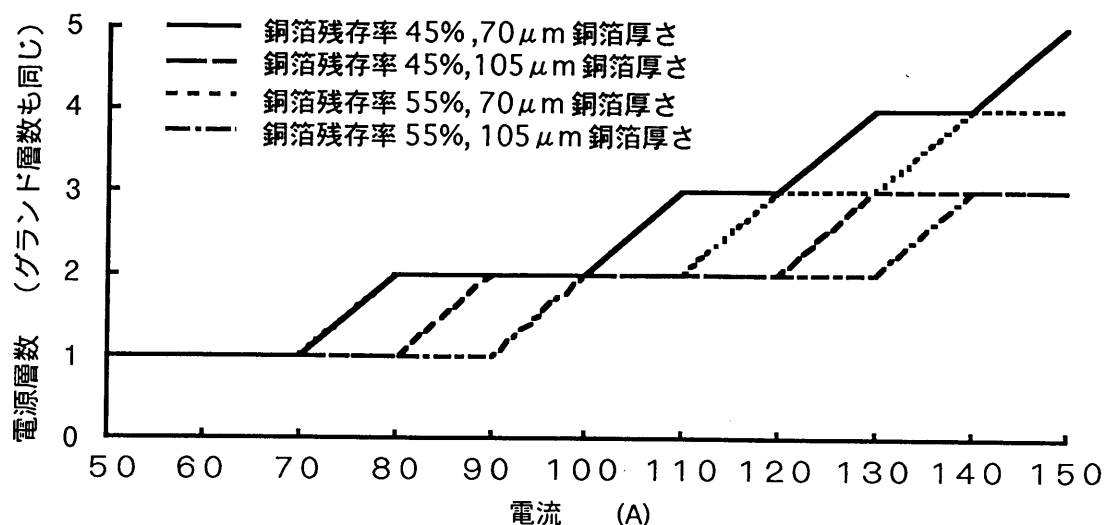


図2-9 温度上昇を10℃以下にするための電源層数

2.5 まとめ

装置に適用するサブラック内でのバックプレーン給電性能について、バックプレーンの構造諸元と対応させて、その給電性能を評価した。給電性能は、バックプレーンを構成する電源層数、銅箔厚さ、銅箔残存率に係わるため、これら物理諸元で表現する回路定数を用いた簡易なバックプレーン給電系の等価回路モデルを作成し、本モデルを用いてバックプレーン給電による発熱における熱平衡状態の解析を行った。その結果、装置の高密度化に対するプレスインピン配置としては、2mm正方配置の優位性が得られた。大電流給電にあたっては、電源、グランド層数の増大化、銅箔残存率の確保が必要となる。

本評価手法を用いれば、バックプレーン給電での給電性能がバックプレーン構造諸元から評価できるために、電源設計の効率化が図られる事となる。また、コネクタが異なっても、コネクタに依存するクリアランス径評価によって、通電量を設計条件へ反映する事ができる事となる。

本評価による結果は、現在の通信装置の装置設計条件に反映しており、給電形態が異なる場合にも（例えば、電源バー給電）、本評価法は広く適用できる。また、強制空冷を適用した際には、サブラック構成での熱伝達率が1.5倍程度向上するため、全体の給電性能は自然空冷時の約1.5倍と推定される。

参考文献

- [1] 金子義正,川上正晴,相原憲一,金井恒男,"デジタルシステム実装法", 通研実報, Vol.33, No.1, p.2383, 1984.
- [2] W.L.Harrod, A.G.Lubowe, "The BELLPAC Modular Electronic Packaging System", Bell System Technical J., Vol.58, No.10, p.2271, 1979.
- [3] W.L.Harrod, W.E.Hamilton, "The FASTECTM Integrated Packaging System", Solid State Technology, Vol.29, No.6, p.107, 1986.
- [4] JISC 5012, "プリント配線板試験方法".
- [5] 杉浦伸明, "バックプレーンの給電性能", 信学論, Vol. J77-C-II, No.2, p.103, 1994.
- [6] Nobuaki Sugiura, Kei-ichi Yasuda, "High Density Multi-pin Connector for High-Speed Signal Transmission in a Rack System", Proc. 41st ECTC, p.256, 1991.
- [7] 例えば, 伊藤謹司, "配線板読本", 日刊工業新聞社, 1985.
- [8] R.C.Chu, M.G.Cohen and J.H.Seely: " Thermal considerations and technologies for electronic circuit packages in modern digital computers", Proc. 9th IECP symposium, 5/3, 1968.
- [9] "理科年表", 丸善, 1992.
- [10] IEC Publication 917-2, "Modular order for the development of mechanical structures for electronic equipment practices. Part 2 Sectional specification-Interface co-ordination dimensions for the 25 mm equipment practice", 1992.
- [11] 原田昭男, 金子保夫, 茨木修, 中埜賢一, "デジタル通信装置高密度実装法", NTT R&D, Vol.38, No.10, p.1193, 1989.
- [12] 杉浦伸明, "バックプレーン給電系の構成検討", 1991年信学秋季全大, B-507, 1991.

第3章 スイッチング雑音

3. 1 まえがき

配線板上に搭載された素子動作に伴うグランド層と電源層間で発生するスイッチング雑音は、コンピュータや通信システムでの高速信号伝送に対する重要な実装技術課題となっている[1]-[6]。現在、システムの実装は高密度化、高速信号処理化に向かっており、スイッチング雑音は益々顕著になっている。スイッチング雑音はコネクタの端子収容と関連するとの報告もされてきているが[1],[7]、この相関に対する詳しい報告はみうけられない。また、最近の高速信号インタフェース素子等では、信号用と電源用のグランド端子を分離した構成をとっている[8]。しかしながら、コネクタ端子収容や層構成などに関連させた定量的なコネクタスイッチング雑音評価は残念ながらほとんど無い状態であるが、この雑音の低減に向けての技術検討は必要である。

本章では、このコネクタ部でのスイッチング雑音について、同時動作する信号出力数と、端子収容、配線板の層構成と関連させての実測結果に対して、コネクタスイッチング雑音要因のコネクタ内電流分布、有効なグランド端子数と関連させて考察した評価結果を示す[9]。

3. 2 スイッチング雑音の信号系への影響

3. 2. 1 スイッチング雑音のモデル

スイッチング雑音は、素子の出力動作に伴う電流が、素子のリードや素子電源端子に設定されるパスコンまでのパタン等の電源・グランド系のインダクタンスに流れる事で発生する。このスイッチング雑音の発生のモデルを図3-1に示す。このスイッチング雑音は ΔI 雑音、電源雑音、アース雑音などと呼ばれるもので、次式を一般に近似評価式としている[1],[10],[11]。

$$V_N = N L \Delta I / \Delta T \quad (3-1)$$

ここで、 V_N ： スイッチング雑音値
N： 同時動作出力数
L： 素子出力動作の帰路電流路のインダクタンス
 ΔI ： 出力動作に伴う電流変化
 ΔT ： 電流変化の時間

従って、同時動作出力数の増加に伴い、スイッチング雑音は増加していく。

なお、この評価式は、電流の分布は一様であり、同時動作出力数にたいして均一に電流は増加し、インダクタンスは一定であると仮定している。

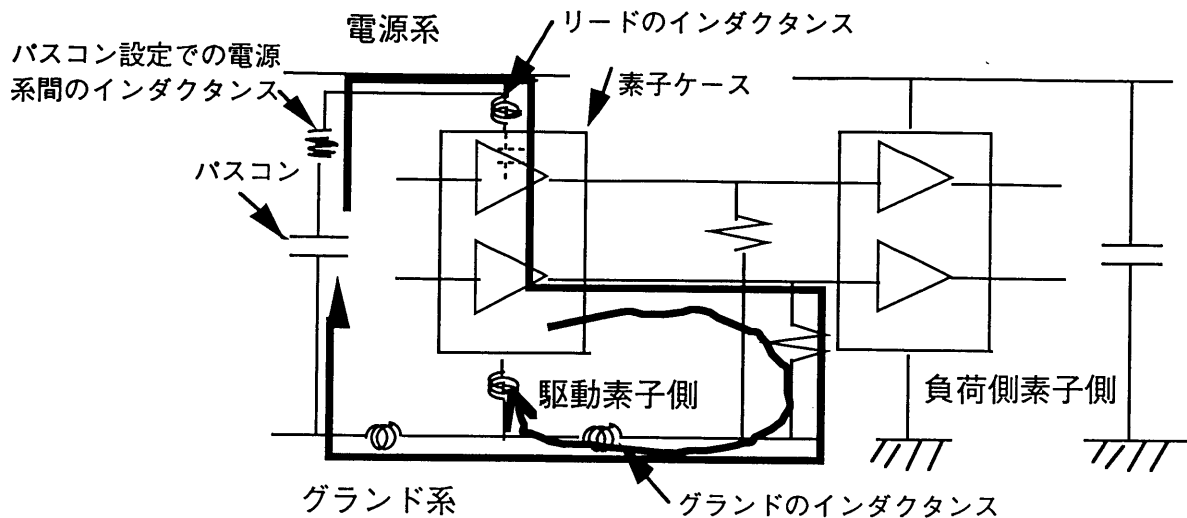


図3-1 スイッチング雑音のモデル

3. 2. 2 素子動作でのスイッチング雑音の信号系への影響

図3-1に示すように、スイッチング雑音は、素子出力動作によって発生する。この雑音は、配線板やコネクタのグラウンド及び素子ケースのリードのインダクタンスに起因し発生する。素子の電源端子に重畳したスイッチング雑音は、素子に入力される。素子はシリコン上に形成されたトランジスタの集積であり、電源系と信号系とは物理的には分離されているが、電気的にみた場合、浮遊容量が存在する。このため、直流的には分離されていても、交流的には結合が発生し、この結合割合によって、電源端子の入力雑音が信号出力端子に現れる事となる。この電源系の雑音の信号系への変換割合は、素子によって異なる。これまでの経験からこの雑音の変換割合は、TTL系では10%位、ECL系では30数%位である[12],[13]。良好な信号伝送を可能とするためにも、電源系の雑音を低減する事が必要となる。また、グラウンド系で発生するスイッチング雑音は、グラウンド電位を変動させる事になる。

3. 3 コネクタスイッチング雑音評価

3. 3. 1 スイッチング雑音測定評価基板構成

図3-2に評価基板構成を示す。測定に適用した評価基板は全6層で個別（信号用と電源用）のグラウンドを2層有し、パッドの接続で同一グラウンド層か分離したグラウンド層かにできる構成となっている。信号配線は50Ωで設計されている。ECL (Emitter Coupled Logic)素子[14]が搭載された送信配線板と受信配線板がコネクタで接続され、平衡伝送形態で信号伝送をおこなっている。平衡伝送信号が最大6組動作できる構成である。ECL素子動作によって発生するスイッチング雑音は、送信配線板のグラウンドパッ

ドと受信配線板の電源パッド間の雑音電圧を高インピーダンスプローブにて測定した。コネクタは図3-3に示す1.27mm千鳥配置の高密度コネクタ[15]で、配線板表面間のコネクタ端子長は、A列で約21mm、B列で約19mm、C列で約17mm、D列で約15mm、E列で約13mm、F列で約11mmである。図3-4にコネクタ端子収容を示す。表3-1は各端子収容の最大端子数を示す。信号端子数とグランド端子数の端子収容比率の変更は、コネクタ端子切断という形で行った。

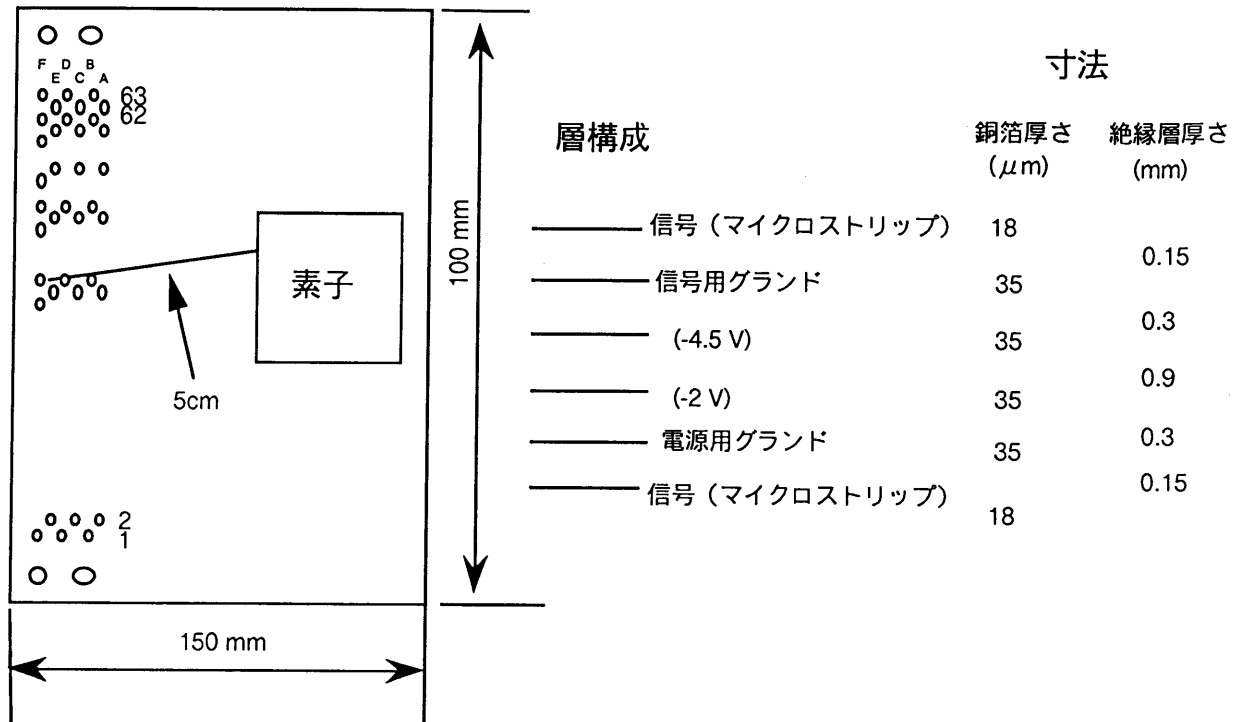


図3-2 評価基板構成

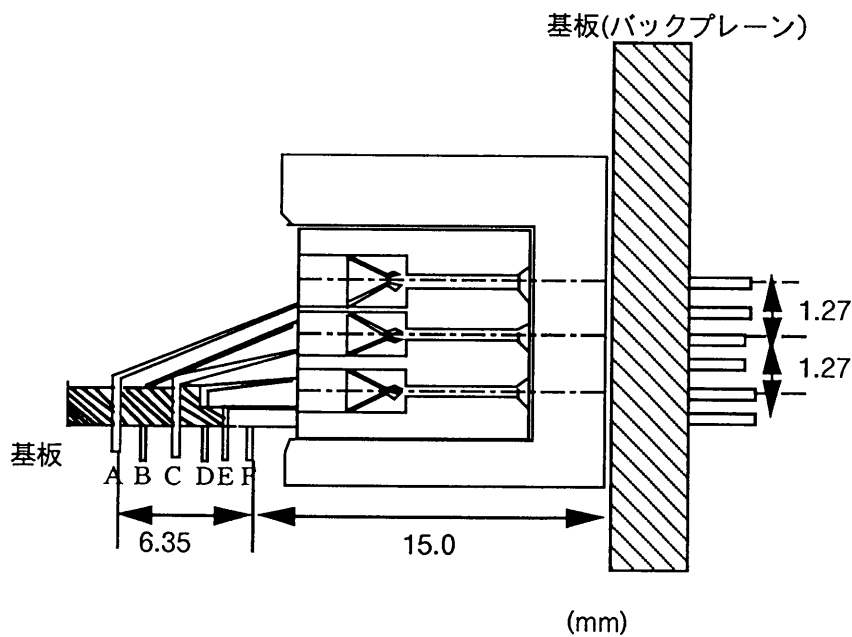


図3-3 コネクタの構造

A62, A60, A58, A56 : 信号用グラウンド ●
 C62, C60, C58, C56 : -2 V ⊕
 E62, E60, E58, E56 : -4.5 V ⊗
 E50, E48, E46, 44, E42, E40, E36, E34, E32, E30, E28, E26: 信号用グラウンド ⊕
 D49, D47, D45, D43, D41, D39, D37, D35, D33, D31, D29, D27: 信号用グラウンド ⊕
 C50, C48, C46, C44, C42, C40, C38, C36, C34, C32, C30, C28: 信号用グラウンド ⊕
 B49, B47, B45, B43, B41, B39, B37, B35, B33, B31, B29, B27: 信号用グラウンド ⊕

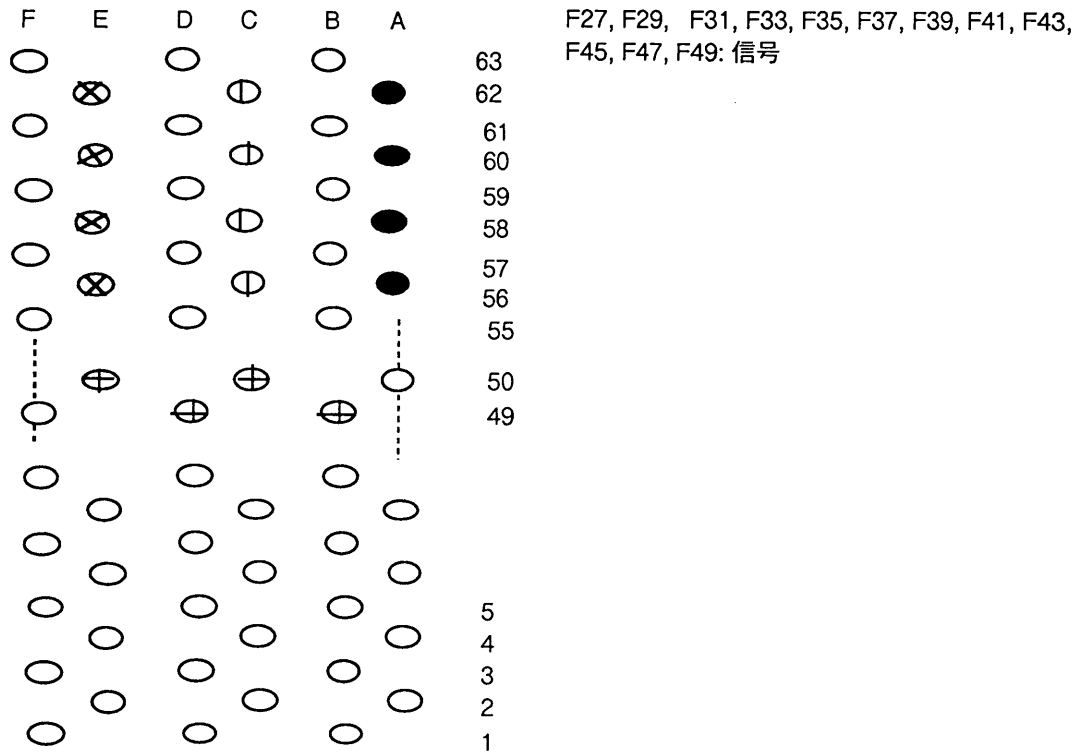


図3-4 コネクタ端子収容

表3-1 端子種と端子数

種類	最大端子数	端子収容位置
信号	12	図3-4
-4.5V	4	E列56、58、60、62
-2V	4	C列56、58、60、62
信号用グラウンド	48	図3-4
電源用グラウンド	4	A列56、58、60、62

3. 3. 2 実測結果

3. 3. 2. 1 分離したグランド層とスイッチング雑音

図3-5 (a) は、信号用グランドと電源用グランドを分離した際の信号対グランド端子収容比率における、同時動作出力数に対するスイッチング雑音の測定結果を示す。スイッチング雑音は同時動作出力数の増加とともに大きくなっている。図3-6は同時動作出力数6において、グランドの端子数が信号端子数より少ない場合のスイッチング雑音の測定結果を示す。信号端子よりグランド端子が少なくなる程、スイッチング雑音が大きくなっていく。この事は、信号端子とグランド端子の収容比がスイッチング雑音の低減のポイントといえる。

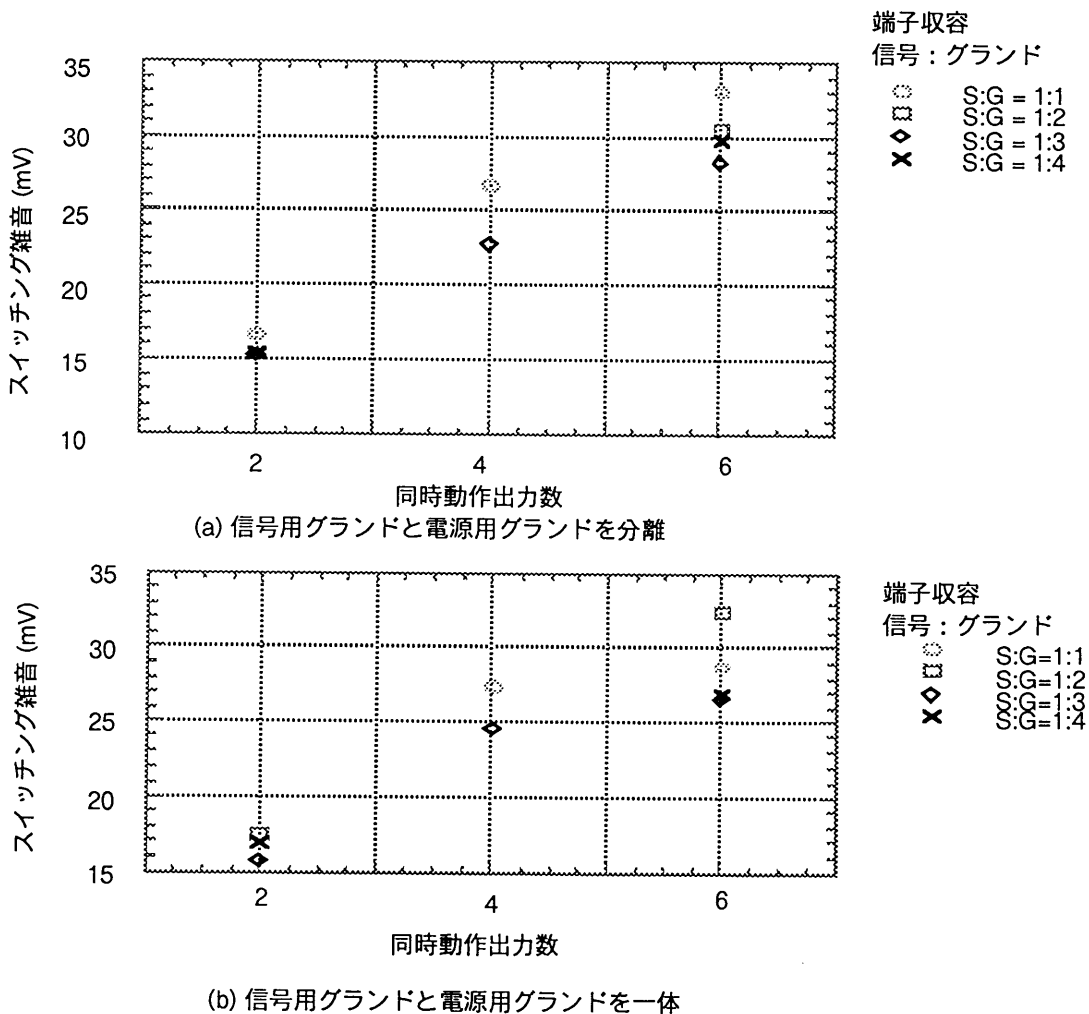


図3-5 グランド構成とスイッチング雑音

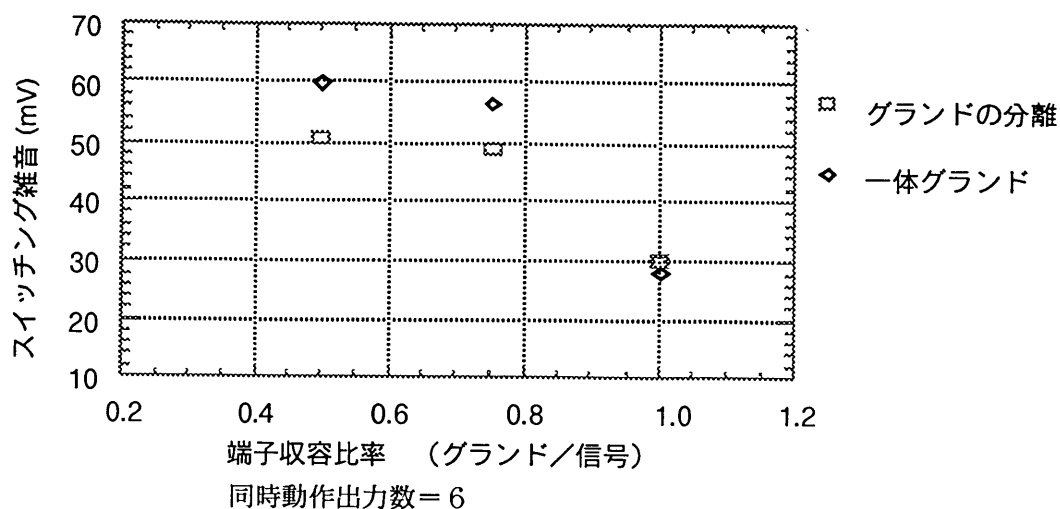


図3-6 端子収容とスイッチング雑音

3. 3. 2. 2 一体としたグランド層とスイッチング雑音

図3-5 (b) は、信号用グランドと電源用グランドを一体とした際の信号対グランド端子収容比率における、同時動作出力数に対するスイッチング雑音の測定結果を示す。図3-5 (a), (b) を比較すると、両者には大きな差は見られない。一方、同時動作出力数が6で、グランド端子が信号端子より少なくなる場合のスイッチング雑音を図3-6に示す。分離したグランド層の場合の増加よりも、一体としたグランド層の方が雑音が10~20mV程大きい。以上の結果より、信号端子に比べグランド端子が少ない場合は、信号用グランドと電源用グランドを分離した方が望ましいといえる。

3. 3. 2. 3 電源と電源用グランド組の収容組数とスイッチング雑音

図3-7は、信号対信号用グランド比率が1対1において、電源と電源用グランド端子組数とスイッチング雑音の測定結果を示す。電源と電源用グランド端子組数を少なくしていくと、スイッチング雑音が増加していく。この事は、電源と電源用グランド端子を少なくすることは、電源系のインダクタンスの増加を示し、電源系のインダクタンスを下げる事は、スイッチング雑音低減に有効であることを示す。本結果より、電源系のインダクタンスの低減には、電源系の端子を平板構成とする、端子径を太くする、電源用グランド数を増やす、などが有効である事が示される。

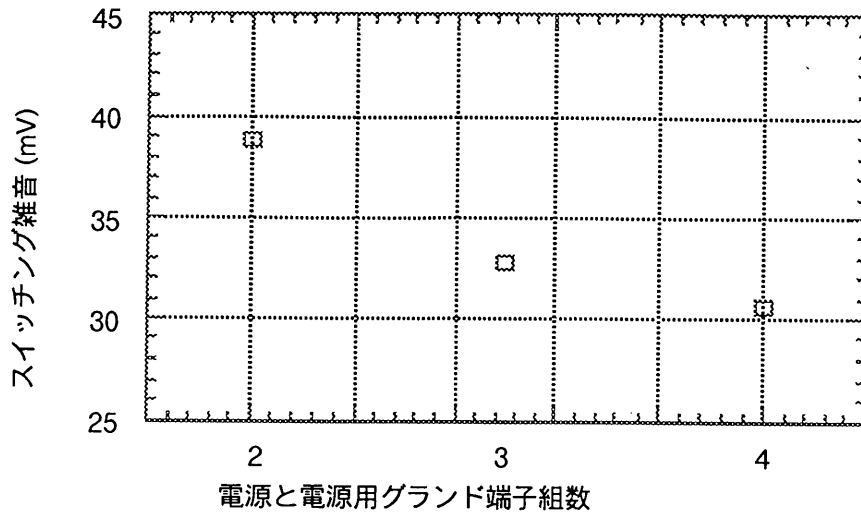


図3-7 電源と電源用グランド端子組数とスイッチング雑音
信号：信号用グランド=1：1、同時動作出力数=6

3.3.3 スwitching雑音の考察

3.3.3.1 同時動作出力数と総合電流変化

スイッチング雑音は一般に(3-1)式で示される。実測では、同一端子収容の条件下で同時動作出力数の増加とともに雑音が大きくなることから、電流の変化量が大きくなることを示しており、同一同時動作出力数下で信号用グランド数が増えると雑音が増加することから、インダクタンスが小さくなる事を示す。

コネクタのインダクタンスをシミュレータで計算した結果を図3-8に示す。インダクタンスは、信号用グランド対信号端子の比率で緩やかに変化している事がわかる。

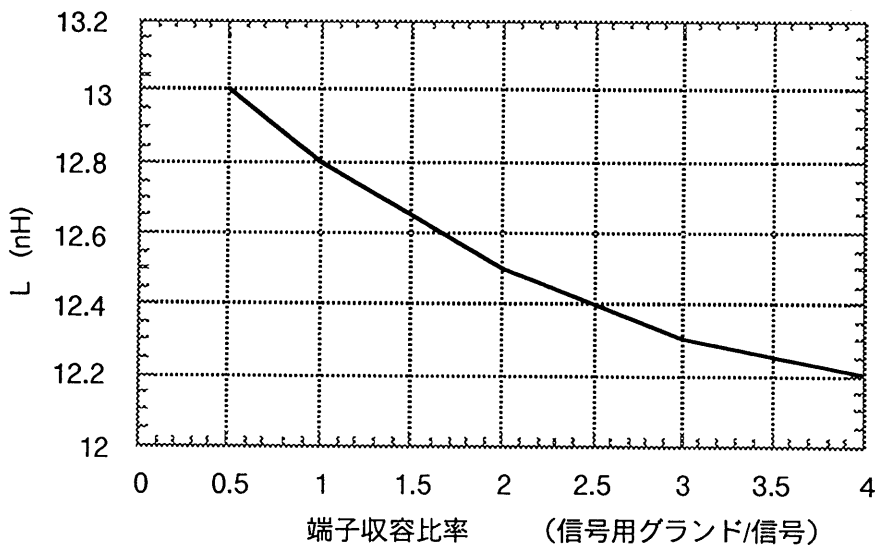


図3-8 インダクタンスと端子収容比率

実験系での素子出力動作による出力電流は、次式で評価できる。

$$I_{ol} = (2 - 0.2) / (50 + 2.3) = 34.4 \text{ mA} \quad (3-2)$$

$$I_{oh} = (2 - 1.2) / (50 + 2.3) = 15.3 \text{ mA} \quad (3-3)$$

I_{ol} : 出力Low電流 I_{oh} : 出力High電流

ここで、 $(I_{ol} - I_{oh})$ が電流変化に相当する。信号は平衡伝送形態であるため、平衡伝送の組に対して電流変化は出力相互のばらつきを考慮し、1~2mA位である。スイッチング雑音は、端子収容と同時動作出力数に依存する。そこで、固定した信号対信号用グランド端子収容条件下で、同時動作信号数とスイッチング雑音について評価すれば、スイッチング雑音は次式で関係つけできる。

$$\text{スイッチング雑音} = \text{係数} \times \text{総合電流変化} \quad (3-3)$$

$$\text{係数} = \text{コネクタインダクタンス} / \text{スイッチング時間} \quad (3-4)$$

測定したスイッチング時間は500ps位である。総合電流変化が同時動作出力数に比例して増加するとすれば、(3-3)、(3-4)式から評価されるスイッチング雑音は、図3-9に示すように、実測結果より大きくなる。この事は、総合電流は同時動作出力数に比例して増加しない事を示す。

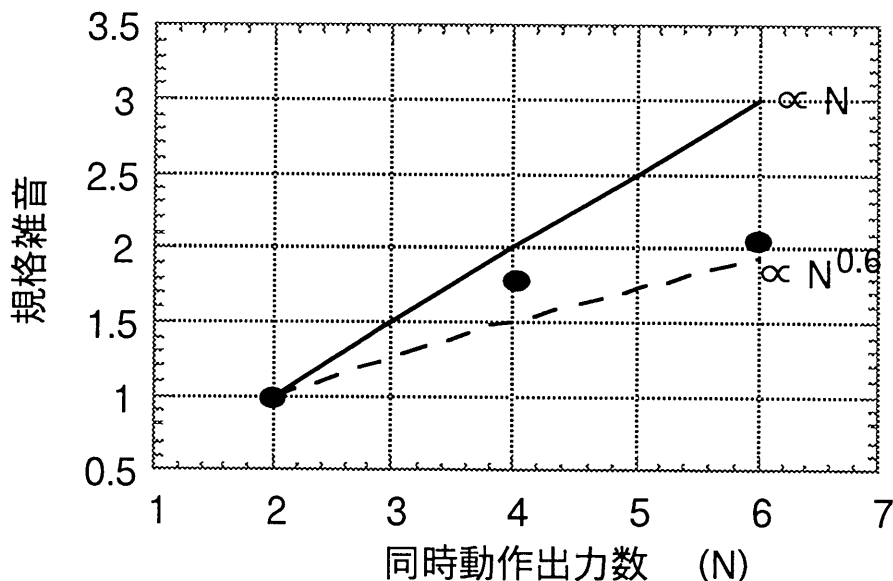


図3-9 同時動作出力数とスイッチング雑音

このような、スイッチング雑音に対して、実効インダクタンスが重要である報告がある[16]-[18]。この実効インダクタンスは、信号端子とグランド端子間の相互インダクタンスが影響し、次式で示される[16]。

$$L_{eff} = L_{sn} + L_g - 2M = L_{sn} - M + L_g - M \quad (3-5)$$

ここで、 L_{eff} ：実効インダクタンス
 L_{sn} ：n信号端子の総合インダクタンス
 L_g ：グラウンド端子の総合インダクタンス
 M ： L_{sn} と L_g 間の相互インダクタンス

複数のグラウンド端子が配置される場合、信号端子からグラウンド端子までの距離は、等距離でないため、信号端子に対する相互インダクタンスは異なる。相互インダクタンスが異なる事が、実効インダクタンスの変化となり、スイッチング雑音が同時動作出力数に依存する事となる報告である[19],[20]。しかしながら、コネクタのような3次元構成では相互インダクタンスの評価が難しい。そこで、以下の仮定に基づいて評価を行った。

いま、固定した端子収容下でインダクタンスは一定とすると、スイッチング雑音は総合電流変化で決まる事となる。そして、同時動作の信号出力は、素子出力の動作ばらつきと信号線の抵抗と容量により、遅延が発生するために完全に同期していないと考えられる。以上の仮定において、同時動作出力数と総合電流変化の実験結果を評価し、次のように関係つけた。

$$\text{総合電流} \propto \text{出力信号数}^{0.4 \sim 0.7} \quad (3-6)$$

ここでは、0.6を採用し、その際の結果を図3-9に示す。

3.3.3.2 帰路電流の分布

グラウンド端子数が多くなると、スイッチング雑音は減少の傾向を示す。グラウンド端子を流れる帰路電流が、グラウンド端子数の増加に対し、線形に減少すると仮定すると、スイッチング雑音は、以下のように評価される。

$$\text{スイッチング雑音} = (\text{総合電流変化} \times \text{インダクタンス} / \text{スイッチング時間}) / \text{グラウンド端子数} \quad (3-7)$$

本評価式による結果を図3-10の実線に示す。実測結果よりも小さい。これは、帰路電流がグラウンド端子の増加に対して、均一に減少するとした事にある。しかしながら、評価結果では、スイッチング雑音は、均一に減少しない事を示す。この事は、帰路電流にある種の分布が想定される。つまり、グラウンド端子数の増加によって、信号端子からの距離が大きくなるグラウンド端子では、帰路電流が少なくなる分布である。グラウンド端子数の増加は、信号端子からグラウンド端子に至る距離が変わる。信号端子に近いグラン

ドは帰路の距離が短く、信号端子より離れると帰路の距離が長くなる。この距離は、帰路のインピーダンスに対応し、インピーダンスが大きくなる事は、電流が流れにくくなる事と対応する。このために、電流分布が発生する事になる。

この帰路電流分布に対して、分布密度関数 $\exp(-a^2 x^2)$ を一例として適用した。ここで、 x は信号端子からグランド端子までの距離を表わす。密度関数積分は1であることから、係数 a が得られる。総合電流は(3-6)式で求められ、帰路電流分布は、距離の関数となる。発生するスイッチング雑音は、さまざまな位相条件での電流に起因する事となるため、雑音は以下の式で表現される事となる。

$$\text{スイッチング雑音} = \left(\sum (\exp(-a^2 x^2) (\text{総合電流変化}) L / \text{スイッチング時間} / \text{グランド端子数})^2 \right)^{1/2} \quad (3-8)$$

上記式でのスイッチング雑音の評価結果を図3-10の一点鎖線に示す。分布密度を適用する事で、信号端子よりグランド端子が少ない場合の傾向は一致するが、グランド端子が信号端子より多い場合は、実測結果より評価結果が小さくなる。この事は、グランド端子が多くなっても、帰路電流に有効なグランド端子数はそれ程増加しない事を示す。この結果は、グランド端子数の増加に対して信号端子のインダクタンスがそれ程依存しない評価結果とも対応する。

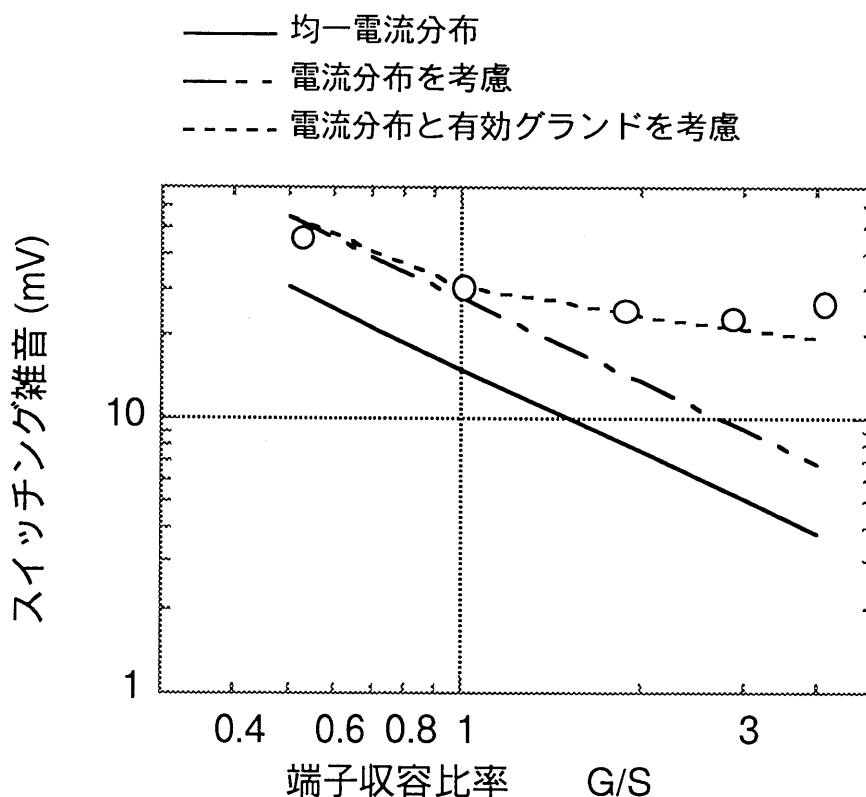


図3-10 スwitching雑音評価

3. 3. 3. 3 有効グランド端子数

グランド端子が信号端子数よりも少ない場合は、帰路電流は設定されているグランド端子を流れる。しかしながら、信号端子よりもグランド端子が多い場合は、スイッチング雑音がそれほど減少しない。この減少傾向に対して、信号端子の近傍に配置されている有効なグランド端子がスイッチング雑音の低減に働くとした。この考え方に基づいて、信号端子よりもグランド端子が多い場合は、有効なグランド端子が徐々に増加するとし、スイッチング雑音を評価した結果を図3-10の点線に示す。実測結果と評価結果は良い一致をみる。ここで、有効なグランド端子を次のように考えた。

グランド端子数が信号端子数より少ない場合、有効に働くグランド端子数は配置されたグランド端子数。

グランド端子数が信号端子数より多い場合、有効に働くグランド端子数は信号端子に近接し、信号端子の周囲に配置されているグランド端子数。

以上の評価結果より、総合電流の出力数に対する非線形依存、帰路電流のコネクタ内不均一分布、有効グランド端子数を考慮すると、スイッチング雑音は、実測と評価結果はよい一致を見る事を明かとした。

3. 4 まとめ

電源とグランド間で発生する素子動作に伴うスイッチング雑音について、コネクタの端子収容と関連させて検討を行った。スイッチング雑音の実測結果と評価とは、素子動作に伴う帰路電流のコネクタ内グランド端子の不均一分布、有効なグランド端子数を仮定すると、よい一致を見、スイッチング雑音の評価ができる事を示した。

従来、スイッチング雑音低減にはグランド端子を増加させる事で対応してきたが、信号端子数に対して、単純に増加させても有効に雑音低減に働かない事が明らかとなった。この結果は、装置設計におけるコネクタ端子収容条件に反映されている。つまり、グランド端子数は、コネクタ端子の基本配列において信号端子に近接する周囲に設置する事が有効である事を示す。

参考文献

- [1] E.E.Davidson, "Electrical Design of a High Speed Computer Package", IBM J.Res.Develop, Vol.26, No.3, p.349, 1982.
- [2] R.Senthinathan, J.L. Prince, S. Nimmagadda, "Effect of Skewing CMOS Output Driver Switching on the Simultaneous Switching Noise", Proc. IEMT Symp., p.342, 1991.
- [3] O. Pedersen, B.E.Flaten, "Noise in the Power System on PCBs Generated by Switching Digital Circuits", Proc. IEPS, p.1155, 1991.
- [4] G.A.Katopis, "Delta-I noise specification for a high-performance computing machine", Proc. IEEE, Vol.73, No. 9, p.1409, 1985.
- [5] R.Senthinathan, J.L.Prince, "Simultaneous Switching Ground Noise Calculation for Packaged CMOS Device", IEEE J.Solid State Circuits, Vol.26, No.11, p.1724, 1991.
- [6] L.Rubin, "Interconnect Effects in High-Speed Digital System Design", Circuit Design, Vol.7, No.5, May 1990.
- [7] N. Sugiura, K.Yasuda, "Board-to-Board High-Speed Signal Transmission Limit in a Rack System", Proc. 4th Japan-Korea Joint Conf. on Communications, Networks, Switching Systems and Satellite Communications, p.49, 1991.
- [8] "High-Performance BUS Interface Designer's Guide", National Semiconductor, 1992.
- [9] Nobuaki Sugiura, "Effect of power and ground pin assignment and inner layer structure on switching noise", IEICE Trans. Electron., Vol. E78-C, No. 5, p. 574, 1995.
- [10] 平野尚彦, 蛭田陽一, 須藤俊夫, "多層セラミックパッケージにおける電源系インダクタンスの低減方法", 信学技報, ICD91-156, No.378, 1991.
- [11] 岡村勉夫, "解析ノイズ・メカニズム", CQ出版, 1987.
- [12] 吉岡幸春, 古川純男, 非公開資料 (成果報告 第20589号), 1983.
- [13] 岩佐恭一, 非公開資料 (経過資料 第7331号), 1977.
- [14] "SONY Semiconductor IC Data Book SPECL Standard Logic", 1993.
- [15] 安田圭一, 杉浦伸明, 稲垣秀一郎, "高速信号伝送に適した高密度パッケージコネクタの構成技術", NTT R&D, Vol.38, No.10, p.1203, 1989.
- [16] N. Hirano, Y. Hiruta, T. Sudo, "Minimization of Effective Inductance of ground Plane and Experimental Simultaneous Switching Noise in a Multilayer VLSI Package", The First VLSI Packaging Workshop of Japan, 1992.
- [17] M. A. Scmitt, K. Lam, L. E. Mosley, G. Choksi, B. K. Bhattacharyya, "Current Distribution in a Power and Ground Planes of Multilayer Pin Grid Array Package", Proc. IEPC, p.467, 1988.
- [18] N. Hirano, Y. Hiruta, T. Sudo, "Optimized Ground Pin Assignment in a Multilayer Package to Minimize the Simultaneous Switching Noise", Proc. IMC, p.435, 1992.
- [19] N.Hirano, M.Miura, Y.Hiruta, T.Sudo, "Characterization and Reduction of Simultaneous Switching Noise for a Multilayer Package", Proc. 44th ECTC, p.949, 1994.
- [20] R. Faraji-Dana, Y.L.Chow, "The current distribution and AC resistance of a microstrip structure", IEEE Trans. MTT, Vol.38, p.1268, Sept., 1990.

第4章 サブラック内信号伝送性能

4.1 まえがき

装置実装構成として、ブックシェルフ実装が基本となっている[1],[2]。ブックシェルフ実装とはサブラック内に複数枚の電子回路パッケージを実装し、パッケージ間伝送をサブラックに取り付けたバックパネルを介して行う実装形態で、バックパネルとパッケージ間の接続にはコネクタが必要不可欠となる。この様なブックシェルフ実装では、ブックシェルフが一つの機能単位であり、装置実装構成上、バックパネルを介して伝送できる信号伝送速度が重要なポイントとなる。例えば、システム容量として600Mb/sのスループットを必要とする場合、ブックシェルフのバックパネルを介したパッケージ間信号伝送性能としてNRZ符号で80Mb/sレベル（伝送パルス幅25ns）とすれば、バックパネルを伝送する信号線として最低8本必要となるが、NRZ符号で160Mb/sレベル（伝送パルス幅12ns）が可能となれば4本の信号線で伝送できることとなる。また、不平衡伝送形態で伝送できれば平衡伝送に比べ必要信号線数が半分となる。この様に、バックパネル信号伝送性能向上によって、バックパネル内伝送信号線数ならびに信号線の接続に必要なコネクタの端子数を減少させる事が可能となる。また、コネクタは、サブラック内信号伝送系において接続点であり、この部分での接続にともなう特性インピーダンスの不整合などは、信号伝送における反射となり伝送性能に影響を及ぼしてきている[3]。一方、装置構成において部品類を搭載する配線板も、高密度実装ならびに高速デバイスの実装など、従来の装置実装に比較し部品種並びに信号伝送速度面で多様化している。このため、配線板構成に対しても高速信号伝送、高密度実装に適した構成を検討する事が必要となってきている。

本章は、ブックシェルフ実装での高速信号伝送に向けて、特に配線板構成並びにコネクタの構成を主な主要点とし検討を行い、高速信号伝送速度領域について示すと共に、高速化に向けての提案を行う[4]。

4.2 サブラック内信号伝送の条件

サブラック内信号伝送系における伝送性能制限要因の相互関係を図4-1に示す[5]。制限要因としては大きく主信号系に直接影響する雑音系（漏話、高周波損失など）と、実装系で発生し間接的に信号系に影響するもの（電源グラウンド変動など）に大別される。

検討を行うにあたり、デバイスは単体として高速動作可能であることからECL（Emitter Coupled Logic）素子を前提とする。また、配線系の特性インピーダンスについては、システム設計条件、デバイス条件ならびに消費電力を考慮し決定する必要があるが、ここでは50Ω系を進める。

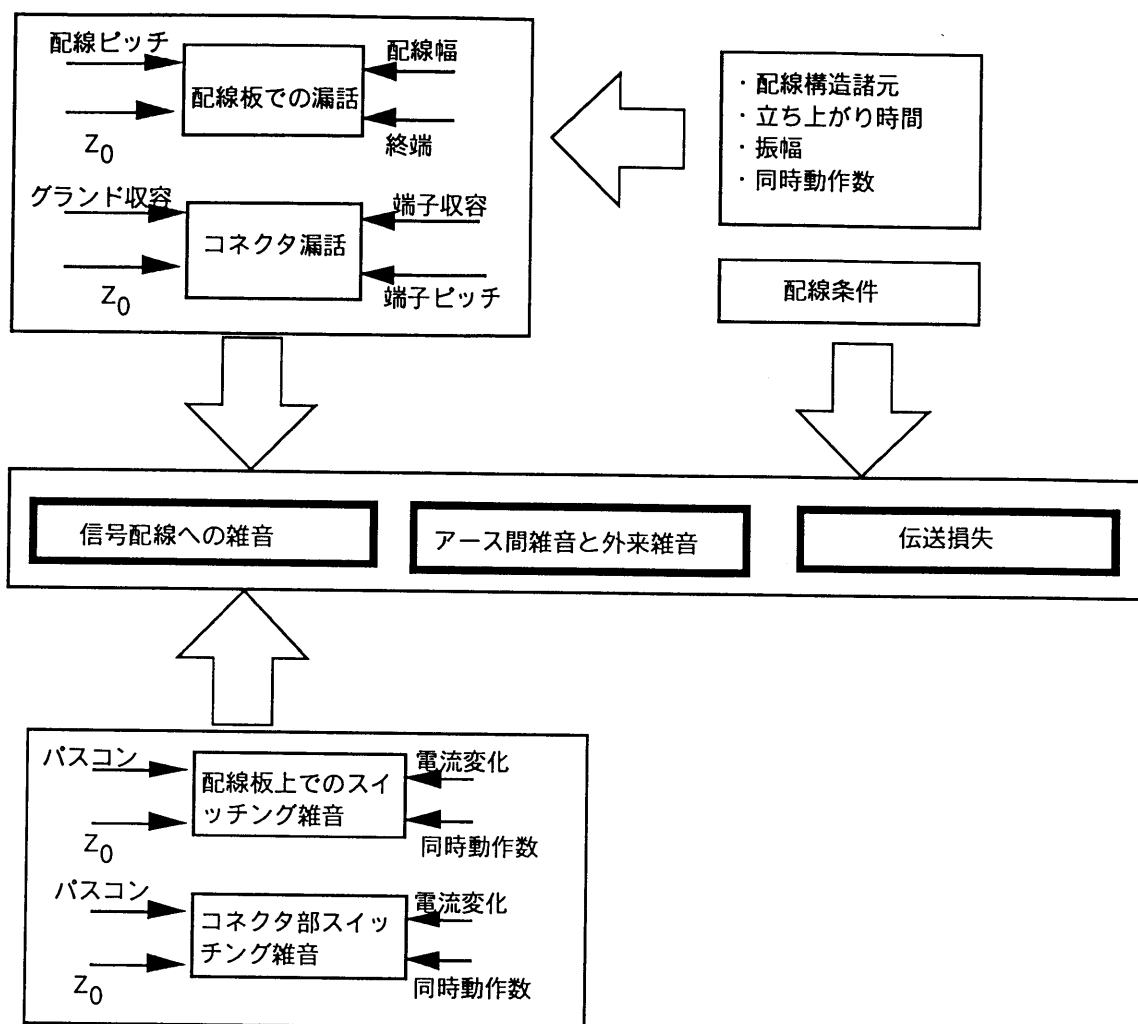


図4-1 雑音と実装諸元との係わり

4.3 サブラック内伝送系に係わる実装諸条件の検討

4.3.1 主信号系に直接影響する雑音系

本雑音系としては、配線間漏話雑音、コネクタ端子間雑音ならびに高周波損失がある。

4.3.1.1 配線間漏話

本雑音は、配線系の物理諸元に基づく配線間の電磁氣的結合によって発生する。図4-2に示す整合終端系における配線間漏話の評価の報告が幾つかある[6],[7]。装置の配線設計にあたっては、漏話量を簡易的に推定しておくことが必要である。上記報告結

果より、整合終端系での近端、遠端漏話量は以下の様にまとめられる。

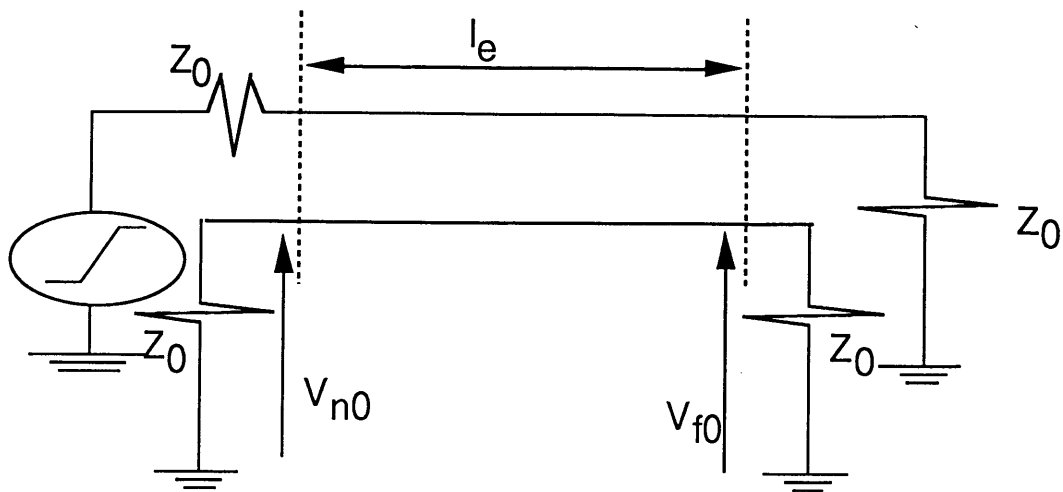


図4-2 漏話系のモデル

$$V_{N0} = \frac{1 + \alpha}{4} \frac{2 \tau l_e}{T_r} \frac{L_m}{L} V_d \quad (T_r \geq 2 \tau l_e) \quad (4-1)$$

$$V_{N0} = \frac{1 + \alpha}{4} \frac{L_m}{L} V_d \quad (T_r < 2 \tau l_e) \quad (4-2)$$

$$V_{F0} = \frac{\alpha - 1}{4} \frac{2 \tau l_e}{T_r} \frac{L_m}{L} V_d \quad (4-3)$$

ここで、 V_{N0} ：近端漏話量 (V/m)

V_{F0} ：遠端漏話量 (V/m)

α ：結合係数 $C_m/C / L_m/L$

τ ：伝搬遅延時間 (ns/m)

l_e ：結合線長 (m)

T_r ：駆動波形の過渡時間 (ns)

L_m ：結合線路間の相互インダクタンス ($\mu\text{H/m}$)

L ：駆動線路側の自己インダクタンス ($\mu\text{H/m}$)

V_d ：駆動波形のピーク値 (V)

C ：線路の自己容量 (F/m)

C_m ：線路間の結合容量 (F/m)

ECL伝送系は一般に受端整合系で出力インピーダンスは小さくなっているため、終端での反射を考慮すると最悪条件の近端漏話量は $V_{N0} - V_{F0}$ で与えられ、配線間漏話量の誘導信号振幅比を信号の立ち上がり時間をパラメータとして求めると図4-3の様に算定される。配線間隔が2mm近く離れると、隣接配線からの影響は無視できる。同一配線間ピッチでは配線幅が広いと漏話量が大きくなっており、漏話量低減には同一配線ピッチならば微細配線が、同一配線幅なら配線間ピッチを広げると良い事がわかる。配線間漏話量としては、パッケージ内の様にグリッドレス状態が考えられる場合は、近接配線からの同時動作性を考慮する必要があるが、バックパネル内配線の様にバックパネルに打ち込まれたプレスインピン間を通す配線形態ではプレスインピン打ち込みピッチが2mm以上離れるためピン間配線を考慮すればよいといえる。

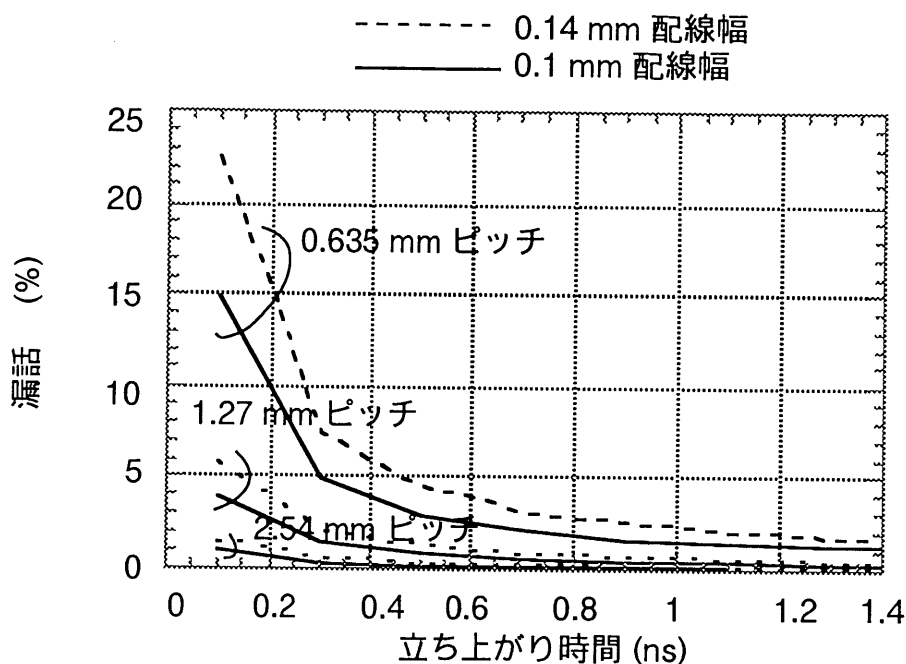


図4-3 配線間漏話と配線ピッチ

4. 3. 1. 2 コネクタ端子間漏話

コネクタの端子間漏話雑音は、コネクタ構造と関連する。図4-4に示す様な一般のピンリードタイプコネクタの特性インピーダンスなどの等価回路定数はグランド端子の収容と関連し、端子間漏話雑音量もグランド端子収容と対応して変わる。1.27mm千鳥高密度コネクタのグランド端子収容と端子間漏話ならびに特性インピーダンスの測定値の一例を図4-5に示す。端子間漏話及び特性インピーダンスは、グランド端子数の増加とともに減少する。また、コネクタでの漏話雑音に対して、次式の評価式が示されている[8]。

$$V_b = 1/2 (Z_0 C_m + L_m / Z_0) V_d / t \quad (4-4)$$

$$V_f = 1/2 (Z_0 C_m - L_m / Z_0) V_d / t \quad (4-5)$$

V_b : 近端漏話 (V)、 V_f : 遠端漏話 (V)、 Z_0 : コネクタの特性インピーダンス (Ω)、
 C_m : 端子間結合容量 (F)、 L_m : 端子間相互インダクタンス (H)、 V_d : 駆動電圧 (V)、
 t : 信号の立ち上がり時間 (s)

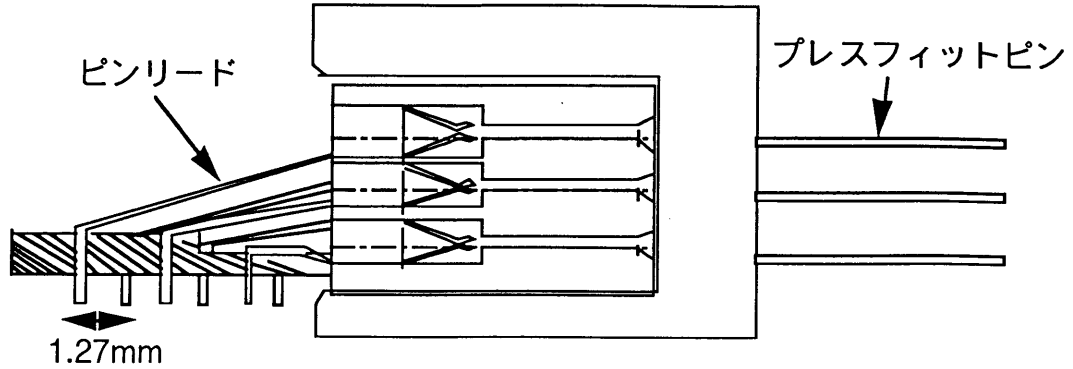


図4-4 コネクタ構造

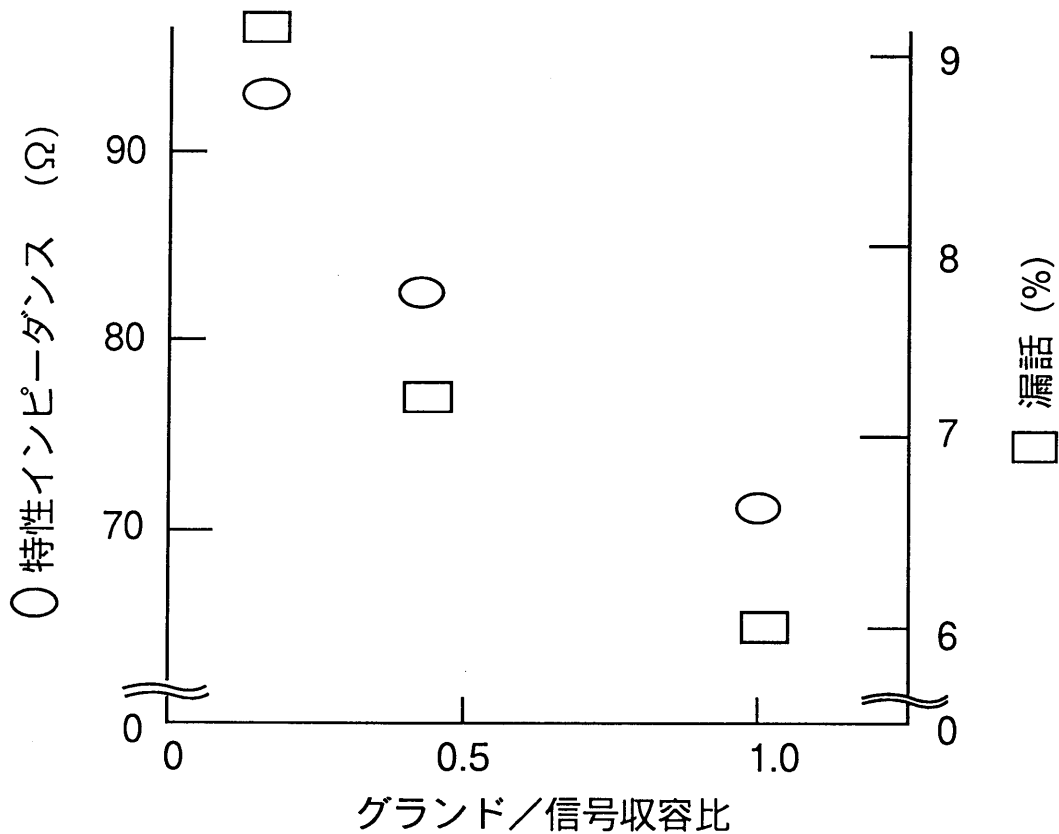


図4-5 コネクタの特性と端子収容比

この式でわかるように信号振幅が同一であれば立ち上がり時間が短くなると増大するため、コネクタ内端子収容にあたっては、適用するデバイスの信号レベル条件を考慮

してグラウンド端子配分を決める必要があるといえる。

4. 3. 1. 3 配線系の高周波損失

配線板の配線系を伝送する信号の伝送速度が速くなると、表皮効果並びに誘電損失が発生し（これらの要因を高周波損失とする）、伝送信号振幅減少が顕著となる。信号振幅の減少は、素子の受信信号に対する雑音余裕度が少なくなる事に関連してくる。また、配線系の高周波損失は、配線幅が狭いほどその影響が大きくなる事が知られている。

配線の物理諸元寸法を基に、マイクロストリップ配線系の高周波損失 (α) は次式で評価される[9],[10]。

$$\text{Total } \alpha = \alpha_c + \alpha_d \quad (\text{dB/cm}) \quad (4-6)$$

$$\alpha_d \doteq 27.3 \frac{\epsilon_r}{(\epsilon_{\text{eff}})^{0.5}} \frac{\epsilon_{\text{eff}} - 1}{\epsilon_r - 1} \frac{\tan \delta}{\lambda_0} \quad (4-7)$$

$$\alpha_c \doteq \frac{8.68 R_s}{2 \pi Z_0 h} P Q \quad (4-8)$$

$$P = 1 - \left(\frac{W'}{4h} \right)^2 \quad (4-9)$$

$$Q = 1 + \frac{h}{W'} + \frac{h}{\pi W'} \left\{ \ln \left(\frac{2h}{t} + 1 \right) - \frac{1 + (t/h)}{1 + (t/2h)} \right\} \quad (4-10)$$

$$W' = W + \frac{t}{\pi} \ln \left(\frac{2h}{t} + 1 \right) \quad (4-11)$$

ここで、 α_c : 銅損 (dB/cm)

α_d : 誘電損 (dB/cm)

ϵ_r : 比誘電率

- ϵ_{eff} : 実効比誘電率
- $\tan \delta$: 誘電正接
- λ_0 : 波長 (cm)
- R_s : 表皮効果による抵抗 (Ωcm)
- Z_0 : 特性インピーダンス(Ω)
- h : 絶縁層厚さ (cm)
- W : 配線幅 (cm)
- t : 配線厚さ (cm)

本評価式を用いて、50 Ω 配線の高周波損失の算定結果を図4-6に示す。損失は、周波数の増大と共に増加する。

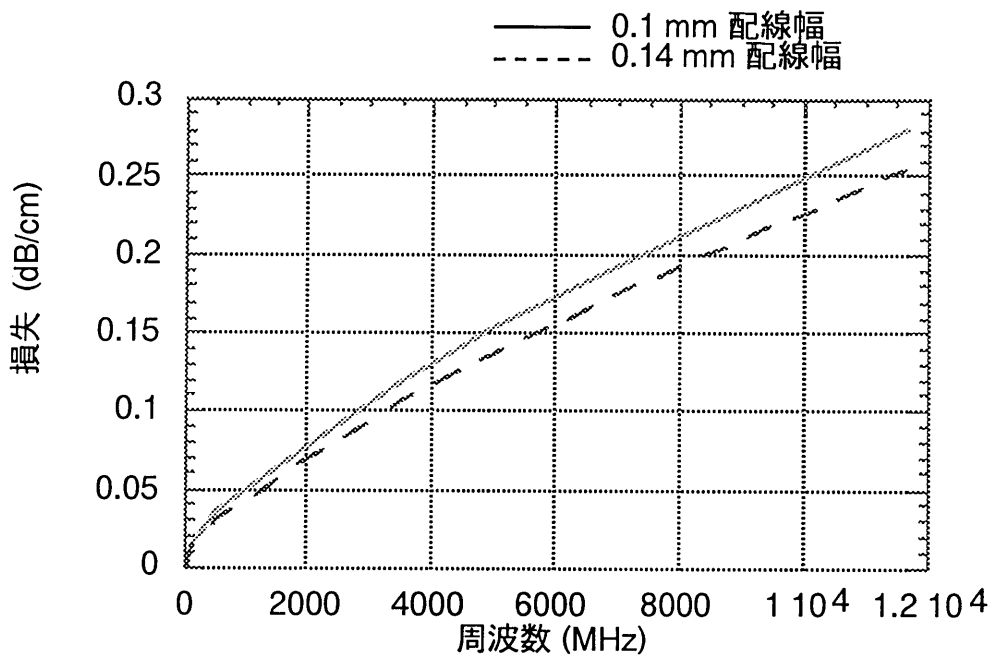


図4-6 配線系の損失の周波数特性

4. 3. 2 実装系で発生し、主信号系に間接的に影響する雑音

4. 3. 2. 1 電源層構成とスイッチング雑音

配線板の電源層の特性インピーダンスは、配線板を構成する電源層及びグランド層の構成に係わる。電源層の特性インピーダンスは、配線板に実装された部品への電源供給並びにデバイスのスイッチング動作にともなう電流変化による電位変動、及び電源アース雑音に係わる。

配線板を構成する電源層と0V層が並行平板構成である場合、その電源層の特性イ

インピーダンスは次式で与えられている[11]。

$$Z_0 = \frac{120\pi h}{(\epsilon)^{0.5} d} \quad (4-12)$$

ここで、 ϵ : 配線板の誘電率

h : 誘電体の厚さ (m)

d : 並行した二次元平面のうち、短い方の次元の長さ (m)

本評価式での電源層の特性インピーダンスと絶縁層厚さとの関係を図4-7に示す。

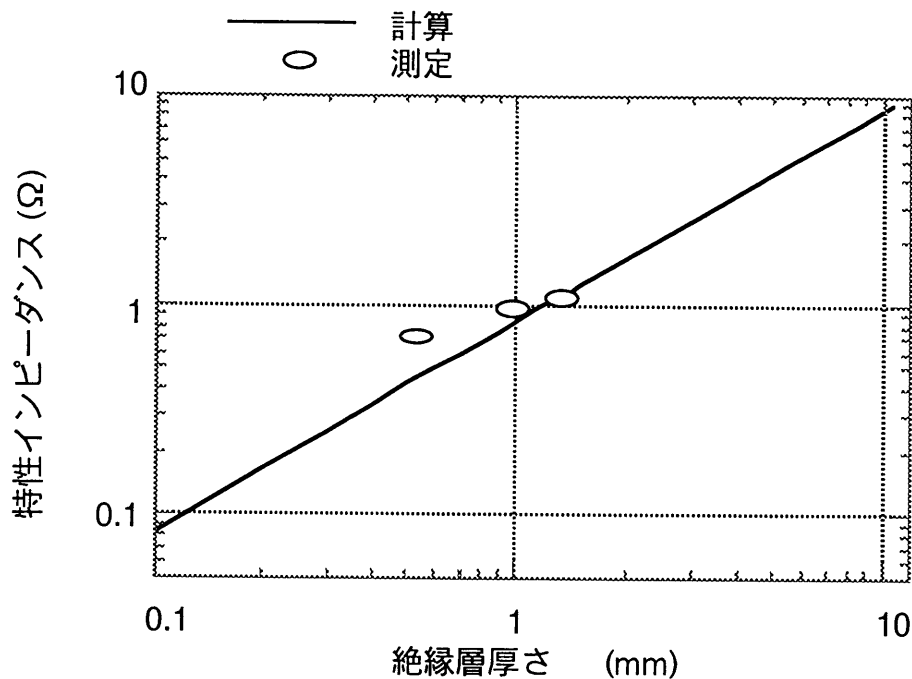


図4-7 内層系の特性インピーダンス

計算上絶縁層の距離が大きくなると、特性インピーダンスは増加する傾向にあり、絶縁層厚さを小さくすることは特性インピーダンスの低減に有効であるといえる。一般に電源層の特性インピーダンスは1Ω以下と考えられているが、特性インピーダンスが高くなると、スイッチングによる雑音の増加（電流変化率と電源層のインダクタンスの積に比例）と帰路電流による電位変動（帰路電流と特性インピーダンスとの積）を上昇させる事となる。これら雑音が増加することは、デバイス動作に対する雑音面での制約となり、正常動作領域を低下させることとなる。このため、デバイスの電源系のインピーダンスにできるだけ整合した電源層インピーダンス設計が雑音上望ましい事となる。

スイッチングに伴う雑音は次式で示される[12]。

$$V = L \frac{dI}{dt} N = Z_0 \tau \frac{dI}{dt} N \quad (4-13)$$

ここで、 L : 電源層インダクタンス (H)
 N : 同時動作出力数
 d I : 電流変化 (A)
 d t : スwitchingの時間変化 (s)
 Z₀ : 電源層の特性インピーダンス (Ω)
 τ : 伝搬遅延時間 (ns)

Switching雑音をSwitching時間に対して、Switchingに伴う電流変化を20mA (ECL系の不平衡系での変化) として算出した結果を図4-8に示す。本評価式によって判るように、雑音量は電源層の特性インピーダンスと関係があり、特性インピーダンスの低い配線板は雑音低減に効果があるといえる。

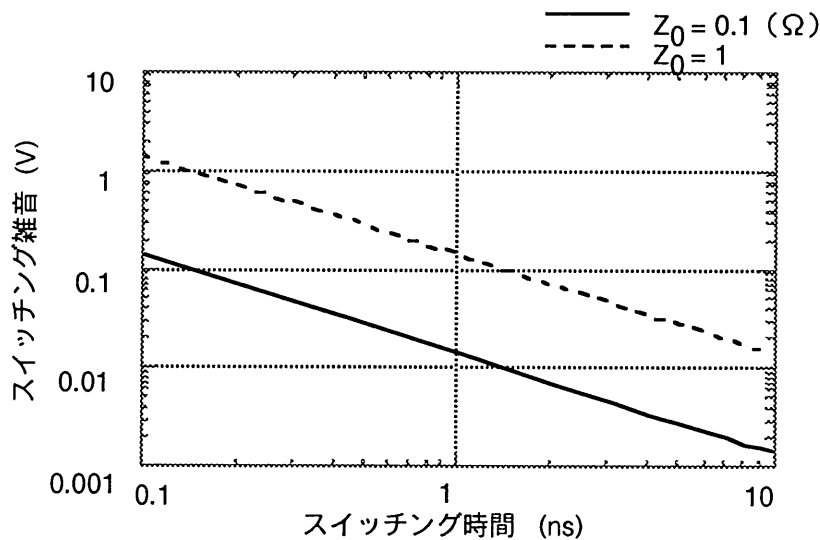


図4-8 Switching雑音の評価

実際の配線板では配線板上にパコンを実装し、パコンによる雑音低減を図る。パコンの雑音低減は、デバイスのSwitchingに伴う電流引き抜きに対する電圧変化の補正と電源系に混在しているコンバータ動作などに起因する電圧変化の補正で行われ、パコンの容量と電圧などとの関係は次式で関係付けられる[13]。

$$C = \frac{\Delta I}{\Delta V / dt} \quad (4-14)$$

ここで、 C : 容量 (F)
 ΔI : 電流変化 (A)
 ΔV : 電圧変化 (静的雑音余裕度の10~20%) (V)
d t : スイッチング時間 (スイッチング動作対応) (s)
またはクロック周期 / 2 (低周波対応)

一般に、スイッチング雑音に対しては1000~3000 pF、低周波雑音に対しては1~10 μ Fが実装される。これらのパスコンによる雑音除去は上式で推定され、パスコンによる雑音低減割合を以下で評価する事とする。

$$\frac{Z_0 \tau \frac{d I}{d t} - \frac{\Delta I}{C / d t}}{Z_0 \tau \frac{d I}{d t}} \quad (4-15)$$

パスコンによる雑音低減割合としては、10~20%位と推定される。

4. 3. 2. 2 コネクタ部でのスイッチング雑音

コネクタの電源アース端子にデバイスのスイッチング動作に起因する電流が通過することによって、コネクタ端子のインダクタンスによる雑音が発生する。

3章では、コネクタスイッチング雑音に対して、その雑音要因である、帰路電流分布、有効グランド端子数、帰路電流の同時動作出力数依存を考慮すべき事を示した。これらの条件は、システム構成に係わるため、ここでは、最悪評価で検討する事とする。

コネクタ部で発生するスイッチング雑音は、端子のインダクタンス、電流変化率、電流分流割合 (グランド端子数と関連する) で決定される。この発生雑音量を次式で評価する。

$$V = L \frac{d I}{d t} N / \left(P \frac{G}{S + G} \right) \quad (4-16)$$

ここで、 L : 端子のインダクタンス (H)
コネクタ内に収容されるグランド端子位置とグランド数と関係する

d I : 電流変化 (A)
d t : スイッチング時間 (s)

G : グランド端子数
P : コネクタ端子数
S : 信号端子数
N : 同時動作出力数

コネクタ部のスイッチング雑音はコネクタのインダクタンス、電流変化、同時反転出力数で決定される。コネクタ内に收容される信号端子数とグランド端子数比をパラメータとして図4-9に示す。信号：グランド端子数比を1：1に近づけると雑音量の低減に有効であることが判る。

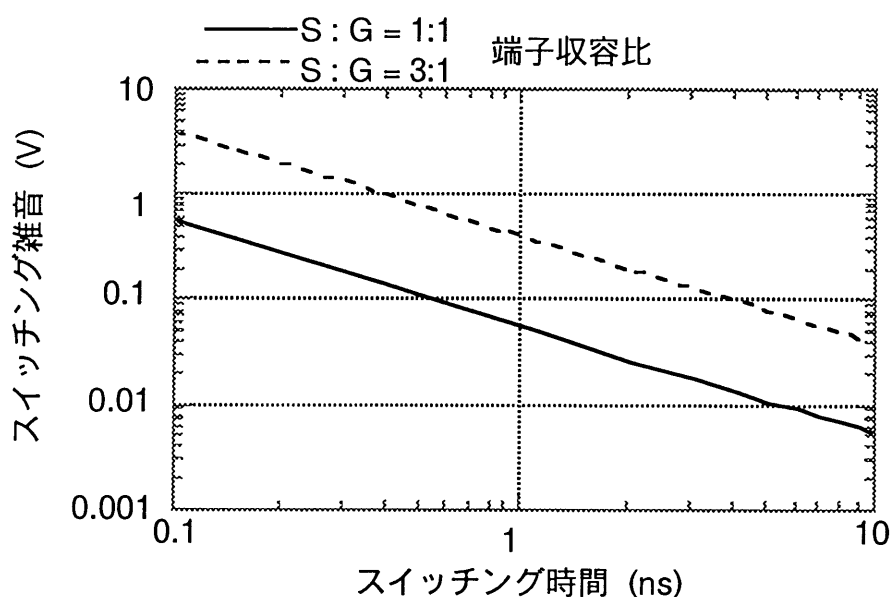


図4-9 コネクタの端子收容とスイッチング雑音

4.4 サブラック内伝送速度限界

以上の結果を用い、サブラック内伝送性能評価を以下の前提条件の下で行った。

- (1) 受信側での信号振幅として送端側の信号振幅の85%が確保できる条件として、15%の損失を損失の配分基準とした。
- (2) 伝送クロックサイクル周期は、信号立ち上がり時間の6倍とした。
- (3) スwitchingタイムは、信号の立ち上がり時間で決定されるとした。
- (4) 各種雑音の配分は、素子（ECL素子を前提）の雑音余裕度に対して以下とし、下記配分値を各雑音の基準値とした。

雑音配分

・配線間漏話 20%

- ・ 端子間漏話 20%
- ・ 配線板内スイッチング雑音 40% (等配分とする)
とコネクタスイッチング雑音
- ・ 外来雑音、アース 電位差 20%

上記雑音配分値を基に、コネクタ内の信号：グラウンド端子比1：1における伝送可能速度領域の算定結果を図4-10に示す。雑音配分値(Normalized Noise 1)以下となる場合が許容される事になる。図より、約1.6nsがスイッチング時間の上限として得られ、この6倍をクロックサイクルとして評価すると、伝送速度の上限として100Mbpsが導出される。

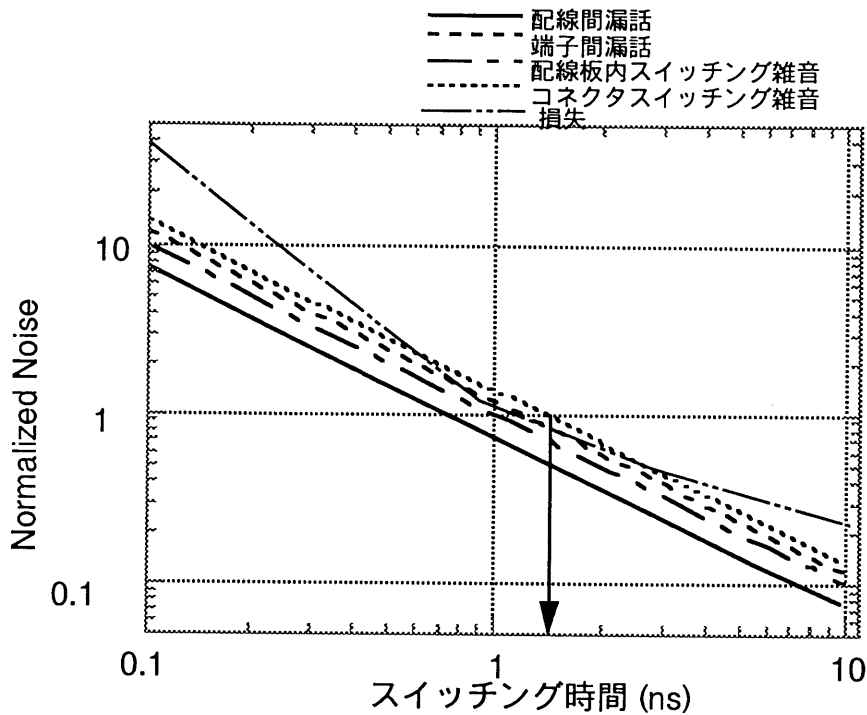


図4-10 サブラック内伝送での伝送速度評価
端子収容 S : G = 1 : 1

以上の評価結果によって、サブラック内伝送性能を向上させるためには、今後以下の点について考慮する必要がある。

- (1) コネクタ
端子間漏話を低減した、例えば同軸タイプ、コネクタの適用
- (2) 配線板構成
デバイスの電源インピーダンスを考慮した特性インピーダンス整合に近い電源層を有する配線板の適用
- (3) グラウンド構成
システムレベルで、配線板、サブラック、架レベルでのグラウンド構成を考慮する

4.5 まとめ

ブックシェルフタイプの実装形態での高速信号伝送に対し、伝送性能の制限となる諸要因の考え方を示し、これらの要因を評価することによって、サブラック内信号伝送の伝送性能を示した。

サブラック内伝送の制限に係わる雑音は、主信号系に発生する雑音と電源系に発生した雑音がデバイスの電源端子に入力され、デバイス内部で信号系への雑音に変換後、信号系に生起する雑音系に分類できる。

(1) 主信号系に発生する雑音

①配線間漏話：これは配線条件に関連し、信号の立ち上がり時間が急峻であると問題となってくる。2mm位の配線間隔となれば問題ない。

②コネクタ端子間漏話：コネクタ内のグラウンド収容法が影響する。

(2) 電源系で発生し、デバイス内を介して信号系に生起する雑音

①配線板内スイッチング雑音：電源層の特性インピーダンスを下げる事、パスコンを設置する事が重要となる。

②コネクタスイッチング雑音：コネクタのインダクタンス及び同時動作数が影響する。システムを考慮したグラウンド端子数配分が必要となる。

これら雑音を考慮し、ピンリードコネクタの端子収容条件に対してサブラック内信号伝送速度について評価を行った結果、信号：グラウンド=1：1において、100Mbpsであることを示した。実システムでは、ECL系で80Mbps位まで実績があり、本評価の妥当性を得ている。また、素子が変わっても、素子の雑音余裕度、ならびに、伝送時の電流変化の特性などを評価すれば同様の考え方で、伝送性能が評価でき、システム設計に反映できる事となる。

参考文献

- [1] S.M.Ambekar, W.E.Hamilton, T.E.Cole, "System Packaging", AT&T Technical J. Vol.66, Issue 4, p.81, 1987.
- [2] C.Jelly, "Type 88-A new telecommunications Equipment Practice", British Telecommunications Engineering, Vol.8, Part 2, p.74, 1989.
- [3] N. Sugiura, K.Yasuda, "Board-to-board High-Speed Signal Transmission Limit in a Rack System", Proc. 4th Japan-Korea Joint Conf. on Communications, Networks, Switching Systems and Satellite Communications, p.49, 1991.
- [4] N. Sugiura, H. Oka, "Evaluation of board-to-board high-speed signal transmission limit in a rack system", IEICE Trans. on Electronics, Vol. E78-C, No. 5, p. 574, 1995.
- [5] E.E.Davidson, "Electrical Design of a High Speed Computer Package", IBM J. Res. Develop, Vol.26, No.3, p.349, 1982.
- [6] A.Feller, H.R.Kaupp, J.J.Digiacomu,"Crosstalk and Reflections in High-Speed Digital Systems", Proc. Fall Joint Computer Conf., p.511, 1965.
- [7] 山崎弘博, 山崎修快, 足立昭二, 若狭裕, "電子回路のノイズ技術", オーム社, 1981.
- [8] Edward P.Sayre, P.E., Michael A. Baxter, "Design, Characterization, and Simulation of High-Speed Backplanes and Buses", 1993 Autumn Japan High Speed Digital Symposium, HP , 1993.
- [9] R.A.Pauel, D.J.Masse, C.P.Hartwing, "Losses in Microstripline", IEEE Trans. MTT, Vol.16, No.6, p.342, 1968.
- [10] M. V. Schneider, "Microstrip Lines for Microwave Integrated Circuits", The Bell System Technical Journal, May-June, 1969.
- [11] Henry W.Ott, "Noise Reduction Techiques in electronic systems", Bell Telephone Labs. Inc., 1976.
- [12] 平野尚彦, 蛭田陽一, 須藤俊夫, "多層セラミックパッケージにおける電源系インダクタンスの低減方法", 信学技報, ICD91-156, No.378, 1991.
- [13] C.R. Paul, "Introduction to Electromagnetic Compatibility", John Wiley & Sons, Inc., 1992.

第5章 高速信号伝送用パッケージコネクタと高速適用領域

5.1 まえがき

通信装置の高密度実装化、收容インタフェースの高速化、システムの高スループット化に向けて、高速高密度実装が必要となってきた[1],[2]。ブックシェルフ実装形態での信号伝送では、バックプレーンと配線板とを接続するコネクタ部で発生する雑音が、伝送速度の制限要因となっている[3]。この雑音の低減には、コネクタと配線板（あるいはバックプレーン）との接続部での反射を抑さえる事、つまり、コネクタの特性インピーダンスを配線系と整合させる事が望ましい。

NTTの通信装置をはじめ、一般にブックシェルフ実装に適用しているパッケージコネクタは、ピンリードコネクタであるために、リード部の有するインダクタンスが大きくなり、特性インピーダンスの制御が難しく、雑音の低減にはグラウンド端子を多く配置しなくてはならない、等と使用に対しての制約が必要であった。

通信系装置では入出力端子が多く必要になることから、NTTの通信装置ではHi-PAS (Hi-density Packaging System)実装用パッケージコネクタとして1.27mm千鳥の高密度コネクタを開発し[4]、システムに適用している。このコネクタは端子密度が高い分、隣接端子間距離が小さくなるため、適用にあたっては適用する素子の特性に基づいた雑音配分を考慮し、端子收容を行っている。このようななかにあつて、コネクタの特性インピーダンスを信号配線系と整合を図る事を目的に、細径同軸エレメントを組み込んだプラグ/ジャック形式の50Ω系高密度同軸パッケージコネクタを、高密度コネクタでの信号：グラウンド=1：1の端子收容規模で開発し[5],[6]、システムへの適用を進めた。本コネクタは、プラグ/ジャック形態のため、従来の高密度コネクタと嵌合できず、システム設計面でのコネクタ互換ができなかった。そこで、高密度コネクタと互換可能な細径疑似同軸エレメントを組み込んだコネクタの試作を進め、信号伝送特性評価を行うとともに、適用しているコネクタに対しての高速適用領域の評価を行った。

本章では、高速信号伝送用コネクタへの要件、試作したコネクタの構造設計と併せ、既存高密度パッケージコネクタ、既存高密度同軸パッケージコネクタと比較し、高速信号伝送の適用領域について検討した結果を示す[7],[16],[17]。

5.2 高速信号伝送用コネクタへの要件

5.2.1 コネクタのスループットへの要件

B-ISDN時代の通信装置は、ATM(Asynchronous Transfer Mode)技術が中核となると目されている。そして、システムのスループットも現状より2、3桁高い数100Gbpsが要求されると推定されている[8]。このような高スループットシステム構築に向け、高スループット性能を有するパッケージコネクタが必須となる。

高速性能と高スループット性能は必ずしも比例関係になく、例えば、多端子コネク

タにおいて高速性能を向上させるにはグランド端子を増加させて雑音低減を図る必要がある。従って、限られた端子数でのコネクタ当りのスループットには制限がある。図5-1は信号伝送速度とコネクタ当りのスループットについて示したものである[9]。比較的低速の場合は不平衡伝送で信号端子数を確保できるためスループットは速度の増加に対して向上していくが、高速化に伴い雑音低減の観点からグランド端子数を増加するために有効な信号端子数が少なくなり、スループットを下げることとなる。100Mbps以上の高速化には平衡伝送化が必要となり、有効な信号数が不平衡伝送に比べ半分となる事となり、スループットの伸びが抑えられる。

信号伝送速度を向上させてコネクタ当りのスループットを向上させるには、不平衡伝送を可能とするように、コネクタ部での伝送性能劣化を抑えさせる事が不可避であり、ピンタイプコネクタの限界もここにあると考えられる。

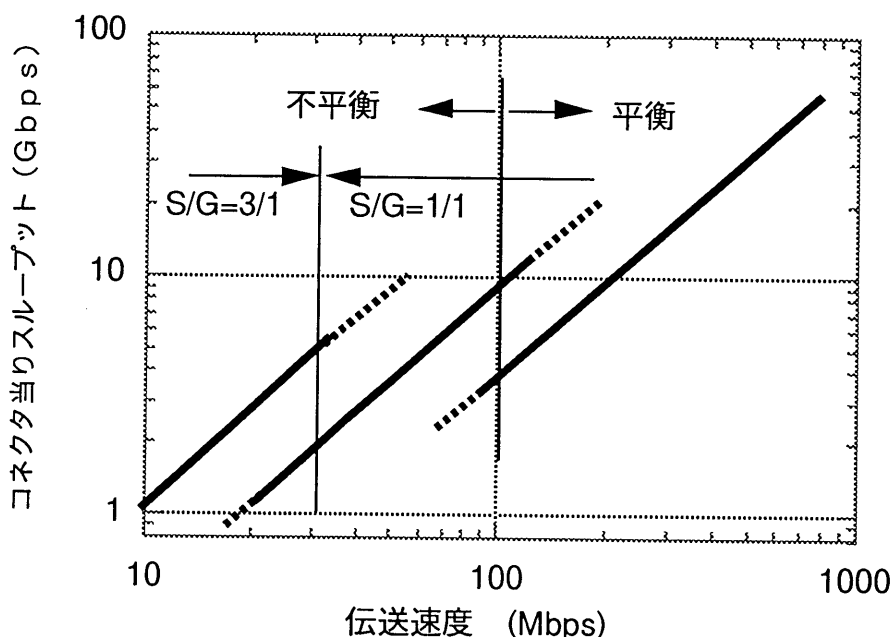


図5-1 コネクタ当りスループットと伝送形態

5.2.2 高速コネクタへの要求条件

ブックシェルフ実装形態での高速信号伝送を実現するパッケージコネクタへの要求条件を図5-2に示す。各要求条件の内容は以下である。

- ・多端子化
- ・低雑音化（漏話、誘導雑音、電磁放射雑音）
- ・リード長の短縮化（遅延時間の短縮）
- ・高速信号伝送化（インピーダンスの整合）

図5-2 コネクタへの要求条件

・高速な信号伝送を行うためには、接続点での反射を抑える事が必要となる。このためには、配線板、バックプレーンでのコネクタ接続部の特性インピーダンスの整合を図る必要がある。さらに、接続部での反射特性は、図5-3に示すように接続における信号接続経路がスルーホールを貫通するかしなかなどで影響をうける[10]。これは、コネクタだけではなく配線板の配線設計と関わり、反射を抑えたコネクタ接続のためには、配線板の配線設計も含め、コネクタ構造設計をする事となる。

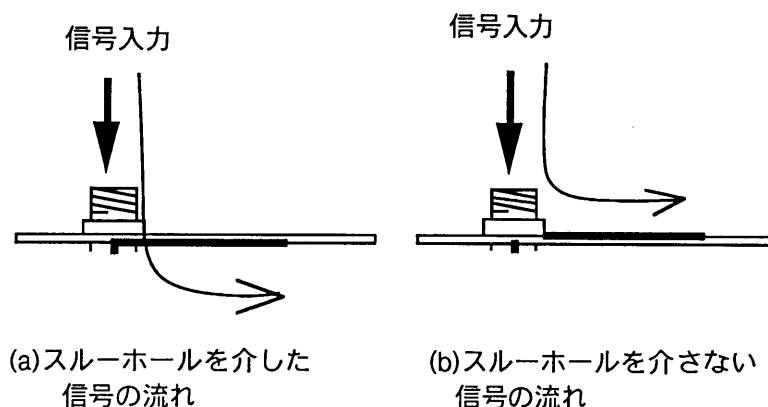


図5-3 信号の流れ

・高速な信号処理のためには、遅延時間の短縮が必要となる。コネクタ部の遅延はコネクタリード端子長と関連する。一方で、サブラック構造、コネクタ構造に関する標準化規格があり[11]、この規格準拠を考えると、リード長の変更は難しいため、コネクタ内の信号端子収容設計で対処するしかない。

・コネクタ内収容信号の同時動作に伴い発生する雑音を低減する事が必要となる。雑音は、信号端子間での漏話、電源端子・グランド端子でのスイッチング雑音である[12]。この雑音低減には、反射特性の低減、端子収容、配線板の層構成、コネクタの端子形状を検討する必要がある。

これらの要求条件に対して、反射特性の低減の観点から検討を進め、高速信号伝送用コネクタの構造設計を進め、既存高密度ピン型コネクタと互換可能なコネクタを提案する。

5.3 高速信号伝送用コネクタの設計

高密度コネクタは、ブックシェルフ実装でのプレスインピンを用いたコネクタとしては、限界に近い構造条件（0.55mm対角長プレスインピン、1.27mm千鳥配置で端子間ピッチは1.8mm）であるが[3]、端子間漏話は信号：グランドの端子収容が1：1で6%と低減したコネクタである。この高密度パッケージコネクタと互換可能（信号：グランド=1：1）で、かつ、反射特性の改善を図ったコネクタの設計、評価について示す。

5.3.1 設計モデル

既存の高密度同軸パッケージコネクタの細径同軸エレメント構造を適用し、高密度コネクタとの互換構造設計を進めた。設計において、プレスイン部の設計は高密度コネクタの設計を踏襲し、コネクタ嵌合での同軸エレメント並びにグランド接続部の構造設計を中心に以下の点から行った。

(a) グランド接続用の外部導体を有する同軸エレメントをパッケージ側にのみ設定する。

(b) 高密度同軸パッケージコネクタのプラグ/ジャック構造から、プレスインピン嵌合構造とする。

これらの構造評価に向けて、回路シミュレーション解析を適用した。図5-4にコネクタの回路定数解析に用いたモデル断面の例を示す。コネクタ構造は3次元構造であるため、厳密には構造解析は3次元モデルで行う事が望ましいが、コネクタの複数端子の状態を3次元モデルで一括で解析できないこと、解析に要する時間、メモリ規模等の観点から、2次元解析を適用し、コネクタ構造を基に最大12の断面構造モデルに分割して解析を進め、各断面構造モデルに対する電気回路定数を求めた。図では、4つの断面構造を示している。尚、断面構造数は、コネクタの長、中、短の端子長によって異なる。

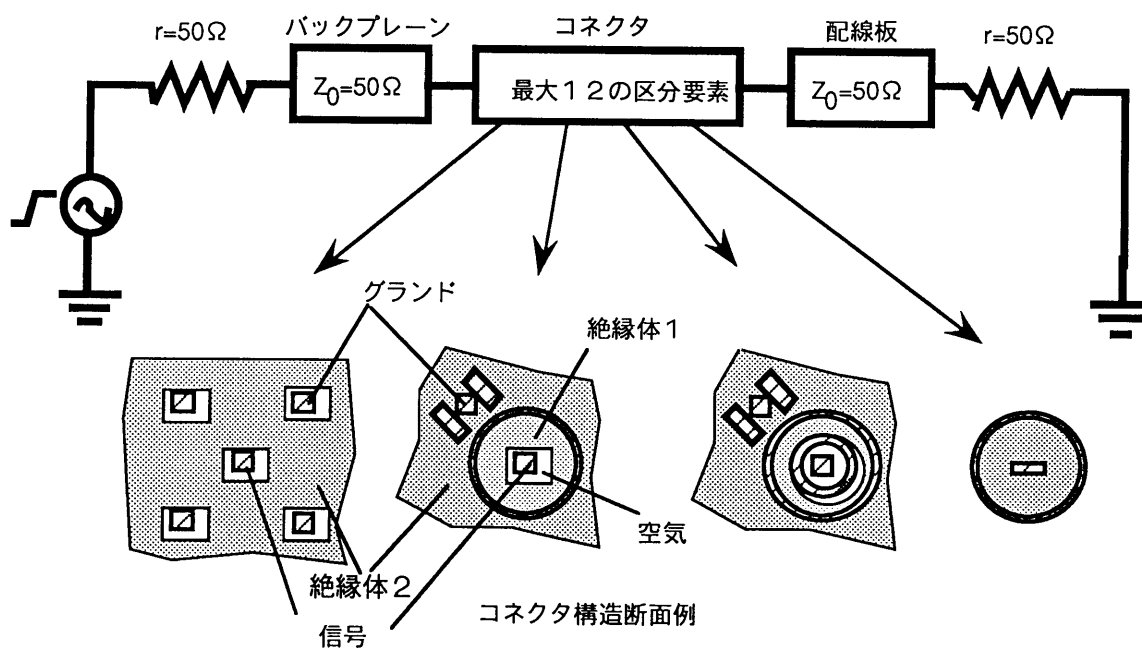


図5-4 コネクタ断面モデルの一例

5.3.2 シミュレーション評価

上記解析によって得られた回路定数を元に、コネクタの等価回路モデルを作成し、電気回路シミュレーション解析を行なった。解析によって得られたコネクタの特性インピーダンスの状態の一例を図5-5に示す。図5-6に既存の高密度同軸パッケージコネクタと試作コネクタのTDR（Time Domain Reflectometry）シミュレーション波形を示す。高密度同軸パッケージコネクタの特性インピーダンスと大差ない事を確認できた[12]。

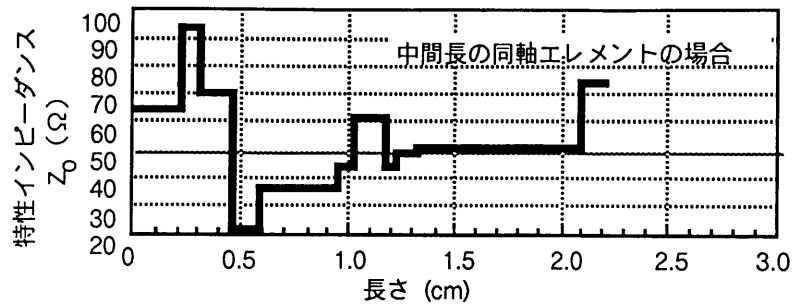


図5-5 特性インピーダンス

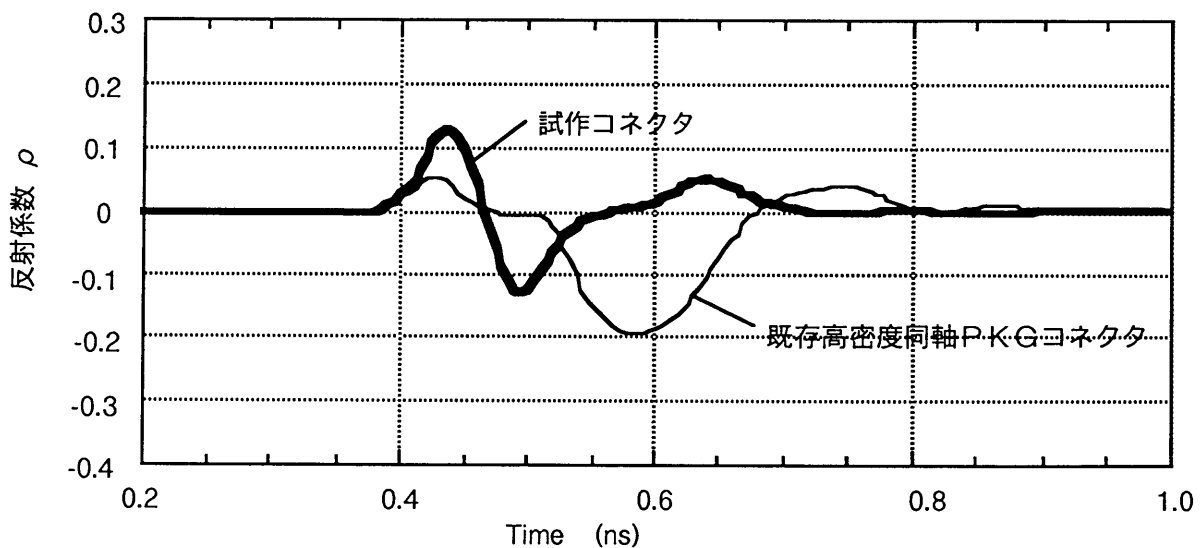


図5-6 TDRシミュレーション結果

5.3.3 試作コネクタの電気特性

図5-7は試作コネクタと既存多端子コネクタの外観搭載状態を示す。パッケージコネクタのバックプレーン（BP）側の嵌合条件は1.27mm千鳥配置となっている。パッケージ側は疑似同軸構造となっており、2.54mm正方格子は信号端子に、副格子はグランド端子に接続される（同軸エレメントの外部導体と接続）端子収容となっている。

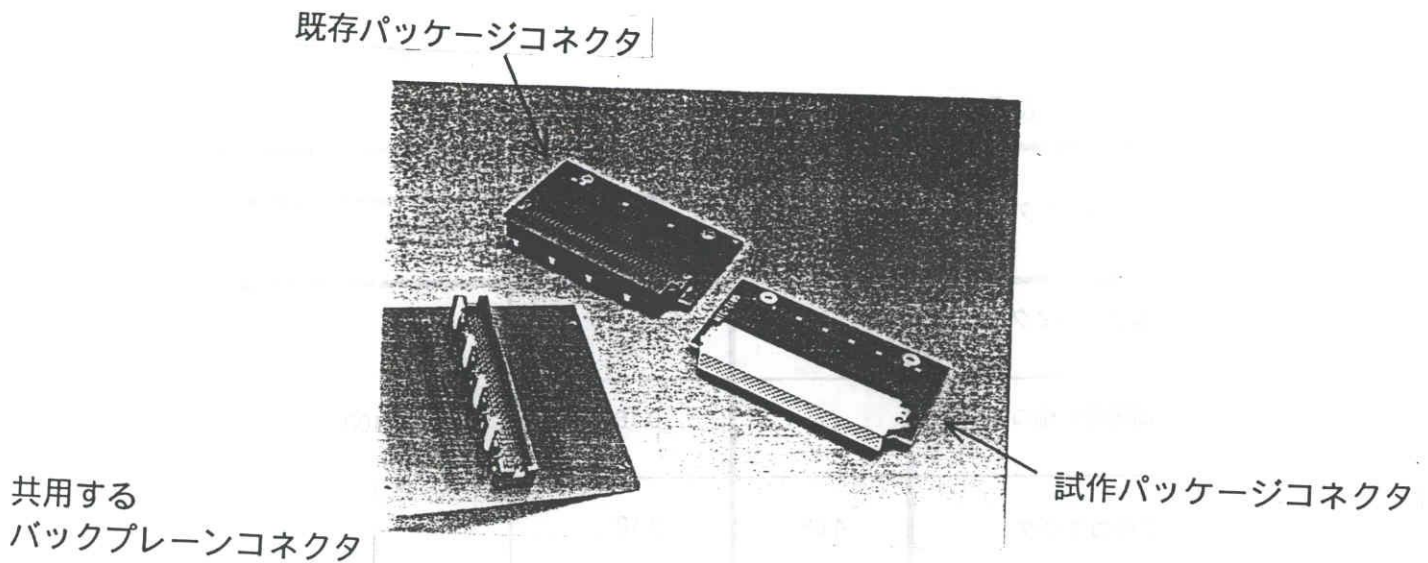


図5-7 試作コネクタと既存コネクタ

このコネクタを50Ω配線を施した評価用配線板に搭載し、特性インピーダンス、端子間漏話を測定した。特性インピーダンスの測定結果を図5-8に示す。特性インピーダンスは36Ω～62Ωにある。高密度コネクタ、高密度同軸コネクタ、試作コネクタでの電気特性測定結果を表5-1にまとめて示す。高密度コネクタに比べ試作コネクタの特性向上が確認できる。

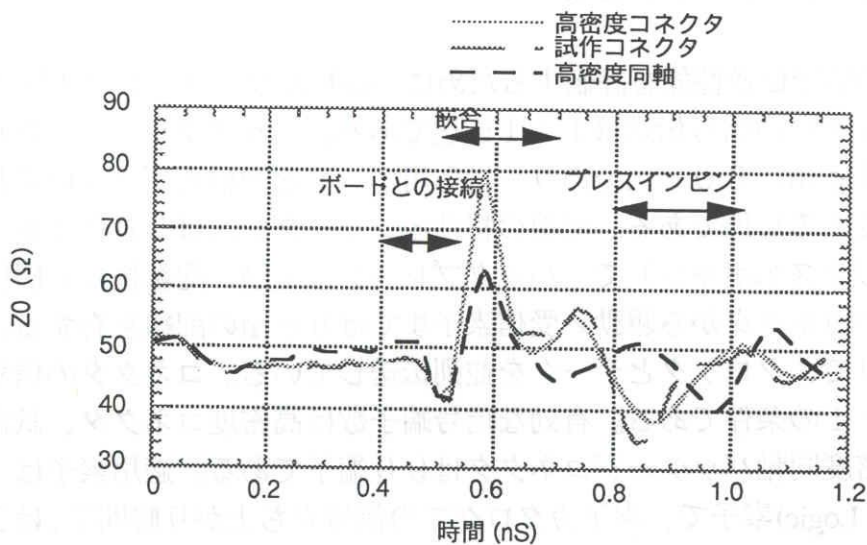


図5-8 コネクタの特性インピーダンス評価結果

表5-1 コネクタの電気特性結果

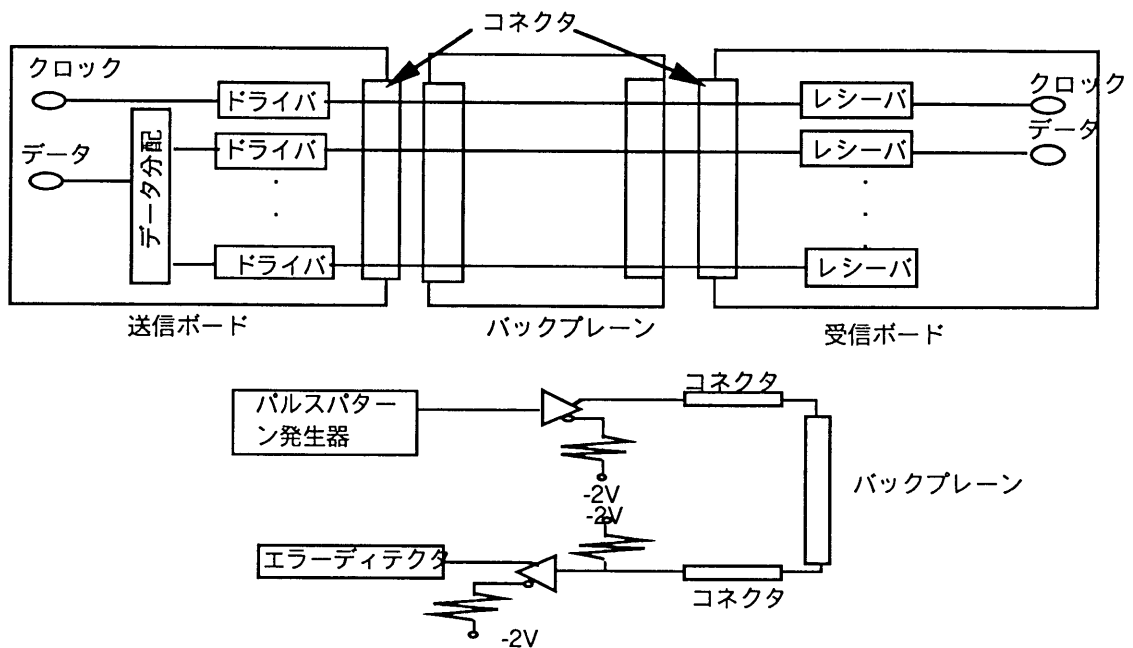
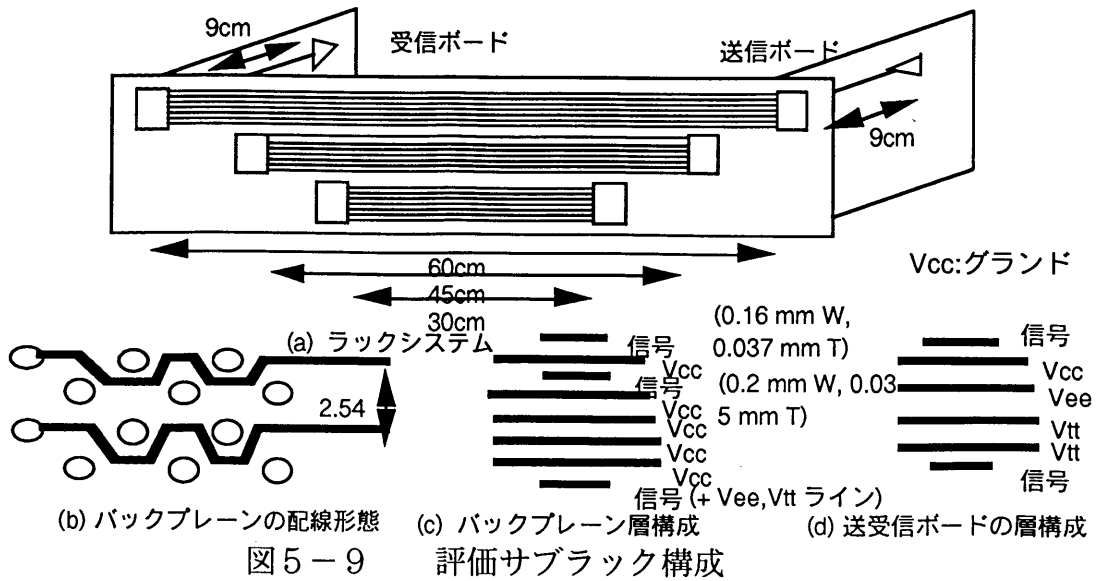
コネクタ	漏話量 (mV)	誘導信号の状態	
		信号Tr (ns)	振幅値 (mV)
高密度コネクタ	5.60	0.14	100
高密度同軸コネクタ	3.87	0.16	
試作コネクタ	4.68	0.12	

5.4 高速信号伝送用コネクタの伝送性能評価

サブラック内の信号伝送性能は、スイッチング雑音、漏話等の雑音に影響される。これらの雑音はコネクタ部分での発生が大きい。そこで、コネクタによる伝送性能を評価するために、伝送性能評価サブラックを用い、試作コネクタ、既存の高密度同軸パッケージコネクタ、高密度コネクタについて測定した。

5.4.1 伝送評価サブラック構成

サブラック内の信号伝送性能を評価するために作製したサブラック構成概要を図5-9に示す。サブラック内信号伝送は1:1伝送である。バックプレーン(BP)伝送長は30cm、45cm、60cmであり、送信用ボードと受信用ボードの搭載スロット位置で伝送長を変える形態である。配線の特性インピーダンスは50Ωである。配線板材料はFR4(ガラスエポキシ)で、バックプレーンは8層、配線板は6層構成である。送受信ボードのコネクタから駆動/受信素子までは9cmの配線を有する。同時動作信号数は最高20で、クロックとデータを並列伝送している。コネクタの信号:グラウンド端子収容は1:1の条件である。有効な信号端子数は高密度コネクタ、試作コネクタは96端子、高密度同軸パッケージコネクタは90端子である。適用素子はECL(Emitter Coupled Logic)素子で、素子カタログでの信号立ち上がり時間 T_r は270psである[13]。配線板に電源を供給する電源用コネクタは、個別に設定し、信号伝送用コネクタ内に電源端子は配置されていない。図5-10に回路のブロック図を示す。同時動作出力数はスイッチによって切り替える構成となっている。



5.4.2 伝送性能評価

5.4.2.1 誘導雑音

図5-11は1信号線を静止し、残りの信号線を全て動作させた場合の、各バックプレーン配線長に対して観測された静止線に誘導される総合入力雑音測定結果である。この雑音には配線間漏話、スイッチング雑音等が含まれる。コネクタ種及びバックプレーン配線長によって雑音量が依存する事がわかる。図5-12は、スイッチングに伴い発生する電源系での雑音の測定結果を示す。スイッチング雑音は動作する信号数が大きくなると増加している。

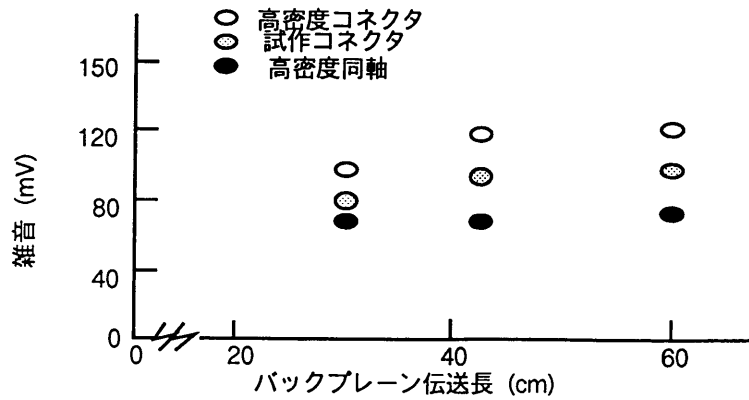
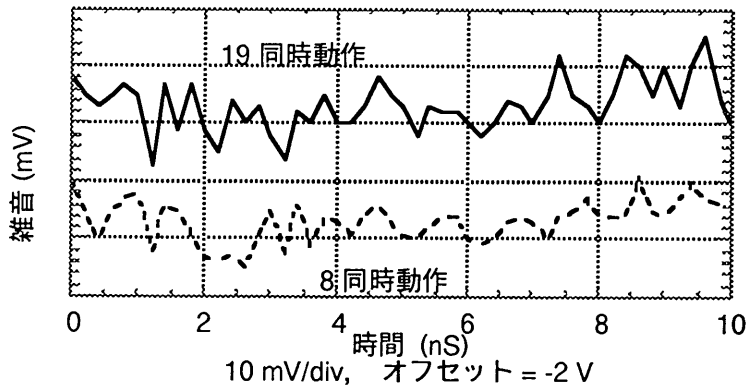


図5-11 静止した受信側の入力に誘導される総合雑音



同時動作信号数に対して観測されたスイッチング雑音を時間軸を合わせプロット。ピーク・ピーク値が発生雑音量になる。

図5-12 スwitching雑音

5.4.2.2 損失特性

図5-13はサブラック内伝送系での損失特性結果である。損失は配線系とコネクタ系で発生する。コネクタ1個当りの損失は、系の損失より配線系の損失を差し引き、この差分の半分が相当する。配線系の損失は次式[15]で評価できる事を確認し、コネクタ当りの損失を評価した結果、1.5GHzまで0.5dB以下であった。

$$\text{総合損失 } \alpha = \alpha_c + \alpha_d \quad (\text{dB/cm}) \quad (5-1)$$

α_c : 銅損 α_d : 誘電損

$$\alpha_c = 8.68 R_s P Q / (2 \pi Z_0 h) \quad (5-2)$$

$$\alpha_d = 27.3 \epsilon_r (\epsilon_{eff} - 1) \tan \delta / [\epsilon_{eff}^{0.5} \lambda_0 (\epsilon_r - 1)] \quad (5-3)$$

$$P = 1 - (W/4h)^2 \quad (5-4)$$

$$Q = 1 + h/W' + h (\ln(2h/t + 1) - (1+t/2h))/(\pi W') \quad (5-5)$$

$$W' = W + t \ln(2h/t + 1)/\pi \quad (5-6)$$

R_s : 表皮抵抗 (Ω)

λ_0 : 波長 (cm)

$\tan \delta$: 誘電正接

ϵ_r : 比誘電率

ϵ_{eff} : 実効比誘電率

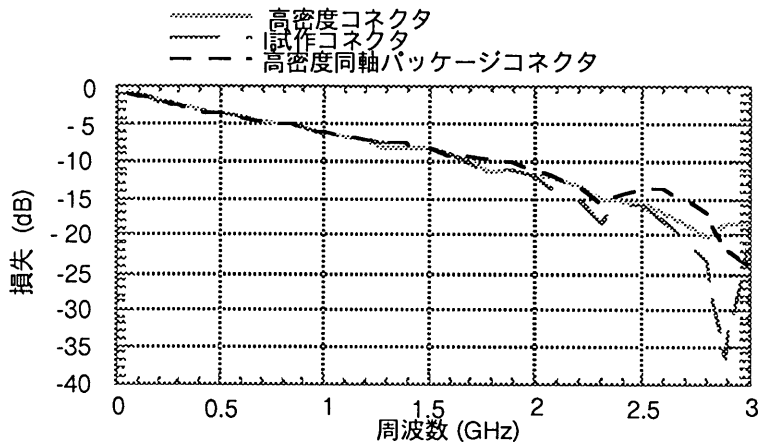


図5-13 サブラック内の損失

5.4.2.3 符号誤り測定

疑似ランダムパターン $n=23$ でエラーフリーレート 10^{-11} の条件を満足する伝送速度とバックプレーン長の間接関係、各コネクタに対して測定した結果を図5-14に示す。信号伝送性能は、バックプレーン長、コネクタ種と関係し、60cmバックプレーン長において、高密度同軸パッケージコネクタでは640Mbps、試作コネクタでは530Mbps、高密度コネクタでは420Mbpsの伝送性能を得た。

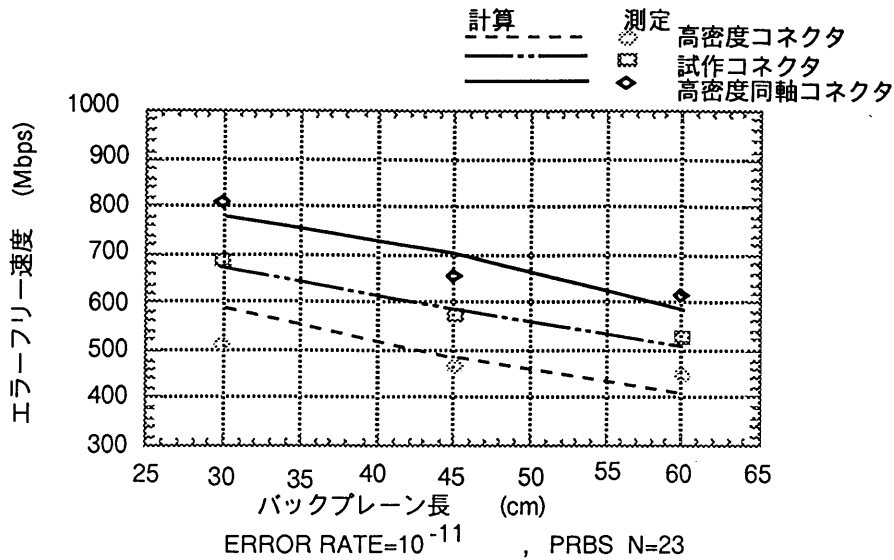


図5-14 サブラック内伝送系とエラーフリー領域

5.5 コネクタの高速伝送適用領域評価

システムレベルで適用するためには、システム動作レベルでの伝送性能評価が必要となる。評価サブラックでの評価は、同時動作信号数が20であり、実システムでは同時動作出力数として100位の評価が必要となる。そこで、実測した雑音特性などの結果を元に、スイッチング雑音が同時動作出力数に比例する、配線系での損失が漏話量の低下に比例する、という前提に基づき、同時動作信号数100でのエラーフリー領域を評価し、速度と信号端子数積で定義したスループットの評価結果を図5-15に示す。

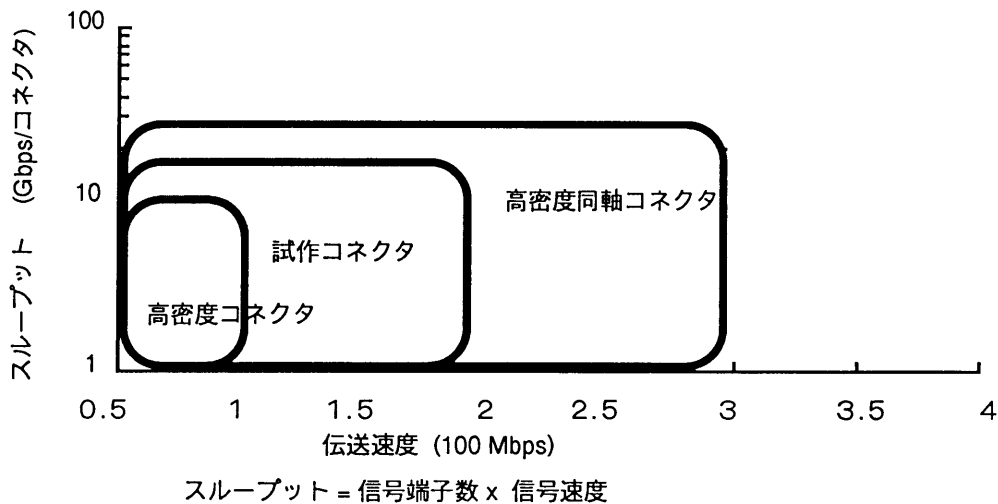


図5-15 コネクタの高速適用領域

コネクタ当りのスループットとしては、高密度コネクタでは9.6 Gbps位、高密度同軸パッケージコネクタでは27 Gbps位、試作コネクタでは19.2 Gbps位

が得られる。これらの評価より、通信において156Mbpsを基本にそのn倍の速度を多重化速度系列とするSDH (Synchronous Digital Hierarchy)[16]をベースに信号伝送を考えると、高密度コネクタでは78Mbps、高密度同軸及び試作コネクタでは156Mbps位の信号伝送が適用できる評価を得た。

5.6 まとめ

高密度パッケージコネクタと互換可能なパッケージコネクタの試作を行なった。試作での構造評価にあたっては、コネクタ構造に対する回路定数をもとめて、反射特性等をシミュレータによって評価しながら、特性インピーダンス整合を指向し、構造を決めた。サブラック内信号伝送性能評価によって、試作コネクタは既存高密度コネクタと高密度同軸コネクタの中間に位置する事を得、システム適用としてコネクタ当り19Gbpsレベルのスループットを推定した。試作コネクタが中間に位置するのは、コネクタの同軸エレメントが疑似同軸であること、又、ピンリードとの併用を可能としたために、同軸のプラグ/ジャック構成に比べ、リードのインダクタンスの影響が大きくなり、特性が劣化したためと考える。

システムへの適用に対する高密度コネクタの伝送性能は、4章の結果とほぼ同等の結果を得た。コネクタ設計に資するシミュレーション技術、シミュレーションの考え方、モデル化の検証ができ、新規の高速用コネクタ検討に対して、構造パラメータの設定などに有効に反映することができる事となった。

参考文献

- [1] 金子義正,大崎孝明,"高速高密度実装技術の現状と動向",信学誌, Vol.75, No.5, p.480, 1992.
- [2] 田崎信, 武富剛, "実装技術", 信学誌, Vol.74. No.11, p.1222, 1991.
- [3] N. Sugiura, K. Yasuda, "A High-Density Multipin Connector for High-Speed Signal Transmission in a Rack System", Proc. 41st ECTC, p.256, 1991
- [4] 安田圭一、杉浦伸明、稲垣秀一郎,"高速信号伝送に適した高密度パッケージコネクタの構成技術",NTT R&D, Vol.38, No.10, p.1203, 1989.
- [5] K.Yasuda, N.Sugiura,"An Advanced High-Density Coaxial printed Board Connector for High-Speed Signal Transmission in a Rack system", Proc. ASME/JSME, Vol.1, p.15, 1992.
- [6] T.Mikazuki, K.Yasuda, H.Oka, N.Sugiura, "High-Speed Data Transmission in a Rack System with Coaxial Board Connector", IEEE Trans. CPMT, p.282, 1994.
- [7] N. Sugiura, K. Yasuda, H. Oka, "High-speed signal transmission characteristics for improved coaxial printed circuit board connector in a rack system", The international Journal of Microcircuits & Electronic Packaging, Vol. 18, No. 2, p. 85, Second Quater 1995.
- [8] T.Gotoh, "Broad-Band ISDN/Developping Visual Communication for the Future", 9th Int. Display Research Conf., P.2, 1989.
- [9] 安田圭一,中埜賢一,岸本亨,"通信装置用コネクタの技術と動向",信学技報, EMD94-2, 1994.
- [10] H.Oka, N.Sugiura, K.Yasuda, "Suitable Connecting Connections for Connectors through the Plated Through Hole of Printed Circuit Boards", Proc. 17th ICEC, S9-4, 1994.
- [11] IEC 917-2, "Modular order for the development of mechanical structures for electronic equipment practices, part 2 Sectional Specification-Interface co-ordination dimensions for the 25 mm equipment practice", 1992.
- [12] E.E.Davidson, "Electrical Design of a High Speed Computer Pakage", IBM J.Res.Develop, Vol.26, No.3, p.349, 1982.
- [13] 岡宏規, 三日月哲朗, "高速高密度コネクタの電気特性解析モデルの検討", 信学技報, EMD93-22, 1993.
- [14] "SONY Semiconductor IC Data Book SPECL Standard Logic", 1993.
- [15] R.A.Pucel, D.J.Masse, and C.P. Hartwing, "Losses in Microstrip Line", IEEE Trans.MTT, Vol. 16, No.6, p. 324, 1969.
- [16] K. Yasuda, N. Sugiura, H. Oka, "Advanced coaxial printed board connector for use with multi-pin connector", Proc. IEPC, p. 56, 1994.
- [17] N. Sugiura, K. Yasuda, H. Oka, "High-speed signal transmission characteristics for improved coaxial connector in a rack system", Proc. IEPC, p. 687, 1994.

第6章 マルチインタフェース収容を考慮した高速高密度システム 実装

6.1 まえがき

通信と放送、コンピュータ通信の融合化の中で[1]、通信システムと接続される入出力インタフェースの多様化が進んでいる。インタフェースの多様化は、インタフェース速度、インタフェース信号（光／電気）、伝送ケーブル（ファイバ／ツイストペアケーブル／同軸ケーブル）等と関連し、装置間接続に要求される伝送速度と伝送距離によって、使い分ける事となる。

従来の通信装置実装は、これまでに述べてきたブックシェルフ実装を基本とし、信号処理機能を搭載した配線板をサブラック内に実装する形であるため、インタフェースを収容する配線板は、インタフェース毎に設計する事が必要となり、同一のインタフェースプロトコルであっても、伝送距離が異なると、ドライバ／レシーバが異なるために、インタフェース用配線板を個別に設計しなければならない状況にあった。さらに、光インタフェースといっても適用する送信素子／受信素子によって個別に対応せざるえず、このために配線板を新規に設計することとなっていた。

また、通信装置では一般にコネクタ接続はバックプレーン裏面側[2]であり、電気コネクタ接続は、バックプレーンに打ち込まれているプレスインピンを介しての接続形態で可能となっているが、光接続にあたっては、光ファイバを配線板内に引き込む事が必要となる事から、バックプレーンに穴をあけ、光コネクタ接続を行うということが必要となっていた[3]。このようなバックプレーンへの穴あけは、バックプレーンの強度の低下、バックプレーンの配線領域の低減などの問題となるため、バックプレーンに穴をあける事なく、光インタフェースも含め、効率よくインタフェースを収容する事が望まれている[4]。

本章では、このような各種インタフェース状況を展望し、光／電気インタフェースを効率よく実装できる実装構成の検討結果と実装形態について示す[5]。

6.2 装置間接続インタフェースの動向と実装への要件

6.2.1 装置間接続インタフェースの動向[6]

装置間接続インタフェースは、ネットワーク間、コンピュータ間等での類別で分けられる。昨今の高速インタフェース化に伴い、高速なシリアルインタフェースが規格化、あるいは、検討されている。主な、装置間インタフェースの特徴を表6-1に示す[7]-[9]。

表6-1 装置間インタフェースの例と特徴

	ATM	Fiber Channel	FDDI	Ethernet	TPDDI
通信速度	100M,140M,156M 622Mbpsなど	133M,266M,530M 1Gbps	100Mbps	100Mbps	100Mbps
標準化機構	ATMフォーラム ITU	ANSI X3T9.3	ANSI X3T9.5	IEEE802.3	ANSI X3T9.5
データサイズ	53バイト (固定)	~2kバイト (可変)	~4500バイト (可変)	64~1518バイト (可変)	~4500バイト (可変)
伝送媒体	光ファイバ STP	光ファイバ STP,同軸	光ファイバ	UTP (カテゴリ3,5)	STP, UTP (カテゴリ5)

STP: Shielded Twisted Pair UTP: Unshielded Twisted Pair

さらに、情報通信網の高速化にともない、コンピュータとコンピュータの周辺装置を接続する各種高速シリアルインタフェースの標準化が検討されている。これらの高速シリアルインタフェースは、コンピュータ系のインタフェースの中で検討されているが、LAN系を基盤に通信系への適用も可能である事をアピールするようになってきている。

高速なシリアルインタフェースは、データをポイント・ツ・ポイントで、ケーブル数も少なく伝送する事が基本となっており、今後のマルチメディア時代のいろいろなメディア情報を、リアルタイムに伝送処理できる装置検討の面からも重要と考える。特に、これからの時代は、世の中の趨勢を鑑み、標準を取り入れていく事が、システム全体のコスト削減と共に、装置構成の検討に対しての重点課題の絞り込みが行い易くなるといえる。いくつかの高速シリアルインタフェースには表6-2に示すものがある[10]-[17]。

- ・ Fiber Channel
- ・ HIC (Heterogeneous InterConnect)
- ・ IEEE 1394 (High performance serial bus)
- ・ SSA (Serial Strage Architecture)
- ・ HIPPI (High Performance Parallel Interface)

表6-2 高速シリアルインタフェースの例と特徴

	Fiber Channel	HIC	IEEE1394	SSA	HIPPI
データ転送速度	133M/266M/ 531M/1062 Mbps	1K~200M 700~1000M 2000~3000Mbps	100M/200M/ 400Mbps	200M/400Mbps	800Mbps
ノード間距離	最大10km	最大1km	最大4.5m	最大20m	最大25m
トポロジ	ポイント -ポイント	ポイント -ポイント	デイジー チェーン	デイジー チェーン	ポイント -ポイント
活線挿抜	あり	あり	あり	あり	あり
コントロールLSI	\$100~200		\$45	\$97	

6. 2. 2 インタフェースの収容要件

先にしめしたように、各種インタフェース毎にインタフェース収容配線板を設計する事は、時間ならびにコストの増大となる。また、光のインタフェースを適用するにあたり、ファイバを配線板上に引き込むためにバックプレーンに穴を開ける事は、バックプレーンの強度並びに配線領域の低減となるために、このような穴あけをせずに、光インタフェースの収容可能な実装が必要となる。このような観点から、各種インタフェースの収容形態として以下の事が必要となる。

- ・バックプレーンに穴をあけない。この事から、インタフェース信号は電気信号の状態サブラック内に取り込む。
- ・伝送距離や伝送媒体に関する物理レイヤ処理機能（ドライバやレシーバ）を必要に応じて交換可能とする。

このような、インタフェース収容要件を考えると、インタフェース処理機能部とドライバやレシーバ機能である物理レイヤ部とを切り放す事が必要となる。このような切り放しを行うためには、信号の正常な送受信のための接続条件（信号のレベル、送受信する信号種、位相など）を決める必要がある。そこで、光インタフェースの収容実装を中心に示す。

6. 3 インタフェース収容実装構成

6. 3. 1 構成技術

装置間光接続にあたり、電気・光変換機能部となるE/O、O/Eモジュールをサブラック外付け構成とする実装構成形態を図6-1に示す。本形態は、外付け部を取り替える事が自由で、伝送に要求される距離、媒体に応じて、この外付け部を取り替える事ができる。この実装形態実現には、取り替え点でインタフェースを規定する必要がある。このインタフェース規定についての考え方を示す。

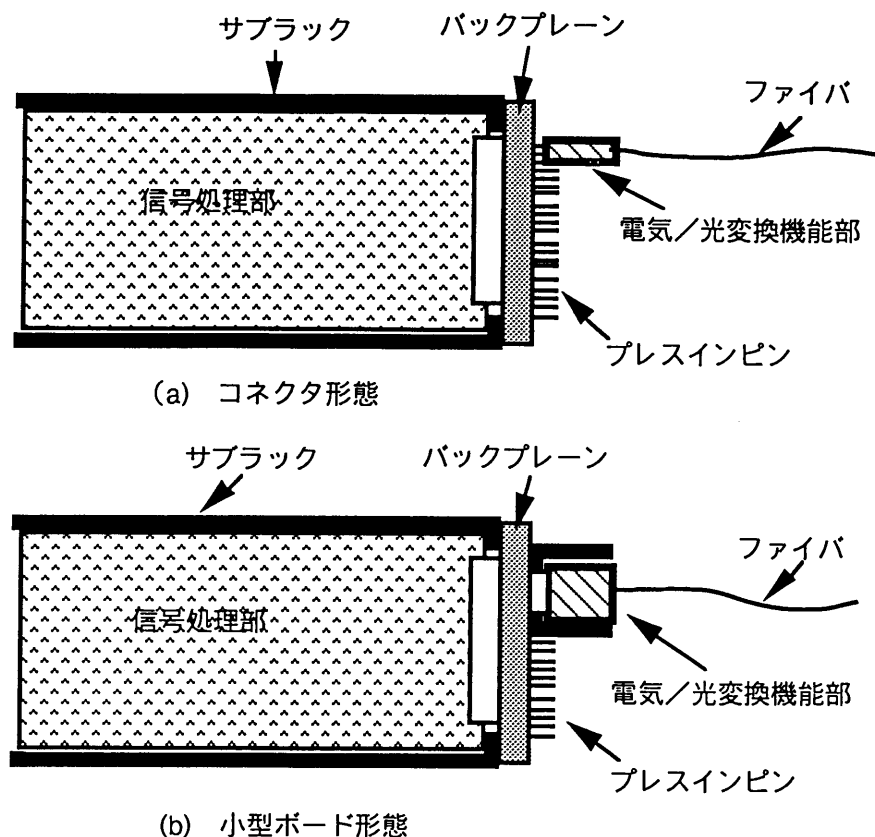


図6-1 インタフェース変換部の実装形態

6.3.1.1 電気・光変換機能

電気・光変換機能部は、光インタコネクションを適用する場合に必須である。この部分をサブラック外付け構成した場合、外付け部に集約する機能が、本機能部の物理的大きさに関連する事となるため、機能の整理を行い、外付けする機能をまとめる必要がある。電気・光変換機能部のブロック構成を図6-2に示す。本ブロック構成で、機能の集約規模およびサブラック側の信号処理部との信号の送受信に適する単位として、この機能ブロックの分割を考える。つまり、サブラック側の信号処理部との接続を簡易なインタフェースで実現できる機能ブロックの集約を考え、送信側、受信側について機能集約を表6-3の様に整理する。本構成によって、送信側は、信号処理部からの電気信号のデータ、クロック信号を基に、電気・光信号変換し、光信号で送信する。また、受信側は、受信したデータ信号を基に同期をとり、クロックを抽出し、光信号のデータを電気信号のデータ信号に変換し、信号処理部に伝達する事となる。

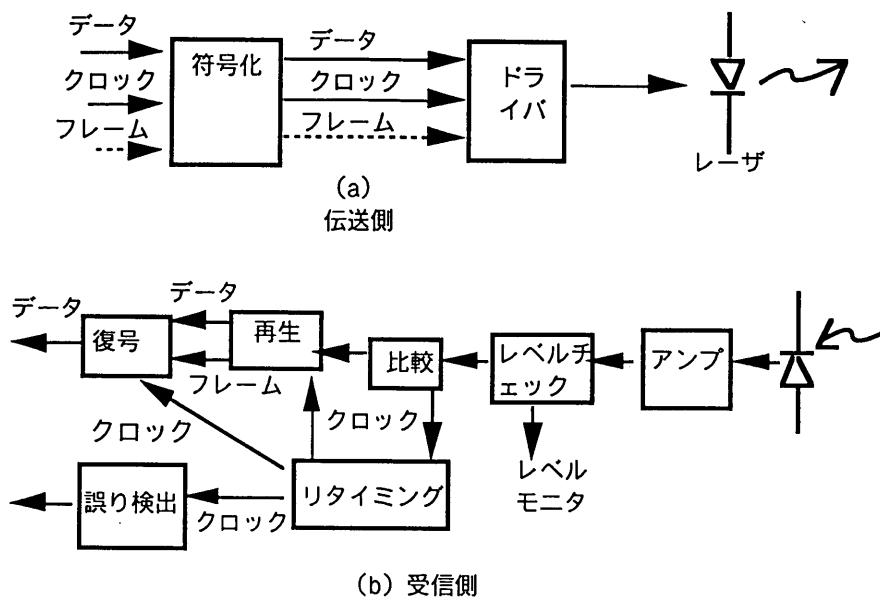


図 6-2 ブロック構成

表 6-3 送信、受信側に対する機能

	送信側	受信側
機能概要	信号処理部からのシリアルデータ（電気信号）を受信し、クロックに同期してレーザ等の発光駆動を行い光信号を送信する。	光データ信号を受信し、光信号を電気信号に変換する。 電気信号段で、クロック抽出を行うと共に、データ識別に必要なフレーム信号を作成し、信号処理部へ送出。

6.3.1.2 外付け機能部と信号処理部のインタフェース

サブラック外付けの電気・光変換機能部と信号処理部間での電気レベルによる信号の受け渡しを正常に行なうためには、受け渡す信号のインタフェース条件を規定する必要がある。相互に受渡す信号種としては、6.3.1.1で述べた機能ブロック構成実現上で、必要となるデータ、クロック、フレームとする。光伝送する距離に応じて、この外付け機能部を取り替え可能とするためには、1システム内では、外付け機能部と信号処理部間で受け渡す上記インタフェースの信号間の位相条件を規定する。位相規定法の一例を図6-3に示す。

このような、インタフェース規定を行なう事で、伝送距離に応じてサブラック外付けする機能部を取り替えても、容易に接続できる事となる。かつ、接続のインタフェースが規定されているため、各種インタフェースに対処できる事となり設計の簡易化が可能

となる。

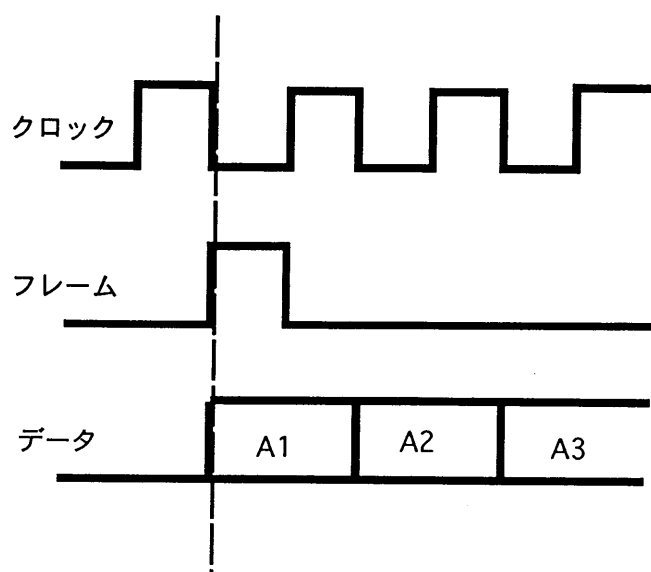


図 6-3 位相関係の例

6.3.1.3 電源供給

信号処理部と外付け機能部での信号の受け渡しにおいて、信号処理部と外付け機能部での電気信号のレベル変換が必要な場合がある。これについては、サブラック側より、ある電源（例えば5V、-2V等）の供給を受け（これは、サブラック内で共通的に使用する電圧である）、外付け機能部での電気信号レベル変換に必要な電圧は、外付け機能部内に内蔵した小型のコンバータや抵抗分圧によって作成する形態とする。本形態をとる事で、伝送距離に応じて外付け機能部を取り替えた場合も、信号処理部側からの供給電圧は一定であるので、容易に電圧変換できる事となる。このため、伝送距離によって、信号処理部の配線板を新規に設計する事もなくなる。

6.3.1.4 外付け機能部の取付け形態

電気・光変換機能を有する外付け機能部は、サブラックに取付けているバックプレーンのプレスインピンを介して接続する。外付け機能部とサブラック内に搭載する信号処理部とで受渡す電気信号は、このプレスインピンによって、機能部間を伝達する事となる。

このため、外付け機能部によって、電気信号と光信号とに分けられる事となり、サブラック内はすべて電気信号で閉じる形態となる。プレスインピンを適用する形態での電気信号の伝送速度は、プレスインピンとの接続コンタクトとして同軸構造のものも適用できる事となったため、ピンコンタクト[18]から同軸コンタクト[19]まで考慮すると、数MHzから数GHzまで適用できる。

この形態のために必要となるプレスインピン端子数は、信号の伝送形態が平衡伝送か不平衡伝送かによって表6-4の様に推定される。これらの端子数は、従来の装置実装で適用しているプレスイン端子を踏襲でき、かつ、実装のためのコネクタの大きさとしても、1ケーブルコネクタで可能となる。この様に、プレスインピン形態での接続とするため、従来の装置実装で問題となった、バックプレーンへの穴明けによるバックプレーン強度の低下という問題もなくなる。

以上、述べた事によって、電気・光変換機能部をサブラック外付け構成とする事で、伝送距離に応じて容易に取り替え可能な構成が実現できる。

表6-4 必要端子数の推定

	平衡伝送	不平衡伝送
端子数	データ： 2 クロック： 2 フレーム： 2 電源： 1～2 / 1 電圧 グラウンド： 電源用： 1～2 信号用： 1～2	データ： 1 クロック： 1 フレーム： 1 電源： (1～2) / 1 電圧 グラウンド： 電源用： 1～2 信号用： 速度による
速度領域	全速度領域に対応可能	(データ+クロック+フレーム) ：グラウンド端子数に依存する。 3：1で30MHz 1：1で100MHz 1：2で数100MHz 同軸構造コネクタでは 1：1で数百MHz

6.3.2 ブレッドボードでの一次評価結果

電気・光変換機能部を外付け機構とするための一次評価として、装置間光信号としてSDH(Synchronous Digital Hierarchy)インタフェース[20]を用いて、電気・光変換機能部と信号処理部をブレッドボード上に実装した形態で信号が正常に伝送できるかを評価した。一次評価としての実験であるため、外付け機能部となる電気・光変換機能部は、コネクタ状の取り替え形態でなく、ボード上にまとめて実装した。SDHの光信号は156Mbpsである。

その機能ブロック構成を図6-4に示す。入力したデータ信号と出力したデータ信号に対する、ロジックアナライザの結果を図6-5に示す。測定点は、図6-4でのMUXの前段、DMUXの後段でのパラレルデータ部である。測定結果では、送信データは正常に受信されている。つまりSDHの光信号は156Mbpsで正常に送受信され、本インタフェースを規定することで、電気・光変換機能部のサブラックの外付け構成で実現できる見通しを得た。

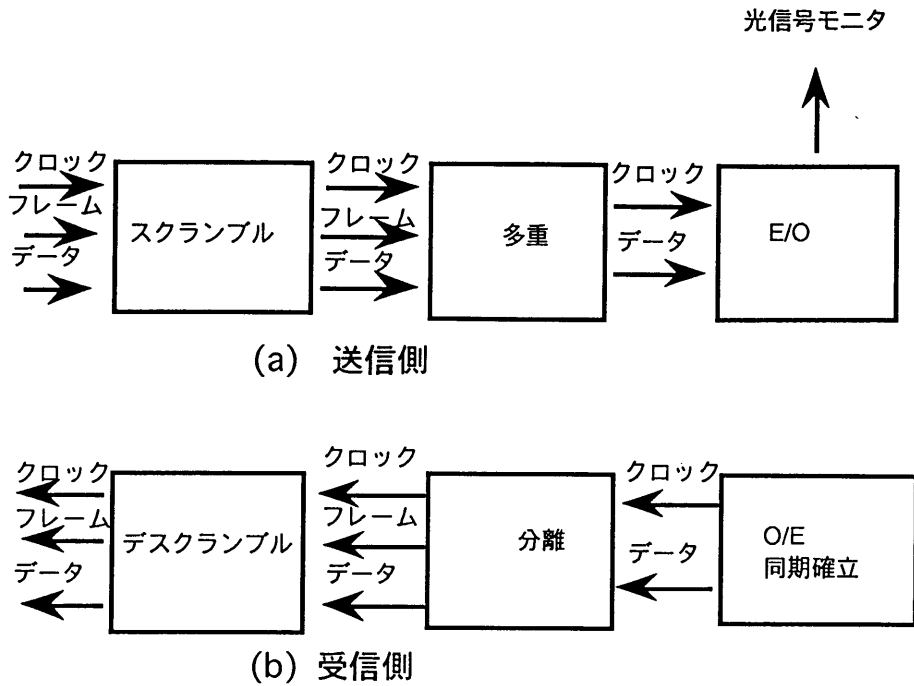


図6-4 実験系のブロック構成概要

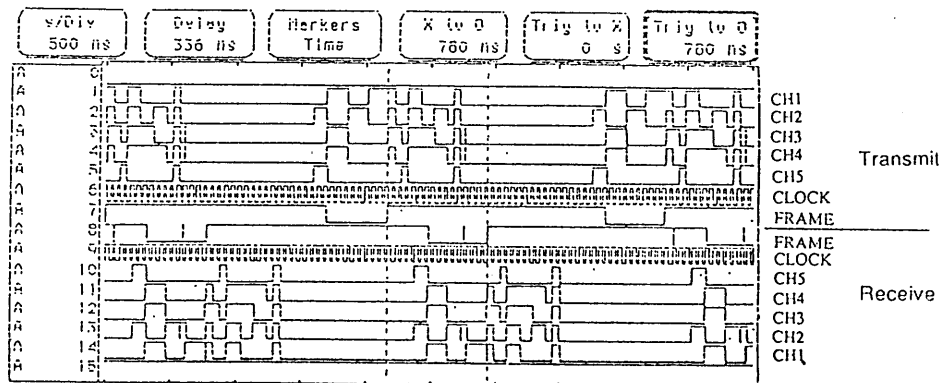


図6-5 測定におけるタイミング状況

6.4 マルチインタフェース収容に向けた高速高密度実装

マルチメディア化、B-I SDN化に向けて、通信装置に収容する事となる各種インタフェースは伝送速度、伝送距離に応じて任意に、取り替えできるようにする事が必要となる。同じインタフェースであっても、伝送距離によって、電気、光と適用がわけられる。このように、用途別に同じインタフェースを使いわけうるようにするには、信号処理部と接続処理部とを区別し、接続処理部を任意に取り替え可能とする事が必要となる。本章では、光を中心に述べたが、伝送する信号種が電気、光であっても、本章で提案した実装構成は、適用できる。つまり、バックプレーン外付部が、接続処理部に

相当するため、この部分を電気、光で任意に取り替える形態である[21]。信号処理部は、適用するインタフェースに応じて設計を行ない、外付部とは、規定したインタフェース条件で接続する事となる。本形態で任意にインタフェースが実装可能となる。この実装形態は、バックプレーンを貫通するコネクタ部の伝送特性が支配要因となる。このコネクタ部の伝送性能は、コネクタ内端子収容と関連し、図6-6に示すサブラック構造にて、信号：グランド=1：1の収容で、コネクタを介した送信側、受信側の波形は図6-7、エラーフリー（疑似ランダムパターン、 $n=23$ 、 10^{-11} にて）として156 Mbpsを観測した[22]。この事より、ATM(Asynchronous Transfer Mode)、STM(Synchronous Transfer Mode)インタフェースを本実装形態で直接収容できるシステム構成の見通しを得た。

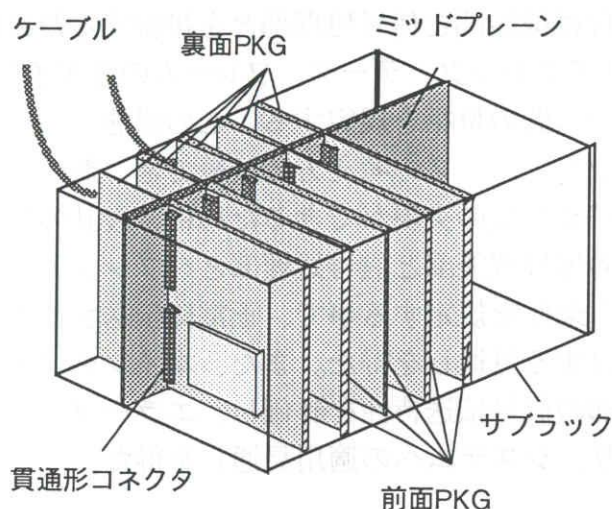


図6-6 貫通形コネクタを適用したサブラック構成

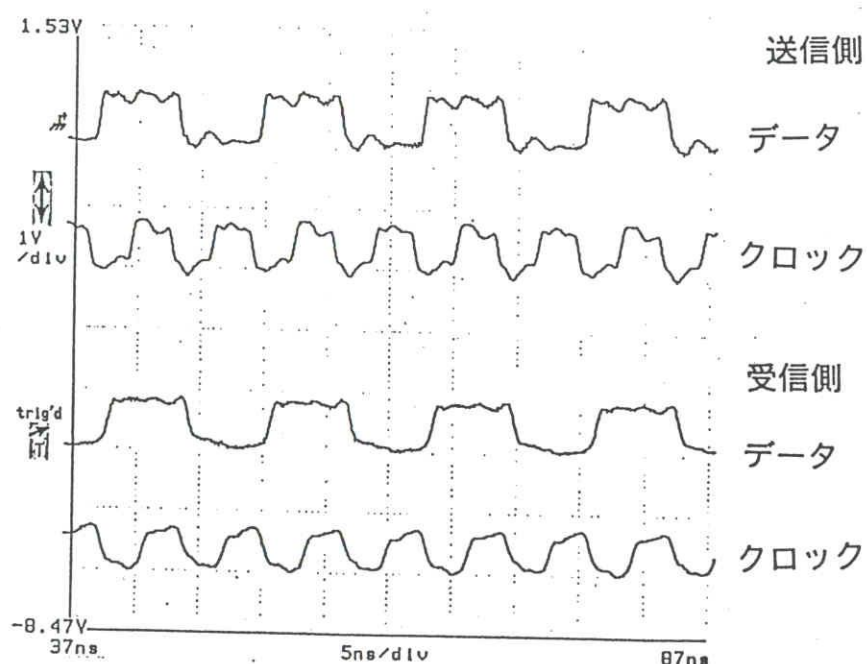


図6-7 貫通形コネクタを介した伝送波形
156 MHz

6. 5 まとめ

装置間の光インタコネクションに対して、光伝送する距離に応じて光インタコネクション用の機能部を、自由に取り替え可能な装置実装構成を検討し、実装構成を提案するとともに、その実装に必要な実装インタフェース条件の考え方を示した。

実装の特徴は、光インタコネクションに必要な電気・光変換機能部をサブラック外付けとし、この外付け機能部を、従来の装置実装で適用しているプレスインピンに接続する構成としている事である。この接続構成によって、従来装置実装をそのまま踏襲できる事となる。また、外付け機能部と信号処理部とを接続するために、必要となる接続用信号インタフェースとしてクロック、データ、フレームの3本インタフェースを扱い、かつ、これらインタフェース間の位相を規定する。この形態によって、外付け機能部と信号処理部とが同一のインタフェースの考え方で接続でき、かつ、外付け機能部のみの設計を行なう事で、取り替え単位の実現ができるために、設計の簡易化が図れる事となる。以上の考えの基に、外付け機能部と信号処理部とをブレッドボード上に構成し、両機能部間のインタフェース条件を規定する事で、正常に伝送される事の一次評価を得、外付け機能形態の構成に対する見通しを得た。また、本インタフェース収容構成のキーとなる、貫通形コネクタ部の信号伝送特性を評価し、エラーフリーにて156Mbps伝送を確認した。この事より、システムへの適用見通しを得た。

参考文献

- [1] "特集 次世代通信網の光と影", 日経コミュニケーション, p.40, 1994.4.4.
- [2] 金子義正, 川上正晴, 相原憲一, 金井恒雄, "デジタルシステム実装法", 通研実報, Vol.33, No.10, p.2383, 1984.
- [3] 杉田悦治, 岩佐恭一, 稲垣秀一郎, 笹倉久仁彦, "高性能プッシュプル光コネクタ及びプラグイン光コネクタ", 通研実報, Vol.36, No.7, p.919, 1987.
- [4] 谷澤靖久, 宮川俊哉, 山内賢治, 石川重太, "光インタフェース用小形発光/受光モジュールの量産に適した実装構造", 信学技報, EMD92-62, 1992.
- [5] 杉浦伸明, "装置間光接続構成", 信学論, Vol.J76-C-II, No. 2, p. 103, 1994.
- [6] "100M級製品相次ぐ、LANの渋滞を解消", 日経コミュニケーション, No. 154, p.52, 7.19.1993.
- [7] "ネットワークシステムプロダクト データブック", TI, 1994.
- [8] "次世代の周辺装置インタフェースポストSCSIに向け動き出す", 日経コミュニケーション, No.607, p.83, 1994.
- [9] CCITT 勧告 G709, "Synchronous Multiplexing Structure (1989)", 1989.
- [10] "ポストSCSIの設計思想を探る三つの新インタフェースを比較", 日経エレクトロニクス, No.612, p.125, 1994.
- [11] Gary Kessler, "Fiber Channel, 単純明快なチャネル技術で異種プロトコルを吸収", 日経エレクトロニクス, No.599, p.127, 1994.
- [12] Dave Bursky, "Chip set simplifies High-speed Interconnects", Electronic Design, Vol.42, No.5, p.114, 1994.
- [13] Warren Andrews, "Peripheral/channel interfaces take on network roles", Computer Design, Vol.33, No.7, p.59, 1994.
- [14] 新井悠一, "高速通信環境を提供するファイバチャネルとHIPPI", 日経コンピュータ, 1994.2.21, p.161, 1994.
- [15] "HIPPIカタログ", HUCOM.
- [16] "1394高性能シリアルバスカタログ", TI, 1994.
- [17] IEEE P1355, "Standard for Heterogeneous InterConnect (HIC)", 1994.
- [18] 杉浦伸明, 安田圭一, "多端子パッケージコネクタの最適端子ピッチに関する一考察", 信学技報, EMC91-21, 1991.
- [19] 三日月哲朗, 安田圭一, 杉浦伸明, "高密度同軸パッケージコネクタを用いたユニットの高速伝送特性", 信学技報, EMD92-15, 1992.
- [20] CCITT BLUE BOOK, "Recommendations G.707, G.708 and G.709(1989)", 1989.
- [21] 中村正人, 杉浦伸明, "装置間インタコネクション構成の一提案", 1995年信学春季全大, SC-5-3, 1995.
- [22] N. Sugiura, M. Nakamura, K. Kaizu, T. Kishimoto, "Telecom system packaging for line protection and multi-interface implementation", Proc. IEPC, p.701, 1995.

第7章 結論

本論文は、通信装置の高密度実装化、高速信号処理化に向けて、装置実装の構成技術のうち、主に、電気信号特性向上に向けてのコネクタ技術、サブラック内信号伝送評価技術等を中心に、研究の成果をまとめたものである。従来、装置実装に関する技術は、多岐に渡り、装置製造技術に係わるために、個々の技術に対して評価された結果等はあまり、表だって示される事はなかった。本論文では、通信装置を構成するサブラック（ユニット）内実装において、サブラック内に搭載される配線板間の信号伝送に係わるコネクタ技術を中心として、バックプレーン給電の給電性能、コネクタスイッチング雑音、コネクタの高速信号伝送性能、サブラック内信号伝送性能評価技術について検討し、高速高密度実装へ向けての適用領域を示した。

本研究での評価結果は、NTTの通信システム実装設計条件に反映し、装置を製造するメーカーに対して、装置製造技術指針として生かされている。さらには、装置実装の標準化にあたり、機構構造、電気特性評価検討などの結果を反映する観点より、本研究結果ならびに検討内容を盛り込み、国際標準化にも資している。

システム構成の基本となるサブラック（ユニット）において、コネクタは、信号伝送系の接続のみならず、給電系の接続として、重要な部品であり、高速化にとって、コネクタはキー部品となる。コネクタの高性能化に向けて、本研究の成果は、コネクタ構造検討におけるシミュレーションモデル、信号伝送系での各種雑音の考え方などの観点において有効に活用でき、広く産業界に貢献できるものである。更には、将来のB-ISDN装置実装で必須となる多種インタフェース収容を効率的に実現できる装置実装構成の検討にも十分反映できるものである。

以下に、本論文での成果を示す。

(1) ブックシェルフ実装形態でのバックプレーン給電性能について、バックプレーンの構造諸元で表した回路定数を用いた給電系の簡易モデル化によって、通電による熱平衡状態を解析する事を行った。本解析によって、バックプレーンの給電性能をバックプレーンの電源・グランド層構造と関連させて評価すると共に、バックプレーン給電の実験結果とも対比することで、装置構成上、必要となる電流を通電可能とするバックプレーン構造諸元を示した。さらに、2mm正方配置、1.27mm千鳥配置に対し給電性能比較を行い、2mm正方配置の優位性を示した。給電性能は、クリアランス径と関連し、コネクタが異なっても、コネクタの搭載条件で決まるクリアランス径を評価すれば許容通電電流量の推定は可能となる。また、給電バーに対しても、本研究の考え方を適用して通電電流が評価できる。（第2章）

(2) コネクタスイッチング雑音について、スイッチング雑音と、信号端子とグランド端子の端子収容、電源と電源用グランド端子の端子収容、同時動作信号数との影響を測定、評価した。スイッチング雑音は、システムの高速化に伴い、益々、重要視されて

いる雑音であり、その評価についても確立されていない状況である。今回の測定結果を基に、評価を行ったところ、スイッチングに伴うグランド端子当りの帰路電流分布が、グランド端子数の増加に対して均一に低減しない、有効なグランド端子を想定する、という仮定の下で、スイッチング雑音の測定結果は評価算出された結果と一致する事を示した。この結果は、システム実装設計の雑音配分条件におけるコネクタ端子収容条件に反映し、有効な端子数配分として生かされている。（第3章）

（3）多端子パッケージコネクタを用いたサブラック（ユニット）内信号伝送性能を、伝送上問題となる、配線間漏話、コネクタ端子間漏話、伝送損失、スイッチング雑音について評価を行った。これら雑音を信号伝送速度と関係するスイッチング時間と対応させ、サブラック内信号伝送の伝送速度の上限を評価し、伝送パルス信号の繰り返し周期がパルスの立ち上がり時間 T_r の6倍、信号：グランド=1：1の端子収容の下で、不平衡伝送で100Mbpsであることを示した。本評価結果により、伝送性能向上に向けては、コネクタ部での雑音（スイッチング雑音）を抑えることが重要で、サブラック（ユニット）内伝送のさらなる高速化に向けては、コネクタ部で発生する雑音低減に向けたコネクタ構造を検討する事が必要である。（第4章）

（4）上記検討より、サブラック（ユニット）内伝送性能向上には、コネクタがキー部品である事が明確となった。そこで、高速信号伝送用パッケージコネクタとして、既存の多端子コネクタと互換可能な、細径同軸エレメントを組み込んだパッケージコネクタの設計、電気特性評価の結果を示した。同軸エレメントの組み込みで、特性インピーダンスは、ほぼ信号配線系と整合するという良好な結果を得た。コネクタを実装した伝送性能評価用サブラックを用いて、サブラック内伝送性能を評価した結果、既存の多端子コネクタで約100Mbps、試作コネクタで約200Mbpsが、システムレベルでの高速伝送適用領域として評価された。これらの結果は、実システムでのコネクタ実装適用域として生かされている。（第5章）

（5）通信系の接続インタフェースの多様化に向けて、光インタフェースの効率的な実装形態を検討し、光・電気変換機能部をサブラック裏面側に搭載する構成を提案した。本実装構成は、伝送する距離や速度に応じて、この外付け部を自由に取り替える構成とする事が特徴となる。この実装構成のためには、裏面に外付けする機能部とサブラック内に実装する機能部間での信号の送受信のインタフェース条件（位相、電気信号レベルなど）を規定する事となる。このインタフェース条件を規定し、信号の伝送が可能となる事を、ブレッドボード上で示した。このような実装構成によって、光と電気の信号の分界がバックプレーンを基点になされ、サブラック内は電気信号で信号処理ができる事となる。この実装構成によって、各種インタフェースに対しても信号処理機能部のみ個別に設計し、外付け部は共通化し、設計の効率化が図れる事となる事を示した。この実装構成のキーとなる、貫通形コネクタの伝送性能としては、156Mbpsのエラーフリーを確認し、ATM装置などへの適用見通しを得た。（第6章）

通信装置の高密度実装化、高速信号伝送・高速信号処理化は益々進展していく。特に、インタフェースの高速化は156 Mbpsから、620 Mbps、2.5 Gbpsへと向かっており、これに伴い、サブラック内高速信号伝送化は今後、益々必要となってくる。このために、本研究で得た結果をさらに発展させ、高速化に向けた平衡伝送系への伝送性能の明確化が今後必要となる。また、サブラック間の信号伝送に用いるケーブルでの伝送の高速化に対して、その限界性能をEMC対策も含めて明確化することが、今後の課題である。このような高速化伝送の動向にあって、本論文での研究成果が、今後のシステム実装設計に多少なりとも貢献できれば望外の喜びである。

謝辞

本論文をまとめるにあたり、懇切なご指導ならびにご助言を頂いた名古屋大学工学部 小川 明教授に謹んで感謝の意を表します。また、本論文に対して有益なご助言、ご教示を頂きました名古屋大学工学部 板倉 文忠教授、水谷 照吉教授に厚くお礼申し上げます。

本研究は、筆者が日本電信電話株式会社における研究業務の一環として担当したものであり、多くの方々にご指導とご協力を頂きました。本研究の機会を与えて頂くとともに、暖かいご指導、ご鞭撻を頂いたミナトエレクトロニクス（株） 江川寛氏（元電子応用研究所電子装置研究部長）、NTTアドバンステクノロジー（株） 金子義正氏（元ネットワークサービスシステム研究所主席研究員）、NTTアドバンステクノロジー（株） 内山徹氏（元交換システム研究所伝達システム研究部長）、（株）日立製作所 江川哲明氏（元交換システム研究所伝達システム研究部長）、NTT Europe Ltd. 富田修二氏（元交換システム研究所伝達システム研究部長）、NTTエレクトロニクステクノロジー（株） 千葉由一氏（前伝達システム研究部長）、ネットワークサービスシステム研究所 鈴木滋彦所長、に厚く感謝の意を表します。

本研究を遂行する過程で、色々と、議論頂いた、実装技術研究グループの関係各位に感謝致します。

本研究に関する発表論文

1. 論文

- (1) 杉浦伸明, "装置間光接続構成", 信学論, Vol. J76-C-II, No.12, p.800, 1993.
- (2) 杉浦伸明, "バックプレーンの給電性能", 信学論, Vol.J77-C-II, No.2, p.103, 1994.
- (3) N. Sugiura, H. Oka, "Evaluation of board-to-board high-speed signal transmission limit in a rack system", IEICE Trans. Commun., Vol. E78-B., No.4, p. 591, 1995.
- (4) N. Sugiura, "Effect of power and ground pin assignment and inner layer structure on switching noise", IEICE Trans. Electron., Vol. E78-C, No. 5, p. 574, 1995.
- (5) N. Sugiura, K. Yasuda, H. Oka, "High-speed signal transmission characteristics for improved coaxial printed circuit board connector in a rack system", The International Journal of Microelectronics & Electronic Packaging, Vol. 18, No. 2, p. 85, 1995.

2. 国際会議

- (1) N. Sugiura, K. Yasuda, "High density multi-pin connector for high-speed signal transmission in a rack system", Proc. 41st ECTC, p.256, 1991
- (2) K. Yasuda, N. Sugiura, "An advanced high-density coaxial printed board connector for high-speed signal transmission in a rack system", Proc. Advances in Electronic Packaging ASME, Vol.1, p.15, 1992.
- (3) N. Sugiura, K. Yasuda, H. Oka, "High-Speed Signal Transmission Characteristics for Improved Coaxial Connector in a Rack System", Proc. IEPC, p.687,1994.
- (4) K. Yasuda, N. Sugiura, H. Oka, "Advanced Coaxial Printed Board Connector for use with multi-pin Connector", Proc. IEPC, p. 56, 1994
- (5) N. Sugiura, M. Nakamura, K. Kaizu, T. Kishimoto, "Telecom system packaging for line protection and multi-interface implementation", Proc. IEPC, p. 701, 1995.

3. 研究会

- (1) 安田圭一, 杉浦伸明, "高速信号伝送用パッケージコネクタの検討", 信学技報, EMC91-10, 1991.
- (2) 杉浦伸明, 安田圭一, "ブックシェルフ実装でのボード間信号伝送限界と高速化に向けた検討", 信学技報, SSE91-40, 1991.
- (3) 杉浦伸明, 安田圭一, "多端子パッケージコネクタの最適ピッチに関する一検討", 信学技報, EMC91-21, 1991.
- (4) 杉浦伸明, 安田圭一, 岡宏規, "ピン形コネクタと互換可能な高速信号伝送用コネクタの試作と高速適用領域の検討", 信学技報, EMD95-1, 1995.

4. 学会講演

- (1) 杉浦伸明, "バックプレーン給電系の構成検討", 平成3年信学春全大, B-507.

(2) 杉浦伸明, "高速信号伝送に向けた配線板構成の一検討", 平成3年信学秋全大, SC-5-5.

(3) 杉浦伸明, 岸本亨, 森 敏則, 安田圭一, "通信機器の実装技術", 平成7年信学春全大 GC-8.

(4) 中村正人, 杉浦伸明, "装置間インタコネクション構成の一検討", 平成7年信学春全大 SC5-3.

(5) 中村正人, 杉浦伸明, "多種インタフェース収容のための実装構成検討(2)", 平成7年信学秋全大 C-314.

5. 執筆

(社内誌論文)

(1) 安田圭一, 杉浦伸明, 稲垣秀一郎, "高速信号伝送に適した高密度パッケージコネクタの構成技術," NTT R&D, Vol.38, No.10, p.1203, 1989.