

シリコン酸化膜とシリコン窒化膜の大規模
集積回路への応用に関する研究

和 1253595

小 林 清 輝

目次

序	1
第1部 シリコン酸化膜の大規模集積回路への応用に関する研究	4
第1章 背景 — トンネル絶縁膜に対する要求 —	4
参考文献	10
第2章 比較的厚いシリコン酸化膜への正孔注入により生成する電子トラップとストレス誘起電流	13
2.1節 はじめに	13
2.2節 実験方法	17
2.3節 正孔注入後の131 ÅのSiO ₂ 膜に関する実験結果	19
2.4節 正孔注入後の比較的厚いSiO ₂ 膜における電子捕獲機構の検討	29
2.5節 比較的厚いトンネルSiO ₂ 膜の正孔捕獲がフラッシュメモリの特性に与える影響の考察	33
2.6節 結言	34
参考文献	36
Appendix 2A (2-3)式の導出	38
Appendix 2B 変位電流成分 J_2 の定式化	40
第3章 比較的薄いシリコン酸化膜への正孔注入により発生するストレス誘起電流	42
3.1節 はじめに	42
3.2節 実験方法	44
3.3節 正孔注入後の60 ÅのSiO ₂ 膜に関する実験結果	46
3.4節 正孔注入後の比較的薄いSiO ₂ 膜のストレス誘起リーク電流の伝導機構に関する考察	54
3.5節 比較的薄いSiO ₂ 膜のストレス誘起リーク電流がフラッシュメモリの特性に与える影響の考察	56
3.6節 結言	57
参考文献	58

第4章 シリコン酸化膜へのFowler-Nordheimトンネル電子注入により生 成する電子トラップとストレス誘起電流	60
4.1節 はじめに	60
4.2節 実験方法	62
4.3節 F-N電子注入後の131 ÅのSiO ₂ 膜に関する実験結果	63
4.4節 F-N電子注入後の比較的厚いSiO ₂ 膜における電子捕獲機構の 検討	71
4.5節 F-N電子注入後の60 ÅのSiO ₂ 膜に関する実験結果	76
4.6節 F-N電子注入後の比較的薄いSiO ₂ 膜のストレス誘起リーク電 流の発生機構に関する考察	82
4.7節 トンネルSiO ₂ 膜へのF-N電子注入がフラッシュメモリの特性 に与える影響の考察	83
4.8節 結言	84
参考文献	86
第5章 シリコン酸化膜への正孔注入により発生するストレス誘起電流の N ₂ Oアニールによる低減	88
5.1節 はじめに	88
5.2節 実験方法	89
5.3節 窒化SiO ₂ 膜中の窒素分布	91
5.4節 F-N電子注入後の窒化SiO ₂ 膜に関する実験結果	93
5.5節 正孔注入後の窒化SiO ₂ 膜に関する実験結果	93
5.6節 結言	100
参考文献	101
第6章 Fowler-Nordheimトンネル電子注入時に現れる基板正孔電流の SiO ₂ 膜厚と電界に対する依存性	103
6.1節 はじめに	103
6.2節 試料作成	105
6.3節 nチャネルMOSFETの基板正孔電流のモデル	106
6.4節 SiO ₂ 膜から陽極へ注入された電子のエネルギーの決定	116
6.5節 基板正孔電流の計算	119
6.6節 結言	121
参考文献	122
Appendix 6A (6-2)式の導出	124

Appendix 6B (6-14)式の導出	125
Appendix 6C 電子の平均エネルギー W_{avg}	126
第7章 シリコン酸化膜の経時絶縁破壊特性の面積依存性	128
7.1節 はじめに	128
7.2節 試料作成	129
7.3節 実験結果と考察	130
7.4節 結言	139
参考文献	140
Appendix 7A ワイブルプロット	141
第8章 素子分離のための局所酸化によってシリコン基板に誘起される応力の解析	144
8.1節 はじめに	144
8.2節 実験方法	145
8.3節 実験結果	151
8.4節 考察	152
8.5節 結言	156
参考文献	156
第2部 シリコン窒化膜とシリコン酸化膜の高集積DRAMへの応用に関する研究	158
第9章 背景 — DRAMのキャパシタ誘電体膜開発における課題 —	158
9.1節 キャパシタ誘電体膜に対する要求	158
9.2節 キャパシタ構造の変遷	160
参考文献	165
第10章 n^+シリコン表面に形成されたキャパシタ誘電体膜の絶縁破壊特性	167
10.1節 n^+ 拡散層を熱酸化して得られるシリコン酸化膜の絶縁破壊特性	167
10.1.1 プレナーキャパシタの n^+ 拡散層に対する要求	167
10.1.2 試料作成方法	168

1 0.1.3	n ⁺ 拡散層表面を熱酸化して得られるシリコン酸化膜の電氣的性質	170
1 0.2 節	n ⁺ ポリシリコン表面に減圧CVD法で堆積したシリコン酸化膜の絶縁破壊	176
1 0.2.1	n ⁺ ポリシリコン表面の誘電体膜に対する要求	176
1 0.2.2	試料作成方法	178
1 0.2.3	実験結果と考察	181
1 0.3 節	シリコン酸化膜とシリコン窒化膜の積層膜構造の検討	191
1 0.4 節	結言	197
	参考文献	199
第 1 1 章	シリコン窒化膜 とシリコン酸化膜の積層膜の電気伝導と絶縁破壊特性に対する上部酸化膜と下部酸化膜の影響	202
1 1.1 節	はじめに	202
1 1.2 節	実験方法	204
1 1.3 節	厚い上部・下部酸化膜による酸化膜 - 窒化膜 - 酸化膜積層構造の伝導電流の減少	206
1 1.4 節	窒化膜と酸化膜の積層構造における絶縁破壊特性	210
1 1.4.1	絶縁破壊寿命の下部・上部酸化膜厚に対する依存性	210
1 1.4.2	絶縁破壊寿命の温度依存性	215
1 1.5 節	結言	218
	参考文献	219
Appendix 11A	シリコン窒化膜 (Si ₃ N ₄) 表面を熱酸化して得られる上部酸化膜の膜厚の見積もり方法	222
第 1 2 章	極めて薄いシリコン窒化膜およびシリコン酸化膜-シリコン窒化膜積層膜の電気伝導	224
1 2.1 節	はじめに	224
1 2.2 節	試料作成	226
1 2.3 節	実験結果と考察	228
1 2.4 節	結言	235
	参考文献	237
第 1 3 章	枚葉式シリコン窒化膜CVD装置による極薄酸化膜-窒化膜積層膜の形成	240
1 3.1 節	はじめに	240

1 3.2 節	枚葉式窒化膜CVD装置の概要	244
1 3.3 節	試料作成	247
1 3.4 節	<i>In-situ</i> H ₂ 処理による下部酸化膜厚の低減	248
1 3.5 節	枚葉式CVD装置によって形成された酸化膜-窒化膜積層膜 の絶縁性と経時絶縁破壊特性	252
1 3.6 節	枚葉式窒化膜CVD装置の円筒型キャパシタへの応用	258
1 3.7 節	結言	262
	参考文献	263
	結論	266
	謝辞	280
	研究業績目録	282

序

近年の情報化社会の進展は、半導体集積回路に対する旺盛な需要を創出してきた。また、半導体集積回路の高性能化とその性能に対する相対的な価格の低減が、集積回路需要の飛躍的な拡大を引き起こしてきた。半導体集積回路は、MOS (Metal-Oxide-Semiconductor) 電界効果トランジスタやキャパシタなどの素子によって構成されており、集積回路の高性能化と低価格化を支えてきたのは、それを構成する素子の微細化と高集積化である。今日の代表的な半導体集積回路である不揮発性メモリとDRAM (Dynamic Random Access Memory) に於いても、その事情は同様である。

ところで不揮発性メモリやDRAM (Dynamic Random Access Memory) に於いては、その集積回路としての性能と信頼性が、メモリセルを構成する素子に用いられる誘電体薄膜、特にトンネル絶縁膜とキャパシタ誘電体膜と呼ばれる薄膜の絶縁性・信頼性に強く依存している。この為、トンネル絶縁膜とキャパシタ誘電体膜に用いられる誘電体材料の絶縁性と信頼性、及びこれらの特性を決定する物理的要因を十分に理解し、集積回路の設計や開発に反映することが重要な課題となっている。これまで、トンネル絶縁膜やキャパシタ誘電体膜の材料としては、シリコン酸化膜 (SiO_2) とシリコン窒化膜 (Si_3N_4) が注目されてきた。その理由は、優れた絶縁性と信頼性を発揮する薄膜を比較的容易な製造方法によって得ることができるからであり、今後も重要な薄膜材料として注目されている。しかし、集積回路の高性能化・高集積化と素子の微細化が進むにつれて、これらの誘電体材料に対してより高い水準の絶縁性と信頼性が要求されており、且つ、極限までの薄膜化が要求されている。このため、シリコン酸化膜とシリコン窒化膜の絶縁性と信頼性に関する研究の歴史は決して短くはないが、集積回路への応用を考えた場合には依然として極めて多くの取り組むべき研究課題が存在している。

さて一方、不揮発性メモリやDRAMなどの集積回路に於いては、トランジスタなどの素子と素子との間の電氣的な干渉を防ぐために、LOCOS (Local Oxidation of Silicon) 法

と呼ばれるシリコンの局所酸化技術を用いて、比較的厚いシリコン酸化膜（これを分離酸化膜と呼ぶ）を形成している。ところが、このような分離酸化膜の形成によってシリコン基板に発生する応力が結晶欠陥を誘起し、*p-n*接合のリーク電流を増加させるために素子の性能が低下してしまう等の問題が懸念されている。このため、分離酸化膜の形成によってシリコンに発生する応力の分布に関する知見を得て、応力を制御することもまた重要な課題となっている。

以上のような背景のもとで本論文では、第1部「シリコン酸化膜の大規模集積回路への応用に関する研究」に於いて、不揮発性メモリを構成するトンネル絶縁膜への応用を念頭に置いて、薄いシリコン酸化膜（60～130Å）の絶縁性と信頼性を低下させる要因と、それらの特性を向上する方法に関して実施した研究の成果を論述する。ここでは、第1章に於いてトンネル絶縁膜に要求される特性として、（1）電子捕獲密度が小さいこと、（2）リーク電流密度が小さいこと、（3）絶縁破壊を起こしにくいこと、が重要であることを解説し、第2章から第5章にわたって、キャリア注入に起因するシリコン酸化膜の電子捕獲現象とリーク電流発生に関する研究成果を述べる。さらに第6章に於いてシリコン酸化膜への正孔注入機構について、第7章に於いてシリコン酸化膜の絶縁破壊特性に関する研究成果を述べる。またシリコンの局所酸化がシリコン基板表面に誘起する応力に関する研究の結果については、第1部第8章で論述する。ここでは顕微ラマン分光法をシリコン基板表面の応力の測定に適用し、応力分布の解析を行なった。

第2部に於いては、「シリコン窒化膜とシリコン酸化膜の高集積DRAMへの応用に関する研究」と題して、DRAMを構成するキャパシタ誘電体膜の絶縁性・信頼性の確保と薄膜化を念頭に置いて、シリコン酸化膜、シリコン窒化膜、及びこれらの積層膜を形成する技術に関する研究を行なった。まず第9章でDRAMのキャパシタ誘電体膜を開発するに当たっての課題について説明し、第10章から第13章にわたってシリコン酸化膜とシリコン窒化膜、及びそれらの積層膜の電気伝導・絶縁破壊に関する研究結果と、積層膜の薄膜化技術に関して得られた成果を論述する。

本研究の第1部で得られた成果は、今後の高集積不揮発性メモリとして注目されてい

るフラッシュメモリ（Flash Memory）の微細化と高信頼化に対して、極めて有用な知見と技術指針を与えるものである。また第2部で得られた成果の一部は、実際に大量生産された1Mbit, 4Mbit, 16Mbit, 64Mbitの各世代のDRAMの製造に応用され、さらに次世代の256Mbit DRAM以後のデバイスを実現するために有用な技術を提供するものである。

第1部 シリコン酸化膜の大規模集積回路への応用に関する研究

第1章 背景 —トンネル絶縁膜に対する要求—

不揮発性メモリとして知られるフラッシュメモリ (Flash Memory) のメモリセルは、通常、絶縁膜で取り囲まれたフローティングゲート (Floating Gate) を有する電界効果トランジスタ (Field Effect Transistor (FET)) によって構成されている[1]-[4]。図1-1に、近年注目されているNOR型フラッシュメモリのメモリセル構造を示す[2],[4]。ポリシリコンからなるフローティングゲートと単結晶シリコン基板の間に、トンネル絶縁膜と呼ばれる薄い絶縁膜を有しており、このメモリセルでは、フローティングゲートに対しトンネル絶縁膜を介して電子を出し入れし、フローティングゲートの電位を変化させるこ

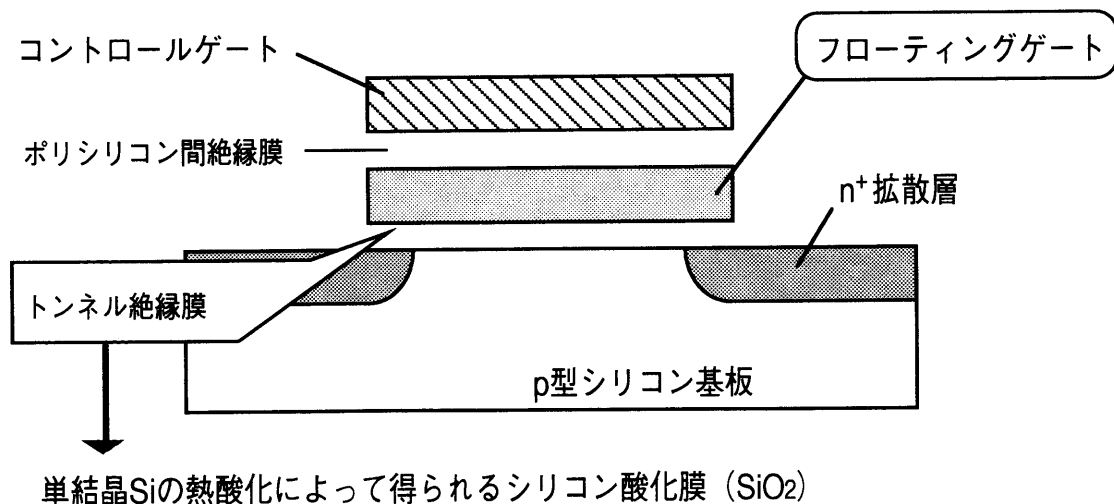


図1-1 NOR型フラッシュメモリ (Flash Memory) のメモリセルの断面模式図。[2],[4]

とによって情報を記憶する。トンネル絶縁膜を介しての電子の輸送は図1-2に示すように、チャネルホットエレクトロン効果^{注1}、及びFowler-Nordheim (F-N) トンネリング^{注2}を利用して行われる。情報の書き込み時には、コントロールゲートとドレインに正電圧を印加し、シリコン基板表面において、基板-絶縁膜界面のエネルギー障壁を越えるこ

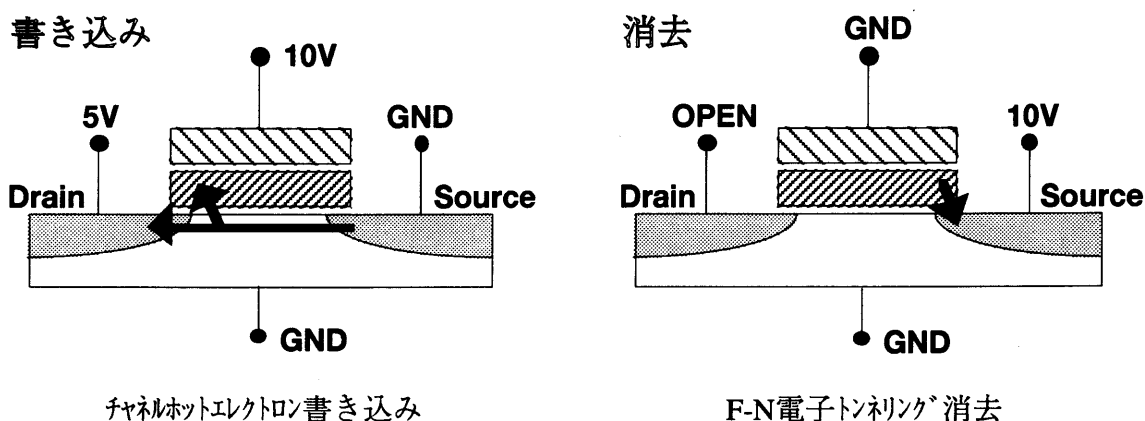


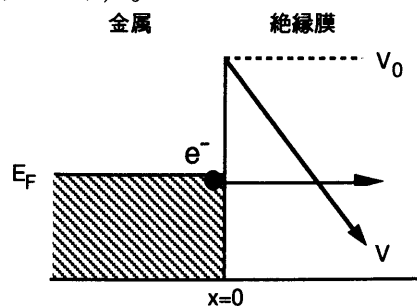
図1-2 NOR型フラッシュメモリの書き込み・消去動作を示す模式図であり、図中の矢印は電子の動きを表している。

^{注1} トランジスタのソースからドレインに走行する電子は、シリコン基板中の電界によって加速される。この電子の内、シリコンの格子温度で決まるエネルギーより高いエネルギーを有するようになったものをホットエレクトロンと呼び、このような高いエネルギーを有する電子が発生する現象をホットエレクトロン効果という。図1-2に示す書き込み動作においては、シリコン基板とトンネル絶縁膜の界面のエネルギー障壁を飛び越えるほどの高いエネルギーを有するに至った電子の一部が、トンネル絶縁膜をへてフローティングゲートに注入される。

^{注2} 金属と絶縁膜が接する構造に於いて、絶縁膜中に強い電界が存在する場合に、電界によって図のような三角形に変形したエネルギー障壁を電子がトンネル効果によって通り抜ける現象を、Fowler-Nordheim (F-N) トンネリングという。F-Nトンネリングに起因する電流は次式で与えられる。

$$J = A E^2 \cdot \exp(-B/E) \quad A = q^3 m / 8\pi h \Phi_B m^*, \quad B = 8\pi (2m^*)^{1/2} \Phi_B^2 / 3hq$$

ここで、 Φ_B は障壁高さ、 m は自由電子質量、 m^* は SiO_2 禁制帯中の電子有効質量、 h はプランク定数である。この式から分かるように $\ln(J/E^2)$ と $1/E$ のプロットは直線となる (F-Nプロット)。



とができる程の高エネルギーを有するに至った電子（ホットエレクトロン）の一部をフローティングゲートに注入する。情報の消去時には、コントロールゲートを接地しソースに正電圧を加えることにより、フローティングゲートから電子をF-Nトンネリングにより引き抜く。トンネル効果によって電子が通過することが、トンネル絶縁膜と呼ばれる所以である。

トンネル絶縁膜には、単結晶シリコンの熱酸化によって得られるシリコン酸化膜（ SiO_2 ）が多用される。これは、熱酸化によって形成した SiO_2 膜の禁制帯幅が8～9 eVと広く[5]、膜中のトラップ密度が小さいため、優れた絶縁性を示すことに起因している。16Mbit フラッシュメモリにおいて、その膜厚は約100 Åである。情報の書き換えにF-Nトンネリングを利用する場合には、トンネル SiO_2 膜に約10～14 MV/cmの高電界を加える必要が有る。高電界印加のもとで情報の書き換え（書き込み／消去）を繰り返すことによって、トンネル SiO_2 膜中における電子トラップの生成や絶縁破壊が引き起こされ、これらの現象が情報の書き換え回数を制限する。書き換え回数を制限する要因を、表1を用いて以下で詳しく説明し、合わせてトンネル絶縁膜に要求される性能も記述する。

（1）トンネル SiO_2 膜のストレス誘起電流：

フラッシュメモリにおいては、電源を切って放置した状態においてもフローティングゲートに蓄えられた電荷の大部分を10年間保存する必要がある（放置した状態での電荷保持特性をデータリテンション（Data Retention）特性と呼ぶ）。また、セルの情報を読み出すときに、例えばコントロールゲートに+3.3 V、ドレインに+1.0 Vを加え基板を接地するが、この状態を10年間繰り返してもフローティングゲート中の電荷量が保持されなければならない。（このような読み出し時の電荷保持特性をリードディスタurb（Read Disturb）特性と呼ぶ。）それ故、トンネル SiO_2 膜を介してリークする電荷量が許容値以下でなければならない。例えば16Mbit フラッシュメモリを想定するとき、チャンネル長が0.5 μm 、チャンネル幅が0.3 μm のメモリトランジスタのフローティングゲートに注入される電荷が約2 fC/cell（電子数にして約 1×10^4 個/cell）であり、許容される電荷消失

表1 フラッシュメモリとトンネル絶縁膜に要求される特性

	Endurance (書換え耐性)	Data Retention	Read Disturb	
デバイス	<p>$10^4 \sim 10^6$回書き換え時</p> <ul style="list-style-type: none"> 故障率 < 0.1% スクリーニング回数最小 	<ul style="list-style-type: none"> 書き換え速度 Window Narrowingの抑制 ($\Delta V_{th} < 1.0 \text{ V}$) 	<p>放置時</p> <ul style="list-style-type: none"> データ保存 10年 	<p>読み出し時 (10年間)</p> <ul style="list-style-type: none"> データ保持
トンネル絶縁膜	<p>経時絶縁破壊 (TDDB)</p> <p>初期故障率 小</p> <p>Q_{BD} 大</p> <p>$10^4 \sim 10^6$回</p> <p>瞬間故障率</p> <p>log(注入電荷密度)</p>	<p>電子捕獲</p> <p>電子捕獲密度 小</p> <p>log(電流値)</p> <p>SiO₂電界 (高電界)</p>	<p>ストレス誘起電流</p> <p>ストレス誘起電流 小</p> <p>log(電流値)</p> <p>SiO₂電界 (低電界)</p>	

Q_{BD} : 磨耗故障に至るまでに酸化膜に流すことのできる電荷密度 (cm^{-2})。

量が約0.5 fC/cellとする。このとき10年間の平均リーク電流は、約 2×10^{-24} A以下である必要があり、トンネルSiO₂膜の平均リーク電流密度は 1×10^{-15} A/cm²以下でなければならない。

一方、MOS構造においてSiO₂膜に高電界でF-N電子注入を行った後、ゲート電圧とゲート電流の関係を測定すると、F-N電子注入前には観測されなかったゲート電流成分、即ちストレス誘起電流（Stress-Induced Excess Current (SIEC)）が現れる[6]-[12]。このストレス誘起電流には、SiO₂膜中への電子捕獲に起因する変位電流成分と、SiO₂膜を電子が通過してしまうリーク成分の2成分があり、いずれもSiO₂膜中に生成した電子トラップが原因と考えられている[9]。リーク成分は特にストレス誘起リーク電流（Stress-Induced Leakage Current (SILC)）と呼ばれる[11]。フラッシュメモリでは、情報の書き換え時にトンネルSiO₂膜に対し高電界を加え電子注入を行うが、これによってトンネルSiO₂膜の低電界でのリーク電流の増加が起こると、データリテンション特性やリードディスターブ特性の低下を招く。F-N電子注入ストレスを受けた後も、トンネルSiO₂膜のストレス誘起リーク電流が許容値以下でなければならない。

また、図1-2において示した消去動作時において、コントロールゲートと基板を接地しn⁺拡散層（ソース）に高い正電圧を印加すると、バンド間トンネリングに起因して正孔がトンネルSiO₂膜に注入される[13]-[16]。（この現象は第2章において詳述する。）SiO₂膜へ正孔注入を行うと電子トラップが生成するという指摘があり[17],[18]、正孔注入によって劣化したSiO₂膜においてもまた、ストレス誘起リーク電流が許容値以下でなければならない。

（2）トンネルSiO₂膜の電子捕獲：

SiO₂膜に電子を注入すると、その一部は膜中に存在する電子トラップに捕獲される[5],[19],[20]。また、情報の書き換えを繰り返し、トンネルSiO₂膜に対し高電界を加えたり電子注入を行うなどの電氣的ストレスを加えると、SiO₂膜中に新たに電子トラップが生成し、そのトラップによる電子捕獲が発生する[21]。このような電子捕獲（負電荷の蓄積）は、トンネルSiO₂膜を介しての電子の輸送（F-Nトンネリング）を妨げ、情報の書

き換え時にフローティングゲートの電位が十分に変化しなくなる現象（Window Narrowing）や、電位の十分な変化に必要な書き換え時間が長くなり、素子の書き換え速度が低下してしまう現象を引き起こす。このため、トンネルSiO₂膜には電子捕獲を起こしにくいことが要求される。

（3）トンネルSiO₂膜の絶縁破壊：

SiO₂膜に対し高電界印加や電荷注入のような電氣的ストレスを加え続けると、ついには経時絶縁破壊（Time Dependent Dielectric Breakdown (TDDB)）が誘起される[22]。一般にSiO₂膜のTDDBに起因するデバイスの故障において、瞬間故障率の時間変化は初期故障領域と磨耗故障領域の二つの領域に大別される。表1の挿入図に示すように、時間とトンネル電流の積で与えられる注入電荷密度に対する瞬間故障率の関係も同様である。瞬間故障率は、初期故障領域においては注入電荷密度が増加するにつれて減少し、磨耗故障領域においては注入電荷密度が増加するにつれて増加する。フラッシュメモリを製造後、故障チップのスクリーニングを行い市場に出荷するとき、SiO₂膜のTDDBに起因する市場故障率を例えば1%以下のような低水準に抑制するためには、市場での使用中に故障率が急激に増加する磨耗故障に至ることは避けるべきである。1回の書き換えに必要な電荷の移動量は一定であるから、磨耗故障に至るまでにSiO₂膜を通過することの出来る電荷量（Charge-to-Breakdown, Q_{BD}）が書き換え回数を制限する。それ故、トンネルSiO₂膜は、Q_{BD}が出来るかぎり大きいことが必要とされる。例えば、前述のチャンネル幅が0.3 μmのメモリトランジスタにおいて、消去動作時にF-Nトンネリングによって電子が通過するn⁺拡散層上のトンネルSiO₂膜の面積は、Mutoら[23]の計算結果を用いると約0.003 μm²となる。16 Mbitでは1チップ当たり0.05 mm²である。フローティングゲートに注入される電荷が約2 fC/cellであるから、1回の書き換えに対するSiO₂膜の平均通過電荷密度は7 x 10⁻⁵ C/cm²である。よって、10⁴回の書き換えを行う場合には0.7 C/cm²以上のQ_{BD}が、10⁵回の書き換えを行う場合には7 C/cm²以上のQ_{BD}が必要である。

また、所定の書き換え回数に対してQ_{BD}が十分大きいとき、表1の挿入図における斜線部分が市場でのトンネルSiO₂膜に起因する累積故障率となる。市場故障率を低水準に

抑制するためには、初期故障領域での瞬間故障率が小さいことが必要である。

以上のような要請から、 SiO_2 膜の絶縁破壊現象や劣化現象を研究しこれらを律速する要因を解明すること、また素子の寿命予測を行うこと、さらには絶縁膜性能を向上させる指針を見いだすことが極めて重要である。以下では、まず上記(1)と(2)に関する研究成果として、第2章～第5章において、 SiO_2 膜への正孔注入によって生成したトラップへの電子の捕獲過程、および正孔注入によって発生するストレス誘起電流に関する研究結果を示す。第6章では、上記(1)～(3)に共通する研究課題として、nチャネルMOSFETに於いて、チャネルからゲート SiO_2 膜にF-Nトンネル電子注入を行った場合に現れる基板正孔電流の SiO_2 膜厚と SiO_2 電界に対する依存性に関する検討結果を示す。第7章では、上記(3)に関する研究成果として、 SiO_2 膜の経時絶縁破壊特性の SiO_2 膜面積と SiO_2 膜厚に対する依存性についての研究結果を示す。

参考文献

- [1] F. Masuoka, M. Asano, H. Iwahashi, T. Komuro, and S. Tanaka, in Technical Digest of International Electron Device Meeting, 1984, p. 464.
- [2] S. Mukherjee, T. Chang, R. Pang, M. Knecht, and D. Hu, in Technical Digest of International Electron Device Meeting, 1985, p. 616.
- [3] 舛岡富士雄、躍進するフラッシュメモリ（工業調査会）、1992.
- [4] 福田永、応用物理、第63巻、第11号、1994, p. 1106.
- [5] P. Balk, The Si-SiO₂ System, Elsevier, Amsterdam, 1988, p. 10.
- [6] J. Maserjian and N. Zamani, J. Vac. Sci. Technol., 20, 743 (1982).
- [7] P. Olivo, T. N. Nguyen, and B. Ricco, IEEE Trans. Electron Devices, ED-35, 2259, (1988).
- [8] D. J. Dumin, K. J. Dickerson, M. D. Hall, G. A. Brown, in Proceedings of the International

Reliability Physics Symposium, 1989, p. 28.

[9] R. Moazzami and C. Hu, in International Electron Device Meeting Tech. Dig., 1992, p. 139.

[10] A. El-Hdiy, G. Salance, C. Petit, M. Jourdain, and D. Vuillaume, J. Appl. Phys., 74, 1124 (1993).

[11] N. Yasuda, N. Patel, and A. Toriumi, in Extended Abstract of the 1993 International Conference on Solid State Devices and Materials, 1993, p. 847.

[12] R. S. Scott and D. J. Dumin, J. Electrochem. Soc., 142, 586 (1995).

[13] J. Chen, T. Y. Chen, I. C. Chen, P. K. Ko, and C. Hu, IEEE Electron Device Lett, EDL-8, 515, (1987).

[14] T. Endoh, R. Shirota, M. Momodomi, and F. Masuoka, IEEE Trans. Electron Devices, ED-33, 835 (1986).

[15] J. Chen, T. Y. Chen, P. K. Ko, and C. Hu, IEEE Electron Device Lett, EDL-10, 203, (1989).

[16] T. Tsuchiya, in Proceedings of 21st Conf. Solid State Devices and Materials, 1989, p. 79.

[17] S. K. Lai, J. Appl. Phys., 54, 2540 (1983).

[18] I. C. Chen, S. Holland, and C. Hu, J. Appl. Phys., 61, 4544 (1987).

[19] E. H. Nicollian, C. N. Berglund, P. F. Schmidt, and J. M. Andrew, J. Appl. Phys., 42, 5654 (1971).

[20] T. H. Ning, J. Appl. Phys., 47, 3203 (1976).

[21] M. S. Liang and C. Hu, in Technical Digest of International Electron Device Meeting, 1981, p. 396.

[22] 例として以下の文献がある。

D. L. Crook, in Proceedings of 1979 International Reliability Physics Symposium, 1979, p. 1.

K. Yamabe, K. Taniguchi, and Y. Matsushita, in Proceedings of 1983 International Reliability Physics Symposium, 1983, p. 184.

K. Yamabe and K. Taniguchi, IEEE Trans. Electron Devices ED-32, 423 (1985).

J. W. McPherson and D. A. Baglee, *J. Electrochem. Soc.*, 132, 1903 (1985).

J. W. McPherson and D. A. Baglee, in *Proceedings of 1985 International Reliability Physics Symposium*, 1985, p. 1.

Y. Hokari, T. Baba, and N. Kawamura, *IEEE Trans. Electron Devices* ED-32, 2485 (1985).

J. S. Suehle, P. Chaparala, C. Messick, W. M. Miller, and K. C. Boyko, in *Proceedings of 1994 International Reliability Physics Symposium*, 1994, p. 120.

D. J. Dumin, J. R. Maddux, R. S. Scott, and R. Subramoniam, *IEEE Trans. Electron Devices* ED-41, 1570 (1994).

[23] H. Muto, H. Kitabayashi, K. Nakanishi, S. Wake, and M. Nakajima, in *Extended Abstracts of the 1993 International Conference on Solid State Devices and Materials*, Makuhari, 1993, p. 264.

第2章 比較的厚いシリコン酸化膜への正孔注入により生成する電子トラップ とストレス誘起電流^{[33]-[35]}

2.1節 はじめに

MOS (Metal-Oxide-Semiconductor) 構造において、 SiO_2 膜に高電界でFowler-Nordheim (F-N) トンネル電子注入を行った後にゲート電流-ゲート電圧特性を測定すると、F-N電子注入前には観測されなかった電流成分が現れゲート電流が増加することが知られている [1]-[7]。このF-N電子注入で増加する電流成分を、ストレス誘起電流 (Stress-Induced Excess Current (SIEC)) と呼ぶ。図2-1は、 131 \AA の SiO_2 膜に -0.1 A/cm^2 の電流密度で290秒のF-N電子注入を行った前後でのゲート電流-ゲート電圧特性であり、ストレス誘起電流が観測されている。第1章で述べたようにフラッシュメモリにおいては、情報の書き換え時にトンネル SiO_2 膜に対しF-N電子注入を行うが、これによってト

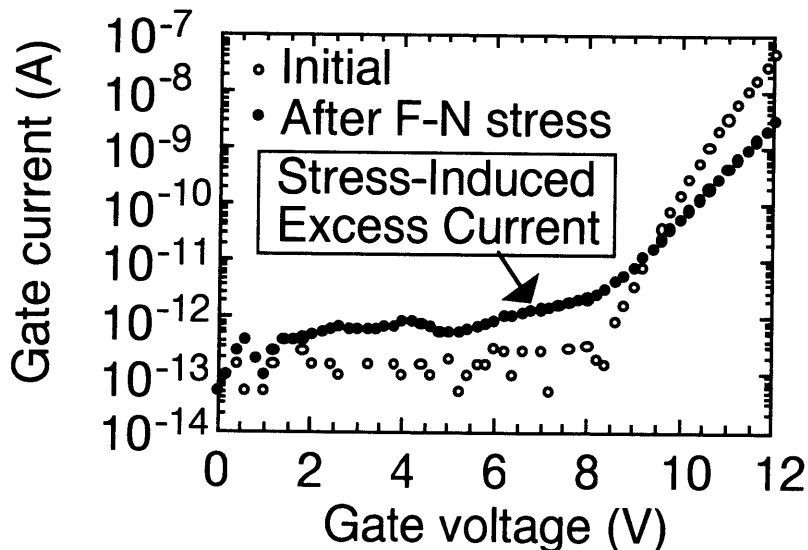


図2-1 131 \AA の SiO_2 膜に -0.1 A/cm^2 の電流密度で290秒のF-N電子注入を行った前後でのゲート電流-ゲート電圧特性。

ンネルSiO₂膜の低電界でのリーク電流が許容値（約10⁻¹⁵ A/cm²）以上に増加すると、情報の10年間の保持に支障をきたしてしまう。それ故、ストレス誘起電流についての研究は極めて重要である。

これまでのストレス誘起電流についての研究では、Maserjian と Zamaniは、高電界（13 MV/cm）でF-N電子注入を行った40～50 ÅのSiO₂膜におけるストレス誘起電流の特性を説明するために、「Si-SiO₂界面近傍に捕獲された正電荷が電子に対するSiO₂膜のエネルギー障壁を部分的に低下させ、電子のトンネル確率を増加させる」というcharge-assisted tunnelingモデルを提案している[1]。MoazzamiとHuは、60～130 ÅのSiO₂膜に対して高電界でF-N電子注入を行った後のストレス誘起電流の振る舞いについて調べている。彼らは、100 Å以上のSiO₂膜で観測されるストレス誘起電流が、F-N注入により生成したトラップへの電子捕獲に起因する変位電流成分であることを示し、80 Åより薄いSiO₂膜で現れるストレス誘起電流は、「陰極からトラップへの電子の捕獲と捕獲された電子の陽極への放出（trap-assisted tunneling）」に起因するリーク電流であると考えた[4]。Yasuda, Patel, Toriumiも同様にF-N電子注入を行った50～70 ÅのSiO₂膜のストレス誘起電流が、trap-assisted tunnelingモデルで説明できると主張している[6]。

ところで、MOS構造においてSiO₂膜にF-N電子注入を行うと、SiO₂膜に負電荷が蓄積されると共に、正電荷の蓄積も起こることが知られている[8]-[14]。SiO₂膜が比較的厚い場合には、この正電荷の蓄積は、SiO₂膜に注入された電子が膜中での衝突電離によって電子-正孔対を生成し、生成した正孔の一部が膜中に捕獲されると考えることで説明されている[8],[11],[15]-[20]。またSiO₂膜が150 Åよりも薄い場合には、図2-2に示すように、SiO₂膜中にF-Nトンネリングにより注入され膜中の電界により高エネルギーとなった電子が、陽極中で電子-正孔対を生成し、生成した正孔の一部がSiO₂膜中に注入され、その一部が膜中に捕獲されるために正電荷が発生すると考えられている[10],[12],[21]-[23]。さらに、SiO₂膜にホットホール注入を行った実験では、正孔が膜中に捕獲され[24]-[28]、正に帯電したトラップが生成し、このトラップは電子を捕獲することが出来ることが示された[25],[26]。加えて、F-N電子注入[14]やホットホール注入後の電子注入[26]によっ

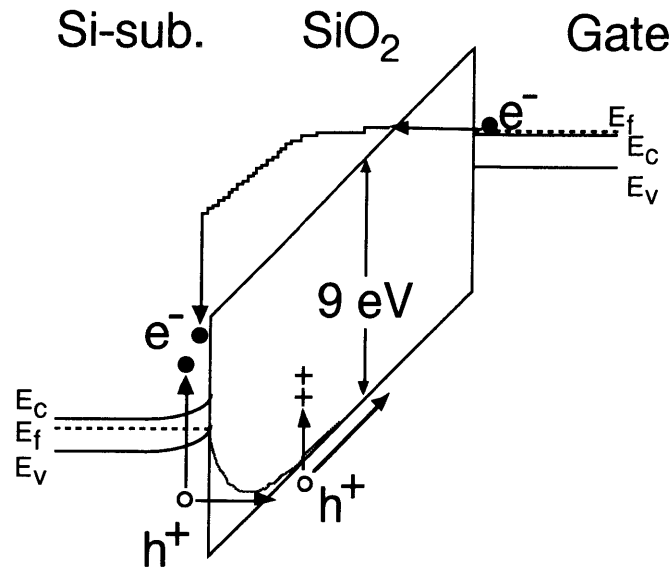


図 2-2 SiO₂膜中にF-N注入され陽極に到達した高エネルギーの電子によって陽極中で電子-正孔対が生成し、生成した正孔の一部がSiO₂膜中に放出され、その一部がSiO₂膜中に捕獲される。

て、SiO₂膜中に電氣的に中性の電子トラップが形成されることも報告されている。

これらの研究結果を考慮すると、トンネル絶縁膜として用いられる150Å以下のSiO₂膜に対してF-N電子注入を行うと、SiO₂膜に電子が注入されると同時に正孔が注入され、SiO₂膜中では以下の四つの事象が同時に起こっていると考えられる。すなわち、(1) 正孔の捕獲による正に帯電したトラップの生成、(2) 正に帯電したトラップへの電子の捕獲、(3) 中性トラップの生成、(4) 中性トラップによる電子の捕獲、である。このため、F-N電子注入によるトンネルSiO₂膜の劣化やストレス誘起電流の発生機構について理解を深めるためには、SiO₂膜に注入された正孔の影響と電子の影響とを分離して理解することが重要である。

一方、第1章の図1-2に示したような、フローティングゲートからソースのn⁺拡散層に電子を引き抜くタイプのフラッシュメモリにおいては、n⁺拡散層に正の高電圧を印加したときに、電子のバンド間トンネリングによって電子-正孔対が生成することが知られている[29]-[32]。図2-3に示すように、フローティングゲートの電位に対しn⁺拡散層

の電位が十分高い場合、 n^+ 拡散層の表面が空乏化し、価電子帯から伝導帯への電子のトンネリング（バンド間トンネリング）が生ずる。その結果、電子-正孔対が生成し、生成した正孔は空乏層中の高電界で加速され高いエネルギーを有するに至り、アバランシェ崩壊を起こして新たな電子-正孔対を生成する。その結果、生成した正孔の一部がトンネル SiO_2 膜に注入される。すなわち、フラッシュメモリの情報の書き換えによりトンネル SiO_2 膜が被るダメージとして、正孔の影響を考慮することが極めて重要である。

本章では、 131 \AA の SiO_2 膜に対して基板ホットホール注入法を用いて正孔注入を行い、

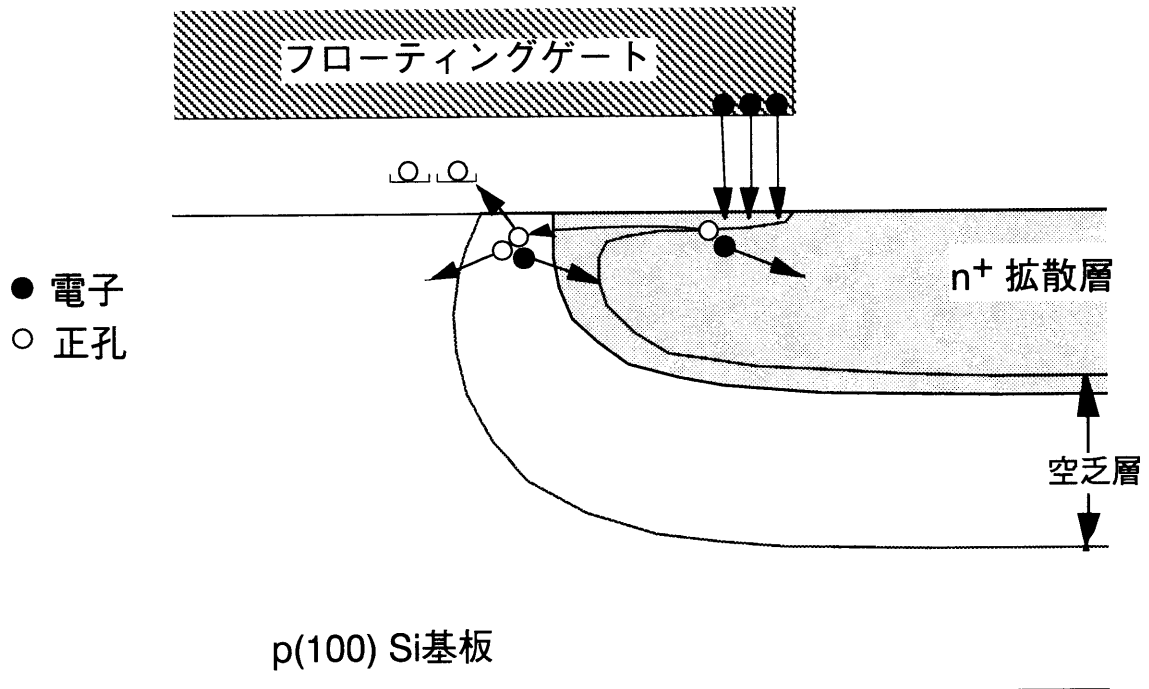


図2-3 フローティングゲートから n^+ 拡散層に電子を引き抜くタイプのフラッシュメモリにおいては、 n^+ 拡散層に正の高電圧を印加したときに、 n^+ 拡散層の表面が空乏化し、価電子帯から伝導帯への電子のトンネリング（バンド間トンネリング）が生ずる。その結果、電子-正孔対が生成し、生成した正孔は空乏層中の高電界で加速され高いエネルギーを有するに至り、アバランシェ崩壊を起こして新たな電子-正孔対を生成する。生成した正孔の一部がトンネル SiO_2 膜に注入される。[29]。

その後の SiO₂膜における電子捕獲特性とストレス誘起電流の振る舞いについて調べ、正孔注入によって形成された正に帯電したトラップの電子捕獲特性を明らかにする。また、正孔注入後のSiO₂膜において正ゲートバイアス印加時にストレス誘起電流が現れ、このストレス誘起電流はトラップへの充電に起因する成分であることを示す。さらに、ストレス誘起電流や電子捕獲特性に関して得られた実験結果を説明するメカニズムを検討する。

2.2節 実験方法

基板ホットホール注入法を用いてSiO₂膜への正孔注入を行うために、8.5-11.5 Ω-cmの抵抗率のp型(100)シリコン基板にn型ウエルを形成し、n型ウエル領域の表面にpチャネルMOS電界効果トランジスタ(MOSFET)を形成した。ゲートSiO₂膜は、750℃のパイロジェニック酸化法(O₂/H₂=1/1.8)により形成し、膜厚は131 Åである。ゲート電極は、リンドープトポリシリコンを減圧CVD法で堆積し、パターニングすることによって形成した。リンドープトポリシリコンの膜厚は約2000 Åであり、リン濃度は6 x 10²⁰ cm⁻³である。pチャネルMOSFETのソースとドレイン、およびこれらに隣接したp⁺拡散層をB⁺注入と900℃のアニールによって形成した。アルミニウム配線を形成後、450℃の水素アニールを行った。

ゲートSiO₂膜の膜厚は、比誘電率3.85を用いて容量測定によって決定した。pチャネルMOSFETのゲート電極面積は、1.0 x 10⁻⁴ cm²である。

形成したpチャネルMOSFETの断面模式図を図2-4に示す。この図を用いて、ゲートSiO₂膜への正孔注入の方法を以下で説明する。まずゲート電極に負電圧、n型ウエルに正電圧(V_{well})を加え、p⁺ソースドレインを接地する。p⁺ソースドレインの間の基板表面は反転状態にある。次に、pチャネルMOSFETに隣接したp⁺拡散層とn型ウエルの間に順方向電圧(V_j)を加え、n型ウエルに正孔を注入する。このとき注入された正孔は、

n型ウェルと基板表面の間の電位差によって加速され、その一部がシリコン基板-ゲートSiO₂膜界面のエネルギー障壁を越えることができるほどの高エネルギーを有するに至り、ゲートSiO₂膜中に放出される。ゲートSiO₂膜中に放出された正孔はその一部がSiO₂膜中で捕獲されるが、ほとんどはゲート電極に流れ込みゲート電流 (I_{hole}) として観測される。本実験では十分な正孔電流を得るために、ウェル電位を+16.5 V、p⁺拡散層電位を+18.5 Vに設定した。ゲートSiO₂膜への電子のF-N注入を抑制するために、ゲート電圧は-6.0 V ($E_{ox} = -3.9$ MV/cm) に設定した。ゲートSiO₂膜へ注入した正孔の密度は、ゲート正孔電流を時間積分することで算出した。

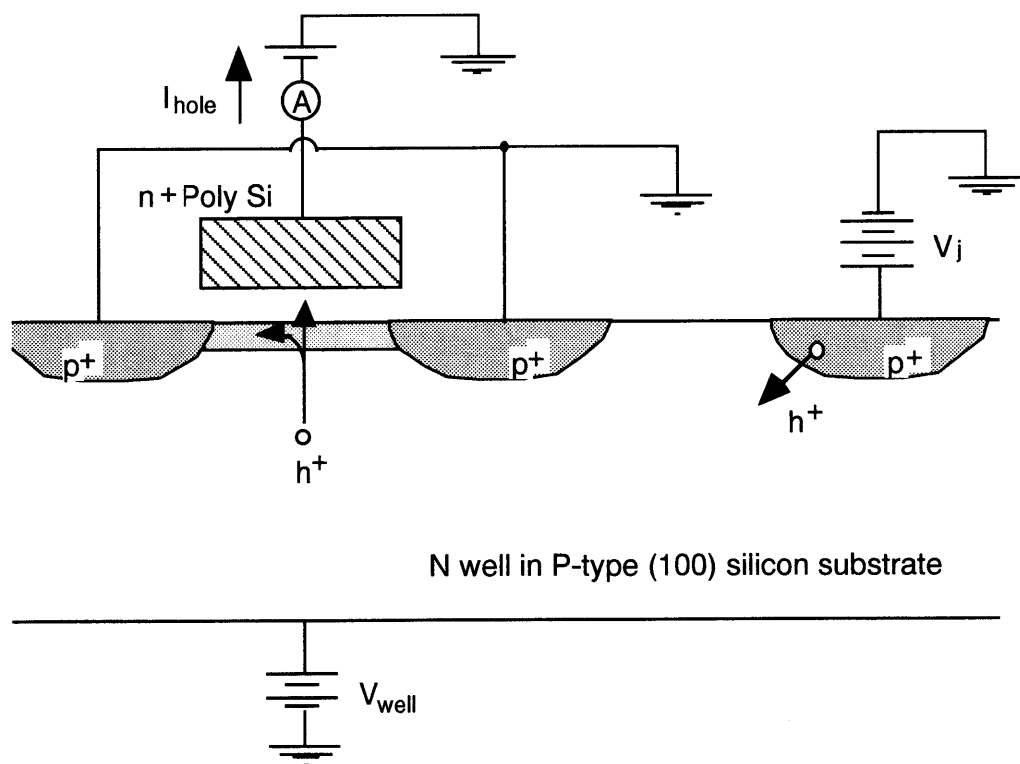


図 2-4 SiO₂膜への正孔注入に用いたpチャンネルMOSFETの断面模式図。基板ホットホール注入法により、ゲートSiO₂膜に正孔注入を行った。

2.3節 正孔注入後の131 ÅのSiO₂膜に関する実験結果

様々な水準の正孔注入を行ったpチャンネルMOSFETの、100 KHzでの高周波C-V特性（ゲート電極-基板間容量とゲート電圧の関係）を図2-5に示す。ここで図2-5の縦軸は、ゲート電極-基板間容量の最大値C_{max}で規格化している。図より、正孔注入によってC-Vカーブが負電圧方向へシフトし、このシフトが正孔注入量の増加に伴って大きくなるのが分かる。このシフトはゲートSiO₂膜中における正電荷の蓄積を意味しており、正孔注入によってSiO₂膜中に正孔が捕獲されたことに起因している[24]-[27]。

pチャンネルMOSFETのゲート電流-ゲート電圧特性（I_g-V_g特性）は、正ゲート極性の場合にはn型ウエルを接地して、負ゲート極性の場合にはソースドレインとn型ウエルを接

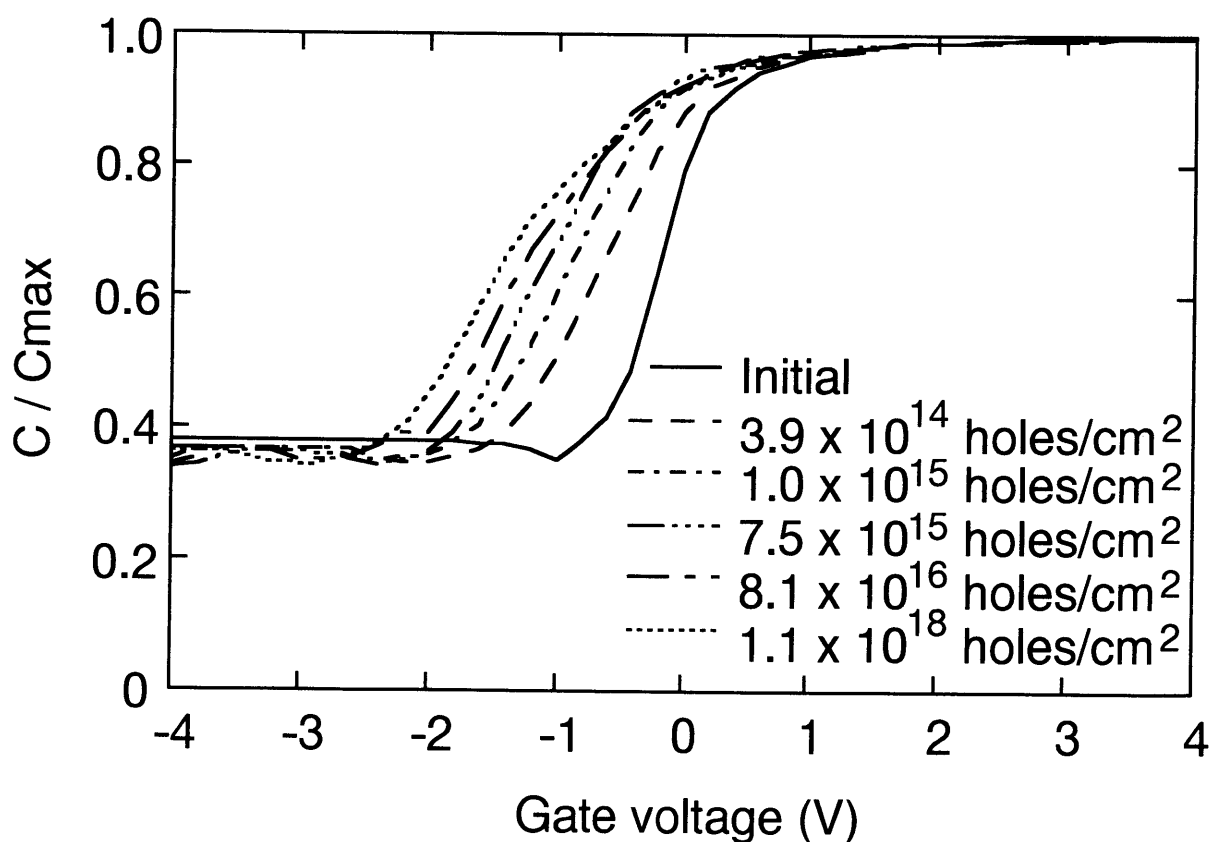
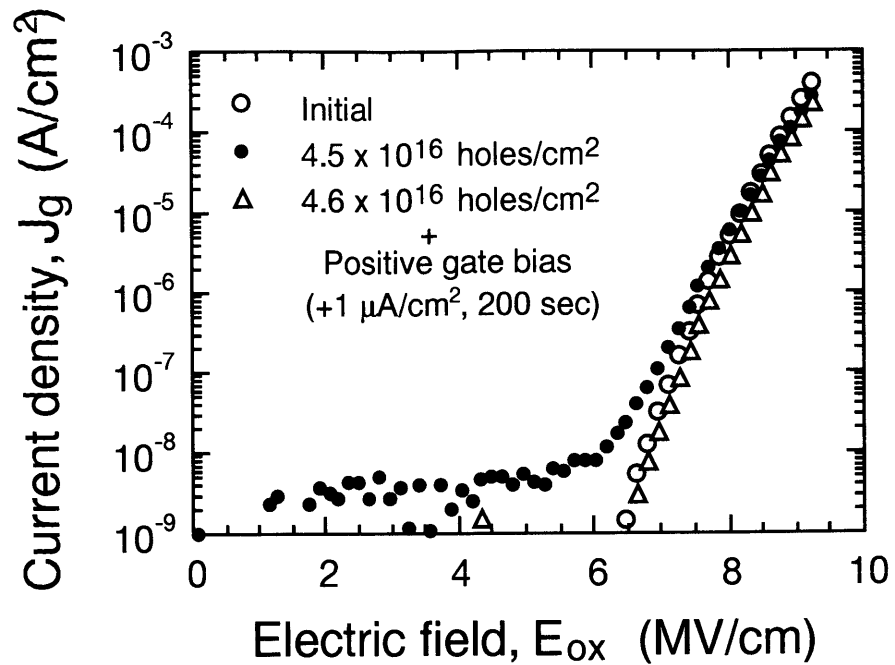
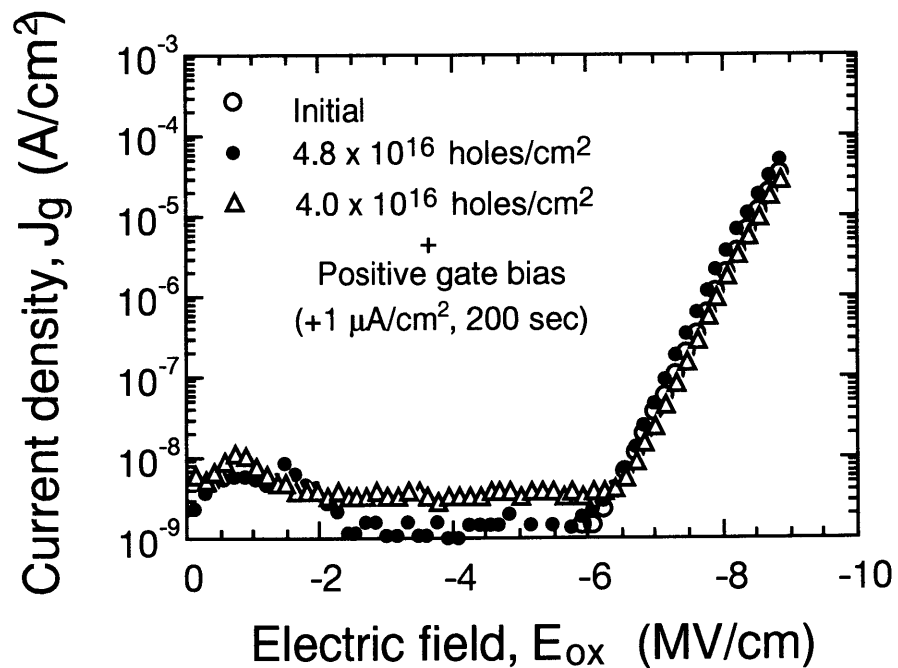


図2-5 様々な水準の正孔注入を行ったpチャンネルMOSFETの100 KHzでの高周波C-V特性。



(a) 正ゲート極性



(b) 負ゲート極性

図 2-6 正負両ゲート極性での正孔注入前後と正ゲートバイアス印加後の J_g - E_{ox} 特性。正ゲート極性では、正孔注入後に約8 Mv/cm以下でストレス誘起電流が観測される。負ゲート極性では正孔注入後に、 J_g - E_{ox} カーブの低電圧側へのシフトが起り、カーブの傾きに変化は見られない。

地して測定を行った。ゲート電圧は0.55秒置きに0.2 Vのステップで上昇させた。図2-6(a)と(b)は、正負両ゲート極性での正孔注入前後の I_g - V_g 特性から得たゲート電流密度-SiO₂電界 (J_g - E_{ox}) 特性である。ここでSiO₂中の電界 E_{ox} は、正ゲート極性に対しては、ゲート電圧 V_g と高周波C-V法で求めたフラットバンド電圧 V_{FB} 、及びゲートSiO₂膜厚 t_{ox} を用いて以下の式に従って求め、

$$E_{ox} = (V_g - V_{FB})/t_{ox} \quad (2-1)$$

また負ゲート極性に対しては、ミッドギャップレベル (Siの禁制帯の中央のエネルギーレベル) とフェルミレベルのエネルギー差 ϕ_B を用いて、以下の式から算出した。

$$E_{ox} = (V_g - V_{FB} - 2\phi_B)/t_{ox} \quad (2-2)$$

図2-6(a)において正ゲート極性では、正孔注入後に約8 MV/cm以下で明らかにストレス誘起電流が現れている。図2-6(b)の負ゲート極性では、正孔注入後に J_g - E_{ox} カーブの低電界側へのシフトが起こり、6.5 MV/cm以上のF-N電流が支配的になる領域の J_g - E_{ox} カーブの傾きに変化は見られない。また、負ゲート極性では-6 MV/cm以下に電界 E_{ox} に依存しない電流成分が現れ、約-1 MV/cm近辺の低電界領域にピークが存在する。類似のピークはF-N電子注入ストレス後にも観測されることが知られている[3],[4]。F-Nストレス後のピークの出現は、ストレスにより生成した"Slow State"への充電に起因すると考えられている[3],[4]。

次に、正孔注入を行ったSiO₂膜に於ける電子捕獲特性を調べるために、正孔注入に引き続いてゲート電極に正バイアスを200秒間印加した。これは、シリコン基板から電子を注入する極性に相当する。この正ゲートバイアス印加中は、ゲート電流密度が+1 μ A/cm²の一定値になるようにゲート電圧を変化させている。図2-7に示すように正孔注入を行っていない試料では、はじめに0~17秒の領域でゲート電圧 V_g が増加し、この区間ではゲート電極-SiO₂膜-基板が形成する容量成分への充電に起因して流れる変位電流成分がゲート電流において支配的である。一方、ゲートSiO₂膜を通過するトンネル電流成分が+1 μ A/cm²に達した後(約20秒以後)では、ゲート電圧 V_g の変化が極めて小さい。このことは、正ゲートバイアス印加中のSiO₂膜中の電荷密度の変化が極めて小さかつ

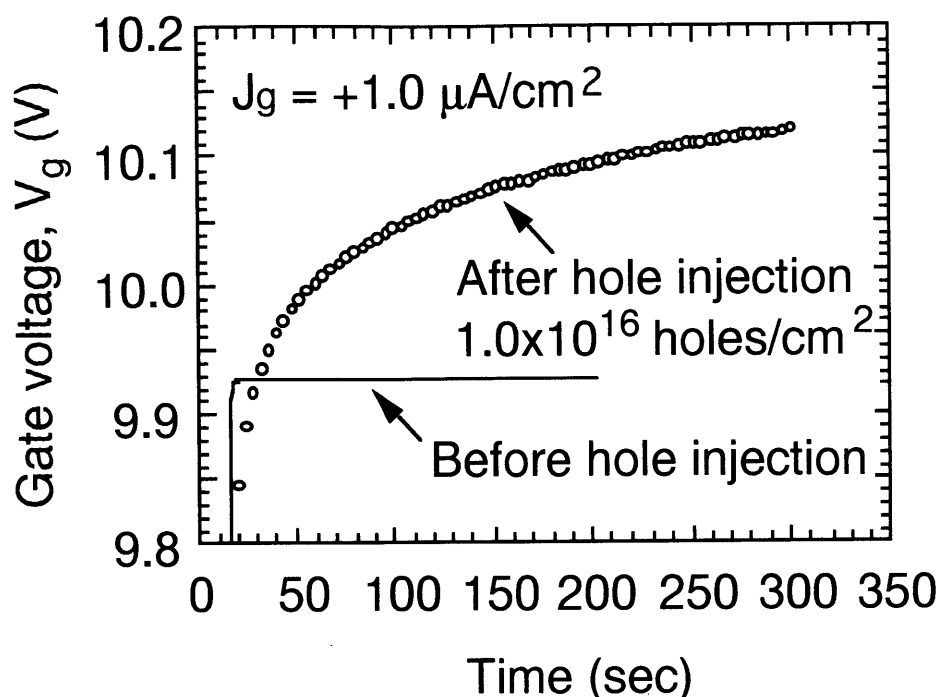


図2-7 正孔注入前と後の試料に、ゲート電極に正バイアスを印加し+100 pAの一定のゲート電流を流した場合のゲート電圧の時間変化。これは、シリコン基板から電子を注入する極性に相当する。ゲート電流密度 J_g は+1 $\mu\text{A}/\text{cm}^2$ であり、この一定値を維持するようにゲート電圧を調整した。正孔注入を行っていない試料では、この正ゲートバイアス印加中のゲート電圧 V_g の変化が極めて小さいことから、正ゲートバイアス印加中の SiO_2 膜中の新たな電子や正孔の捕獲は無視することができる。

たことを示している。すなわちこの程度のゲート電圧と注入電荷量では、バイアス印加による SiO_2 膜中の新たな電荷の発生（電子や正孔の捕獲）は無視することができる。そこで本実験においては、 SiO_2 膜に新たな電荷を発生させないで正ゲートバイアスを印加する条件として、ゲート電流密度が+1 $\mu\text{A}/\text{cm}^2$ の一定電流を200秒間流す条件を選択した。

さて、図2-7において正孔注入を行った後の試料では、正ゲートバイアス印加中にゲート電圧 V_g が増加し続けている。この現象は、 SiO_2 膜中に電子が捕獲されることによって膜中に負電荷が形成され、陰極近傍での SiO_2 膜中の電界が弱められたため、一定（+1 $\mu\text{A}/\text{cm}^2$ ）のトンネル電流を流すためにより大きな外部電圧が必要となったことを意味している。

正孔注入に続いて正ゲートバイアスを印加した後の J_g - E_{ox} カーブの変化は、図2-6(a)と(b)に示されている。正ゲート極性において現れたストレス誘起電流が、正ゲートバイアス印加後に著しく減少し、測定可能な範囲からは消滅したことが分かる。また、正負両ゲート極性の約6.5 MV/cm以上での J_g - E_{ox} カーブはいずれも高電界側（電界の絶対値が大きい方向）へシフトし、正孔注入前の J_g - E_{ox} カーブに比べても高電界側にあることが分かる。ゲート電流密度が急激に立ち上がった約6.5 MV/cm以上の領域では、正ゲートバイアス印加後の J_g - E_{ox} カーブの形状は正孔注入前と比べてほとんど変化しておらず、トンネル電流成分が支配的であると考えられる。よって、正負両ゲート極性の J_g - E_{ox} カーブの正孔注入前に比べての高電界側へのシフトは、 SiO_2 膜中に電子が捕獲されたことによって膜中に負電荷が形成され、トンネル電流を流すためにより大きな外部電圧が必要となったためと考えられる。

この結果、正孔注入後に正ゲートバイアスを印加した際にシリコン基板から SiO_2 膜に注入された電子は、 SiO_2 膜中に捕獲されて正電荷を中性化するだけでなく、 SiO_2 膜中に負電荷を形成したことが分かる。このことは、

- (1) 正孔注入により SiO_2 膜中に正に帯電した電子トラップが形成され、電子を捕獲することで中性化され、
 - (2) 正に帯電したトラップに加えて中性トラップが生成し、電子を捕獲することで電荷を形成した、
- と考えることで説明できる。

次に、正孔注入後の SiO_2 膜の電子捕獲特性に於ける SiO_2 電界の効果を調べる目的で、様々な SiO_2 電界を加え、pチャネルMOSFETのドレイン電流-ゲート電圧 (I_d - V_g) 特性の変化を調べた。このときドレイン電圧は+0.1 Vであり、ソースを接地している。正孔注入前後と、正孔注入後に+5.1 MV/cmの SiO_2 電界を1~1000秒間加えた場合の I_d - V_g 特性を、図2-8に示す。サブスレッショルド領域において一定のドレイン電流 (1 nA) を与えるゲート電圧を求め、その変化 ΔV_g を求めた。通常このような実験では、ゲート電圧シフト ΔV_g は、 SiO_2 膜中の電子捕獲密度と界面準位密度の両方の変化の影響を受ける。し

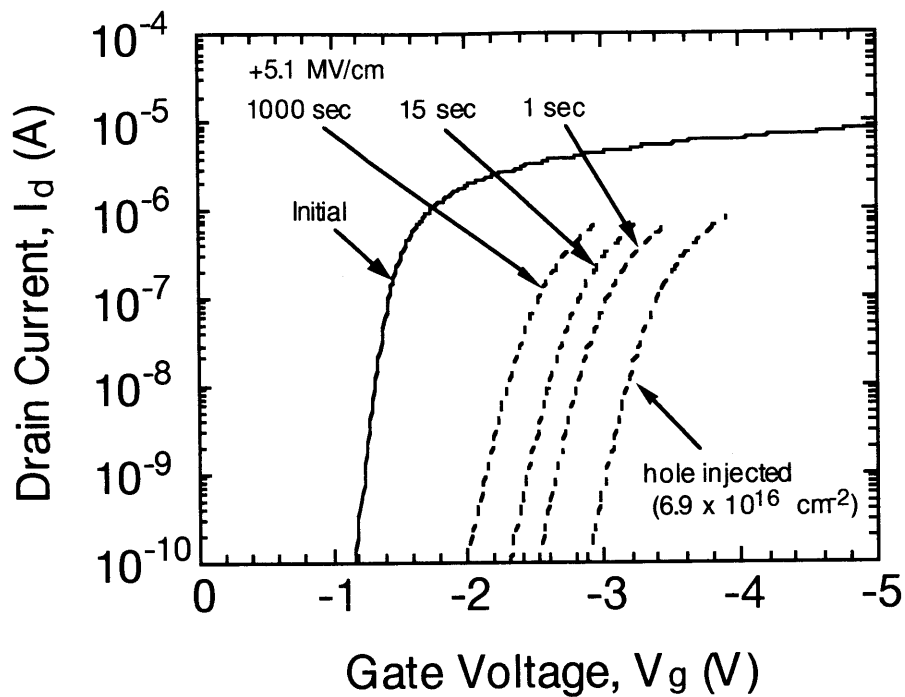


図 2-8 正孔注入前後と、正孔注入後に+5.1 MV/cmのSiO₂電界を1~1000秒間加えた場合のI_d-V_g特性。正孔注入前後ではI_d-V_gカーブの傾きが変化した、正ゲートバイアス印加後のI_d-V_gカーブはその傾きを変えずに正ゲート電圧方向へシフトした。

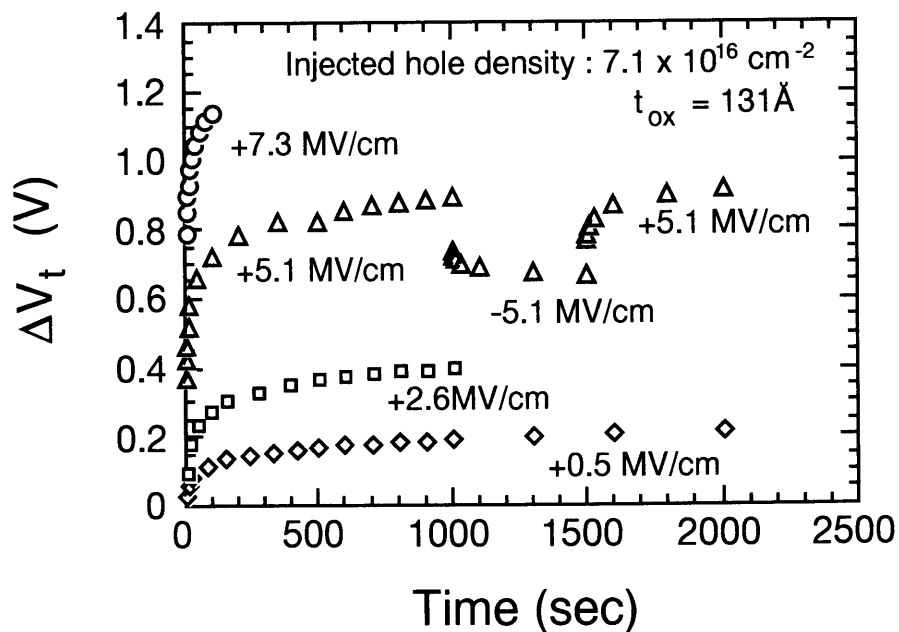


図 2-9 正孔注入後のSiO₂膜に正ゲートバイアスを印加し、pチャネルMOSFETのドレイン電流が1 nAに達したときのゲート電圧を求め、その変化ΔV_tを正ゲートバイアス印加時のSiO₂電界をパラメーターとしてプロットした結果。

かし今回の実験では、正孔注入前後では I_d - V_g カーブの傾きが変化した、正ゲートバイアス印加後には I_d - V_g カーブはその傾きを変えず、正ゲート電圧方向へのシフトを示した。このことは正ゲートバイアス印加によるゲート電圧シフトの主たる原因が、膜中の電子捕獲密度の増加であることを示している。ゲート電圧シフト ΔV_t を、 SiO_2 電界をパラメータとしてプロットした結果が図2-9である。 ΔV_t は、正ゲートバイアスでは+0.5 MV/cmや+2.6 MV/cmと比較的小さな SiO_2 電界に於いても時間とともに増加し、電子捕獲が起こっていることが分かる。また、 ΔV_t は電界に強く依存しており、高電界で電子捕獲速度が大きいことが分かる。正ゲートバイアス印加後に負ゲートバイアス（図2-9では-5.1 MV/cm）を印加すると ΔV_t は一転して減少し、捕獲された電子の一部がトラップから放出されたと考えられる。

正孔注入後の SiO_2 膜において、正ゲートバイアス印加の前後でのゲート電圧シフト ΔV_t と負ゲート極性の I_d - V_g 特性の変化を調べ、(2-3)式を用いると捕獲された電子のチャージ

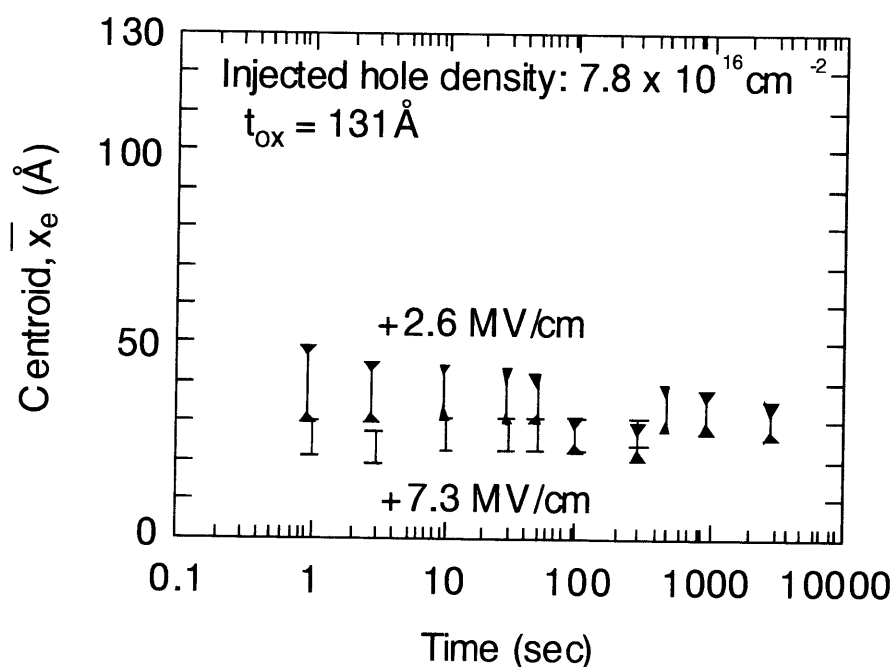


図2-10 正孔注入後 SiO_2 膜に対して正ゲートバイアスを印加し捕獲された電子のセントロイド。

セントロイド \bar{x}_e を求めることができる。(Appendix 2Aを参照。)

$$\bar{x}_e = \frac{|\Delta V_{gn}|}{\Delta V_t + |\Delta V_{gn}|} t_{ox}, \quad (2-3)$$

ここで ΔV_{gn} は、負ゲート極性の I_g - V_g カーブの正ゲートバイアス印加前後でのシフト量である。正ゲートバイアスを印加したことで捕獲された電子のセントロイドは、図2-10に示すように、シリコン基板-SiO₂膜界面から約30 Åにあり、+2.6 MV/cmや+7.3 MV/cmを印加した時間に依存せず、ほぼ一定の値となっている。この結果は、基板-SiO₂膜界面から約30 Å近辺に分布するトラップによって電子が捕獲されたと解釈することができる。本実験で得られたセントロイドの値は、Khosru等[28]が基板ホットホール注入を行いSiO₂膜に捕獲された正孔のセントロイドとして得た32 Åという値に良く一致している。

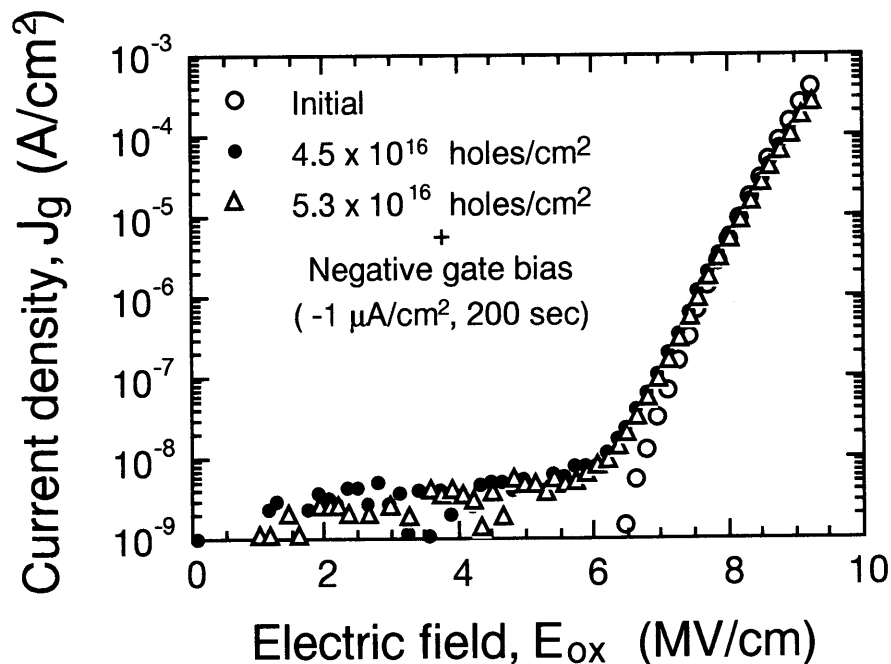


図2-11 正ゲート極性での正孔注入前後と負ゲートバイアス印加後の J_g - E_{ox} 特性。
正孔注入後に約8 MV/cm以下でストレス誘起電流が観測される。負ゲートバイアス印加後もストレス誘起電流が認められる。

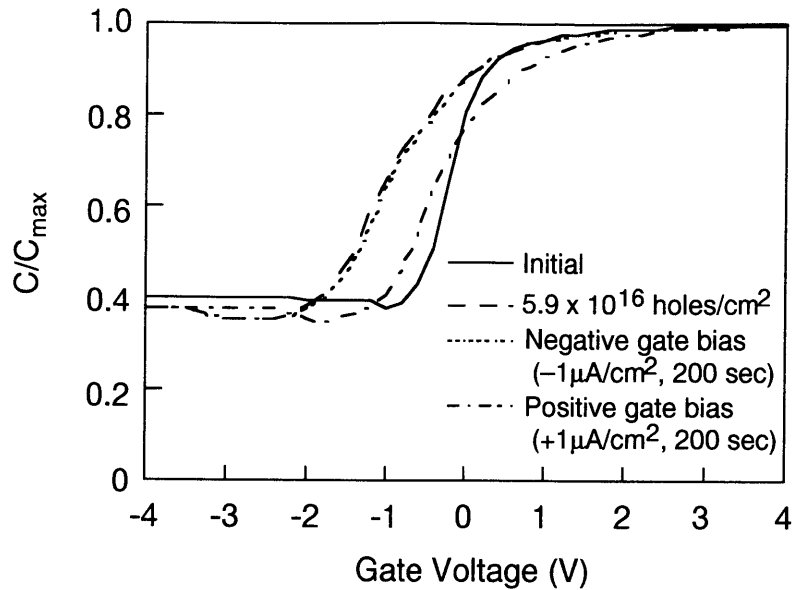


図 2-1 2 正孔注入前後と正負ゲートバイアス印加後のC-V特性。正孔注入後に負バイアス方向へ大きくシフトしたC-Vカーブは、正ゲートバイアス印加後に正電圧方向へ大きくシフトするが、負ゲートバイアス印加後には変化が小さい。

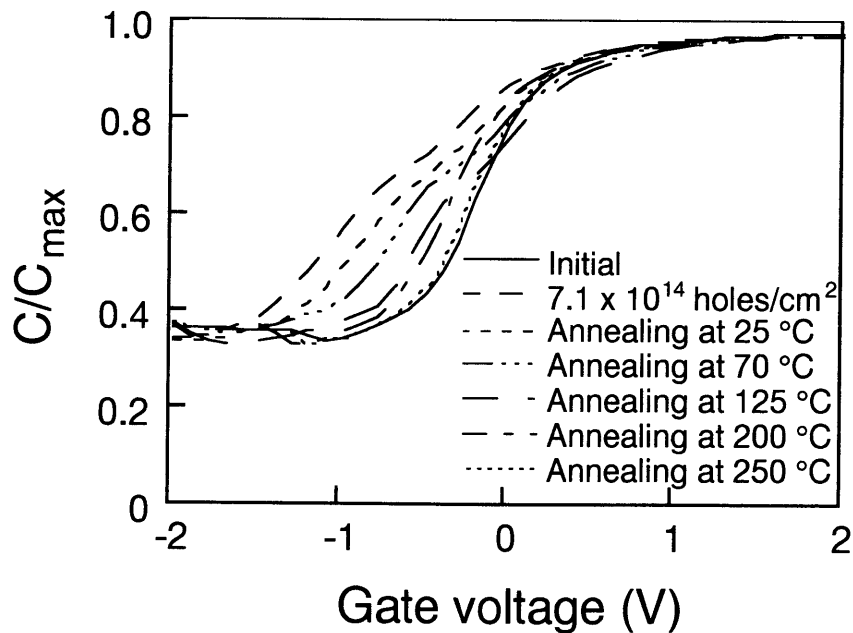


図 2-1 3 正孔注入後の試料を25, 75, 125, 200, 250°Cの各温度で80分間アニールした前後でのC-V特性。C-Vカーブはアニール後に正電圧方向へシフトし、このシフトはアニール温度が高いほど大きい。

図2-1 1は、正孔注入と引き続き負ゲートバイアス印加の前後での、正ゲート極性での J_g - E_{ox} 特性である。負ゲートバイアス印加は、 $-1 \mu A/cm^2$ の一定電流を200秒間流す条件で行った。正孔注入後にストレス誘起電流が現れ、負ゲートバイアス印加後の J_g - E_{ox} カーブは正孔注入後と比べて変化が小さく、依然としてストレス誘起電流が認められる。図2-1 2は、正孔注入とそれに引き続きバイアス印加前後でのC-V特性である。正孔注入後に負バイアス方向へ大きくシフトしたC-Vカーブは、正ゲートバイアス印加後に正電圧方向へ大きくシフトするが、負ゲートバイアス印加後には変化が小さい。図2-1 1と図2-1 2の結果は、負ゲートバイアス下での電子捕獲が、正ゲートバイアス下での電子捕獲に対して起こりにくいことを示している。

次に、正孔注入によって誘起された正電荷の熱的な安定性を調べるために、正孔注入後の試料に対して25, 70, 125, 200, 250℃の各温度で80分間のアニールを加え、C-V特性を測定した。図2-1 3はアニール前後でのC-V特性を示し、C-Vカーブはアニール後に正電圧方向へシフトしている。このシフトはアニール温度が高いほど大きいことが分か

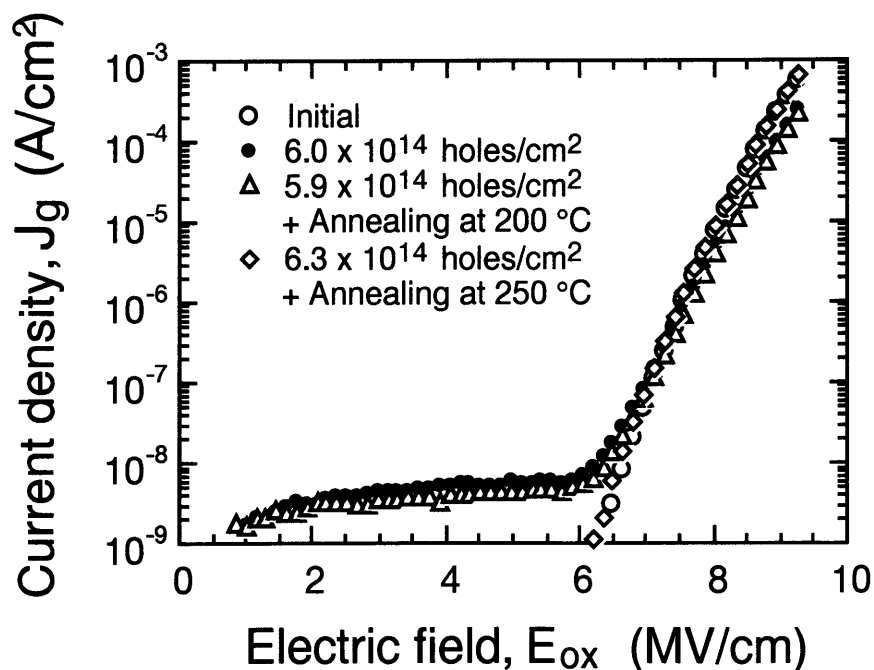


図2-1 4 正孔注入後のストレス誘起電流のアニールによる変化。アニール条件は200, 250℃の各温度で80分である。

る。図2-14は、正孔注入後のストレス誘起電流のアニールによる変化を示しており、アニール条件は200, 250℃の各温度で80分である。ストレス誘起電流はアニール温度が200℃の場合には減少するがまだ認められ、250℃のアニールによって測定範囲では消滅したことが分かる。以上の結果から、SiO₂膜に対する正孔注入によって捕獲された正孔の影響は、アニールによって低減することができるものと期待できる。

2.4節 正孔注入後の比較的厚いSiO₂膜における電子捕獲機構の検討

前節で示された実験結果を説明するために、正孔注入後の131 ÅのSiO₂膜における電子捕獲とストレス誘起電流のメカニズムを以下で検討する。図2-15(a)(b)は、基板ホットホール注入後に正ゲートバイアスを印加した場合のMOS構造のバンド模式図である。正孔注入後、SiO₂膜に注入された正孔の一部が捕獲され、正に帯電した電子トラップが形成される。正に帯電した電子トラップはシリコン基板-SiO₂膜界面近傍に分布していると仮定している。図2-15(a)において破線Aは、正孔注入前の正ゲートバイアス印加($E_{ox}=+5.1$ MV/cm)時のSiO₂膜のバンドギャップを表している。矢印T₁はシリコンの伝導帯からSiO₂膜の伝導帯への電子のトンネリングを表している。シリコン基板-SiO₂膜界面近傍に分布している正電荷は、実線Bによって示されたSiO₂膜のエネルギー障壁の変化を引き起こす。この変化は、シリコン基板からSiO₂膜の伝導帯への電子のトンネリング確率を増加させる。すなわちトンネリングT₁に起因する電流成分は、正電荷の存在によって増加する。

図2-10に示したように、正ゲートバイアス下で捕獲された電子のセントロイドは、シリコン基板-SiO₂膜界面から約30 Åに位置している。また図2-9に示したように、電子捕獲は+0.5~+5.1 MV/cmのような低電界においてすら発生する。このような低いSiO₂電界における界面から30 Å付近での電子捕獲は、図2-15(a)に示すように、シリコン基板からトラップへの電子のトンネリングによるものと考えられる。図2-15(a)に、

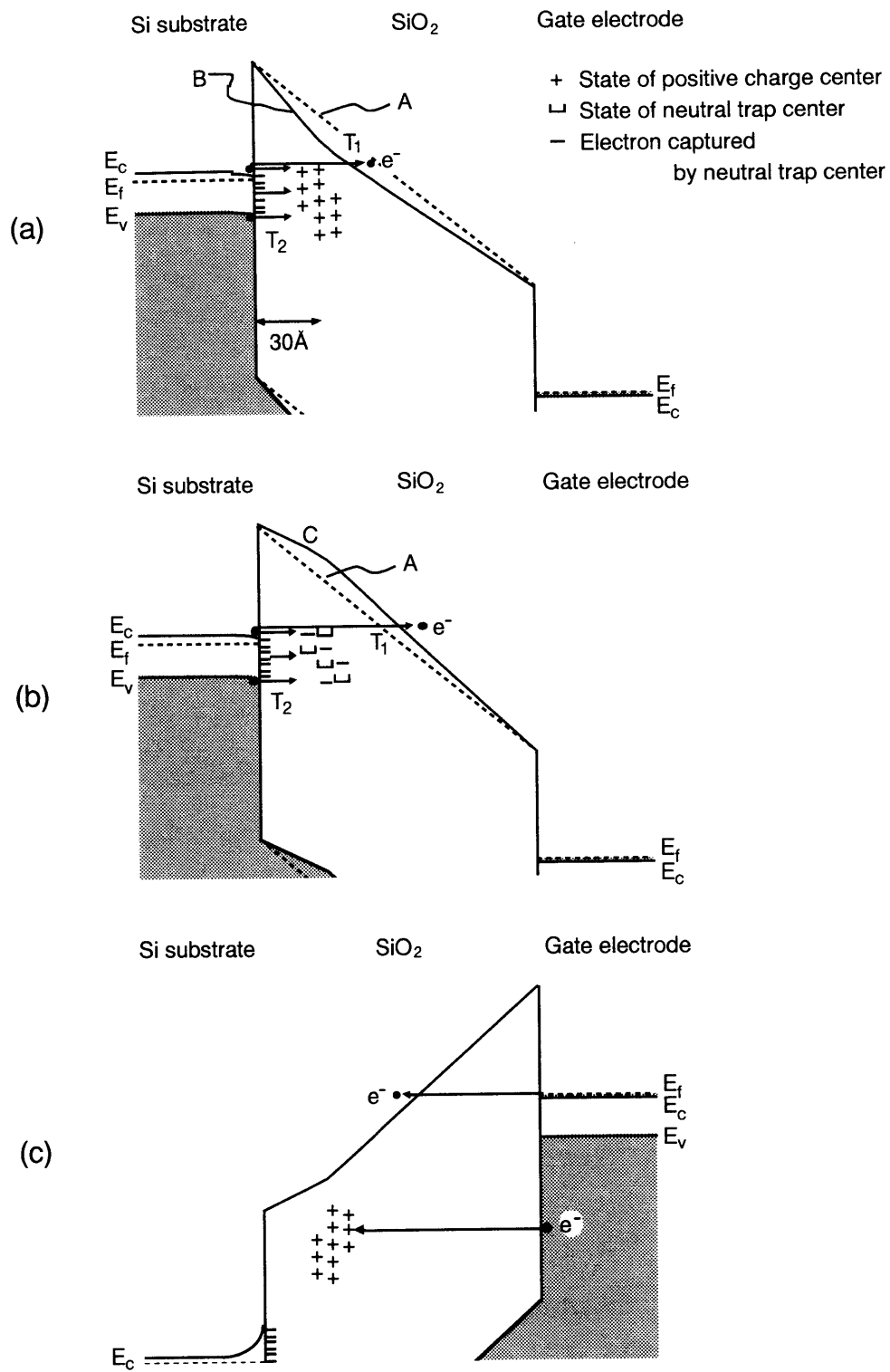


図 2-15 正孔注入後と引き続きバイアス印加前後でのMOS構造のバンド模式図

正に帯電した電子トラップへの三つの可能なトンネリング過程を示す。すなわち、

- (1) シリコンの伝導帯からの電子のトンネリング
- (2) 正孔注入によって生成した界面準位に捕まった電子のトンネリング
- (3) シリコンの価電子帯からの電子のトンネリング

である。ここではこれらのトンネリング過程を T_2 で表すことにする。界面から30Å付近に分布する正に帯電した電子トラップは、トンネリング過程 T_2 に従って電子を捕獲することによって、電気的に中性状態になると考えられる。

正に帯電した電子トラップに捕らえられた電子は、このトラップを形成する SiO_2 膜中に捕獲された正孔と再結合し、この再結合が新たに中性電子トラップを形成するというメカニズムが提案されている[25]。中性トラップが電子と SiO_2 膜中に捕獲された正孔との再結合によって生成する場合には、中性トラップの空間分布が正に帯電した電子トラップの空間分布と一致していると仮定することは妥当であろう。それ故、正に帯電した電子トラップと中性トラップの両方がシリコン基板- SiO_2 膜界面近傍に分布した状態が存在すると考えられる。このとき、図2-15(b)に示すように、中性トラップもまたトンネリング過程 T_2 に従って電子を捕獲することができる。図2-6(a), (b)において示した SiO_2 膜に形成される負電荷は、正に帯電した電子トラップの中性化と中性トラップの電子捕獲に起因したものと説明できる。

図2-9で示したように、 SiO_2 電界が大きくなるにつれて電子捕獲速度が大きくなる。この結果は、 SiO_2 電界が大きくなるにつれて電子に対する基板-トラップ間の SiO_2 のエネルギー障壁が狭くなり、トンネリング過程 T_2 に於ける電子のトンネリング確率が増加することによると考えられる。また、負ゲートバイアス(図2-9では-5 MV/cm)を印加すると捕獲された電子の一部がトラップから放出される現象は、トラップからシリコン基板への電子のトンネリングによるものと解釈できる。

以上のような過程に従う場合、ある一定の正ゲート電圧でのゲート電流密度 J_g は、(2-4)式で与えられる。

$$J_g = J_1 + J_2 \quad (2-4)$$

ここで J_1 は、シリコン基板から SiO_2 膜の伝導帯への電子のトンネリング T_1 によるトンネル電流成分であり、 J_2 は正に帯電したトラップと中性トラップの電子捕獲に起因する変位電流成分¹⁾である。先に述べたように、基板- SiO_2 膜界面近傍に分布している正に帯電した電子トラップは、 SiO_2 膜のエネルギー障壁の変形を引き起こし電子のトンネリング確率を増加させ、トンネル電流成分 J_1 を増加させる。さらに、シリコン基板から正に帯電した電子トラップと中性トラップへの電子のトンネリング確率も増加させる。基板ホットホール注入の後に131 Åの SiO_2 膜において現れたストレス誘起電流は、トラップの電子捕獲による電流成分 J_2 の出現と、正電荷によるトンネル電流成分 J_1 の増加に起因していると考えられる。

電子が SiO_2 膜に注入され、正に帯電した電子トラップに捕獲されると、正電荷は中性化される。また、中性トラップが電子を捕獲すると、負電荷が蓄積される。この結果、十分な量の電子が捕獲された後には、見かけ上、 SiO_2 膜は負に帯電した状態となる。また、トラップが十分に埋まった後では、ゲート電流に対する変位電流成分 J_2 の寄与は小さくなり、トンネル電流成分 J_1 が支配的になる。さらに SiO_2 膜のエネルギー障壁は、シリコン基板- SiO_2 膜界面近傍に形成された負電荷によって図2-15(b)に示す実線Cのように変形するため、電子のトンネル確率が低下する。それ故トンネル電流成分 J_1 が減少し、図2-6(a)で指摘したように、 J_g - E_{ox} カーブは高電界側へシフトし正孔注入前のカーブを追い越すものと説明できる。

図2-15(c)に示すように負ゲートバイアスの場合には、ゲート電極から基板- SiO_2 膜界面近傍に分布するトラップへの電子のトンネリングに対して、極めて大きなエネルギー障壁が存在する。それ故、電子のトラップへのトンネリング確率は、負ゲートバイアスの場合と比べて極めて小さく、電子の捕獲速度は負ゲートバイアスの場合には極めて小さいと考えられ、図2-11、図2-12において示した結果を説明することができる。それ故、正孔注入の後の SiO_2 膜の負極性での J_g - E_{ox} 特性では、トラップへの電子捕獲に起因した変位電流成分が小さいために、図2-6(b)で示したように J_g - E_{ox} カーブの傾きは変

¹⁾ 変位電流の発生については、本章のAppendix 2Bの説明を参照されたい。

化せず、基板-SiO₂膜界面近傍に分布する正電荷によってトンネル電流成分が増加するために、J_g-E_{ox}カーブの低電界側へのシフトが起こっているものと解釈できる。

2.5節 比較的厚いトンネルSiO₂膜の正孔捕獲がフラッシュメモリの特性に与える影響の考察

以下では、これまで得られた実験結果からトンネルSiO₂膜の正孔捕獲がフラッシュメモリの特性に与えると予想される影響について述べる。これまで検討してきたように、正孔注入後の正ゲート極性で現れるストレス誘起電流のうち、正に帯電した電子トラップ及び中性トラップの電子捕獲によって生ずる変位電流成分は、SiO₂膜を通過する電流ではない。フラッシュメモリのリードディスタート特性では、正ゲート極性でのトンネルSiO₂膜の電荷リークによるフローティングゲートへの電子の注入が問題になるが、変位電流成分はこの意味ではリードディスタート特性に影響するものではない。しかし、捕獲された正電荷によってトンネル電流成分が増加し、フローティングゲートへの電子注入が起こりやすくなる効果は考慮する必要がある。

一方、SiO₂膜への正孔注入に引き続いて正ゲート電圧を加えた場合に、正に帯電した電子トラップと中性トラップへの電子捕獲が起こり、SiO₂膜が負に帯電した状態となる現象は、フラッシュメモリの書き換え耐性（エンデュランス特性）の低下の原因となると考えられる。例えばNOR型のフラッシュメモリに於いて情報の書き込み／消去動作を繰り返し、バンド間トンネリングによりトンネルSiO₂膜にシリコン基板から正孔が注入された状態のメモリセルを考える。図2-9の実験結果と2.4節の考察によれば、シリコン基板から正孔注入を行ったSiO₂膜に生成したトラップは、正ゲート極性のもとでは低電圧に於いてもトンネリングにより容易に電子を捕獲する。それ故、メモリセルの情報を読み出すためにコントロールゲートに正電圧を加えメモリトランジスタのチャンネルが反転状態となった場合、正孔を捕獲したトンネルSiO₂膜は、チャンネル領域からの電子

のトンネリングにより電子を捕獲すると予想される。このため、メモリトランジスタの読み出し動作を繰り返すにつれて電子捕獲密度が増加し、トンネル SiO_2 膜中に負電荷が蓄積される。その結果、メモリトランジスタの閾値が上昇してしまうと、チャネルホットエレクトロン効果を利用した情報書き込みの速度が低下することとなる。このような問題を回避するためには、バンド間トンネリングに起因する正孔注入の抑制や、電子捕獲が起こりにくい SiO_2 膜の開発が重要な課題である。

ところで、製造したフラッシュメモリを市場へ出荷する前には書き込み／消去動作を繰り返すスクリーニング試験を行うが、この試験中にトンネル SiO_2 膜に対する正孔注入が起こることが予想される。しかし図2-13で示したように、 250°C のアニールによって捕獲された正電荷を取り除くことが可能である。図2-14では、アニール後の J_g-E_{ox} 特性が正孔注入前の特性に一致したことから、電子捕獲もまた抑制されたと考えられる。すなわち、スクリーニング試験後にアニールを行うことで、トンネル SiO_2 膜に形成された正電荷を取り除き電子捕獲を抑制することが、出荷後のフラッシュメモリの書き換え耐性の改善に有効であると期待される。

2.6 節 結言

MOS構造に於ける 131 \AA の SiO_2 膜に対して、基板ホットホール注入法を用いて正孔注入を行い、その後の SiO_2 膜における電子捕獲特性とストレス誘起電流の振る舞いについて調べた。その結果以下の結論を得た。

- (1) 正孔注入によって正孔が捕獲された SiO_2 膜のゲート電流- SiO_2 電界特性において、ストレス誘起電流が現れることを初めて見いだした。
- (2) 正孔注入に引き続いて正ゲートバイアスを印加した SiO_2 膜には、負電荷が形成される。この結果は、正に帯電した電子トラップと中性トラップが生成しそれらへの電子捕獲が起こったことによると解釈できる。

- (3) 正孔注入後の SiO_2 膜に於いては、負ゲートバイアス印加時に比べ正ゲートバイアス印加での電子捕獲が極めて起こり易いことを示した。
- (4) 正孔注入後の SiO_2 膜に正ゲートバイアスを印加した時に捕獲される電子は、シリコン基板- SiO_2 膜界面近傍に分布する。これは、正孔注入によって界面近傍に電子トラップが生成したことを示している。(3)の結果は、電子トラップが界面近傍に分布することに起因している。
- (5) 正孔注入後のアニールによって、捕獲された正電荷が減少し正ゲート極性でのストレス誘起電流を抑制することができる。
- (6) ストレス誘起電流や電子捕獲特性に関する実験結果を説明するメカニズムを提案した。正ゲート極性でのストレス誘起電流は、 SiO_2 膜の正孔捕獲によって生成した正に帯電した電子トラップと中性トラップの電子捕獲による変位電流成分と、 SiO_2 膜に捕獲された正孔の正電荷によるトンネル電流成分の増加に起因すると考えられる。
- (7) 以上の結果から、131 Åの SiO_2 膜に正孔注入を行った場合に正ゲート極性で観測されたストレス誘起電流の内、変位電流成分はフラッシュメモリのリードディスターブ特性に影響するものではない。しかし、捕獲された正電荷によってトンネル電流成分が増加する効果は考慮する必要がある。また、 SiO_2 膜への正孔注入に引き続いて正ゲート電圧を加えた場合に、正に帯電した電子トラップと中性トラップへの電子捕獲が起こり、 SiO_2 膜が負に帯電した状態となる現象は、フラッシュメモリの書き換え耐性（エンデュランス特性）の低下の原因となると考えられる。製造したフラッシュメモリを市場へ出荷する前に行うスクリーニング試験中にトンネル SiO_2 膜が正孔注入を受けることが予想されるが、スクリーニング試験後にアニールを行うことでトンネル SiO_2 膜に形成された正電荷を取り除くことが、出荷後のフラッシュメモリの書き換え耐性の改善に有効と考えられる。

参考文献

- [1] J. Maserjian and N. Zamani, *J. Vac. Sci. Technol.*, 20, 743 (1982).
- [2] P. Olivo, T. N. Nguyen, and B. Ricco, *IEEE Trans. Electron Devices*, ED-35, 2259, (1988).
- [3] D. J. Dumin, K. J. Dickerson, M. D. Hall, G. A. Brown, in *Proceedings of the International Reliability Physics Symposium*, 1989, p. 28.
- [4] R. Moazzami and C. Hu, in *International Electron Device Meeting Tech. Dig.*, 1992, p. 139.
- [5] A. El-Hdiy, G. Salance, C. Petit, M. Jourdain, and D. Vuillaume, *J. Appl. Phys.*, 74, 1124 (1993).
- [6] N. Yasuda, N. Patel, and A. Toriumi, in *Extended Abstract of the 1993 International Conference on Solid State Devices and Materials*, 1993, p. 847.
- [7] R. S. Scott and D. J. Dumin, *J. Electrochem. Soc.*, 142, 586 (1995).
- [8] M. Shatzkes and M. Av-Ron, *J. Appl. Phys.*, 47, 3192 (1976).
- [9] S. Holland, I. C. Chen, T. P. Ma, and C. Hu, *IEEE Electron Device Lett.*, EDL-5, 302 (1984).
- [10] M. V. Fischetti, Z. A. Weinberg, and J. A. Calise, *J. Appl. Phys.*, 57, 418 (1985).
- [11] Y. Nissan-Cohen, J. Shappir, and D. Frohman-Bentchkowsky, *J. Appl. Phys.*, 57, 2830 (1985).
- [12] M. V. Fischetti, *Phys. Rev. B*, 31, 2099 (1985).
- [13] Z. A. Weinberg, M. V. Fischetti, and Y. Nissan-Cohen, *J. Appl. Phys.*, 59, 824 (1986).
- [14] H. Uchida and T. Ajioka, *Appl. Phys. Lett.*, 51, 433 (1987).
- [15] T. H. DiStefano and M. Shatzkes, *J. Vac. Sci. Technol.*, 12, 37 (1975).
- [16] T. H. DiStefano and M. Shatzkes, *J. Vac. Sci. Technol.*, 13, 50 (1976).
- [17] N. Klein, *J. Appl. Phys.*, 53, 5828 (1982).
- [18] I. C. Chen, S. E. Holland, and C. Hu, *IEEE Trans. Electron Devices*, ED-32, 413 (1985).
- [19] I. C. Chen, S. Holland, and C. Hu, *IEEE Electron Device Lett.*, EDL-7, 164 (1986).

- [20] D. Arnold, E. Cartier, and D. J. DiMaria, *Phys. Rev. B*, 45, 1477 (1992).
- [21] C. Chang, C. Hu, and R. W. Brodersen, *J. Appl. Phys.*, 57, 302 (1985).
- [22] K. F. Schuegraf and C. Hu, in *Proceedings of the International Reliability Physics Symposium*, 1994, p. 126.
- [23] K. Kobayashi, A. Teramoto, and M. Hirayama, *J. Appl. Phys.*, 77, 3277 (1995).
- [24] J. M. Aitken and D. R. Young, *IEEE Trans. Nucl. Sci.*, NS-24, 2128 (1977).
- [25] S. K. Lai, *J. Appl. Phys.*, 54, 2540 (1983).
- [26] I. C. Chen, S. Holland, and C. Hu, *J. Appl. Phys.*, 61, 4544 (1987).
- [27] A. v. Schwerin, M. M. Heyns, and W. Weber, *J. Appl. Phys.*, 67, 7595 (1990).
- [28] Q. D. M. Khosru, N. Yasuda, K. Taniguchi, and C. Hamaguchi, *J. Appl. Phys.*, 76, 4738 (1994).
- [29] J. Chen, T. Y. Chen, I. C. Chen, P. K. Ko, and C. Hu, *IEEE Electron Device Lett*, EDL-8, 515, (1987).
- [30] T. Endoh, R. Shirota, M. Momodomi, and F. Masuoka, *IEEE Trans. Electron Devices*, ED-33, 835 (1986).
- [31] J. Chen, T. Y. Chen, P. K. Ko, and C. Hu, *IEEE Electron Device Lett*, EDL-10, 203, (1989).
- [32] T. Tsuchiya, in *Proceedings of 21st Conf. Solid State Devices and Materials*, 1989, p. 79.
- [33] 中村正、寺本章伸、小林清輝、織田隆文、松井安次、1995年春季第42回応用物理学関係連合講演会予稿集, 28a-C-10, p. 656.
- [34] K. Kobayashi, A. Teramoto, and M. Hirayama, in *Proceedings of 1995 International Reliability Physics Symposium*, 1995, p. 168.
- [35] K. Kobayashi, A. Teramoto, Y. Matsui, M. Hirayama, A. Yasuoka, and T. Nakamura, *J. Electrochem. Soc.*, to be published.

Appendix 2A (2-3)式の導出

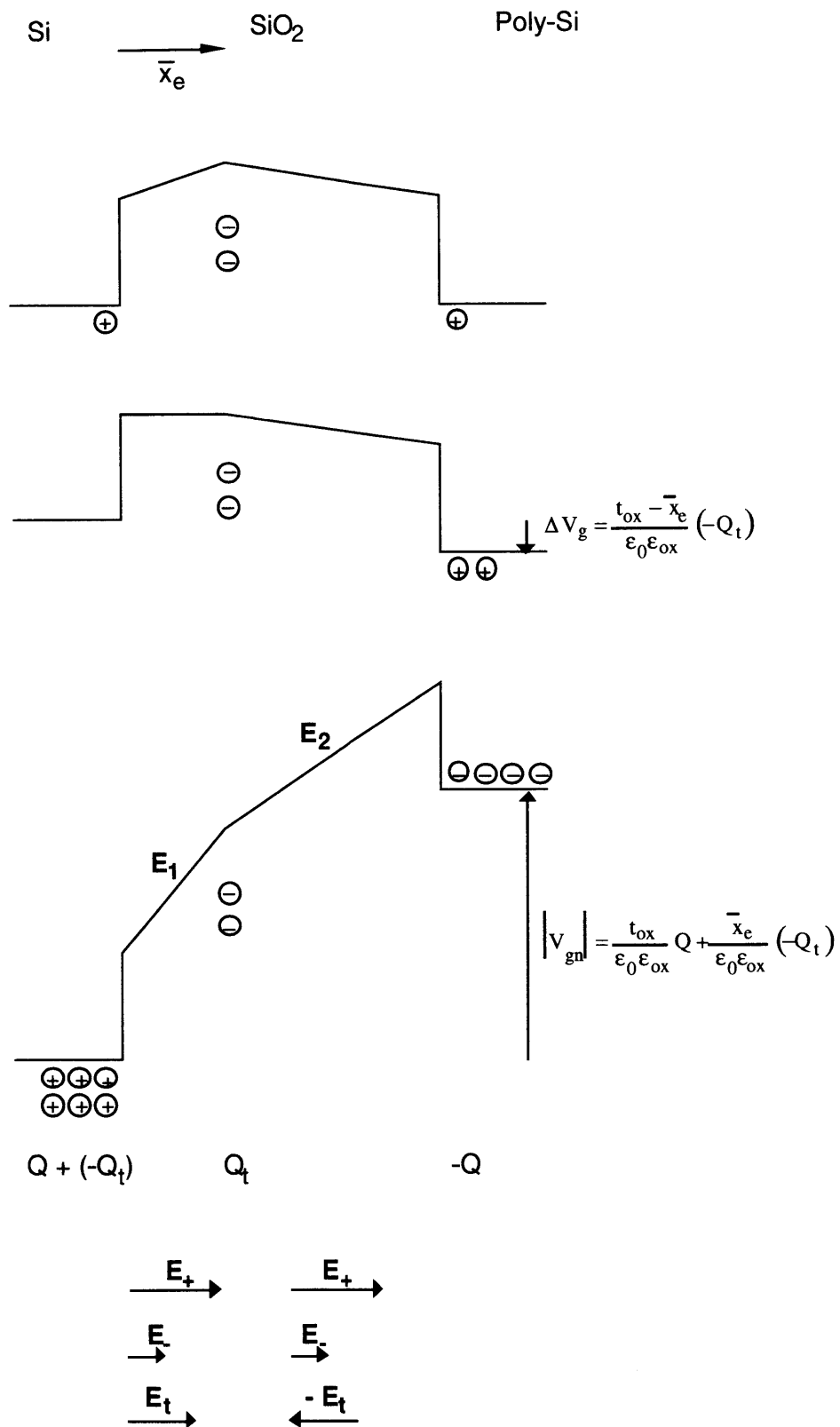


図 2-17 ゲートSiO₂膜中に電子が捕獲されたMOS構造のSiO₂電界

SiO₂膜中に密度Q_t (< 0) の負電荷が捕獲された場合のSiO₂膜内部の電界の大きさE₁, E₂は、図2-17から分かるように(2-5)式で表される。

$$E_1 = E_+ + E_- + E_t, \quad E_2 = E_+ + E_- - E_t \quad (2-5)$$

ここでE₊は陽極の電荷による電界の大きさ、E₋は陰極の電荷による電界の大きさ、E_tは捕獲電荷による電界の大きさであり、各々以下の式で与えられる。

$$E_+ = \frac{Q + (-Q_t)}{2\epsilon_0\epsilon_{ox}}, \quad E_- = \frac{Q}{2\epsilon_0\epsilon_{ox}}, \quad E_t = \frac{-Q_t}{2\epsilon_0\epsilon_{ox}} \quad (2-6)$$

ここでε₀とε_{ox}は各々真空の誘電率とSiO₂の比誘電率である。

また、ゲート電圧と電荷の関係は(2-7)式で与えられる。

$$\left| V_{gn} \right| = \frac{t_{ox}}{\epsilon_0\epsilon_{ox}} Q + \frac{\bar{x}_e}{\epsilon_0\epsilon_{ox}} (-Q_t) \quad (2-7)$$

(2-5)、(2-6)、(2-7)式からE₁, E₂は、(2-8)、(2-9)式のように表される。

$$E_1 = \frac{Q - Q_t}{\epsilon_0\epsilon_{ox}} = \frac{\left| V_{gn} \right|}{t_{ox}} - \frac{Q_t}{\epsilon_0\epsilon_{ox}} \left(1 - \frac{\bar{x}_e}{t_{ox}} \right), \quad (2-8)$$

$$E_2 = \frac{Q}{\epsilon_0\epsilon_{ox}} = \frac{\left| V_{gn} \right|}{t_{ox}} + \frac{Q_t}{\epsilon_0\epsilon_{ox}} \frac{\bar{x}_e}{t_{ox}}, \quad (2-9)$$

一定のF-N電流が得られるのは、(2-9)式の電界E₂が一定に保たれるときであるから、捕獲電荷Q_tが発生するとゲート電圧 (I_g-V_gカーブ) は、

$$\left| \Delta V_{gn} \right| = - \frac{\bar{x}_e}{\epsilon_0\epsilon_{ox}} Q_t, \quad (2-10)$$

で与えられるシフトを起こす。

一方、MOSFETのしきい値電圧V_tは捕獲電荷Q_tとアクセプタ型の界面準位によって、

$$\Delta V_t = - \frac{t_{ox} - \bar{x}_e}{\epsilon_0\epsilon_{ox}} Q_t + \frac{t_{ox}}{\epsilon_0\epsilon_{ox}} qD_{itA}, \quad (2-11)$$

で与えられるシフトを起こす。ここで D_{itA} はアクセプタ型の界面準位密度、 q は素電荷である。図2-8、図2-9の場合のように、界面準位密度の変化が無視できるときには、(2-10)、(2-11)式より $D_{itA} = 0$ と置いて捕獲電荷 Q_t のセントロイドが以下のように与えられる。

$$\bar{x}_e = \frac{|\Delta V_{gn}|}{\Delta V_t + |\Delta V_{gn}|} t_{ox}, \quad (2-3)$$

Appendix 2B 変位電流成分 J_2 の定式化

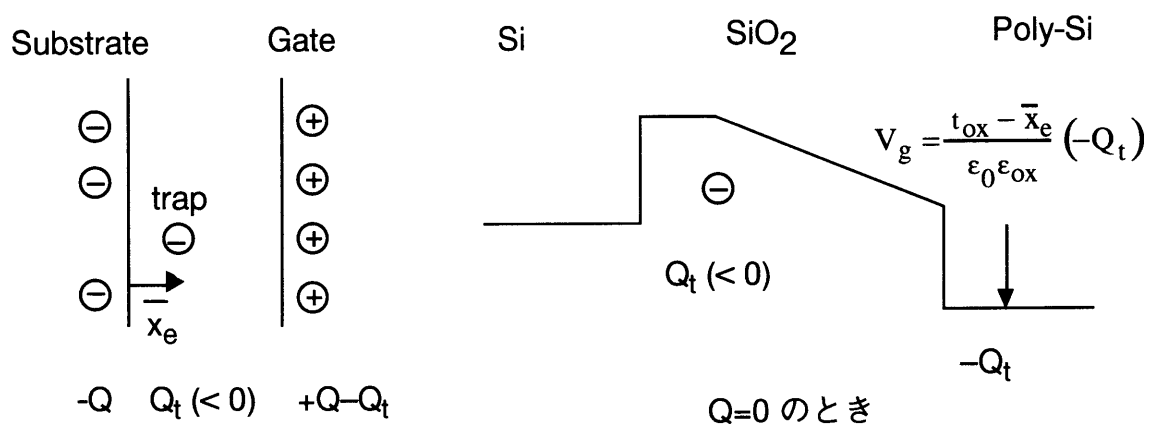


図2-18 ゲート SiO_2 膜中に電子が捕獲されたMOS構造の電荷状態

正孔注入に引き続く正ゲート電圧印加後の SiO_2 膜中の電荷密度 Q_t は、(2-12)式で表される。

$$Q_t = qN_{ht} - qn_{et}, \quad (2-12)$$

ここで N_{ht} は SiO_2 膜に捕獲された正孔の密度であり、 n_{et} は正に帯電した電子トラップおよび中性トラップによって捕獲された電子の密度、 q は素電荷である。正ゲート電圧 V_g を

印加したときに基板（n型ウエル）表面に現れる電荷密度を Q とすると、

$$V_g = \frac{t_{ox}}{\epsilon_0 \epsilon_{ox}} Q + \frac{t_{ox} - \bar{x}_e}{\epsilon_0 \epsilon_{ox}} (-Q_t), \quad (2-13)$$

である。ゲート電圧が一定の場合には、

$$\frac{dV_g}{dt} = \frac{t_{ox}}{\epsilon_0 \epsilon_{ox}} \frac{dQ}{dt} - \frac{t_{ox} - \bar{x}_e}{\epsilon_0 \epsilon_{ox}} \frac{dQ_t}{dt} = 0, \quad (2-14)$$

である。変位電流成分 J_2 は、 N_{ht} を一定とすると、(2-12)式と(2-14)式を用いて(2-15)式によって与えられる。

$$J_2 = \frac{d}{dt}(Q - Q_t) = -\frac{\bar{x}_e}{t_{ox}} \frac{dQ_t}{dt} = q \frac{\bar{x}_e}{t_{ox}} \frac{dn_{et}}{dt}. \quad (2-15)$$

第3章 比較的薄いシリコン酸化膜への正孔注入により発生するストレス

誘起電流^{[19]-[21]}

3.1節 はじめに

近年注目されているフラッシュメモリは、現在16Mビット品の量産が開始される段階にあるが、このまま他の大規模集積メモリと同様の集積化が進むと、西暦2000年には256Mビット規模のメモリが市場に登場する可能性がある。この程度の大容量メモリが実現すると、磁気メモリであるハードディスクの置き換えや電子スチールカメラへの応用など、その用途が飛躍的に広がると予想されている[1]。このためフラッシュメモリの高集積化とそれに伴うメモリセルの微細化が、電子デバイス事業の観点から重要な課題である。

フラッシュメモリのメモリセルトランジスタを微細化する場合、ソースやドレインの n^+ 拡散層もまた微細化する必要がある。しかし n^+ 拡散層抵抗を上昇させないために、拡散層表面のドナー濃度は一定に保たなければならない。このため、ドナー濃度分布が急峻な n^+ 拡散層が形成される。ところがドナー濃度分布が急峻になると、 n^+ 拡散層-シリコン基板の n^+ -p接合に逆方向電圧を加えた場合の接合耐圧が低下するため、 n^+ 拡散層に加えることが許される正電圧は小さくなる。一方、第1章の図1-2において述べたようにフローティングゲートから n^+ 拡散層に電子を引き抜くタイプのフラッシュメモリ（例えばNOR型フラッシュメモリ）では、電子の引き抜き時に n^+ 拡散層に正電圧を印加し、トンネル SiO_2 膜に高電界を与えることによってF-Nトンネリングによる電子の輸送を行う。消去速度を一定に保つためには、トンネル SiO_2 膜に与える電界を維持する必要がある、このため、 n^+ 拡散層に加えることが許される正電圧が小さくなるにつれてトンネル SiO_2 膜を薄膜化する必要がある。すなわち、メモリセルトランジスタの微細化は、トンネル SiO_2 膜の薄膜化を要求する。

第1章で述べたようにフラッシュメモリにおいては、情報の書き換えによってトンネルSiO₂膜が劣化した後でも、トンネルSiO₂膜の低電界でのリーク電流が許容値（約10⁻¹⁵ A/cm²）以下でなければならず、それ故、ストレス誘起電流についての研究が極めて重要である。2.1節でも述べたが、これまでにストレス誘起電流については多くの研究がなされてきた[2]-[8]。MaserjianとZamaniは、高電界（13 MV/cm）でF-Nトンネリングによる電子注入を行った40～50 ÅのSiO₂膜においてストレス誘起電流が現れることを示し、その特性を説明するために「Si-SiO₂界面近傍に生成した正電荷が電子に対するSiO₂膜のエネルギー障壁を部分的に低下させ、電子のトンネル確率を増加させる」というcharge-assisted tunnelingモデルを提案した[2]。MoazzamiとHuは、100 Å以上のSiO₂膜にF-N電子注入を行ったときに観測されるストレス誘起電流が、生成したトラップへの電子捕獲に起因する変位電流成分であることを示し、80 Åより薄いSiO₂膜で現れるストレス誘起電流は、「陰極からトラップへの電子のトンネリングによる捕獲と捕獲された電子の陽極への放出（trap-assisted tunnelingモデル）」に起因するリーク電流であると考えた[5]。これらの研究はいずれも、F-N電子注入を行った数十Åの薄いSiO₂膜において、膜を通過するストレス誘起電流が現れることを指摘している。このようなSiO₂膜を通過するリーク電流の増加は、フラッシュメモリのデータリテンション（Data Retention）特性やリードディスタurb（Read Disturb）特性に深刻な影響を与える可能性がある。

ところで、MOS構造において150 Åよりも薄いSiO₂膜にF-Nトンネリングによる電子注入を行うと、2.1節の図2-2に示したように、SiO₂膜中の電界により高エネルギーとなった電子が陽極中で電子-正孔対を生成し、生成した正孔の一部がSiO₂膜中に注入され、その一部が膜中に捕獲されるために正電荷が発生すると考えられている[9]-[13]。このため、F-N電子注入によるストレス誘起電流の発生機構について理解を深めるためには、SiO₂膜に注入された正孔の影響を理解することが重要である。さらに、フローティングゲートからn⁺拡散層に電子を引き抜くタイプのフラッシュメモリにおいては、2.1節の図2-3に示すように、データの消去時にn⁺拡散層の表面で起こる電子のバンド間トンネリングに起因して、トンネルSiO₂膜に正孔が注入される[14]-[17]。すなわち、フラッシュ

メモリの情報の書き換えによりトンネルSiO₂膜に注入されるキャリアとして、正孔の影響を考慮することが極めて重要である。しかしながら従来、正孔を注入した場合の数十ÅのSiO₂膜についてストレス誘起電流の見地から調べた報告は無い。

第2章では情報の書き換え時にトンネルSiO₂膜に注入される正孔の影響について理解するために、131 ÅのSiO₂膜に対して基板ホットホール注入法を用いて正孔注入を行い、その後のSiO₂膜における電子捕獲特性とストレス誘起電流の振る舞いについて調べた。その結果、正孔注入後のSiO₂膜の正ゲート極性でのゲート電流-SiO₂電界特性においてストレス誘起電流が現れ、このストレス誘起電流は、正に帯電した電子トラップと中性トラップの電子捕獲による変位電流成分の出現と、SiO₂膜に捕獲された正電荷によるトンネル電流成分の増加に起因すると考えられることを示した。本章ではさらに、トンネルSiO₂膜の薄膜化という要求を念頭に置いて、より薄い60 ÅのSiO₂膜に対して第2章と同様の方法で正孔注入を行い、ストレス誘起電流の振る舞いについて調べる。そして60 Åと131 Åの場合のストレス誘起電流の特性の比較を行う。

3.2節 実験方法

SiO₂膜へ正孔注入を行う方法は、2.2節で示したものと原理的に同様である基板ホットホール注入法である。実験に用いる試料として、8.5-11.5 Ω-cmの抵抗率のp型(100)シリコン基板にn型ウエルを形成し、n型ウエル領域の表面にpチャネルMOS電界効果トランジスタ(MOSFET)を形成した。ゲートSiO₂膜は、750 °Cのパイロジェニック酸化法(O₂/H₂ = 1/1.8)により形成し、膜厚は60 Åである。以後のウエハプロセスは2.2節で示したものと同様である。ゲート電極は、リンドーフトポリシリコンを減圧CVD法で堆積し、パターニングすることによって形成した。リンドーフトポリシリコンの膜厚は約2000 Åであり、リン濃度は6 x 10²⁰ cm⁻³である。pチャネルMOSFETのソースとドレインをB⁺注入と900 °Cのアニールによって形成し、アルミニウム配線を形成後、450 °Cの水

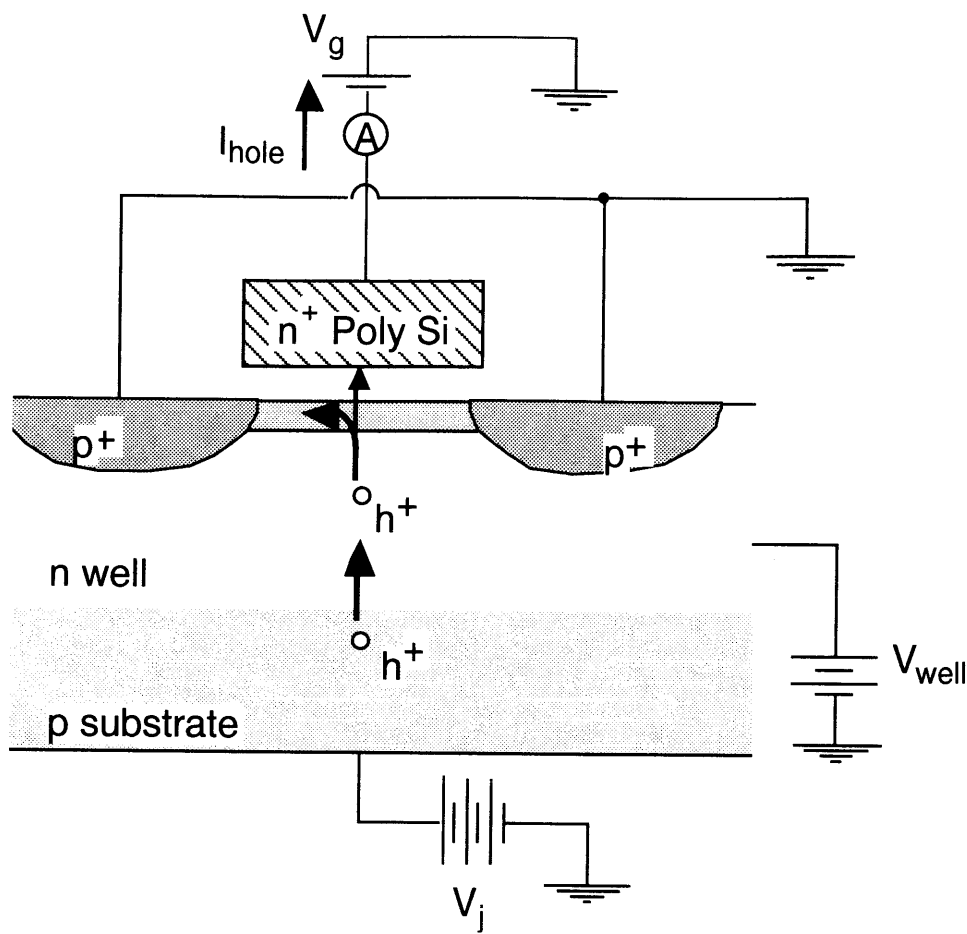


図3-1 SiO₂膜への正孔注入に用いたpチャネルMOSFETの断面模式図。基板ホットホール注入法により、ゲートSiO₂膜に正孔注入を行った。

素アニールを行った。

ゲートSiO₂膜の膜厚は、比誘電率3.85を用いて容量測定によって決定した。pチャネルMOSFETのゲート電極面積は、 $1.0 \times 10^4 \text{ cm}^2$ である。形成したpチャネルMOSFETの断面模式図3-1を用いて、ゲートSiO₂膜への正孔注入の方法を以下で説明する。まずゲート電極に負電圧、n型ウエルに正電圧 (V_{well}) を加え、p⁺ソースドレインを接地する。p⁺ソースドレインの間の基板表面は反転状態にある。次に、p型シリコン基板とn型ウエルの間のp-n接合に順方向電圧が加わるようにp型シリコン基板に正電圧 (V_j) を加え、n型ウエルに正孔を注入する。このとき注入された正孔は、n型ウエルと基板表面の間の電位

差によって加速され、その一部がシリコン基板-ゲートSiO₂膜界面のエネルギー障壁を越えることができるほどの高エネルギーを有するに至り、ゲートSiO₂膜中に放出される。ゲートSiO₂膜中に放出された正孔はその一部がSiO₂膜中で捕獲されるが、ほとんどはゲート電極に流れ込みゲート電流 (I_{hole}) として観測される。本実験では十分な正孔電流を得るために、ウェル電位を+16.5 V、p型シリコン基板電位を+18.5 Vに設定した。ゲートSiO₂膜への電子のF-N注入を抑制するために、ゲート電圧は-3.2 V ($E_{ox} = -3.9$ MV/cm) に設定した。ゲートSiO₂膜へ注入した正孔の密度はゲート正孔電流を時間積分することで算出した。

3.3節 正孔注入後の60 ÅのSiO₂膜に関する実験結果

様々な水準の正孔注入を行ったpチャネルMOSFETの、100 KHzでの高周波C-V特性(ゲート電極-基板間容量とゲート電圧の関係)を図3-2に示す。ここで図3-2の縦軸は、ゲート電極-基板間容量の最大値 C_{max} で規格化している。正孔注入後にC-Vカーブの負電圧方向へのシフトが観測され、このシフトはゲートSiO₂膜に正電荷の蓄積が起こったことを意味している。また、正孔注入密度の増加に伴って、C-Vカーブの形も変化していることから、界面準位も発生したことが分かる。図3-2よりミッドギャップ電圧の変化を求め、SiO₂膜へ注入した正孔の密度に対してプロットしたのが図3-3である。図中には、63、120、131 ÅのSiO₂膜のミッドギャップ電圧の変化 ΔV_{mg} も示している。注入正孔密度の増加にともないミッドギャップ電圧の変化量は単調に大きくなり、捕獲正孔密度が増加することがわかる。Khosru等は、基板ホットホール注入を行った46~150 ÅのSiO₂膜に捕獲された正孔のセントロイドとして32 Åという値を得た[18]。ここでは、各SiO₂膜に捕獲された正孔をシートチャージとみなし、セントロイドとして30 Åを仮定し、以下の(3-1)式を用いて捕獲正孔密度 N_m を計算した。

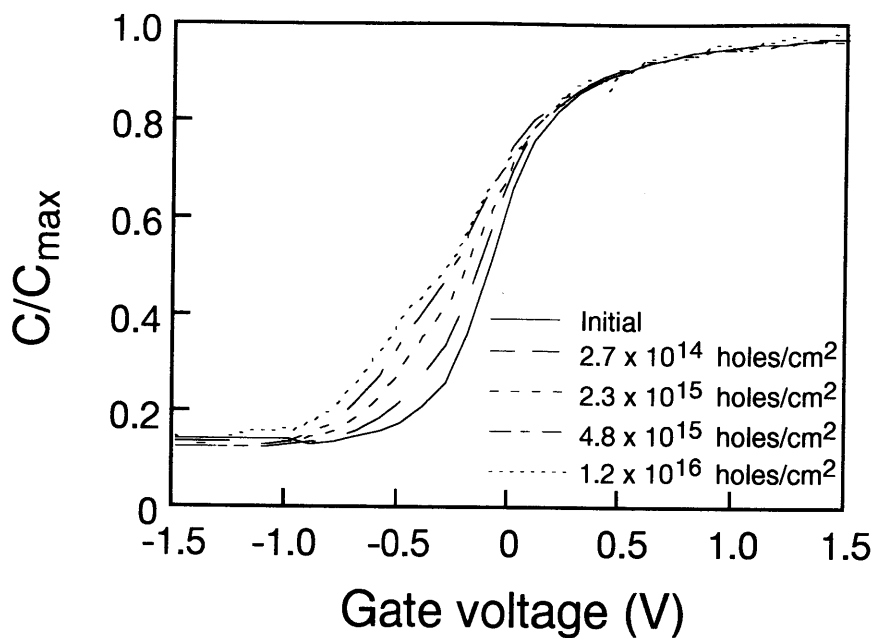


図3-2 様々な水準の正孔注入を行ったpチャンネルMOSFETの100 KHzでの高周波C-V特性。

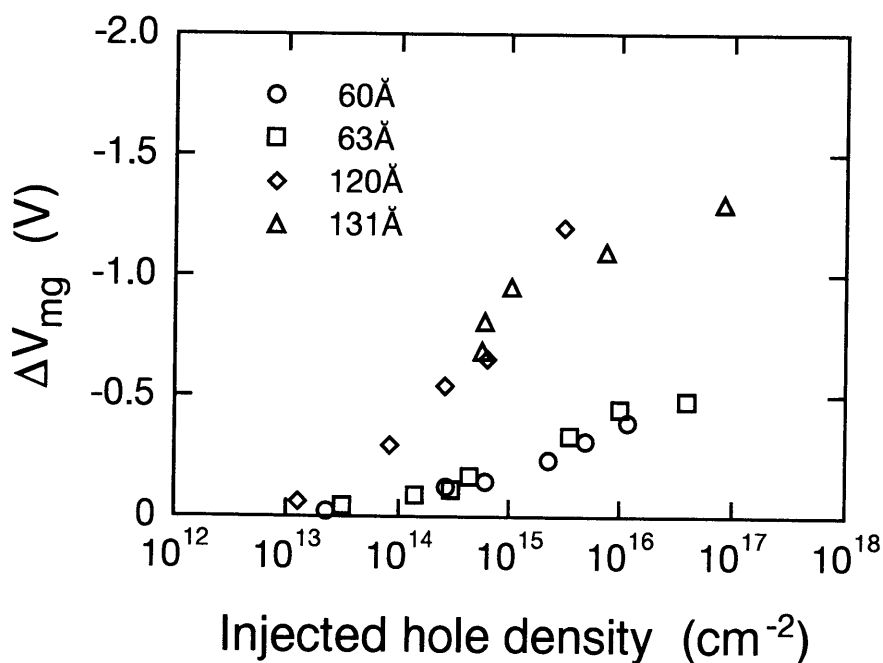


図3-3 60ÅのSiO₂膜へ注入した正孔の密度とミッドギャップ電圧の変化との関係。図中には、63、120、131ÅのSiO₂膜のミッドギャップ電圧の変化 ΔV_{mg} も示している。注入正孔密度の増加にともないミッドギャップ電圧の変化量は単調に大きくなる。

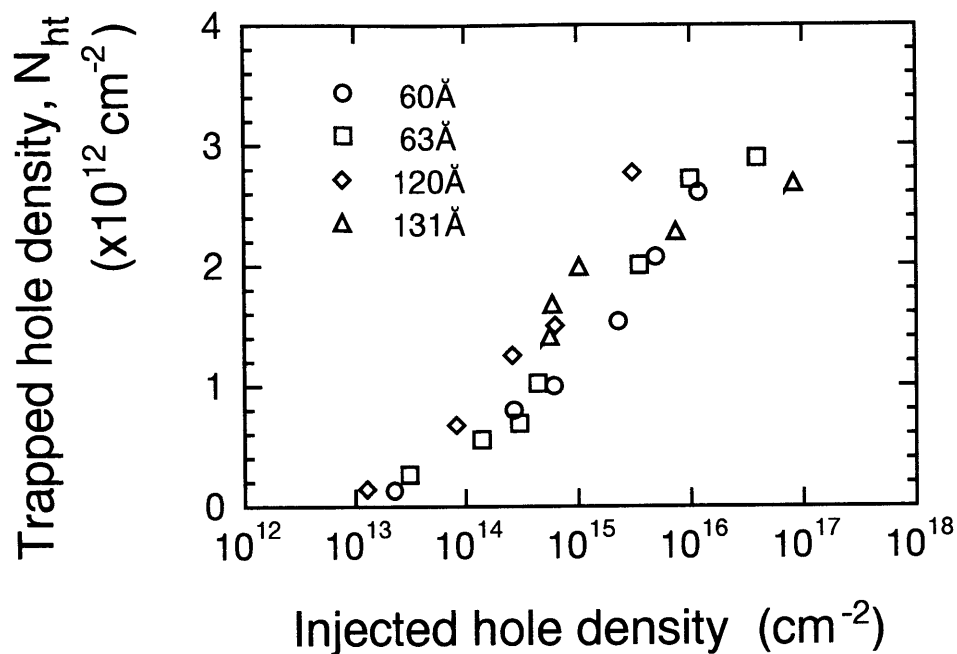
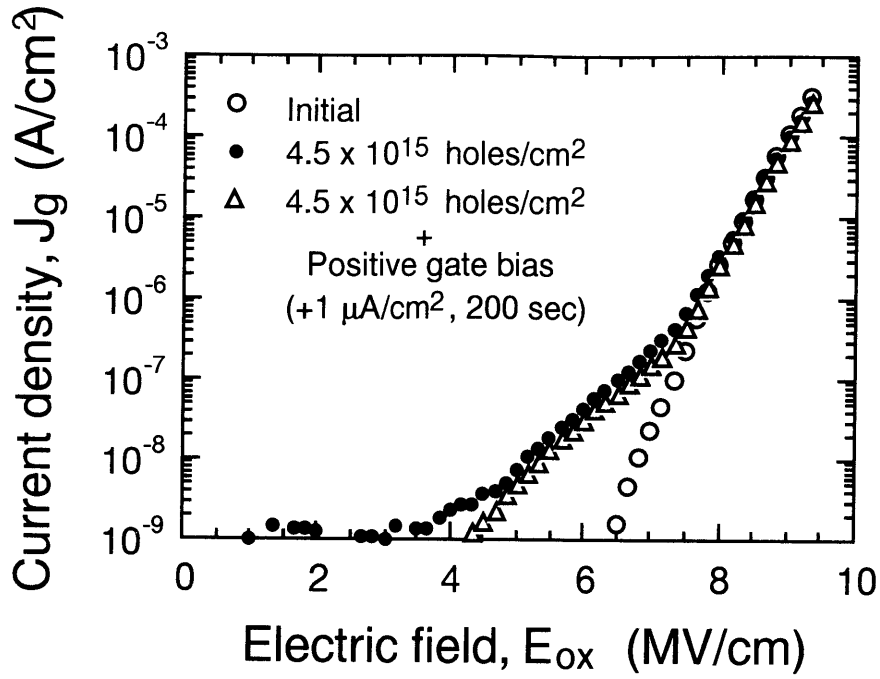


図3-4 捕獲正孔密度 N_{ht} と注入正孔密度との関係。 N_{ht} は、各 SiO_2 膜に捕獲された正孔を 30\AA のセントロイドの位置にあるシートチャージと仮定して計算した。

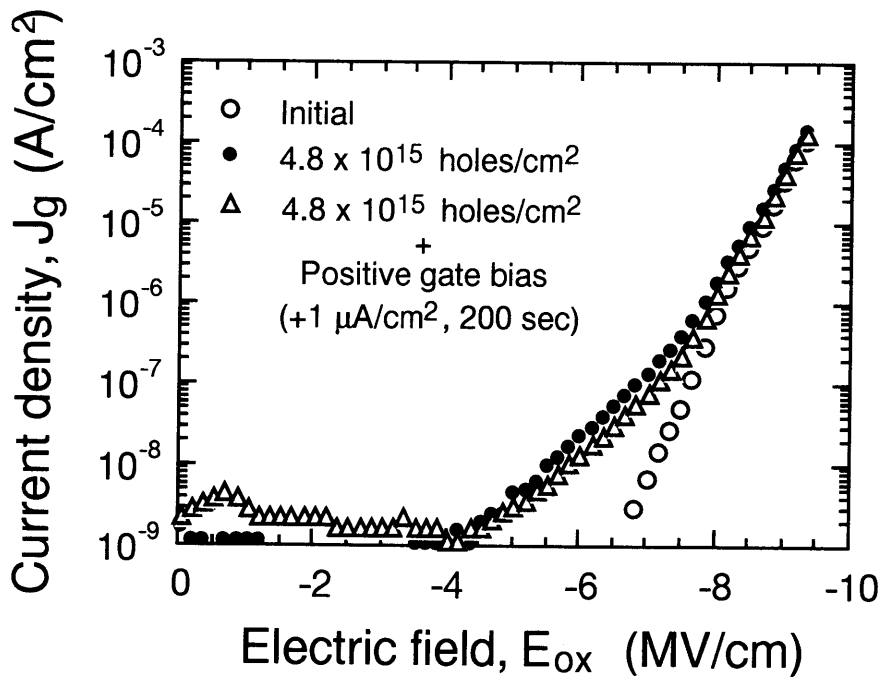
$$N_{ht} = \frac{\epsilon_0 \epsilon_{ox}}{q(t_{ox} - \bar{x}_h)} |\Delta V_{mg}| \quad (3-1)$$

ここで ΔV_{mg} はミッドギャップ電圧の変化量、 \bar{x}_h はシリコン基板から計った正孔のセントロイド、 t_{ox} は SiO_2 膜厚、 q は素電荷、 ϵ_0 と ϵ_{ox} は各々真空の誘電率と SiO_2 の比誘電率である。セントロイドが膜厚によらず 30\AA と一定というの仮定のもとでは、捕獲正孔密度の SiO_2 膜厚依存性が小さい。すなわち、正孔捕獲が主としてシリコン基板- SiO_2 界面に近い領域で起こる現象であるとみなすことができ、 30\AA というセントロイドの値と矛盾しない。

pチャネルMOSFETのゲート電流-ゲート電圧特性 (I_g - V_g 特性) は、正ゲート極性の場合にはn型ウェルを接地して、負ゲート極性の場合にはソースドレインとn型ウェルを接地して測定を行った。ゲート電圧は0.55秒置きに0.2Vのステップで上昇させた。図3-



(a) 正ゲート極性



(b) 負ゲート極性

図3-5 正負両ゲート極性での正孔注入前後と正ゲートバイアス印加後の J_g - E_{ox} 特性。正負両極性において正孔注入直後にストレス誘起電流が現れた。

5 (a)と(b)は、60 ÅのSiO₂膜に対する正負両ゲート極性での正孔注入前後のI_g-V_g特性から得られたゲート電流密度-SiO₂電界 (J_g-E_{ox}) 特性である。ここでSiO₂中の電界E_{ox}は、正ゲート極性に対しては(2-1)式を用いて計算し、負ゲート極性では(2-2)式から算出した。正負両ゲート極性で、正孔注入後に明らかにストレス誘起電流が観測されている。

正孔注入に引き続いて、ゲート電極に正バイアスを200秒間印加した。これは、シリコン基板から電子を注入する極性に相当する。この正ゲートバイアス印加中は、ゲート電流密度が+1 μA/cm²の一定値になるようにゲート電圧を変化させている。図2-7に示した結果と同様に、正孔注入を行っていない試料では、ゲートSiO₂膜を通過するトンネル電流成分が+1 μA/cm²に達した後のゲート電圧V_gの変化が極めて小さかった。このことは、正ゲートバイアス印加中にSiO₂膜中の電荷密度に変化がほとんどなかったことを示しており、正ゲートバイアス印加によるSiO₂膜中の新たな電子や正孔の捕獲は無視することができる。正ゲートバイアス印加後のJ_g-E_{ox}カーブもまた、図3-4 (a)(b)に示す。正負両極性において正孔注入直後に現れたストレス誘起電流が、正ゲートバイアス印加後に減少するが、依然として観測できることが分かる。このストレス誘起電流は、J_g-E_{ox}特性を繰り返し測定しても現れた。

60 ÅのSiO₂膜に現れたストレス誘起電流の経時変化を調べるために、正ゲート極性で+7 MV/cmのSiO₂電界を加えたときのゲート電流の時間変化を測定した。測定結果を第2章で扱った131 ÅのSiO₂膜の結果とともに図3-6に示している。正孔注入を行っていない試料(図中+印)では、電流密度の時間変化が極めて小さく、+7 MV/cmのSiO₂電界では膜中の電荷密度に変化が無かったことを示している。すなわち電界印加によるSiO₂膜における新たな電子や正孔の捕獲は無視することができる。正孔注入後、131 ÅのSiO₂膜の電流レベルは急速に減少し、正孔注入前のレベルよりも小さくなった。この131 Åの場合の変化は、第2章で述べた議論から、

- (1) 正に帯電した電子トラップと中性トラップの電子捕獲に起因する変位電流成分が、トラップが電子を捕獲して埋まるにつれて減少したこと、
- (2) SiO₂膜を通過するトンネル電流が、正孔注入直後ではSiO₂膜に形成された正電荷

によって増加するが、正に帯電した電子トラップの電子捕獲につれて正電荷が中性化するとともに、中性トラップの電子捕獲によって負電荷が蓄積されたこと、の二つの効果が原因と考えられる。正孔注入後の60 ÅのSiO₂膜の電流レベルは、時間とともにわずかに減少し、1000秒間の正ゲートバイアス印加の後には定常電流となった。

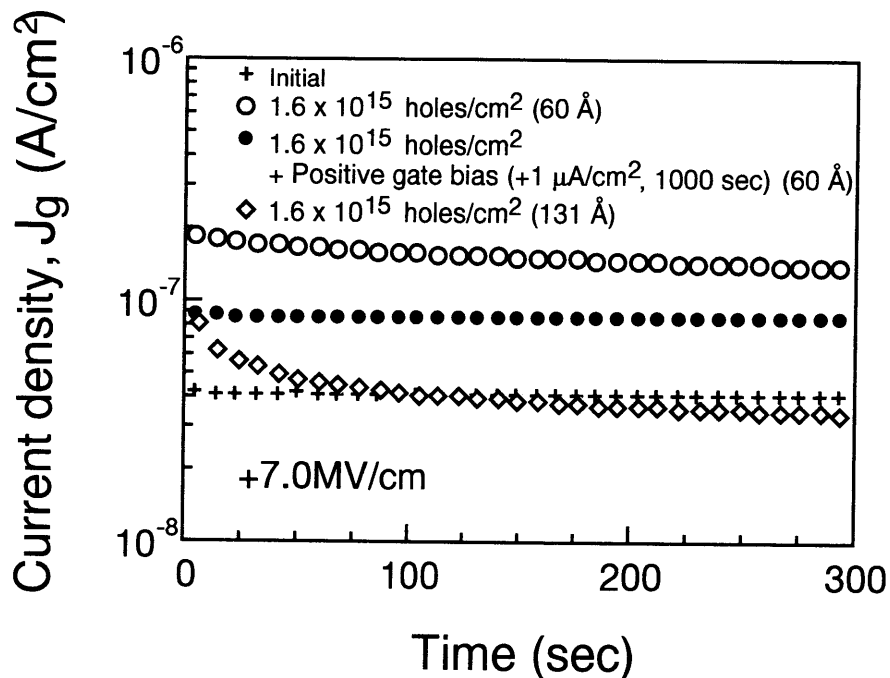


図 3-6 正ゲート極性で+7 MV/cmのSiO₂電界を加えたときのゲート電流の時間変化。正孔注入後の60 ÅのSiO₂膜の電流レベルは、時間とともにわずかに減少し、1000秒間の正ゲートバイアス印加の後には定常電流となった。この定常電流は、そのレベルが正孔注入前のよりも大きいことから、SiO₂膜を通過するリーク電流であることがわかる。

この定常電流は、そのレベルが正孔注入前よりも大きいことから、SiO₂膜を通過するリーク電流であることがわかる。すなわち、60 ÅのSiO₂膜に現れたストレス誘起電流は、経時変化する成分と定常的なリーク成分からなると結論できる。131 ÅのSiO₂膜の結果と比較すると、SiO₂膜を薄膜化することによってリーク電流成分が増加することがわかる。

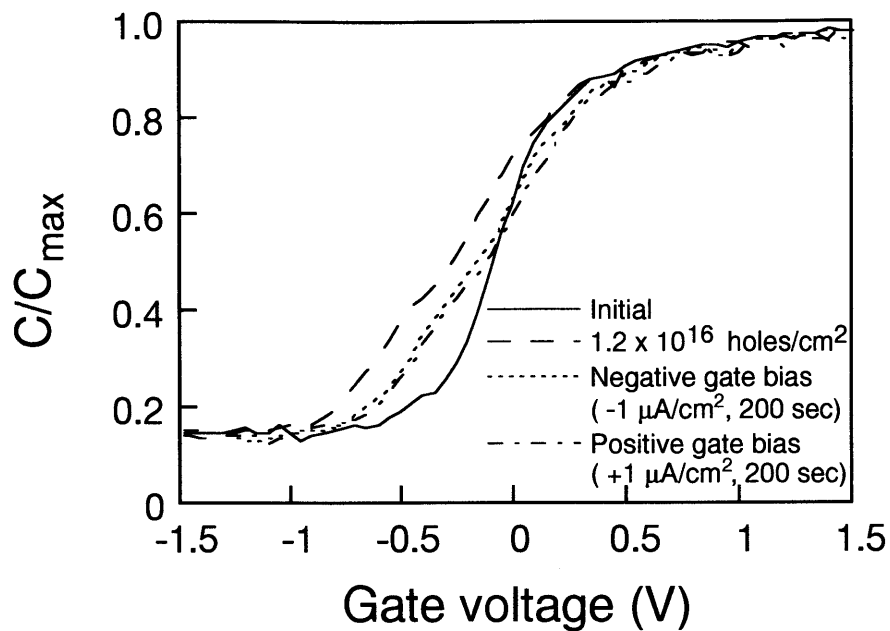


図3-7 正孔注入とそれに引き続くバイアス印加前後でのC-V特性。正孔注入後に負バイアス方向へシフトしたC-Vカーブは、正負両ゲートバイアス印加の場合においてともに正電圧方向へシフトした。

図3-7は、正孔注入とそれに引き続くバイアス印加前後でのC-V特性である。正孔注入後に負バイアス方向へシフトしたC-Vカーブは、正ゲートバイアス印加後に正電圧方向へシフトした。このシフトは、正孔注入後に形成された正電荷が見かけ上減少したことを示しており、生成したトラップの電子捕獲に起因すると考えられる。この電子捕獲が、図3-6において示した60Åの場合のゲート電流の経時変化の原因となったと考えられる。また131ÅのSiO₂膜においては、第2章の図2-12において示したように正孔注入に引き続く負ゲートバイアス印加後にC-Vカーブはほとんどシフトせず、負ゲートバイアスでの電子捕獲が正ゲートバイアスでの電子捕獲に対して起こりにくいことが分かったが、60ÅのSiO₂膜においては、図3-7から分かるように負ゲートバイアス印加後にもC-Vカーブが正電圧方向へシフトし、その変化量は正ゲートバイアスの場合と同程度であった。すなわち60ÅのSiO₂膜においては、正孔注入後に正負両ゲートバイアス下でほぼ同じ密度で電子が捕獲されることがわかった。

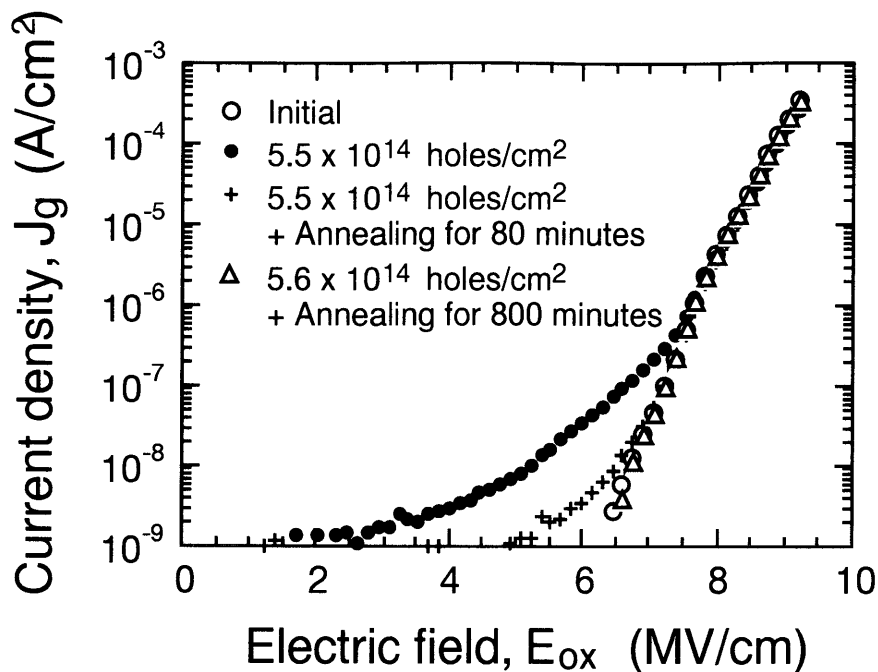


図3-8 60 ÅのSiO₂膜の試料に対する正孔注入前後と250℃でのアニール後のJ_g-E_{ox}特性。アニール時間は80分と800分である。正ゲート極性のストレス誘起電流は800分のアニールによって測定範囲では消滅した。

次に、60 ÅのSiO₂膜の場合の正孔注入によって誘起されたストレス誘起電流の熱的な安定性を調べるために、正孔注入後の試料を250℃でアニールしJ_g-E_{ox}特性の測定を行った。図3-8は、80分と800分のアニールを行った場合のJ_g-E_{ox}特性を示している。正ゲート極性に於いてストレス誘起電流はアニール時間が80分の場合にはまだ認められるが、800分のアニールによって測定範囲では消滅したことが分かる。131 ÅのSiO₂膜においては、図2-14に示したように250℃ 80分のアニールでストレス誘起電流が測定範囲から消滅したことから、ストレス誘起電流の低減のためには、60 Åと薄膜化したことによってより長時間のアニールが必要となったと言える。図3-9は正孔注入後の試料を250℃で800分のアニールを行い、C-V特性を測定した結果である。C-Vカーブはアニール後に正電圧方向へシフトし、正孔注入前のカーブに一致した。250℃、800分のアニールによって正電荷が取り除かれることが分かる。以上の結果から、フラッシュメモリのトンネル

SiO₂膜に捕獲された正電荷の影響は、250℃のアニールによって低減できるものと期待できる。

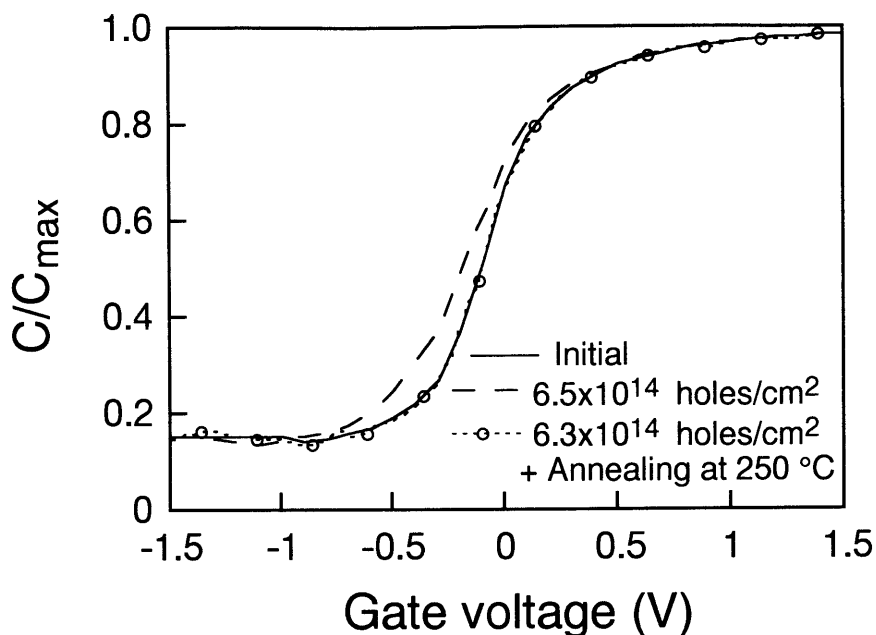


図 3-9 正孔注入前後と250℃13時間アニール後のC-V特性。C-Vカーブはアニール後に正電圧方向へシフトし、正孔注入前のカーブに一致した。

3.4 節 正孔注入後の比較的薄いSiO₂膜のストレス誘起リーク電流の伝導機構に関する考察

これまで示してきたように、60 ÅのSiO₂膜に対する正孔注入によってSiO₂膜に正電荷が形成され、これは正孔が捕獲されたことによると考えられる。また、正孔注入後の60 ÅのSiO₂膜に於いて、経時変化する成分と定常的なリーク成分からなるストレス誘起電流が現れ、その経時変化は正孔注入によって生成したトラップの電子捕獲が原因と考えられることを示した。以上のことから、SiO₂膜に正孔を注入したことが原因となって、

2成分のストレス誘起電流が発生したと結論できる。さらに図3-8、3-9から、正孔注入後の試料に対して250℃、800分のアニールを行った場合に、ストレス誘起電流は両成分ともに減少し、同時に正電荷が取り除かれることが分かった。

第2章の図2-10において示したように、131ÅのSiO₂膜では、シリコン基板-SiO₂界面から30Åのあたりに分布するトラップによって電子捕獲が起こる。ところが60ÅのSiO₂膜では、負ゲート極性のI_g-V_g特性においても大きなストレス誘起電流が発生するため、131ÅのSiO₂膜の場合と同様の方法で捕獲電子のチャージセントロイドを決定することは困難である。しかし図3-4に関連して検討したように、正孔捕獲がシリコン基板-SiO₂界面から約30Åの領域で主として起こる現象であると考えすることは現在のところ実験事実と矛盾しない。そこで131Åの場合と同様に60ÅのSiO₂膜でも、基板-SiO₂界面から30Åのあたりに分布するトラップによって電子が捕獲されると仮定する。この値は60ÅのSiO₂膜においては膜の中央に位置する。この仮定に基づくと、シリコン基板とゲート電極からトラップへの電子のトンネリング確率は同程度となり、正負両ゲートバイアスでの電子捕獲が可能となる。これは図3-7の正負両ゲートバイアスでのC-Vカーブのシフトとも矛盾しない。

また図2-9において、捕獲された電子の一部は負ゲートバイアス下で容易に放出されることを示した。この現象は、捕獲された電子の一部がトラップ-シリコン基板間の30Å程度のSiO₂層をトンネリングにより通過して、トラップからシリコン基板に放出されるためと考えられる。このようなトラップからの電子放出が60ÅのSiO₂膜の場合にも同様に起こると仮定すると、トラップ-ゲート電極間のSiO₂層もまた30Å程度の厚さであるので、この経路での電子放出も可能と考えられる。以上の仮定に基づくと、60ÅのSiO₂膜に対し正または負のゲートバイアスを印加すると、陰極からの電子のトンネリングによりトラップに電子が捕獲される。捕獲された電子の一部は、トラップからトラップ-陽極間のSiO₂層をトンネリングして放出され、陽極に到達することができる。このような電子の輸送が、正孔注入後の60ÅのSiO₂膜において見られた定常的なストレス誘起リーク電流のメカニズムの一つであると考えられる。

3.5節 比較的薄いSiO₂膜のストレス誘起リーク電流がフラッシュメモリの特性に与える影響の考察

これまでの実験結果からトンネルSiO₂膜の正孔捕獲がフラッシュメモリの特性に与えると予想される影響について検討する。これまで述べてきたように、60 ÅのSiO₂膜に現れたストレス誘起電流にはSiO₂膜を通過するリーク電流成分が含まれている。131 ÅのSiO₂膜ではこのような電流成分は観測されなかったことから、SiO₂膜を薄膜化することによってリーク電流成分が増加すると言える。しかもこのリーク電流成分は、正負両ゲート極性で存在する。

フローティングゲートからn⁺拡散層に電子を引き抜くタイプのフラッシュメモリにおいては、2.1節の図2-3に示すように、データの消去時にn⁺拡散層の表面で起こる電子のバンド間トンネリングに起因して、トンネルSiO₂膜に正孔が注入される[14]-[17]。本章で得られた実験結果から、トンネルSiO₂膜が薄膜化されたフラッシュメモリでは、バンド間トンネリングに起因する正孔注入のために、正負両ゲート極性のリーク電流が増加すると予想される。フラッシュメモリのリードディスタートブ特性では、正ゲート極性でのトンネルSiO₂膜の電荷リークによるフローティングゲートへの電子の注入が問題となり、この意味でリーク電流の増加がリードディスタートブ特性に影響を与えると考えられる。また、データリテンション特性では、負ゲート極性でのフローティングゲートからトンネルSiO₂膜を介しての電子のリークが問題になり、リーク電流の増加はの場合にも問題となる。すなわち今後、フラッシュメモリの高集積化や情報の書き換え速度の高速化のためにトンネルSiO₂膜を薄膜化する場合、ストレス誘起リーク電流の発生がリードディスタートブとデータリテンションの両特性に与える影響を十分に考慮する必要がある。これらの特性低下を回避するためには、バンド間トンネリングに起因する正孔注入を抑制することや、ストレス誘起リーク電流が発生しにくいトンネルSiO₂膜の開発を行うことが重要な課題と考えられる。

3.6節 結言

MOS構造に於ける60 ÅのSiO₂膜に対して、基板ホットホール注入法を用いて正孔注入を行い、その後のSiO₂膜における電子捕獲特性とストレス誘起電流の振る舞いについて調べた。その結果以下の結論を得た。

- (1) 正孔注入を行ったSiO₂膜の正負両ゲート極性でのゲート電流-SiO₂電界特性に於いて、ストレス誘起電流が発生することを初めて見いだした。
- (2) 60 ÅのSiO₂膜に現れたストレス誘起電流は、経時変化する成分と定常的なリーク電流成分からなる。リーク電流成分は、SiO₂膜を薄膜化することによって増加する。
- (3) 正孔注入後に正または負ゲートバイアスを加えると、いずれの極性でも電子が捕獲される。ストレス誘起電流の経時変化は、生成したトラップの電子捕獲が原因と考えられる。
- (4) 250℃のアニールによって、ストレス誘起電流とSiO₂膜に捕獲された正電荷が減少する。
- (5) 正孔注入後の60 ÅのSiO₂膜において現れるリーク成分について、以下のメカニズムが考えられる。「60 ÅのSiO₂膜に正孔注入を行うとトラップが生成し、引き続いて正または負のゲートバイアスを印加すると、陰極からの電子のトンネリングによりトラップに電子が捕獲される。捕獲された電子の一部は、トラップからトラップ-陽極間のSiO₂層をトンネリングして放出され、陽極に到達する。」
- (6) 正孔注入を行った60 ÅのSiO₂膜に正ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのリードディスタート特性を低下させ、負ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのデータリテンション特性を低下させる原因になりうる。このため、トンネルSiO₂膜を薄膜化する場合、ストレス誘起電流のリーク電流成分がフラッシュメモリの電荷保持特性に与える影響について十分に考慮する必要がある。

参考文献

- [1] 若林秀樹、日経マイクロデバイス、1991年5月号、p. 154.
- [2] J. Maserjian and N. Zamani, *J. Vac. Sci. Technol.*, 20, 743 (1982).
- [3] P. Olivo, T. N. Nguyen, and B. Ricco, *IEEE Trans. Electron Devices*, ED-35, 2259, (1988).
- [4] D. J. Dumin, K. J. Dickerson, M. D. Hall, G. A. Brown, in *Proceedings of the International Reliability Physics Symposium*, 1989, p. 28.
- [5] R. Moazzami and C. Hu, in *International Electron Device Meeting Tech. Dig.*, 1992, p. 139.
- [6] A. EI-Hdiy, G. Salance, C. Petit, M. Jourdain, and D. Vuillaume, *J. Appl. Phys.*, 74, 1124 (1993).
- [7] N. Yasuda, N. Patel, and A. Toriumi, in *Extended Abstract of the 1993 International Conference on Solid State Devices and Materials*, 1993, p. 847.
- [8] R. S. Scott and D. J. Dumin, *J. Electrochem. Soc.*, 142, 586 (1995).
- [9] M. V. Fischetti, Z. A. Weinberg, and J. A. Calise, *J. Appl. Phys.*, 57, 418 (1985).
- [10] M. V. Fischetti, *Phys. Rev. B*, 31, 2099 (1985).
- [11] C. Chang, C. Hu, and R. W. Brodersen, *J. Appl. Phys.*, 57, 302 (1985).
- [12] K. F. Schuegraf and C. Hu, in *Proceedings of the International Reliability Physics Symposium*, 1994, p. 126.
- [13] K. Kobayashi, A. Teramoto, and M. Hirayama, *J. Appl. Phys.*, 77, 3277 (1995).
- [14] J. Chen, T. Y. Chen, I. C. Chen, P. K. Ko, and C. Hu, *IEEE Electron Device Lett*, EDL-8, 515, (1987).
- [15] T. Endoh, R. Shirota, M. Momodomi, and F. Masuoka, *IEEE Trans. Electron Devices*, ED-33, 835 (1986).
- [16] J. Chen, T. Y. Chen, P. K. Ko, and C. Hu, *IEEE Electron Device Lett*, EDL-10, 203, (1989).
- [17] T. Tsuchiya, in *Proceedings of 21st Conf. Solid State Devices and Materials*, 1989, p. 79.

[18] Q. D. M. Khosru, N. Yasuda, K. Taniguchi, and C. Hamaguchi, *J. Appl. Phys.*, 76, 4738 (1994).

[19] 中村正、小林清輝、寺本章伸、松井安次、1995年秋季第56回応用物理学会学術講演会予稿集, 27p-ZB-7, p. 647.

[20] K. Kobayashi, A. Teramoto, Y. Matsui, M. Hirayama, A. Yasuoka, and T. Nakamura, *J. Electrochem. Soc.*, to be published.

[21] A. Teramoto, K. Kobayashi, Y. Matsui, M. Hirayama, and T. Nakamura, in *Proceedings of 1996 International Reliability Physics Symposium, 1996*, p. 113.

第4章 シリコン酸化膜へのFowler-Nordheimトンネル電子注入により生成する電子トラップとストレス誘起電流^{[19],[20]}

4.1節 はじめに

近年、SiO₂膜にFowler-Nordheim (F-N) トンネル電子注入を行った場合に現れるストレス誘起電流 (Stress-Induced Excess Current) が、MOS (Metal-Oxide-Semiconductor) デバイスの信頼性にとって重要な劣化現象として注目されている[1]-[7]。第1章で述べたようにフラッシュメモリにおいては、情報の書き換え時にトンネルSiO₂膜に対しF-N電子注入を繰り返すが、この動作によってトンネルSiO₂膜にストレス誘起電流が発生し低電界でのリーク電流が増加すると、リードディスタurb (Read Disturb) 特性やデータリテンション (Data Retention) 特性に深刻な影響を与える可能性がある。このため、ストレス誘起電流についての研究はフラッシュメモリの信頼性を予測するために極めて重要である。これまでストレス誘起電流に関して多くの研究があり、代表的なものについては第2章・第3章でも紹介してきたが、以下で改めて紹介する。

SiO₂膜のストレス誘起電流についての最初の報告は、Maserjian とZamaniによってなされた[1]。彼らは、40~50 Å のSiO₂膜に対して高電界 (13 MV/cm) でF-N電子注入を行ったときにリーク電流が増加することを見出し、その増加したリーク成分の特性を説明するために「Si-SiO₂界面近傍に生成した正電荷が電子に対するSiO₂膜のエネルギー障壁を部分的に低下させ、電子のトンネル確率を増加させる」というcharge-assisted tunnelingモデルを提案した[1]。MoazzamiとHuは、60~130 Å のSiO₂膜に対して高電界でF-N電子注入を行った後に現れるストレス誘起電流の振る舞いについて調べている[4]。彼らは、100 Å 以上のSiO₂膜で観測されるストレス誘起電流が、F-N注入により生成したトラップへの電子捕獲に起因する変位電流成分であることを示し、80 Å より薄いSiO₂膜で現れるストレス誘起電流は、「陰極からトラップへの電子の捕獲と捕獲された電子の陽極への

放出 (trap-assisted tunneling モデル) 」に起因するリーク電流であると考えた[4]。
Yasuda, Patel, Toriumi も同様に F-N 電子注入を行った 50~70 Å の SiO₂ 膜において誘起されるリーク電流が、trap-assisted tunneling モデルで説明できると主張している[6]。

ところで、SiO₂ 膜に F-N 電子注入を行ったときに、膜中に負電荷が蓄積されると同時に正電荷の蓄積も起こることは、多くの研究によって確かめられている[8]-[14]。本章で扱うような 150 Å よりも薄い SiO₂ 膜の場合には、第 2 章の図 2-2 で示したように正電荷の蓄積について、「SiO₂ 膜中に F-N トンネリングにより注入された電子が、膜中の電界によって加速されて高エネルギーとなって陽極に放出され、陽極中で電子-正孔対を生成し、生成した正孔の一部が SiO₂ 膜中に注入され、その一部が膜中に捕獲されるために正電荷が発生する」というモデルが提案されている[10],[12],[15]-[17]。ところがこれまでのストレス誘起電流の研究の中で、SiO₂ 膜中での正電荷の蓄積を考慮したものは Maserjian と Zamani の研究[1]のみであった。しかも、彼らの研究は前述の charge-assisted tunneling モデルを用いてストレス誘起電流の特性から正電荷の密度と位置を求めるに留まり、正電荷の形成とストレス誘起電流の発生を実験によって関係づけた研究はこれまでに無い。

本研究ではこれまでの第 2 章・第 3 章において、131 Å と 60 Å の SiO₂ 膜に対して基板ホットホール注入法を用いて正孔注入を行い、SiO₂ 膜の電荷捕獲とストレス誘起電流について調べた結果、「正孔注入後の SiO₂ 膜において正電荷が形成されると同時にストレス誘起電流が現れ、SiO₂ 膜を薄膜化することによってリーク電流成分が増加する」ことを見出し、ストレス誘起電流の発生が SiO₂ 膜の正孔捕獲によって引き起こされる現象と考えられることを示した。このため、F-N 電子注入を行った場合のストレス誘起電流の発生メカニズムもまた正孔捕獲と結びつけて検討する必要がある。本章では、SiO₂ 膜に F-N 電子注入を行い、発生したストレス誘起電流と SiO₂ 膜に形成される正電荷の関係について議論するとともに、第 2 章・第 3 章で示した正孔注入後の SiO₂ 膜におけるストレス誘起電流と電子捕獲の特性との比較を行う。

4.2節 実験方法

本章の実験では、 SiO_2 膜に対しF-Nトンネリングによる電子注入を行うために、第2章・第3章で用いた試料と同一シリコン基板上に形成した同一構造のpチャネルMOS電界効果トランジスタ（MOSFET）を使用した。8.5-11.5 $\Omega\text{-cm}$ の抵抗率のp型(100)シリコン基板にn型ウェルを形成し、その表面にpチャネルMOSFETを形成した。ゲート SiO_2 膜は、750°Cのパイロジェニック酸化法（ $\text{O}_2/\text{H}_2 = 1/1.8$ ）により形成し、膜厚は131 Åと60 Åであった。ゲート電極は、減圧CVD法で堆積した約2000 Åのリンドロフトポリシリコンからなり、リン濃度は $5\text{-}7 \times 10^{20} \text{ cm}^{-3}$ である。pチャネルMOSFETのソースとドレインは B^+ 注入と900°Cのアニールによって形成した。アルミニウム配線を形成後、450°Cの水素アニールを行っている。

pチャネルMOSFETのゲート電極面積は、 $1.0 \times 10^4 \text{ cm}^2$ であり、ゲート SiO_2 膜の膜厚は比誘電率3.85を用いて容量測定によって決定した。

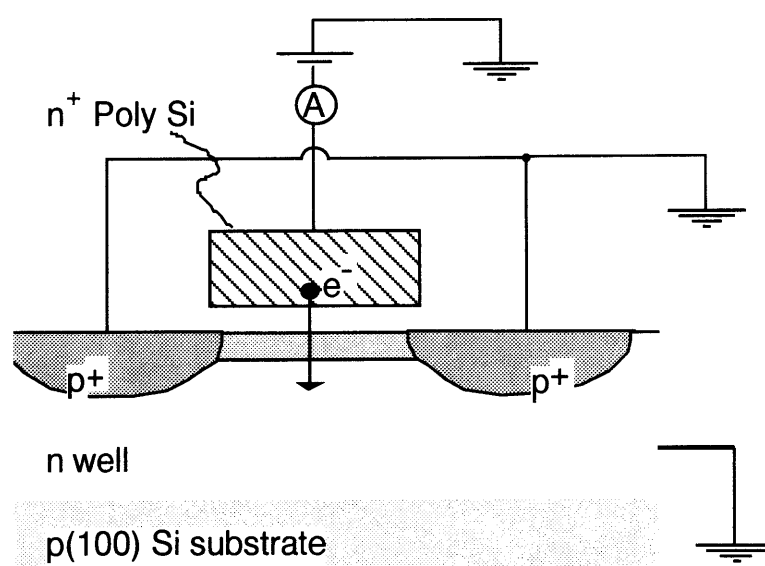


図4-1 SiO_2 膜へのF-N電子注入に用いたpチャネルMOSFETの断面模式図。

形成したpチャネルMOSFETの断面模式図を図4-1に示す。SiO₂膜に対するF-Nトンネリングによる電子注入は、第2章・第3章においてSiO₂膜へ正孔注入を行った実験と同じゲート極性となるように、ゲート電極に負電圧を加えn型ウエルとp⁺ソースドレインを接地し、ゲート電極からSiO₂膜へ電子が注入される条件で行った。電流密度は-0.02 A/cm²の一定値であり、注入時間は50秒である。この時のSiO₂電界は約-11 MV/cmであった。

4.3節 F-N電子注入後の131 ÅのSiO₂膜に関する実験結果

負バイアスでのF-N電子注入を行ったpチャネルMOSFETの、100 KHzでの高周波C-V特性（ゲート電極-基板間容量とゲート電圧の関係）を図4-2に示す。ここで図4-2の縦軸は、ゲート電極-基板間容量の最大値C_{max}で規格化している。図よりF-N電子注入後にC-Vカーブの負電圧方向へのシフトが観測され、このシフトはゲートSiO₂膜中における正電荷の蓄積を意味している。

図4-2には、F-N電子注入とそれに引き続いて正または負のバイアスを印加した後のC-V特性も示している。F-N電子注入後に負電圧方向へ大きくシフトしたC-Vカーブは、正ゲートバイアス印加後に正電圧方向へ大きく戻るが、負ゲートバイアス印加後にはむしろわずかに負電圧方向へシフトした。この結果は、負ゲートバイアス下での電子捕獲が、正ゲートバイアス下での電子捕獲に比べて起こりにくいことを意味している。

pチャネルMOSFETのゲート電流-ゲート電圧特性（I_g-V_g特性）の測定は、正ゲート極性の場合にはn型ウエルを接地して、負ゲート極性の場合にはソースドレインとn型ウエルを接地して行った。ゲート電圧は0.55秒置きに0.2 Vのステップで変化させた。図4-3(a)と(b)は、負バイアスF-N電子注入の前後で正負両ゲート極性のI_g-V_g特性から得たゲート電流密度とSiO₂電界（J_g-E_{ox}）の関係である。正ゲート極性では、F-N電子注入後に約+7 MV/cm以下で明らかにストレス誘起電流が観測され、+7 MV/cm以上ではJ_g-E_{ox}カーブ

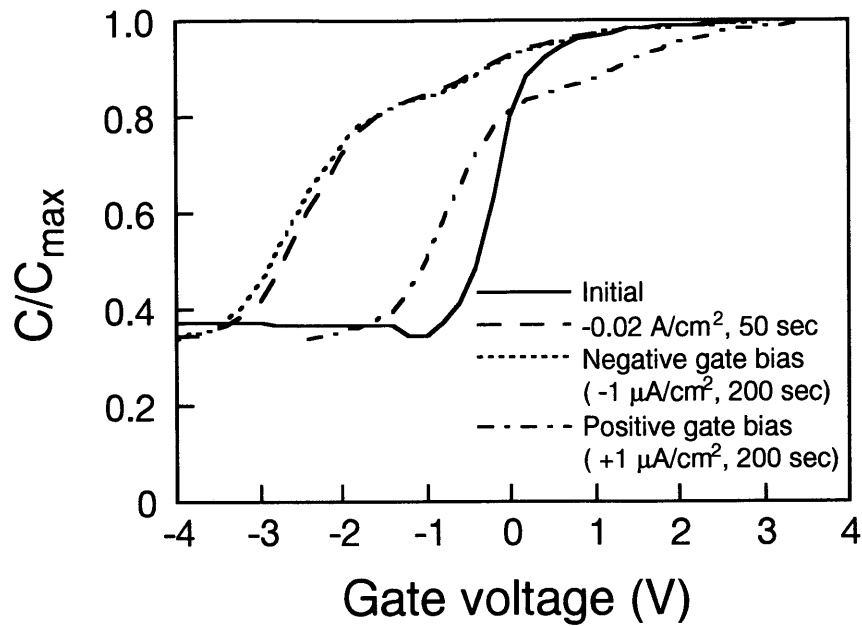
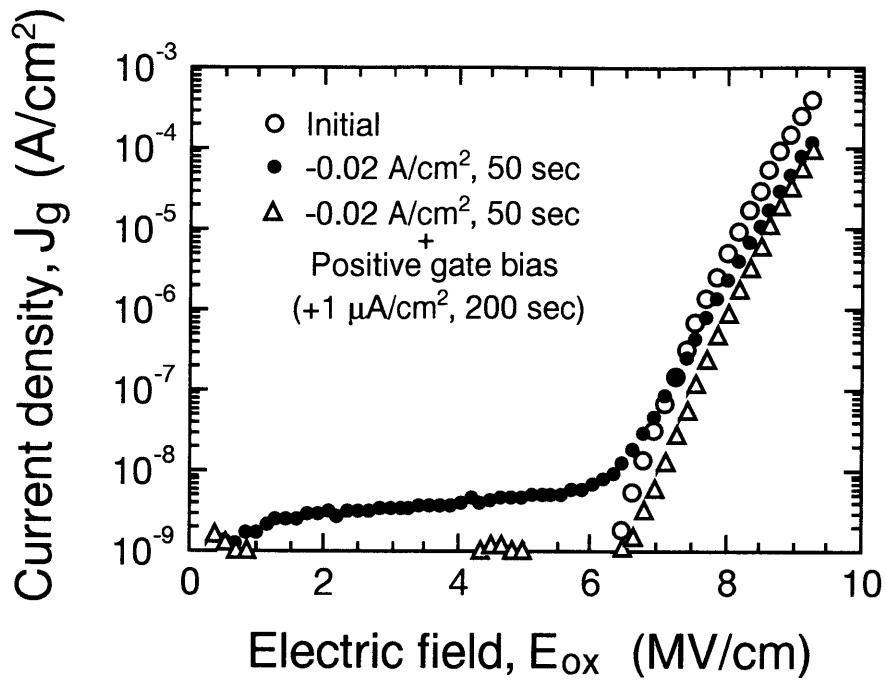


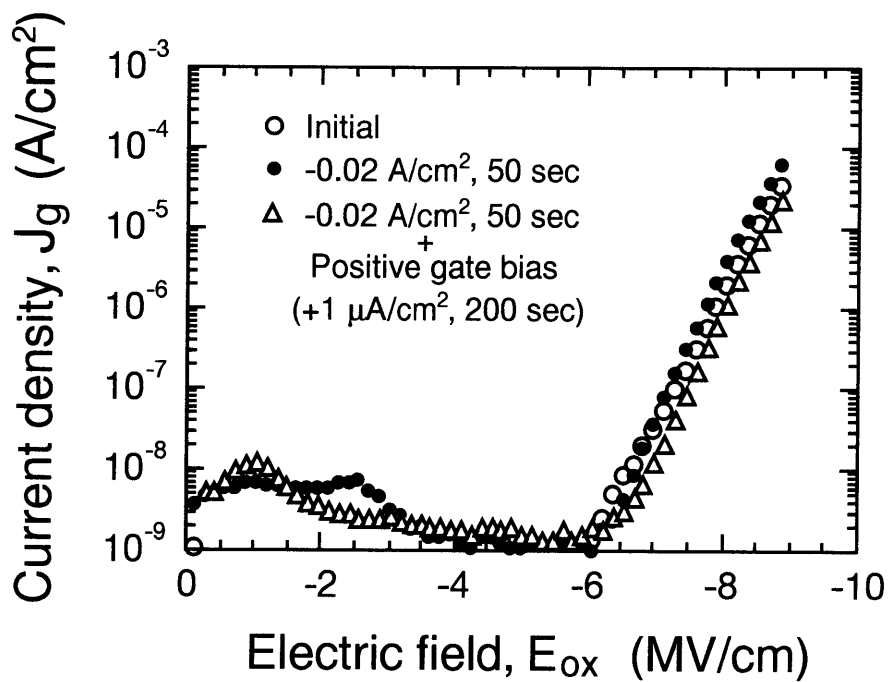
図4-2 F-N電子注入前後と正負ゲートバイアス印加後のC-V特性。F-N電子注入後にC-Vカーブは、負バイアス方向へ大きくシフトした。その後の正ゲートバイアス印加後にC-Vカーブは正電圧方向へ大きくシフトするが、負ゲートバイアス印加後には正電圧方向へのシフトは起こらない。

の傾きが小さくなっている。負ゲート極性ではF-N電子注入後に、このような J_g-E_{ox} カーブの傾きの減少は見られず、約-1~-3 MV/cm付近の低電界で J_g-E_{ox} カーブにピークが存在する。このピークの出現は、F-N電子注入により生成した"Slow State"と呼ばれる界面準位への電荷の充電に起因すると考えられている[3],[4]。

次に、負バイアスF-N電子注入に引き続いて、ゲート電極に正バイアスを200秒間印加した。これは、シリコン基板から電子を注入する極性であり、この正ゲートバイアス印加中は、ゲート電流密度が $+1 \mu A/cm^2$ の一定値になるようにゲート電圧を変化させた。正ゲートバイアス印加後の J_g-E_{ox} カーブの変化もまた、図4-3(a)と(b)に示されている。正ゲート極性において現れたストレス誘起電流が、正ゲートバイアス印加後に著しく減少したことが分かる。また正負両ゲート極性の J_g-E_{ox} カーブ共に、ゲート電流が急激に立ち上がる高電界領域で J_g-E_{ox} カーブが高電界側へシフトしており、F-N電子注入前の J_g-E_{ox}



(a) 正ゲート極性



(b) 負ゲート極性

図4-3 負バイアスF-N電子注入前後と正ゲートバイアス印加後の J_g - E_{ox} 特性。正ゲート極性では、正孔注入後に約7 MV/cm以下でストレス誘起電流が観測される。負ゲート極性ではF-N電子注入後に、このような J_g - E_{ox} カーブの傾きの減少は見られない。

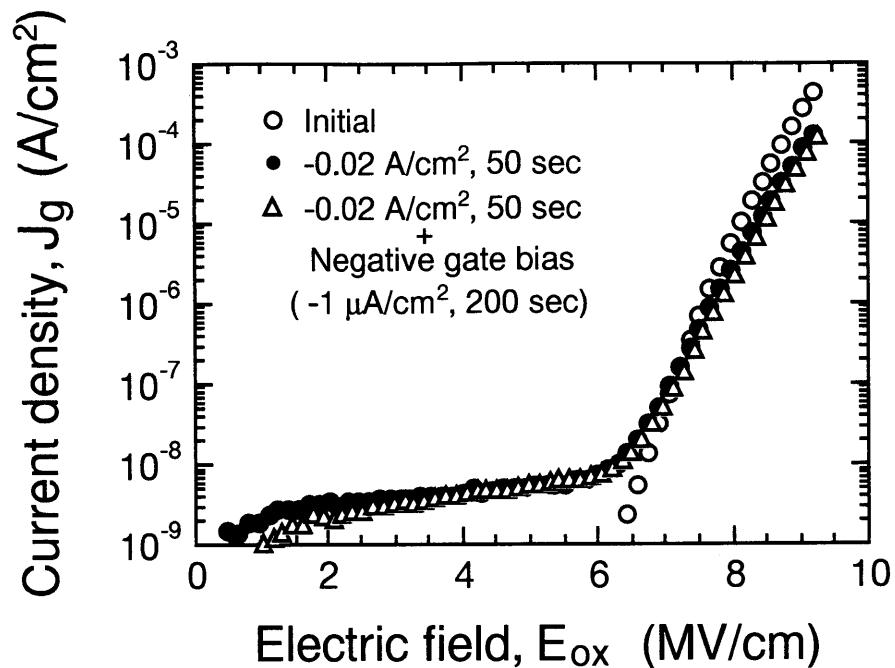


図4-4 負バイアスF-N電子注入前後と負ゲートバイアス印加後の正ゲート極性での J_g - E_{ox} 特性。正孔注入後に約7 MV/cm以下でストレス誘起電流が観測され、負ゲートバイアス印加後もストレス誘起電流が認められる。

カーブに比べても高電界側にあることが分かる。この正負両ゲート極性の J_g - E_{ox} カーブの高電界側へのシフトは、 SiO_2 膜中に電子が捕獲されて膜中に負電荷が形成され、トンネル電流を流すためにより大きな外部電圧が必要となったためと考えられる。すなわち、正ゲートバイアス印加中にシリコン基板から SiO_2 膜に注入された電子は、 SiO_2 膜中に捕獲されて正電荷を中性化するだけでなく、 SiO_2 膜中に負電荷を形成したことが分かる。このことは、

- (1) F-N電子注入によって SiO_2 膜中に正に帯電した電子トラップが生成し、このトラップが電子を捕獲することで中性化され、
- (2) 加えて中性トラップが生成し、これが電子を捕獲することで負電荷を形成した、と考えることで説明できる。

図4-4は、F-N電子注入に引き続いて負ゲートバイアスを印加した場合の正ゲート極

性での J_g - E_{ox} 特性の変化を示している。負ゲートバイアス印加は、 $-1 \mu A/cm^2$ の一定電流を200秒間流す条件で行った。F-N電子注入後の J_g - E_{ox} 特性に現れたストレス誘起電流は、負ゲートバイアス印加後には変化が小さい。この結果は、図4-2において既に示したように、負ゲートバイアス下での電子捕獲が起こりにくいことに起因している。

次に、F-N電子注入後の SiO_2 膜に正ゲートバイアスを印加した場合に捕獲される電子のチャージセントロイド \bar{x}_e を求めるために、正ゲートバイアスを印加し、pチャンネルMOSFETのドレイン電流-ゲート電圧(I_d - V_g)特性の変化と負ゲート極性での I_g - V_g 特性の変化を調べた。捕獲される電子のチャージセントロイド \bar{x}_e は(4-1)式を用いて算出した。

(Appendix 2Aを参照。)

$$\bar{x}_e = \frac{|\Delta V_{gn}|}{\Delta V_t + |\Delta V_{gn}|} t_{ox}, \quad (4-1)$$

ここで ΔV_{gn} は、負ゲート極性の I_g - V_g 特性においてある一定のゲート電流値に対応するゲート

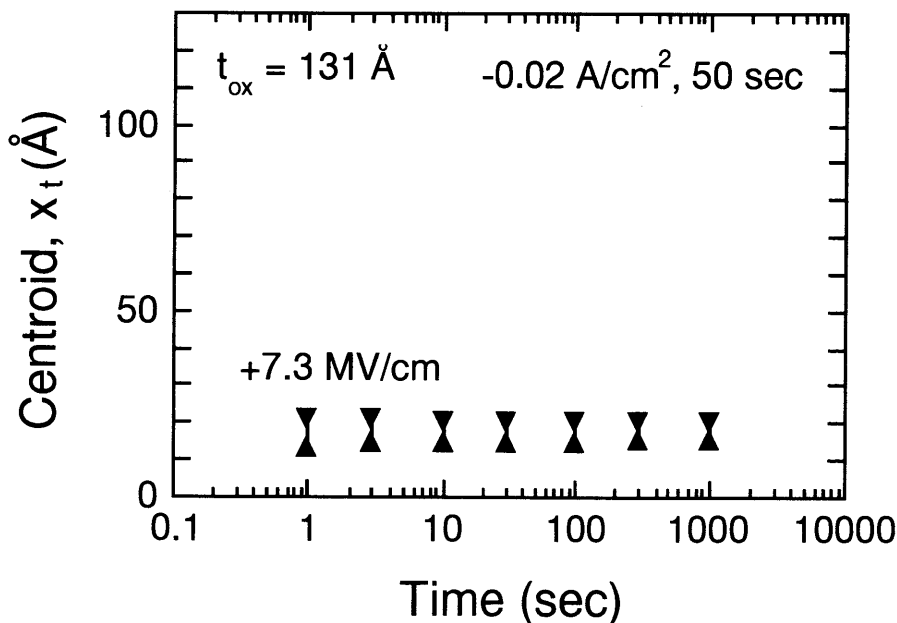


図4-5 負バイアスF-N電子注入後の SiO_2 膜に対して正ゲートバイアスを印加し、捕獲された電子のセントロイド。

ト電圧 V_g の正ゲートバイアス印加による変化量である。また I_d - V_g 特性においてある一定のドレイン電流 (1 nA) を与えるゲート電圧を求め、その正ゲートバイアス印加後の変化量を ΔV_g とした。正ゲートバイアスを印加したことで捕獲された電子のセントロイドは図4-5に示すように、シリコン基板-SiO₂膜界面から約20 Åにあり、+7.3 MV/cmを印加した時間に依存せずほぼ一定の値となっている。この結果は、電子が基板-SiO₂膜界面から約20 Å近辺に分布しているトラップによって捕獲されたと解釈することができる。

次に、負バイアスF-N電子注入によって誘起された正電荷の熱的な安定性を調べるために、F-N電子注入後の試料を25, 75, 125, 200, 250 °Cの各温度で80分間アニールし、C-V特性を測定した。図4-6にアニール前後でのC-V特性を示す。C-Vカーブはアニール後に正電圧方向へシフトしている。このシフトはアニール温度が高いほど大きく、250 °Cのアニールによって正電荷のほとんどが取り除かれたことが分かる。更に、アニール後にSiO₂膜中に残留していた正電荷密度を反映する量として、F-N電子注入を行う前

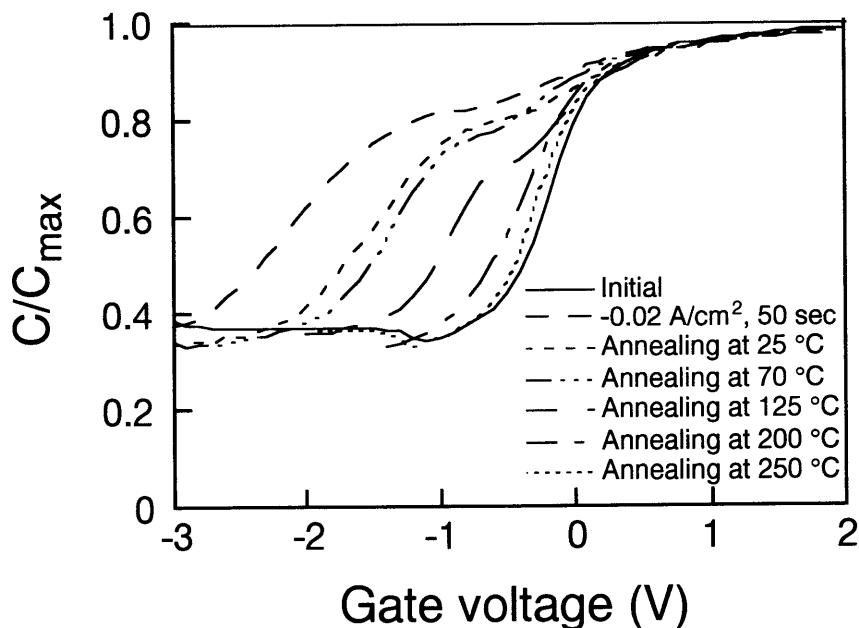


図4-6 負バイアスF-N電子注入後の試料を25, 75, 125, 200, 250°Cの各温度で80分間アニールした前後でのC-V特性。C-Vカーブはアニール後に正電圧方向へシフトし、このシフトはアニール温度が高いほど大きい。

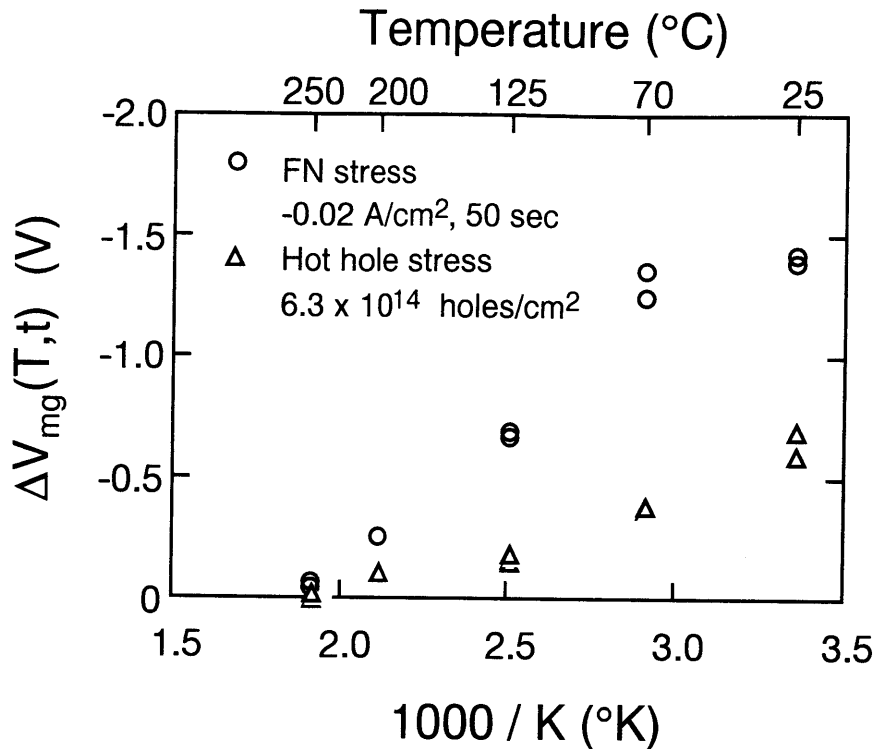


図4-7 基板ホットホール注入と負バイアスF-N電子注入後の試料を25, 75, 125, 200, 250℃の各温度で80分間アニールし、C-V特性からミッドギャップ電圧の変化量 $\Delta V_{mg}(T,t)$ を求めた。

とアニール後のC-Vカーブを比較し、ミッドギャップ電圧の変化量 $\Delta V_{mg}(T,t)$ を求めた。ここで、捕獲されている正電荷の密度を n_h 、セントロイドを \bar{x}_h 、 SiO_2 膜厚を t_{ox} 、真空の誘電率と SiO_2 の比誘電率を各々 ϵ_0 と ϵ_{ox} 、素電荷を q と置くと、 $\Delta V_{mg}(T,t)$ は、

$$\Delta V_{mg}(T,t) = \frac{t_{ox} - \bar{x}_h}{\epsilon_0 \epsilon_{ox}} q n_h(T,t) \quad (4-2)$$

と表すことができる。図4-7に $\Delta V_{mg}(T,t)$ を温度に対してプロットした結果を示す。図中には、第2章の図2-13において示した基板ホットホール注入後の試料をアニールしたときの $\Delta V_{mg}(T,t)$ も合わせてプロットした。

いま、F-N電子注入と正孔注入によって生成した正電荷に対するアニールの効果を比較するために、F-N電子注入直後と正孔注入直後のミッドギャップ電圧の変化量を $\Delta V_{mg, stress}$ とし、アニール後の $\Delta V_{mg}(T,t)$ を $\Delta V_{mg, stress}$ で割った量 $\Delta V_{mg}(T,t) / \Delta V_{mg, stress}$ を求める。

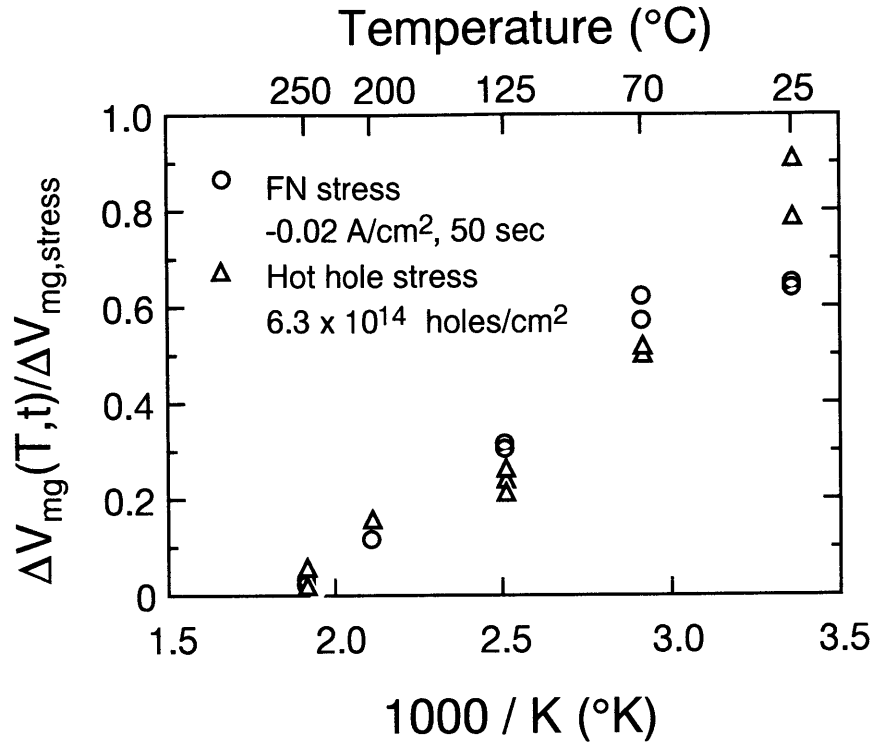


図4-8 F-N電子注入直後と正孔注入直後のミッドギャップ電圧の変化量 $\Delta V_{mg, stress}$ に対する、アニール後の $\Delta V_{mg}(T,t)$ の割合 $\Delta V_{mg}(T,t)/\Delta V_{mg, stress}$ をアニール温度に対してプロットした結果。

$\Delta V_{mg, stress}$ は、キャリア注入直後の捕獲正電荷密度を N_h と置くと、

$$\Delta V_{mg, stress} = \frac{t_{ox} - \bar{x}_h}{\epsilon_0 \epsilon_{ox}} q N_h \quad (4-3)$$

と表されるので、捕獲正電荷のセントロイド \bar{x}_h が変化しない場合には、以下の関係が成り立つ。

$$\frac{\Delta V_{mg}(T,t)}{\Delta V_{mg, stress}} = \frac{n_h(T,t)}{N_h} \quad (4-4)$$

図4-8に $\Delta V_{mg}(T,t)/\Delta V_{mg, stress}$ のアニール温度依存性を示す。正電荷のアニール後の残存率 $\Delta V_{mg}(T,t)/\Delta V_{mg, stress}$ のアニール温度依存性は、F-N電子注入と正孔注入の場合で良く一致している。

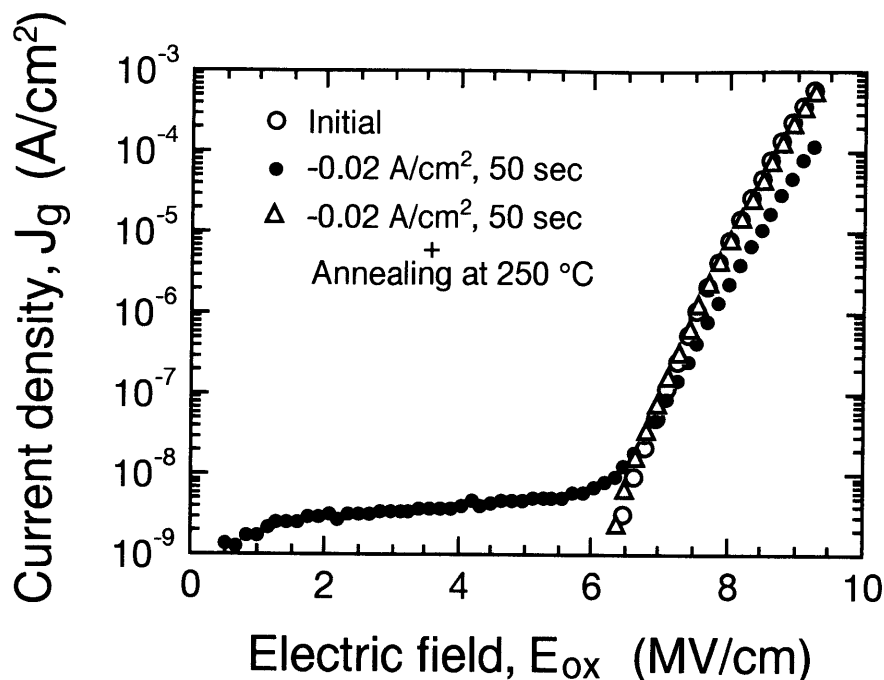


図4-9 負バイアスF-N電子注入後のストレス誘起電流のアニールによる変化。アニール条件は250℃で80分である。

最後に図4-9は、負バイアスF-N電子注入後のストレス誘起電流のアニールによる変化を示しており、アニール条件は250℃で80分である。ストレス誘起電流は250℃のアニールによって測定範囲では消滅したことが分かる。この結果は、図2-14の正孔注入の場合の結果と一致している。

4.4節 F-N電子注入後の比較的厚いSiO₂膜における電子捕獲機構の検討

図4-8に示したように、F-N電子注入によって131 ÅのSiO₂膜に形成された正電荷のアニール特性が、正孔注入により捕獲された正孔のアニール特性と一致したことは、SiO₂膜にF-N電子注入することで正孔が捕獲されるという考え[10],[12], [15]-[17]を支持している。

またこれまで示してきた実験結果では、負バイアスF-N電子注入後の131 ÅのSiO₂膜における電子捕獲とストレス誘起電流の特性は、第2章において示した正孔注入後の131 ÅのSiO₂膜における特性と以下の点でよく一致している。

- (i) 正電荷が形成されたSiO₂膜の正ゲート極性でのJ_g-E_{ox}特性においてストレス誘起電流が現れ、引き続き正ゲートバイアスの印加によってストレス誘起電流は減少する。
- (ii) 正電荷が形成された後、正ゲートバイアスを印加したSiO₂膜には、負電荷が形成される。
- (iii) 正ゲートバイアス印加時に比べ負ゲートバイアス印加での電子捕獲が極めて起こりにくい。
- (iv) 正ゲートバイアスを印加した時に捕獲される電子は、シリコン基板-SiO₂膜界面近傍に分布する。
- (v) 250℃のアニールによって、捕獲された正電荷と正ゲート極性でのストレス誘起電流が著しく減少する。

以上の点から、第2章の図2-15(a)(b)(c)に示した正孔注入とそれに引き続きバイアス印加時のMOS構造のバンド模式図を用いて、正孔注入の場合と同様の解釈によって4.3節の実験結果の説明を行うことができる。次ページに図2-15(a)(b)(c)と同様のバンド模式図を、図4-11(a)(b)(c)として示す。

まず、図4-2に示したように、F-N電子注入後に正電荷が形成され、引き続き正ゲートバイアス印加時に電子捕獲が起こることから、SiO₂膜に正に帯電した電子トラップが形成されたと考えることが出来る。正に帯電した電子トラップはシリコン基板-SiO₂膜界面近傍に分布しているとする。シリコン基板-SiO₂膜界面近傍に分布している正電荷は、図4-10(a)の実線Bによって示されたSiO₂膜のエネルギー障壁の変化を引き起こす。この変化は、シリコン基板からSiO₂膜の伝導帯への電子のトンネリング確率を増加させる。すなわち図4-10(a)に示したトンネリングT₁に起因する電流成分は、正電荷の存在によって増加する。

図4-5に示したように、正ゲートバイアス下で捕獲された電子のセントロイドは、シ

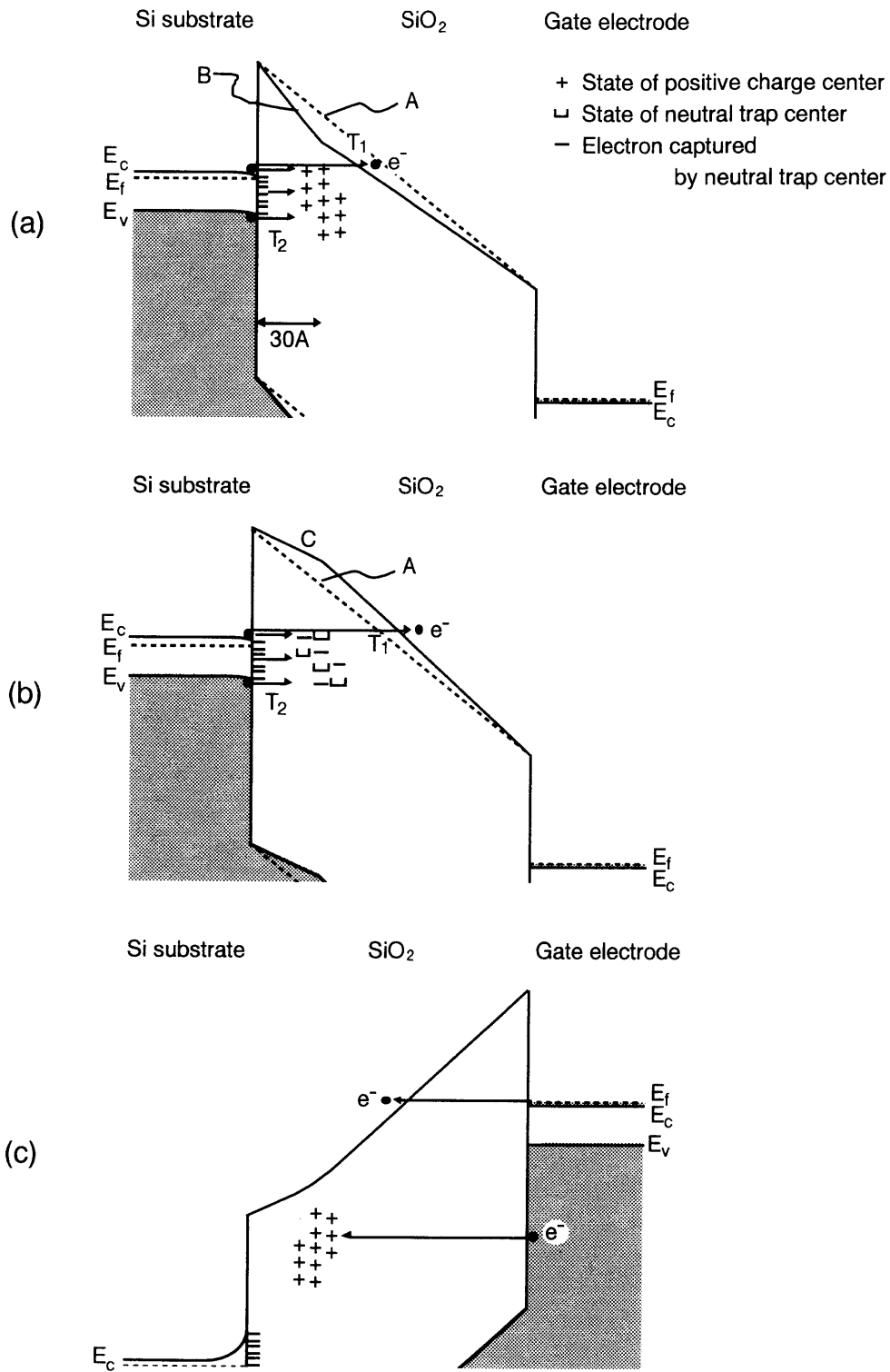


図 4-1 0 F-N電子注入後と引き続きバイアス印加前後でのMOS構造のバンド模式図

リコン基板-SiO₂膜界面から約20 Åに位置している。また電子捕獲は+7.3 MV/cmのような比較的低い電界においてすら発生する。このようなSiO₂電界における界面から20 Å付近での電子捕獲は、図4-10(a)に示すように、シリコン基板からトラップへの電子のトンネリングによるものと考えられる。正に帯電した電子トラップへの可能なトンネリング過程は、2.4節で示した(1)～(3)の過程と同様に考えられる。すなわち、

- (1) シリコンの伝導帯からの電子のトンネリング
- (2) 正孔注入によって生成した界面準位に捕まえられた電子のトンネリング
- (3) シリコンの価電子帯からの電子のトンネリング

である。界面から数十Åに分布する正に帯電した電子トラップは、トンネリング過程T₂に従って電子を捕獲することによって、電気的に中性状態になると考えられる。正に帯電した電子トラップに捕らえられた電子は、このトラップを形成するSiO₂膜中に捕獲された正孔と再結合し、この再結合が新たに中性電子トラップを形成する[18]。中性トラップが電子と捕獲された正孔との再結合によって生成する場合には、中性トラップの空間分布が正に帯電した電子トラップの空間分布と一致していると仮定することは妥当であろう。それ故、正に帯電した電子トラップと中性トラップの両方がシリコン基板-SiO₂膜界面近傍に分布した状態が存在すると考えられる。このとき、図4-10(b)に示すように、中性トラップもまたトンネリング過程T₂に従って電子を捕獲することができる。図4-3(a), (b)において示したSiO₂膜中の負電荷の形成は、正に帯電した電子トラップの中性化と中性トラップの電子捕獲に起因していると解釈できる。

ある一定の正ゲート電圧でのゲート電流密度J_gは、第2章の(2-4)式と同様に(4-7)式で与えられる。

$$J_g = J_1 + J_2 \quad (4-7)$$

ここでJ₁は、シリコン基板からSiO₂膜の伝導帯への電子のトンネリングT₁によるトンネル電流成分であり、J₂は正に帯電したトラップと中性トラップの両方の電子捕獲に起因

する変位電流成分¹⁾である。基板-SiO₂膜界面近傍に分布している正に帯電した電子トラップは、SiO₂膜のエネルギー障壁の変化を引き起こすためトンネル電流成分J₁を増加させ、さらにシリコン基板から正に帯電した電子トラップと中性トラップへの電子のトンネリング確率も増加させる。以上の考察から、F-N電子注入後に131 ÅのSiO₂膜において現れたストレス誘起電流は、トラップの電子捕獲による電流成分J₂の出現と、正電荷によるトンネル電流成分J₁の増加に起因していると考えられる。

電子がSiO₂膜に注入され、正に帯電した電子トラップに捕獲されると、正電荷は中性化される。また、中性トラップが電子を捕獲すると、負電荷が蓄積される。この結果、十分な量の電子が捕獲された後には、見かけ上SiO₂膜は負に帯電する。また、トラップが十分に埋まった後では、ゲート電流に対する変位電流成分J₂は小さくなり、トンネル電流成分J₁が支配的になる。SiO₂膜のエネルギー障壁は、シリコン基板-SiO₂膜界面近傍に形成された負電荷によって、図4-10(b)に示す実線Cのように変化するため、電子のトンネル確率が低下する。それ故トンネル電流成分J₁が減少し、図4-3(a)(b)で指摘したように、J_g-E_{ox}カーブは高電界側へシフトし注入前のカーブを追い越すものと説明できる。

図4-10(c)に示すように負ゲートバイアスの場合には、基板-SiO₂膜界面近傍に分布するトラップへのゲート電極からの電子のトンネリングに対して、極めて大きなエネルギー障壁が存在する。それ故、電子のトラップへのトンネリング確率は、正ゲートバイアスの場合と比べて極めて小さく、電子の捕獲は負ゲートバイアスの場合には極めて起こりにくいと考えられ、図4-2、図4-4において示した結果を説明することができる。

以上のように図4-2、4-3、4-4の実験結果は、第2章において検討した正孔注入後の131 ÅのSiO₂膜の場合と同様のメカニズムによって説明できる。また本節の冒頭でも述べたように、図4-8のF-N電子注入によって形成された正電荷のアニール特性が、正孔注入により捕獲された正孔のアニール特性と一致したことは、SiO₂膜にF-N電子注入することで正孔が捕獲されるという考え[10],[12],[15]-[17]を支持している。これらの

¹⁾ 変位電流の発生については、第2章のAppendix 2Bの説明を参照されたい。

ことから、負バイアスF-N電子注入後の131 ÅのSiO₂膜における電子捕獲と正ゲート極性でのストレス誘起電流は、SiO₂膜に捕獲された正孔に起因する現象と考えることができる。

本研究ではSiO₂膜に対するF-N電子注入は、第2章・第3章においてSiO₂膜へ基板から正孔注入を行った実験と同じバイアス極性となるように、ゲート電極に負電圧を加えゲート電極からSiO₂膜へ電子を注入する極性で行った。これまで提案されてきた「SiO₂膜中にF-N注入された電子が、膜中の電界により高エネルギーとなって陽極に放出され、陽極中で電子-正孔対を生成し、生成した正孔の一部がSiO₂膜中に注入され、その一部が膜中に捕獲される」[10],[12],[15]-[17]という説に基づけば、本研究で行った負バイアスF-N電子注入の際には、正孔は基板からSiO₂膜中に注入されその一部が膜中に捕獲されたと考えられる。

4.5節 F-N電子注入後の60 ÅのSiO₂膜に関する実験結果

本節では、60 ÅのSiO₂膜に負バイアスでのF-N電子注入を行った場合に発生するストレス誘起電流と、正孔注入を行ったSiO₂膜に現れるストレス誘起電流の性質について比較を行う。

まず、F-N電子注入後のpチャンネルMOSFETの100 KHzでの高周波C-V特性（ゲート電極-基板間容量とゲート電圧の関係）を図4-11に示す。ここで図4-11の縦軸は、ゲート電極-基板間容量の最大値C_{max}で規格化している。F-N電子注入後のC-Vカーブは、先に図3-2に示した60 ÅのSiO₂膜に正孔注入を行った後のC-Vカーブと同様に、負電圧方向に形状が変化している。

図4-12(a)と(b)は、60 ÅのSiO₂膜に対するF-N電子注入前後の正負両ゲート極性でのJ_g-E_{ox}特性である。F-N電子注入後に、正負両ゲート極性でストレス誘起電流が観測される。

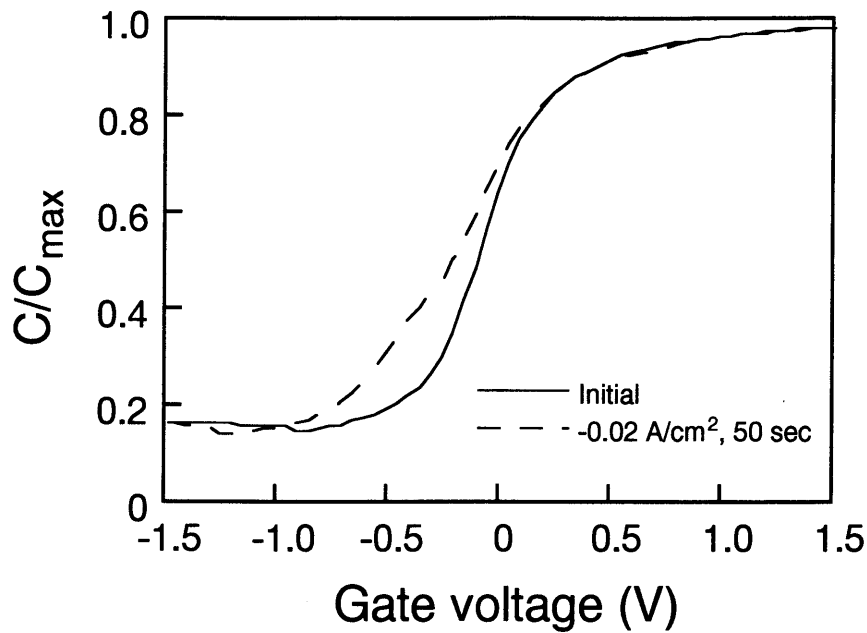
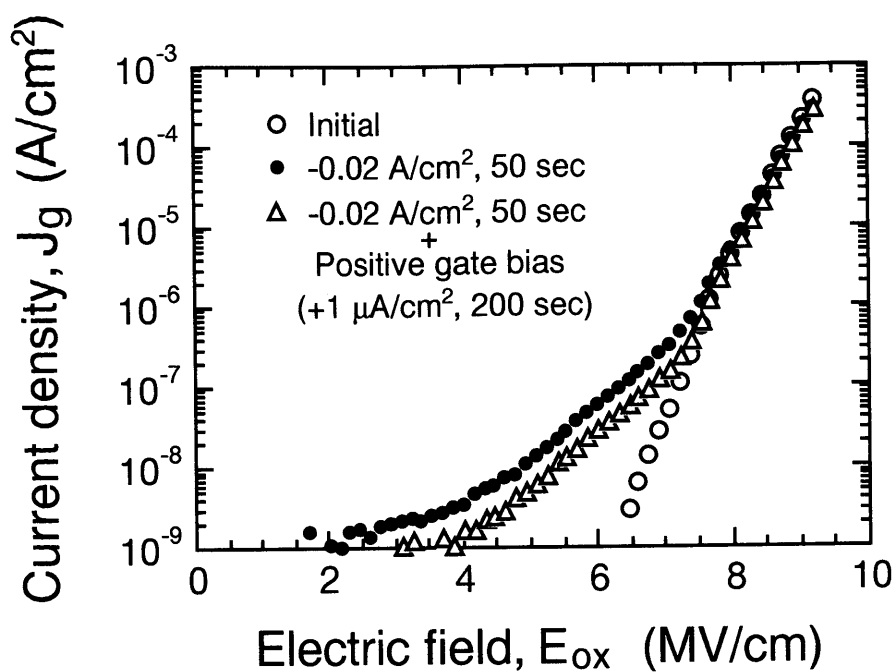


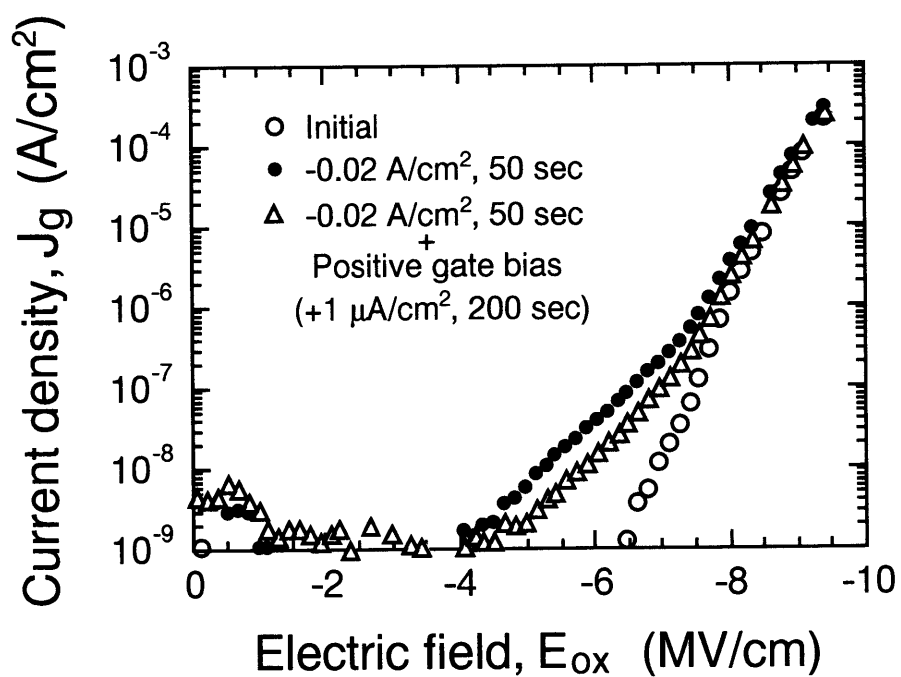
図4-11 F-N電子注入とそれに引き続く正負ゲートバイアス印加前後でのC-V特性。F-N電子注入後に負バイアス方向へシフトしたC-Vカーブは、正負両ゲートバイアス印加の場合においてともに正電圧方向へシフトした。

次に、F-N電子注入に引き続いてゲート電極に正バイアスを200秒間印加した。これは、シリコン基板から電子を注入する極性に相当する。この正ゲートバイアス印加中は、ゲート電流密度が $+1 \mu\text{A}/\text{cm}^2$ の一定値になるようにゲート電圧を変化させている。F-N電子注入を行っていない試料では、ゲート SiO_2 膜を通過するトンネル電流成分が $+1 \mu\text{A}/\text{cm}^2$ に達した後のゲート電圧 V_g の変化が極めて小さく、正ゲートバイアス印加による SiO_2 膜中の新たな電子や正孔の捕獲は無視することができることが分かっている。図4-12(a)と(b)から、正負両極性においてF-N電子注入直後に現れたストレス誘起電流が、正ゲートバイアス印加後に減少するが、依然として観測できることが分かる。このストレス誘起電流は、 J_g - E_{ox} 特性を繰り返し測定しても現れた。

引き続き、 60 \AA の SiO_2 膜に現れたストレス誘起電流の経時変化を調べるために、正ゲート極性で $+7 \text{ MV}/\text{cm}$ の SiO_2 電界を加えたときのゲート電流の時間変化を測定した。測定結果を 131 \AA の SiO_2 膜の結果とともに図4-13に示している。F-N電子注入を行って



(a) 正ゲート極性



(b) 負ゲート極性

図4-12 F-N電子注入前後と正ゲートバイアス印加後の正負両ゲート極性での J_g - E_{ox} 特性。正負両極性においてF-N電子注入後にストレス誘起電流が現れた。

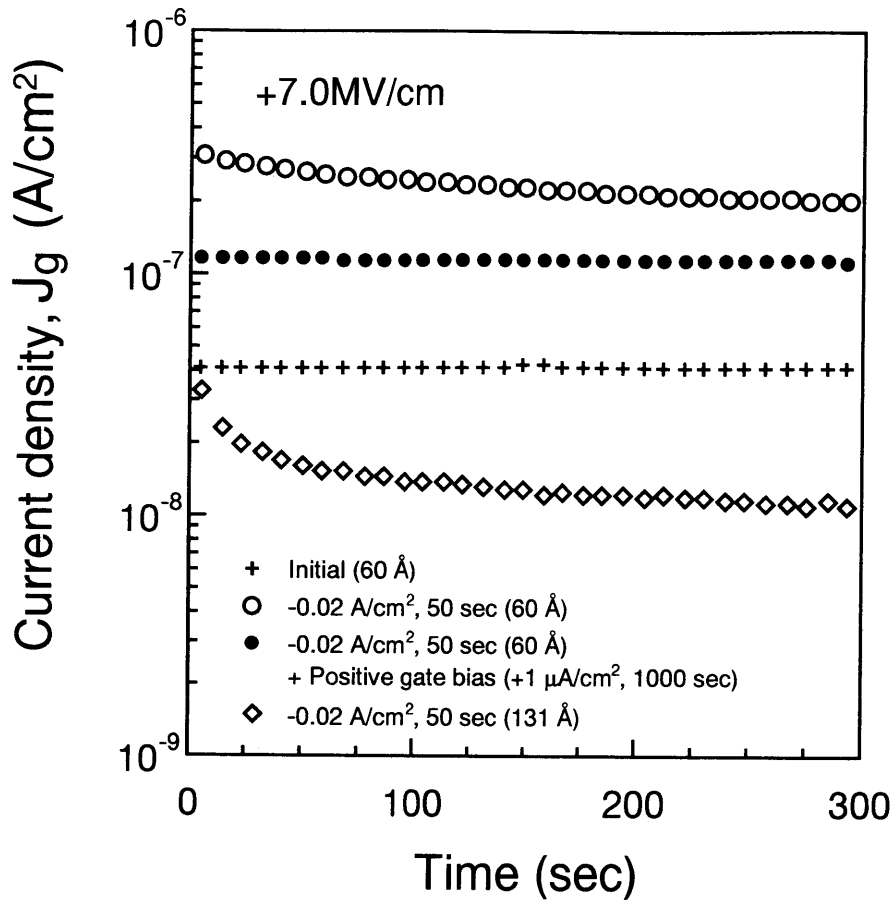


図 4-1 3 正ゲート極性で+7 MV/cmのSiO₂電界を加えたときのゲート電流の時間変化。F-N電子注入後の60 ÅのSiO₂膜の電流レベルは、時間とともにわずかに減少し、1000秒間の正ゲートバイアス印加の後には定常電流となった。この定常電流は、そのレベルがF-N電子注入前よりも高いことから、SiO₂膜を通過するリーク電流であることがわかる。

いない試料では電流密度の時間変化が極めて小さく、+7 MV/cmのSiO₂電界では膜中の電荷密度に変化が無かったことを示している。すなわち電界印加によるSiO₂膜中の新たな電子や正孔の捕獲は無視することができる。F-N電子注入後、131 ÅのSiO₂膜の電流レベルは急速に減少し、F-N電子注入前のレベルよりも小さくなった。この131 Åの場合の変化は、

- (a) 正に帯電した電子トラップと中性トラップの電子捕獲に起因する変位電流成分が、トラップが電子を捕獲して埋まるにつれて減少したこと、及び

(b) 正に帯電した電子トラップの電子捕獲につれて正電荷が中性化するとともに、中性トラップの電子捕獲によって負電荷が蓄積されたことによって、電子に対する SiO_2 膜のエネルギー障壁が変化し SiO_2 膜を通過するトンネル電流が減少した、という二つの効果が原因と考えられる。

60 Åの SiO_2 膜のF-N電子注入後の電流レベルは、時間とともにわずかに減少し、1000秒間の正ゲートバイアス印加の後には定常電流となった。この定常電流は、そのレベルがF-N電子注入前よりも大きいことから、 SiO_2 膜を通過するリーク電流が増加したことがわかる。すなわち60 Åの SiO_2 膜に現れたストレス誘起電流は、経時変化する成分と定常的なリーク成分からなると結論できる。131 Åの SiO_2 膜の結果と比較すると、 SiO_2 膜を薄膜化することによってリーク電流成分が増加したことがわかる。この結果は、MoazzamiとHu[4]によって示された実験結果と一致している。60 Åの SiO_2 膜の場合のゲート電流の経時変化はトラップによる電子捕獲が原因と考えられる。

最後に、60 Åの SiO_2 膜の場合のF-N電子注入によって誘起されたストレス誘起電流の熱的な安定性を調べるために、F-N電子注入後の試料を250°Cでアニールし J_g - E_{ox} 特性の測定を行った。図4-14は、80分と800分のアニールを行った場合の J_g - E_{ox} 特性を示している。ストレス誘起電流はアニール時間が長くなるにつれて減少するが、800分後に於いても未だ観測することができる。131 Åの SiO_2 膜の場合（図4-9）や60 Åの SiO_2 膜の正孔注入の場合（図3-8）と比較して、ストレス誘起電流の低減のためにより長時間のアニールが必要である。

図4-15はF-N電子注入後の試料に対して250°Cで800分間のアニールを加え、C-V特性を測定した結果である。C-Vカーブはアニール後に正電圧方向へシフトし、F-N電子注入前のカーブに一致した。250°C、800分のアニールによって界面準位や正電荷が取り除かれたことが分かる。800分のアニールの後にも、図4-14に示したようにストレス誘起電流が存在しており、この電流成分の起源には、 SiO_2 膜中に於いて電氣的に中性の欠陥、すなわち中性トラップが関係していると推定される。

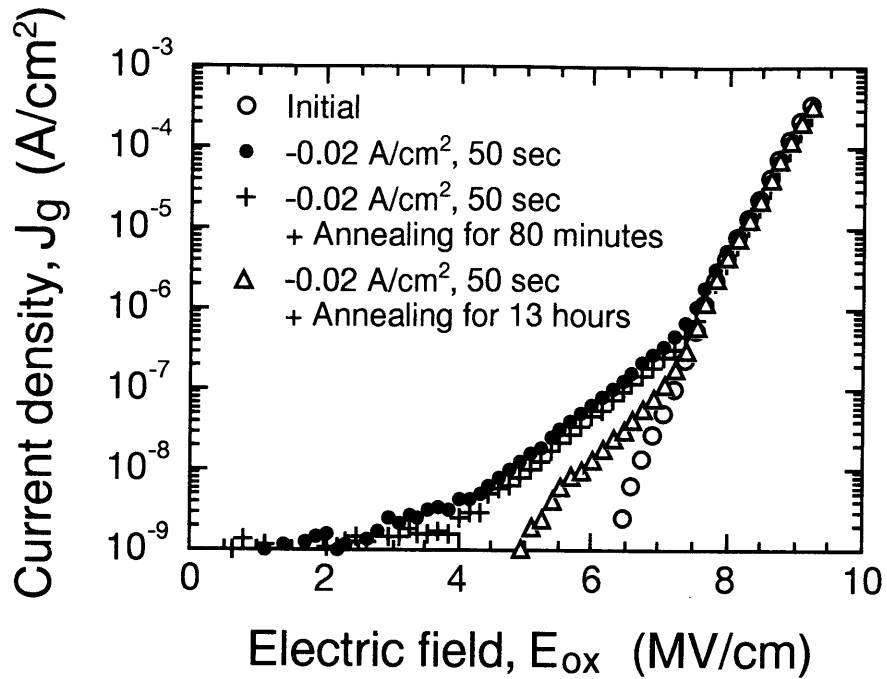


図4-14 60ÅのSiO₂膜の試料に対するF-N電子注入前後と250℃でのアニール後のJ_g-E_{ox}特性。アニール時間は80分と800分である。ストレス誘起電流はアニール時間が長くなるにつれて減少する。

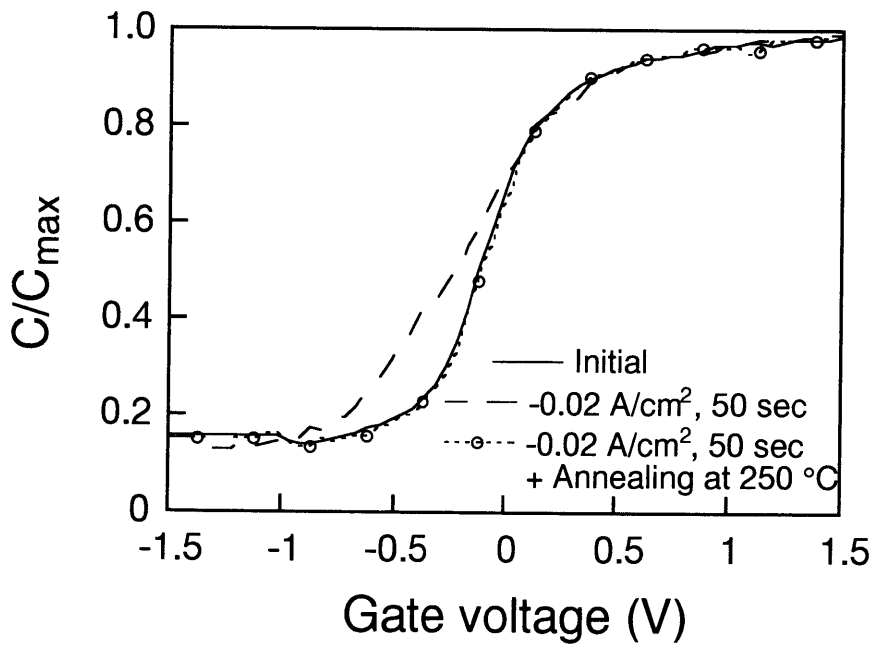


図4-15 F-N電子注入前後と250℃13時間アニール後のC-V特性。C-Vカーブはアニール後に正電圧方向へシフトし、F-N電子注入前のカーブに一致した。

4.6節 F-N電子注入後の比較的薄いSiO₂膜のストレス誘起リーク電流の発生機構に関する考察

これまで示してきた実験結果では、60 ÅのSiO₂膜に負バイアスでのF-N電子注入を行った場合のC-V特性とJ_g-E_{ox}特性の振る舞いは、第3章において示した正孔注入後の60 ÅのSiO₂膜の特性と以下の点でよく一致している。

- (i) F-N電子注入後のC-Vカーブは、正孔注入を行った後のC-Vカーブと同様に、負電圧方向に形状が変化する。
- (ii) F-N電子注入後の正負両ゲート極性でのJ_g-E_{ox}特性において、ストレス誘起電流が現れる。ストレス誘起電流は、経時変化する成分と定常的なリーク成分からなる。リーク電流成分は、SiO₂膜を薄膜化することによって増加する。
- (iii) 250°Cのアニールによって、C-Vカーブが初期の特性に回復し、ストレス誘起電流が減少する。

これらの一致は、負バイアスF-N電子注入を行うことでSiO₂膜に基板からの正孔注入が起こる[10],[12], [15]-[17]と考えることで説明することが出来る。この場合には、F-N電子注入後の60 ÅのSiO₂膜に現れるリーク電流成分のメカニズムの一つとして、第3章で述べた以下のような電子輸送過程が考えられる。すなわち、F-N電子注入の際に正孔が注入された60 ÅのSiO₂膜では基板-SiO₂界面から30 Åのあたりに分布するトラップが生成し、これに正または負のゲートバイアスを印加すると、陰極からの電子のトンネリングによりトラップに電子が捕獲される。捕獲された電子の一部は、トラップからトラップ-陽極間のSiO₂層をトンネリングして放出され、陽極に到達することができるものと考えられる。

ところで、基板ホットホール注入後の試料に対して250°Cで800分間のアニールを加えた場合には、図3-8に示したようにストレス誘起電流が観測されない。一方、F-N電子注入後の試料に対して250°Cで800分間のアニールを加えた場合には、界面準位や正電荷

が取り除かれるにも拘わらず、図4-14に示したようにストレス誘起電流が残留している。この違いは、これまで述べてきたメカニズムを用いて以下のように説明することができる。

まず、60 ÅのSiO₂膜に正孔を注入すると、基板-SiO₂界面から30 Åのあたりに分布するトラップが生成し、このような状況では、ゲート電極からトラップへの電子のトンネリングによる電子捕獲が可能である。そのため、負バイアスのF-N電子注入を行った場合にも、正孔が基板からSiO₂膜中に注入され、その一部が膜中に捕獲されたことによって正に帯電した電子トラップが生成する。F-N電子注入の際には同時に、生成したトラップへのゲート電極からの電子のトンネリングが生じ、電子捕獲が起こると考えられる。SiO₂膜中に生成した正に帯電した電子トラップが電子を捕らえると、中性トラップが生成する[18]。ここで250℃、800分間のアニールを行うと、正に帯電した電子トラップと界面準位は消滅し、その結果C-V特性は回復する。しかし中性トラップがアニール後も残留し、ストレス誘起電流の起源となったと推定される。一方、基板ホットホール注入後の60 ÅのSiO₂膜の場合には、正孔が基板から注入された後に250℃、800分間のアニールを行うと、正に帯電した電子トラップが消滅するが、この間、F-N電子注入の場合に比べて電子の供給が極めて少ないため、中性トラップの生成を伴わない。このため、アニール後にストレス誘起電流が観測されなかったものと考えられる。以上の考察を確認するためには、F-N電子注入に引き続くアニールの後の中性トラップの存在を確認することが重要であり、今後の課題である。

4.7 節 トンネルSiO₂膜へのF-N電子注入がフラッシュメモリの特性に与える影響の考察

以下では、これまでの実験結果からトンネルSiO₂膜へのF-N電子注入がフラッシュメモリの特性に与えると予想される影響について述べる。これまで述べてきたように、フ

フラッシュメモリのリードディスタート特性では、正ゲート極性でのトンネル SiO_2 膜の電荷リークによるフローティングゲートへの電子の注入が問題になり、またデータリテンション特性では、負ゲート極性でのフローティングゲートからトンネル SiO_2 膜を介しての電子のリークが問題になる。これに対し、60 Åの SiO_2 膜に現れたストレス誘起電流には SiO_2 膜を通過するリーク電流成分が含まれ、 SiO_2 膜を薄膜化することによってリーク電流成分が増加する。しかもこのリーク電流成分は、正負両ゲート極性で存在する。すなわち今後、フラッシュメモリの高集積化や情報の書き換え速度の高速化のためにトンネル SiO_2 膜を薄膜化する場合、ストレス誘起リーク電流の発生がフラッシュメモリのリードディスタートとデータリテンションの両特性に与える影響を十分に考慮する必要がある。これらの特性低下を回避するためには、ストレス誘起リーク電流が発生しにくいトンネル SiO_2 膜の開発を行うことが重要な課題と考えられる。

4.8節 結言

131 Åと60 Åの SiO_2 膜に対して負バイアスでのF-N電子注入を行い、その後の SiO_2 膜における電子捕獲特性とストレス誘起電流の振る舞いについて調べた。その結果、131 Åの SiO_2 膜へのF-N電子注入の実験から以下の結論を得た。

- (1) 負バイアスでのF-N電子注入を行うとシリコン基板- SiO_2 膜界面近傍にトラップが生成し、引き続き正ゲートバイアス印加時に SiO_2 膜に注入された電子の一部は、生成したトラップに捕獲される。
- (2) F-N電子注入によって生成したトラップがシリコン基板- SiO_2 界面近傍に位置するために、負ゲートバイアス印加に比べ正ゲートバイアス印加での電子捕獲が極めて起こり易い。
- (3) F-N電子注入後に正ゲート極性に於いて現れるストレス誘起電流は、生成したトラップの電子捕獲に起因している。

(4) F-N電子注入によって形成された正電荷のアニール後の残存率の温度特性が、正孔注入により捕獲された正孔の残存率の温度特性と一致した。また上記の(1)～(3)は、正孔注入後の131 ÅのSiO₂膜における特性とよく一致している。これらの一致は、SiO₂膜にF-N電子注入することで正孔が捕獲されるという考えを支持している。

(5) 負バイアスF-N電子注入後の正ゲート極性において観測された電子捕獲とストレス誘起電流は、SiO₂膜に捕獲された正孔によって生成したトラップへの電子の捕獲に起因する現象と考えられる。これまでの研究結果[10],[12],[21]-[23]を考慮すると、負バイアスF-N電子注入の際には、正孔は基板からSiO₂膜中に注入されその一部が膜中に捕獲されたと考えられる。

また、60 ÅのSiO₂膜へのF-N電子注入の実験から以下の結論を得た。

(6) F-N電子注入後のC-Vカーブは、正孔注入を行った後のC-Vカーブと同様に、負電圧方向に形状が変化する。

(7) F-N電子注入後の正負両ゲート極性でのゲート電流-SiO₂電界特性に於いて、ストレス誘起電流が現れる。ストレス誘起電流は、経時変化する成分と定常的なリーク成分からなる。リーク電流成分は、SiO₂膜を薄膜化することによって増加する。

(8) 250°Cのアニールによって、C-Vカーブが初期の特性に回復し、ストレス誘起電流が減少する。

(9) 以上の(7)～(9)の特性は、正孔注入後の60 ÅのSiO₂膜に於ける特性とよく一致する。これらの一致は、負バイアスF-N電子注入を行うことでSiO₂膜にシリコン基板からの正孔注入が起こる[10],[12],[15]-[17]と考えることで説明することができる。

(10) F-N電子注入を行った60 ÅのSiO₂膜に正ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのリードディスタープ特性を低下させ、負ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリ

のデータリテンション特性を低下させる原因になりうる。このため、トンネル SiO₂膜を薄膜化する場合、ストレス誘起電流のリーク電流成分がフラッシュメモリの電荷保持特性に与える影響について十分に考慮する必要がある。

参考文献

- [1] J. Maserjian and N. Zamani, *J. Vac. Sci. Technol.*, 20, 743 (1982).
- [2] P. Olivo, T. N. Nguyen, and B. Ricco, *IEEE Trans. Electron Devices*, ED-35, 2259, (1988).
- [3] D. J. Dumin, K. J. Dickerson, M. D. Hall, G. A. Brown, in *Proceedings of the International Reliability Physics Symposium*, 1989, p. 28.
- [4] R. Moazzami and C. Hu, in *International Electron Device Meeting Tech. Dig.*, 1992, p. 139.
- [5] A. EI-Hdiy, G. Salance, C. Petit, M. Jourdain, and D. Vuillaume, *J. Appl. Phys.*, 74, 1124 (1993).
- [6] N. Yasuda, N. Patel, and A. Toriumi, in *Extended Abstract of the 1993 International Conference on Solid State Devices and Materials*, 1993, p. 847.
- [7] R. S. Scott and D. J. Dumin, *J. Electrochem. Soc.*, 142, 586 (1995).
- [8] M. Shatzkes and M. Av-Ron, *J. Appl. Phys.*, 47, 3192 (1976).
- [9] S. Holland, I. C. Chen, T. P. Ma, and C. Hu, *IEEE Electron Device Lett.*, EDL-5, 302 (1984).
- [10] M. V. Fischetti, Z. A. Weinberg, and J. A. Calise, *J. Appl. Phys.*, 57, 418 (1985).
- [11] Y. Nissan-Cohen, J. Shappir, and D. Frohman-Bentchkowsky, *J. Appl. Phys.*, 57, 2830 (1985).
- [12] M. V. Fischetti, *Phys. Rev. B*, 31, 2099 (1985).
- [13] Z. A. Weinberg, M. V. Fischetti, and Y. Nissan-Cohen, *J. Appl. Phys.*, 59, 824 (1986).
- [14] H. Uchida and T. Ajioka, *Appl. Phys. Lett.*, 51, 433 (1987).

- [15] C. Chang, C. Hu, and R. W. Brodersen, *J. Appl. Phys.*, 57, 302 (1985).
- [16] K. F. Schuegraf and C. Hu, in *Proceedings of the International Reliability Physics Symposium*, 1994, p. 126.
- [17] K. Kobayashi, A. Teramoto, and M. Hirayama, *J. Appl. Phys.*, 77, 3277 (1995).
- [18] I. C. Chen, S. Holland, and C. Hu, *J. Appl. Phys.*, 61, 4544 (1987).
- [19] A. Teramoto, K. Kobayashi, Y. Matsui, M. Hirayama, and T. Nakamura, in *Proceedings of 1996 International Reliability Physics Symposium*, 1996, p. 113.
- [20] 小林清輝、中村正、寺本章伸、松井安次、1996年春季第43回応用物理学関係連合講演会予稿集, 28p-N-6, p. 778.

第5章 シリコン酸化膜への正孔注入により発生するストレス誘起電流の N_2O アニールによる低減^{[21],[22]}

5.1節 はじめに

高集積の不揮発性メモリとして注目されているフラッシュメモリに於いては、情報の書き換え時にF-Nトンネリングを利用してトンネル SiO_2 膜を介して電子の輸送を行う[1]。一方、第4章でも扱ったように、 SiO_2 膜にトンネル電子注入を行うと注入前には観測されなかったストレス誘起電流（Stress-Induced Excess Current (SIEC)）が現れる[2]-[8]。ストレス誘起電流のうち SiO_2 膜を通過するリーク電流成分は、ストレス誘起リーク電流（Stress-Induced leakage Current (SILC)）と呼ばれ、フラッシュメモリのデータリテンション（Data Retention）特性やリードディスタurb（Read Disturb）特性を低下させる要因となる。また、フローティングゲートから n^+ 拡散層に電子を引き抜くタイプのフラッシュメモリ（例えば第1章の図1-2に示したNOR型フラッシュメモリ）に於いては電子の引き抜き時に n^+ 拡散層に正電圧を印加するが、このとき n^+ 拡散層の表面で起こる電子のバンド間トンネリングに起因してトンネル SiO_2 膜に正孔が注入される（2.1節の図2-3参照）[9]-[12]。本研究の第3章に於いて示したように、 SiO_2 膜への正孔注入もまた、ストレス誘起リーク電流の発生を促し、データリテンションとリードディスタurbの両特性を低下させる一因となる。

一方、フラッシュメモリの高集積化と情報の書き換え速度の高速化のためには、トンネル SiO_2 膜の薄膜化が必要であるが、第3章と第4章で示したように、 SiO_2 膜の薄膜化はストレス誘起リーク電流の増加を招く。それ故、トンネル SiO_2 膜を薄膜化した状態でもデータリテンションとリードディスタurbの両特性を確保できるように、ストレス誘起リーク電流を低減する技術を開発することは、フラッシュメモリの高集積化と高性能化のために不可欠と言える。

これまで、 SiO_2 膜へのF-N電子注入により発生するストレス誘起リーク電流を低減する技術として、 N_2O ガスまたは N_2O と O_2 の混合ガスを用いて SiO_2 膜を形成する方法[13],[14]や、 SiO_2 膜を N_2O ガスを用いて熱窒化する方法[15]が効果的であることが報告されている。これらの方法で形成された SiO_2 膜に於いては、シリコン基板- SiO_2 界面に窒素が局在した分布で導入され[13]-[15]、Si-N結合が形成される[15]。ストレス誘起リーク電流の低減は、シリコン基板- SiO_2 界面に導入された窒素の効果によると信じられているが、そのメカニズムは明らかではない。またこれらの方法が、正孔を注入した SiO_2 膜に於いて発生するストレス誘起リーク電流に対して及ぼす効果については、全く知られていない。

ところで、MOS構造において 150 \AA よりも薄い SiO_2 膜に対しF-N電子注入を行うと、 SiO_2 膜中の電界で加速され高エネルギーとなった電子が陽極に放出されたときに電子-正孔対を生成し、生成した正孔の一部が SiO_2 膜中に注入され、その一部が膜中に捕獲されることにより正電荷が発生すると考えられている（2.1節の図2-2を参照）[16]-[20]。第4章で考察したように、F-N電子注入により発生するストレス誘起リーク電流が SiO_2 膜に注入された正孔によって引き起こされると考えるならば、 SiO_2 膜を熱窒化することは、正孔注入に起因するストレス誘起リーク電流の低減に対してもまた効果を期待することができる可能性がある。本章ではこの点に着目し、正孔注入によって発生するストレス誘起リーク電流に対して SiO_2 膜の熱窒化が及ぼす効果を明らかにする。

5.2節 実験方法

本章に於いて SiO_2 膜への正孔注入を行う方法は、3.2節で示した基板ホットホール注入法である。正孔注入実験に用いる試料として、pチャネルMOS電界効果トランジスタ(MOSFET)を作成した。まず、 $8.5\text{-}11.5 \text{ \Omega-cm}$ の抵抗率のp型(100)シリコン基板にn型ウエルを形成し、n型ウエル領域の表面にLOCOS (Local Oxidation of Silicon) 法を用いて

分離酸化膜を形成した。ゲートSiO₂膜は750℃のパイロジェニック酸化法 (O₂/H₂ = 1/1.8) により形成し、反応管内の雰囲気をN₂に置換した後に1000℃まで昇温し、N₂Oガス雰囲気で10分間のアニールを加えた。また、N₂Oアニールを加えない試料も合わせて作成した。膜厚はN₂Oアニールを行ったものが62Å、行わなかったものは60Åと63Åの2種類である。以後のウエハプロセスは3.2節で示したものと同様である。ゲート電極は、リンドーフトポリシリコンを減圧CVD法で堆積し、パターニングすることによって形成した。リンドーフトポリシリコンの膜厚は約2000Åであり、リン濃度は6 x 10²⁰ cm⁻³であった。pチャネルMOSFETのソースとドレインをB⁺注入と900℃のアニールによって形成し、アルミニウム配線を形成した後、450℃の水素アニールを行った。ゲートSiO₂膜の膜厚は、比誘電率3.85を用いて容量測定によって決定した。pチャネルMOSFETのゲート電極面積は1.0 x 10⁻⁴ cm²である。

形成したpチャネルMOSFETの断面模式図を図5-1に示す。この図を用いて、以下にゲートSiO₂膜へ正孔を注入する方法を説明する。まずゲート電極に負電圧、n型ウエルに正電圧 (V_{well}) を加え、p⁺ソースドレインを接地する。p⁺ソースドレインの間の基板表面は反転状態にある。次に、p型シリコン基板とn型ウエルの間に順方向電圧 (V_j) を加え、n型ウエルに正孔を注入する。このとき注入された正孔は、n型ウエルと基板表面の間の電位差によって加速され、その一部がシリコン基板-ゲートSiO₂膜界面のエネルギー障壁を越えることができるほどの高エネルギーを有するに至り、ゲートSiO₂膜中に放出される。ゲートSiO₂膜中に放出された正孔はその一部がSiO₂膜中で捕獲されるが、ほとんどはゲート電極に流れ込みゲート電流 (I_{hole}) として観測される。本実験では十分な正孔電流を得るために、ウエル電位を+16.5 V、p型シリコン基板電位を+18.5 Vに設定した。ゲートSiO₂膜への電子のF-N注入を抑制するために、SiO₂膜は -3.9 MV/cmに設定した。ゲートSiO₂膜へ注入した正孔の密度は、正孔注入の間に現れたゲート電流を時間積分することで算出した。

また、SiO₂膜に対しF-Nトンネリングによる電子注入を行う実験では、基板ホットホール注入で用いたものと同様のpチャネルMOSFETを使用した。F-N電子注入は、ゲート

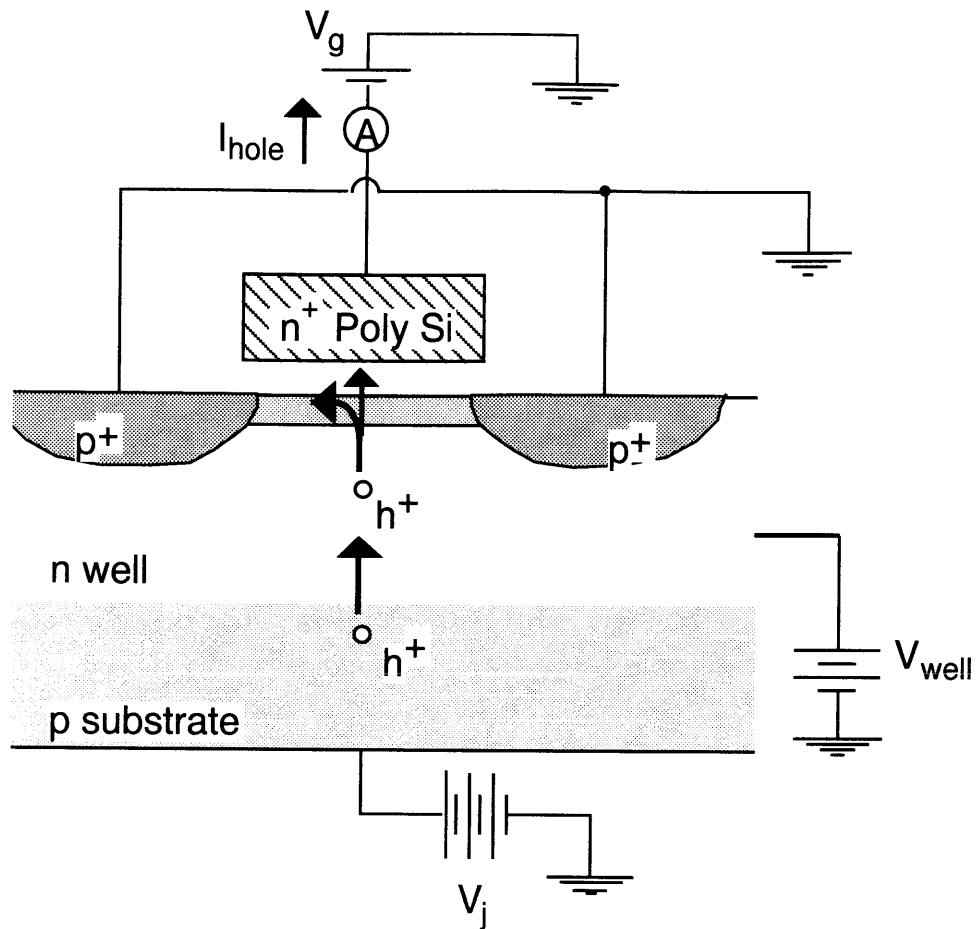


図 5-1 SiO₂膜への正孔注入に用いたpチャンネルMOSFETの断面模式図。基板ホットホール注入法により、ゲートSiO₂膜に正孔注入が行われた。

SiO₂膜に対し基板ホットホール注入と同じバイアス極性となるように、ゲート電極に負電圧を加えn型ウエルとソースドレインを接地し、ゲート電極からSiO₂膜へ電子が注入される条件で行った。電流密度は-0.02 A/cm²の一定値であり、注入時間は50秒である。

5.3 節 窒化SiO₂膜中の窒素分布

まず、今回形成したSiO₂膜をN₂Oガス雰囲気アニールした場合の窒素の膜中分布を

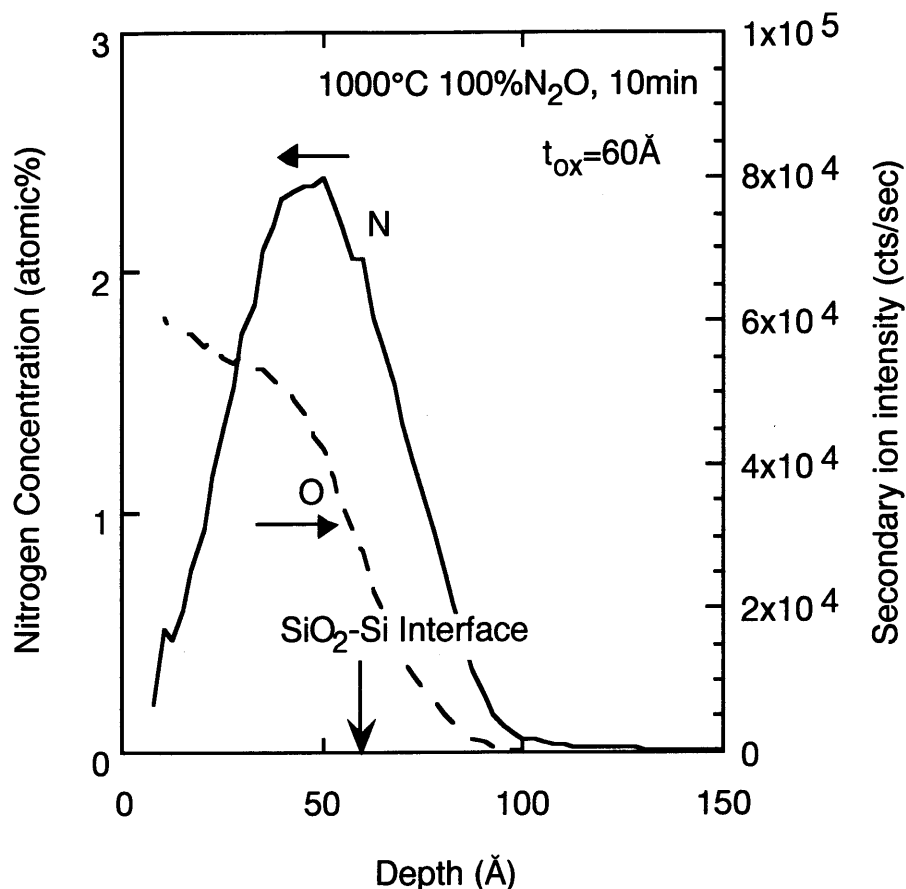


図 5-2 N₂Oを用いてSiO₂膜を窒素化させた試料のSIMS分析結果。試料は、シリコン基板表面を750℃のパイロジェニック酸化法 (O₂/H₂= 1/1.8) により熱酸化し、N₂Oガスで1000℃、10分 (大気圧) のアニールを行ったものである。

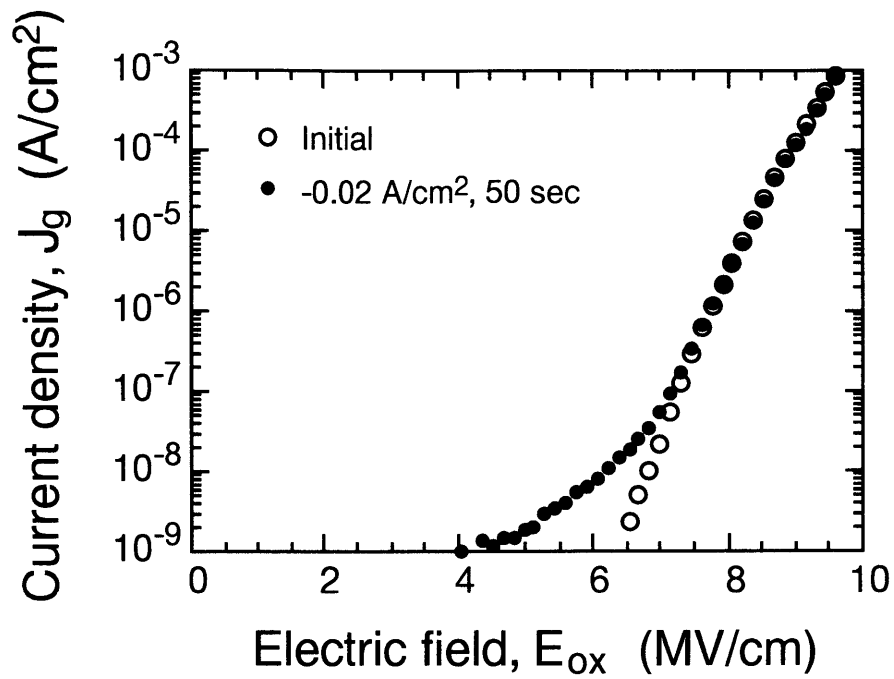
調べるために、SIMS (Secondary Ion Mass Spectroscopy) による分析を行った。シリコン基板表面を750℃のパイロジェニック酸化法 (O₂/H₂= 1/1.8) により熱酸化し、N₂Oガスで1000℃、10分間のアニールを行った試料のSIMS分析結果を図 5-2 に示す。縦軸は、SiO₂膜に窒素イオン注入を行って作成した標準試料からのシグナル強度を参考にして決定した膜中の窒素濃度である。窒素はシリコン基板-SiO₂界面近傍にピークを持って分布している。ピークにおける窒素濃度は2.4%である。窒素が基板-SiO₂界面近傍に分布することは従来の報告[13]と一致している。

5.4 節 F-N電子注入後の窒化SiO₂膜に関する実験結果

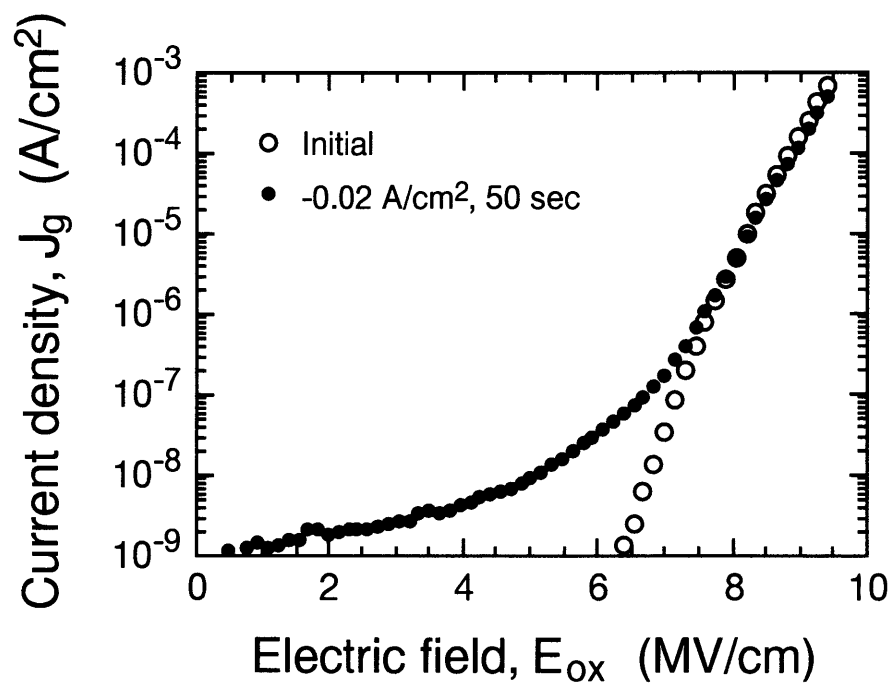
SiO₂膜のN₂OアニールがF-N電子注入により発生するストレス誘起電流に対して及ぼす効果について確認するために、作成したMOSキャパシタを用いてゲートSiO₂膜に負バイアスでのF-N電子注入を行い、ゲート電流-ゲート電圧特性 (I_g - V_g 特性) を測定した。MOSキャパシタの I_g - V_g 特性は、正ゲート極性の場合にはn型ウェルを接地して、負ゲート極性の場合にはn型ウェルとソースドレインを接地して測定を行った。ゲート電圧は0.55秒置きに0.2Vのステップで上昇させた。図5-3(a)と(b)は、F-N電子注入前後の I_g - V_g 特性から得られた正ゲート極性でのゲート電流密度-SiO₂電界 (J_g - E_{ox}) 特性である。N₂Oアニールを行った場合のストレス誘起電流が明らかに小さい。図5-4(a)と(b)は、F-N電子注入前後の負ゲート極性での J_g - E_{ox} 特性である。N₂Oアニールを行った場合のストレス誘起電流がやはり小さくなっている。両極性ともにN₂Oアニールを行った場合にストレス誘起電流を低減できたことから、本実験で用いたN₂Oアニール条件が、F-N電子注入により発生するストレス誘起電流の低減に効果があることが確認できた。

5.5 節 正孔注入後の窒化SiO₂膜に関する実験結果

この節では、正孔注入により発生するストレス誘起電流に対して、N₂Oアニールが及ぼす効果について検討する。このため作成したpチャネルMOSFETを用いてゲートSiO₂膜にホットホール注入を行い、ゲート電流-ゲート電圧特性 (I_g - V_g 特性) を測定した。pチャネルMOSFETの I_g - V_g 特性は、正ゲート極性の場合にはn型ウェルを接地して、負ゲート極性の場合にはソースドレインとn型ウェルを接地して測定を行った。ゲート電圧は0.55秒置きに0.2Vのステップで上昇させた。図5-5(a)と(b)は、正孔注入前後の I_g - V_g 特性から得られた正ゲート極性でのゲート電流密度-SiO₂電界 (J_g - E_{ox}) 特性である。基板ホッ

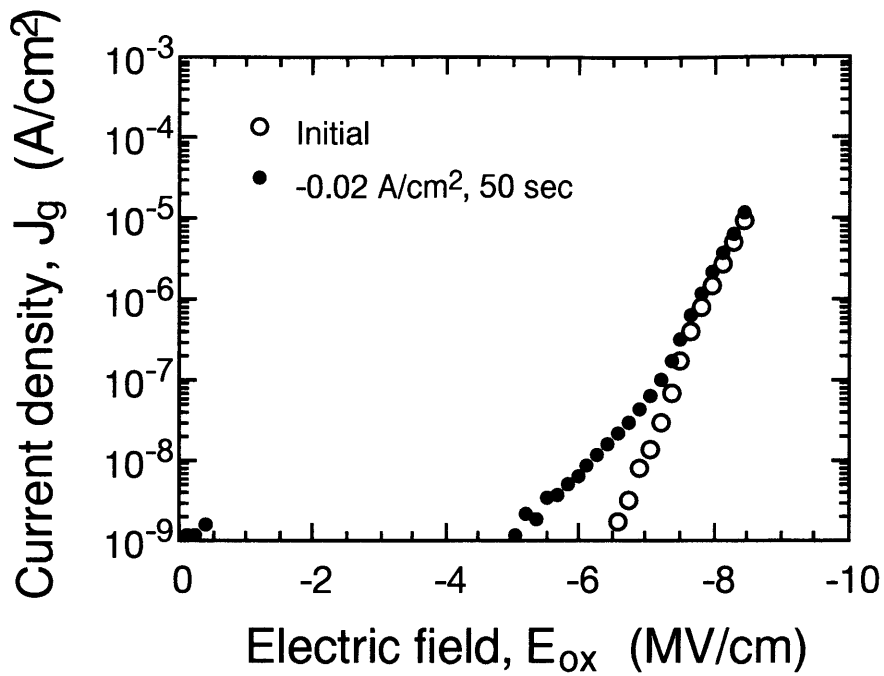


(a) N_2O アニールを行った SiO_2 膜 (62 Å)

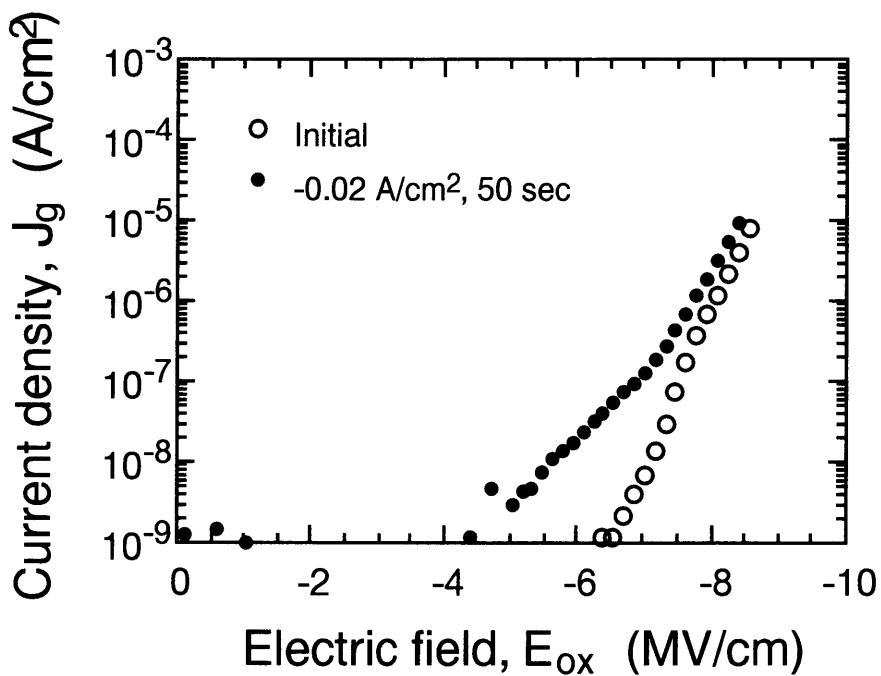


(b) N_2O アニールを行っていない SiO_2 膜 (63 Å)

図5-3 N_2O アニールを行った SiO_2 膜(a)と行っていない SiO_2 膜(b)の、F-N電子注入前後の正ゲート極性での J_g - E_{ox} 特性。



(a) N₂Oアニールを行ったSiO₂膜 (62 Å)



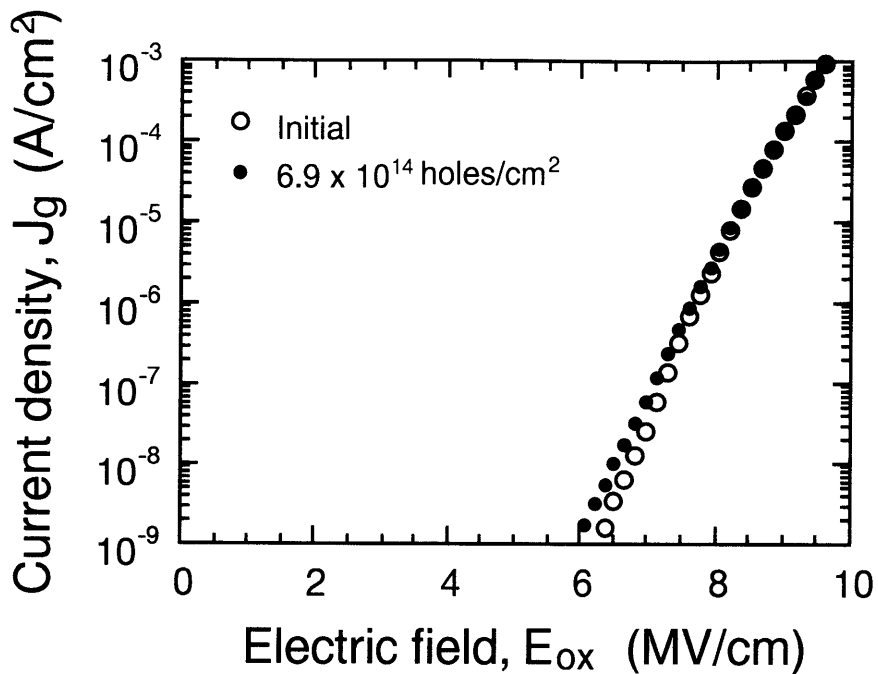
(b) N₂Oアニールを行っていないSiO₂膜 (63 Å)

図 5-4 N₂Oアニールを行ったSiO₂膜(a)と行っていないSiO₂膜(b)の、F-N電子注入前後の負ゲート極性での J_g - E_{ox} 特性。

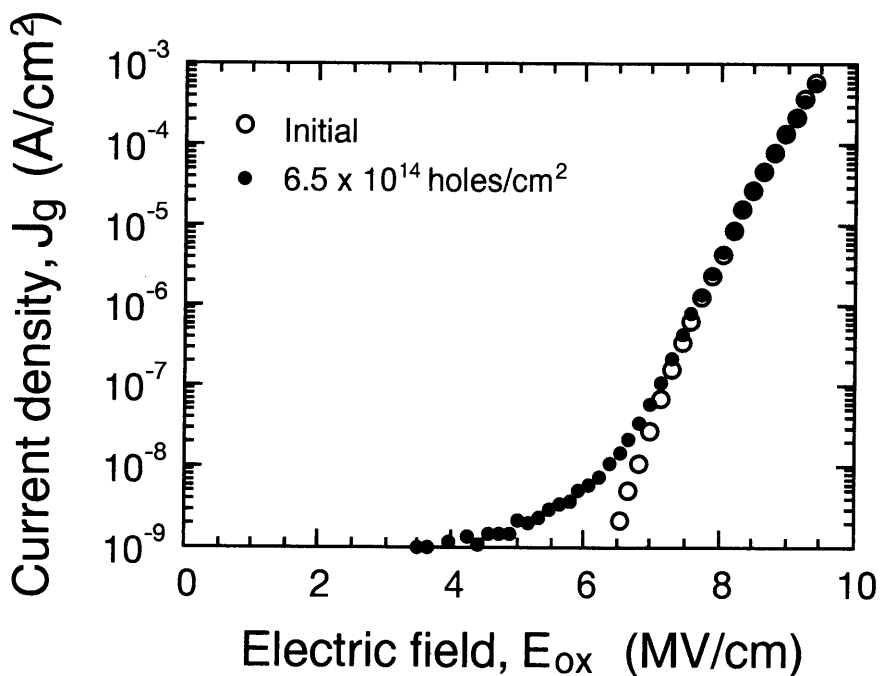
トホール注入の際にゲート電流を時間積分することで算出した注入正孔密度は、 N_2O アニールを行った SiO_2 膜に対しては $6.9 \times 10^{14} \text{ cm}^{-2}$ であり、 N_2O アニールを行っていない SiO_2 膜に対しては $6.5 \times 10^{14} \text{ cm}^{-2}$ である。注入正孔密度が N_2O アニールを行った SiO_2 膜の場合に若干大きいにもかかわらず、 N_2O アニールを行った場合のストレス誘起電流が明らかに小さい。図5-6(a)と(b)は、正孔注入前後の負ゲート極性での J_g-E_{ox} 特性である。注入正孔密度は、 N_2O アニールを行った SiO_2 膜に対しては $6.8 \times 10^{14} \text{ cm}^{-2}$ であり、 N_2O アニールを行っていない SiO_2 膜に対する注入正孔密度 $5.9 \times 10^{14} \text{ cm}^{-2}$ と比較して大きいにもかかわらず、 N_2O アニールを行った場合のストレス誘起電流が小さくなっている。両極性ともに N_2O アニールを行った場合にストレス誘起電流を著しく低減でき、 SiO_2 膜の N_2O アニールが、正孔注入により発生するストレス誘起電流の低減に有効であると結論できる。

SiO_2 膜の N_2O アニールによって、正孔注入後のストレス誘起電流の低減を実現できたことから、次に、 SiO_2 膜の正孔捕獲特性に対する N_2O アニールの効果を調べる。ここでは、 N_2O アニールを行った SiO_2 膜と行っていない試料に対して正孔注入を行い、100 KHzでの高周波C-V特性（ゲート電極-n型ウエル間容量とゲート電圧の関係）の測定を行った。正孔注入前後でのミッドギャップ電圧の変化 ΔV_{mg} を求め、注入正孔密度に対してプロットした結果を図5-7に示す。 N_2O アニールを行っていない SiO_2 膜の場合、注入正孔密度の増加にともないミッドギャップ電圧の変化 ΔV_{mg} は大きくなり、捕獲正孔密度が単調に増加している。 N_2O アニールを行った SiO_2 膜の ΔV_{mg} も注入正孔密度の増加に伴って大きくなり、その値は N_2O アニールを行っていない場合と有意差がない。すなわち、 N_2O アニールによる捕獲正孔密度の変化は見いだせなかった。

この結果は、 N_2O アニールによるストレス誘起電流の低減が、捕獲正孔密度の変化に依るものではないことを意味している。第2章、第3章および第4章で示してきた結果から、 SiO_2 膜中の中性電子トラップ密度の低減が起こっている可能性が想定できる。しかしながら、このような薄い膜における中性電子トラップ密度の測定は現在までのところ困難であり、ストレス誘起電流の低減の原因を明らかにすることは、今後の研究課題である。また、本章で用いた N_2O アニール条件では、 SiO_2 膜中に導入された窒素がシリ

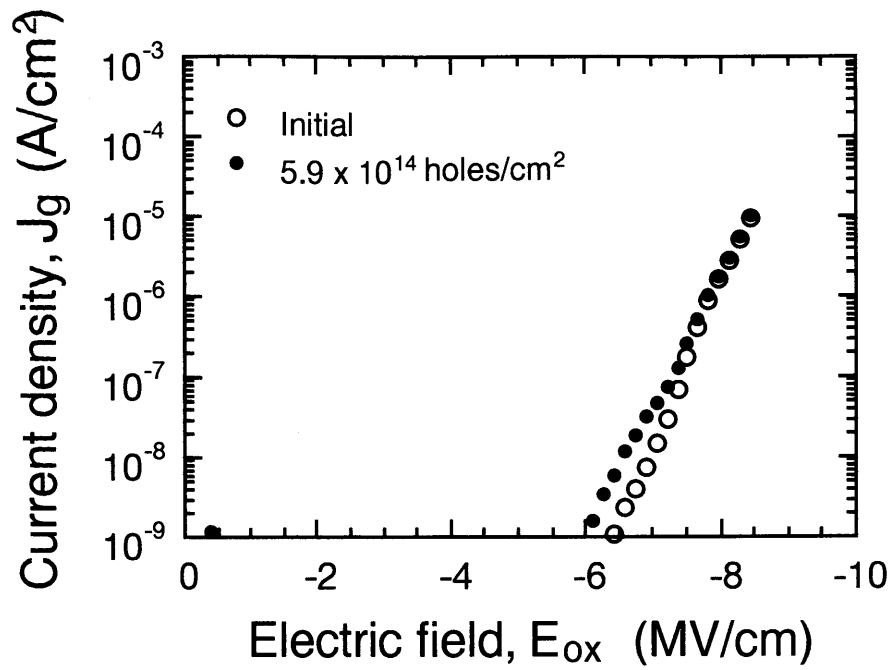


(a) N_2O アニールを行った SiO_2 膜 (62 Å)

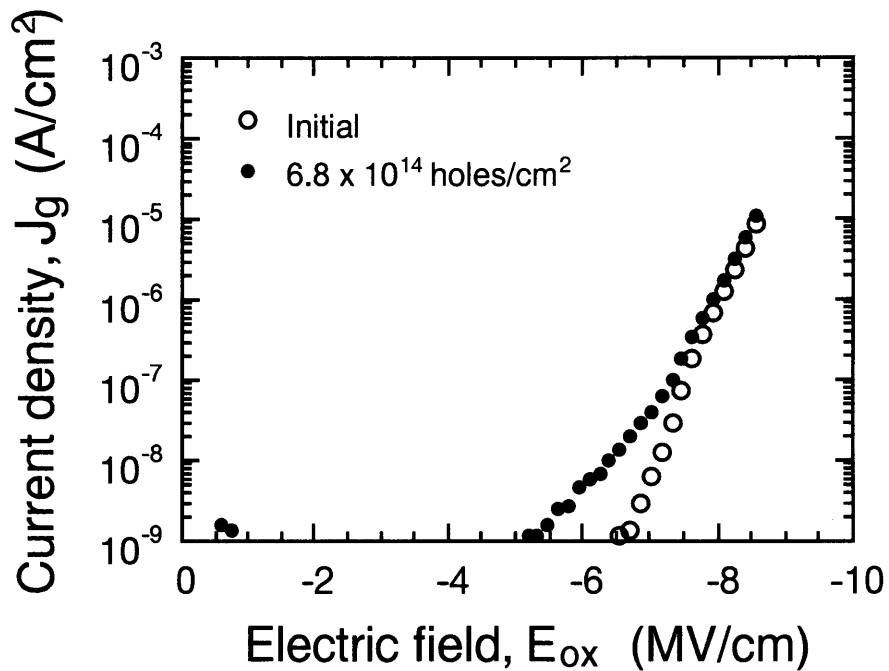


(b) N_2O アニールを行っていない SiO_2 膜 (63 Å)

図 5-5 N_2O アニールを行った SiO_2 膜(a)と行っていない SiO_2 膜(b)の、正孔注入前後の正ゲート極性での J_g - E_{ox} 特性。



(a) N_2O アニールを行った SiO_2 膜 (62 Å)



(b) N_2O アニールを行っていない SiO_2 膜 (63 Å)

図 5-6 N_2O アニールを行った SiO_2 膜(a)と行っていない SiO_2 膜(b)の、正孔注入前後の負ゲート極性での J_g - E_{ox} 特性。

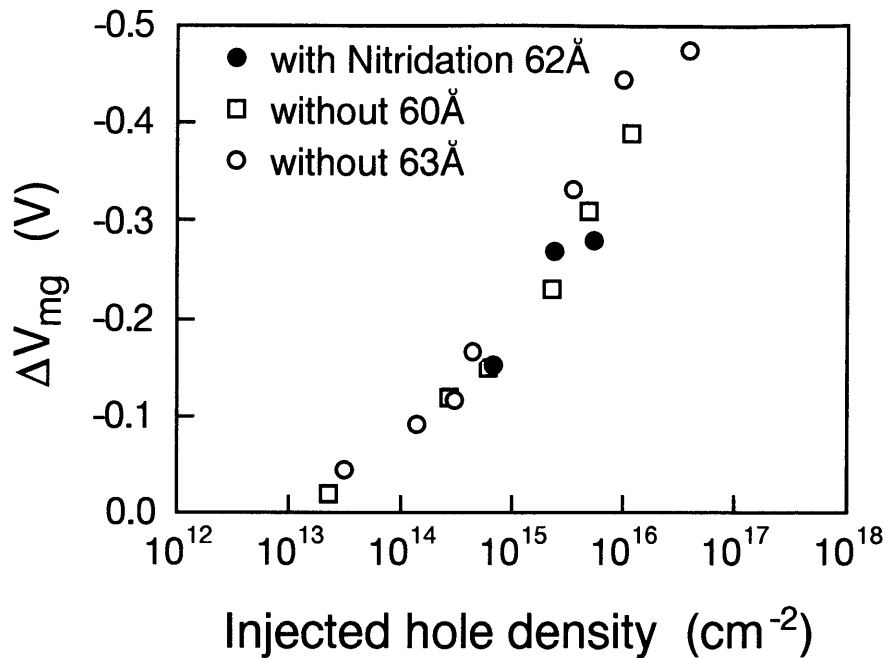


図5-7 N₂Oアニールを行ったSiO₂膜と行なっていない試料における注入した正孔の密度とミッドギャップ電圧の変化 ΔV_{mg} の関係。 ΔV_{mg} は注入正孔密度の増加にともない大きくなり、その値はN₂Oアニールを行った場合と行なっていない場合とで有意差がない。

コン基板-SiO₂界面に分布しているが、このような分布の窒素がストレス誘起リーク電流の低減に果たす役割を明らかにすることも今後の研究課題と考える。

次にこれまでの実験結果から、トンネルSiO₂膜のN₂Oアニールがフラッシュメモリの特性に与えると予想される効果について検討する。フローティングゲートからn⁺拡散層にF-Nトンネリングによって電子を引き抜く場合、n⁺拡散層に正電圧を印加すると、トンネルSiO₂膜へのF-N電子注入が起こると同時に、n⁺拡散層の表面で電子のバンド間トンネリングが起こりトンネルSiO₂膜に正孔が注入される[9]-[12]。また第3章・第4章で扱ったように、薄いSiO₂膜にF-N電子注入または正孔注入を行うとストレス誘起リーク電流が現れる。ストレス誘起リーク電流は、SiO₂膜を薄膜化することによって、正負両ゲート極性で増加する。フラッシュメモリのリードディスタート特性では、トンネルSiO₂膜の電荷リークによるフローティングゲートへの電子の注入が問題になり、この意

味で正ゲート極性でのストレス誘起リーク電流の増加は、許容値を越えるとリードディスタート特性の低下を招く。またデータリテンション特性では、フローティングゲートからトンネルSiO₂膜を介しての電子のリークが問題になり、負ゲート極性でのストレス誘起リーク電流の増加もまた特性の低下を招く。すなわちトンネルSiO₂膜の薄膜化は、正負両ゲート極性のストレス誘起リーク電流の増加を招くため、フラッシュメモリのリードディスタートとデータリテンションの両特性が低下する原因となりうる。しかし、トンネルSiO₂膜の薄膜化は今後のフラッシュメモリの高集積化と高性能化に必須の課題と考えられている。

これまで、F-N電子注入によって発生するストレス誘起リーク電流がSiO₂膜のN₂Oアニールによって低減できることは指摘されてきた[15]。本章では新たに、SiO₂膜のN₂Oアニールが、正孔注入によって発生するストレス誘起リーク電流の抑制に対して有効であることを明らかにした。この結果、バンド間トンネリングに起因するトンネルSiO₂膜への正孔注入によってリードディスタート特性とデータリテンション特性の低下が発生する場合には、特性低下を抑制する手段として、トンネルSiO₂膜のN₂Oアニールが有望であると考えられる。またN₂OアニールはトンネルSiO₂膜の薄膜化を可能とし、フラッシュメモリの高集積化と高性能化に大きく寄与するものと考えられる。

5.6 節 結言

正孔注入によって発生するストレス誘起リーク電流に対して、SiO₂膜のN₂Oアニールが及ぼす効果について調べた。その実験結果と結論を以下に記す。

- (1) SiO₂膜のN₂Oアニールによって、正孔注入によって発生するストレス誘起電流を正負両ゲート極性において低減できることを初めて見いだした。
- (2) 正孔注入を行ったSiO₂膜の高周波C-V特性において、N₂Oアニールによる捕獲正孔密度の変化は見いだせなかった。ストレス誘起電流の低減の原因を明らかにするた

めに、 N_2O アニールによる中性電子トラップ密度の変化を明らかにすること、および SiO_2 膜中に導入された窒素がストレス誘起電流の低減に対して果たす役割を明らかにすることが今後の研究課題と考える。

- (3) SiO_2 膜の N_2O アニールによる正負両ゲート極性のストレス誘起リーク電流の低減は、フラッシュメモリのリードディスタート特性とデータリテンション特性の低下の抑制に対して有望であり、トンネル SiO_2 膜の薄膜化によるフラッシュメモリの高集積化と高性能化を可能とすると考えられる。

参考文献

- [1] 舩岡富士雄、躍進するフラッシュメモリ（工業調査会、1992）
- [2] J. Maserjian and N. Zamani, *J. Vac. Sci. Technol.*, 20, 743 (1982).
- [3] P. Olivo, T. N. Nguyen, and B. Ricco, *IEEE Trans. Electron Devices*, ED-35, 2259, (1988).
- [4] D. J. Dumin, K. J. Dickerson, M. D. Hall, G. A. Brown, in *Proceedings of the International Reliability Physics Symposium*, 1989, p. 28.
- [5] R. Moazzami and C. Hu, in *International Electron Device Meeting Tech. Dig.*, 1992, p. 139.
- [6] A. El-Hdiy, G. Salance, C. Petit, M. Jourdain, and D. Vuillaume, *J. Appl. Phys.*, 74, 1124 (1993).
- [7] N. Yasuda, N. Patel, and A. Toriumi, in *Extended Abstract of the 1993 International Conference on Solid State Devices and Materials*, 1993, p. 847.
- [8] R. S. Scott and D. J. Dumin, *J. Electrochem. Soc.*, 142, 586 (1995).
- [9] J. Chen, T. Y. Chen, I. C. Chen, P. K. Ko, and C. Hu, *IEEE Electron Device Lett*, EDL-8, 515, (1987).
- [10] T. Endoh, R. Shirota, M. Momodomi, and F. Masuoka, *IEEE Trans. Electron Devices*, ED-33, 835 (1986).

- [11] J. Chen, T. Y. Chen, P. K. Ko, and C. Hu, IEEE Electron Device Lett, EDL-10, 203, (1989).
- [12] T. Tsuchiya, in Proceedings of 21st Conf. Solid State Devices and Materials, 1989, p. 79.
- [13] H. Hwang, W. Ting, D. L. Kwong, and J. Lee, in Proceedings of the International Electron Device Meeting, 1990, p. 421.
- [14] U. Sharma, R. Moazzami, P. Tobin, Y. Okada, S. K. Cheng, and J. Yeargain, in Proceedings of the International Electron Device Meeting, 1992, p. 461.
- [15] M. Yasuda, H. Fukuda, T. Iwabuchi, and S. Ohno, in Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials, 1991, p. 237.
- [16] M. V. Fischetti, Z. A. Weinberg, and J. A. Calise, J. Appl. Phys., 57, 418 (1985).
- [17] M. V. Fischetti, Phys. Rev. B, 31, 2099 (1985).
- [18] C. Chang, C. Hu, and R. W. Brodersen, J. Appl. Phys., 57, 302 (1985).
- [19] K. F. Schuegraf and C. Hu, in Proceedings of the International Reliability Physics Symposium, 1994, p. 126.
- [20] K. Kobayashi, A. Teramoto, and M. Hirayama, J. Appl. Phys., 77, 3277 (1995).
- [21] 小林清輝、酸化膜の高信頼化技術、フラッシュメモリビジネスシンポジウム '95 ((株)サイエンスフォーラム) 、1995年9月19日.
- [22] 寺本章伸、小林清輝、梅田浩司、松井安次、中村正、高信頼トンネル酸化膜形成技術、三菱電機技報、70, 75 (1996).

第6章 Fowler-Nordheimトンネル電子注入時に現れる基板正孔電流の SiO₂膜厚と電界に対する依存性^[34]

6.1節 はじめに

MOS (Metal-Oxide-Semiconductor) 構造においてSiO₂膜に電界を印加し続けると、経時絶縁破壊 (Time Dependent Dielectric Breakdown: 以下ではTDDBと呼ぶ) が発生する。SiO₂膜の絶縁破壊はMOSデバイスの信頼性にとって最も重要な問題の一つであり、このためその特性について多くの報告が行われてきた[1]。絶縁破壊のメカニズムについては近年多くの研究者によって、「SiO₂膜へ電界を印加した際にF-Nトンネル注入された電子がMOS構造中で電子-正孔対を生成し、生成した正孔がSiO₂の絶縁破壊を誘起する」という考えが支持されている[2]-[12]。実際、MOS構造においてSiO₂膜にF-N電子注入を行うと、SiO₂膜に正孔の捕獲による正電荷の蓄積が起こることは、多くの研究によって指摘されている[13]-[17]。本研究の第4章でも、F-N電子注入によってSiO₂膜に正電荷が蓄積され、ストレス誘起電流が発生すると考えられることを示してきた。

ところでnチャネルMOSFETにおいては、チャネルからゲートSiO₂膜にF-Nトンネル電子注入を行なうと基板電流が現われることが知られている。この基板電流は、ゲートSiO₂膜が45 Å以上の場合には、SiO₂膜からシリコン基板に放出された正孔によるものと考えられている。Chen等は、基板正孔電流を時間積分することによってSiO₂膜が絶縁破壊するまでに基板に流れた正孔の電荷量を求め、SiO₂膜への印加電界に拘わらず正孔電荷量が一定値に達した時に絶縁破壊が発生することを見出した[9]。このため基板正孔電流は、nチャネルMOSFETのゲートSiO₂膜のTDDBと関係する重要な物理量と考えられる。その起源については従来、多くの研究者が検討を加えてきた[9],[18]-[22]。

近年の研究によると、245 - 957 Åの膜厚範囲の比較的厚いSiO₂膜を有するnチャネル

MOSFETにおいて約8 MV/cm以上の高電界領域で現れる基板正孔電流は、「F-Nトンネル注入された電子がSiO₂中で衝突電離を起こし、電子-正孔対を生成することによって生じた正孔がシリコン基板に流れ出る」ことに起因すると考えられており、シミュレーションによって基板正孔電流のSiO₂膜厚と電界に対する依存性が定量的に再現されている[20]-[22]。しかしながらWeinberg等は、70 ÅのゲートSiO₂膜を有するnチャネルMOSFETの場合にも基板正孔電流は現れることを示し、この場合にはF-Nトンネル注入された電子がSiO₂中で得ることのできるエネルギーが、SiO₂中で衝突電離を起こすには小さ過ぎることから、衝突電離モデルによる説明は困難であることを指摘している[19]。Chenらは、45 Å以下のSiO₂膜における基板正孔電流が、シリコン基板の価電子帯からSiO₂の伝導帯への電子のトンネリングの後に生じた正孔に起因することを示した[9]。しかし、45 Å以上のSiO₂膜の場合における基板正孔電流のメカニズムを説明することは困難であった。Weinberg, Fischettiとその共同研究者[13],[15],[18], [23]は、基板正孔電流の可能なメカニズムの一つとして、「F-Nトンネル注入された電子がSiO₂中の電界によって加速されて高エネルギーとなって陽極に現れ、電子-正孔対を生成し、生成した高エネルギー正孔の一部がSiO₂に放出される」という過程を提案した。これに加えてFischetti[15]は、高エネルギー電子によって陽極-SiO₂界面近傍で励起された表面プラズモンによって陽極での電子-正孔対の生成が起こると考えて、基板正孔電流のSiO₂電界依存性を計算したが、SiO₂膜厚依存性を考慮しなかった。基板正孔電流はSiO₂膜厚と印加電界に強く依存する[9],[19]が、以上の様に45 - 245 Åの膜厚範囲にあるSiO₂膜に対し基板正孔電流のSiO₂膜厚と印加電界依存性の両者を説明した報告は無い。それ故この膜厚範囲での基板正孔電流のメカニズムを議論することは、いまだ興味深い課題である。

ところでFischetti等の実験によると、種々の電極材料を用いたMOS構造において基板からのホット電子注入を行うと、電極材料の仕事関数がMg, Al, Auと大きくなるにつれて基板-SiO₂界面近傍に発生する正電荷が増加するという結果が得られている[13]。この実験結果は、電極の仕事関数が大きくなるとSiO₂から電極に放出された電子が電極中で失うエネルギーが大きくなり、生成する正孔のエネルギーが大きくなるため

にSiO₂への正孔注入が起こり易くなることに起因していると解釈できる。すなわちWeinberg, Fischetti等によって提案された陽極中での正孔生成と陽極からSiO₂への正孔放出のメカニズムを支持している。

本章では、彼らの提案による正孔生成過程に加えて、生成した正孔のうち高エネルギーの部分がSiO₂へショットキー放出される過程を考慮したモデルを提案し、67、86、131 ÅのゲートSiO₂膜を有するnチャネルMOSFETの基板正孔電流の、SiO₂膜厚・SiO₂電界依存性を説明することを試みる。この際、SiO₂膜にF-N注入され陽極に放出された電子のエネルギーが、陽極で生成する正孔の密度やエネルギーを決定するため[24],[25]、電子のエネルギーのSiO₂膜厚・SiO₂電界依存性を知ることが重要である。そのため、nチャネルMOSFETとほぼ同一膜厚のゲートSiO₂膜（69、87、130 Å）を有するpチャネルMOSFETを用いてキャリア分離測定を行い、ゲート電極からSiO₂中にF-N注入された電子が陽極（シリコン基板）に放出される時のエネルギーを実験結果から見積もる。このエネルギーとnチャネルMOSFETのポリシリコン電極中で生成する正孔のエネルギー分布との関係を仮定することで、SiO₂-電極界面のエネルギー障壁に打ち勝ってSiO₂中にショットキー放出される正孔の密度を決定し、基板正孔電流の測定結果との比較を行う。

6.2 節 試料作成

基板正孔電流を測定するために、8.5 - 11.5 Ωcmの抵抗率のp型(100)シリコン基板の表面に、nチャネルMOSFETを形成した。また、同一規格の基板にnウエルを形成し、nウエル領域の表面にはpチャネルMOSFETを形成した。nチャネル・pチャネルの両方のMOSFETのゲートSiO₂膜は、820℃のパイロジェニック酸化法を用いて同時に形成した。引き続きリンドーフトポリシリコンを堆積してゲート電極を形成した。リンドーフトポリシリコンの膜厚は2000 Åであり、リン濃度は5 - 7 x 10²⁰ cm⁻³であった。nチャネルMOSFETのソースドレイン形成に対してはAs⁺を、pチャネルMOSFETに対してはB⁺を注

入した後、900℃で20分の熱処理を加えた。アルミニウム配線を形成したのち、450℃の水素雰囲気中でのアニールを行った。

ゲートSiO₂膜の膜厚 t_{ox} はSiO₂の比誘電率を3.85と仮定して、MOSFETと同時に形成したMOSキャパシタの容量から決定した。nチャネルMOSFETに対しては67、86、131ÅのゲートSiO₂膜が得られ、pチャネルMOSFETに対しては69、87、130ÅのゲートSiO₂膜が得られた。これら両者のSiO₂膜厚は極めて近い値である。nチャネルMOSFETのゲート面積は $8.1 \times 10^{-3} \text{ cm}^2$ であり、pチャネルMOSFETのゲート面積は $1.0 \times 10^{-4} \text{ cm}^2$ である。

6.3節 nチャネルMOSFETの基板正孔電流のモデル

図6-1に示すように、nチャネルMOSFETのソースドレインと基板を接地し正ゲートバイアスを印加すると、基板表面の反転層からゲートSiO₂膜への電子のF-Nトンネリングに起因するチャネル電流 $I_{n, ch}$ が観測される。同時にp型シリコン基板に基板正孔電流 $I_{p, sub}$ が現われる。図6-2は67、86、131ÅのゲートSiO₂膜の場合のチャネル電流密度 $J_{n, ch}$ と基板正孔電流密度 $J_{p, sub}$ のSiO₂電界依存性である。ここでSiO₂電界 E_{ox} は、SiO₂膜の両端の電位差 V_{ox} から(6-1)式で与えられる。

$$E_{ox} = (V_g - V_{FB} - 2\phi_B)/t_{ox} \quad (6-1)$$

(6-1)式において V_g はゲート電極への印加電圧、 V_{FB} はフラットバンド電圧、 $2\phi_B$ は表面反転層の表面ポテンシャルである。3種類のSiO₂膜に対して、チャネル電流密度 $J_{n, ch}$ はほぼ同様の特性を示すが、基板正孔電流密度 $J_{p, sub}$ はSiO₂膜厚が薄くなるにつれて小さくなる。基板正孔電流密度とチャネル電流密度の比 $J_{p, sub}/J_{n, ch}$ の電圧 V_{ox} とSiO₂電界 E_{ox} に対するプロッ

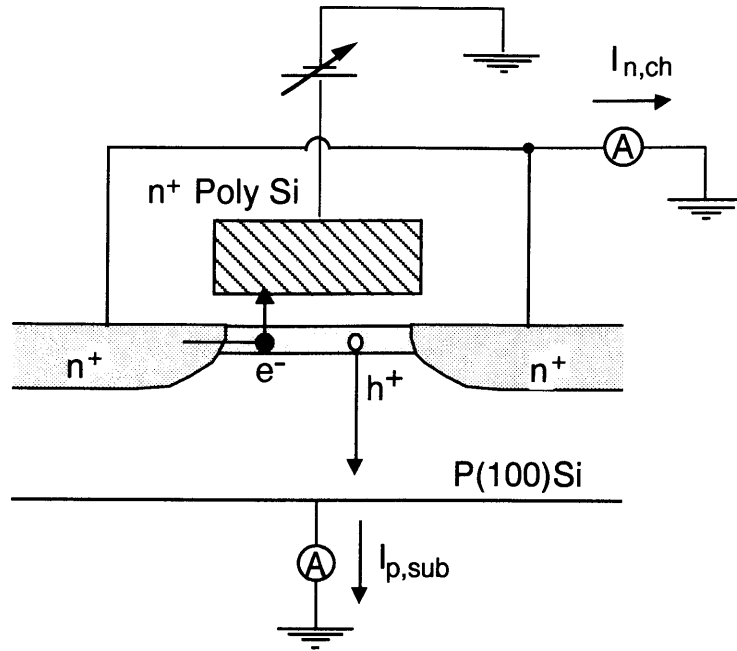


図6-1 基板正孔電流を測定するために形成したnチャネルMOSFET。nチャネルMOSFETのソースドレインと基板を接地し正ゲートバイアスを印加すると、基板表面の反転層からゲートSiO₂膜への電子のF-Nトンネリングに起因するチャネル電流 $I_{n,ch}$ が観測される。同時にp型シリコン基板に基板正孔電流 $I_{p,sub}$ が現われる。

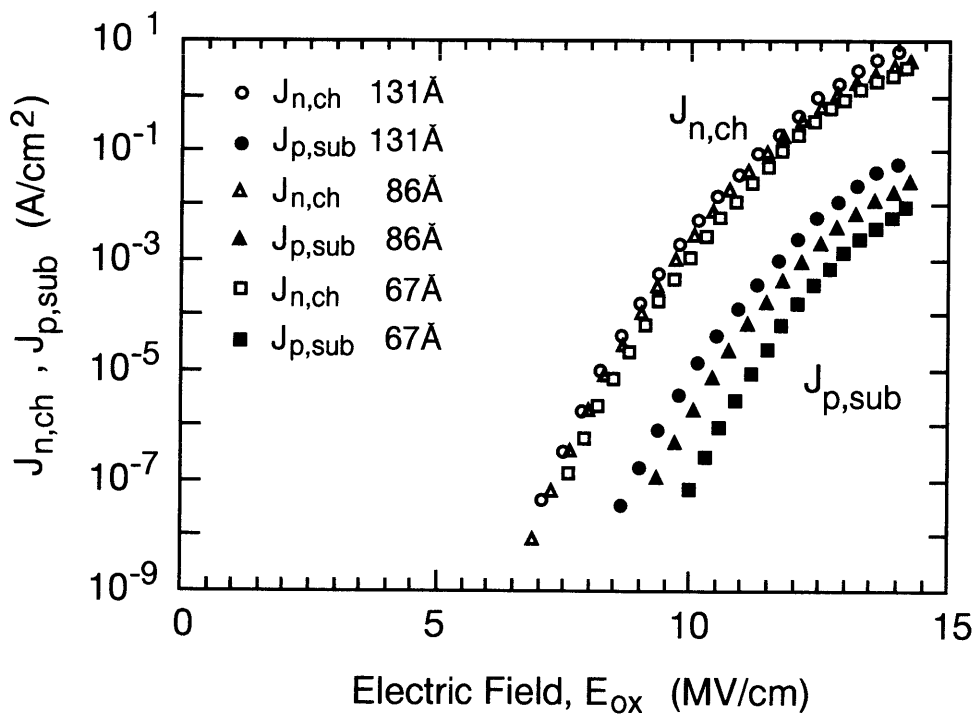


図6-2 67、86、131 ÅのゲートSiO₂膜の場合のチャネル電流密度 $J_{n,ch}$ と基板正孔電流密度 $J_{p,sub}$ のSiO₂電界依存性。

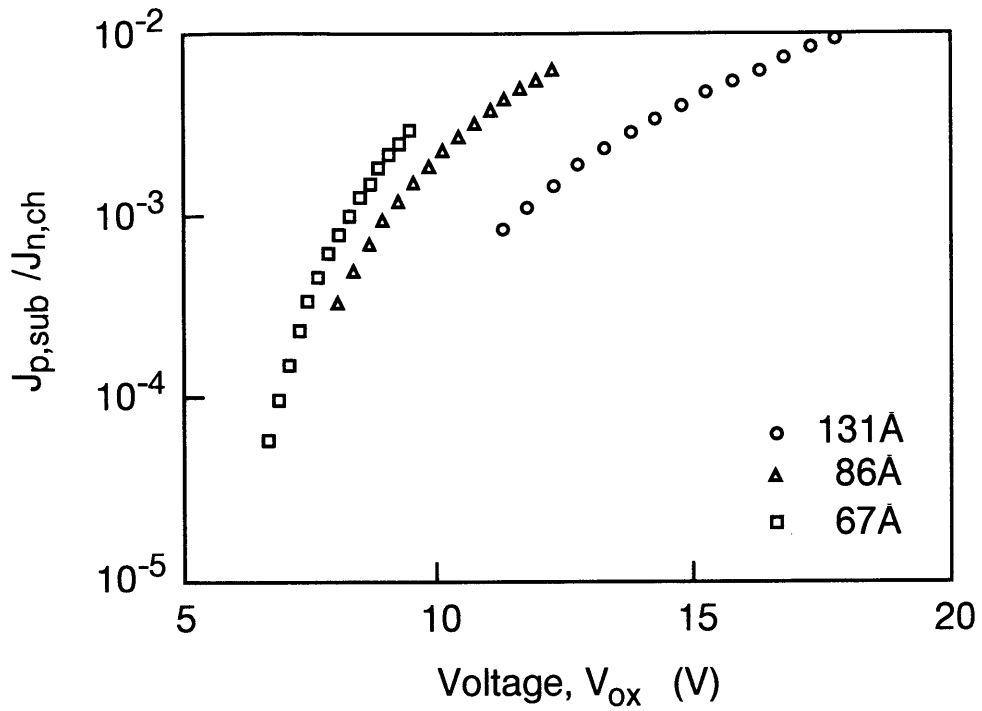


図6-3 基板正孔電流密度とチャネル電流密度の比 $J_{p,sub}/J_{n,ch}$ の電圧 V_{ox} に対するプロット。

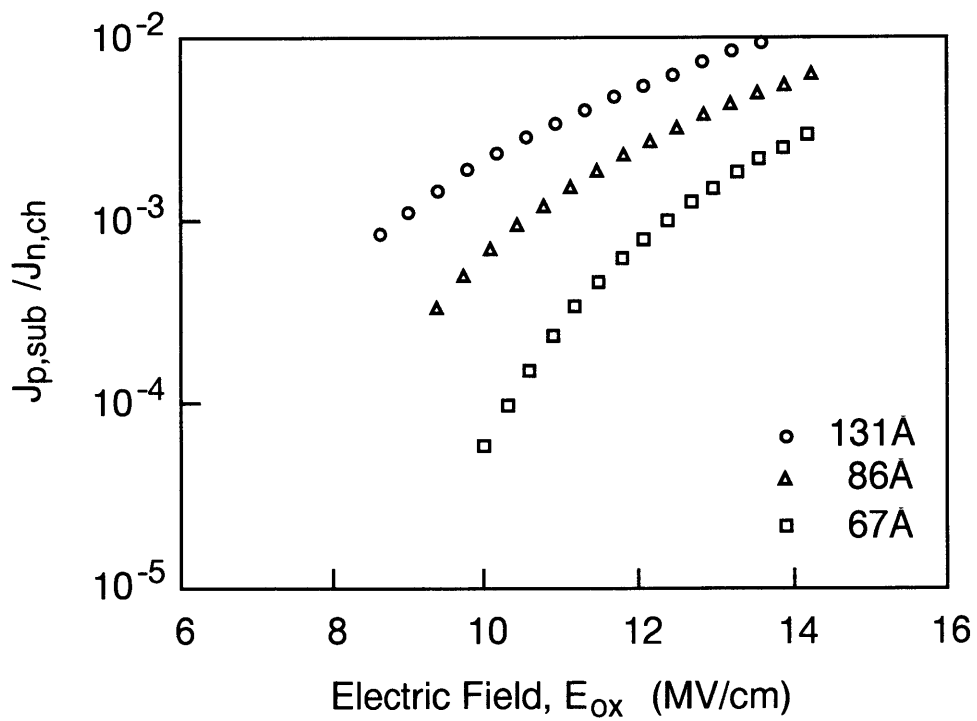


図6-4 基板正孔電流密度とチャネル電流密度の比 $J_{p,sub}/J_{n,ch}$ の SiO_2 電界 E_{ox} に対するプロット。

トを図6-3と図6-4に示す。 $J_{p,sub}/J_{n,ch}$ が SiO_2 膜厚・電圧 V_{ox} ・電界 E_{ox} の関数であることがわかる。これらの結果はWeinberg等によって示された結果と同様の特性を示している[19]。

ここで、基板正孔電流の SiO_2 膜厚 t_{ox} と電界 E_{ox} に対する依存性を説明するために、図6-5に示す、以下の(1)～(5)の過程からなるモデルを考える。

- (1) まず、nチャネルMOSFETの表面反転層から SiO_2 膜の伝導帯へF-Nトンネリングによって電子が注入される。
- (2) SiO_2 膜の伝導帯において、電子は電界によって加速され運動エネルギーを得ると同時に、 SiO_2 のフォノンによる散乱によってそのエネルギーの一部を失う[20]-[22],[25]-[27]。
- (3) 電子は SiO_2 膜の伝導帯においてホットになり、陽極(ポリシリコン電極)に放出される[20]-[22],[25]-[29]。
- (4) ホットになった電子はポリシリコン電極中で、衝突電離、フォノン放出、プラズモン生成などによりエネルギーを失い、同時に電子-正孔対が生成する[13],[15],[18]。すなわち、ポリシリコン電極に放出された電子のエネルギーの一部が生成した電子-正孔対に与えられる。
- (5) この時、 SiO_2 -ポリシリコン電極界面のエネルギー障壁を越えるのに十分なエネルギーを持って生成した正孔が、 SiO_2 膜の価電子帯にショットキー放出され、シリコン基板へ達し基板正孔電流となる。

以上のモデルにおいて基板正孔電流の起源は、ポリシリコン電極に放出された高エネルギー電子によって形成された正孔の一部が SiO_2 膜へショットキー放出されるためと考えた。すなわち、ポリシリコン電極中で生成する正孔のうち、そのエネルギー分布において高エネルギー部分を形成する正孔の一部が SiO_2 膜へ放出される。この場合正孔の SiO_2 膜への放出確率は、生成した正孔のエネルギーと、 SiO_2 -ポリシリコン電極界面の正孔に対するエネルギー障壁の高さの関数と考えられる。しかし今、生成した正孔のエネ

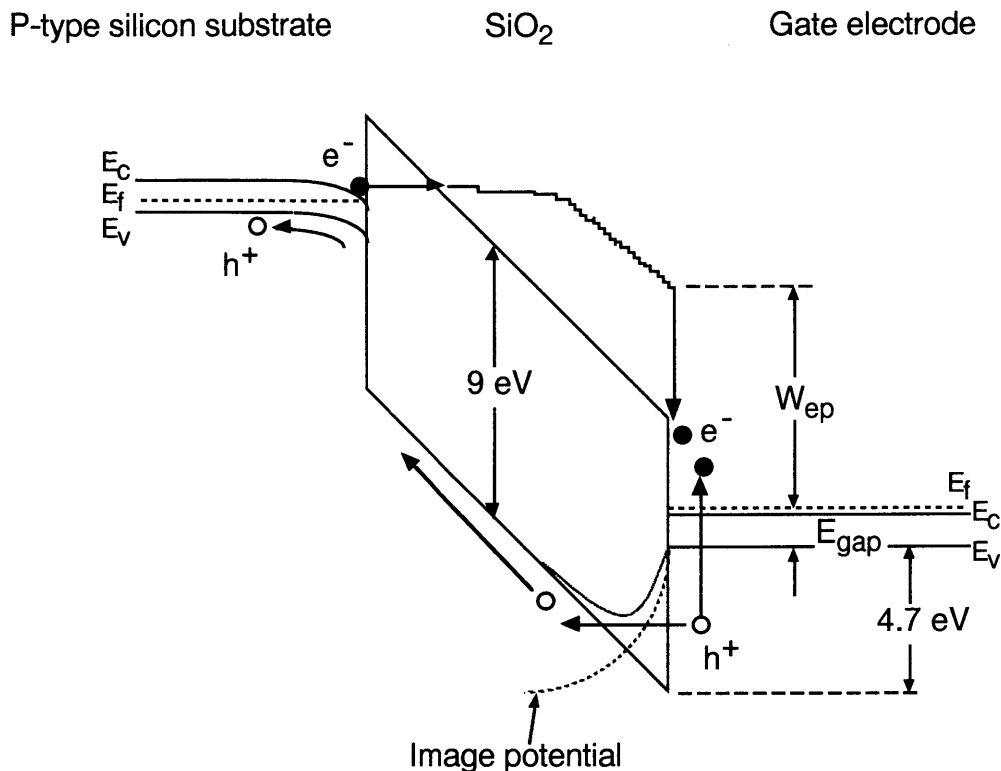


図6-5 nチャネルMOSFETにおけるゲートSiO₂膜への正孔注入のモデルを表すバンド模式図。このモデルは以下の(1)～(5)の過程からなり、基板正孔電流はポリシリコン電極に放出された高エネルギー電子によって形成された正孔のSiO₂膜への熱放出に起因すると考える。(1) nチャネルMOSFETの表面反転層からSiO₂膜の伝導帯へF-Nトンネリングによって電子が注入される。(2) SiO₂膜の伝導帯において、電子は電界によって加速され運動エネルギーを得ると同時に、SiO₂のフォノンによる散乱によってそのエネルギーの一部を失う[20]-[22],[25]-[27]。(3) 電子はSiO₂膜の伝導帯においてホットになり、陽極(ポリシリコン電極)に放出される[20]-[22],[25]-[29]。(4) ホットになった電子はポリシリコン電極中で、衝突電離、フォノン放出、プラズモン生成などによりエネルギーを失い、同時に電子-正孔対が生成する[13],[15],[18]。すなわち、ポリシリコン電極に放出された電子のエネルギーの一部が生成した電子-正孔対に与えられる。(5) この時、SiO₂-ポリシリコン電極界面のエネルギー障壁を越えるのに十分なエネルギーを持って生成した正孔が、SiO₂膜の価電子帯にショットキー放出され、シリコン基板へ達し基板正孔電流となる。

ルギー分布に関する知見を有していない。そこでここでは、生成した正孔のエネルギー分布がMaxwell分布関数で表され、その分布が実効エネルギー W_{hg} で特徴づけられると仮定する。このとき定常状態では基板正孔電流密度は次のように表される。（導出はAppendix 6Aを参照。）

$$J_{p,sub} = q \cdot n_s \left(\frac{W_{hg}}{2\pi m_h^*} \right)^{1/2} \exp\left(- \frac{q\Phi_h}{W_{hg}} \right) \quad (6-2)$$

ここで n_s は生成した正孔の SiO_2 -ポリシリコン界面における密度であり、 q は素電荷、 m_h^* は正孔の有効質量、 Φ_h は SiO_2 -ポリシリコン界面の正孔に対するエネルギー障壁高さである。鏡像力を考慮するとショットキー効果により SiO_2 -ポリシリコン界面のエネルギー障壁高さは、

$$q\Phi_h = q\Phi_b - \beta \cdot E_{ox}^{1/2} \quad (6-3)$$

と書くことができる。ここで SiO_2 -ポリシリコン界面障壁高さ $q\Phi_b$ は SiO_2 -Si界面と同様に4.7 eVであるとした。 β は次式で表される。

$$\beta = (q^3/4\pi\epsilon_0\epsilon_{ox})^{1/2} \quad (6-4)$$

ここで ϵ_0 は真空の誘電率であり、 ϵ_{ox} は SiO_2 の比誘電率である。

さて、シリコン中に放出された高エネルギー電子による電子-正孔対の生成に関しては、pチャネルMOSFETにおけるキャリア分離法を用いて幾つかの研究が成されている[24]-[26],[29],[30]。図6-6に示すように、pチャネルMOSFETのソースドレインと基板（またはnウエル）を接地し負ゲートバイアスを印加すると、ゲート電極から SiO_2 中にF-Nトンネル注入された電子は SiO_2 中の電界によって加速され、ホットになった電子がシリコン基板に放出される。この時、シリコン基板に放出される電子のエネルギーが高

いほど、電子によってシリコン基板中で生成する電子-正孔対の数が大きい。ここで、放出された一個の電子に対して生成した電子-正孔対の数の平均を量子効率 γ と呼ぶ。シリコン基板中で生成した正孔はチャンネルからソースドレインに流れ、チャンネル電流として観測される。 SiO_2 からシリコン基板に放出された電子と、シリコン基板中で生成した電子とは基板電流を形成する。チャンネル電流と基板電流を測定することで量子効率 γ を求めることができ、 γ からシリコン基板に放出された電子の平均エネルギーを見積もることができる[25],[26],[29]。今、pチャンネルMOSFETとnチャンネルMOSFETのゲート SiO_2 膜厚が等しく、またこの両者のゲート SiO_2 膜中の電界が等しいとき、「pチャンネルMOSFETにおいて負ゲートバイアスを印加したときにシリコン基板に放出される電子の平均エネルギーは、nチャンネルMOSFETにおいて正ゲートバイアスを印加したときにポリシリコン電極に放出される電子の平均エネルギー W_{ep} と等しい。」と仮定する。この仮定を用いることでpチャンネルMOSFETにおけるキャリア分離測定の実験から、nチャンネルMOSFETのポリシリコン電極に放出される電子の平均エネルギーを得ることが出来る。

次に、 SiO_2 からポリシリコン電極に放出された電子による電子-正孔対生成過程が、従来シリコン中で考えられてきた電子-正孔対生成過程に従うと仮定する。即ち電子-正孔対生成過程においては、単結晶シリコンとポリシリコンの間の違いは無視できるとする。図6-5に示したように、 SiO_2 からポリシリコン電極に放出された電子（1次粒子）は、電子-正孔対の生成またはフォノンの放出によって有していたエネルギーの一部を失う。生成した電子と正孔、及び散乱された1次粒子を2次粒子と呼ぶとき、これら2次粒子のエネルギーがあるしきい値よりも小さくなったとき、新たな電子-正孔対生成の確率は0となる[31]-[33]。2次粒子がしきい値よりも大きなエネルギーを有するとき、2次粒子は電子-正孔対生成の確率を有する。前述したように、一個の1次粒子に起因して生成した電子-正孔対の数の平均を量子効率と呼ぶ。ポリシリコン中での一つの電子-正孔対の生成には、シリコンの禁制帯幅に相当するエネルギー（1.12 eV）が必要である。故に、1次粒子のエネルギーから1.12 eVを差し引いた値が、3つの2次粒子（生成した電子と正孔、そして散乱された1次粒子）に分配される。Kaneはシリコンに放出された

電子が幾つかの水準の初期エネルギーを有する場合について、生成した2次粒子のエネルギー分布を計算している[31]。彼の計算結果に於て、2次粒子のエネルギー分布から得られる平均エネルギーは電子の初期エネルギーの数分の一（1/3～1/5程度）になっている。

さて、引き続き電子-正孔対生成に於ても、2次粒子のエネルギーから1.12 eVを差し引いた値が、次に形成される3つの3次粒子（生成した電子と正孔、そして散乱された2次粒子）に分配される。正孔のエネルギーに着目すると、2次粒子の正孔が有する平均エネルギーは3次粒子としての正孔（電子-正孔対生成によって散乱した後の2次正孔や2次粒子によって生成した正孔）の平均エネルギーに比べて大きく、生成した正孔のエネルギー分布の高エネルギーの部分は、2次粒子の正孔に支配されていると考えられる。

前述したように2次粒子としての正孔は、1次粒子の電子のエネルギーから1.12 eVを差し引いた値の一部を受け取る。今、2次粒子の正孔が受け取るエネルギーが、1次粒子の電子のエネルギーから1.12 eVを差し引いた値と比例関係にあると仮定する。さらに近似的に、正孔のエネルギー分布の高エネルギーの部分に対し、2次粒子の正孔の寄与だけを考える。生成した正孔全体のエネルギー分布は、2次粒子の正孔のエネルギー分布に強く影響されると考えられる。そして、2次粒子の正孔のエネルギー分布が反映されるように正孔の平均エネルギー W_{hg} を以下のように置くことにする。

$$W_{hg} = C (W_{ep} - E_{gap}) \quad (6-5)$$

ここで E_{gap} はシリコンの禁制帯幅に相当するエネルギー（1.12 eV）である。Cはフィッティングパラメーターであり、1次粒子の電子のエネルギーから1.12 eVを差し引いた値に対し、2次粒子の正孔が受け取るエネルギーの割合に依存している。1次粒子（SiO₂からポリシリコン電極に放出された電子）の平均エネルギー W_{ep} は、6.4節においてpチャネルMOSFETを用いたキャリア分離法によって決定する。係数Cは定数と仮定し、

6.5節において実験結果とのフィッティングによって決定する。

さて、ポリシリコン電極に放出された高エネルギー電子によって生成した正孔は、ポリシリコン電極中の電子と再結合することで消滅する。この正孔の生成消滅過程は、量子効率 γ を用いて次式によって表される。

$$\frac{dN_h}{dt} = \frac{\gamma \cdot J_{n,ch}}{q} - \frac{N_h - N_{h0}}{\tau_p} \quad (6-6)$$

ここで N_h はポリシリコン電極の単位面積当たりの正孔密度、 N_{h0} は熱平衡状態における正孔面密度であり、 τ_p はポリシリコン電極中の正孔のライフタイムである。定常状態を考えると、 $dN_h/dt=0$ であるので、

$$N_h - N_{h0} = \frac{\tau_p \cdot \gamma \cdot J_{n,ch}}{q} \quad (6-7)$$

が得られる。

SiO_2 膜からポリシリコン電極へ高エネルギー電子が注入され、 SiO_2 -ポリシリコン界面近傍で電子-正孔対が生成する場合を考える。 SiO_2 -ポリシリコン界面を $x=0$ と置き、ポリシリコン電極内部方向を x 軸の正方向にとる。 SiO_2 -ポリシリコン界面近傍で生成した正孔は、ポリシリコン電極内部方向に拡散すると同時に電子との再結合を起こす。正孔の生成が SiO_2 -ポリシリコン界面において起こっていると近似でき、正孔の拡散距離がポリシリコン電極厚さに比べて小さいとき、定常状態でのポリシリコン電極内での正孔の空間分布は境界条件(6-9)式のもとで(6-8)式を満たす。

$$\frac{\partial p_n}{\partial t} = 0 = -\frac{p_n - p_{n0}}{\tau_p} + D_p \frac{\partial^2 p_n}{\partial x^2} \quad (6-8)$$

$$\int_0^d \{p_n(x) - p_{n0}\} dx = N_h - N_{h0} \quad (6-9)$$

ここで $p_n(x)$ は位置 x における単位体積当たりの正孔密度、 p_{n0} は熱平衡状態における正孔体積密度であり ($p_n(0)=p_{n0}$ =定数)、 D_p は正孔のポリシリコン中での実効拡散定数、 d はポリシリコン電極厚さである。(6-8)式の解は、

$$p_n(x) - p_{n0} = \frac{N_h - N_{h0}}{L_p \cdot \left\{ 1 - \exp\left(-\frac{d}{L_p}\right) \right\}} \cdot \exp\left(-\frac{x}{L_p}\right) \quad (6-10)$$

となり、ここで L_p はポリシリコン中での正孔の拡散距離であり、 $L_p = \sqrt{D_p t_p}$ と定義されている。(6-7)式と(6-10)式から、生成した正孔のSiO₂-ポリシリコン界面における密度は(6-11)式によって与えられる。

$$n_s = p_n(0) - p_{n0} = \frac{\tau_p \cdot \gamma \cdot J_{n,ch}}{qL_p} \cdot \frac{1}{1 - \exp\left(-\frac{d}{L_p}\right)} \quad (6-11)$$

式(6-3), (6-5), (6-11)を用いて、基板正孔電流密度を与える(6-2)式は以下のように書き直される。

$$J_{p,sub} = A \cdot \gamma J_{n,ch} \cdot \left[\frac{C(W_{ep} - E_{gap})}{2\pi m_h^*} \right]^{1/2} \exp\left[-\frac{q\Phi_b - \beta \cdot E_{ox}^{1/2}}{C(W_{ep} - E_{gap})} \right] \quad (6-12)$$

$$A \equiv \frac{\tau_p}{L_p} \cdot \frac{1}{1 - \exp\left(-\frac{d}{L_p}\right)} \quad (6-13)$$

6.4 節 SiO₂膜から陽極へ注入された電子のエネルギーの決定

本節において、nチャネルMOSFETの表面反転層からSiO₂膜の伝導帯へF-Nトンネリングによって注入された電子が、SiO₂膜からポリシリコン電極に放出されるときに有している平均エネルギーを見積もる。

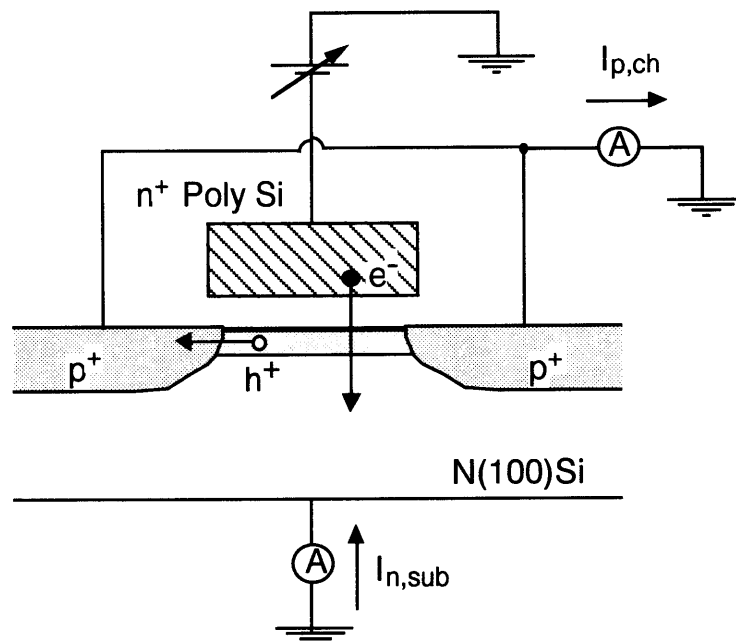


図 6-6 pチャネルMOSFETにおいて、ゲート電極からSiO₂中にF-Nトンネル注入された電子はSiO₂中の電界によって加速され、ホットになった電子がシリコン基板に放出される。シリコン基板に放出された電子はシリコン基板中で電子-正孔対を生成する[17][21]。生成した電子-正孔対は基板中の電位によって分離され、生成した正孔は基板表面に集まり、チャンネル電流としてソースドレインから流れ出る。シリコン基板中で生成した電子とSiO₂からシリコン基板に放出された電子は、基板電流を形成する。

まず、図 6-6 に示すpチャネルMOSFETにおいて、ゲート電極からSiO₂中にF-Nトンネル注入された電子はSiO₂中の電界によって加速され、ホットになった電子がシリコン基

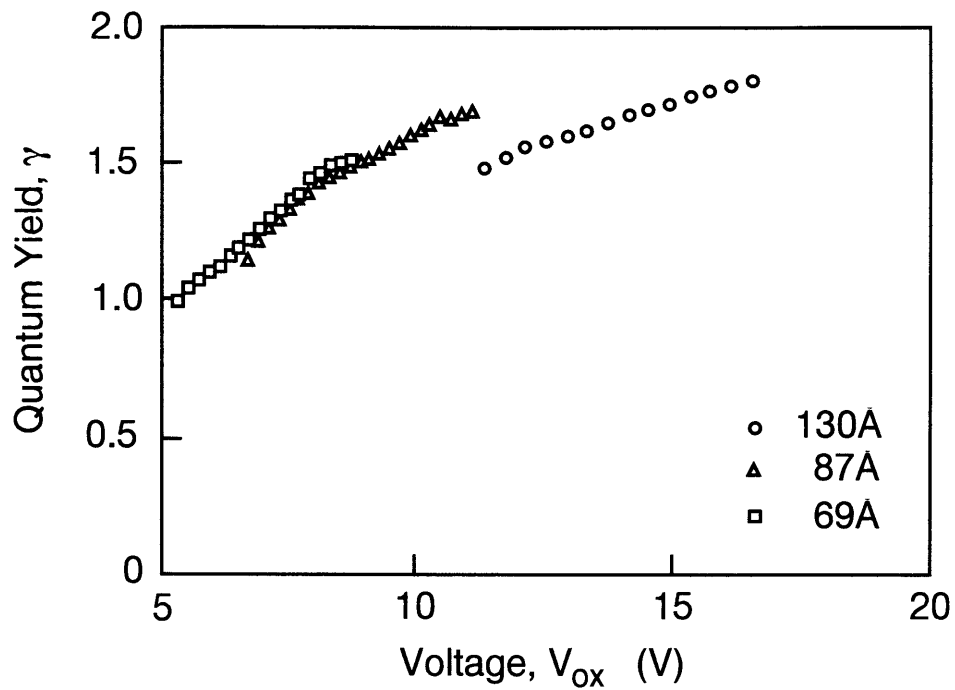
板に放出される[20]-[22],[25]-[29]。シリコン基板に放出された電子はフォノンの放出やインパクトイオン化などによってそのエネルギーの一部を失い、シリコン基板中に電子-正孔対を生成する[24]-[26],[29],[31]-[33]。生成した電子-正孔対は基板中の電位によって分離され、生成した正孔は基板表面に集まり、チャネル電流 $I_{p,ch}$ としてソースドレインから流れ出る[24]-[26],[29]。シリコン基板中で生成した電子と SiO_2 からシリコン基板に放出された電子は、基板電流 $I_{n,sub}$ を形成する。シリコン基板に放出される電子の量子効率 γ は、 $I_{p,ch}$ と $I_{n,sub}$ から次式で与えられる[24]。(Appendix 6Bを参照。)

$$\gamma = \frac{I_{p,ch}}{I_{n,sub} - I_{p,ch}} \quad (6-14)$$

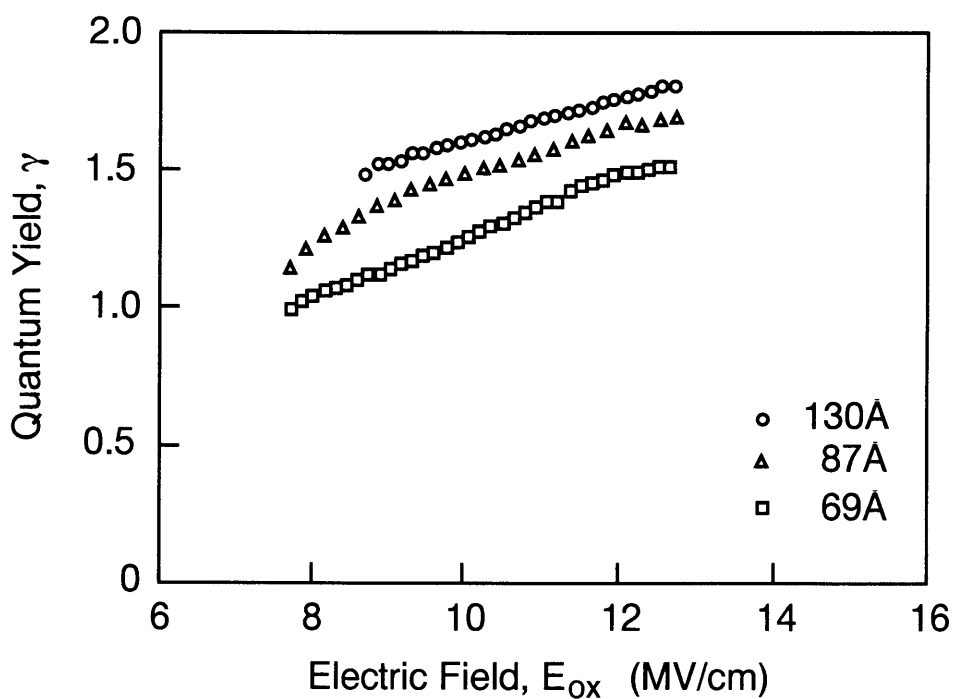
図6-7(a)は求めた量子効率 γ の電圧 V_{ox} に対するプロットであり、図6-7(b)は SiO_2 電界 E_{ox} に対するプロットである。測定に用いた SiO_2 膜厚は、前節の図6-3、図6-4において使用したnチャネルMOSFETのゲート SiO_2 膜厚にほぼ等しい。Changと共同研究者[24]、DiMariaと共同研究者[25]、及びAligと共同研究者[33]による検討結果を用いて、量子効率 γ からシリコン基板に放出された電子の平均エネルギー W_{avg} を得ることができる。

(Appendix 6Cを参照。) 図6-7の量子効率 γ から求めた電子の平均エネルギー W_{avg} を、 SiO_2 電界 E_{ox} の関数として図6-8に示す。

前節において、nチャネルMOSFETとpチャネルMOSFETのゲート SiO_2 膜厚が等しく、またこの両者のゲート SiO_2 膜中の電界が等しいとき、「pチャネルMOSFETにおいて負ゲートバイアスを印加したときにシリコン基板に放出される電子の平均エネルギーの値 W_{avg} が、nチャネルMOSFETにおいて正ゲートバイアスを印加したときにポリシリコン電極に放出される電子の平均エネルギーの値 W_{ep} と等しい」と仮定した。この仮定に基づくと、nチャネルMOSFETの SiO_2 膜へF-Nトンネリングによって注入された電子がポリシリコン電極に放出されるときに有している平均エネルギー W_{ep} は、図6-8の W_{avg} によって与えられる。また、 SiO_2 からポリシリコン電極に放出された電子による電子-正孔対生成



(a)



(b)

図 6-7 (a)量子効率 γ の電圧 V_{ox} に対するプロットと、(b)量子効率 γ の SiO_2 電界 E_{ox} に対するプロット。測定に用いた SiO_2 膜厚は、前節の図 6-3、図 6-4において使用したnチャンネルMOSFETのゲート SiO_2 膜厚にほぼ等しい。

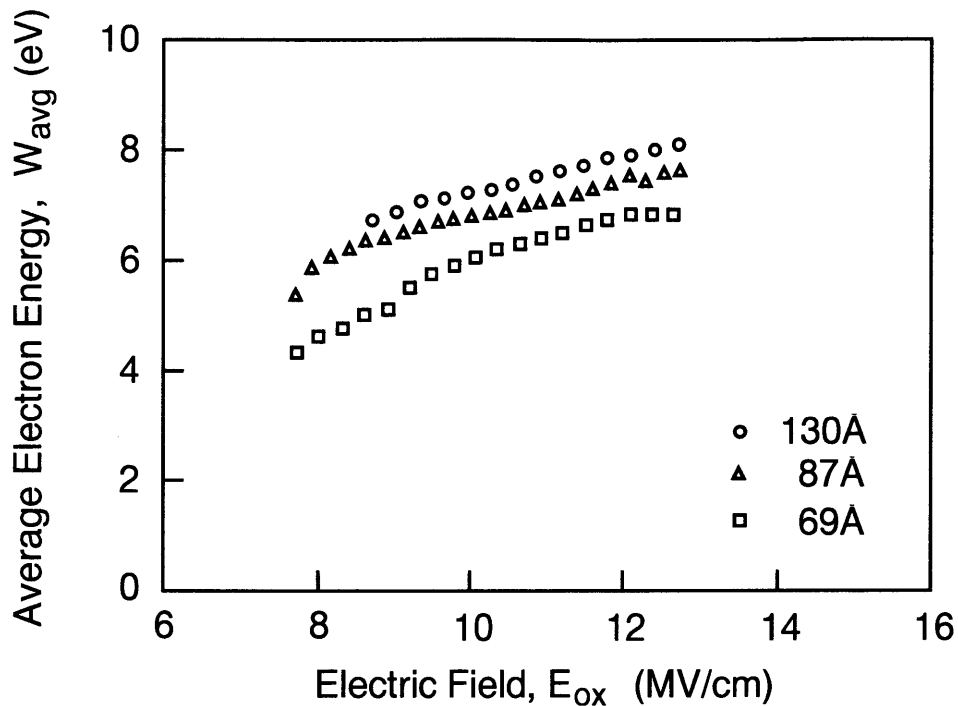


図 6-8 pチャネルMOSFETにおいて負ゲートバイアスを印加したときに、ゲート電極から SiO_2 膜にF-N注入され、シリコン基板に放出された電子の平均エネルギー W_{avg} 。図 6-7 の量子効率 γ から求めた。(Appendix Cを参照。)

過程において、単結晶シリコンとポリシリコンの間の違いは無視できるとした。それゆえ、nチャネルMOSFETにおいてポリシリコン電極に放出された電子の量子効率 γ は図 6-7によって与えられる。

6.5 節 基板正孔電流の計算

図 6-8 における平均エネルギー W_{avg} と図 6-7 (b)の量子効率 γ を用いて、(6-12)式から $J_{p,sub}/J_{n,ch}$ を計算した結果を図 6-9 の中の実線によって表す。ここで $J_{p,sub}/J_{n,ch}$ の計算値は実測値とのフィッティングによって得られ、一組のフィッティングパラメーター、 $A=0.0018$ sec/mと $C=0.055$ 、を使用している。図 6-9 には同時に、nチャネルMOSFETにおける

$J_{p,sub}/J_{n,ch}$ の実測値もプロットしている。この実測値は図6-4(b)において示したデータを再プロットしたものである。 $J_{p,sub}/J_{n,ch}$ の計算値は、 SiO_2 膜厚の薄膜化と電界 E_{ox} の減少にともなって減少しており、実測値の特性を良く再現している。一組のフィッティングパラメーターを用いて、67, 86, 131 Åの3種類の膜厚に対して実測と計算の間の良い一致が得られた。

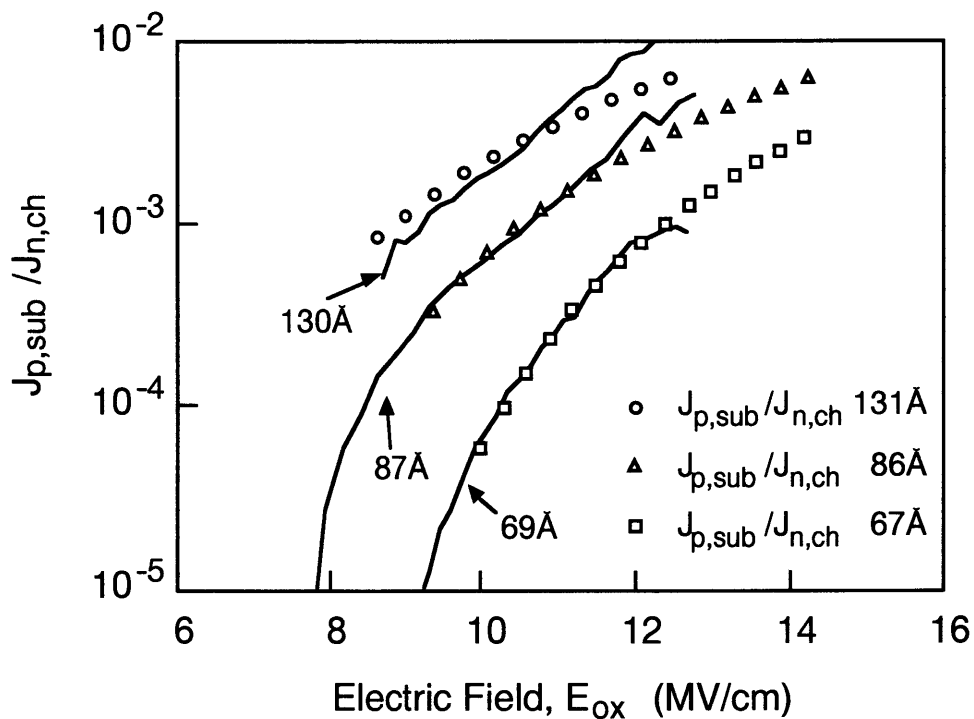


図6-9 電子の平均エネルギー W_{avg} と量子効率 γ を用いて、(6-12)式から $J_{p,sub}/J_{n,ch}$ を計算した結果を実線によって表す。同時に、図6-4(b)において示したnチャンネルMOSFETにおける $J_{p,sub}/J_{n,ch}$ の実測値もプロットしている。

本章では、nチャンネルMOSFETにおける基板正孔電流の SiO_2 膜厚と SiO_2 電界に対する依存性を説明できるモデルを検討してきた。F-N電子注入ストレスを加えたときの SiO_2 膜の劣化や絶縁破壊の原因が、同時に注入される正孔にあると考えるとき、 SiO_2 膜を流れる正孔を定量的に予測することは、 SiO_2 膜の劣化の程度や絶縁破壊寿命を予測するため

に極めて重要である。Chenらの報告によると、 SiO_2 膜への印加電界にかかわらず、 SiO_2 膜を流れる正孔の電荷量がある一定値に達した時に絶縁破壊が発生する[9]。この正孔電荷量を基板正孔電流密度で割ることによって、 SiO_2 膜の絶縁破壊寿命を求めることができる。本章で提案した方法を用いると、量子効率 γ を知ることによって基板正孔電流密度を電界の関数として与えることが可能なので、 SiO_2 膜の絶縁破壊寿命の予測に応用が可能である。

6.6節 結言

nチャネルMOSFETにおける基板正孔電流の、 SiO_2 膜厚と SiO_2 電界に対する依存性を説明できる以下のモデルを提案した。「 SiO_2 膜にF-N注入され陽極に放出された電子によって電子-正孔対が生成し、この正孔のエネルギーが近似的にMaxwell分布に従い、そのうち SiO_2 -電極界面のエネルギー障壁に打ち勝って SiO_2 中にショットキー放出される高エネルギーの正孔が、nチャネルMOSFETの基板正孔電流を構成する。」

67、86、131 Åのゲート SiO_2 膜を有するnチャネルMOSFETと、ほぼ同一膜厚のゲート SiO_2 膜（69、87、130Å）を有するpチャネルMOSFETを用意し、キャリア分離法を用いて、ゲート電極から SiO_2 中にF-Nトンネル注入されホットになった電子がシリコン基板に放出される時の平均エネルギーを得た。この平均エネルギーが、nチャネルMOSFETにおいてシリコン基板から SiO_2 中にF-Nトンネル注入されポリシリコン電極に放出される電子の平均エネルギーと等しい、と仮定した。ポリシリコン電極に放出される電子の平均エネルギーと、ポリシリコン電極中で生成する正孔のエネルギー分布との関係を仮定することで、 SiO_2 -ポリシリコン界面のエネルギー障壁に打ち勝って SiO_2 中にショットキー放出される正孔の密度を計算した。この計算が、一組のフィッティングパラメーターを用いて、基板正孔電流の SiO_2 膜厚と SiO_2 電界に対する依存性を良く再現することを示した。

参考文献

[1] 例として以下の文献がある。

D. L. Crook, in Proceedings of 1979 International Reliability Physics Symposium, 1979, p. 1.

K. Yamabe, K. Taniguchi, and Y. Matsushita, in Proceedings of 1983 International Reliability Physics Symposium, 1983, p. 184.

K. Yamabe and K. Taniguchi, IEEE Trans. Electron Devices ED-32, 423 (1985).

J. W. McPherson and D. A. Baglee, J. Electrochem. Soc, 132, 1903 (1985).

J. W. McPherson and D. A. Baglee, in Proceedings of 1985 International Reliability Physics Symposium, 1985, p. 1.

Y. Hokari, T. Baba, and N. Kawamura, IEEE Trans. Electron Devices ED-32, 2485 (1985).

J. S. Suehle, P. Chaparala, C. Messick, W. M. Miller, and K. C. Boyko, in Proceedings of 1994 International Reliability Physics Symposium, 1994, p. 120.

D. J. Dumin, J. R. Maddux, R. S. Scott, and R. Subramoniam, IEEE Trans. Electron Devices ED-41, 1570 (1994).

[2] T. H. DiStefano and M. Shatzkes, J. Vac. Sci. Technol., 12, 37 (1975).

[3] T. H. DiStefano and M. Shatzkes, J. Vac. Sci. Technol., 13, 50 (1976).

[4] M. Shatzkes and M. Av-Ron, J. Appl. Phys. 47, 3192 (1976).

[5] N. Klein, J. Appl. Phys. 53, 5828 (1982).

[6] S. Holland, I. C. Chen, T. P. Ma, and C. Hu, IEEE Electron Device Lett. EDL-5, 302 (1984).

[7] I. C. Chen, S. E. Holland, and C. Hu, IEEE Trans. Electron Devices ED-32, 413 (1985).

[8] I. C. Chen, S. Holland, and C. Hu, IEEE Electron Device Lett. EDL-7, 164 (1986).

[9] I. C. Chen, S. Holland, K. K. Young, C. Chang, and C. Hu, Appl. Phys. Lett. 49, 669 (1986).

[10] K. F. Schuegraf and C. Hu, in Digest of Technical Papers of 1993 Symposium on VLSI

Technology, 1993, p. 43.

- [11] K. F. Schuegraf and C. Hu, in Proceedings of 1994 International Reliability Physics Symposium, 1994, p. 126.
- [12] K. F. Schuegraf, D. Park, and C. Hu, in Proceedings of 1994 International Electron Device Meeting, 1994, p. 609.
- [13] M. V. Fischetti, Z. A. Weinberg, and J. A. Calise, *J. Appl. Phys.*, *57*, 418 (1985).
- [14] Y. Nissan-Cohen, J. Shappir, and D. Frohman-Bentchkowsky, *J. Appl. Phys.*, *57*, 2830 (1985).
- [15] M. V. Fischetti, *Phys. Rev. B*, *31*, 2099 (1985).
- [16] Z. A. Weinberg, M. V. Fischetti, and Y. Nissan-Cohen, *J. Appl. Phys.*, *59*, 824 (1986).
- [17] H. Uchida and T. Ajioka, *Appl. Phys. Lett.*, *51*, 433 (1987).
- [18] Z. A. Weinberg and M. V. Fischetti, *J. Appl. Phys.* *57*, 443 (1985).
- [19] Z. A. Weinberg, M. V. Fischetti, and Y. Nissan-Cohen, *J. Appl. Phys.* *59*, 824 (1986).
- [20] D. Arnold, E. Cartier, and D. J. DiMaria, *Phys. Rev. B* *45*, 1477 (1992).
- [21] D. J. DiMaria, D. Arnold, and E. Cartier, *Appl. Phys. Lett.*, *60*, 2118 (1992).
- [22] D. J. DiMaria, E. Cartier, and D. Arnold, *J. Appl. Phys.* *73*, 3367 (1993).
- [23] Z. A. Weinberg, W. C. Johnson, and M. A. Lampert, *J. Appl. Phys.* *47*, 248 (1976).
- [24] C. Chang, C. Hu, and R. W. Brodersen, *J. Appl. Phys.* *57*, 302 (1985).
- [25] D. J. DiMaria, T. N. Theis, J. R. Kirtley, F. L. Pesavento, D. W. Dong, and S. D. Brorson, *J. Appl. Phys.* *57*, 1214 (1985).
- [26] M. V. Fischetti, D. J. DiMaria, S. D. Brorson, T. N. Theis, and J. R. Kirtley, *Phys. Rev. B* *31*, 8124 (1985).
- [27] J. N. Bradford and S. Woolf, *Radiation Effects and Defects in Solids*, *117*, 227 (1991).
- [28] S. D. Brorson, D. J. DiMaria, M. V. Fischetti, F. L. Pesavento, P. M. Solomon, and D. W. Dong, *J. Appl. Phys.* *58*, 1302 (1985).
- [29] D. J. DiMaria, M. V. Fischetti, E. Tierney, and S. D. Brorson, *Phys. Rev. Lett.* *56*, 1284

(1986).

[30] D. J. DiMaria, Appl. Phys. Lett., 51, 655 (1987).

[31] E. O. Kane, Phys. Rev. 159, 624 (1967).

[32] W. E. Drummond and J. L. Moll, J. Appl. Phys. 42, 5556 (1971).

[33] R. C. Alig, S. Bloom, and C. W. Struck, Phys. Rev. B 22, 5565 (1980).

[34] K. Kobayashi, A. Teramoto, M. Hirayama, and Y. Fujita, J. Appl. Phys. 77, 3277 (1995).

Appendix 6A (6-2)式の導出

Maxwell分布においては、質量 m の粒子の運動量の成分を p_x, p_y, p_z とすると、 x 方向の運動量成分の確率分布は、

$$dw_{p_x} = \sqrt{\frac{1}{2\pi mkT}} \exp\left(-\frac{p_x^2}{2mkT}\right) dp_x \quad (6-20)$$

の形をとる。

SiO_2 -ポリシリコン界面が x 軸に垂直であるとする。ポリシリコン電極中で生成した正孔のうち、 x 方向の運動量 p_x が

$$\frac{p_x^2}{2m_h^*} > \frac{p_{xc}^2}{2m_h^*} = q\Phi_h \quad (6-21)$$

であるような正孔だけが SiO_2 膜に放出されると仮定する。ここで m_h^* は正孔の有効質量、 Φ_h は SiO_2 -ポリシリコン界面の正孔に対するエネルギー障壁高さである。 p_x と p_x+dp_x の間の運動量をもった正孔による電流の x 成分は、生成した正孔の SiO_2 -ポリシリコン界面での密度を n_s とするとき、

$$dJ_x = qv_x n_s dw_{v_x} = \frac{q}{m_h^*} p_x n_s dw_{p_x} \quad (6-22)$$

で表される。全正孔電流を求めるには、(6-22)式を $q\Phi_h$ に対応した運動量の値 p_{xc} から ∞

まで積分すればよい。すなわち、

$$\begin{aligned}
 J_x &= \frac{q}{m_h^*} n_s \int_{p_{xc}}^{\infty} \sqrt{\frac{1}{2\pi m_h^* kT}} \exp\left(-\frac{p_x^2}{2m_h^* kT}\right) p_x dp_x \\
 &= \frac{q}{m_h^*} n_s \sqrt{\frac{1}{2\pi m_h^* kT}} (-m_h^* kT) \int_{p_{xc}}^{\infty} -\frac{p_x}{m_h^* kT} \exp\left(-\frac{p_x^2}{2m_h^* kT}\right) dp_x \\
 &= -qn_s \left(\frac{kT}{2\pi m_h^*}\right)^{\frac{1}{2}} \cdot \left[\exp\left(-\frac{p_x^2}{2m_h^* kT}\right) \right]_{p_{xc}}^{\infty} \\
 &= qn_s \left(\frac{kT}{2\pi m_h^*}\right)^{\frac{1}{2}} \exp\left(-\frac{p_{xc}^2}{2m_h^* kT}\right). \tag{6-23}
 \end{aligned}$$

x方向の全正孔電流が基板正孔電流 $J_{p,sub}$ を与えると仮定し、(6-21)式を用いると

$$J_{p,sub} = qn_s \left(\frac{W_{hg}}{2\pi m_h^*}\right)^{\frac{1}{2}} \exp\left(-\frac{q\Phi_h}{W_{hg}}\right) \tag{6-24}$$

が得られる。ここで $kT=W_{hg}$ と置いた。

Appendix 6B (6-14)式の導出

図6-6に示すように、pチャネルMOSFETのソースドレインと基板（またはnウエル）を接地し負ゲートバイアスを印加すると、ゲート電極からSiO₂中にF-Nトンネル注入された電子はSiO₂中の電界によって加速され、ホットになった電子がシリコン基板に放出される。この時、放出される電子一個に対しシリコン基板中で生成する電子-正孔対の

数の平均を、量子効率 γ と呼ぶ。シリコン基板に放出される電子のエネルギーが高いほど、量子効率 γ は大きくなる。

シリコン基板中で生成した正孔はチャネルからソースドレインに流れ、チャネル電流 $I_{p,ch}$ として観測される。いまゲート電流を I_g とするときチャネル電流 $I_{p,ch}$ は、

$$I_{p,ch} = \gamma I_g \quad (6-25)$$

の関係を持つ。

F-N注入され SiO_2 からシリコン基板に放出された電子と、シリコン基板中で生成した電子とは基板電流 $I_{n,sub}$ を形成する。よって基板電流 $I_{n,sub}$ は、

$$I_{n,sub} = (\gamma+1) I_g \quad (6-26)$$

で表される。

(6-25)、(6-26)式から(6-14)式が得られる。

$$\gamma = \frac{I_{p,ch}}{I_{n,sub} - I_{p,ch}} \quad (6-14)$$

すなわちチャネル電流 $I_{p,ch}$ と基板電流 $I_{n,sub}$ を測定することで、量子効率 γ を求めることができる[17],[18]。

Appendix 6C 電子の平均エネルギー W_{avg}

シリコン基板にエネルギー W の電子が放出される時、その電子によってシリコン基板中で生成する電子-正孔対の数、すなわち量子効率 γ は、

$$\gamma(W) = \langle n \rangle = \sum_{n=0}^{\infty} n p_n(W) \quad (6-27)$$

で表される。ここで $p_n(W)$ はエネルギー E の電子がシリコン中で n 個の電子-正孔対を生成する確率であり、ブラケット $\langle \rangle$ は平均値を意味する。

また、シリコン基板に放出される電子がエネルギー分布 $N_e(W)$ を有するとき、量子効率は以下の式で与えられる。

$$\langle \gamma(W) \rangle = \frac{\int_0^{\infty} \gamma(W) N_e(W) dW}{\int_0^{\infty} N_e(W) dW} \quad (6-28)$$

pチャネルMOSFETのキャリア分離測定から実際に測定される量子効率は、(6-28)式の $\langle \gamma(W) \rangle$ である。

Aligら[33]やChangら[24]が示した結果から、量子効率 γ が近似的に電子のエネルギー W と比例していると仮定できるとすると、

$$\gamma(W) = aW + b; a, b \text{ は定数} \quad (6-29)$$

と置くことができ、このとき

$$\langle \gamma(W) \rangle = a\langle W \rangle + b = \gamma(\langle W \rangle) \quad (6-30)$$

が得られる。(6-29)式の近似が成り立つときには、(6-27), (6-30)式より

$$\langle \gamma(W) \rangle = \gamma(\langle W \rangle) = \sum_{n=0}^{\infty} n p_n(\langle W \rangle) \quad (6-31)$$

を得ることが出来る。

Changら[24]は、(6-27)式とAligら[33]の $p_n(W)$ の計算結果を用いて量子効率 γ とエネルギー W の関係を求めた。実験的に得られる量子効率 $\langle \gamma(W) \rangle$ とChangらが計算した γ - W の関係から、シリコン基板に放出された電子の平均エネルギー $\langle W \rangle (=W_{\text{avg}})$ を得ることが出来る。

第7章 シリコン酸化膜の経時絶縁破壊特性の面積依存性^{[6],[7]}

7.1節 はじめに

MOS (Metal-Oxide-Semiconductor) 構造中の SiO_2 膜に対し高電界を加え続けると、ついには経時絶縁破壊 (Time Dependent Dielectric Breakdown (TDDB)) が誘起される。一般に SiO_2 膜のTDDBに起因するデバイスの故障は、瞬間故障率の時間変化から初期故障領域と磨耗故障領域の二つの領域に大別される。初期故障領域においては瞬間故障率が電界印加時間の増加につれて減少し、磨耗故障領域においては瞬間故障率は電界印加時間の増加につれて増加する。情報の書き換えに際してトンネル SiO_2 膜に高電界を加えて電子の輸送を行うフラッシュメモリのようなデバイスを市場に出荷するとき、トンネル SiO_2 膜のTDDBに起因する市場故障率を例えば1%以下のような低水準に抑制するためには、瞬間故障率が急激に増加するような磨耗故障領域に至るまで情報の書き換えを繰り返すことは避けなければならない。フラッシュメモリの情報の1回の書き換えに必要な電荷の移動量は一定であるから、磨耗故障に至るまでにトンネル SiO_2 膜を通過することの出来る電荷量 (Charge-to-Breakdown, Q_{BD}) は情報の書き換え回数を制限する1つの要因となる。

一方、フラッシュメモリの高集積化に伴い、1チップ当たりのトンネル SiO_2 膜の面積が増加する。これまで、TDDBの初期故障領域における SiO_2 膜の故障率の面積依存性については幾つかの報告がなされており、初期故障率は SiO_2 膜の面積の増加につれて増加し、 SiO_2 膜の面内に分布した欠陥に起因することが知られている[1],[2]。初期故障を誘起する欠陥の密度は、金属不純物によるシリコン基板表面の汚染[3]・シリコン基板表面の酸素濃度や炭素濃度[4]・ゲート電極にアルミニウムを用いた場合にはその膜厚[1]などに依存する。磨耗故障領域における故障率の面積依存性については、 SiO_2 膜の面積の

増加につれて故障率が増加することが指摘されている[2],[5]。しかし摩耗故障の原因に関する物理的な定説が確立されていないため、故障率の面積依存性に関しても十分に理解されていないのが現状である。

本章では、SiO₂膜の摩耗故障領域におけるTDDB特性の面積依存性について着目し、MOSキャパシタの面積を変化させた実験を行い、その結果について、摩耗故障領域の絶縁破壊がSiO₂膜面内一様に分布する局所的な欠陥で発生しているという考えに基づいた検討を行う。異なった面積のSiO₂膜の故障分布関数と、膜厚が異なる2種類のSiO₂膜の故障分布関数についての解析を行い、欠陥の面密度の時間変化や膜厚依存性について議論する。

7.2 節 試料作成

本実験では、比抵抗8.5~11.5Ωcmのp型(100)基板の表面にMOSキャパシタを形成した。LOCOS (Local Oxidation of Silicon) 法により4000Åの分離酸化膜を形成した後、ゲートSiO₂膜を、750℃のパイロジェニック酸化法 (O₂/H₂ = 1/1.8) により形成した。膜厚は69Åと87Åである。ゲート電極は、リンドープトポリシリコンを減圧CVD法で堆積し、パターンニングすることによって形成した。リンドープトポリシリコンの膜厚は約2000Åであり、リン濃度は6 x 10²⁰ cm⁻³である。常圧CVD法で厚いボロンリンガラス膜 (SiO₂膜) を堆積し850℃のアニールを加えた後、コンタクトホールを開孔し、アルミニウム配線を形成した。その後、450℃の水素アニールを行った。

図1に形成したMOSキャパシタの断面模式図を示す。ゲートSiO₂膜の面積は10⁻⁶~10⁰ mm²の7種類である。TDDB測定は、ゲートSiO₂膜中の電界 (E_{ox}) が^s-12.5 MV/cmとなるようにゲート電極に電圧を加え、SiO₂膜が絶縁破壊する時間 (T_{BD}) を測定した。試料数は各面積について約60個である。

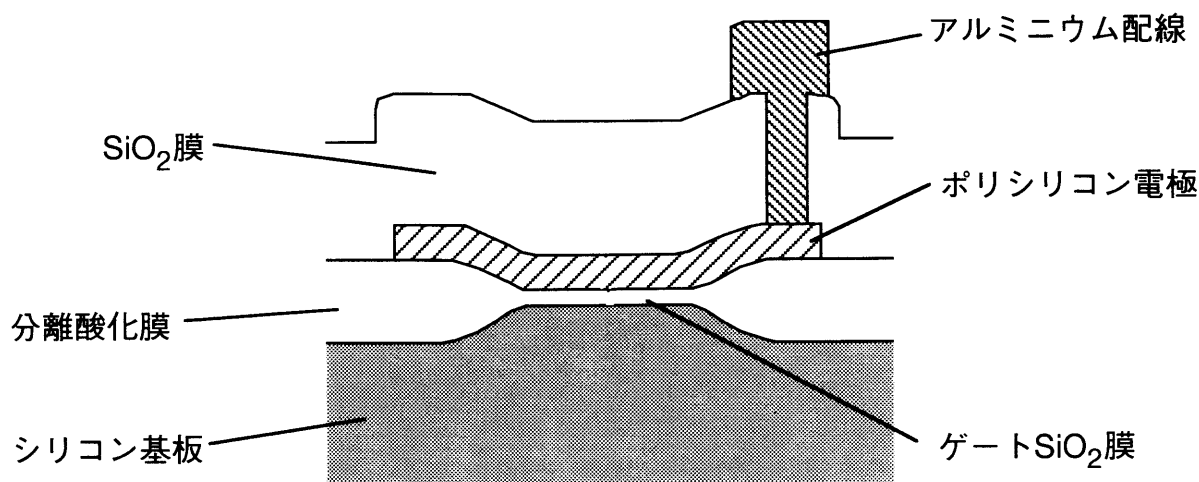
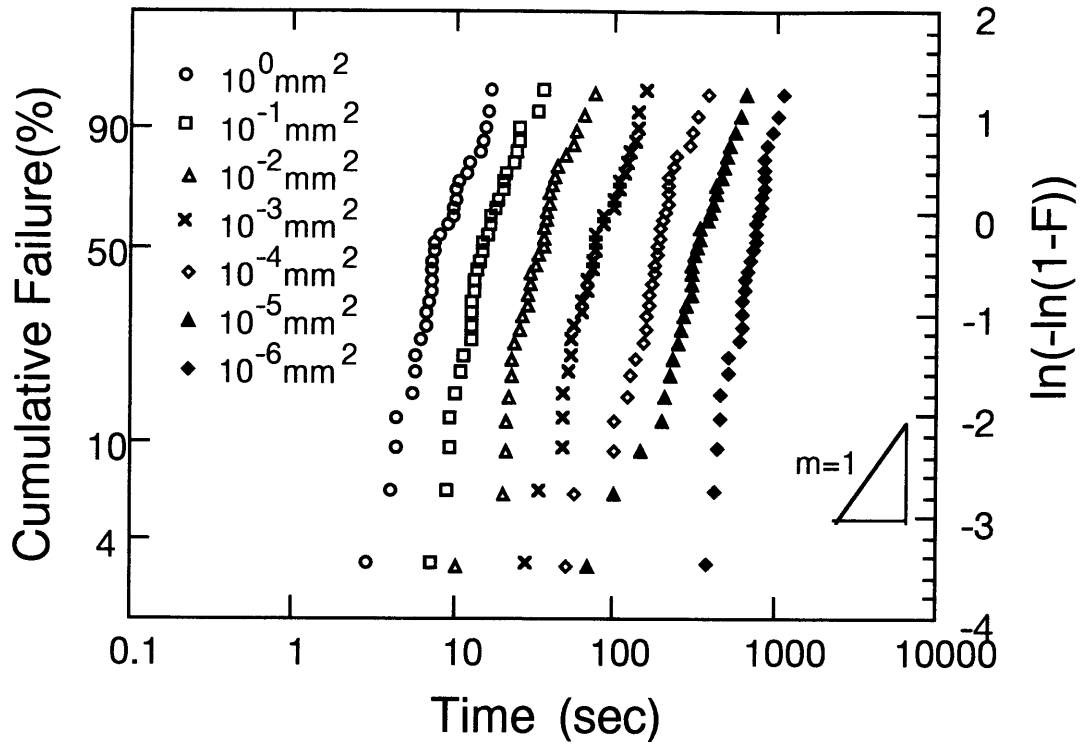


図 7-1 測定に用いたMOSキャパシタの断面模式図

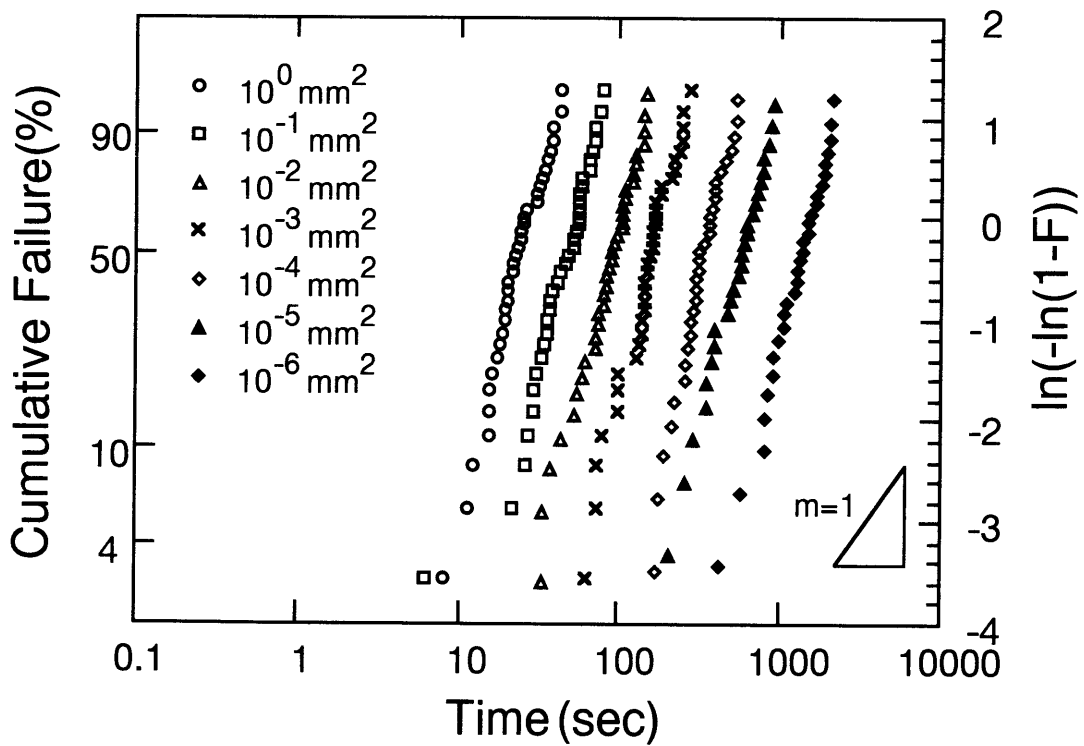
7.3 節 実験結果と考察

図 7-2 は、ゲート SiO_2 膜厚が 69 \AA と 87 \AA の場合の累積故障率と電圧印加時間の関係を示したワイブルプロットである。(ワイブルプロットについては Appendix 7A を参照。) 両方の膜厚の全ての面積の TDDB 特性は、ワイブルプロット中で各々 1 つの直線にのることが分かる。これらの直線の傾きから得られるワイブル分布の形状パラメータ m は、図 7-2 から分かるようにいずれの膜厚においても 1 より大きな値を示すことから、絶縁破壊は磨耗故障モードで起こったことがわかる。また、いずれの膜厚の場合もゲート SiO_2 膜の面積が小さくなるにつれて絶縁破壊が早く起こることがわかる。

ここで、磨耗故障領域の SiO_2 膜寿命を表わす量として累積故障率が 50% に達した時間を絶縁破壊寿命 T_{BD} と定義する。図 7-3 は、絶縁破壊寿命 T_{BD} の面積依存性を示している。膜厚 69 \AA 、 87 \AA とともに、面積の増加につれて絶縁破壊寿命 T_{BD} が単調に減少している。また、測定面積の全範囲で、 87 \AA の SiO_2 膜に比べ 69 \AA の SiO_2 膜の T_{BD} が小さいことがわかる。



(a) 69 Å の場合



(b) 87 Å の場合

図 7-2 ゲートSiO₂膜厚が69 Å(a)と87 Å(b)の場合の、電圧印加時間と累積故障率の関係のワイブルプロット。SiO₂電界は-12.5 MV/cmである。

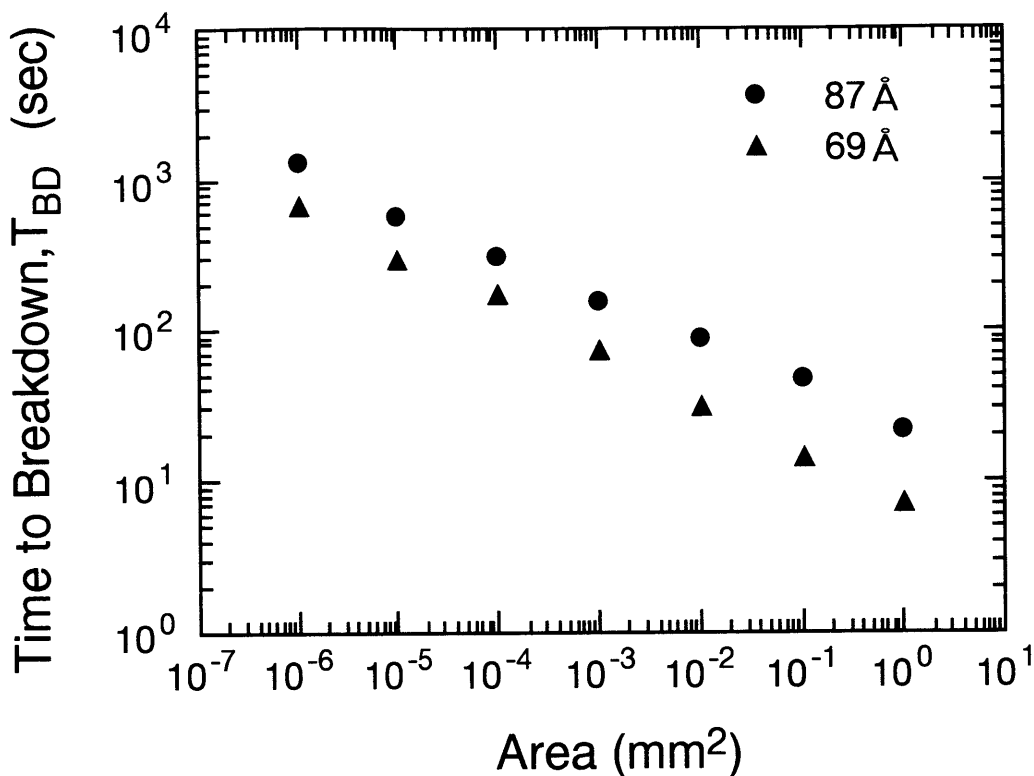


図 7-3 絶縁破壊寿命 T_{BD} (累積故障率が50%に達した時間) の面積依存性。膜厚 69Å、87Åともに、面積の増加につれて絶縁破壊寿命 T_{BD} が単調に減少している。また、測定面積の全範囲で、87Åの T_{BD} に比べ69Åの T_{BD} が小さくなっている。

図 7-2 の結果は言い換えると、同一の電圧印加時間においては、ゲート SiO_2 膜の面積が大きくなるにつれて累積故障率が増加することを示している。このような SiO_2 膜の摩耗故障領域におけるTDDB特性の面積依存性を解釈するために、絶縁破壊が SiO_2 膜面内一様に分布する局所的な欠陥で発生していると考ええる。また、その欠陥の面内分布は、Poisson分布に従うと仮定する。このとき累積故障率 $F(t)$ は、

$$1-F(t)=\exp(-S \cdot D(t)) \quad (7-1)$$

で表わされる。ここで S はゲート SiO_2 膜面積であり、 $D(t)$ は時間 t までに絶縁破壊を起こした欠陥の面密度である。

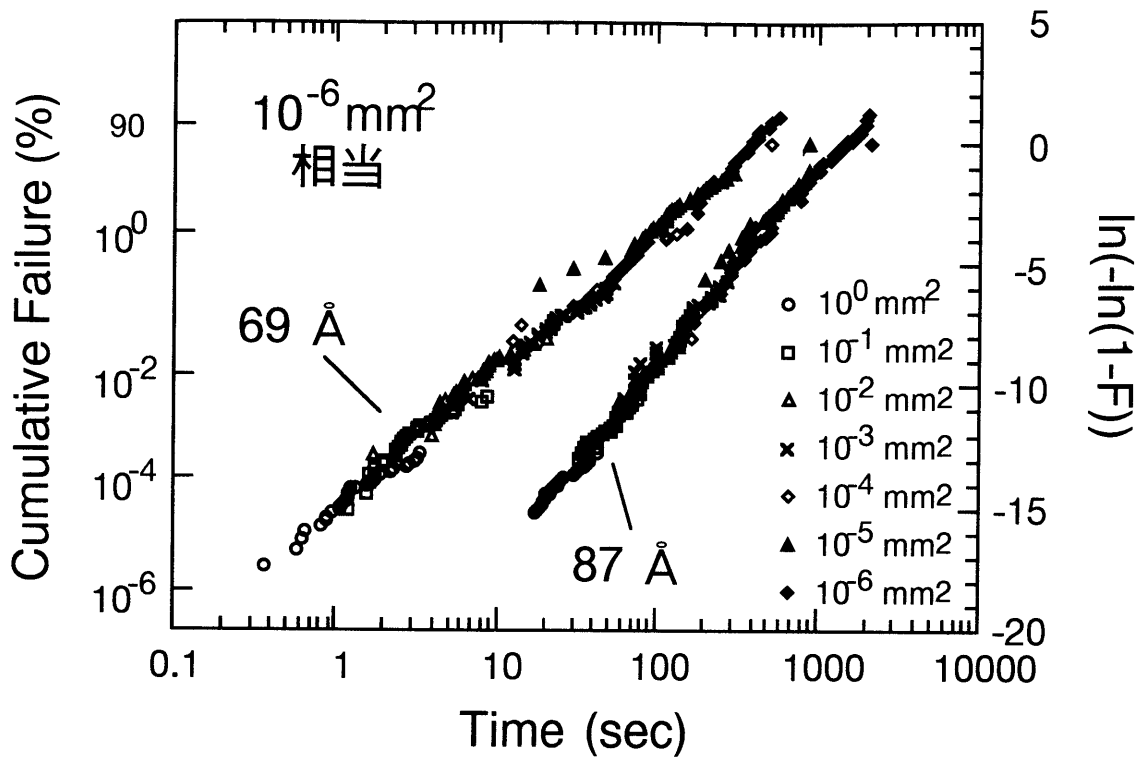


図 7-4 $10^6 \sim 10^0 \text{ mm}^2$ の面積の累積故障率を、全て 10^6 mm^2 の面積における累積故障率に変換した結果。69 Å、87 Å の膜厚ともに、 $10^6 \sim 10^0 \text{ mm}^2$ の 7 種類の面積のキャパシタのデータがワイブルプロット上でそれぞれ一本の直線にのっている。この結果から、 $10^6 \sim 10^0 \text{ mm}^2$ の面積の SiO_2 膜の絶縁破壊が、同じ膜厚に対しては同一のワイブル故障分布関数に従っていると考えられる。

さて今、ゲート SiO_2 膜面積が S_1 のキャパシタの累積故障率を F_1 、面積 S_2 のキャパシタの累積故障率を F_2 とすると、(7-1)式より、

$$1-F_1(t) = \exp(-S_1 \cdot D(t)) \quad (7-2)$$

$$1-F_2(t) = \exp(-S_2 \cdot D(t)) \quad (7-3)$$

が得られる。(7-2)、(7-3)式より

$$1-F_1(t) = (1-F_2(t))^{S_1/S_2} \quad (7-4)$$

が得られる。すなわち、欠陥が1つのPoisson分布に従うときには、ある面積のキャパシタの累積故障率が分かると、異なった面積での累積故障率を求めることができる。(7-4)式を用いて、図7-1の各面積の累積故障率を、全て 10^6 mm^2 の面積における累積故障率に変換した結果を図7-4に示す。69 Å、87 Åの膜厚ともに、 $10^6 \sim 10^0 \text{ mm}^2$ の7種類の面積のキャパシタのデータがワイブルプロット上でそれぞれ一本の直線にのっている。この結果から、 $10^6 \sim 10^0 \text{ mm}^2$ の面積の SiO_2 膜の絶縁破壊が、同じ膜厚に対しては同一のワイブル故障分布関数に従っていると考えられる。また、図7-4のワイブルプロットの形状パラメータ m が69 Å、87 Åの場合で異なることから、膜厚が異なる SiO_2 膜は異なった故障分布関数を有すると言える。以上の結果を用いれば、ある面積のMOSキャパシタの SiO_2 膜の寿命を測定することによって、実際に製品化するデバイスのゲート SiO_2 膜の面積に対応する磨耗故障寿命を、(7-4)式を用いて見積もることができる。

次に、 SiO_2 膜の絶縁破壊がシリコン基板面内一様に分布する局所的な欠陥で発生しており、その欠陥の面内分布はPoisson分布に従うという先の仮定のもとでは、累積故障率 $F(t)$ は(7-1)式で表されるので、欠陥の面密度 $D(t)$ の時間変化は以下の式で与えられる。

$$D(t) = -\ln(1-F(t))/S \quad (7-5)$$

また、時間 t においてその瞬間に絶縁破壊を起こした欠陥の面密度 $D'(t)$ は、時間 t までに絶縁破壊を起こした欠陥の面密度 $D(t)$ を時間 t で微分することにより、以下の式で求めることができる。

$$D'(t) = dD(t)/dt \quad (7-6)$$

図7-5は、(7-5)、(7-6)式によって求めた $D'(t)$ と電圧印加時間 t の関係を示している。69 Å、87 Åの膜厚の場合にそれぞれ一本の直線にのっており、 $D'(t)$ は時間とともに増加している。 $D'(t)$ が時間とともに大きくなるということは、短い時間で絶縁破壊を起こす欠陥の密度が小さく、長い時間で破壊を起こす欠陥の密度がより大きいことを示している。

また、実験を行った全ての時間において69ÅのSiO₂膜は欠陥密度D'(t)が87Åの場合よりも大きく、グラフの傾きは小さくなっている。それぞれの膜厚での欠陥密度D'(t)と時間tの関係を最小自乗法を用いて求めると、

$$69 \text{ \AA} \text{ の SiO}_2 \text{ 膜 に対して } D'(t) = 3.4 \times 10^{-3} \times t^{2.0} \text{ (mm}^{-2}\text{)} \quad (7-7)$$

$$87 \text{ \AA} \text{ の SiO}_2 \text{ 膜 に対して } D'(t) = 3.8 \times 10^{-5} \times t^{2.5} \text{ (mm}^{-2}\text{)} \quad (7-8)$$

が得られる。

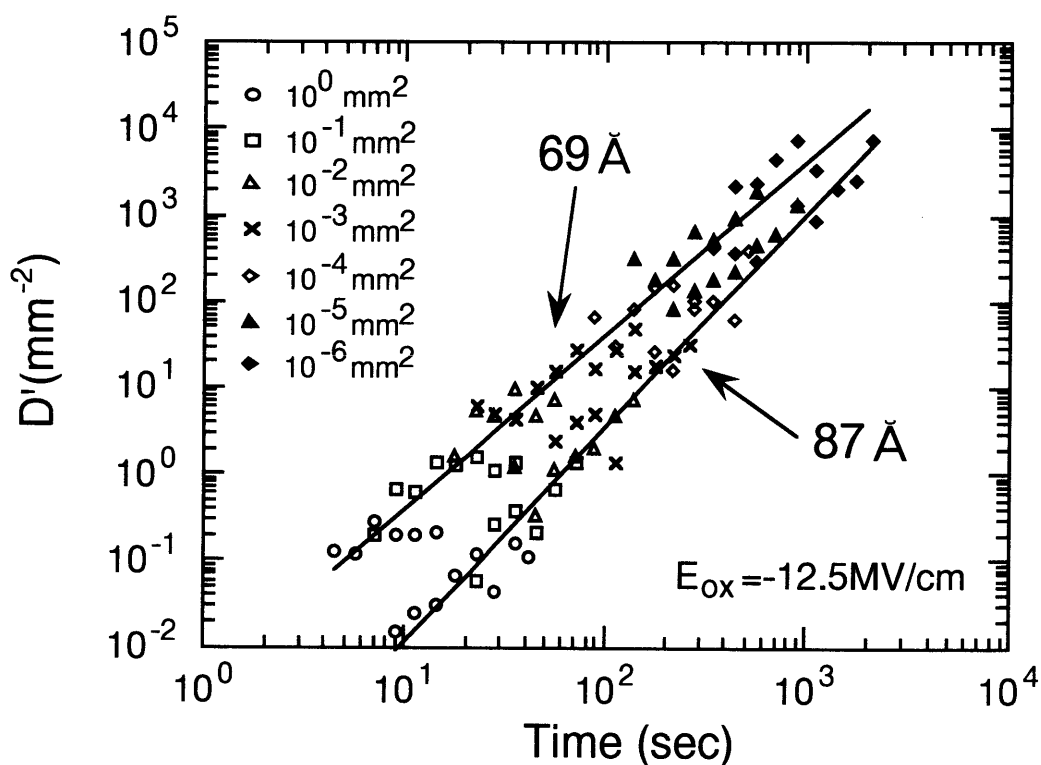
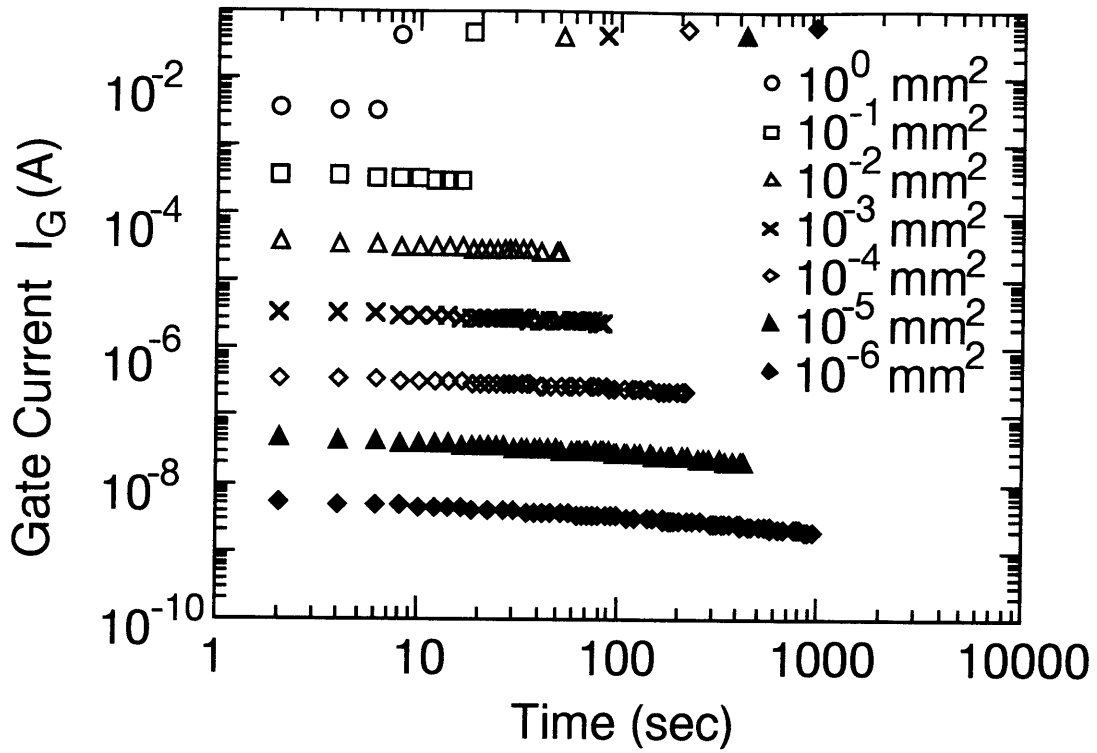


図 7-5 時間tにおいてその瞬間に絶縁破壊を起こした欠陥の面密度D'(t)と電圧印加時間tの関係。D'(t)は時間とともに増加しており、短い時間で絶縁破壊を起こす欠陥の密度が小さく、長い時間で破壊を起こす欠陥の密度がより大きいことを意味している。また69ÅのSiO₂膜は、実験を行った全ての時間での欠陥密度D'(t)が87Åの場合よりも大きい。

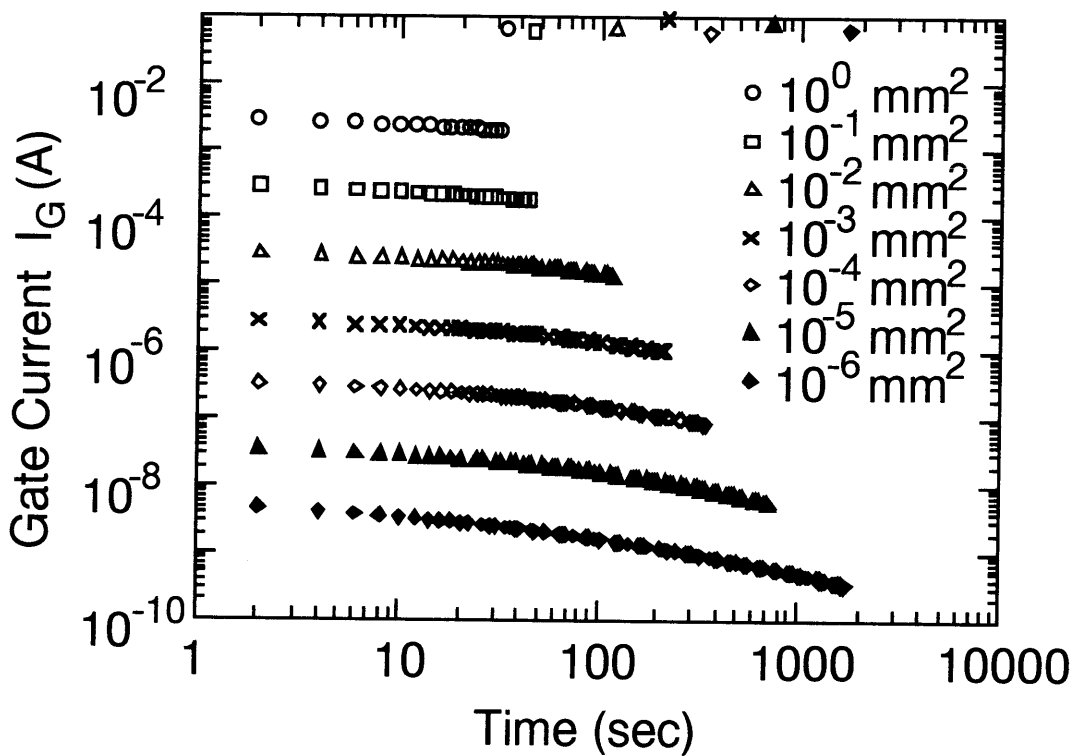
先の仮定に基づけば、このような欠陥密度 $D'(t)$ の時間依存性が、 SiO_2 膜の磨耗故障領域におけるTDDDB特性を決定していると考えられることができる。図7-5の横軸は欠陥によって SiO_2 膜が絶縁破壊するまでの時間を与えているが、この時間 t が電圧印加に対する欠陥の耐性を表している。TDDDB特性の面積依存性については、短時間で絶縁破壊に結びつく密度の小さい欠陥は大きい面積でないと SiO_2 膜に存在せず、絶縁破壊に長時間を有する密度の大きい欠陥は、小さい面積でも SiO_2 膜に存在するためと解釈できる。よって、面積が小さくなると絶縁破壊寿命が長くなる。また、TDDDB特性の膜厚依存性については、69 Åの SiO_2 膜は欠陥密度 $D'(t)$ が87 Åの場合よりも大きく、このため69 Åの SiO_2 膜は87 Åの場合に比べてより短時間で絶縁破壊に結びつく欠陥を含むことになり、69 Åの SiO_2 膜の絶縁破壊寿命が短くなる。

密度 $D'(t)$ を有する欠陥の物理的な描像はこれまでのところ明らかにはなっていない。局所的に SiO_2 膜が薄くなった領域や、トラップが空間的に局在化した領域の存在が可能性として考えられるが、ここで仮定した欠陥の物理化学的な構造の解明は、今後の課題である。

次に図7-6 (a) と (b) は69 Å、87 Åの各膜厚において、 $10^6 \sim 10^0 \text{ mm}^2$ の面積の SiO_2 膜に-12.5 MV/cmの電界を加えたときに SiO_2 膜が破壊するまでに流れたゲート電流(I_G)の時間変化を示している。電界印加初期のゲート電流は、Fowler-Nordheim (F-N) トンネル電流によるものであり、面積に比例した電流が流れている。電界印加時間の経過とともに全ての条件のゲート電流 I_G が減少しており、このゲート電流の減少は、電子のF-Nトンネル注入により SiO_2 膜に電子が捕獲され、陰極側の SiO_2 膜電界が低下したことによってトンネル電流が減少したためと考えられる。また、電界印加時間の経過とともにゲート電流 I_G の減少が、87 Åの場合に69 Åと比較して大きく、この傾向は面積が小さく T_{BD} が長い場合に顕著である。ここで、絶縁破壊に至るまでに流すことのできた総電荷量 Q_{BD} をゲート電流 I_G の時間積分によって求めると、 Q_{BD} と SiO_2 膜面積の関係は図7-7のようになる。69 Å、87 Åともに面積が大きくなるにつれて Q_{BD} が減少している。また図7-3で示したように、絶縁破壊寿命 T_{BD} は $10^0 \text{ mm} \sim 10^6 \text{ mm}^2$ の全面積において87 Åよ



(a) 69 Å の場合



(b) 87 Å の場合

図 7-6 69 Å、87 Å の各膜厚において、 $10^6 \sim 10^0 \text{ mm}^2$ の面積の SiO_2 膜に -12.5 MV/cm の電界を加えたときのゲート電流 (I_G) の時間変化。

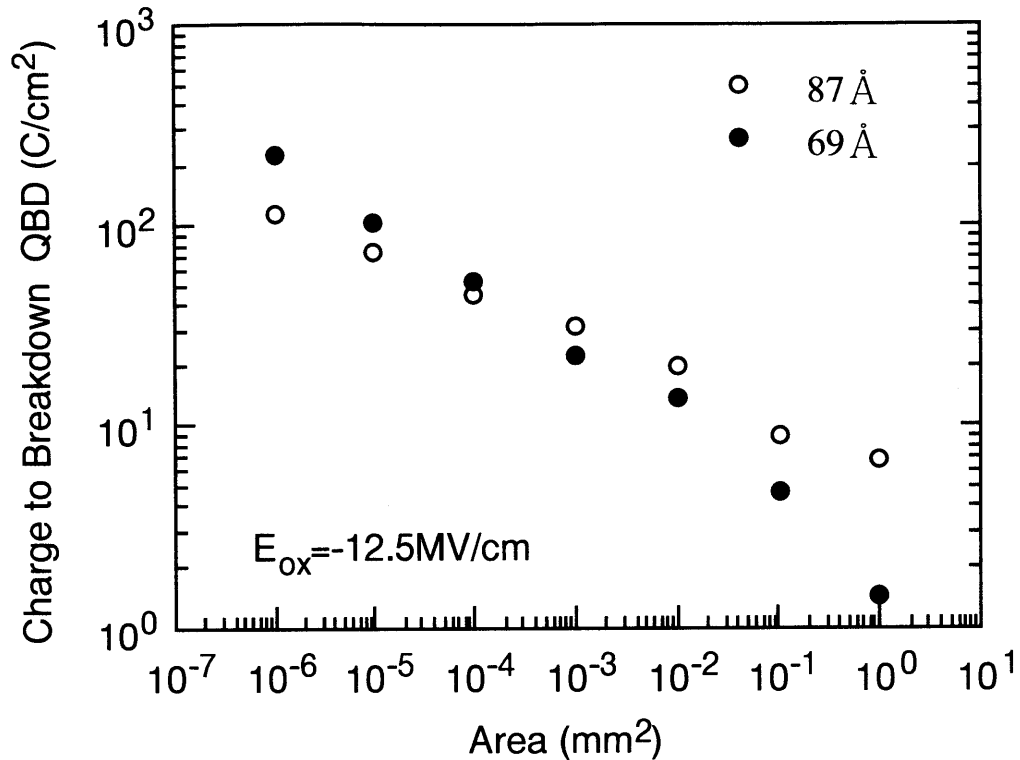


図7-7 絶縁破壊に至るまでに流すことの出来た総電荷量 Q_{BD} と SiO_2 膜面積の関係。
69Å、87Åともに面積が大きくなるにつれて Q_{BD} が減少している。また図7-3で
示したように、絶縁破壊寿命 T_{BD} は $10^0 mm \sim 10^6 mm^2$ の全面積において87Åより69
Åの方が小さい値を示したのに対し、 Q_{BD} は $10^4 mm^2$ より小さい面積では69Åの
方が87Åより大きな値となっている。

り69Åの方が小さい値を示したのに対し、 Q_{BD} は $10^4 mm^2$ より小さい面積では69Åの方が
87Åより大きな値となっている。この結果は、図7-6 (a) と (b) において示した時
間の経過にともなうゲート電流 I_G の減少が、87Åの場合に69Åと比較して大きいことに
起因している。つまり、電界印加時間が長くなるにつれてゲート電流 I_G が小さくなるた
め、通過電荷量 Q_{BD} は寿命 T_{BD} の増加ほどには大きくなり、87Åの SiO_2 膜の時間の長い
領域での I_G の減少が顕著であるため、 T_{BD} の長い小面積の領域での Q_{BD} が69Åのものと同
転してしまったのである。

第1章において述べたように、フラッシュメモリにおいては磨耗故障に至るまでにト
ンネル SiO_2 膜を通過することの出来る電荷量 Q_{BD} が書き換え回数を制限する1つの要因で

ある。NOR型の16 Mbitフラッシュメモリでは消去動作時にF-Nトンネリングによって電子が通過するトンネルSiO₂膜の面積は、1チップ当たり5 x 10⁻² mm²程度と見積もられ、この面積におけるQ_{BD}は87 Åの場合に約11 C/cm²、69 Åの場合に約6 C/cm²とSiO₂膜が厚い場合にQ_{BD}が大きくなる。また、10⁵回の書き換えを行う場合には7 C/cm²以上のQ_{BD}が必要と見積もられるが、69 Åの場合にはこの値よりもQ_{BD}が小さいため10⁵回の書き換えを行うことは困難と考えられる。第3章の3.1節でも述べたように、今後のフラッシュメモリのメモリセルトランジスタの微細化につれてトンネルSiO₂膜の薄膜化が要求されるが、ここで示した結果はトンネルSiO₂膜の薄膜化によるQ_{BD}の減少がフラッシュメモリの微細化を制限する可能性を示している。このため、よりQ_{BD}の大きなトンネルSiO₂膜の形成技術を開発することが重要な課題と言える。

7.4 節 結言

SiO₂膜の経時絶縁破壊 (TDDDB) 特性のSiO₂膜面積とSiO₂膜厚に対する依存性を負ゲートバイアスの場合について調べ、以下の結果と結論を得た。

- (1) 69 Åと87 ÅのSiO₂膜において摩耗故障領域の絶縁破壊寿命T_{BD}に面積依存性があり、面積の増加とともにT_{BD}が小さくなることを示した。また、69 Å、87 Åともに面積が大きくなるにつれて絶縁破壊に至るまでに流すことのできる総電荷量Q_{BD}が減少することを明らかにした。
- (2) 測定面積の全範囲 (10⁻⁶ ~ 10⁰ mm²) で、87 ÅのSiO₂膜に比べ69 ÅのSiO₂膜のT_{BD}が小さいことを示した。また、Q_{BD}は10⁻⁴ mm²より小さい面積では69 Åの方が87 Åより大きな値となった。この結果は、SiO₂膜の電子捕獲により時間の経過にともなうゲート電流I_Gの減少が起こり、この減少が87 Åの場合に69 Åと比較して大きいことに起因している。
- (3) 絶縁破壊がSiO₂膜面にPoisson分布する局所的な欠陥で発生すると考え、10⁻⁶ ~

10^0 mm^2 の面積の SiO_2 膜の絶縁破壊が、同じ膜厚に対しては同一のワイブル故障分布関数に従うことを示した。また、膜厚が異なる SiO_2 膜は異なった故障分布関数を有することを示した。

(4) 時間 t においてその瞬間に絶縁破壊を起こす欠陥の面密度 $D'(t)$ は、電圧印加時間とともに増加することを示した。TDDB特性の面積依存性については、短時間で絶縁破壊に結びつく密度の小さい欠陥は大きい面積でないと SiO_2 膜に存在せず、絶縁破壊に長時間を有する密度の大きい欠陥は、小さい面積でも SiO_2 膜に存在するためと解釈できる。

(5) 実験を行った全ての時間に於いて 69 \AA の SiO_2 膜は欠陥密度 $D'(t)$ が 87 \AA の場合よりも大きい。このため 69 \AA の SiO_2 膜は 87 \AA の場合に比べてより短い時間で絶縁破壊を起こす欠陥を含むことになり、このため 69 \AA の SiO_2 膜の絶縁破壊寿命が短くなると解釈できる。

16 Mbitのフラッシュメモリのトンネル SiO_2 膜の1チップ当たりの面積は、 SiO_2 膜の薄膜化により Q_{BD} が減少する領域にある。この Q_{BD} の減少がフラッシュメモリの微細化を制限する可能性を指摘した。このため、より Q_{BD} の大きなトンネル SiO_2 膜の形成技術を開発することが重要な課題である。

参考文献

- [1] C.M.Osburn and D.W. Ormond, J.Electrochem. Soc., 119, 591 (1972).
- [2] A. Ditali and W. Black, Electronics Letters, 30, 487 (1994).
- [3] K. Yamabe and K. Taniguchi, IEEE Trans. Electron Devices, ED-32, 423 (1985).
- [4] H. Abe, F. Kiyosumi, K. Yoshioka, and M. Ino, in Proceedings of 1985 International Electron Device Meeting, 1985, p. 372.
- [5] R. Subramoniam, R. S. Scott, and D. J. Dumin, in Proceedings of 1992 International Electron

Device Meeting, 1992, p. 135.

[6] 熱酸化膜におけるTDDB特性の面積依存性；寺本章伸、小林清輝、平山誠、1994年春季第41回応用物理学関係連合講演会予稿集, 29p-ZW-6, p. 659.

[7] 熱酸化膜のTDDB特性における面積及び膜厚依存性；寺本章伸、小林清輝、平山誠、電子情報通信学会技術研究報告 SDM94-38(1994-7), p. 29 (1994).

Appendix 7A ワイブルプロット

n 個の試料を同時に動作耐久試験にかけた時、時間 t に満足に働いている試料を $n(t)$ とし、いわゆる残存率 $n(t)/n$ を求めると、これが試料から推定された信頼度 $R(t)$ になる。ここで、個々の試料が時間 t までに故障する確率（故障分布関数）は $F(t) = 1 - R(t)$ で、 $[n - n(t)]/n$ で推定される。単位時間にどれくらい故障していくかという割合は、

$$f(t) = dF(t)/dt = -dR(t)/dt \quad (7-9)$$

であり、故障確率密度関数と呼ばれる。瞬間故障率 $\lambda(t)$ は $f(t)$ をその時点で満足に動作している信頼度 $R(t)$ で割った形で与えられる。

$$\lambda(t) = \frac{f(t)}{R(t)} = -\frac{dR(t)/dt}{R(t)} \quad (7-10)$$

(7-10)式を積分して、 $t=0$ で $R(t)=1$ とおくと、

$$R(t) = \exp\left[-\int_0^t \lambda(t)dt\right] = \exp[-\phi(t)] \quad (7-11)$$

となる。

n 個の試料が時間 t までに全く故障しない確率は、

$$[1 - F(t)]^n = R(t)^n = \exp[-n\phi(t)] \quad (7-12)$$

と与えられる。

そしてある時間 t_0 まで故障が起こらず、 t_0 を過ぎると時間とともに累積故障数が増加し

てゆくという経験事実を表現するために、 $\phi(t)$ が持つべき性質として

$$\phi(t) = 0 \quad ; \quad 0 < t \leq t_0$$

$$\phi(t) \geq 0, \quad d\phi(t)/dt \geq 0 \quad ; \quad t_0 < t$$

を満たすことが必要と考え、このような関数形として、

$$\phi(t) = 0 \quad ; \quad 0 < t \leq t_0 \quad (7-13)$$

$$\phi(t) = \frac{(t-t_0)^m}{k} \quad ; \quad t_0 < t \quad (7-14)$$

を選び、

$$F(t) = 1 - \exp[-\phi(t)] = 1 - \exp\left[-\frac{(t-t_0)^m}{k}\right] \quad (7-15)$$

とした時、これをワイブルの故障分布関数という。ここで m を形状パラメーター、 t_0 を位置のパラメーター、 k を尺度のパラメーターという。試験開始直後から既に故障の起こる確率は0ではないと考えるならば、位置のパラメーター t_0 は0である。

故障確率密度関数 $f(t)$ は、

$$f(t) = \frac{m(t-t_0)^{m-1}}{k} \exp\left[-\frac{(t-t_0)^m}{k}\right] \quad (7-16)$$

で与えられる。また、瞬間故障率 $\lambda(t)$ は、

$$\lambda(t) = \frac{f(t)}{R(t)} = \frac{m(t-t_0)^{m-1}}{k} \quad (7-17)$$

で与えられる。ここで

$m=1$ のとき、 $\lambda(t)=1/k$ =一定 で指数分布となる。

$m>1$ のとき、 $\lambda(t)$ は単調増加で磨耗故障モードを表す。

$m<1$ のとき、 $\lambda(t)$ は単調減少で初期故障モードを表す。

位置のパラメータ $t_0 = 0$ の場合について、信頼度関数 $R(t)$ は、

$$R(t) = \exp\left[-\frac{t^m}{k}\right] \quad (7-18)$$

となり、この式から、

$$\ln\ln\left(\frac{1}{R(t)}\right) = \ln\ln\left(\frac{1}{1-F(t)}\right) = m\ln(t) - \ln(k) \quad (7-19)$$

が得られる。観測データの累積故障率 $F(t)$ がワイブル分布に従うとき、縦軸に $\ln \ln(1/(1-F(t)))$ を、横軸に時間 t を対数目盛でとると傾きが m で与えられる直線で表される。このようなプロットをワイブルプロットという。

第8章 素子分離のための局所酸化によってシリコン基板に誘起される応力の解析^{[22]-[24]}

8.1節 はじめに

LOCOS (Local Oxidation of Silicon) 法は、デバイスの微細化に対して極めて有用でありプロセスが簡便であることから、素子分離の方法としてバイポーラやMOSデバイスにおいて広く用いられている[1]。しかし、シリコン基板表面を局所的に酸化するために、基板表面に強い応力が発生し、しばしばシリコン基板に転位などの結晶欠陥を生ずることが知られている[2]-[5]。発生した結晶欠陥は、*p-n*接合のリーク電流を増加させるなどデバイス特性の劣化を引き起こす。このような応力に起因した問題を解決するために、LOCOS法によって形成する素子分離の構造とシリコン基板表面に誘起される応力の関係を理解することが重要である。しかし、シリコン基板表面の微細な素子分離構造の応力分布を測定によって求めることは難しく、X線Kossel法を用いたシリコン結晶の格子歪みの測定例があるのみであった[6]。このため従来は、シミュレーションにより応力解析を行い、得られた計算結果をもとに現象を説明する方法が主として採られてきた[7]-[10]。

ところで近年、微小部分からのラマン散乱を測定するための技術として顕微ラマン分光技術が発展してきた[11]。また従来、シリコン結晶に対する一軸性の応力や2次元応力に比例して、光学フォノンの波数が変化することが知られている[12]-[14]。そこで顕微ラマン分光技術を応用し、素子分離構造を有するシリコン基板表面の微小部分におけるフォノンの波数シフトを観測することによって、従来は測定が困難であった微細な素子分離構造の応力分布の解析が可能となると考えられる。

本章では、素子分離構造を有するシリコン基板表面におけるフォノンの計測に、顕微ラマン分光法を初めて適用し、応力分布の解析を試みた結果について論述する。

8.2節 実験方法

実験に用いる試料を作成するために、LOCOS法を用いて分離酸化膜を3.0 - 7.5 Ωcm のn型(100)シリコン基板の表面に形成した。そのプロセスフローを図8-1(a)~(d)を用いて説明する。

- (a) まず図8-1(a)に示すように、300 Åのパッド酸化膜を熱酸化法によって形成した後、500 Åのシリコン窒化膜を減圧CVD法によって堆積した。
- (b) 次に図8-1(b)に示すように、シリコン窒化膜をフォトリソグラフィとドライエッチングによってパターニングした後、レジストを除去し、
- (c) 図8-1(c)に示すように7800 Åの分離酸化膜を、シリコン窒化膜をマスクとして950 °Cのパイロジェニック酸化法 ($\text{O}_2/\text{H}_2=1/1.8$) によって選択的に形成した。
- (d) その後、残っているシリコン窒化膜とパッド酸化膜をウエットエッチングによって除去した(図8-1(d))。分離酸化膜の最終的な膜厚は6800 Åであった。

図8-2(a)は試料の上面図であり、形成した活性領域は縦横 $W \mu\text{m}$ の正方形である。走査型電子顕微鏡 (Scanning Electron Microscope (SEM)) による観察の結果、 W の値は1.2~9.2 μm であった。試料の断面のSEM観察像を図8-2(b)に示す。図8-2(b)の写真におけるポリシリコン膜はSEM観察像を鮮明にするために堆積したものであって、顕微ラマン分光測定用の試料には堆積されていない。顕微ラマン分光測定は24.5 °Cにおいて、後方散乱の配置で行った。実験に使用した顕微ラマン分光装置のブロックダイアグラムを図8-3に示す。ラマン散乱の励起光源として Ar^+ レーザー (50 mW、波長4880 Å) を使用し、レーザーは対物レンズを通してシリコン表面に集光した。入射光と散乱光は[110]軸 (x' 軸と定義する) に沿って偏光した。入射光は直径0.8 μm である。ラマン散乱の波数シフトにおける測定精度 (3σ) は $\pm 0.1 \text{ cm}^{-1}$ である。試料の移動はX-Y可動ステージによって行い、位置精度は $\pm 0.5 \mu\text{m}$ である。応力を加えていない状態のシリコンのラ

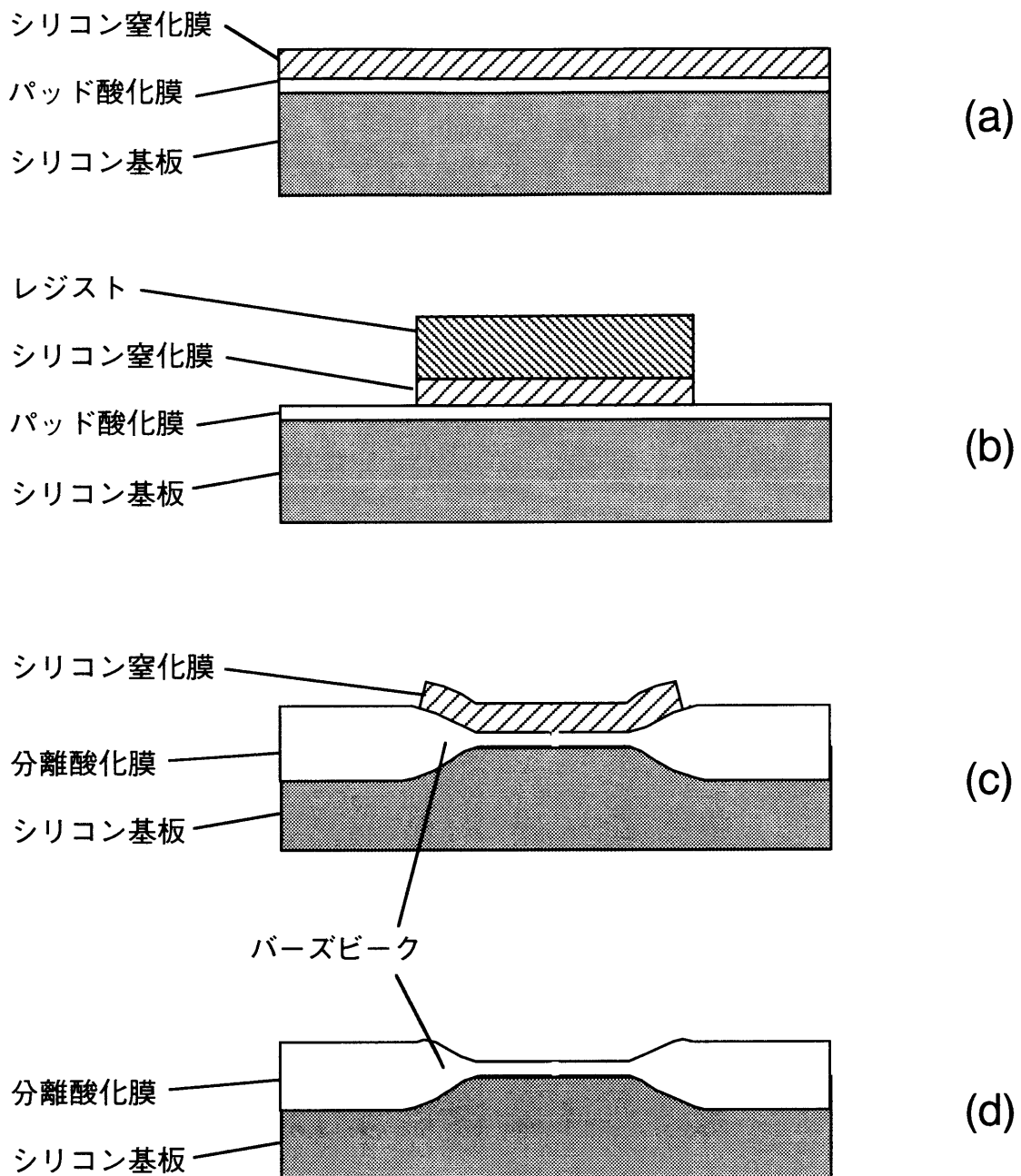


図 8-1 LOCOS法による試料作成のフロー。(a)パッド酸化膜を熱酸化法によって形成した後、500Åのシリコン窒化膜を減圧CVD法によって堆積した。(b)シリコン窒化膜をフォトリソグラフィとドライエッチングによってパターンニングした後、レジストを除去し、(c)7800Åの分離酸化膜を950℃のパイロジェニック酸化法によって選択的に形成した。(d)その後、残っているシリコン窒化膜とパッド酸化膜をウエットエッチングによって除去した。分離酸化膜の最終的な膜厚は6800Åであった。

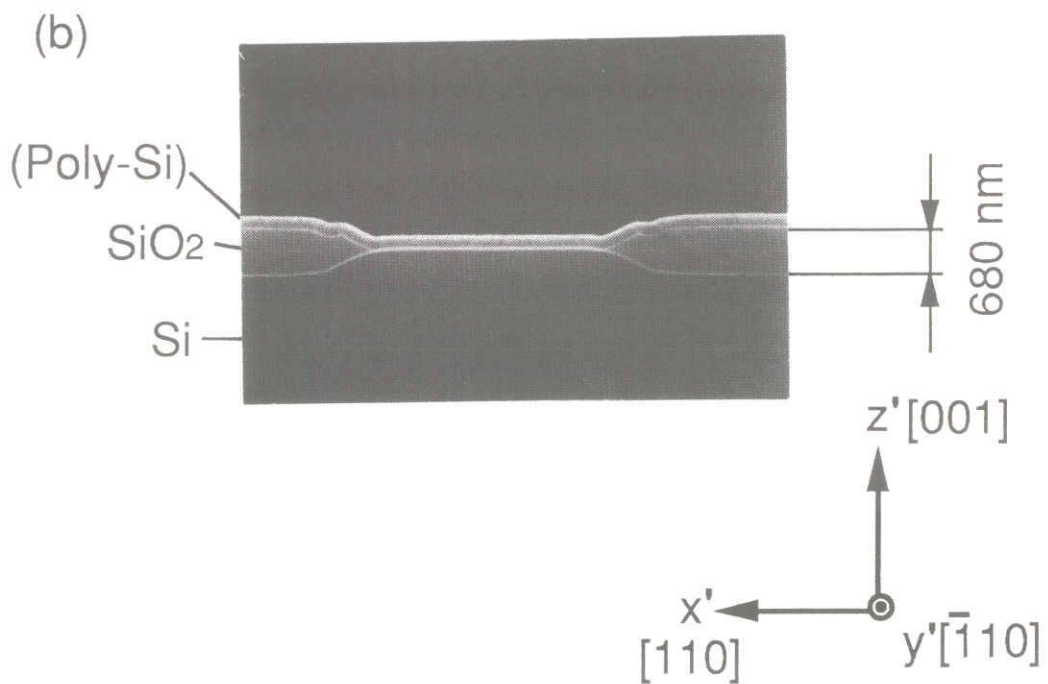
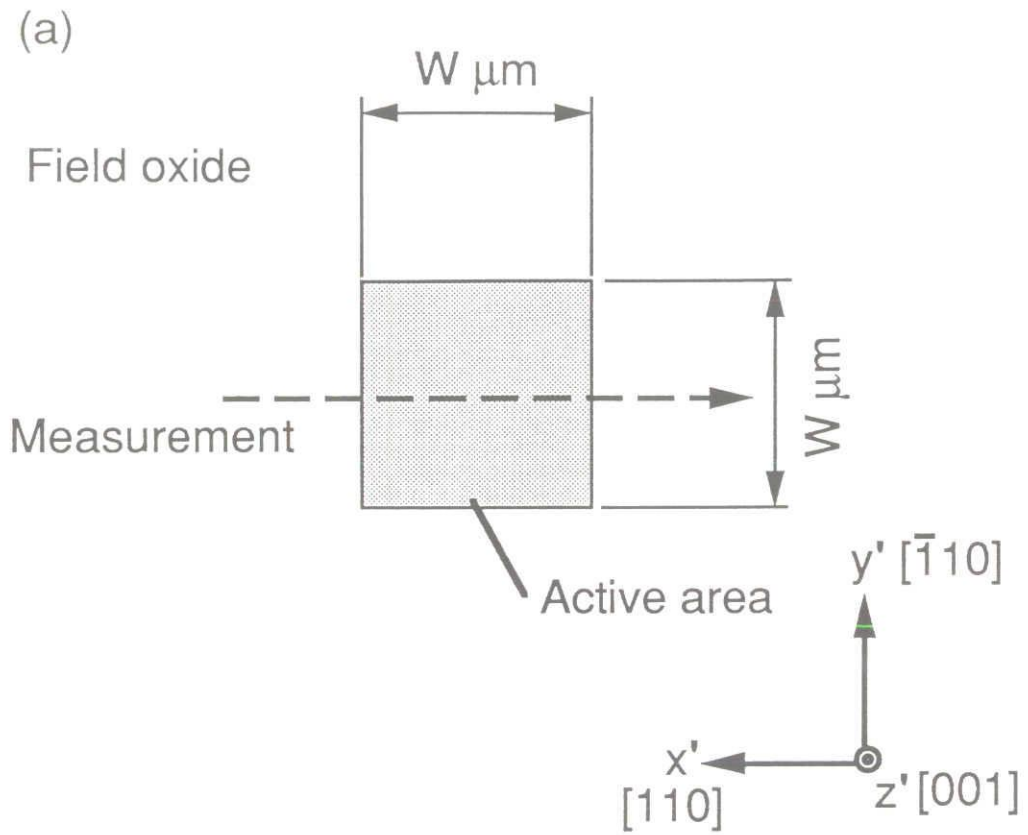


図 8-2 (a) 試料の上面図。縦横 $W \mu\text{m}$ の正方形の活性領域を形成した。走査型電子顕微鏡 (Scanning Electron Microscope (SEM)) による観察の結果、 W の値は $1.2 \sim 9.2 \mu\text{m}$ であった。(b) 試料の断面のSEM観察像。写真におけるポリシリコン膜はSEM観察像を鮮明にするために堆積したものであって、顕微ラマン分光測定用の試料には堆積されていない。

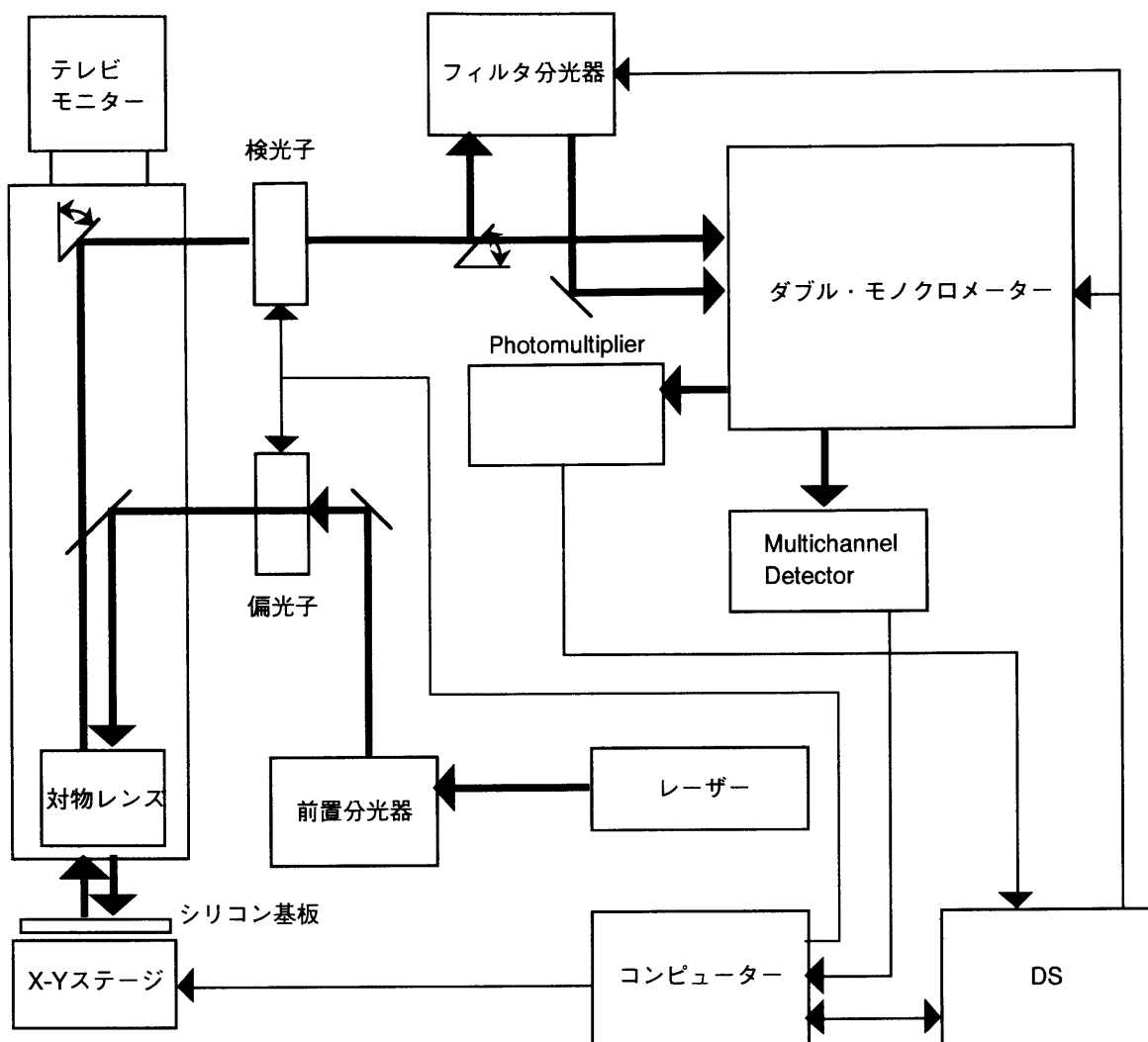


図8-3 顕微ラマン分光システムのブロックダイアグラム

マンスペクトルの測定には、膜形成やパターンニングを施していないシリコン基板を使用した。

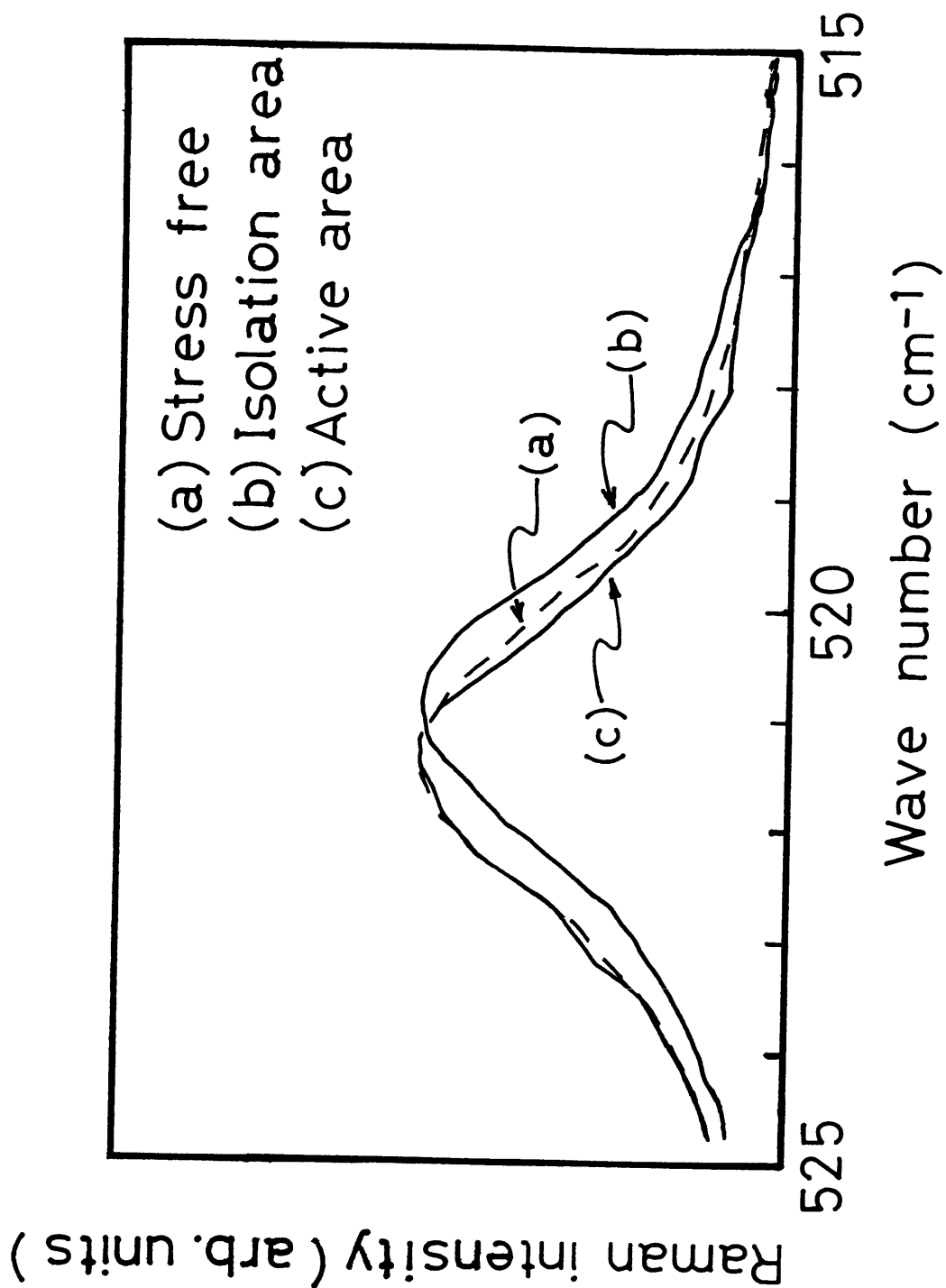


図8-4 LOCOS法で形成した分離酸化膜を有するシリコン基板表面における典型的なラマンスペクトル。ここでは、各スペクトルをピークでの信号強度で規格化している。(a)膜形成を行っていないシリコン基板からのラマンスペクトル。(b)分離酸化膜のバズピーク先端から0.8 μm の箇所の分離酸化膜下のシリコンからのラマンスペクトルは、低波数側へシフトしており、このシフトはシリコンに引っ張り応力が加わっていることに対応している。(c)バズピーク先端から0.6 μm の活性領域においては、フォノンが高波数側へシフトしており、これはシリコンに圧縮応力が加わっていることに対応している。

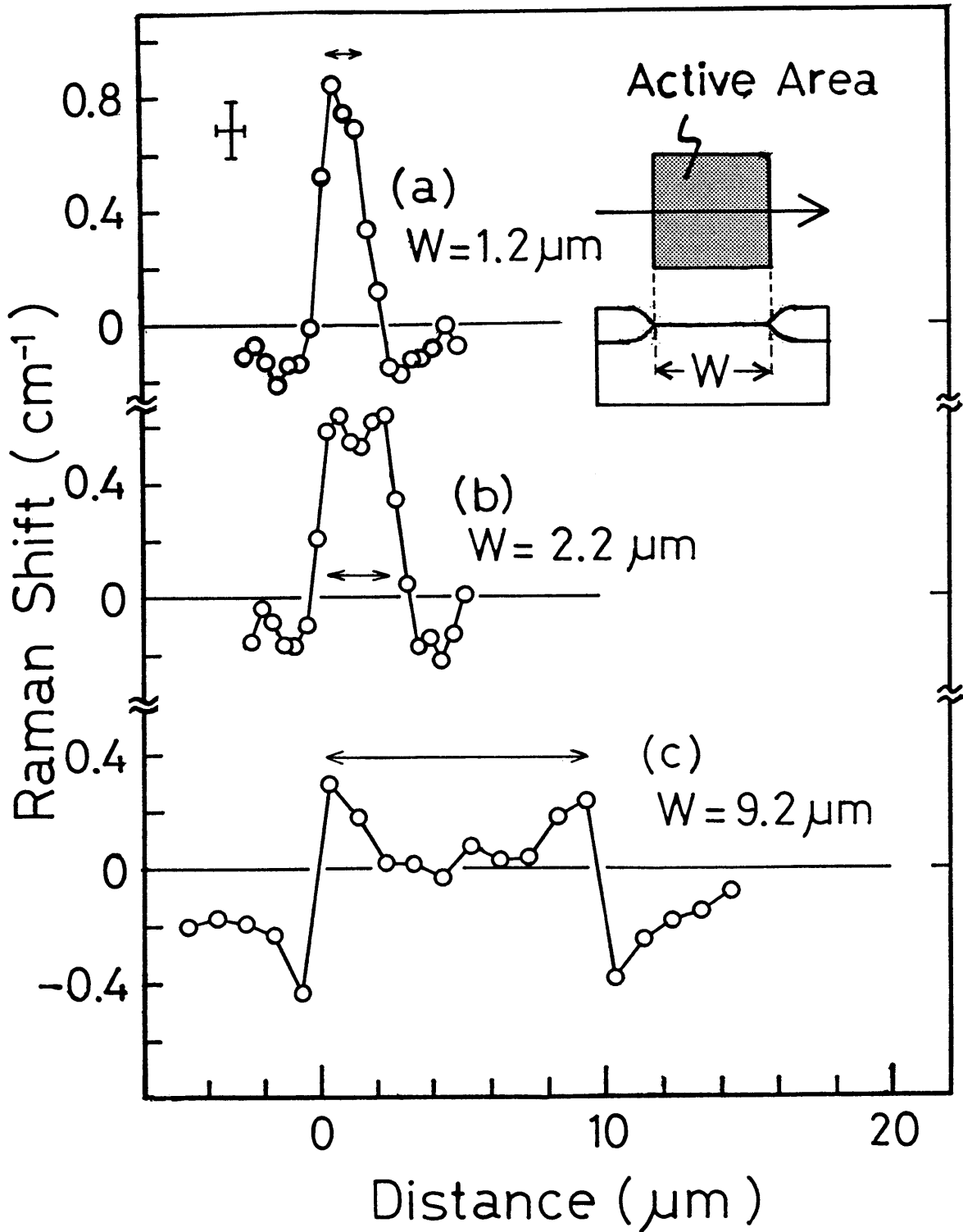


図8-5 図8-2(a)に示した矢印に沿って連続してフォノンの波数シフトを観測した結果。(a) $W=1.2 \mu\text{m}$ 、(b) $W=2.2 \mu\text{m}$ 、(c) $W=9.2 \mu\text{m}$ 。分離酸化膜下においてはフォノンの波数シフトは負の値を示しており、シリコンに引っ張り応力が加わっている。 W が $9.2 \mu\text{m}$ の場合において、バースピーク先端に近い分離酸化膜下においてフォノンの負の波数シフトがピークとなり、分離酸化膜先端の近傍においてフォノンの正の波数シフトがピークとなる。分離酸化膜先端から離れるに従って正の波数シフトは減少し、活性領域の中央ではほぼ0となる。さらに活性領域の一边 W が小さくなるにつれて、活性領域の中央における正の波数シフトの値が増加している。

8.3節 実験結果

LOCOS法で形成した分離酸化膜を有するシリコン基板表面からの典型的なラマンスペクトルを図8-4に示す。ここでは、各スペクトルをピークでの信号強度で規格化している。分離酸化膜のいわゆるバースビーク (Bird's beak)^{注1}先端から分離酸化膜の方に0.8 μm の箇所のシリコンからのラマンスペクトル (b) は、低波数側へシフトしており、このシフトはシリコンに引っ張り応力が加わっているを示している。バースビーク先端から0.6 μm の活性領域においてはラマンスペクトル (c) は高波数側へシフトしており、これはシリコンに圧縮応力が加わっていることに対応している。単結晶シリコンに対する4880 Å線のpenetration depthは約0.7 μm であるので、シリコン表面からこの程度の深さの応力に関する情報が得られていると考えられる。

図8-2 (a)に示した矢印に沿って、連続してフォノンの波数シフトを観測した結果を図8-5に示す。Wの値は1.2, 2.2, 9.2 μm である。分離酸化膜下においてはフォノンの波数シフトは負の値を示しており、シリコンに引っ張り応力が加わっている。図8-5 (c)から分かるように、バースビーク先端に近い分離酸化膜下においてフォノンの負の波数シフトがピークとなり、分離酸化膜先端の近傍においてフォノンの正の波数シフトがピークとなる。分離酸化膜先端から離れるに従って正の波数シフトは減少し、活性領域の中央ではほぼ0となる。さらに活性領域の一辺Wが小さくなるにつれて、活性領域の中央における正の波数シフトの値が増加している。

^{注1} LOCOS法で熱酸化すると、シリコン窒化膜が押し上げられて鳥のくちばしのような形になる。このくちばしの部分をバースビークという。

8.4節 考察

一軸性または2次元の応力の存在のもとで、シリコンの T_{2g} の対称性を有する3重縮退した光学フォノンが縮退が解け、光学フォノンの波数は歪みに伴う弾性定数の変化の結果として応力の関数としてシフトする[12]。

分離酸化膜を有するシリコン基板表面に対して室温で加わる応力の原因として、以下の二つが考えられる。一つはシリコンとシリコン酸化膜（分離酸化膜）の熱膨張係数の違いに起因する応力であり[15][18]、もう一つは、シリコンの熱酸化によって起こる体積膨脹に起因する応力である[16]-[18]。今、結晶軸に対する座標系を以下のように定義する。

$$x=[100], \quad y=[010], \quad x'=[110], \quad y'=[\bar{1}10], \quad z=z'=[001] \quad (8-1)$$

シリコンを熱酸化しシリコン酸化膜 (SiO_2) を形成すると、シリコン-シリコン酸化膜界面で体積膨脹が起こる。シリコンの熱酸化に伴う体積膨脹は、シリコン面に垂直方向 (z軸方向) に対しては可能であるが、シリコン面に沿った方向 (x-y面) には不可能である。このため、シリコン表面に一様にシリコン酸化膜が成長する場合には、シリコン面 (x-y面) に沿った2次元応力がシリコン酸化膜に誘起される[18]。以下では、シリコンの熱酸化に伴う体積膨脹に起因した応力を真性応力と呼ぶ。加えて熱酸化温度から室温への降温時に、シリコンとシリコン酸化膜の熱膨張係数の違いによって応力がシリコン酸化膜に誘起される。^{注1} この熱膨張係数の違いに起因した応力を熱応力と呼ぶ。分

^{注1} シリコンとシリコン酸化膜の熱膨張係数は、以下の値が知られている[18]。

Silicon	Pascal (1965)	$\alpha_{\text{Si}} = 3.34 \times 10^{-6} + 0.284 \times 10^{-9}T$
Silica	Pascal (1965)	$\alpha_{\text{SiO}_2} = 0.5 \times 10^{-6}$
	CRC Handbook	$\alpha_{\text{SiO}_2} = 0.55 \times 10^{-6}$
	Perry's Handbook	$\alpha_{\text{SiO}_2} = 0.58 \times 10^{-6}$
	Hetherington (1962)	$\alpha_{\text{SiO}_2} = 0.409 \times 10^{-6} + 0.686 \times 10^{-9}T$ (Fused silica)
		$\alpha_{\text{SiO}_2} = 0.468 \times 10^{-6} + 0.524 \times 10^{-9}T$ (Fused silica+0.12% H_2O)

分離酸化膜と活性領域の境界のような酸化膜の不連続部分の近傍を除けば、分離酸化膜に加わるx-y面に沿った2次元応力は一様である。分離酸化膜に加わる応力は、分離酸化膜に接するシリコン表面が受ける応力と釣り合っている。故に、分離酸化膜下のシリコン表面における応力成分は、

$$T_{xx}=T_{yy}=\tau, T_{zz}=T_{yz}=T_{zx}=T_{xy}=0 \quad (8-2)$$

と与えられる。このようなx-y面に沿った2次元応力の存在のもとで、シリコン結晶の対称性は O_h から D_{4h} へ変化する。3重縮退モード (T_{2g}) は、2重縮退モード (E_g) と1重モード (B_{2g}) に分裂する。本実験においては、ラマン選択則に従って1重モードのみが観測可能である。応力値 τ と1重モードの波数シフト $\Delta\omega$ の関係は、次の式に従うことが知られている[14]。

$$|\tau| = 2.49 \times 10^9 \cdot \Delta\omega \text{ (dyne/cm}^2\text{)} \quad (8-3)$$

図8-5(c)において、分離酸化膜と活性領域の境界（バースピーク）から遠い位置での分離酸化膜領域における波数シフトは、 $-0.2 \pm 0.1 \text{ cm}^{-1}$ である。故にこの領域におけるシリコン表面に加わった応力は引っ張り応力であり、(8-3)式からその値は $(5.0 \pm 2.5) \times 10^8 \text{ dyne/cm}^2$ と見積もられる。

図8-5(c)から分かるように、バースピーク近傍においてフォノンの負の波数シフトが最大となり、隣接してバースピーク先端部分近傍の活性領域においてフォノンの正の波数シフトのピークが存在する。酸化膜が不連続に存在する場合、その近辺に現われると予想される応力分布は、酸化膜端部においてシリコン表面对する引っ張り応力が最大となり、活性領域の酸化膜端部近傍において圧縮応力が最大となるものである[19]が、図8-5(c)における波数シフトの分布は、予想される応力分布と一致した傾向を示している。本実験によって、バースピーク先端部近傍における圧縮応力の存在を確認するこ

とができた。しかし、バースピーク先端部近傍のような酸化膜が不連続に存在する領域に存在する引っ張り応力と圧縮応力の応力テンソルは、(8-2)式で表されるものではなく、正確に予測することも困難である。それ故、応力によるシリコン結晶の対称性の変化を決定することが出来ないため、バースピーク先端部近傍のフォノンの波数シフトからシリコン結晶に加わる応力を定量的に得ることは難しい。

さて活性領域の一辺 W が $9.2\ \mu\text{m}$ と比較的大きい場合には、バースピーク先端から離れるに従って正の波数シフトは減少し、活性領域の中央ではほぼ0となっている。図8-6に活性領域の中央における波数シフトと、活性領域の一辺 W の大きさの関係を示している。活性領域の一辺 W が小さくなるにつれて、活性領域の中央における正の波数シフトの値が増加する。このことから、 W が小さくなるにつれて、活性領域の中央部分における圧縮応力が増加していると考えられる。 W が小さい場合、シリコンの熱酸化に伴う体積膨脹に起因した真性応力と、シリコンとシリコン酸化膜の熱膨脹係数の違いに起因した熱応力によって、活性領域の中心におけるシリコン表面は活性領域の4辺の分離酸化膜から均一な圧縮応力を受けていると考えられる。すなわち活性領域の中心における圧縮応力は、(8-2)式で与えられるx-y平面の2次元応力と考えられ、この2次元応力と波数シフトとの関係は(8-3)式によって与えられる。しかし、前述したように本実験における入射光は直径 $0.8\ \mu\text{m}$ であるため、活性領域の中心からだけでなく近辺からのラマン光もまたスペクトルに影響している。活性領域の中心から外れた部分では、シリコン結晶が4辺の分離酸化膜から受ける応力が均一ではない。このような場合の応力と波数シフトとの関係を求めるためには、まずシリコン結晶に加わる応力テンソルまたは歪みテンソルを明らかにしなければならないが、活性領域の各座標についてこれらを決定することは困難であり、正確な応力値を定量的に得ることは難しい。このためここでは、図8-6の右縦軸に、(8-3)式を適用して波数シフトの値から見積もった応力値を参考として示しておく。

以上の結果から、活性領域の微細化にともない、活性領域における圧縮応力の増加が起こることが分かった。現在の64Mbit DRAMなどのLSIにおける活性領域の大きさは、

一辺が1 μm 以下であり、圧縮応力の増加が発生していると予想される。活性領域における圧縮応力の増加は、nチャンネルMOSFETにおけるキャリア移動度の低下やホットキャリア特性の劣化[20][21]などMOSデバイスの特性低下を起こすため、LSIの製造においてシリコン表面の応力を測定・制御することが今後の重要な課題であると考えられる。顕微ラマン分光法は、LSIにおけるシリコン表面の応力分布を解析するための一つの手段であり、応力シミュレーションとの組み合わせにより一層大きな効果を発揮すると考える。

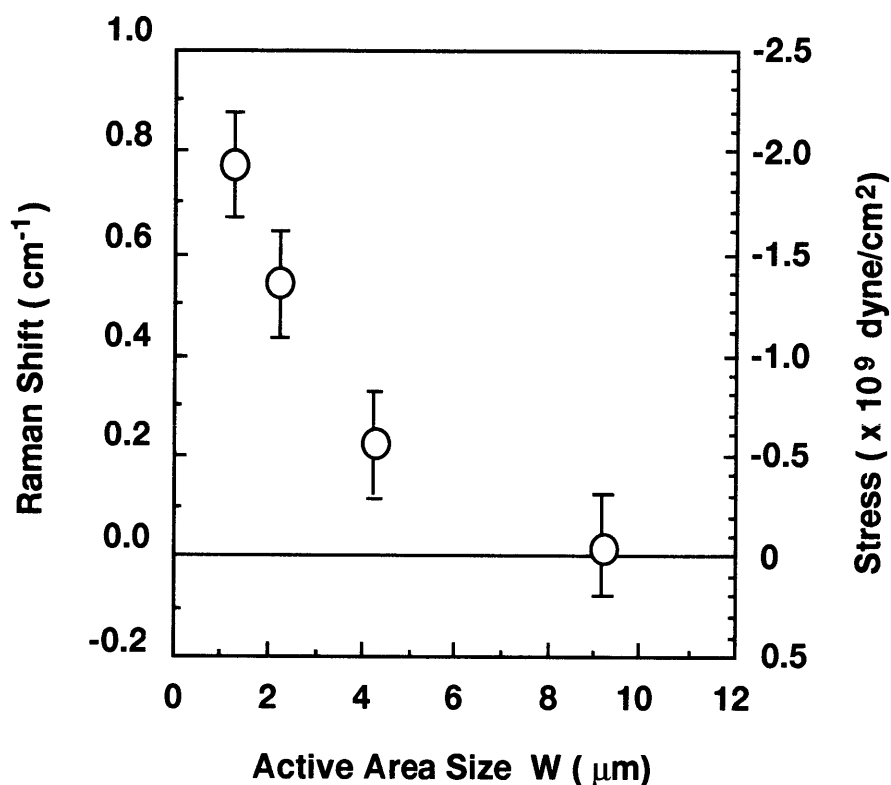


図8-6 活性領域の中央における波数シフトと、活性領域の一辺 W の大きさの関係。活性領域の一辺 W が小さくなるにつれて、活性領域の中央における正の波数シフトの値が増加する。

8.5節 結言

顕微ラマン分光法を用いて、LOCOS法によって形成した分離酸化膜を有するシリコン表面の応力分布の解析を行なった。その結果、以下のことが明らかとなった。

- (1) 950℃のパイロジェニック酸化法 ($O_2/H_2=1/1.8$) によって形成した6800 Åの分離酸化膜下のシリコンに対して、 $(5.0\pm 2.5) \times 10^8$ dyne/cm²の引っ張り応力が存在する。
- (2) バーズピーク先端部近傍の活性領域において、圧縮応力が存在する。
- (3) この結果として、活性領域の中央における圧縮応力は、活性領域の大きさが小さくなるにつれて増加する。

実際に製造されるLSIにおいても、活性領域の微細化に伴い圧縮応力の増加が起こっていると考えられ、このような応力によるMOSデバイスの特性低下が懸念される。

参考文献

- [1] J. A. Appels, E. Kooi, M. M. Paffen, J. J. H. Schatorje and W. H. G. G. Verkuylen, Phillips Res. Rep., 25, 118 (1970).
- [2] A. Bohg and A. K. Gaid, Appl. Phys. Lett., 33, 895 (1978).
- [3] K. Shibata and K. Taniguchi, J. Electrochem. Soc., 127, 1383 (1980).
- [4] Y. Tamaki, S. Isomae, S. Mizuno and H. Higuchi, J. Electrochem. Soc., 128, 644 (1981).
- [5] Y. Tamaki, S. Isomae, S. Mizuno and H. Higuchi, J. Electrochem. Soc., 130, 2266 (1983).
- [6] T. Hirao, K. Kijima and T. Nakano, Proc. 3rd Inter. Symp. on Silicon Materials Science Technology, 1005 (1977).
- [7] D. Chin, S. Y. Oh, S. M. Hu and R. W. Dutton, IEEE Trans. Electron Devices, ED-30(7), 744 (1983).
- [8] H. Matsumoto and M. Fukuma, IEEE Trans. Electron Devices, ED-32(2), 132 (1985)

- [9] S. Isomae, S. Yamamoto, S. Aoki and A. Yajima, IEEE Electron Device Lett. EDL-7 , 368 (1986)
- [10] Uchida
- [11] Y. Inoue, T. Nishimura, Y. Akasaka, Mitsubishi Electric ADVANCE, 28 (1987).
- [12] E. Anastassakis, A. Pinczuk, E. Burstein, F. H. Pollak and M. Cardona, Solid State Commun., 8, 133 (1970).
- [13] I. I. Novak, V. V. Baptizmanskii and L. V. Zhoga, Opt. Spectrosc. (USSR), 43(2), 145 (1977)
- [14] Th. Englert, G. Abstreiter and J. Pontcharra, Solid-St. Electron., 23, 31 (1980)
- [15] J. R. Patel and N. Kato, J. Appl. Phys., 44, 971 (1973)
- [16] E. P. EerNisse, Appl. Phys. Lett., 35, 8 (1979)
- [17] E. A. Irene, E. Tierney and J. Angilello, J. Electrochem. Soc., 129, 2594 (1982)
- [18] B. Leroy, Philosophical Magazine B, 55(2), 159 (1987).
- [19] S. Isomae, J. Appl. Phys., 52, 2782 (1981).
- [20] J. Mitsuhashi, S. Nakao and T. Matsukawa, Inter. Electron Device Meeting Technical Digest, 50 (1986).
- [21] H. Mikoshiba, Solid-St. Electron., 24, 221 (1981).
- [22] 小林清輝、有馬秀明、平山誠、松川隆行、1987年春季第34回応用物理学関係連合講演会予稿集, 30a-C-10, p. 556.
- [23] K. Kobayashi, Y. Inoue, T. Nishimura, M. Hirayama, Y. Akasaka, T. Kato, and S. Ibuki, J. Electrochem. Soc., Vol. 137, 1987 (1990).
- [24] K. Kobayashi, Y. Inoue, T. Nishimura, T. Nishioka, H. Arima, M. Hirayama, and T. Matsukawa, Extended Abstracts of the 19th Conference on Solid State Devices and Materials, Tokyo, 323 (1987).

第2部 シリコン窒化膜とシリコン酸化膜の高集積DRAM への応用に関する研究

第9章 背景 ---DRAMのキャパシタ誘電体膜開発における課題---

9.1節 キャパシタ誘電体膜に対する要求

DRAM (Dynamic Random Access Memory) のメモリセルは、4 Kbit以来1 トランジスタ + 1 キャパシタ型が基本的に踏襲されている[1]。その集積度は1 世代に4 倍の割合で進み、約3 年おきに一つの世代が開発されてきた結果、8 0 年代半ばにはメガビット時代を迎えた[2]。情報化社会の進展と、大容量化・大量生産によるビットコストの低減がDRAMの発展を押し進めてきたと言える。その間、スケーリング則に乗っ取り、図9-1 に示すように、メモリセル面積は1 世代ごとに0.4倍の縮小率を維持してきたが、メモリセルに蓄積される信号電荷量を決定するキャパシタ容量は、リフレッシュ特性・ソフトエラー・読出信号のS/N比などの制約から、ほとんどスケーリングされていない[1]。

メモリセルのキャパシタ容量 C_s は、

$$C_s = \epsilon_0 \epsilon_d \frac{S}{t_d} \quad (9-1)$$

によって与えられ、ここで ϵ_0 は真空の誘電率、 ϵ_d はキャパシタ誘電体膜の比誘電率、 S はキャパシタ表面積、 t_d はキャパシタ誘電体膜の膜厚である。この式から分かるように、キャパシタへの印加電圧が一定という前提のもとでは、メモリセル面積を縮小した時にキャパシタ容量を維持するためには、以下の三つの方法が考えられる。

- (1) キャパシタ誘電体膜の薄膜化
- (2) キャパシタの表面積の維持

(3) 比誘電率の大きいキャパシタ誘電体材料の適用

ここで、キャパシタ誘電体膜の薄膜化には重要な問題が存在する。すなわち、キャパシタへの印加電圧を一定に保ったまま誘電体膜を薄膜化すると、誘電体膜中の電界が増加することである。誘電体膜中の電界が増加することによって、誘電体膜を流れるリーク電流が増大し、キャパシタに蓄えた電荷が減少してしまう。このため、キャパシタ誘電体膜の薄膜化を行う場合には、リーク電流が小さく絶縁耐圧の高い誘電体膜を開発す

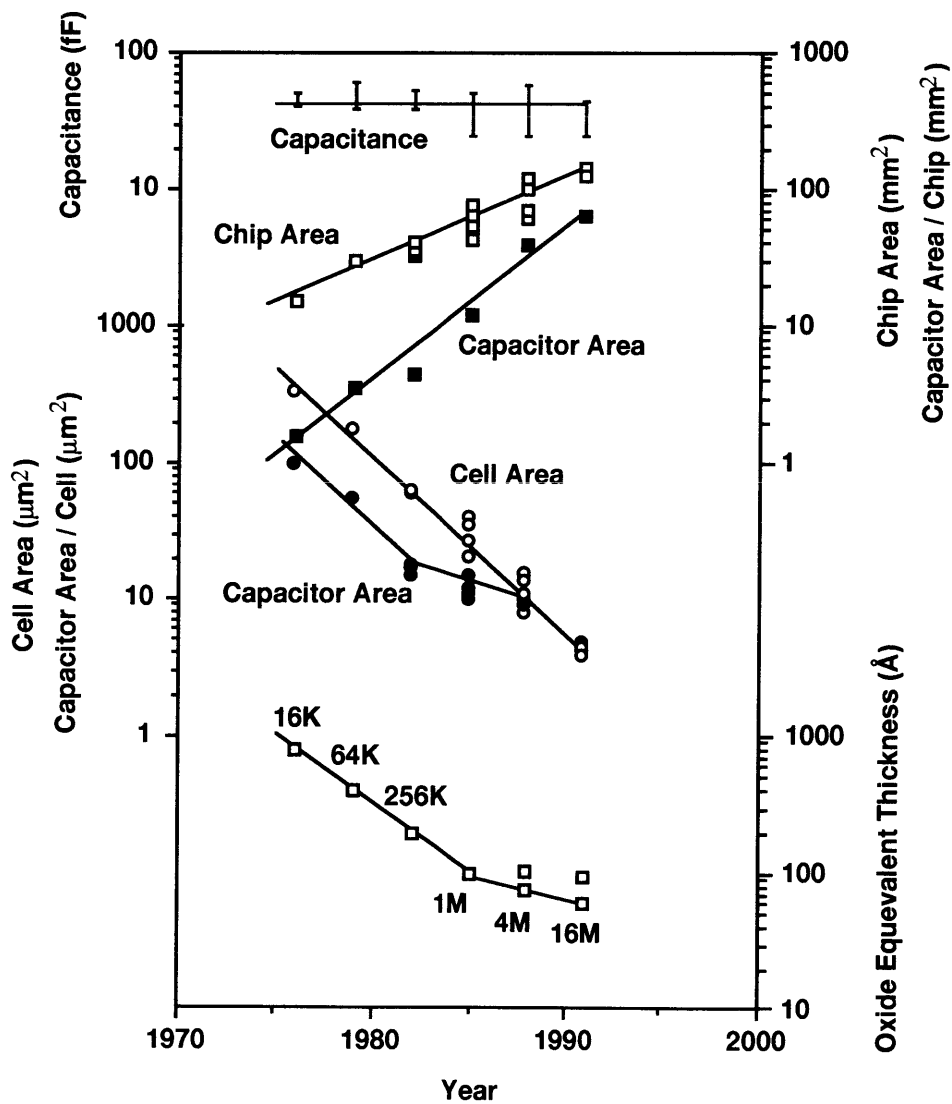


図 9-1 DRAMにおけるチップ面積、セル面積、キャパシタ面積、キャパシタ誘電体膜厚のトレンド[1]。

ることが重要な課題である。また、誘電体膜に電界を印加し続けると経時絶縁破壊（Time-Dependent Dielectric Breakdown : TDDB）が発生する。TDDBによって印加電界が大きいほど誘電体膜の絶縁破壊寿命が短くなり、一定時間内の故障率が増加する[4]。このためキャパシタ誘電体膜の薄膜化を行うためには、電界を印加したときにTDDBを起こしにくい（すなわち絶縁破壊寿命が長く故障率の低い）誘電体膜を開発することが重要な課題となる。

図9-1に示すように、従来メモリセル面積は1世代ごとに縮小され、それに伴ってセル当りのキャパシタ面積も縮小されてきた。ところが、1世代ごとに4倍の集積化に伴い1チップ当りのキャパシタ面積は増加の一途にある。さらに、蓄積電荷量を確保するためにキャパシタの表面積を維持した場合、1チップ当りのキャパシタ面積はさらに増加傾向を強くすることになる。このチップ当りのキャパシタ面積の増加は、誘電体膜の欠陥密度が減少しない限りチップ当りの故障率の増加を招き、デバイスの信頼性を確保する上での問題となる。DRAMのフィールドでの故障率は一般に $10\sim 100$ FIT ($10^8\sim 10^7/\text{device}\cdot\text{hour}$) 以下という厳しい水準が要求されており、それゆえ故障率の低い誘電体膜を開発することが集積化の観点からも重要な課題である。

9.2 節 キャパシタ構造の変遷

256Kbit及び1Mbit DRAMの一部までは、図9-2に示すようなプレナー構造のキャパシタが用いられ、シリコン（Si）を熱酸化して得られるシリコン酸化膜（ SiO_2 ）がキャパシタ誘電体膜として重要な位置を占めてきた[1]。そして SiO_2 膜の薄膜化によってキャパシタ容量が維持されてきた。高集積化に伴うキャパシタ面積の増加という問題に対しては、クリーンルーム環境の改善（例えばウエハプロセスに用いる純水、ガスや薬品のグレードの向上）[4],[5]、犠牲酸化法[6]などのプロセス技術の改善がなされ、 SiO_2 膜の故障率の低減に効果を上げてきた。故障率の低減に対する膜構造からのアプローチとし

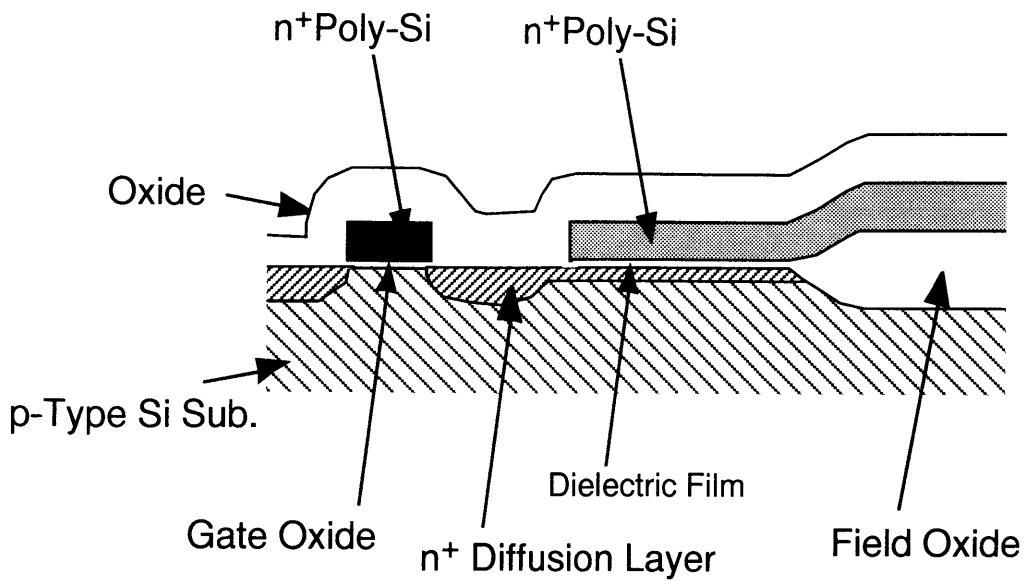


図9-2 プレナーキャパシタ型セルの模式図

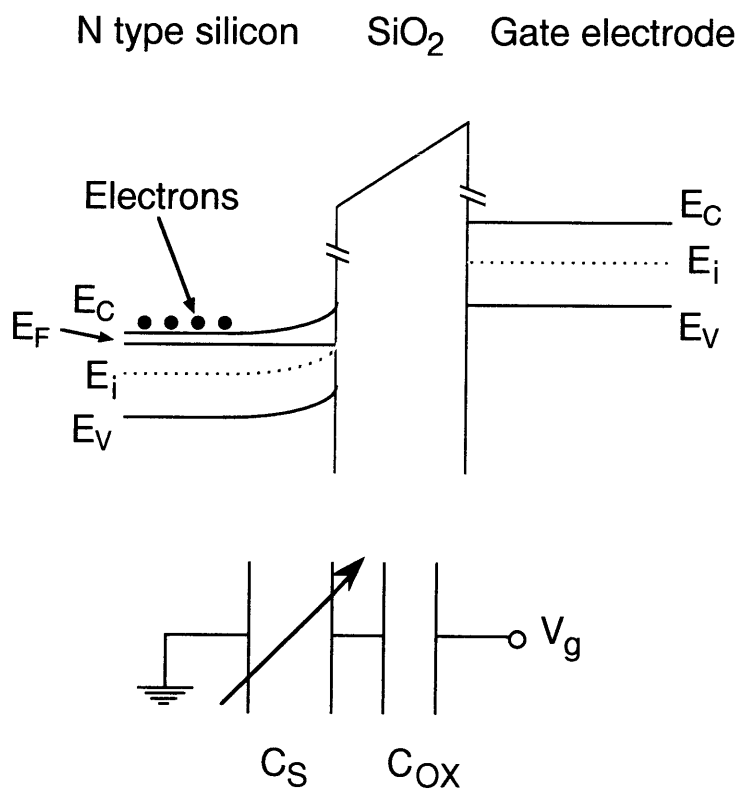


図9-3 n型シリコンを有するMOS構造の上部電極に負電圧を印加したときのバンド模式図と等価回路。

ては、シリコン窒化膜 (Si_3N_4) とシリコン酸化膜の積層構造である酸化膜-窒化膜-酸化膜積層構造 (略してONO構造) が上げられる。ONO積層構造は、 SiO_2 膜単層に比べて故障率を低減できる効果がある[7]。

ところで図9-2に示したようにプレナー構造では、キャパシタの下部電極として砒素 (As) やリン (P) などのV族元素をドーピングしたn型シリコン (Si) 層を用いる。この場合、上部電極に負電圧を印加するとn型シリコンの表面が空乏化し、空乏層の発生によるキャパシタ容量の低下が問題となる。図9-3は、n型シリコンを有するMetal-Oxide-Silicon (MOS) 構造の上部電極に負電圧を印加したときのバンド模式図と等価回路である。負電圧の印加によって、多数キャリアである電子がシリコン表面から追い払われ、シリコン表面が空乏状態となる。この空乏層の発生により SiO_2 膜に直列に空乏層容量 C_s が形成され、キャパシタ容量が低下する。このときのキャパシタ容量 C は、

$$C = \frac{1}{\frac{1}{C_{\text{OX}}} + \frac{1}{C_s}} = \frac{C_{\text{OX}}}{\sqrt{1 + \frac{2C_{\text{OX}}^2}{q(N_A - N_D)\epsilon_0\epsilon_s} V_g}} \quad (9-2)$$

によって与えられ[8]、ここで C_{OX} は SiO_2 膜の単位面積当たりの容量、 ϵ_0 は真空の誘電率、 ϵ_s はシリコンの比誘電率、 q は素電荷、 N_A はアクセプター濃度、 N_D はドナー濃度、 V_g はゲート電圧である。(9-2)式からも分かるように、容量低下を抑制するためにはシリコン表面のドナー濃度を高くする必要があり、ドーピングするV族元素の濃度を高く設定する必要がある。

以上の理由から、DRAMのキャパシタでは高濃度のV族元素をドーピングしたシリコン表面に故障率の低いキャパシタ誘電体膜を形成することが必要である。ところが従来、V族元素として多用されてきた砒素やリンは、 SiO_2 膜中で電子や正孔のトラップを形成すると報告されている[9],[10]。また、砒素やリンを含むシリコン表面を熱酸化すると、その一部が SiO_2 膜に取り込まれることが知られている[11]。このためV族元素と SiO_2 膜の電気特性や絶縁破壊特性の関係を把握することが重要と考えられる。 第10章の10.1

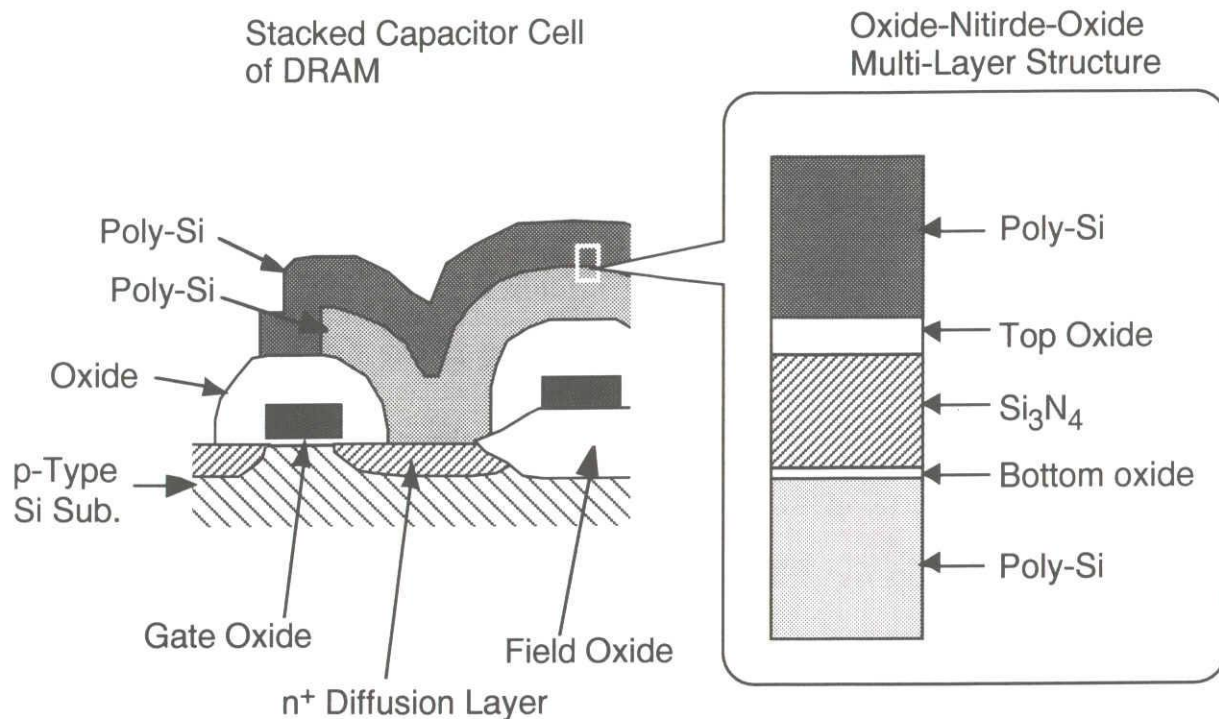


図9-4 スタックトキャパシタ型セルの模式図

節では、この観点から行った砒素のドーピング量とSiO₂膜の電気特性の関係についての研究結果について論述する。

さて、プレナー構造で蓄積電荷量を維持するために誘電体膜の薄膜化が行われてきたが、メガビットクラスのDRAMに対してはプレナー構造の限界が存在する[1]。いま、4Mbit DRAMをプレナー構造で構成する場合、キャパシタ面積が5 μm²の条件のもとで40 fF以上の容量を得るためには、SiO₂換算で約40 Åの誘電体膜が必要となる。動作電圧として2.5 Vの電圧がキャパシタに加わるとき、SiO₂膜中の電界は6.25 MV/cmにもなる。信頼性を確保できるSiO₂膜中の電界の上限は5.3 MV/cmという試算もあり[1]、SiO₂を用いた従来の誘電体膜ではプレナー構造で4Mbit DRAMの信頼性を保障することができない。

この問題に対して、誘電体膜の膜厚をそれまでのトレンドよりも厚くし、キャパシタ面積をそれまでのトレンド以上に大きくすることが一つの解決手段となる。このためスタックトキャパシタやトレンチキャパシタなどの三次元セルの実現が模索されてきた[12]-[17]。

図9-4に代表的なスタックトキャパシタ型のメモリセルの断面模式図を示す[15]。この構造では、シリコン基板表面に下部電極（ストレージノード）となる n^+ ポリシリコン膜、キャパシタ誘電体膜、及び上部電極（セルプレート）となる n^+ ポリシリコン膜を積層する。このような構造を用いた場合、下部電極の側面や起伏を利用してキャパシタ容量を確保することが容易となる。しかし、これまでのプレーナ構造では単結晶シリコン表面に誘電体膜を形成してきたが、スタックトキャパシタを実用化するためには、側面やコーナーを有する n^+ ポリシリコン下部電極表面に信頼性の高い誘電体膜を形成することが必要となる。また、この場合の下部電極中の砒素またはリン濃度もまた可能な限り高濃度である必要がある。

このような背景のもとで、以後の第10章10.2節から第13章にかけては、スタックトキャパシタに用いるキャパシタ誘電体膜に関する研究の成果について述べる。10.2節では、 n^+ ポリシリコン表面を熱酸化して得られる SiO_2 膜が、低不純物濃度のシリコン基板を熱酸化して得られる膜に比べてTDDB特性や絶縁耐圧に於いて著しく劣ること、及び n^+ ポリシリコン表面に誘電体膜を形成する場合に、熱酸化法に比べて減圧CVD法で堆積した SiO_2 膜が優れたTDDB特性や絶縁耐圧を有することを示す。さらに10.3節において、減圧CVD法で堆積したシリコン窒化膜を熱酸化して得られるシリコン酸化膜とシリコン窒化膜の積層膜が優れたTDDB特性を有し、スタックトキャパシタに有用であることを述べる。第11章から第13章では、シリコン酸化膜とシリコン窒化膜の積層膜の薄膜化を念頭に置いて、絶縁耐圧・TDDB特性を向上させるために行った研究の成果について述べる。

参考文献

- [1] 塚本克博、松川隆行、藤島一康、半導体研究28 超LSI技術12 (工業調査会)、
p. 3.
- [2] K. Ito, R. Hori, J. Etoh, S. Asai, N. Hashimoto, K. Yagi, and H. Sunami, in Technical Digest
of International Solid-State Circuit Conference, 1984, p. 282.
- [3] K. Yamabe and K. Taniguchi, IEEE Trans. Electron Devices, ED-32, 423 (1985).
- [4] K. Yamabe, K. Taniguchi, and Y. Matsushita, in Proceedings of International Reliability
Physics Symposium, 1983, p. 184.
- [5] 小柳光正、サブミクロンデバイスII (丸善 (株))、p. 68.
- [6] 小柳光正、サブミクロンデバイスII (丸善 (株))、p. 75.
- [7] J. Mitsuhashi, K. Sugimoto, M. Hirayama, S. Sadahiro, and T. Matsukawa, Extended
Abstract of the 17th Conference on Solid State Devices and Materials, Tokyo, 1985, p. 267.
- [8] 原央、名取研二、堀内重治、MOSトランジスタの動作理論 (近代科学社)、p. 9.
- [9] D. J. DiMaria, in S. Pantelides (Ed.), The Physics of SiO₂ and Its Interfaces, Pergamon Press,
New York, 1978, p. 160.
- [10] D. A. Buchanan, M. V. Fischetti, and D. J. DiMaria, Phys. Rev. B 43, 1471 (1991).
- [11] 有馬秀明、博士論文「大容量半導体不揮発性メモリの開発に関する研究」、p. 80,
1994.
- [12] M. Koyanagi, H. Sunami, N. Hashimoto, and M. Ashikawa, in Technical Digest of
International Electron Devices Meeting, 1978, p. 348.
- [13] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, in Technical Digest of
International Electron Devices Meeting, 1982, p. 806.
- [14] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, IEEE Trans. Electron
Devices, ED-31, 746 (1984).
- [15] Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka, and K. Shirai, in

Technical Digest of International Solid-State Circuit Conference, 1985, p. 250.

- [16] K. Tsukamoto, M. Shimizu, M. Inuishi, Y. Matsuda, H. Oda, H. Morita, M. Nakajima, K. Kobayashi, Y. Mashiko, and Y. Akasaka, in Technical Digest of International Electron Devices Meeting, Washington, 1987, p. 328.
- [17] W. Wakamiya, Y. Yanaka, H. Kimura, H. Miyatake, and S. Satoh, in Digest of Technical Papers : 1989 Symposium on VLSI Technology, 1989, p. 69.

第10章 n⁺シリコン表面に形成されたキャパシタ誘電体膜の絶縁破壊特性^{[21]-[25]}

10.1節 n⁺拡散層を熱酸化して得られるシリコン酸化膜の絶縁破壊特性

10.1.1 プレナーキャパシタのn⁺拡散層に対する要求

SiO₂膜は、DRAM (Dynamic Random Access Memory) のメモリセルをプレナー構造のキャパシタによって構成する場合に、キャパシタ誘電体膜として主として用いられてきた材料である。この理由は、絶縁性が高く信頼性の優れた薄膜を、シリコン基板表面を酸素(O₂)や水蒸気(H₂O)によって熱酸化するという比較的実用的な方法によって得られるためである。

ところで第9章でも述べたようにプレナー構造のキャパシタでは、下部電極材料としてシリコン(Si)基板にV族元素をドーピングしたn型のシリコン層を用いるが、上部電極に負電圧を印加するときn型シリコン層表面に空乏層が発生し、これによってキャパシタ容量が低下するという問題がある。この容量低下を抑制するためには、シリコン表面のドナー濃度を高くすることが必要であり、ドーピングするV族元素の濃度を可能な限り高く設定する必要がある。この場合、SiO₂膜の形成に当たっては、高濃度のV族元素をドーピングしたシリコン表面を熱酸化することになる。一般にDRAMにおいては、V族元素として砒素(As)またはリン(P)が用いられ、特に、微細な領域に高い不純物濃度が要求される場合には、シリコン中の拡散係数が比較的小さい砒素が多用される。ところが砒素やリンは、SiO₂膜中において電子や正孔に対するトラップを形成するという報告がある[1],[2]。また、砒素やリンを含むシリコン表面を熱酸化すると、その一部がSiO₂膜に取り込まれることが知られている[3]。これらのことから、砒素をドーピングしたシリコンを熱酸化してSiO₂膜を形成する場合には、シリコン表面の砒素とSiO₂膜の電気特性との関

係を十分に把握することが重要である。本節では、シリコン基板に対する砒素のドーピング量と SiO_2 膜の電気特性、特に絶縁破壊特性との関係を調べた結果について論述する。特に、 SiO_2 膜中の電界はシリコン表面が電荷蓄積状態の時に最大となることから、正電圧を上部電極に印加する場合の絶縁破壊特性に注目した。

1 0 . 1 . 2 試料作成方法

本実験では、砒素によるシリコン基板表面が電荷蓄積状態の時の SiO_2 膜の絶縁破壊特性を簡便に測定するために、n型(100)シリコン基板を用いてMOSキャパシタを作成し、正ゲート極性における測定を行った。基板の比抵抗は $1\sim 5\Omega\text{cm}$ である。試料の作成には、まずLOCOS (Local Oxidation of Silicon) 法により約 7500\AA の分離酸化膜を形成した後、砒素イオン (As^+) を 50 KeV のエネルギーで注入した。注入量は 1×10^{14} , 5×10^{14} , 1×10^{15} , 2×10^{15} , 3×10^{15} , $4 \times 10^{15}\text{ cm}^{-2}$ の6条件である。引き続きシリコン表面からの砒素

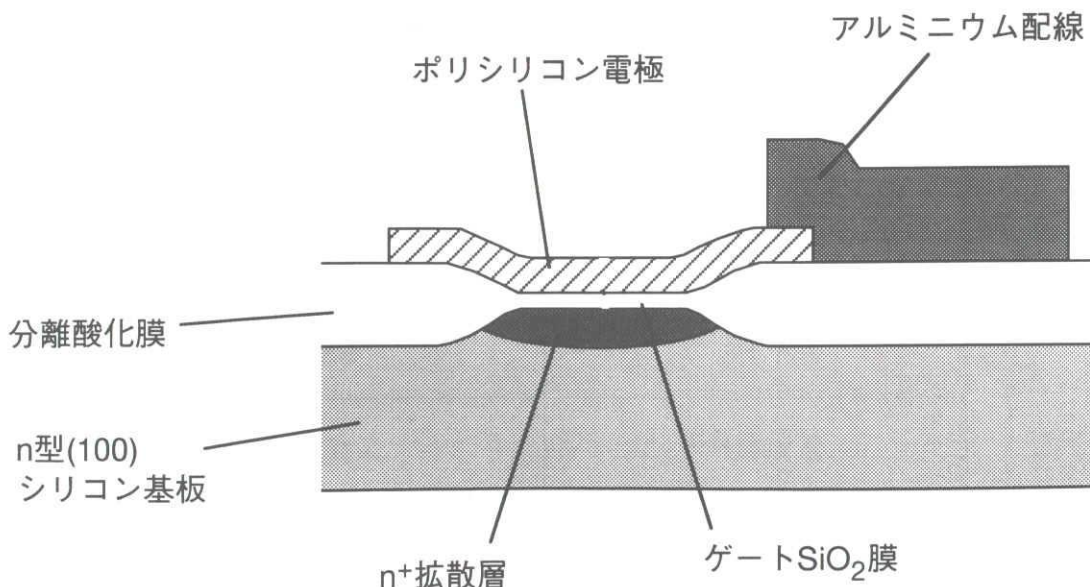


図1 0-1 実験に用いたMOSキャパシタの断面模式図。

の外方拡散を防ぐために、4%の塩酸ガス（HCl）を添加した乾燥酸素（O₂）雰囲気中で900℃の温度で280ÅのSiO₂膜を成長させた後、1050℃の窒素（N₂）雰囲気中で砒素の活性化を行いn⁺拡散層を形成した。280ÅのSiO₂膜を1%のHF溶液によって除去した後、15分の純水リンスとスピンドライを行った。引き続き1000℃の温度でHClを添加し窒素希釈した酸素雰囲気（流量比：O₂/N₂/HCl=1/140/2）中でゲートSiO₂膜を成長させた。SiO₂膜の成長速度はシリコン表面の砒素濃度に依存するため、いずれの砒素注入条件においても約100ÅのSiO₂膜を得られるように酸化時間を調整した。続いて、減圧CVD法によって3500Åのポリシリコンを堆積した後、1000℃の温度でリン拡散を行い、リン濃度が6 x 10²⁰ cm⁻³のn⁺ポリシリコン電極を形成した。アルミニウム配線を形成した後、450℃の水素雰囲気中でのアニールを行った。

形成したMOSキャパシタの断面模式図を図10-1に示す。面積は、0.12、0.49、0.98 mm²の3種類である。ゲートSiO₂膜の膜厚は、比誘電率3.85を用いて容量測定によって決定した。各砒素イオン注入条件でのゲートSiO₂膜厚を表10-1に示す。

表10-1 各砒素イオン注入条件でのゲートSiO₂膜厚。比誘電率3.85を用いて容量測定によって決定した。

砒素注入量 (cm ⁻²)	ゲートSiO ₂ 膜厚 (Å)
1 x 10 ¹⁴	97
5 x 10 ¹⁴	91
1 x 10 ¹⁵	99
2 x 10 ¹⁵	107
3 x 10 ¹⁵	100
4 x 10 ¹⁵	104

1 0.1.3 n⁺ 拡散層表面を熱酸化して得られるシリコン酸化膜の電気的性質

最初に、面積が 0.12 mm^2 のMOSキャパシタを用いてゲート電流の電界依存性を測定した結果を、図10-2に示す。ゲート電圧は0.3秒置きに0.05Vのステップで上昇させた。また本節での電界は、ゲート電圧をゲート SiO_2 膜厚で割ったものと定義している。図において、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上の場合にゲート電流が著しい増加を示している。このゲート電流の増加の原因を調べるために7MV/cmの電界に於けるゲート電流の経時変化を測定した結果を、図10-3に示す。時間が短い領域でのゲート電流は、砒素注入量の増加と共に大きくなっている。また、砒素注入量が $1 \times 10^{15} \text{ cm}^{-2}$ の場合にはゲート電流の経時変化は見られないが、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上の場合には時間と共に減少している。このような電流の経時変化の原因の1つとして、 SiO_2 膜中のトラップの電荷捕獲に起因した変位電流成分を観測している可能性がある。そこで SiO_2 膜の電荷捕獲特性の砒素注入量依存性を調べるために、一定のゲート電流が流れる時のゲート電圧の変化 ΔV_g を測定した。ゲート電流密度は SiO_2 膜に新たなトラップを生成しない条件として $1 \times 10^{-6} \text{ A/cm}^2$ を選んだ。図10-4の測定結果から、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上の場合に ΔV_g が大きく増加していることが分かる。このゲート電圧の変化は、 SiO_2 膜中に存在するトラップに電子が捕獲され負電荷が形成された結果、陰極近傍での SiO_2 電界を一定に保ってFowler-Nordheim (F-N) トンネル電流を一定値に維持するために、より高いゲート電圧が必要となったことに起因すると考えられる。そこで、捕獲された電子の分布が SiO_2 膜中で一様であると仮定して、100 sec時の ΔV_g から捕獲電子密度 N_α を計算した結果を、図10-5に示す。捕獲電子密度 N_α は、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに注入量の増加につれて大きくなっている。高濃度の砒素をドーピングした拡散層表面を熱酸化して形成する SiO_2 膜には、高密度の電子トラップが存在すると考えられる。従来、 SiO_2 膜中の砒素は電子トラップを形成すること[1][2]、及び砒素を含むシリコン表面を熱酸化すると一部が SiO_2 膜に取り込まれること[3]が知られており、本実験における電子ト

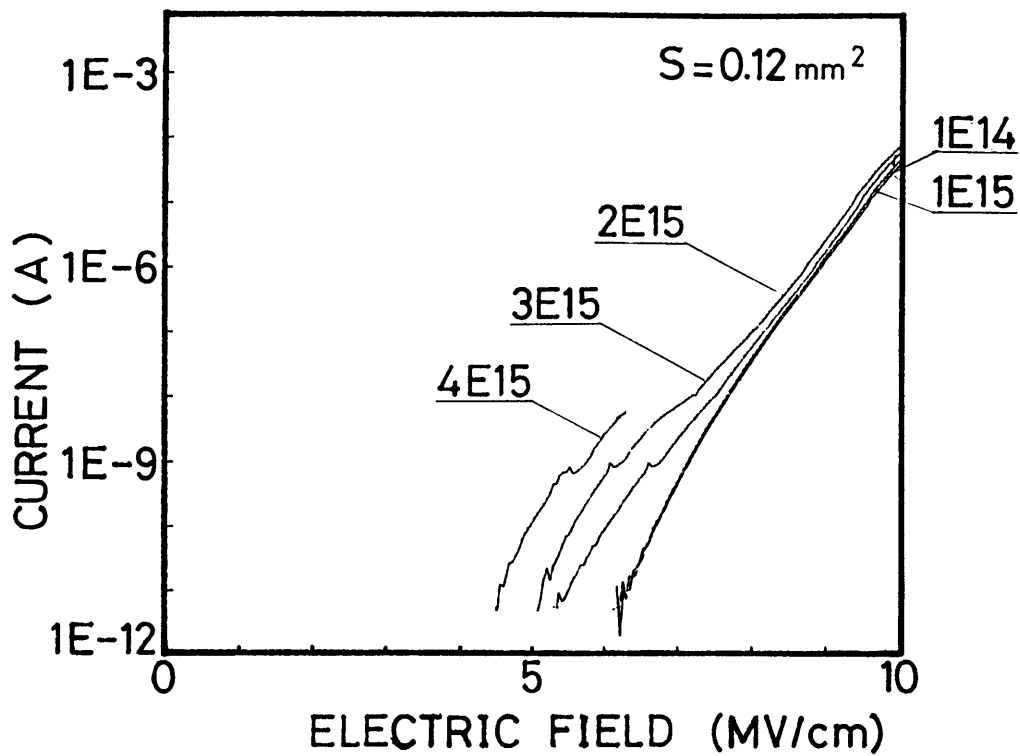


図10-2 ゲート電流の電界依存性。砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上の場合にゲート電流が著しい増加を示した。

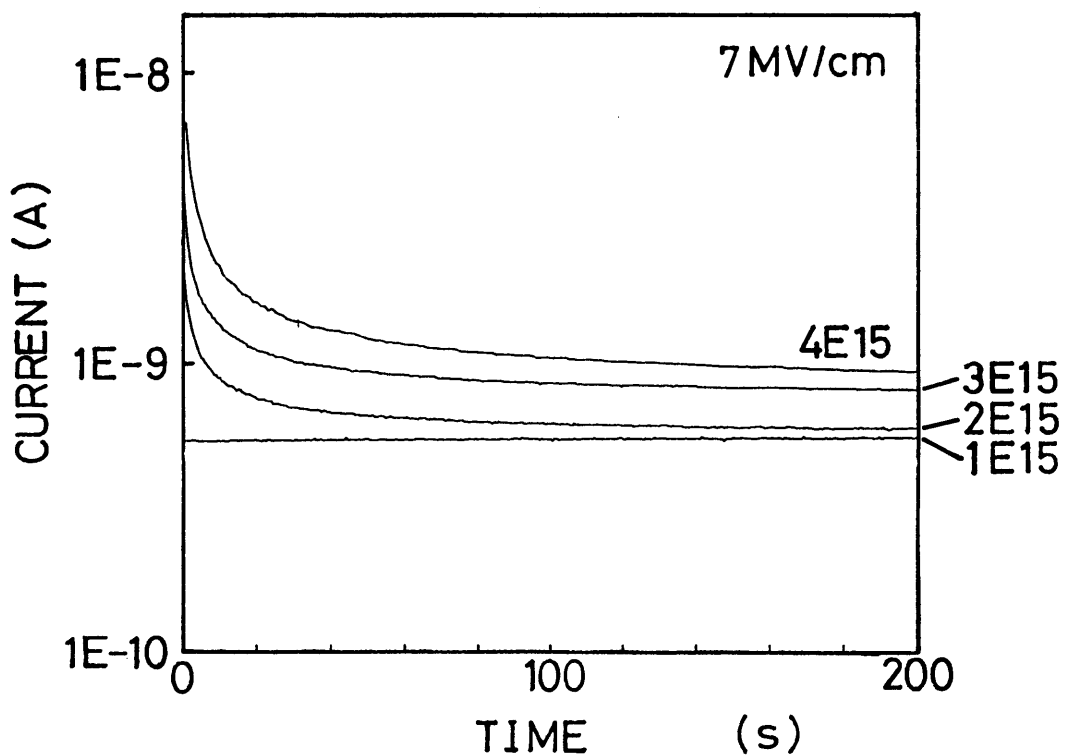


図10-3 7 MV/cmの電界に於けるゲート電流の経時変化。時間が短い領域でのゲート電流は、砒素注入量の増加と伴に大きくなっている。また、砒素注入量が $1 \times 10^{15} \text{ cm}^{-2}$ の場合にはゲート電流の経時変化は見られないが、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上の場合には時間と伴に減少している。

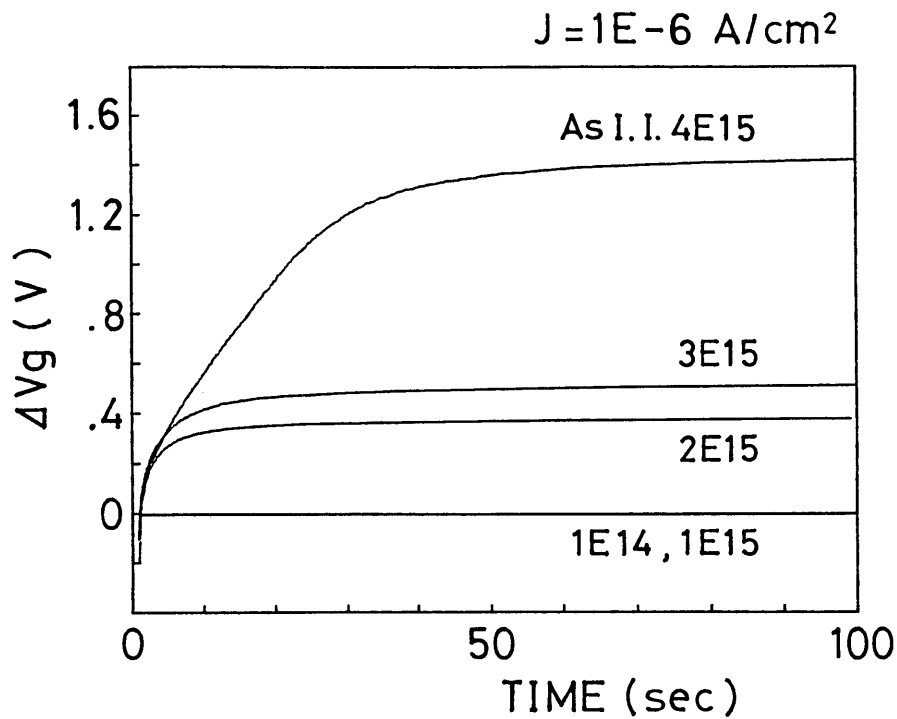


図1 0-4 一定のゲート電流が流れる時のゲート電圧の変化 ΔV_g 。ゲート電流密度は SiO_2 膜に新たなトラップを生成しない条件として $1 \times 10^{-6} \text{ A/cm}^2$ を選んだ。砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上の場合に ΔV_g が大きく増加している。このゲート電圧の変化は、 SiO_2 膜中に存在するトラップに電子が捕獲され負電荷が形成された結果、陰極近傍での SiO_2 電界を一定に保ってFowler-Nordheim (F-N) トンネル電流を一定値に維持するために、より高いゲート電圧が必要となったことに起因すると考えられる。

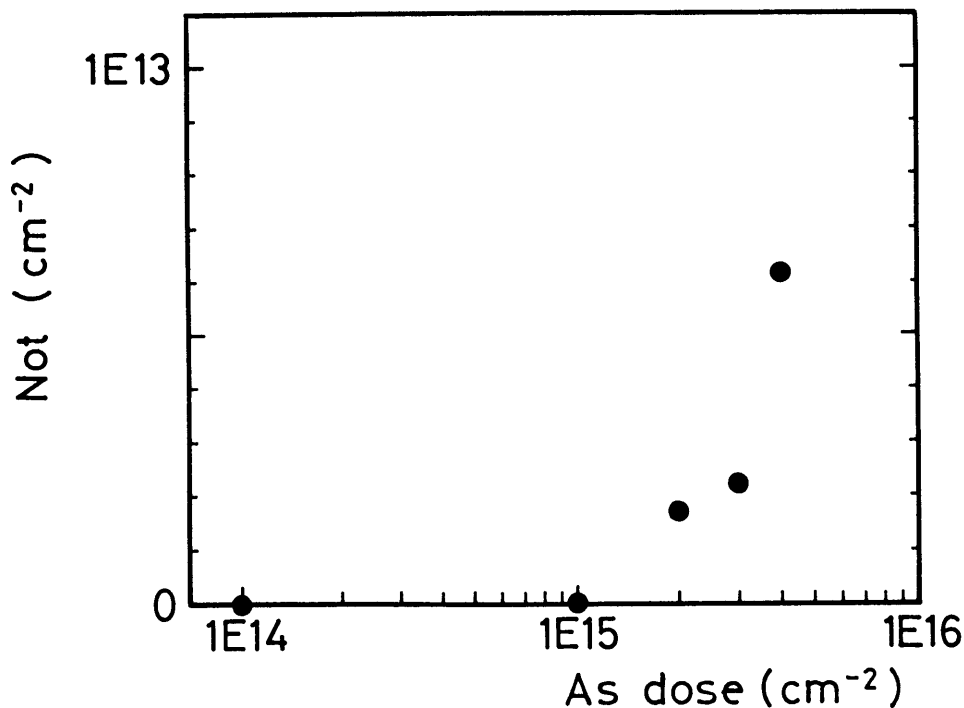


図1 0-5 捕獲された電子の分布が SiO_2 膜中で一様であると仮定して、100 sec時の ΔV_g から捕獲電子密度 N_t を計算した結果。高濃度の砒素をドーピングした拡散層表面を熱酸化して形成する SiO_2 膜には、高密度の電子トラップが存在すると考えられる。

ラップはSiO₂膜の成長時に膜中に取り込まれた砒素に起因するものと思われる。

次に、絶縁耐圧分布の砒素注入量依存性を調べるために、MOSキャパシタに印加するゲート電圧を段階的に上昇させ、絶縁破壊電圧を測定した。絶縁破壊の判定電流は、1 μAである。使用したキャパシタの面積は0.98 mm²で、試料数は160個である。耐圧のヒストグラムを図10-6に示す。さらに、8 MV/cm以下の降伏電界を示した試料を不良とみなし、砒素注入量に対してプロットした結果を図10-7に示す。図10-7から明らかな様に、砒素注入量が2 x 10¹⁵ cm²以上のときに、注入量の増加に伴い不良率が増加している。Yamabeら[4]によると、SiO₂膜の絶縁耐圧分布には、

(1) 膜中に最初から存在するピンホールによる故障

(2) 膜中のWeak spotが電界の印加や電流を流したことにより絶縁破壊した故障

の2種類が存在することが指摘されている。彼らは、前者をAモード、後者をBモードと名付けた。図10-6の結果の耐圧不良からBモードを区別するために、2~8 MV/cmの降伏電界を示す故障の割合を求め、図10-7に示した。2~8 MV/cmの不良もまた注入量が2 x 10¹⁵ cm²以上のときに注入量の増加につれて増加している。耐圧不良率の増加は、Yamabeらの定義したWeak spotの密度の増加に起因していると言える。図10-5の結果と比べると、耐圧不良率の立ち上がりと電子トラップ密度の増加が、同じ2 x 10¹⁵ cm²以上のときに起こることから、この両者の起源は同一と考えることができ、SiO₂膜中に取り込まれた砒素に起因するものと予想される。

最後に、SiO₂膜の信頼性に関わる現象として、経時絶縁破壊 (Time Dependent Dielectric Breakdown (TDDB)) 特性の砒素注入量との関係を調べた。試料のキャパシタ面積は0.49 mm²であり、電界強度として+9.6 MV/cmを印加した。試料数は各条件ともに約100個であり、降伏電界が2 MV/cm以下の試料は取り除いている。図10-8は、ゲートSiO₂膜の累積故障率と電圧印加時間の関係を示したワイブルプロットである。(ワイブルプロットについてはAppendix 7Aを参照。) ワイブルプロット中でのプロットの傾きから得られるワイブル分布の形状パラメーターmが、1より小さな値を示す場合には絶縁破壊が

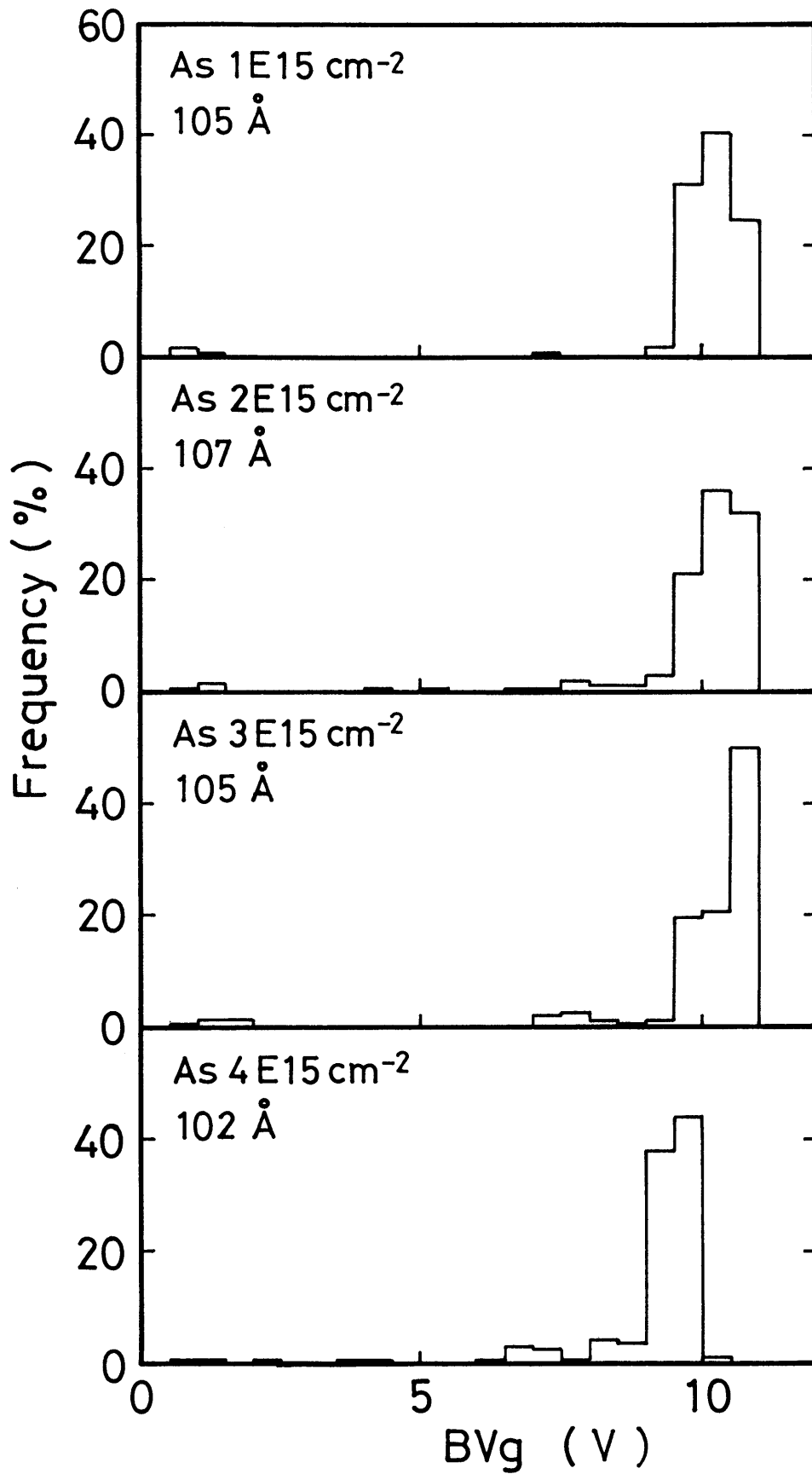


図10-6 絶縁耐圧分布の砒素注入量依存性。MOSキャパシタに印加するゲート電圧を段階的に上昇させ、絶縁破壊電圧を測定した。絶縁破壊の判定電流は、1 μA 、使用したキャパシタの面積は 0.98 mm^2 で、試料数は160個である。

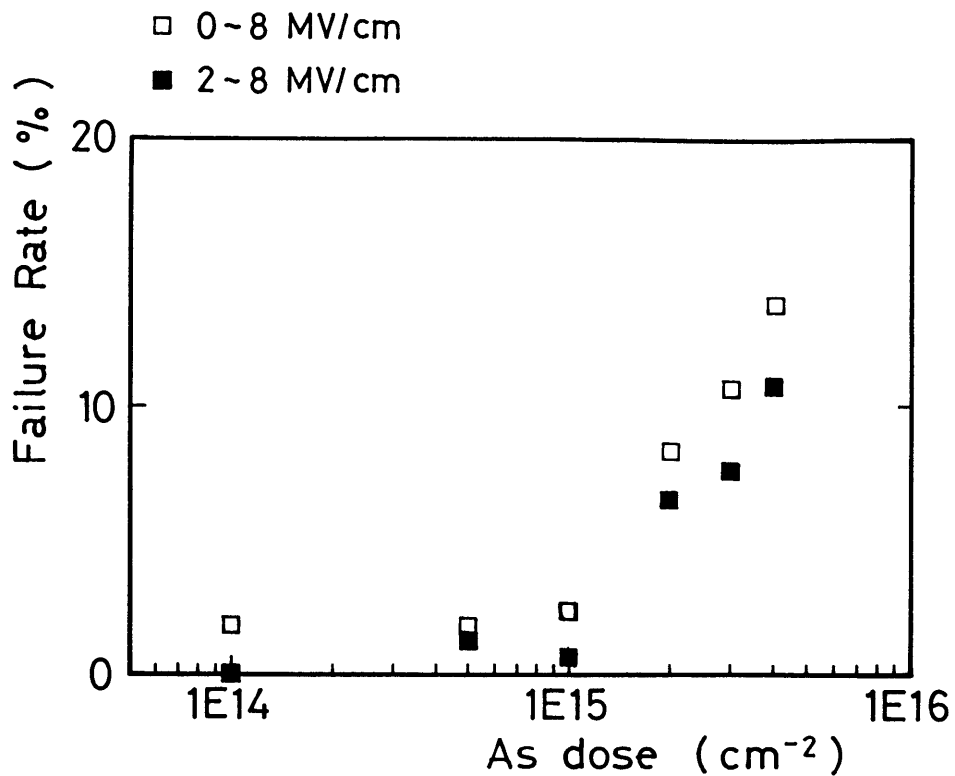


図1 0-7 0~8 MV/cmと2~8 MV/cmの降伏電界を示した試料の割合。2~8 MV/cmの不良は注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに注入量の増加につれて増加している。耐圧不良率は増加は、電子トラップ密度と同じ $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに起こる。

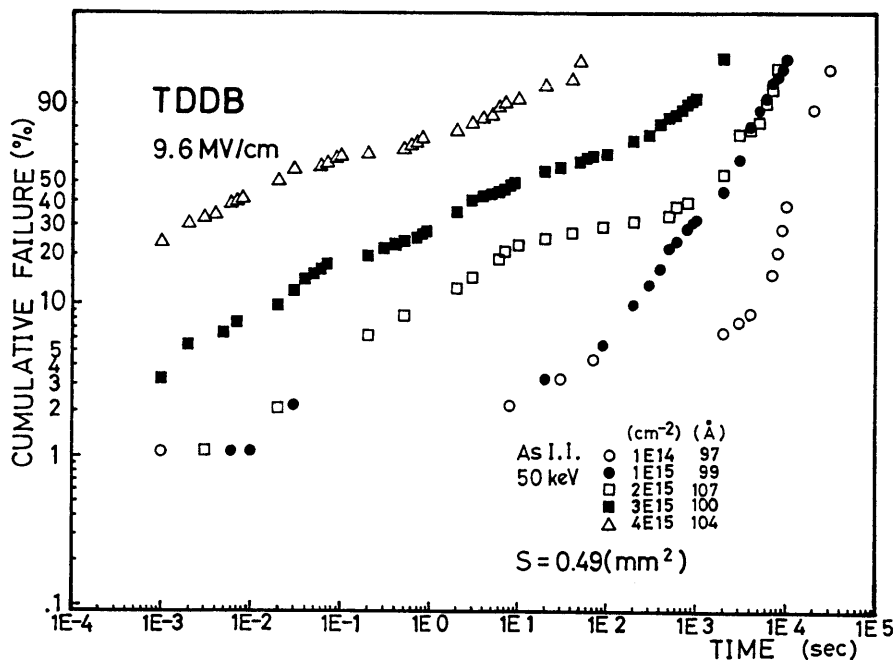


図1 0-8 ゲート SiO₂膜の累積故障率と電圧印加時間の関係を示したワイブルプロット。試料のキャパシタ面積は 0.49 mm^2 であり、電界強度として $+9.6 \text{ MV/cm}$ を印加した。試料数は各条件ともに約100個であり、降伏電界が 2 MV/cm 以下の試料は取り除いている。砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに注入量の増加につれて初期故障率が増加している。

初期故障モードに対応することから、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに注入量の増加につれて初期故障率が増加していることが分かる。図1 0-7で示した耐圧分布のBモードは、TDDB測定で現れる故障と同様に電界の印加や電流が流れたことで現れる故障であり、砒素注入量に対する依存性も一致することから、同一種類の欠陥に起因するものと考えられる。本実験におけるBモードの定義が $2 \sim 8 \text{ MV/cm}$ の電界で破壊する故障であり、電圧印加時間が数百msec以内と短いのに対して、TDDBのストレス電界は 9.6 MV/cm と大きく、電界印加時間が約 1000 sec までの区間で初期故障率が増加していることから、Bモード故障はTDDB測定における初期故障の一部分に相当しているとみなすことができる。

以上の実験結果から、本実験の条件では砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに、 SiO_2 膜中の電子トラップ密度が増加するとともに初期故障率が増加することが分かった。砒素拡散層表面に信頼性の優れた SiO_2 膜を形成する場合には、砒素注入量に上限が存在する。注入量が $1 \times 10^{15} \text{ cm}^{-2}$ の時のシリコン表面での砒素濃度は、SIMS (Secondary Ion Mass Spectroscopy) 分析の結果 $4 \times 10^{19} \text{ cm}^{-3}$ であった。この表面濃度が信頼性の優れた SiO_2 膜を得るための限界と言える。ただし、 SiO_2 膜の劣化が成長時に膜中に取り込まれた砒素に起因するという考えに基づく場合、砒素の SiO_2 膜への侵入は酸化膜成長温度に依存することが知られており[3]、限界表面濃度は酸化条件に依存すると考えられる。

1 0.2 節 n^+ ポリシリコン表面に減圧CVD法で堆積したシリコン酸化膜の絶縁破壊特性

1 0.2.1 n^+ ポリシリコン表面の誘電体膜に対する要求

DRAMの高集積化に伴うメモリセルの微細化に対し、プレナー構造でキャパシタの蓄積電荷量を確保するためにキャパシタ誘電体膜としての SiO_2 膜の薄膜化が行われてきた。

しかし、メガビットクラスのDRAMでは、要求される膜厚のSiO₂の信頼性を保障することが困難となり[5]、SiO₂膜の薄膜化に変わって蓄積電荷量を確保する1つの方法として、キャパシタの表面積を拡大することのできる三次元キャパシタセルが検討されてきた[6]-[11]。そのセル構造の一つとして提案されたのがスタックトキャパシタ型セルである[6],[9]。

ここで、図9-2に示したスタックトキャパシタ構造においても、容量の大きなキャパシタを得るためには下部電極であるポリシリコン表面の空乏層の発生を抑制する必要がある。このため、高濃度のドナーを含んだn⁺ポリシリコン電極を形成することが必要となる。このような要件のもとで高集積DRAMを実現するためには、n⁺ポリシリコン表面に欠陥密度が低く信頼性の高いキャパシタ誘電体膜を形成することが課題となる。しかし10.1節で示したように、高濃度の砒素拡散層表面を熱酸化して得られたSiO₂膜は欠陥が増加しTDDDB特性が低下する。また、高濃度のリンや砒素をドーピングしたポリシリコン表面を熱酸化して形成するSiO₂膜は、絶縁破壊電界が極めて低くなることが報告されている[12][13]。これらの事実から、n⁺ポリシリコン表面に欠陥が少ない誘電体膜を成膜するには、熱酸化のように下地を原料とする成膜方法ではなく、下地以外の原料を用いた成膜方法が有効と考えられる。このような方法の一つとして、SiH₄またはSiH₂Cl₂ガスとN₂Oガスを原料とした減圧CVD法（Low-Pressure Chemical Vapor Deposition (LPCVD) Method）が知られている[14],[15]。

本節では、n⁺ポリシリコン表面に形成するキャパシタ誘電体膜として、上記のような特徴を持つ減圧CVD法によるSiO₂膜の検討を行った結果について論述する。まず、シリコン基板表面に熱酸化法と減圧CVD法で成膜したSiO₂膜の絶縁破壊特性を比較した後、n⁺ポリシリコン表面に上記2種類の方法で成膜したSiO₂膜特性の比較を行う。そして、減圧CVD法がn⁺シリコン表面に欠陥の少ない薄いSiO₂膜を形成するために優れた方法であることを示す。また、減圧CVD法によるSiO₂膜上に減圧CVD法でSi₃N₄膜を堆積し、その表面を熱酸化して得られる酸化膜-窒化膜-酸化膜（ONO）積層膜が、更なる欠陥密度の低減に有効であることを示す。

1 0 . 2 . 2 試料作成方法

本実験では、シリコン基板表面と n^+ ポリシリコン表面に成膜した誘電体膜の絶縁破壊特性を調べるために、 n^+ ポリシリコン-誘電体膜-シリコン基板構造のMOSキャパシタと n^+ ポリシリコン-誘電体膜- n^+ ポリシリコン構造のスタックトキャパシタを作成した。いずれの場合も n 型(100)シリコン基板を使用し、基板の比抵抗は $1\sim 5\Omega\text{cm}$ である。

MOSキャパシタの作成には、まずLOCOS (Local Oxidation of Silicon) 法により 7500Å の分離酸化膜を形成した後、4%の塩酸ガス (HCl) を添加した乾燥酸素 (O_2) 雰囲気中で 900°C の温度で 300Å の犠牲酸化膜を成長させ、その SiO_2 膜を1%のHF溶液によって除去した。引き続きウエハ表面を $\text{NH}_4\text{OH-H}_2\text{O}_2$ 溶液と $\text{HCl-H}_2\text{O}_2$ 溶液で洗浄した後、1%HF溶液で洗浄し15分の純水リンスとスピン乾燥を行った。その後、表1 0-2に示す熱酸化法と減圧CVD法によって 100Å (容量測定値) の SiO_2 膜を成膜した。この後、減圧CVD法によって 3500Å のポリシリコンを堆積し、 1000°C の温度でリン拡散を行うこと

表1 0-2 スタックトキャパシタに形成した3種類の誘電体膜の形成条件。

Dielectrics	Th. SiO_2	CVD SiO_2	ONO Film		
			1st Layer	2nd Layer	3rd Layer
Method	Thermal Oxidation	LPCVD	LPCVD	LPCVD	Thermal Oxidation
Temperature	1050°C	850°C	850°C	780°C	900°C
Gas Gas Flow Ratio	O_2	$\text{SiH}_4/\text{N}_2\text{O}/\text{He}$ = $1/50/4$	$\text{SiH}_4/\text{N}_2\text{O}/\text{He}$ = $1/50/4$	$\text{SiH}_2\text{Cl}_2/\text{NH}_3$ = $1/14$	O_2
Pressure	760 Torr	0.5 Torr	0.5 Torr	0.2 Torr	760 Torr

でリン濃度が $6 \times 10^{20} \text{ cm}^{-3}$ の n^+ ポリシリコン電極を形成した。アルミ配線を形成した後、 450°C の水素雰囲気中でのアニールを行った。形成したMOSキャパシタの断面模式図を図10-9に示す。面積は、 0.1 、 1.9 mm^2 の2種類である。ゲート SiO_2 膜の膜厚は、比誘電率 3.85 を用いて容量測定によって決定した。

スタックトキャパシタの作成には、まず n 型シリコン基板に熱酸化法により約 2000 \AA の SiO_2 膜を形成した後、減圧CVD法を用いて 2050 \AA のポリシリコン膜を堆積した。堆積温度は 620°C 、圧力は 0.2 Torr であり N_2 希釈した SiH_4 ($40 \text{ vol}\%$)を用いた。次に、砒素イオン (As^+) を 50 KeV のエネルギーで 5×10^{14} 、 1×10^{15} 、 2×10^{15} 、 $5 \times 10^{15} \text{ cm}^{-2}$ の4条件で注入した後、 1050°C の N_2 希釈した O_2 雰囲気中 ($10 \text{ vol}\%$) でアニールし、不純物の活性化を行った。 O_2 雰囲気を用いたのはポリシリコン表面からの砒素の外方拡散を防ぐためである。ポリシリコン表面に成長した SiO_2 膜をウエットエッチングによって除去した後、フォトリソグラフィとエッチングによってポリシリコン膜をパターニングし、下部電

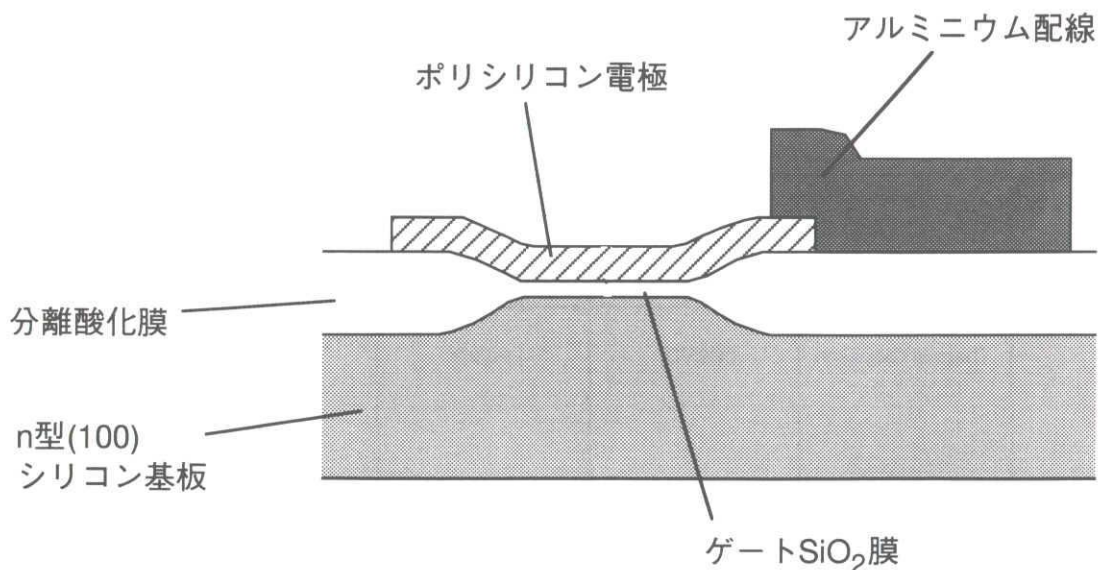


図10-9 実験に用いたMOSキャパシタの断面模式図。

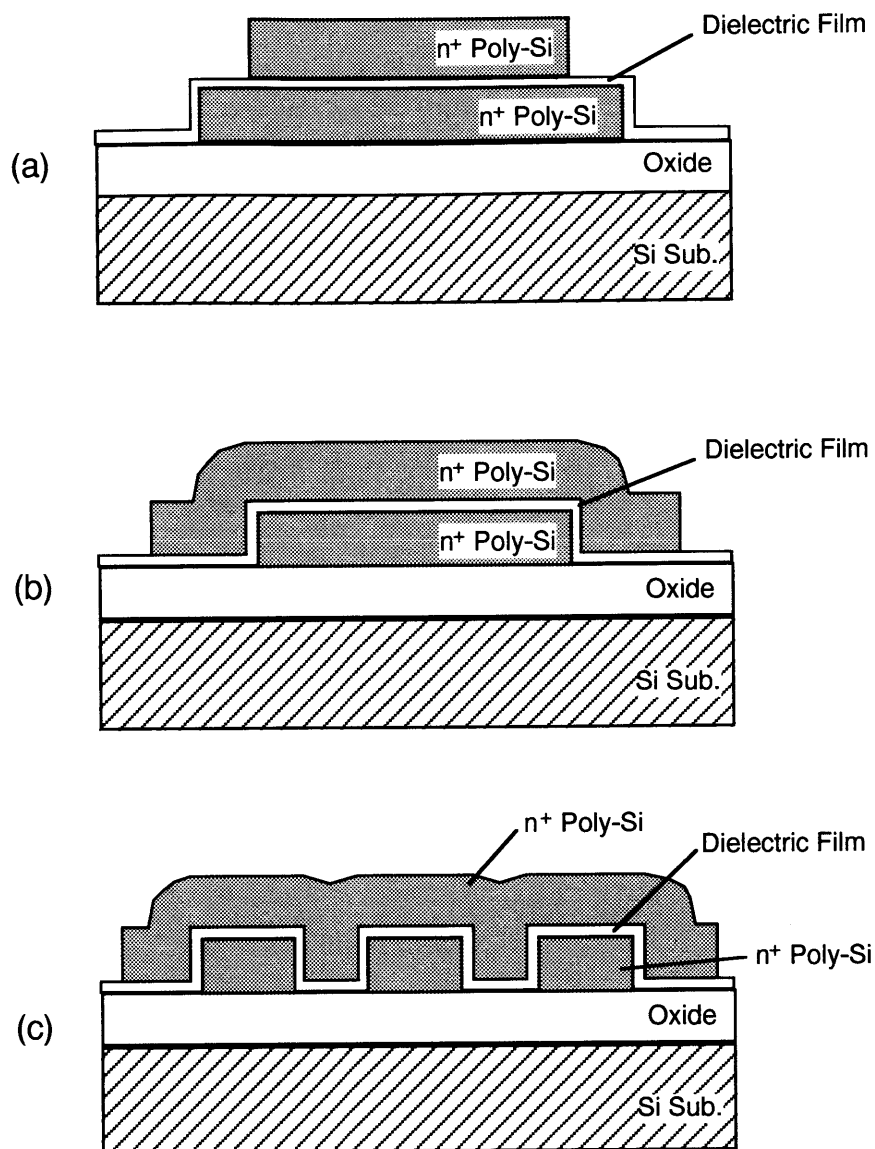


図10-10 実験に用いたMOSキャパシタの断面模式図。

極を形成した。引き続きウエハ表面を $\text{NH}_4\text{OH-H}_2\text{O}_2$ 溶液と $\text{HCl-H}_2\text{O}_2$ 溶液で洗浄した後、1%HF溶液で洗浄し15分の純水リンスとスピン乾燥を行った。この後、表10-2に示す3種類の構造の誘電体膜を成長させた。以後では、熱酸化によって形成した SiO_2 膜をTh. SiO_2 膜、減圧CVD法で堆積した SiO_2 膜をCVD SiO_2 膜と呼ぶ。Th. SiO_2 膜の膜厚は容量測定

の結果100~150 Å、CVD SiO₂膜は99~105 Åであった。また、99 ÅのCVD SiO₂膜上に減圧CVD法でSi₃N₄膜を堆積し、その表面を900 °CのO₂雰囲気中で30分間熱酸化して形成した酸化膜-窒化膜-酸化膜積層構造をONO膜と呼ぶ。Si₃N₄膜のシリコン基板表面の膜厚はエリプソメーターを用いて測定した結果、96 Åであった。Th. SiO₂膜の熱酸化温度は、下部ポリシリコン膜のエッジ部の角の丸めを考慮し、1050 °Cという比較的高温を選んだ。誘電体膜を形成した後、下部電極と同じ方法で約2000 Åのポリシリコンを堆積した後、1000 °Cの温度でPH₃とO₂を用いてリンガラスを堆積しリン拡散を行い、リン濃度が6 x 10²⁰ cm⁻³の上部電極を形成した。その後、常圧CVD法によってSiO₂膜を堆積し、フォトリソグラフィとエッチングによってコンタクトホールを開孔した。アルミニウム配線を形成した後、450°Cの水素雰囲気中でのアニールを行った。

形成したスタックトキャパシタの断面は図10-10の様であり、下部電極のエッジ長を変化させた3種類のものを用意した。キャパシタ面積Sと下部電極のエッジ長Lは、各実験結果の図中または文中に示した。キャパシタ誘電体膜のSiO₂膜換算膜厚 t_{eq} は、比誘電率3.85を用いて容量測定によって決定した。

10.2.3 実験結果と考察

シリコン基板表面に成膜したTh. SiO₂膜とCVD SiO₂膜の絶縁破壊特性を把握するために、MOSキャパシタに印加するゲート電圧（正ゲート極性）を段階的に上昇させ、絶縁破壊電圧を測定した。絶縁破壊の判定電流は1 μAである。使用したキャパシタの面積は1.9 mm²で、試料数は約100個である。絶縁破壊を起こしたSiO₂電界E_{ox}のヒストグラムを図10-11に示す。Th. SiO₂膜とCVD SiO₂膜の耐圧分布の間に有意差は見られない。

次に、Th. SiO₂膜とCVD SiO₂膜の経時絶縁破壊（Time Dependent Dielectric Breakdown (TDDB)）特性を比較するために、面積が0.1 mm²のMOSキャパシタに正ゲート極性で0.5 A/cm²の一定電流を流し、故障寿命を測定した。試料数は各条件ともに約50個である。

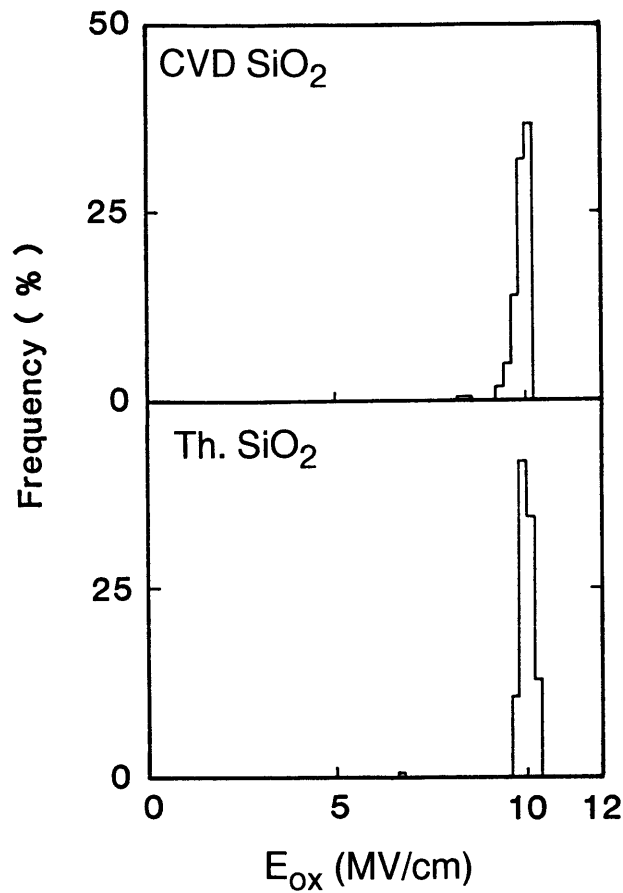


図10-11 シリコン基板表面に成膜したTh. SiO₂膜とCVD SiO₂膜の絶縁破壊電界の分布。絶縁破壊の判定電流は1 μAである。使用したキャパシタの面積は1.9 mm²で、試料数は約100個である。Th. SiO₂膜とCVD SiO₂膜の耐圧分布の間に有意差は見られない。

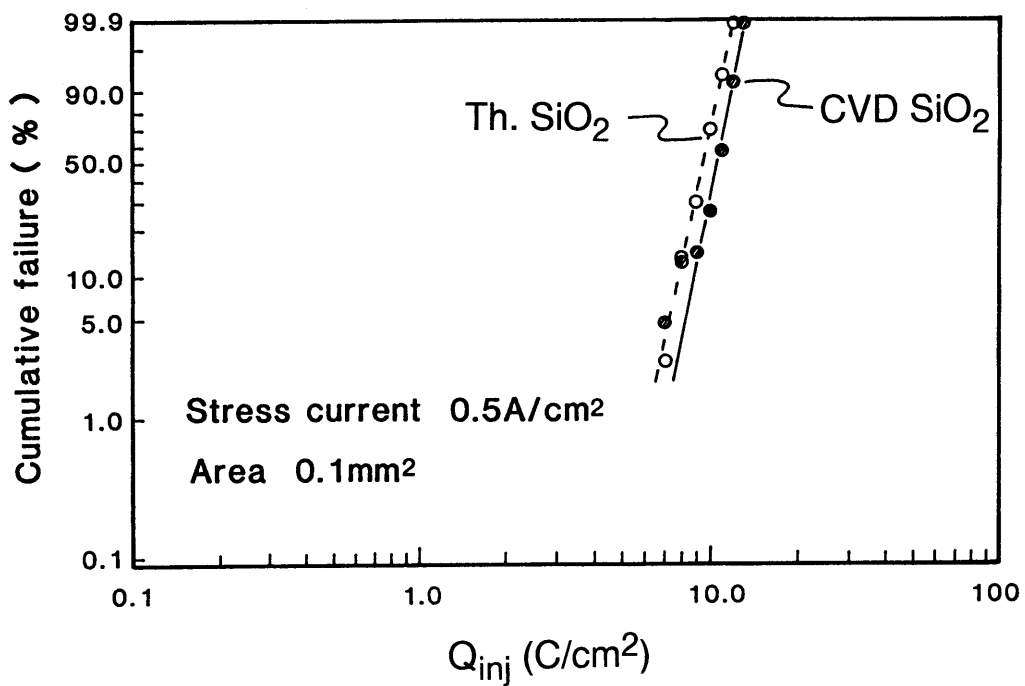


図10-12 ゲートSiO₂膜の累積故障率と注入電荷密度の関係。Th. SiO₂膜とCVD SiO₂膜のTDDDB特性の間に有意差は見られない。

図10-12に、ゲートSiO₂膜の累積故障率と注入電荷密度Q_{inj}の関係を示す。Th. SiO₂膜とCVD SiO₂膜のTDDB特性の間に有意差は見られず、図10-11の結果と合わせて、少なくとも正ゲート極性においてはTh. SiO₂膜と同等の絶縁破壊特性を有するCVD SiO₂膜が得られたと言える。

さて図10-13(a)(b)は、シリコン基板とn⁺ポリシリコン表面に成膜したTh. SiO₂膜とCVD SiO₂膜の電気伝導特性を比較した結果である。面積が0.2 mm²の図10-10(a)の構造のスタックトキャパシタの上部電極に正ゲート極性で電圧を加えてゲート電流I_gを測定し、電界(E_{eq})に対してプロットした。CVD SiO₂膜の膜厚は101~105 Å、Th. SiO₂膜の膜厚は100~150 Åであり、電界E_{eq}は電圧をSiO₂膜厚で割ったものと定義した。n⁺ポリシリコンの場合には、Th. SiO₂膜とCVD SiO₂膜ともにシリコン基板の場合と比べてゲート電流が著しく大きい。このゲート電流の増加の一つの原因は、シリコン基板表面が平坦であるのに対しポリシリコン表面にはグレインの存在に起因する凹凸が存在し、凸部での電界集中が発生するためと考えられる。この解釈を裏付けるためにスタックトキャパシタの断面をSEM (Scanning Electron Microscope) 観察した結果を、図10-14に示す。試料は、砒素注入量が2 x 10¹⁵ cm⁻²のn⁺ポリシリコン表面にCVD SiO₂膜を堆積したキャパシタである。n⁺ポリシリコン表面に凹凸が存在していることが明らかに分かる。

図10-13において、砒素注入量が5 x 10¹⁵ cm⁻²の場合のCVD SiO₂膜が最も大きいゲート電流を示しているが、この結果は以下のように解釈できる。CVD SiO₂膜の成膜に際しては、横型減圧CVD炉に挿入する直前にウエハ表面をHF溶液で洗浄し純水リンスとスピンドル乾燥を行ったが、純水リンスおよび大気中においてウエハをハンドリングする間に、n⁺シリコン表面には自然酸化膜が成長することが知られている[16][17]。また、ウエハを850°Cに設定した横型減圧CVD炉に挿入する時に、n⁺シリコン表面は大気による酸化を被る。このため試料は、自然酸化膜や挿入時の酸化による低温酸化膜とCVDによって形成されたSiO₂の積層構造を有する。ところで10.1節において、濃度の高い砒素拡散層表面を熱酸化して得られたSiO₂膜が大きな密度の電子トラップを有すること、及びゲート電流が増加することを示し、これらの原因はSiO₂膜中へ砒素が取り込まれたためと考

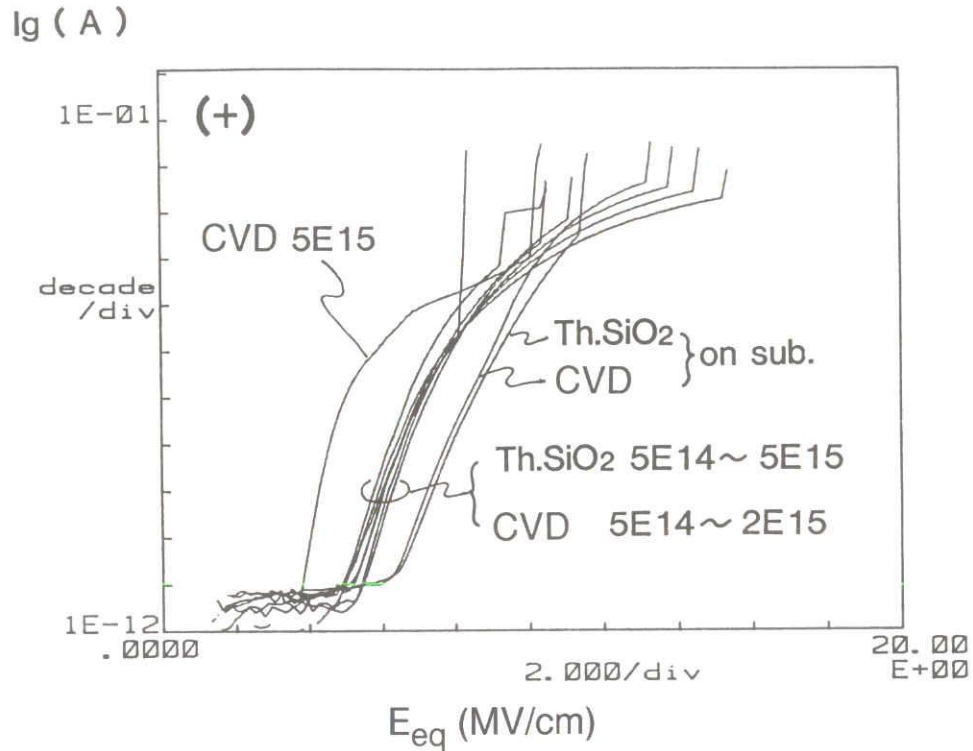


図10-13 シリコン基板と n^+ ポリシリコン表面に成膜した Th. SiO_2 膜とCVD SiO_2 膜のゲート電流の電圧依存性。 n^+ ポリシリコンの場合には、 Th. SiO_2 膜とCVD SiO_2 膜ともにシリコン基板の場合と比べてゲート電流が著しく大きい。

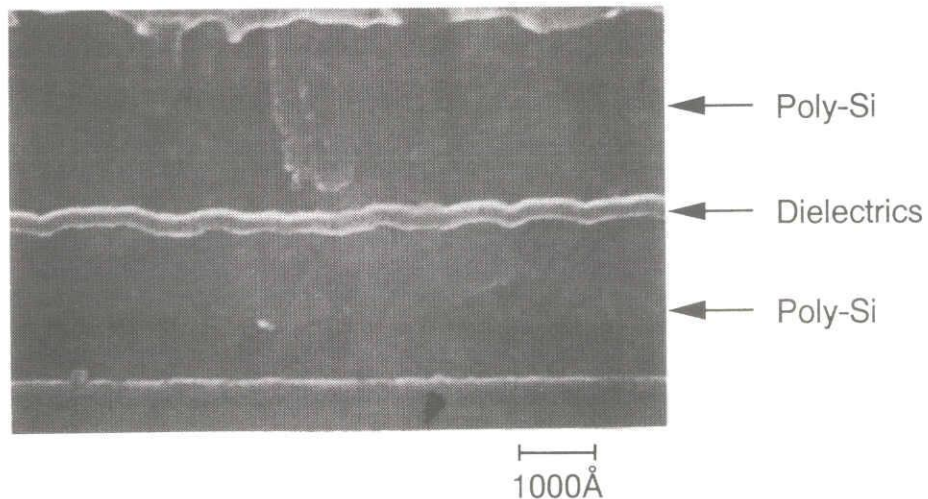


図10-14 砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ の n^+ ポリシリコン表面にCVD SiO_2 膜を堆積したスタックトキャパシタの断面のSEM (Scanning Electron Microscope) 観察像。 n^+ ポリシリコン表面に凹凸が存在していることが明らかである。

えた。シリコン中の砒素が熱酸化時に SiO_2 膜中へ取り込まれる割合は、酸化温度が低温になるにつれて増加することが知られており、 850°C では基板濃度の約1/8に達する[3]。砒素注入量が $5 \times 10^{15} \text{ cm}^{-2}$ の場合のCVD SiO_2 膜のゲート電流の増加は、CVDによる成膜前に成長した低温酸化膜に砒素が取り込まれ、電子トラップが形成されたことに起因すると思われる。

次に、 n^+ ポリシリコン表面に成膜したTh. SiO_2 膜とCVD SiO_2 膜の耐圧分布を、図10-10(b)に示すスタックトキャパシタを用いて測定した。耐圧のヒストグラムを、砒素注入量をパラメーターとして図10-15と図10-16に示す。Th. SiO_2 膜の場合には、砒素注入量が増加するにつれて低い絶縁破壊電界を示す試料の割合が増加している。ここで 2 MV/cm 以下の極めて小さい破壊電界を示す故障も増加しており、シリコン基板表面に砒素注入量を行った場合の10.1節の図10-7の結果と少し様相が異なっているが、この理由はポリシリコンのグレイン境界に砒素がより高濃度に分布することが指摘されており[18]、その部分を熱酸化して得られたTh. SiO_2 膜の膜質が著しく低下したためと思われる。 5 MV/cm 以下の破壊電界を示した試料を不良とみなし、不良率と砒素注入量の関係をプロットした結果を図10-17に示す。Th. SiO_2 膜の場合には、砒素注入量の増加に伴い不良率が急激に増加するのに対し、CVD SiO_2 膜の不良率は砒素注入量依存性を示さない。このことは、Th. SiO_2 膜は膜中に砒素が取り込まれてWeak spotやピンホールが形成されるのに対し、CVDにより堆積した膜の部分はポリシリコン中に存在する砒素の影響を受けにくいと考えられる。

さてMitsubishiら[19]によれば、シリコン基板表面を熱酸化して得られた SiO_2 膜上に減圧CVD法で Si_3N_4 膜を堆積し、その表面を熱酸化して得られる酸化膜-窒化膜-酸化膜(ONO)積層構造が、欠陥密度の低減に極めて有効である。そこで、 n^+ ポリシリコン表面の誘電体膜の欠陥密度をCVD SiO_2 膜よりもさらに低減する目的で、表10-2に示す条件でONO構造を形成し、絶縁破壊特性を調べた。まずスタックトキャパシタとして図10-10(b)に示す構造を形成し、ONO積層膜の耐圧分布から 5 MV/cm 以下の破壊電界を示した試料を不良とみなし、不良率と砒素注入量の関係をプロットした結果を図10

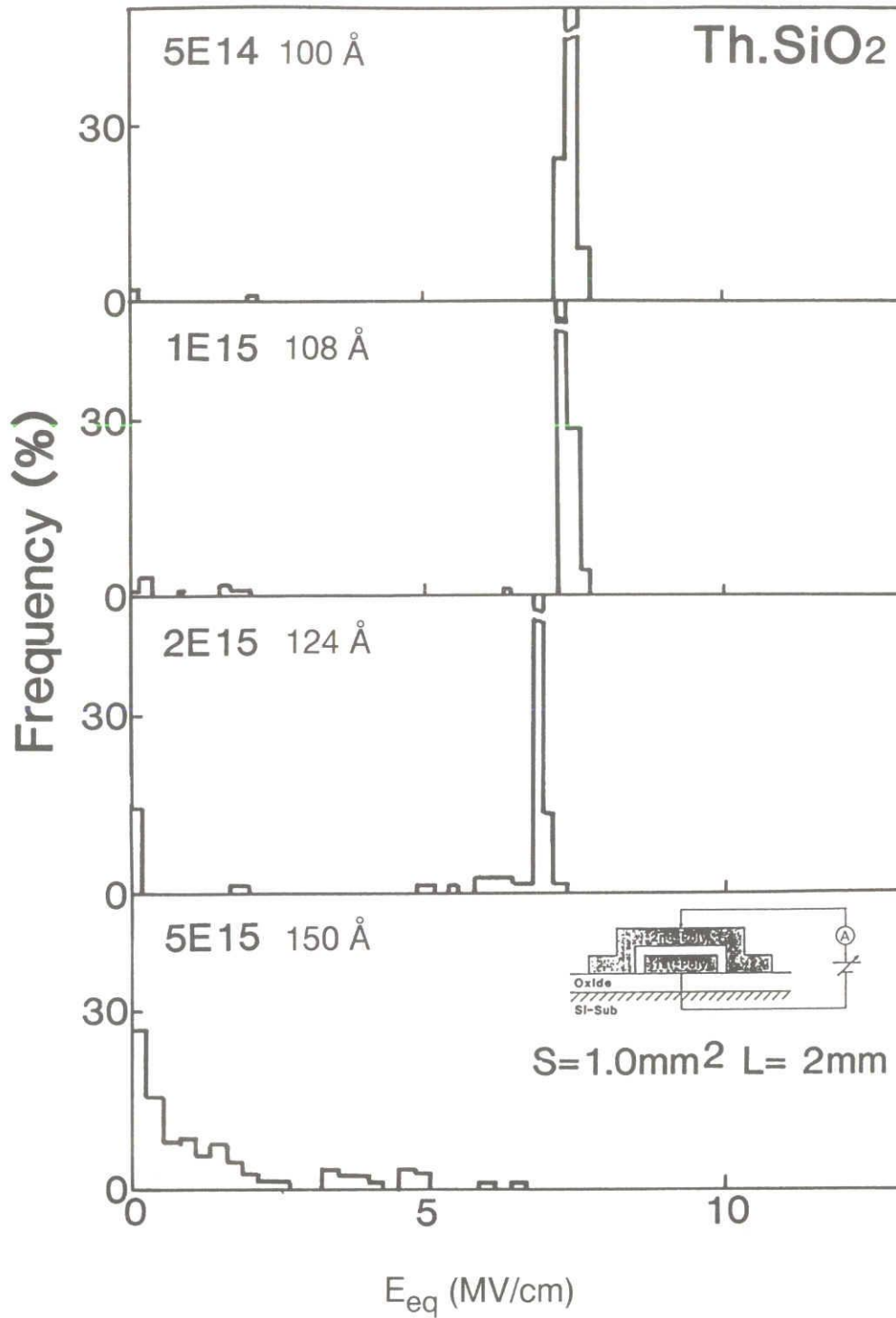


図10-15 n⁺ポリシリコン表面に成膜したTh. SiO₂膜の絶縁破壊電界分布。横軸は絶縁破壊電圧をSiO₂換算膜厚で割って得た絶縁破壊電界E_{eq}である。砒素注入量が増加するにつれて低い破壊電界を示す試料の割合が増加している。

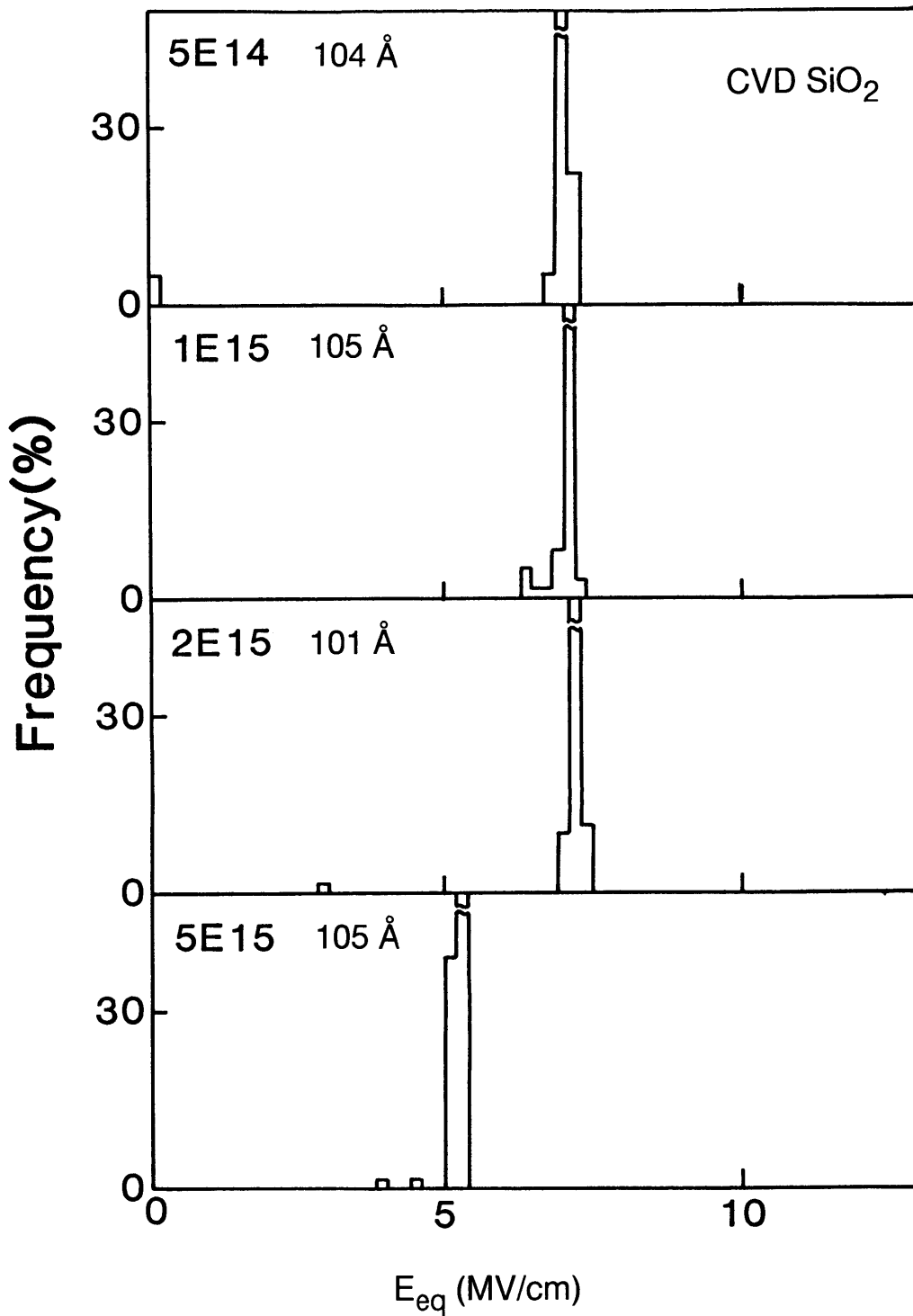


図10-16 n⁺ポリシリコン表面に成膜したCVD SiO₂膜の絶縁破壊電界分布。横軸は絶縁破壊電圧をSiO₂換算膜厚で割って得た絶縁破壊電界E_{eq}である。

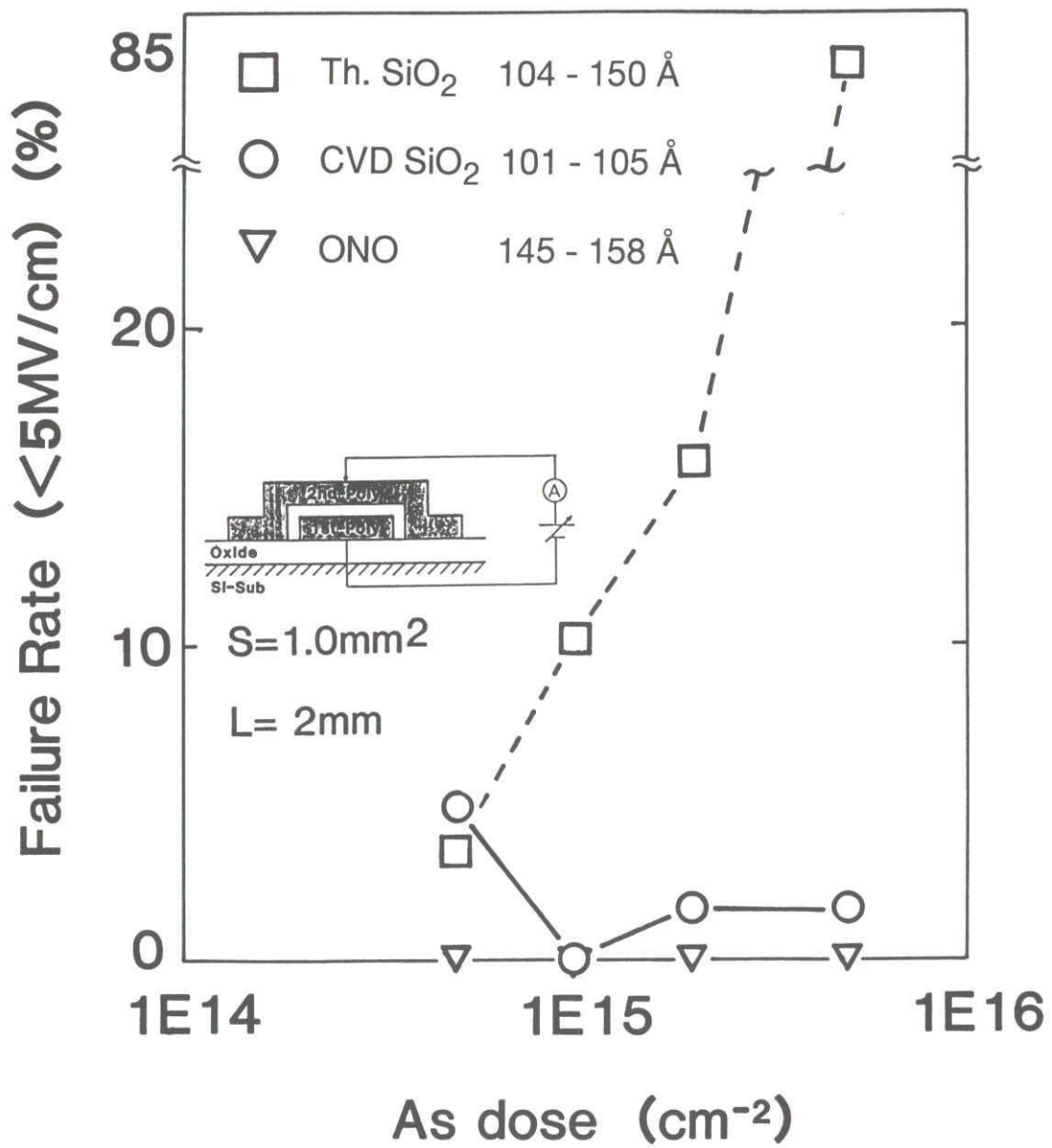
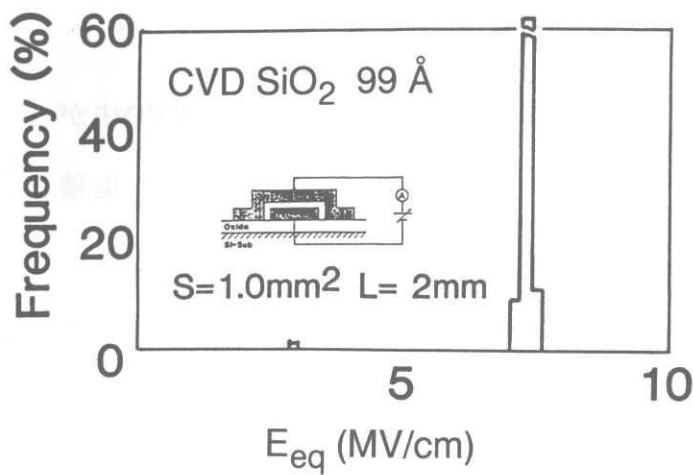
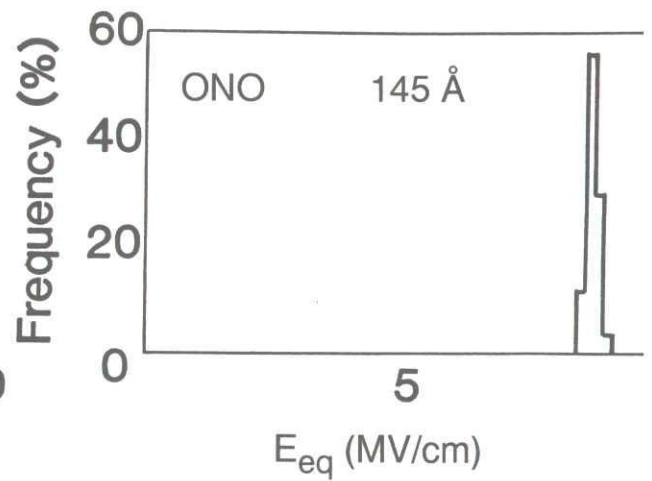


図10-17 5 MV/cm以下の破壊電界を示した試料を不良とみなし、不良率と砒素注入量の関係をプロットした結果。Th. SiO₂膜の場合には、砒素注入量の増加に伴い不良率が急激に増加するのに対し、CVD SiO₂膜の不良率は砒素注入量依存性を示さない。

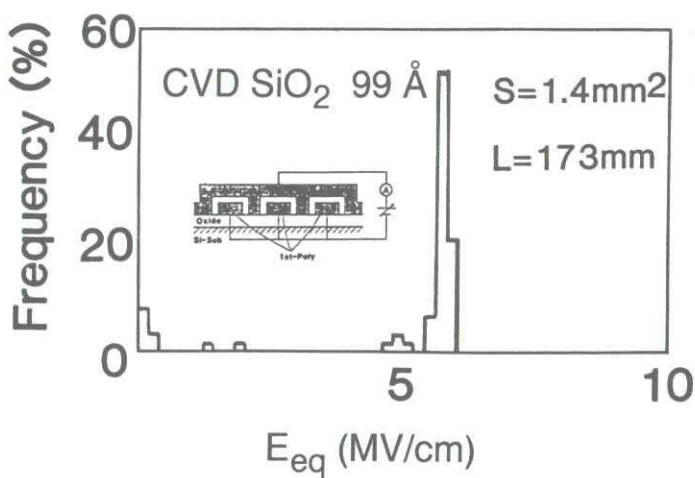
-17に示した。ONO積層膜の不良はいずれの砒素注入量に於いても検出されず、不良の発生が抑制されたことが分かる。さらに、図10-10(c)に示す下部電極のエッジ長Lが大きく異なるスタックトキャパシタ構造を形成し、図10-10(b)の構造のものと絶縁破壊電界分布を比較した結果を図10-18(a)(b)(c)(d)に示す。n⁺ポリシリコン下部電極の砒素注入量は $2 \times 10^{15} \text{ cm}^{-2}$ である。図10-18(a)は下部電極のエッジ長が2 mmの場合のCVD SiO₂膜の破壊電界分布であり、図10-18(b)はエッジ長が173 mmの場合の破壊電界分布を示す。試料数は各条件約60個である。エッジ長が長くなることで5 MV/cm以下の破壊電界を示す不良の数が増加することが分かる。この原因として、平面部分では5 MV/cm以上の電界強度を有するCVD SiO₂膜の一部が、エッジ部分の電界集中のためにより高い電界を受けて故障した為、またはエッジ部分や下部電極の側面に形成されたCVD SiO₂膜の欠陥密度が高い為、などが考えられる。図10-18(c)(d)は同様に、ONO構造の破壊電界分布を示しているが、5 MV/cm以下の破壊電界を示す不良の発生が、ONO構造を用いることで抑制されたことが分かる。この原因は、熱酸化したSi₃N₄膜の欠陥密度が極めて小さいことが考えられる。以上の結果、エッジ長の長いn⁺ポリシリコンを下部電極として有するスタックトキャパシタ構造においては、CVD SiO₂膜を用いたONO構造の採用が欠陥密度の小さい誘電体膜を得るための一つの有効な手段であると言える。



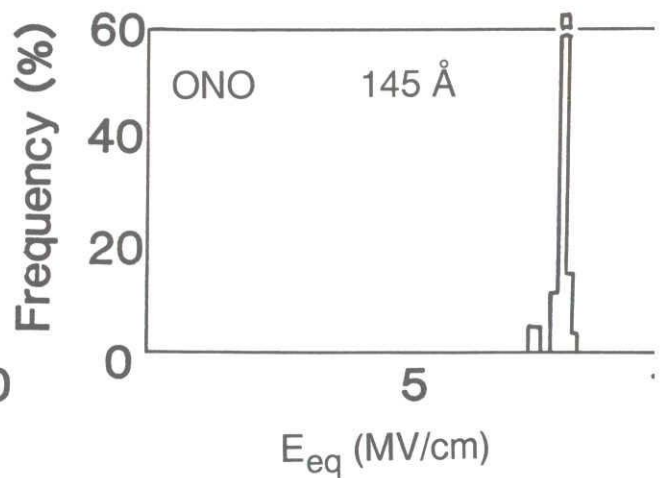
(a)



(c)



(b)



(d)

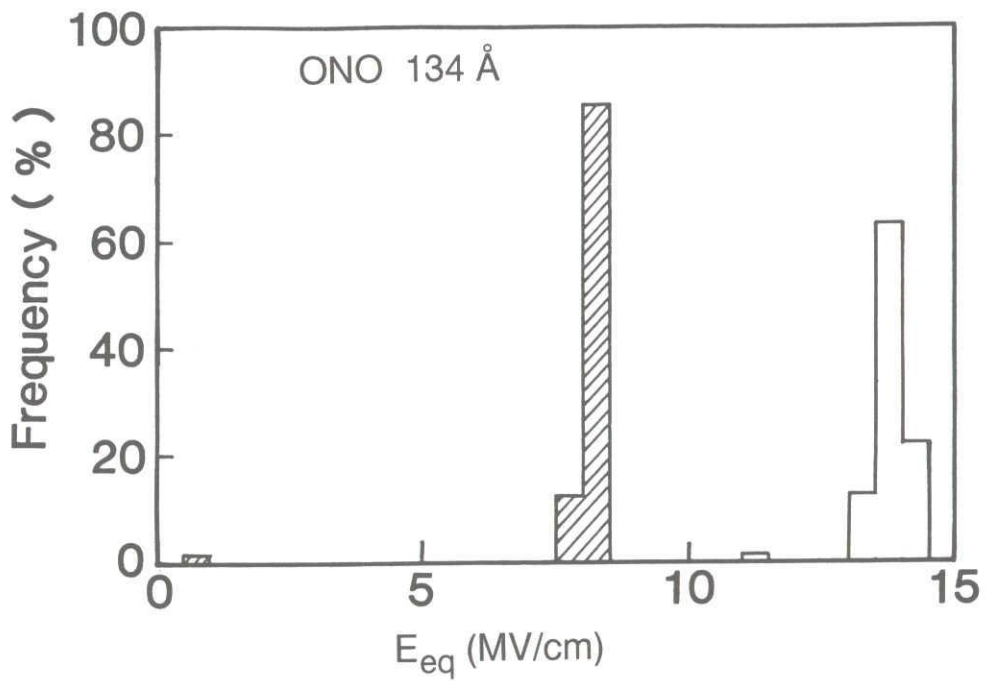
図10-18 CVD SiO₂膜およびCVD SiO₂膜上にSi₃N₄膜を堆積して形成したONO構造の絶縁破壊特性。スタックトキャパシタ構造として図10-10(b)(c)を形成し耐圧分布を測定した。n⁺ポリシリコン下部電極の砒素注入量は $2 \times 10^{15} \text{ cm}^{-2}$ である。図10-18(a)(c)は下部電極のエッジ長が2 mm、図10-18(b)(d)はエッジ長が173 mmの場合の破壊電界分布を示す。試料数は各条件約60個である。CVD SiO₂膜単層では、エッジ長が長くなることで5 MV/cm以下の破壊電界を示す不良が増加する。この不良の発生はONO構造を用いることで抑制された。

1 0.3 節 シリコン酸化膜とシリコン窒化膜の積層膜構造の検討

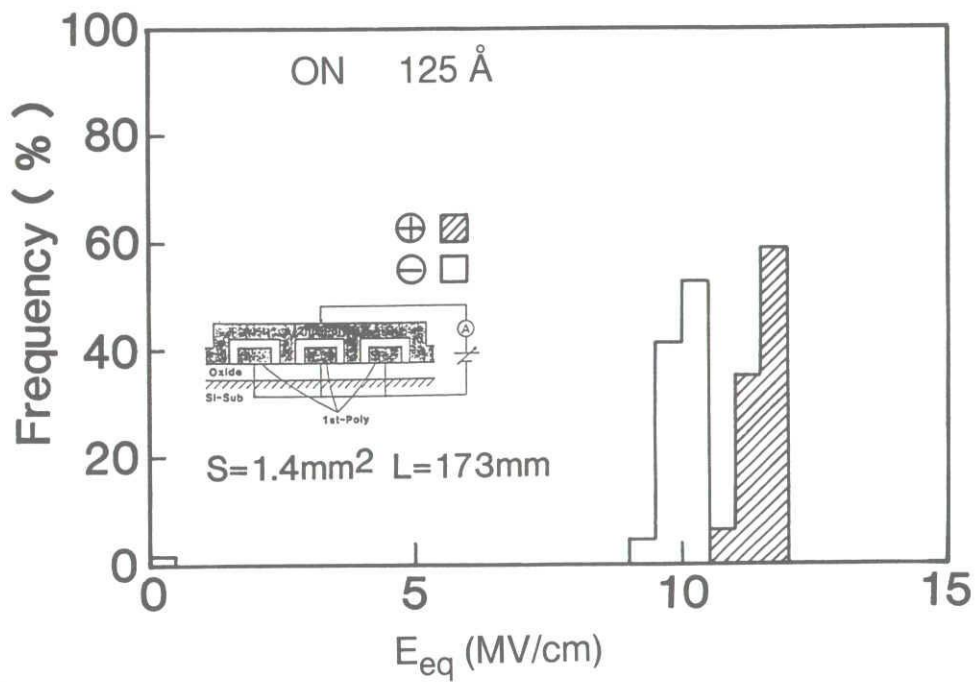
前節では、 n^+ ポリシリコン下部電極表面に欠陥の少ない SiO_2 膜を得るためにCVD法が有用であることを示してきた。ところで、CVD法によって形成でき、既にシリコン集積回路の製造工程において多く用いられている誘電体材料として Si_3N_4 膜がある。また近年、減圧CVD法により堆積した Si_3N_4 膜の表面を熱酸化して得られる酸化膜-窒化膜 (ON) 積層構造が、欠陥密度の小さい誘電体膜を得るために有効であることが報告されている [20]。本節では、このON積層膜と前節で用いたONO積層膜との絶縁破壊特性を比較し、より信頼性の高い薄膜を得るための積層構造についての検討を行う。

まず、ONO積層膜とON積層膜を比較する為に、図1 0-1 0(a)(b)(c)の構造のスタックトキャパシタを作成した。 n^+ ポリシリコン下部電極の砒素注入量は $2 \times 10^{15} \text{ cm}^{-2}$ である。ONO積層膜の形成方法は表1 0-2に示した通りである。CVD SiO_2 膜の膜厚は容量測定値で 98 \AA であり、 Si_3N_4 膜の膜厚は同時に成膜したシリコン基板上の膜をエリプソメーターを用いて測定した結果、 107 \AA であった。ONO積層膜の SiO_2 換算膜厚 t_{eq} は比誘電率3.85を用いて容量測定によって決定し、 134 \AA であった。ON積層膜は、減圧CVD法で堆積した Si_3N_4 膜の表面を $950 \text{ }^\circ\text{C}$ で90分間のパイロジェニック酸化 (流量比： $\text{O}_2/\text{H}_2=1/1.8$) を行って形成した。シリコン基板上に同時に堆積した Si_3N_4 膜の膜厚は、エリプソメーターを用いて測定した結果 198 \AA であり、ON積層膜の SiO_2 換算膜厚 t_{eq} は 125 \AA であった。

図1 0-1 9(a)(b)は、挿入図に示す構造のスタックトキャパシタを用いて、絶縁破壊電界を測定した結果である。試料数は約50個であり、絶縁破壊の判定電流は $1 \text{ } \mu\text{A}$ である。絶縁破壊電界の各ヒストグラムは特定の電界にピークを持ち、ONO積層膜とON積層膜の 5 MV/cm 以下の低電界の故障率には有意差は見られない。ピークの値は、各積層膜の伝導電流が $1 \text{ } \mu\text{A}$ に達した電界を表しており、積層膜構造に強く依存している。このような膜構造と伝導電流の関係についての解析は第1 1章で行う。



(a)



(b)

図10-19 挿入図に示す構造のスタックトキャパシタを用いて、ONO積層膜(a)とON積層膜(b)の絶縁破壊電界を測定した結果。試料数は約50個であり、絶縁破壊の判定電流は1 μA である。ONO積層膜とON積層膜の5 MV/cm以下の低電界の故障率には有意差は見られない。

続いて、ONO積層膜とON積層膜を有するスタックトキャパシタの上部電極に一定電圧を加えてTDDDB試験を行った結果を、図10-20に示す。試料数は各条件において約75個であり、印加電圧をSiO₂換算膜厚で割って得たSiO₂電界は13.0 MV/cmである。各積層膜のTDDDB特性の累積故障率は、いずれも急峻に立ち上がり初期故障モードは現れていない。図10-19(a)(b)の絶縁破壊電界のヒストグラムと合わせて、各積層膜ともに極めて欠陥の少ない誘電体膜であることが分かる。一方、絶縁破壊寿命は、ONO積層膜（正）<ON積層膜（負）<ON積層膜（正）<ONO積層膜（負）の順に長くなった。ここで、ONO積層膜の正ゲートバイアスでの寿命は著しく短く、長期信頼性の観点で問題

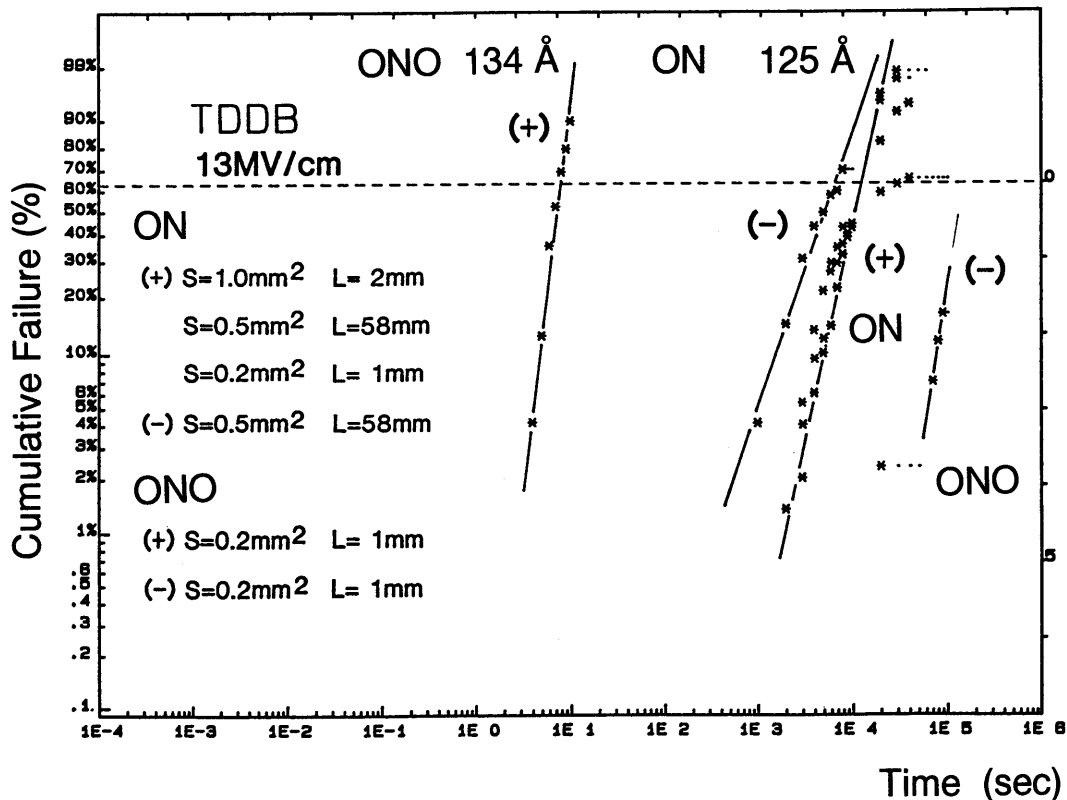


図10-20 ONO積層膜とON積層膜を有するスタックトキャパシタの上部電極に一定電圧を加えてTDDDB試験を行った結果。試料数は各条件において約75個である。

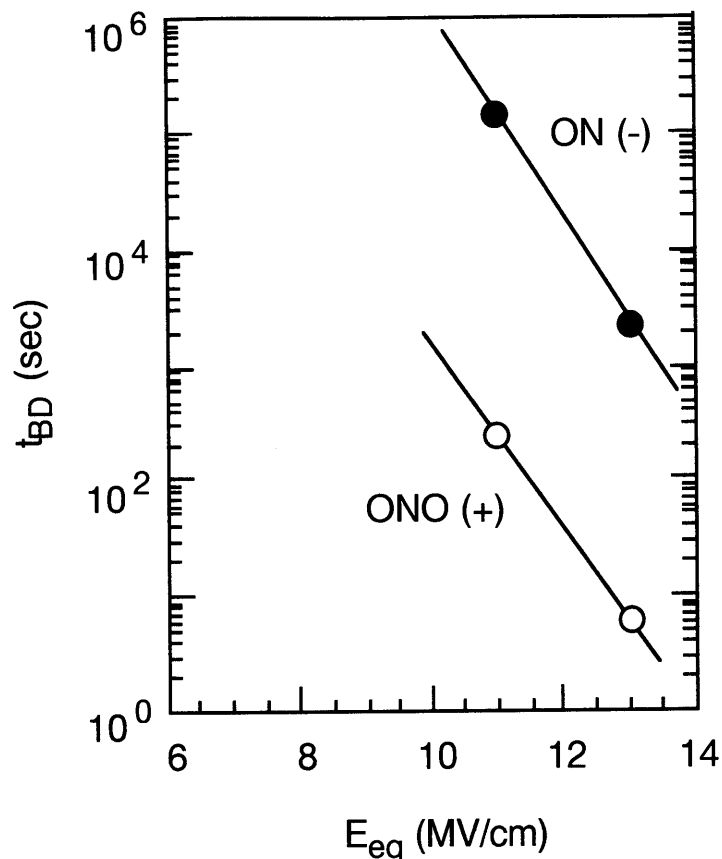


図10-21 ONO積層膜とON積層膜を有するスタックドキャパシタの累積故障率が50%に達した時間 t_{BD} と電界の関係。ONO積層膜の正ゲートバイアスとON積層膜の負ゲートバイアスの結果をプロットした。ONO積層膜とON積層膜の寿命を比較すると、両者の間には2桁以上の差が見られる。

となる可能性がある。そこで、ONO積層膜の正ゲートバイアスでの寿命に着目して、電界を変化させてTDDB測定を行い、累積故障率が50%に達した時間 t_{BD} と電界の関係を求めた。結果を図10-21に示す。ここではON積層膜の寿命が短い極性である負ゲートバイアスの結果も合わせてプロットした。ONO積層膜とON積層膜の寿命を比較すると、両者の間には2桁以上の差が見られる。このような膜構造とTDDBの関係についての検討も第11章で行う。

以上の検討の結果、DRAMのキャパシタの長期信頼性を確保するためにはON積層構造が有利であることが明らかとなった。そこで次に、ON積層膜の欠陥密度や長期信頼性

がDRAMへの応用に対して可能な水準にあるかどうかを調べるために、面積の大きなスタックトキャパシタを作成し、絶縁破壊電界およびTDDDB特性の測定を行った。本実験で用いたスタックトキャパシタは、図10-10(c)の断面構造を有し、キャパシタ面積は 40 mm^2 、下部電極のエッジ長は 48 m である。これらの値は、 $0.8\text{ }\mu\text{m}$ ルールの4Mbit DRAMのメモリセルキャパシタの1チップ当たりの総面積・総エッジ長と同程度である。下部電極の n^+ ポリシリコンの砒素注入量は $2 \times 10^{15}\text{ cm}^2$ であり、砒素の活性化は 900°C の N_2 雰囲気 20分の条件で行った。下部電極をパターン形成した後、ウエハ表面を $\text{NH}_4\text{OH-H}_2\text{O}_2$ 溶液と $\text{HCl-H}_2\text{O}_2$ 溶液で洗浄し、さらに1%HF溶液洗浄と15分の純水リンス及びスピン乾燥を行った。引き続き Si_3N_4 膜を横型減圧CVD炉を用いて、 SiH_2Cl_2 と NH_3 の流量比が1:14、成膜温度が 700°C 、成膜圧力が 0.3 Torr の条件で堆積した。その後、 900°C で30分間のパイロジェニック酸化（流量比： $\text{O}_2/\text{H}_2=1/1.8$ ）を行う場合と、行わない場合の2水準の誘電体膜を作成した。 Si_3N_4 膜の膜厚は、シリコン基板上に同時に成膜した Si_3N_4 膜をエリプソメーターを用いて測定した値で、 $73\sim 202\text{ \AA}$ の範囲で変化させた。酸化を行って得られたON積層膜の SiO_2 換算膜厚 t_{eq} は、容量測定の結果 $62\sim 127\text{ \AA}$ であった。上部酸化膜の膜厚は、Appendix 11Aに示す方法で求めた結果、 25 \AA であった。酸化を行わない Si_3N_4 膜の SiO_2 換算膜厚 t_{eq} は $50\sim 115\text{ \AA}$ であった。

最初に、デバイスの歩留まりに関係すると思われる絶縁耐圧不良率を調べた結果について述べる。判定電流 $1\text{ }\mu\text{A}$ のもとで 5 MV/cm 以下の絶縁破壊電界を示したキャパシタを不良とみなし、不良率を表10-3に整理した。まずON積層膜と Si_3N_4 膜の不良率を比較すると、いずれの膜厚においてもON積層膜の不良率が低く約 $1/2$ 程度になっている。Ohjiら[20]はTDDDB特性の結果から、 Si_3N_4 膜を熱酸化することで初期故障率を低減することができることを示したが、歩留まりに関係するような 5 MV/cm 以下の不良率もまた熱酸化によって減少することが確認できた。熱酸化には Si_3N_4 膜の欠陥を修復する効果があると考えられる。また、 $68\sim 127\text{ \AA}$ の範囲のON積層膜の不良率は $0.8\sim 2.3\%$ であり、動作電圧が $\pm 2.5\text{ V}$ の4Mbit DRAMに適用した場合には、電界は $\pm 5\text{ MV/cm}$ よりも小さいため、ON積層膜の絶縁不良に起因するDRAMの不良率はこの値以下と予想できる。

表10-3 作成した大面積スタックトキャパシタの不良率。判定電流1 μA のもとで5 MV/cm以下の絶縁破壊電界を示したキャパシタを不良とみなした。キャパシタ面積は40 mm²、下部電極のエッジ長は48 mである。これらは、0.8 μm ルールの4Mbit DRAMのメモリセルキャパシタの1チップ当たりの総面積・総エッジ長と同程度の値である。

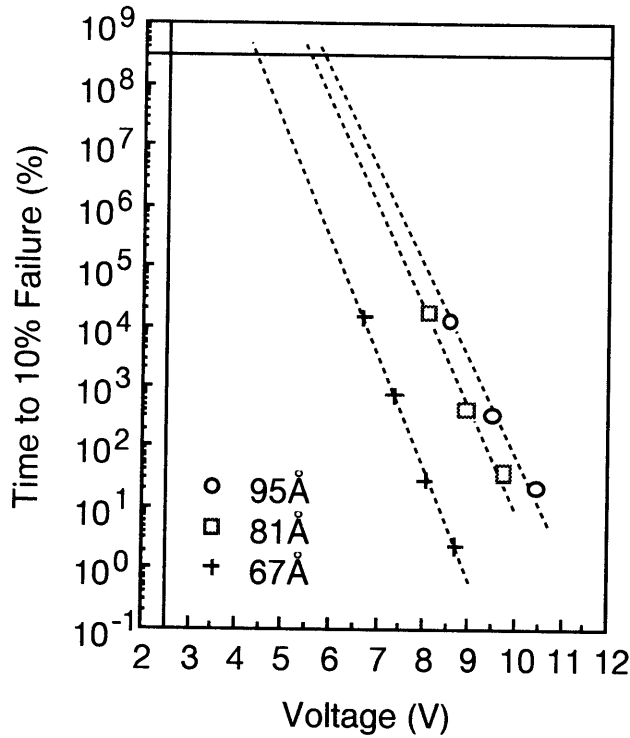
(a) ON積層膜（酸化あり）

膜厚 (Å)	試料数	不良率 (%)	
		正バイアス	負バイアス
68 ~82	2350	1.6	1.3
83 ~101	3950	2.3	2.2
102 ~127	950	1.0	0.8

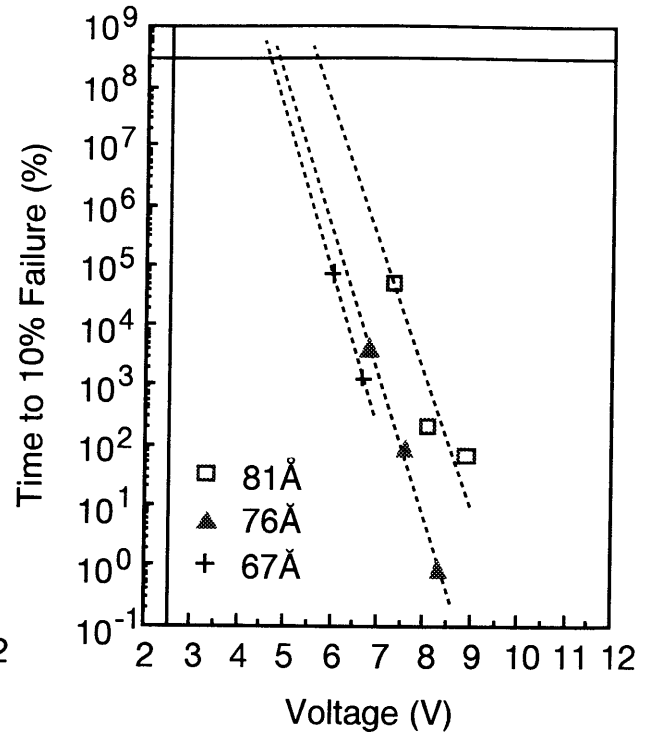
(b) Si₃N₄膜（酸化なし）

膜厚 (Å)	試料数	不良率 (%)	
		正バイアス	負バイアス
68 ~82	1850	2.7	2.2
83 ~101	450	4.5	4.3
102 ~115	650	2.1	2.0

次に、ON積層膜を有するスタックトキャパシタの上部電極に一定電圧を加えてTDDB試験を行った。累積故障率が10%に至った時間 t_{10} と電圧の関係をプロットした結果を図10-22に示す。試料数は各条件において約100個である。図中の膜厚はSiO₂換算膜厚である。ON積層膜の絶縁破壊のメカニズムは明らかではないが、絶縁破壊寿命がEyringのモデルに従うと仮定し、4Mbit DRAMの動作電圧である ± 2.5 Vでの t_{10} をlog₁₀-電圧プロットの外挿から予測すると、いずれの膜厚・極性においても10年以上の値を示した。一般にDRAMの保証期間は10年とされており、図10-22の結果から67 ÅまでのON積層膜



(a) 正ゲートバイアス



(b) 負ゲートバイアス

図10-22 ON積層膜を有するスタックトキャパシタの累積故障率が10%に至った時間 t_{10} と電圧の関係。図中の膜厚は SiO_2 換算膜厚である。 ± 2.5 Vでの t_{10} を $\log t_{10}$ -電圧プロットの外挿から予測すると、いずれの膜厚・極性においても10年以上の値を示した。

はDRAMのメモリセルキャパシタを構成できる可能性を有していると言える。

10.4節 結言

10.1節では、シリコン基板に対し砒素イオン注入を行って形成した砒素拡散層表面を熱酸化して得られる約100Åの SiO_2 膜の絶縁破壊特性について調べ、以下の結果と結論を得た。砒素拡散層を形成するに当たっては、砒素注入量を $1 \times 10^{14} \sim 4 \times 10^{15} \text{ cm}^{-2}$ の範囲で変化させ1050℃の熱処理を加えた。 SiO_2 膜は1000℃の熱酸化（流量比：

$O_2/N_2/HCl=1/140/2$) によって成長させた。

(1-1) 上記の熱処理と SiO_2 膜形成条件のもとでは、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに SiO_2 膜に電子トラップが形成され、注入量の増加と共にトラップ密度が増加する。

(1-2) 絶縁耐圧分布の砒素注入量依存性を調べた結果、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに耐圧不良率が増加した。経時絶縁破壊特性の砒素注入量との関係を調べた結果、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに注入量の増加につれて初期故障率が増加した。

以上の結果から、砒素拡散層表面に熱酸化法で SiO_2 膜を形成する場合には、砒素濃度の上限（本実験条件では $4 \times 10^{19} \text{ cm}^{-3}$ ）を越えると SiO_2 膜の故障率が増加し信頼性が低下することが明らかとなった。

10.2節では、スタックトキャパシタの n^+ ポリシリコン下部電極表面に、欠陥の少ない誘電体膜を形成する方法として減圧CVD法の検討を行い、以下の結果と結論を得た。

(2-1) シリコン基板表面に於いて同等の絶縁耐圧分布とTDDDB特性を示す 100 \AA のTh. SiO_2 膜とCVD SiO_2 膜を得た。同様の方法で n^+ ポリシリコン表面に $100 \sim 150 \text{ \AA}$ のTh. SiO_2 膜とCVD SiO_2 膜を形成した場合、Th. SiO_2 膜の絶縁不良率（ 5 MV/cm 以下の低い絶縁破壊電界を示す割合）が砒素注入量の増加につれて増加したのに対し、CVD SiO_2 膜の場合には砒素注入量依存性を示さず、Th. SiO_2 膜に比べて小さな不良率であった。このことは、熱酸化法により形成されたTh. SiO_2 膜では膜中に砒素が取り込まれてWeak spotやピンホールが形成されるのに対し、CVD法により堆積した SiO_2 膜はポリシリコン中に存在する砒素の影響を受けにくいためと考えられる。

(2-2) CVD SiO_2 膜上に減圧CVD法を用いて Si_3N_4 膜を堆積し、その表面を熱酸化して形成した酸化膜-窒化膜-酸化膜（ONO）積層構造（ SiO_2 換算膜厚にして $145 \sim 158 \text{ \AA}$ ）は、 n^+ ポリシリコン上に於いてCVD SiO_2 膜単層の場合に比較してさらに小さな絶縁不良率を示し、下部電極のエッジに於ける絶縁不良の発生も抑制することができる。

以上のことから、エッジ長の長い n^+ ポリシリコンを下部電極とするスタックトキャパシタ構造に於いて欠陥密度の小さい誘電体膜を得るためには、CVD SiO_2 膜を有するONO構造の採用が一つの有効な手段であると言える。

10.3節では、減圧CVD法により堆積した Si_3N_4 膜の表面を熱酸化して得られる酸化膜-窒化膜 (ON) 積層構造とONO積層構造の絶縁破壊特性を比較した結果、以下の結論を得た。

(3-1) 125 Å (SiO_2 換算膜厚) のON積層膜と134 ÅのONO積層膜を有するスタックトキャパシタの絶縁不良率に有意差は見られず、TDDB測定の結果では正ゲートバイアスでの寿命がON積層膜に比べてONO積層膜の場合に短いことから、キャパシタの長期信頼性を確保するためにON積層構造が有利であると言える。

(3-2) 68~127 Å (SiO_2 換算膜厚) の範囲のON積層膜と Si_3N_4 膜の絶縁耐圧不良率を比較すると、ON積層膜の不良率が Si_3N_4 膜の約1/2程度であり、 Si_3N_4 膜を熱酸化することで不良率を低減できることを確認した。

(3-3) ON積層膜を有するスタックトキャパシタの上部電極に一定電圧を加えてTDDB測定を行った結果、67 Å以上のON積層膜はDRAMのメモリセルキャパシタに適用可能であることを明らかにした。

以上の10.1節~10.3節の結果から、エッジ長の長い n^+ ポリシリコンを下部電極として有するスタックトキャパシタ構造に対しては、本章で検討した誘電体膜の中ではON積層膜によって最も高い信頼性を得ることができると結論する。

参考文献

- [1] D. J. DiMaria, in S. Pantelides (Ed.), The Physics of SiO_2 and Its Interfaces, Pergamon Press,

New York, 1978, p. 160.

- [2] D. A. Buchanan, M. V. Fischetti, and D. J. DiMaria, *Phys. Rev. B* 43, 1471 (1991).
- [3] 有馬秀明、博士論文「大容量半導体不揮発性メモリの開発に関する研究」、p. 80, 1994.
- [4] K. Yamabe and K. Taniguchi, *IEEE Trans. Electron Devices*, ED-32, 423 (1985).
- [5] 塚本克博、松川隆行、藤島一康、半導体研究 28 超LSI技術 12 (工業調査会)、p. 3.
- [6] M. Koyanagi, H. Sunami, N. Hashimoto, and M. Ashikawa, in *Technical Digest of International Electron Devices Meeting*, 1978, p. 348.
- [7] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, in *Technical Digest of International Electron Devices Meeting*, 1982, p. 806.
- [8] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, *IEEE Trans. Electron Devices*, ED-31, 746 (1984).
- [9] Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka, and K. Shirai, in *Technical Digest of International Solid-State Circuit Conference*, 1985, p. 250.
- [10] K. Tsukamoto, M. Shimizu, M. Inuishi, Y. Matsuda, H. Oda, H. Morita, M. Nakajima, K. Kobayashi, Y. Mashiko, and Y. Akasaka, in *Technical Digest of International Electron Devices Meeting*, Washington, 1987, p. 328.
- [11] W. Wakamiya, Y. Yanaka, H. Kimura, H. Miyatake, and S. Satoh, in *Digest of Technical Papers : 1989 Symposium on VLSI Technology*, 1989, p. 69.
- [12] T. Ono, T. Mori, T. Ajioka, and T. Takayashiki, in *Technical Digest of International Electron Devices Meeting*, 1985, p. 380.
- [13] N. Ajika, M. Shimizu, K. Tsukamoto, M. Hirayama, and T. Matsukawa, in *Extended Abstracts of the 19th Conference on Solid State Devices and Materials*, Tokyo, 1987, p.211.
- [14] M. Nakamura, Y. Mochizuki, and K. Usami, *J. Electrochem. Soc.*, Vol. 132, 1985, p. 482.
- [15] J. Lee, I. C. Chen, and C. Hu, *IEEE Electron Device Letters*, EDL-7, 506 (1986).

- [16] M. Morita, T. Ohmi, E. Hasegawa, and A. Teramoto, Extended Abstract of the 22nd Conference on Solid State Devices and Materials, 1990, p. 1063.
- [17] M. Morita, T. Ohmi, E. Hasegawa, M. Kawakami, and M. Ohwada, J. Appl. Phys., 68, 1272 (1990).
- [18] T. Kamins, Polycrystalline Silicon for Integrated Circuit Applications, Kluwer Academic Publishers, Boston, p. 112.
- [19] J. Mitsuhashi, K. Sugimoto, M. Hirayama, S. Sadahiro, and T. Matsukawa, Extended Abstract of the 17th Conference on Solid State Devices and Materials, Tokyo, 1985, p. 267.
- [20] Y. Ohji, T. Kusaka, I. Yoshida, A. Hirata, K. Yagi, K. Mukai and O. Kasahara, in Proceedings of International Reliability Physics Symposium, 1987, p. 55.
- [21] N^+ 領域上のトンネル酸化膜の評価、小林清輝、有馬秀明、平山誠、松川隆行、1985年春季第32回応用物理学関係連合講演会予稿集, 30a-D-7, p. 507.
- [22] EEPROMトンネル酸化膜の膜質評価、小林清輝、有馬秀明、平山誠、松川隆行、半導体・集積回路技術第30回シンポジウム講演論文集, 1986, p.105.
- [23] 多結晶シリコン上の高温CVD酸化膜の絶縁破壊特性、藤井淳弘、小林清輝、清水雅裕、犬石昌秀、平山誠、加藤忠雄、1987年秋季第48回応用物理学会学術講演会予稿集, 19p-N-1, p. 569.
- [24] ゲート/キャパシタ絶縁膜、平山誠、大野吉和、小林清輝、藤井淳弘、電子情報通信学会春季全国大会（1989年）, SC-7-5, p. 5-379.
- [25] スタック/円筒型キャパシタの誘電体膜形成技術、平山誠、小林清輝、若宮互、月刊Semiconductor World, 1990.5, 1990, p. 102.

第11章 シリコン窒化膜とシリコン酸化膜の積層膜の電気伝導と絶縁破壊特性に対する上部酸化膜と下部酸化膜の影響^{[23]-[28]}

11.1節 はじめに

シリコン窒化膜 (Si_3N_4) を熱酸化して得られる酸化膜-窒化膜 (Oxide-Nitride: 以下ではONと略す) 積層膜は、スタックトキャパシタやトレンチキャパシタなどの三次元セルにおいても高い信頼性を示すため、メガビットクラスのDRAM (Dynamic Random Access Memory) のキャパシタ誘電体膜として注目されてきた[1],[2]。また第10章においては、スタックトキャパシタに適用した場合の酸化膜-窒化膜-酸化膜 (ONO) 積層膜とON積層膜を比較して、後者の方が絶縁破壊寿命が長いことを明らかにした。

一方、これらの報告[1],[2]と第10章の結果は、窒化膜と酸化膜の積層膜の絶縁破壊特性がその膜構造に強く依存することを示している。このため、信頼性の優れたキャパシタ誘電体膜を形成するためには、積層膜の膜構造と絶縁破壊特性との関係および絶縁破壊メカニズムを系統的に理解し、膜構造を最適化する指針を得ることが重要と考えられる。また、これまでのシリコン酸化膜 (SiO_2) の絶縁破壊に関する研究では、膜中に注入されたキャリアが絶縁破壊を誘起すると考えられており[3]、この観点から、積層膜の絶縁破壊メカニズムを理解するために、絶縁破壊と電気伝導特性の関係についての研究が重要と考えられる。

従来、シリコン窒化膜 (Si_3N_4) や窒化膜と酸化膜の積層膜の電気伝導特性について、多くの研究が行われてきた[4]-[16]。窒化膜の電気伝導において電子と正孔の2種類のキャリアの役割を考慮する必要があることは、Ginovkerらによって最初に指摘された[6]。WeinbergとPollakはキャリア分離測定を行い、負ゲート極性では正孔が窒化膜の電気伝導を支配していると報告した[7]。またWeinbergは仕事関数の異なる電極材料を使

用したキャパシタの電流を測定し、正ゲート極性においても正孔伝導が支配的であることを示した[8]。SchroderとWhiteは、MNOS (Metal-Nitride-Oxide-Semiconductor) 構造において、下部酸化膜が薄い場合には電気伝導を律速しているキャリアーは正孔であり、下部酸化膜が厚くなると正孔の輸送が抑制されることを示した[11]。LiouとChenはMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 構造の電気伝導について調べ、窒化膜の電気伝導は正孔の流れに支配されており、上部酸化膜が正ゲート極性において陽極からの正孔のトンネリングを妨げると提案した[12]。これらの研究[7],[8],[11], [12]や他の研究[10],[14],[16]の結果を整理すると、正負両ゲート極性の窒化膜の電気伝導を支配しているキャリアーは正孔であり、厚い上部・下部酸化膜が積層膜における正孔の輸送を妨げると考えられている。

窒化膜と酸化膜の積層膜の絶縁破壊特性についても、幾つかの研究が行われている。Ohjiらは60 Å程度の厚い上部酸化膜を有するON積層膜の絶縁破壊が、正孔によって引き起こされる上部酸化膜の絶縁破壊に支配されていると考えた[1]。Ohnoらは熱酸化で形成した55 Åより厚い下部酸化膜がONO積層膜の絶縁破壊寿命を低下させることを見いだしている[2]。

しかしこれらの研究は、窒化膜と酸化膜の積層膜の絶縁破壊に関する断片的な知見を得るに留まっており、正負両ゲート極性に於ける絶縁破壊寿命に対し積層膜構造や上部・下部酸化膜の各々が及ぼす効果を系統的に理解できるまでには至っていない。また、薄い上部・下部酸化膜を有する積層膜や窒化膜単層の絶縁破壊メカニズムや、積層膜の絶縁破壊と電気伝導の関係についての理解は未だ興味深い課題である。本章では、窒化膜と酸化膜の積層構造に於ける上部酸化膜と下部酸化膜の膜厚が、正負両ゲート極性の絶縁破壊寿命と電気伝導特性に及ぼす影響を調べた結果について論述し、さらに絶縁破壊と電気伝導との関係についての考察を行う。

1 1.2 節 実験方法

本章では、窒化膜と酸化膜の積層膜の構造と絶縁破壊特性の関係に注目して実験を進めるために、n型およびp型(100)シリコン基板表面に下部酸化膜と上部酸化膜の膜厚をそれぞれ独立に変化させた8種類のMIS (Metal-Insulator-Silicon) キャパシタを形成した。これらのMISキャパシタは、下部酸化膜厚が実験パラメータであるA群 (group A) と上部酸化膜厚が実験パラメータであるB群 (group B) に大別され、それら各々の断面模式図を図1 1-1に示した。MISキャパシタの作成には、シリコン基板表面にLOCOS法を用いて活性領域をパターン形成した後、積層膜を形成した。

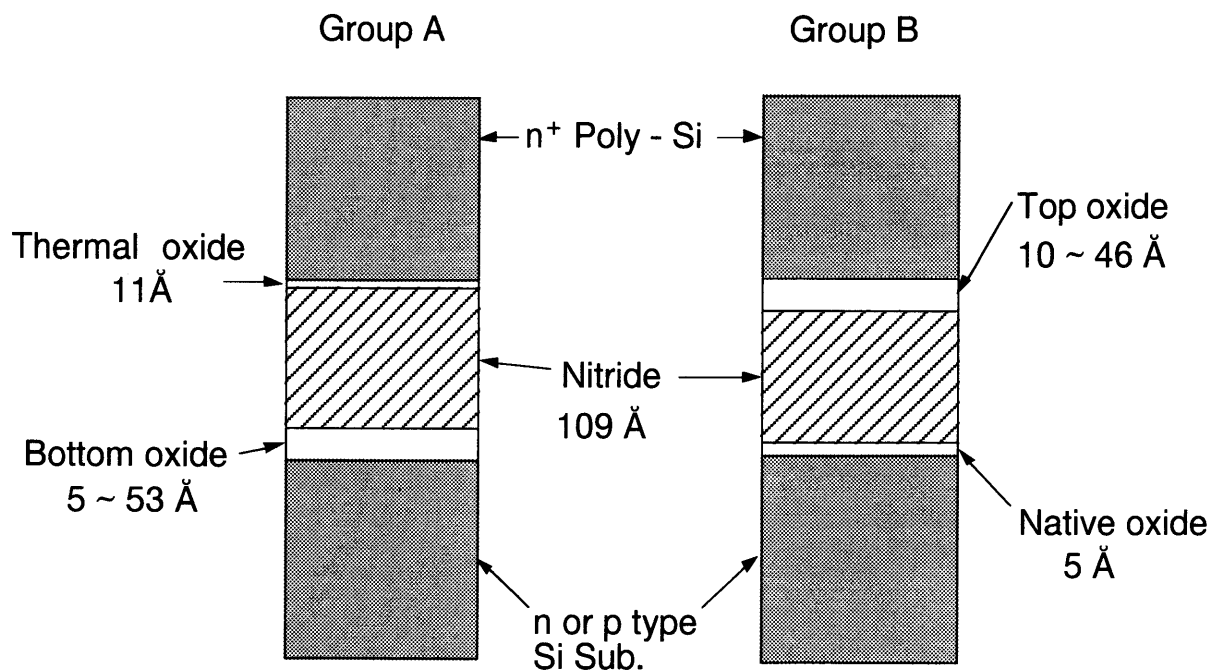


図1 1-1 形成したMIS (Metal-Insulator-Silicon) キャパシタの断面模式図。下部酸化膜と上部酸化膜の膜厚をそれぞれ独立に変化させ、8種類のMISキャパシタを作成した。

A群のキャパシタの下部酸化膜は、5 Åから53 Åの範囲で変化させた。5 Åの下部酸化膜はシリコン基板が大気中で酸化されて形成されたものである。23, 33, 53 Åの下部酸化膜はシリコン基板表面の熱酸化によって得られた。シリコン窒化膜 (Si_3N_4 膜) は SiH_2Cl_2 と NH_3 を原料とする減圧CVD (Chemical Vapor Deposition) 法によって堆積し、堆積温度は700°C、圧力は0.2 Torrの条件である。膜厚は109 Åであった。その後、シリコン窒化膜表面を熱酸化することによって、11 Åの上部酸化膜を形成した。下部酸化膜とシリコン窒化膜の膜厚は、He-Neレーザーを光源 (波長6328 Å) とするエリプソメーターを用いて、屈折率を各々1.46と2.00と仮定して求めた。

B群のキャパシタの下部酸化膜は5 Åであり、シリコン窒化膜はA群のキャパシタと同時に堆積した。Raiderらによれば、シリコン窒化膜の表面は室温においてすら大気中で急速に酸化される[17]。本実験に於いても断面TEM (Transmission Electron Microscope) 観察とXPS (X-ray Photoelectron Spectroscopy) 測定の結果、酸化処理を行っていないシリコン窒化膜表面に於いて酸化膜の存在を確認した。本章では、この上部酸化膜が SiO_2 の1層膜と仮定してXPS測定から10 Åと決定した。シリコン窒化膜表面を熱酸化することによって形成した上部酸化膜の膜厚は、キャパシター容量の測定結果から11, 26, 45 Åと決定した。(上部酸化膜の膜厚の決定方法はAppendix 11Aを参照。)

上部の n^+ ポリシリコン電極はリンドープトポリシリコンを堆積後、パターニングすることで形成した。リンドープトポリシリコンの堆積後に900°Cでのアニールを加えている。アルミニウム配線を形成した後、全ての試料に対し450°Cの水素雰囲気でのアニールを加えた。

積層膜の SiO_2 換算膜厚 (t_{eq}) は比誘電率3.85を用いて計算した結果、61 から 100 Åであった。ゲート電流-ゲート電圧特性は 3mm^2 のキャパシタを用いて測定し、絶縁破壊特性の測定には $20\ \mu\text{m} \times 20\ \mu\text{m} = 400\ \mu\text{m}^2$ のキャパシタを用いた。これらの電気特性の測定は全てn型およびp型基板の表面が蓄積状態になる電圧極性で行った。

1 1.3 節 厚い上部・下部酸化膜による酸化膜 - 窒化膜 - 酸化膜積層構造の伝導電流の減少

図 1 1-2 (a) と(b)は、上部酸化膜が10, 26, 45 ÅのB群のキャパシタにおけるゲート電流密度 J_g の SiO_2 電界 E_{eq} に対する関係を示している。 SiO_2 電界 E_{eq} は積層膜の両端の電位差を SiO_2 換算膜厚 t_{eq} で割ることによって得られた。図 1 1-2 (a)の正ゲート極性では上部酸化膜厚が増加するに従って、約+9 MV/cm以上の高電界領域の電流密度が減少している。図 1 1-2 (b)の負ゲート極性では、上部酸化膜厚が増加するに従って J_g - E_{eq} カーブの傾きが増加している。下部酸化膜が5, 33, 53 ÅのA群のキャパシタにおける J_g - E_{eq} 特性は、図 1 1-2 (c)と(d)に示した。正ゲート極性では、下部酸化膜厚が増加するに従って J_g - E_{eq} カーブの傾きが増加している。正ゲート極性では、下部酸化膜厚が増加するにつれて、高電界領域の電流密度が減少した。

次に図 1 1-3 に、電流密度 J_g と下部または上部酸化膜の膜厚の関係を示す。A群のキャパシタから得られた下部酸化膜厚を変化させた場合の-9 MV/cmに於ける電流密度 J_g (■のデータ)は、下部酸化膜が30 Å以上のときに著しく減少している。B群のキャパシタから得られた上部酸化膜厚の関数としての+9 MV/cmに於ける電流密度 J_g は□で表されており、上部酸化膜が30 Å以上のとき大きく減少している。○は参考文献[16]に記載のポリシリコン電極上のON積層膜のデータであり、上部酸化膜厚の関数としての+9 MV/cmにおけるゲート電流密度 J_g である。この場合も上部酸化膜が30 Å以上のときに、電流密度 J_g が大きく減少している。

従来の研究に於いて示されたように、シリコン窒化膜の伝導電流は、正負両ゲート極性に於いて正孔の流れに支配されていると考えられている[7],[8],[10]-[12],[14],[16]。そして上部電極からの正孔注入は厚い上部酸化膜によって妨げられ[12],[14],[16]、下部電極からの正孔注入は厚い下部酸化膜によって妨げられる[11],[14]。すなわち、陽極とシリコン窒化膜の間に厚い酸化膜が存在することによって、正孔注入が妨げられ、伝導電流が減少する。本実験においても図 1 1-3 から分かるように、30 Åより厚い酸化膜層

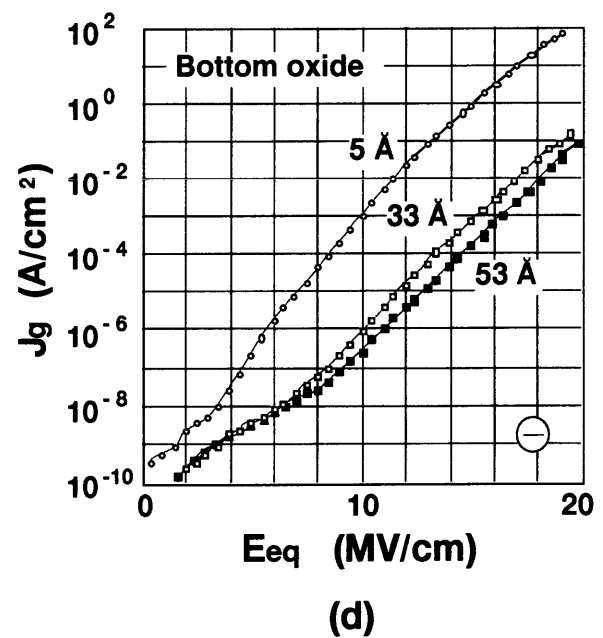
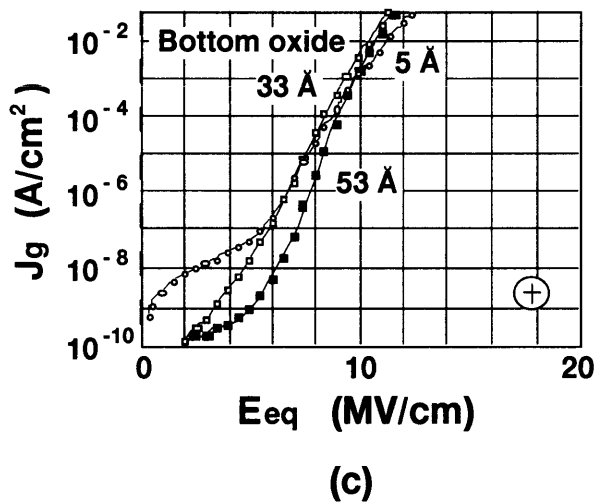
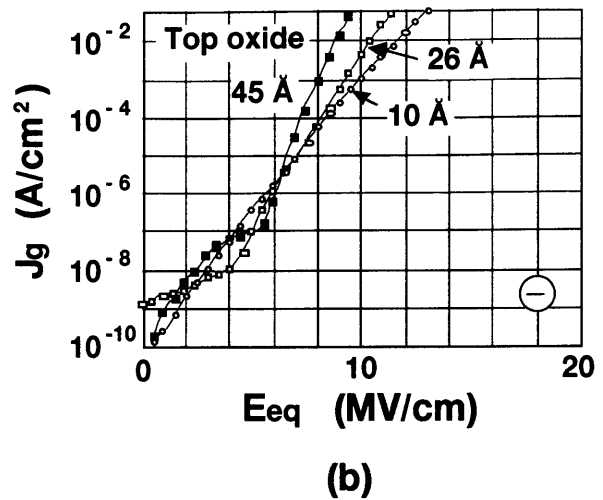
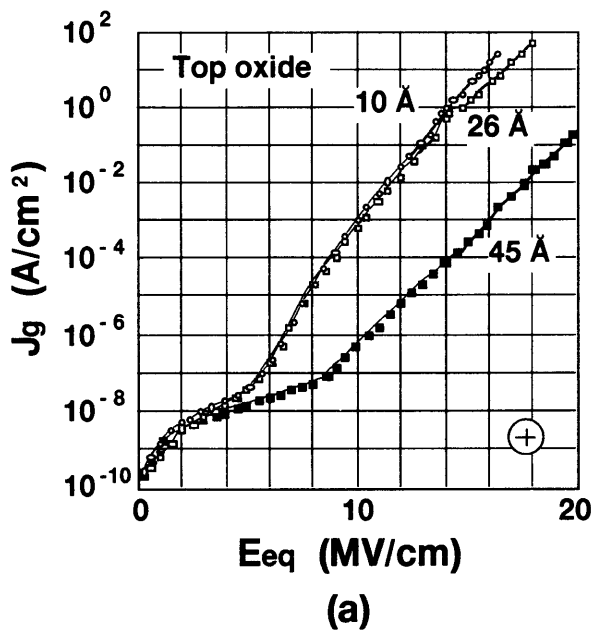


図1 1-2 MISキャパシタのゲート電流密度 J_g の SiO_2 電界 E_{eq} に対する関係。(a)(b)は、上部酸化膜が10, 26, 45 ÅのB群のMISキャパシタの J_g - E_{eq} 特性であり、(c)(d)は下部酸化膜が5, 33, 53 ÅのA群のMISキャパシタにおける J_g - E_{eq} 特性を表す。

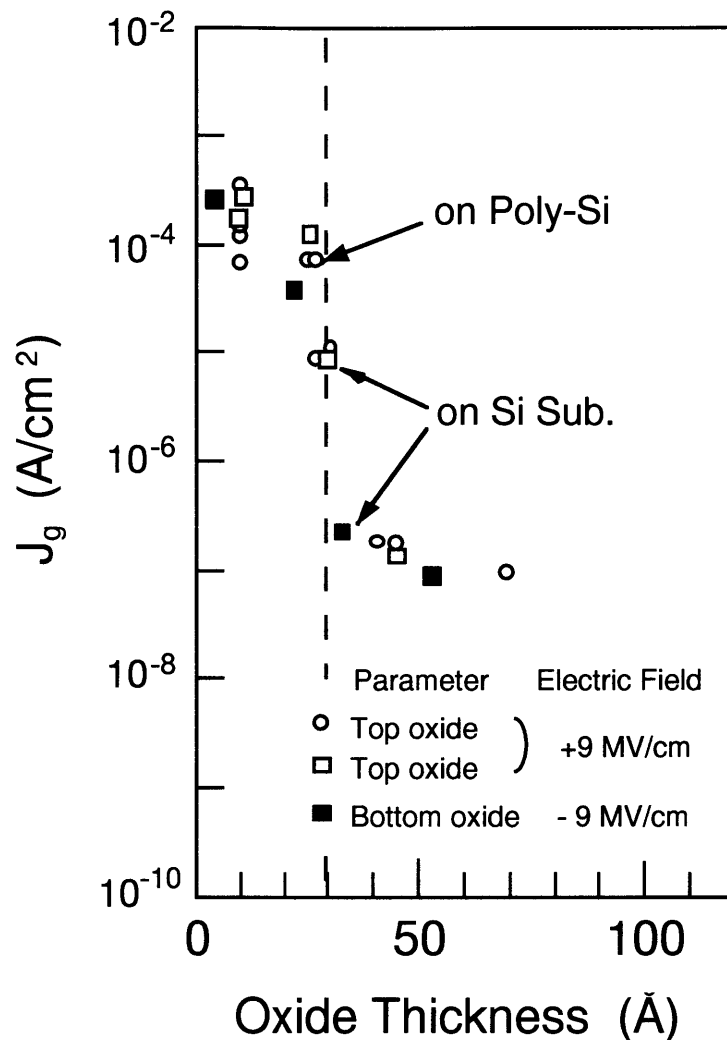


図1 1-3 下部または上部酸化膜の膜厚と電流密度 J_g の関係。 J_g は、下部または上部酸化膜が30Å以上のとき大きく減少している。

が陽極に隣接する場合に、伝導電流の著しい減少が発生している。

図1 1-4を用いて以上の実験結果を整理して説明する。図1 1-4 (a)と(c)に示されているように、30Åより薄い上部・下部酸化膜からなる積層膜における電気伝導は、陽極からシリコン窒化膜に注入された正孔のPoole-Frenkel放出によって支配されている。一方、図1 1-4 (b)に示すように、30Åより厚い上部酸化膜は正ゲート極性のとき、陽極であるポリシリコン電極からシリコン窒化膜への正孔注入を妨げる。このため、伝導電

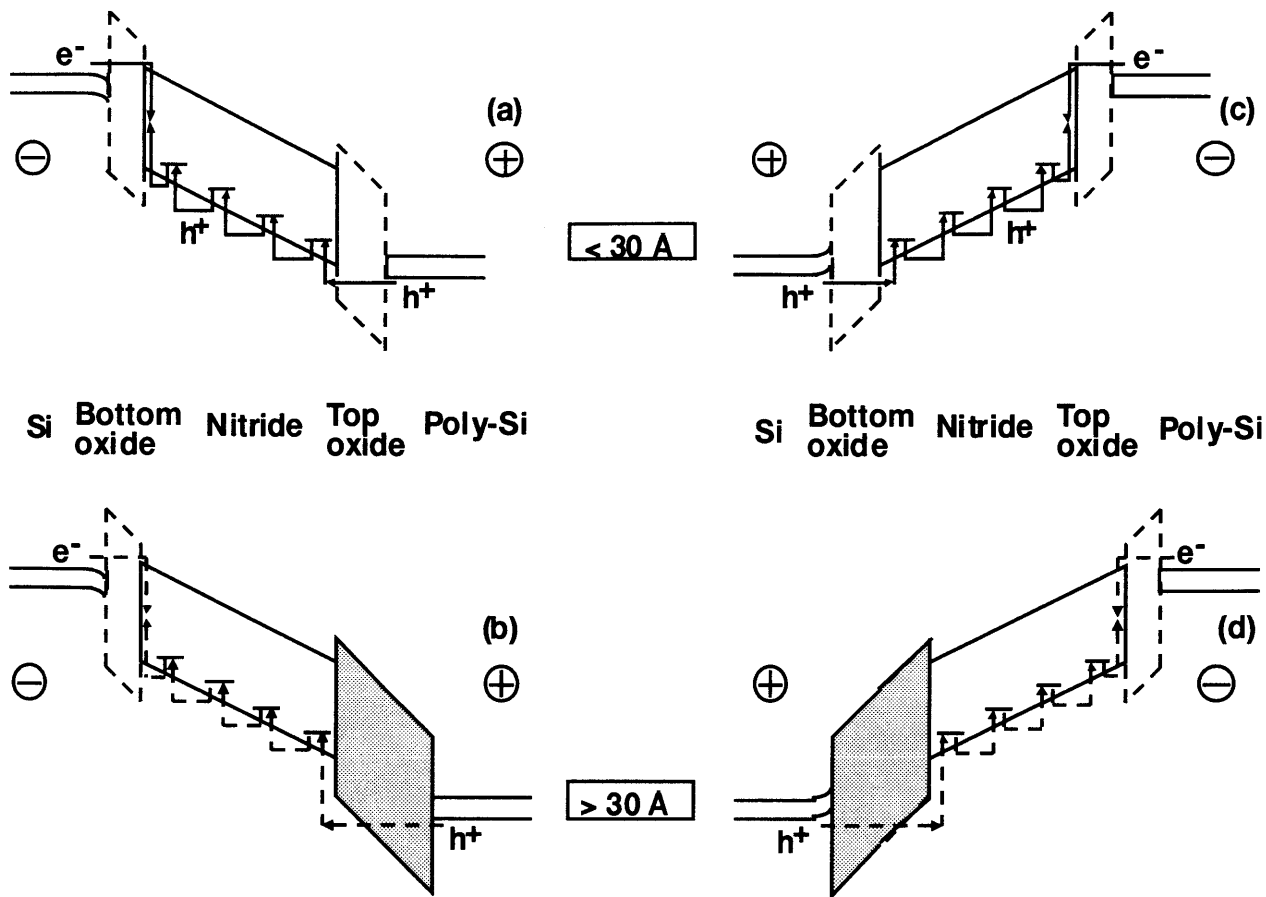


図1 1-4 MISキャパシタにおけるキャリアー輸送を説明するためのエネルギーバンド模式図。(a)30Åより薄い上部・下部酸化膜からなるONO積層膜における、正ゲート極性のときの正孔の輸送。電気伝導は、陽極であるポリシリコン電極からシリコン窒化膜に注入された正孔のPoole-Frenkel放出によって支配されている。(b)30Åより厚い上部酸化膜は、正ゲート極性のとき、陽極であるポリシリコン電極からシリコン窒化膜への正孔注入を妨げる。このため、伝導電流の減少が起こる。(c)30Åより薄い上部・下部酸化膜からなるONO積層膜における電気伝導は、負ゲート極性のとき、陽極であるシリコン基板からシリコン窒化膜に注入された正孔のPoole-Frenkel放出によって支配されている。(d)負ゲート極性のとき、30Åより厚い下部酸化膜は陽極であるシリコン基板からシリコン窒化膜への正孔注入に対し障壁となる。このため、下部酸化膜の膜厚増加に伴い、負ゲート極性における伝導電流が著しい減少を起こす。

流の減少が起こる。同様に、図1 1-4 (d)に示すように、負ゲート極性のとき30Åより厚い下部酸化膜は、陽極であるシリコン基板からシリコン窒化膜への正孔注入に対し障壁となる。このため、下部酸化膜の膜厚増加に伴い、負ゲート極性における伝導電流が

著しい減少を起こす。すなわち陽極からの正孔注入は、陽極に接する30 Åより厚い酸化膜によって妨げられる。上部・下部酸化膜が正孔注入に対し障壁の役割を果たすための下限膜厚が30 Åと考えられる。この現象は、Horiguchiらによって示された酸化膜の電子に対するエネルギー障壁の変化と類似している[13]。彼らは、MNOS構造の下部酸化膜が31 Å以下になると、その電子に対するエネルギー障壁が1.8 eV以下に減少することを見出している。本節で示した陽極に接する30 Åより厚い酸化膜によるゲート電流 J_g の減少は、酸化膜の正孔に対するエネルギー障壁の変化、または酸化膜中の正孔の移動度の減少に起因していると考えられる。

1 1.4 節 窒化膜と酸化膜の積層構造における絶縁破壊特性

1 1.4.1 絶縁破壊寿命の下部・上部酸化膜厚に対する依存性

本節では、窒化膜と酸化膜の積層膜の絶縁破壊と下部酸化膜及び上部酸化膜の膜厚の関係を理解するために、A群及びB群のMISキャパシタに一定のゲート電圧を加えて経時絶縁破壊（Time Dependent Dielectric Breakdown (TDDB)）特性を測定した結果について論述する。

まず、図1 1-1に示したA群のMISキャパシタに対して、一定電圧を加えて絶縁破壊寿命 (T_{BD}) を測定した結果を図1 1-5 (a) (b)に示す。図1 1-5 (a)から分かるように、下部酸化膜が5 Åから53 Åに増加するにつれて、正ゲート極性に於ける T_{BD} は単調に減少している。一方、図1 1-5 (b)に示す負ゲート極性の T_{BD} は、下部酸化膜が23 Åから33 Åに増加したとき1桁以上の大幅な増加を示した。

この T_{BD} の増加を、図1 1-3に於いて示した下部酸化膜が30 Å以上のときに起こる伝導電流の急激な減少と関係づけると、以下の様に解釈することができる。図1 1-6 (a) (b) (c) (d)は、30 Å以上とそれ以下の下部酸化膜を有するときのONO積層膜のエネルギー

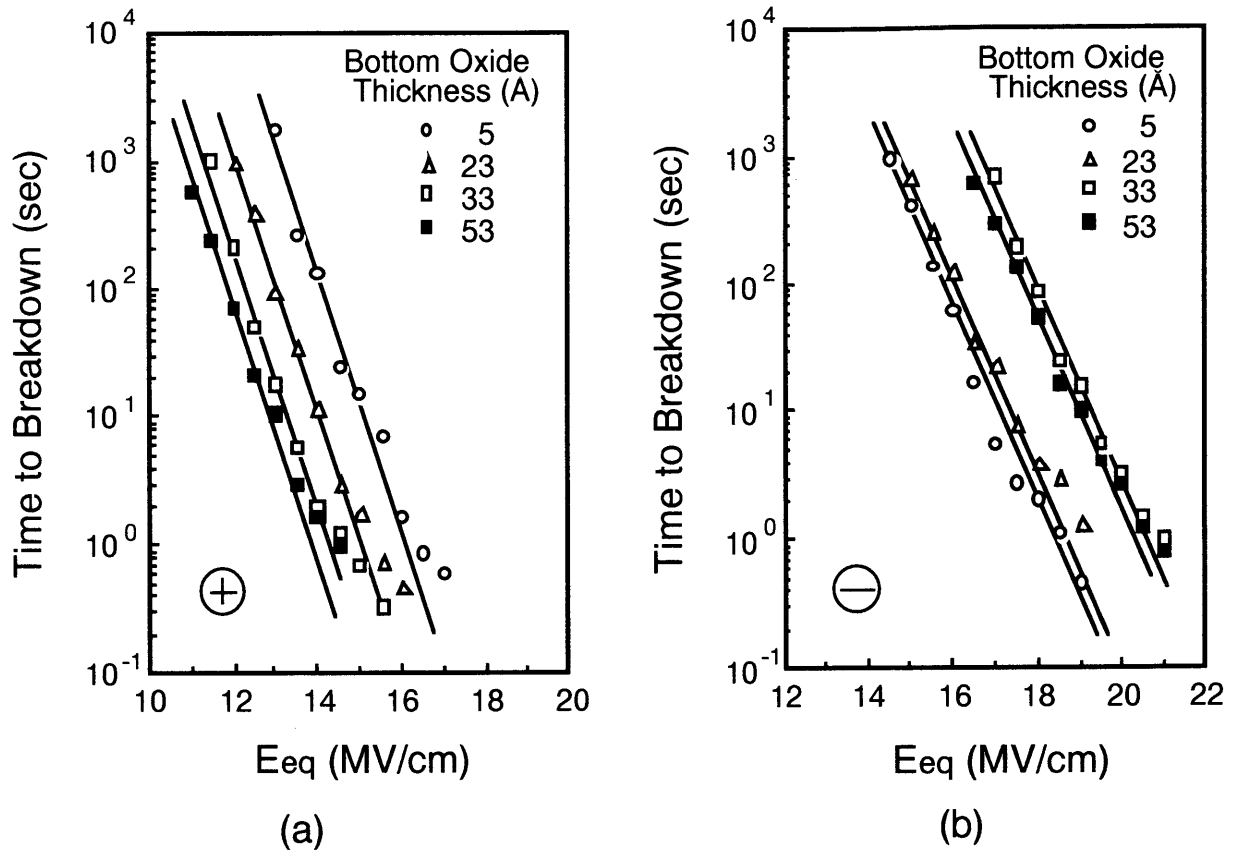


図1-5 A群のMISキャパシタに対して、定電圧ストレスを加えて絶縁破壊寿命 (T_{BD}) を測定した結果。(a) 下部酸化膜が5Åから53Åに増加するにつれて、正ゲートバイアスにおける T_{BD} は単調に減少している。この減少は、図1-8(a)に示す正ゲートバイアスにおける Q_{BD} の減少と同様の傾向である。(b) 負ゲートバイアスにおける T_{BD} は、下部酸化膜が23Åから33Åに増加したとき大幅な増加を示した。

バンド模式図である。図1-4(a)(c)に於いても述べたが、図1-6(a)(c)に示すように、30Åより薄い上部・下部酸化膜からなるONO積層膜の電気伝導は、正負両ゲート極性に於いて陽極からシリコン窒化膜に注入された正孔の流れによって支配されている。これに対し図1-2(d)から分かるように-9 MV/cm以上の高電界では、33Åと53Åの下部酸化膜を有するONO膜におけるゲート電流密度は、5Åの場合と比較して3~4桁小さい。この現象は、シリコン基板からの正孔注入が厚い下部酸化膜によって妨げられることに起因すると考えられ、この場合に対応するエネルギーバンド模式図が図1-6

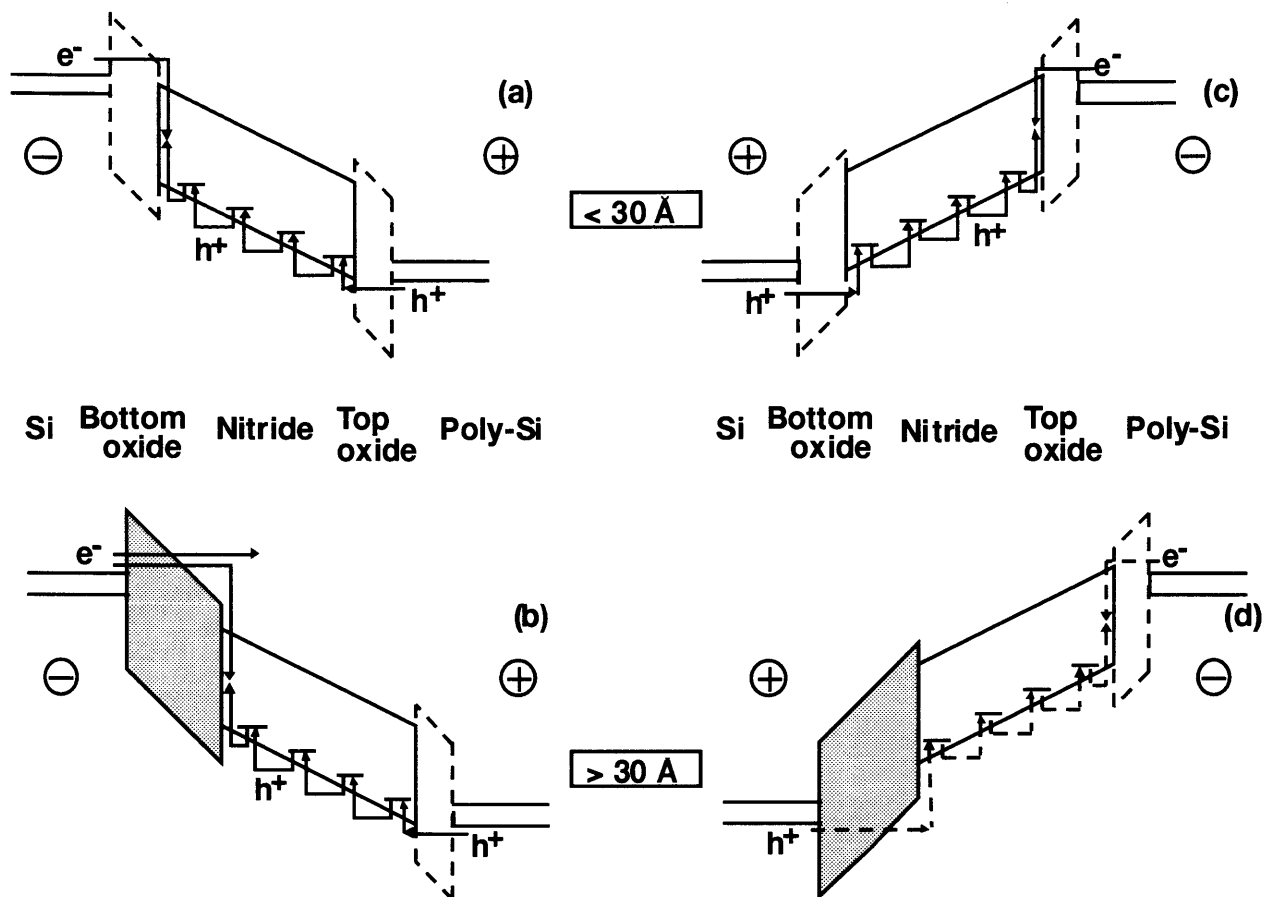


図 1 1-6 30 Å以上と以下の下部酸化膜を有するときのONO積層膜のエネルギーバンド模式図。(a) 正ゲート極性において、30 Åより薄い上部・下部酸化膜からなるONO積層膜における電気伝導は、陽極であるポリシリコン電極からシリコン窒化膜に注入された正孔の流れによって支配されている。(b) 30 Åより厚い下部酸化膜は陽極からの正孔注入を妨げない。(c) 負ゲート極性において、30 Åより薄い上部・下部酸化膜からなるONO積層膜における電気伝導は、陽極であるシリコン基板からシリコン窒化膜に注入された正孔の流れによって支配されている。(d) シリコン基板からの正孔注入が厚い下部酸化膜によって妨げられる。

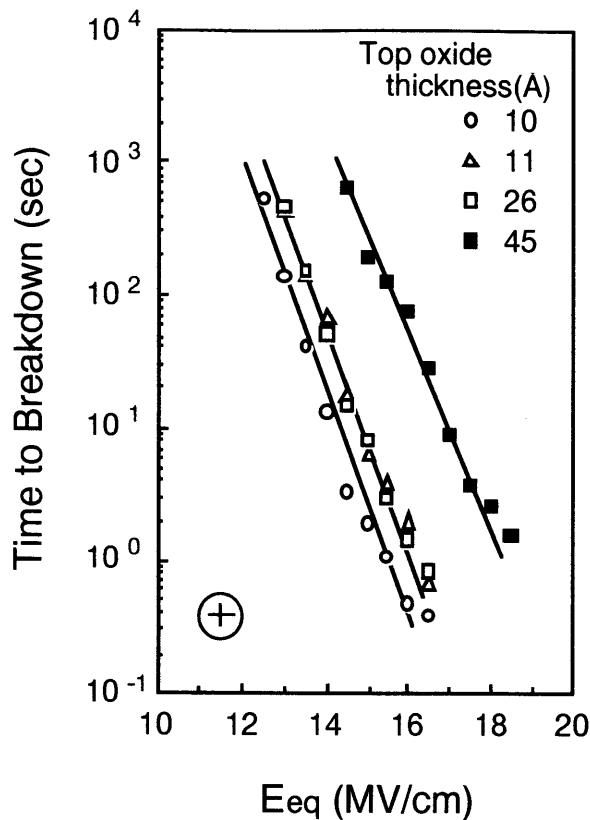
(d)に示されている。一方、図 1 1-5 (b)に示されたように、33 Åと53 Åの下部酸化膜を有するONO膜の負ゲート極性に於ける T_{BD} は、5 Åと23 Åの場合と比べて大幅な増加を示した。この結果は、「30 Åより薄い下部酸化膜からなるONO積層膜における絶縁破壊はONO積層膜に注入された正孔によって誘起され、30 Åより厚い下部酸化膜が正孔注入を

抑制することによって絶縁破壊寿命が向上した」と考えることで説明できる。

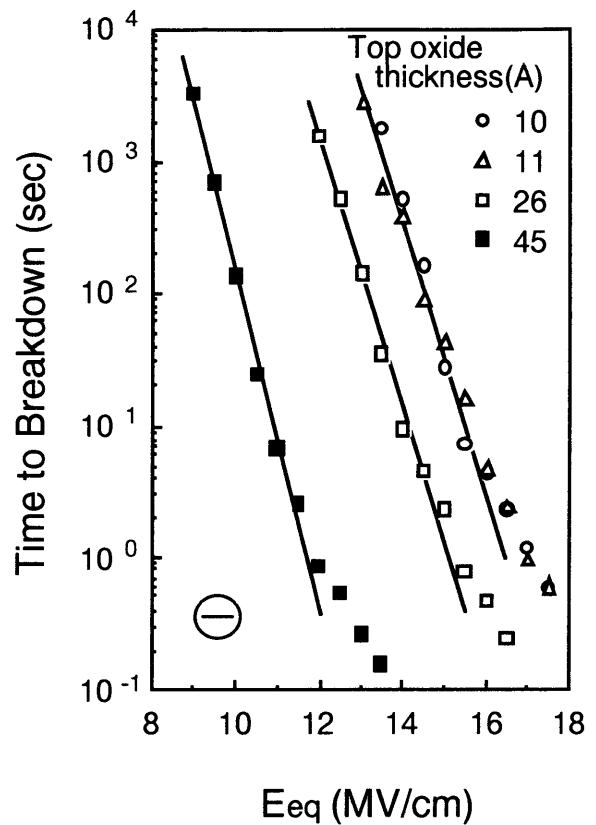
一方、正ゲート極性に於いては、図 1 1-2 (c)で示したようにゲート電流密度は下部酸化膜厚の増加に対し大きな変化を示さない。この極性では下部酸化膜は陰極に隣接しており、図 1 1-6 (b)から分かるように陽極からの正孔注入に対する障壁とはならないことに対応している。下部酸化膜厚が増加しても正孔注入は抑制されず、ONO積層膜の絶縁破壊寿命も向上しないと考えられ、図 1 1-5 (a)の結果ではむしろ T_{BD} は、下部酸化膜厚の増加に伴い単調に減少している。単層の SiO_2 膜の正ゲート極性に於いて、 SiO_2 膜厚の増加に伴い絶縁破壊寿命が減少することは良く知られた事実である[18]-[21]。この点において図 1 1-5 (a)の結果は、 SiO_2 膜の絶縁破壊特性と類似しているが、 SiO_2 膜厚と絶縁破壊寿命の関係を説明するモデルについても現在のところ定説はなく、正ゲート極性におけるONO積層膜の絶縁破壊寿命が下部酸化膜厚に依存するメカニズムの解明は、今後の課題である。

ところで、図 1 1-2 (a)から分かるように正ゲート極性の高電界領域では、45 Åの上部酸化膜を有するON膜におけるゲート電流密度は、10 Åの場合と比較して3～4桁小さい。この現象は、ポリシリコン電極からの正孔注入が30 Å以上の厚い上部酸化膜によって妨げられることに起因すると考えられ、この場合に対応するエネルギーバンド模式図を図 1 1-4 (b)に示した。この結果と、負ゲート極性における絶縁破壊寿命の下部酸化膜依存性についての上記の解釈に基づけば、正ゲート極性の絶縁破壊寿命は上部酸化膜が30 Å以上の場合に向上することが予想される。そこで次に、B群のMISキャパシタに対して一定のゲート電圧を加えて、絶縁破壊寿命 T_{BD} の上部酸化膜厚依存性を調べた。結果を図 1 1-7 (a) (b)に示す。図 1 1-7 (a)に於いて正ゲート極性の T_{BD} は、予想に従って上部酸化膜厚の26 Åから45 Åへの増加に伴い著しく増加している。一方、上部酸化膜厚が増加するにつれて負ゲート極性に於ける T_{BD} は減少しており、この減少は、図 1 1-5 (a)に於いて示された T_{BD} の減少と同様の傾向である。

正ゲート極性の実験結果は、先に行った解釈と同様に「30 Åより薄い上部酸化膜からなるON積層膜における絶縁破壊はON積層膜に注入された正孔によって誘起され、30 Å



(a)



(b)

図 1 1-7 B群のMISキャパシタに対して、定電圧ストレスを加えて絶縁破壊寿命 T_{BD} を測定した結果。(a) 上部酸化膜厚の増加に伴い正ゲートバイアスにおける T_{BD} は増加している。(b) 上部酸化膜厚が増加するにつれて負ゲートバイアスにおける T_{BD} は減少している。

より厚い上部酸化膜が正孔注入を抑制することによって絶縁破壊寿命が向上した」と考えることで説明することができる。負ゲート極性に於いては図 1 1-2 (b) で示されたように、上部酸化膜厚の増加に対しゲート電流密度は減少しない。この場合上部酸化膜は陰極に隣接しており、陽極からの正孔注入を妨げない。上部酸化膜厚が増加しても正孔注入量は抑制されず、上記の説明に基づけば、ON積層膜の絶縁破壊も向上しない。

以上で示してきた上部酸化膜と下部酸化膜の膜厚を変化させた場合の絶縁破壊寿命 T_{BD} に関する実験結果は、以下のように整理される。

- (1) 窒化膜と酸化膜の積層構造の T_{BD} は、30 Å より厚い上部または下部酸化膜が陽極

に隣接するとき著しく増加する。

(2) 陰極に隣接する上部または下部酸化膜が増加するとき、積層膜の T_{BD} は減少する。ここで上記(1)の現象は、「ONOまたはON積層膜において 30 \AA より薄い酸化膜が陽極に隣接するときの絶縁破壊は、積層膜に注入された正孔によって誘起され、 30 \AA より厚い酸化膜が陽極に隣接するような構造では、正孔注入が抑制されることによって絶縁破壊寿命が向上する」と考えることで説明できる。

さて図1 1-6 (a)に示したように、上部電極を陽極にした場合には下部酸化膜が厚いほど絶縁破壊寿命が低下する。この結果、図1 1-6 (a)と(b)の正負両ゲートバイアスに於ける実験結果の中で絶縁破壊寿命が最も短くなるのは、下部酸化膜が最も厚い条件である。第10章10.3節の図10-21では、ON積層構造に比べてONO積層構造の絶縁破壊寿命が短いことを示したが、この結果は図1 1-6 (a)と(b)の傾向と一致している。また図1 1-6 (a)と(b)の全ての膜構造に於いて、同一電界に対しては上部電極を陽極にした場合の方が、上部電極を陰極にした場合に比べて絶縁破壊寿命が短い。このように上部電極が陽極の場合の寿命が積層膜の信頼性を律速する場合には、下部酸化膜を薄膜化したON積層構造を用いることが信頼性の向上に有効である。

1 1.4.2 絶縁破壊寿命の温度依存性

これまでONOまたはON積層膜の電気伝導と絶縁破壊寿命 T_{BD} は、陽極に隣接する酸化膜の膜厚に対して 30 \AA を境に大きく変化することを見てきた。ここでは絶縁破壊メカニズムと酸化膜厚の関係についてさらに検討を加えるために、 T_{BD} の活性化エネルギーの酸化膜厚依存性を調べた結果について論述する。

図1 1-8は、負ゲートバイアスを加えた状態で試料温度を変化させた場合の T_{BD} と温度の逆数の関係であり、下部酸化膜厚をパラメーターにしている。図に示す結果より、下部酸化膜が 5 \AA と 23 \AA のとき、 T_{BD} と温度の逆数の関係から求めた T_{BD} の活性化エネルギー

ギーは0.15と0.16 eVであった。これに対し、下部酸化膜が33 Åと53 Åのときには0.27と0.29 eVと見積もられ、下部酸化膜が30 Åより厚くなったことにより T_{BD} の活性化エネルギーが大きく変化することが明らかとなった。この結果は、下部酸化膜厚30 Åを境に絶縁破壊の律速要因が変化することを示している。

引き続き図1 1-9は、正ゲートバイアスを加えた場合の T_{BD} と温度の逆数の関係であり、上部酸化膜厚をパラメーターにしている。上部酸化膜が10 Åと26 Åのとき、 T_{BD} の活性化エネルギーは0.11と0.16 eVであった。これに対し、上部酸化膜が46 Åのときには0.24 eVと見積もられ、この場合にも上部酸化膜が30 Åより厚くなったことにより、

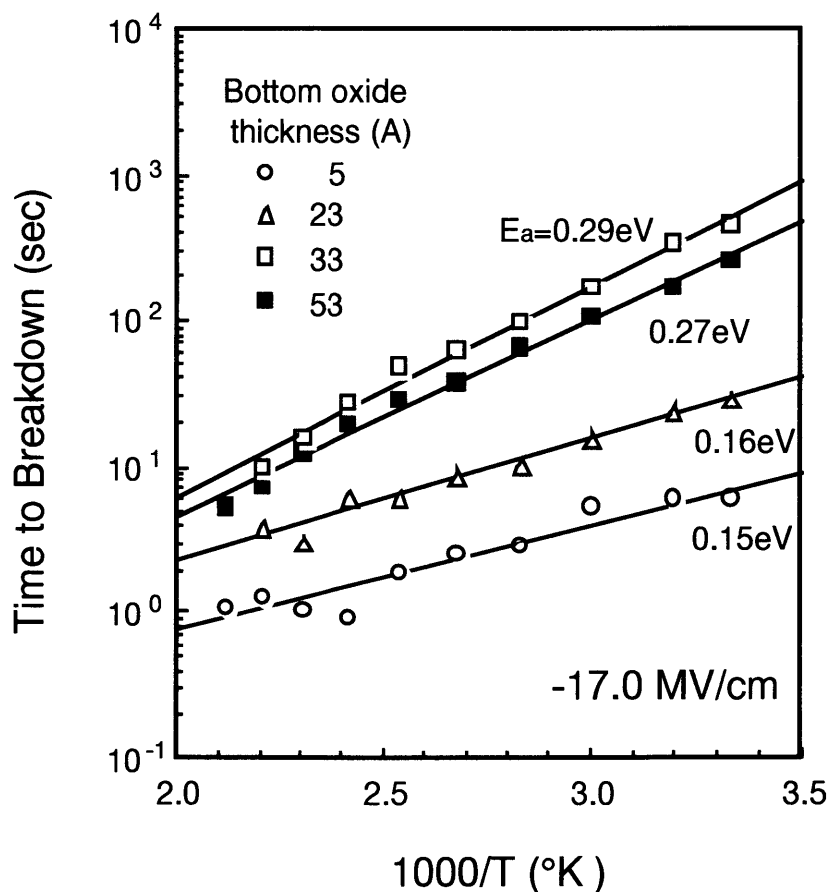


図1 1-8 ONO積層膜の負ゲートバイアスに於ける絶縁破壊寿命 T_{BD} と温度の関係。下部酸化膜厚をパラメーターにしている。下部酸化膜が5 Åと23 Åのとき、 T_{BD} と温度の関係から求めた T_{BD} の活性化エネルギーは0.15と0.16 eVであるのに対し、下部酸化膜が33 Åと53 Åのときには0.27と0.29 eVと大きく変化した。

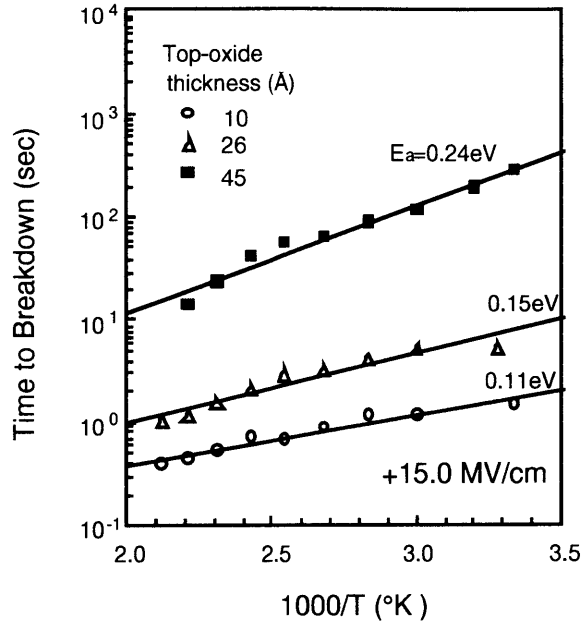


図1 1-9 ON積層膜の正ゲートバイアスに於ける絶縁破壊寿命 T_{BD} と温度の関係。上部酸化膜厚をパラメーターにしている。上部酸化膜が10Åと26Åのとき、 T_{BD} と温度の関係から求めた T_{BD} の活性化エネルギーは0.11と0.15 eVであるのに対し、上部酸化膜が46Åのときには0.24 eVと大きく変化した。

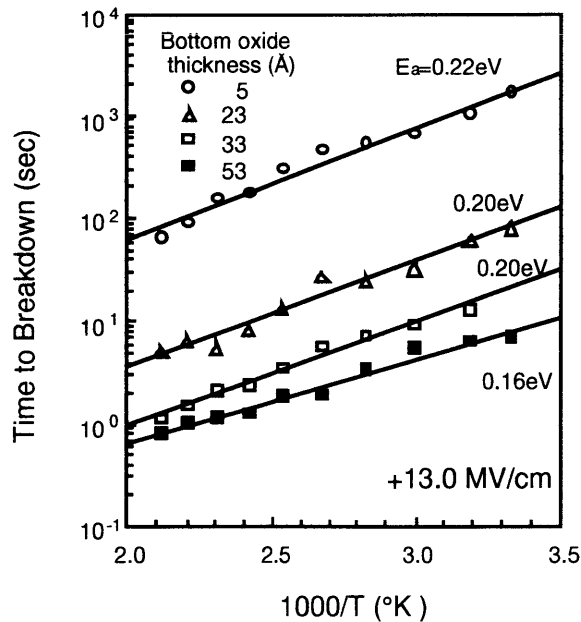


図1 1-10 ONO積層膜の正ゲートバイアスに於ける絶縁破壊寿命 T_{BD} と温度の関係。下部酸化膜厚をパラメーターにしている。下部酸化膜が5 - 53Åに変化するにつれて T_{BD} の活性化エネルギーは漸増するが、負ゲートバイアス時に起こった大きな変化は見られない。

T_{BD} の活性化エネルギーが大きく変化している。この結果は、上部酸化膜厚 30\AA を境に絶縁破壊の律速要因が変化したことを示している。

さて、以上の図11-8と図11-9の結果から、陽極に隣接する酸化膜の膜厚が 30\AA を境に変化すると積層膜の絶縁破壊を律速する要因が変化する可以考虑することができる。前節で述べたように 30\AA より薄い酸化膜が陽極に隣接するときの絶縁破壊が、積層膜に注入された正孔によって誘起されると考えるとき、 30\AA より厚い酸化膜が陽極に隣接する構造では、正孔注入が抑制されたことによって絶縁破壊寿命が向上し、 30\AA より薄い場合の律速要因とは異なった要因に移行したものと解釈することができる。

一方、図11-10に示すように、正ゲートバイアス時に下部酸化膜厚を変化させた場合には、下部酸化膜が 5 から 53\AA に変化するにつれて T_{BD} の活性化エネルギーは漸増するものの、負ゲートバイアス時に起こった大きな変化は見られなかった。絶縁破壊の律速要因が酸化膜厚 30\AA を境に変化するのは、陽極に隣接する酸化膜厚が変化するときに限られることが分かり、このことは上述の解釈を支持している。

11.5節 結言

酸化膜-窒化膜-酸化膜 (ONO) 積層膜および酸化膜-窒化膜 (ON) 積層膜の上部酸化膜と下部酸化膜の膜厚が、絶縁破壊寿命と電気伝導特性に及ぼす影響について調べた結果、以下の結論を得た。

- (1) 30\AA より厚い酸化膜層が陽極に隣接する場合に、伝導電流の著しい減少が発生する。 30\AA という値は、陽極からシリコン窒化膜 (Si_3N_4) への正孔の注入に対して下部酸化膜と上部酸化膜が障壁として働く下限膜厚である。
- (2) 陽極に隣接する酸化膜層が 30\AA より厚くなると絶縁破壊寿命の向上が起こることを見出した。「ONOまたはON積層膜において 30\AA より薄い酸化膜が陽極に隣接するときの絶縁破壊は、積層膜に注入された正孔によって誘起され、 30\AA より厚い酸化

膜が陽極に隣接するような構造では、正孔注入が抑制されることによって絶縁破壊寿命が向上する」と考えることで説明できる。

(3) 陽極に隣接する酸化膜が30 Åより厚くなると、絶縁破壊寿命の活性化エネルギーが増加することが明らかとなった。すなわち、酸化膜厚30 Åを境に絶縁破壊の律速要因が変化する。この結果は、30 Åより薄い酸化膜が陽極に隣接するときの絶縁破壊が積層膜に注入された正孔によって誘起されると考えるとき、30 Åより厚い酸化膜が陽極に隣接するような構造では、正孔注入が抑制されることによって絶縁破壊寿命が向上し、30 Åより薄い場合とは異なった律速要因に移行したものと解釈することができる。

(4) 陰極に隣接する酸化膜層が厚くなるにつれて絶縁破壊寿命は減少する。上部電極が陽極の場合の絶縁破壊寿命が積層膜の信頼性を律速する場合には、下部酸化膜を薄膜化したON積層構造を用いることが信頼性の向上に有効である。

参考文献

- [1] Y. Ohji, T. Kusaka, I. Yoshida, A. Hirata, K. Yagi, K. Mukai and O. Kasahara, in Proceedings of International Reliability Physics Symposium, 1987, p. 55.
- [2] Y. Ohno, T. Kaneoka, I. Ogoh, J. Mitsuhashi, M. Hirayama and T. Kato, in Digest of Technical Papers : 1988 Symposium on VLSI Technology, 1988, p. 35.
- [3] 例として以下の文献がある。
- D. L. Crook, in Proceedings of 1979 International Reliability Physics Symposium, 1979, p. 1.
- K. Yamabe, K. Taniguchi, and Y. Matsushita, in Proceedings of 1983 International Reliability Physics Symposium, 1983, p. 184.
- K. Yamabe and K. Taniguchi, IEEE Trans. Electron Devices ED-32, 423 (1985).
- J. W. McPherson and D. A. Baglee, J. Electrochem. Soc, 132, 1903 (1985).

- J. W. McPherson and D. A. Baglee, in Proceedings of 1985 International Reliability Physics Symposium, 1985, p. 1.
- Y. Hokari, T. Baba, and N. Kawamura, IEEE Trans. Electron Devices ED-32, 2485 (1985).
- J. S. Suehle, P. Chaparala, C. Messick, W. M. Miller, and K. C. Boyko, in Proceedings of 1994 International Reliability Physics Symposium, 1994, p. 120.
- D. J. Dumin, J. R. Maddux, R. S. Scott, and R. Subramoniam, IEEE Trans. Electron Devices ED-41, 1570 (1994).
- [4] S. M. Sze, J. Appl. Phys., 38, 2951, (1967). S. M. Sze, Physics of Semiconductor Devices, John Wiley & Sons, New York, 1981, p. 402.
- [5] D. Frohman-Bentchkowsky and M. Lenzinger, J. Appl. Phys., 40, 3307 (1969).
- [6] A. S. Ginovker, V. A. Gritsenko and S. P. Sinitsa, Phys. Status Solidi(a), 26, 489 (1974).
- [7] Z. A. Weinberg and R. A. Pollak, Appl. Phys. Lett., 27, 254 (1975).
- [8] Z. A. Weinberg, Appl. Phys. Lett., 29, 617 (1976).
- [9] C. M. Svensson, J. Appl. Phys., 48, 328 (1977).
- [10] P. C. Arnett and Z. A. Weinberg, IEEE Trans. Electron Devices, ED-25, 1014 (1978).
- [11] D. K. Schroder and M. H. White, IEEE Trans. Electron Devices, ED-26, 899 (1979).
- [12] F. T. Liou and S. Chen, IEEE Trans. Electron Devices, ED-31, 1736 (1984).
- [13] S. Horiguchi and H. Yoshino, J. Appl. Phys., 58, 1597 (1985).
- [14] M. Aminzadeh, S. Nozaki, and R. V. Giridhar, IEEE Trans. Electron Devices, 35, 459 (1988).
- [15] W. T. Chang, D. K. Shih, D. L. Kwong, Y. Zhou and S. Lee, Appl. Phys. Lett., 54, 430 (1989).
- [16] K. Kobayashi, H. Miyatake and M. Hirayama, in Extended Abstracts of the 21th Conference on Solid State Devices and Materials, 1989, p. 485.
- [17] S. I. Raider, R. Flitsch, J. A. Aboaf and W. A. Pliskin, J. Electrochem. Soc., 123, 560 (1976).

- [18] E. Harari, *J. Appl. Phys.*, 49, 2478 (1978).
- [19] K. F. Schuegraf and C. Hu, *Semicond. Sci. Technol.*, 9, 989 (1994).
- [20] L. K. Han, M. Bhat, D. Wristers, J. Fulford, and D. L. Kwong, in *Technical Digest of International Electron Devices Meeting, 1995*, p. 617.
- [21] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, H. E. Maes, in *Technical Digest of International Electron Devices Meeting, 1995*, p. 863.
- [22] T. Kaga, T. Kusaka, T. Hagiwara, Y. Yatsuda, and K. Mukai, in *Extended Abstracts of the 21th Conference on Solid State Devices and Materials, Kobe, 1984*, p. 95.
- [23] 小林清輝、南利彦、金岡竜範、宮武浩、三橋順一、平山誠、1988年秋季第49回応用物理学会学術講演会予稿集, 4a-A-3, p. 577.
- [24] 小林清輝、宮武浩、平山誠、1989年春季第36回応用物理学関係連合講演会予稿集, 2a-ZE-7, p. 680.
- [25] 小林清輝、宮武浩、三橋順一、中野豊、平山誠、1989年秋季第50回応用物理学会学術講演会予稿集, 29p-C-5, p. 624.
- [26] K. Kobayashi, H. Miyatake, J. Mitsuhashi, M. Hirayama, T. Higaki, and H. Abe, in *Digest of Technical Papers : 1990 Symposium on VLSI Technology, 1990*, p. 119.
- [27] 高集積DRAM用キャパシタ誘電体膜形成技術；小林清輝、林出吉生、中野豊、奥平智仁、福本晃二、三菱電機技報、66, 106 (1992).
- [28] K. Kobayashi, H. Miyatake, M. Hirayama, T. Higaki, and H. Abe, *J. Electrochem. Soc.*, 139, 1693 (1992).

Appendix 11A シリコン窒化膜 (Si₃N₄) 表面を熱酸化して得られる上部酸化膜の膜厚の見積もり方法

1 molのSi₃N₄を酸化すると、3 molのSiO₂が形成される。また、1 mol当たりの体積はSi₃N₄が45.2 cm³、SiO₂が27.3 cm³であるので、体積は酸化時に約1.8倍に膨張する[22]。Si₃N₄膜表面に成長したSiO₂膜は、Si₃N₄膜から2次元応力を受け、体積膨張はSi₃N₄膜表面に垂直方向にのみ起こると考えられる。

そこで膜厚 t_{SiN} のSi₃N₄膜を熱酸化するとき、熱酸化によって減少したSi₃N₄膜厚を x とすると、酸化後のSi₃N₄膜厚は $t_{\text{SiN}}-x$ 、成長したSiO₂膜厚は $1.8x+y$ と与えられる。ここで y は熱酸化前にSi₃N₄膜表面に形成されていたSiO₂の膜厚である。簡単のためSiO₂とSi₃N₄の2層膜のキャパシタを考える時、熱酸化前の単位面積当たりの容量 C_0 および熱酸化後の単位面積当たりの容量 C は、次式で与えられる。

$$C_0 = \frac{1}{\frac{1}{\frac{\epsilon_0 \epsilon_{\text{OX}}}{y}} + \frac{1}{\frac{\epsilon_0 \epsilon_{\text{N}}}{t_{\text{SiN}}}}} \quad (11-1)$$

$$C = \frac{1}{\frac{1}{\frac{\epsilon_0 \epsilon_{\text{OX}}}{1.8x+y}} + \frac{1}{\frac{\epsilon_0 \epsilon_{\text{N}}}{t_{\text{SiN}}-x}}} \quad (11-2)$$

ここでSiO₂の比誘電率を ϵ_{OX} 、Si₃N₄の比誘電率を ϵ_{N} 、真空の誘電率を ϵ_0 とした。

(11-1), (11-2)式から x は、

$$x = \left(\frac{1}{C} - \frac{1}{C_0} \right) \left/ \left(\frac{1.8}{\epsilon_0 \epsilon_{\text{OX}}} - \frac{1}{\epsilon_0 \epsilon_{\text{N}}} \right) \right. \quad (11-3)$$

と与えられる。いま、熱酸化前にSi₃N₄膜表面に形成されていたSiO₂の膜厚 y は、Si_{2p}光電子スペクトルを用いたXPS測定の結果10 Åであったので、熱酸化前後のキャパシタ容量の測定値 C, C_0 を用いて、(11-3)式から成長したSiO₂膜厚を求めることが出来る。この方

法は熱酸化前後のキャパシタ容量の差を用いるため、下部酸化膜に変動がない場合には3層膜に対しても使用することが出来る。

確認のため、820℃で130分のパイロジェニック酸化（流量比： $O_2/H_2=1/1.8$ ）の条件で熱酸化した試料について断面TEM観察との比較を行った。その結果、断面TEM観察では $28\pm 3 \text{ \AA}$ という値が得られたのに対し、 SiO_2 と Si_3N_4 の比誘電率として3.85と7.4を用いて(11-3)式と容量測定から求めた値は 26 \AA となり、良い一致を示した。

第12章 極めて薄いシリコン窒化膜およびシリコン酸化膜-シリコン窒化膜積層膜の電気伝導^{[29]-[32]}

12.1節 はじめに

メガビットクラスのDRAM (Dynamic Random Access Memory) に於いては、キャパシタ容量を確保するためにスタックトキャパシタやトレンチキャパシタなどの三次元セルが検討されてきた[1]-[6]。このような三次元セルに於いては、シリコン窒化膜 (Si_3N_4) を熱酸化して得られる酸化膜-窒化膜 (Oxide-Nitride: 以下ではONと略す) 積層膜が、低い欠陥密度と高い信頼性を示すため、キャパシタ誘電体膜として注目されてきた[7]-[9]。一方、DRAMの留まることを知らない微細化の中で、三次元セルに用いられるキャパシタ誘電体膜に対してもまた薄膜化が要求されている。このため、薄いON積層膜を形成するための技術開発は、DRAMを高集積化するために極めて重要な課題となっている。

ところで、スタックトキャパシタに於けるON積層膜は、通常 n^+ ポリシリコン表面の洗浄・乾燥の後、減圧CVD炉を用いてシリコン窒化膜を堆積し、熱酸化を行うことで得られる。ところが、ウエハの純水リンス及びウエハの大気暴露によって、 n^+ シリコン表面には自然酸化膜が成長する[10],[11]。また、ウエハを高温の減圧CVD炉に挿入する際に、 n^+ シリコン表面は大気による熱酸化を被る。それゆえシリコン窒化膜の成膜に際しては、 n^+ ポリシリコン表面にシリコン酸化膜が存在し、実際に得られる積層膜は、上部酸化膜-窒化膜-下部酸化膜の3層構造となる。このような3層構造を薄膜化する為には、各々の層の薄膜化を検討する必要がある。

一方DRAMに於いては、電荷を一定時間キャパシタに保持するために、キャパシタ誘電体膜の伝導電流が許容値 (約 10^{-7} A/cm²) 以下であることが要求される。このため、ON積層膜の薄膜化のためには、伝導電流が小さく絶縁性の高い積層構造を形成する必要がある。またそのような積層膜を得るためには、ON積層膜及びそれを構成するシリ

コン窒化膜とシリコン酸化膜の電気伝導メカニズムを良く理解し、絶縁性の高い積層構造を開発するための指針を得ることが重要である。

これまで第11章においては、約100 Å (SiO₂換算で約60 Å) 以上のシリコン窒化膜を伝導するキャリアーについての過去の研究結果[12]-[25]を紹介し、窒化膜と酸化膜の積層膜における上部及び下部酸化膜の効果についての研究結果を示してきた。このような比較的厚いシリコン窒化膜におけるキャリアー輸送のメカニズムは、Szeによって調べられており、窒化膜中の電界にして約3 MV/cm以上の高電界領域では、室温以上の高温領域においてPoole-Frenkel伝導が支配的であり、低温領域ではトンネル伝導が支配的になることが指摘されている[12],[13]。その後、110 Å (SiO₂換算で74 Å) までの窒化膜の高電界・高温領域のキャリアー輸送は、Poole-Frenkel伝導が支配的であることが確認されている[21],[25]。ところが近年Yugamiらは、窒化膜がSiO₂換算で50 Åよりも薄くなると、一定電界を加えたときに流れるリーク電流が薄膜化につれて増加し、この電流増加現象が、窒化膜をDRAMのキャパシタに適用する場合の下限膜厚を制限してしまうことを指摘した[9]。彼らは伝導電流のPoole-Frenkelプロットから、窒化膜中のキャリアー輸送に関わるトラップの深さ Φ_t を求め、薄膜化に伴い Φ_t が減少するように見えることから、電流増加にはトンネル電流が寄与していると推測した。しかし、窒化膜の薄膜化に伴うトンネル電流の増加についての明確な証明は無く、50 Å (SiO₂換算) 以下の窒化膜における電流増加のメカニズムは明らかにはなっていない。

シリコン窒化膜の電気伝導メカニズムを解明するためには、リーク電流におけるトンネル電流成分を分離することが重要であり、そのためには、低温 (<200 K) における伝導電流の温度依存性を調べるのが有効である[12],[13]。そこで本章では、50 Å (SiO₂換算) 以下の極薄シリコン窒化膜における伝導電流を77 ~ 398 Kの温度範囲で測定し、トンネル伝導成分を分離することによって、極薄窒化膜における電流増加のメカニズムを検討する。また、極薄窒化膜およびON積層膜の絶縁性と、下部および上部酸化膜の膜厚との関係を調べ、ON積層膜の薄膜化に対し下部・上部酸化膜の薄膜化が重要な課題であることを示す。

1 2.2 節 試料作成

実験には4種類の誘電体膜を有するスタックトキャパシタを用意した。以下では4種類のキャパシタを、N1タイプ・ON1タイプ・N2タイプ・ON2タイプと呼ぶ。まず下部電極は、2000 Åのポリシリコンを減圧CVD法で堆積し、As⁺注入 (50 KeV, 2 x 10¹⁵ cm⁻²) を行った後、900°CのN₂雰囲気中で30分のアニールを加え、パターニングを行うことで形成した。その後、n⁺ポリシリコン下部電極の表面に対し、1% HF溶液洗浄 (30秒)、超純水洗浄 (15分)、IPA (イソプロピルアルコール) 乾燥を行った。引き続き、N1タイプとON1タイプのキャパシタ形成に対しては、減圧CVD炉の反応管へ27°Cでシリコン基板を挿入し、反応管内をN₂置換した後に700°Cまで加熱し、SiH₂Cl₂とNH₃ガスを用いてシリコン窒化膜 (Si₃N₄) を堆積した。堆積圧力は0.2 Torrである。N2タイプとON2タイプのキャパシタ形成に対しては、下部酸化膜を成長させるために、あらかじめ700°Cに加熱した反応管にシリコン基板を挿入し、窒化膜を堆積した。その後、ON1タイプとON2タイプの試料に関して、900°Cの温度でパイロジェニック酸化 (流量比: O₂/H₂=1/1.8) を行い、27~31 Åの上部酸化膜を形成した。N1タイプとN2タイプの試料について

表1 2-1 作成した4種類のスタックトキャパシタに於ける誘電体膜形成条件

名称	Si ₃ N ₄ 堆積	酸化	TEM
N1	27°C挿入	なし	
ON1		900°C、O ₂ /H ₂ =1/1.8	*
N2	700°C挿入	なし	
ON2		900°C、O ₂ /H ₂ =1/1.8	*

ではパイロジェニック酸化を行っていない。上部電極は、2000 Å のリンドープトポリシリコンを減圧CVD法で堆積し、パターニングを行うことで形成した。上部電極の上に常圧CVD法によりボロンリンガラスを堆積し熱処理を加えた後、コンタクトホールを開孔し、アルミニウム配線を形成した。最後に400°Cの水素雰囲気中でアニールを加えた。作成した4種類の試料に於けるON積層膜の形成条件を表1 2-1に整理する。

図1 2-1 (a) (b)にON1タイプとON2タイプのキャパシタの断面TEM像を示す。写真から分かるように、窒化膜-下部電極界面の下部酸化膜は、ON1タイプに比べてON2タイプのキャパシタに於いて厚くなっている。これは、700°Cの反応管にシリコン基板を挿入する際に大気によってn⁺ポリシリコン表面が酸化されたためと考えられる。断面TEM像

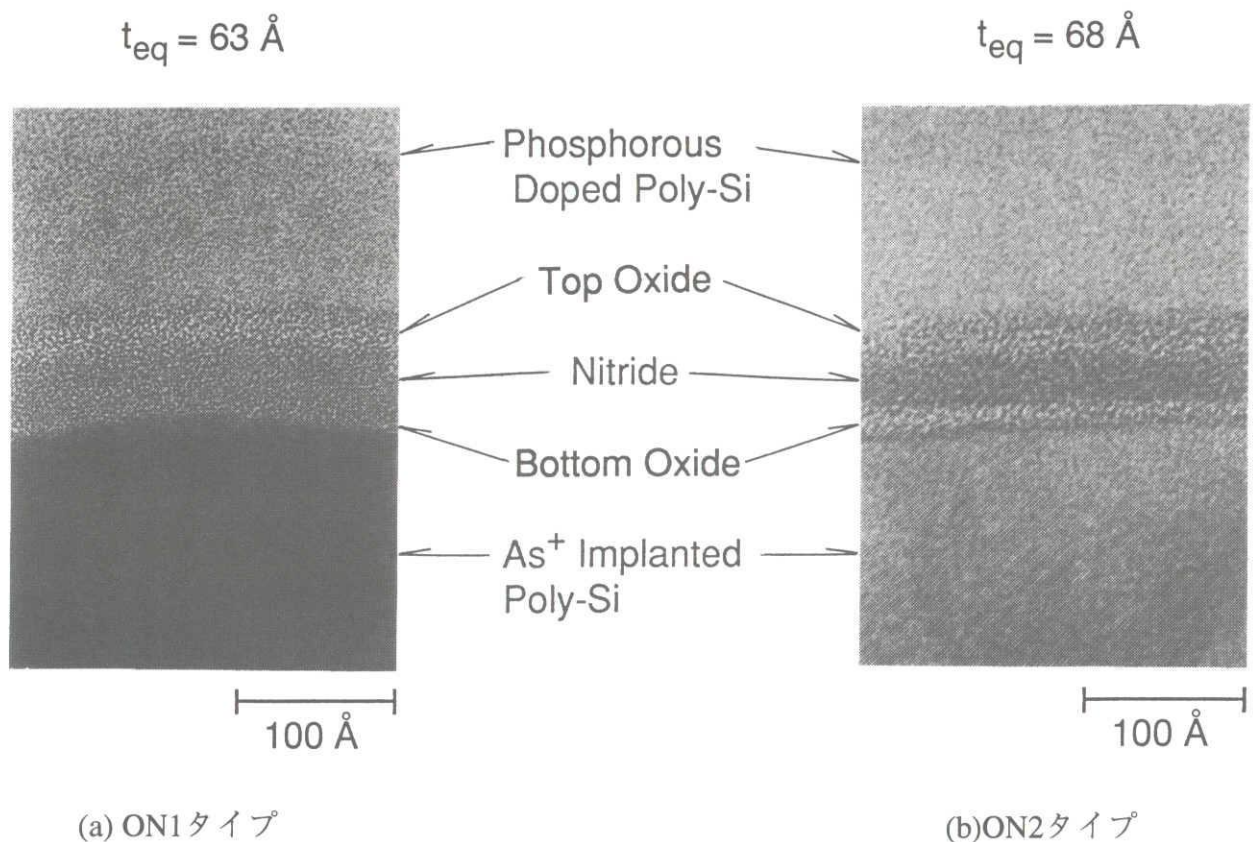


図1 2-1 ON1タイプとON2タイプのキャパシタの断面TEM像。窒化膜-下部電極界面の下部酸化膜は、ON1タイプに比べてON2タイプのキャパシタに於いて厚くなっている。これは、ON2タイプのキャパシタでは700°Cの反応管にシリコン基板を挿入する際に、大気によってn⁺ポリシリコン表面が酸化されたためと考えられる。

より、ON1タイプに於ける下部酸化膜は5 Å以下、ON2タイプに於いては約10～20 Åと見積もられた。

シリコン窒化膜の膜厚はエリプソメーターを用いて測定し、SiO₂換算膜厚 (t_{eq}) はキャパシタの容量値から比誘電率3.85を用いて計算した。SiO₂電界 (E_{eq}) は、キャパシタへの印加電圧をSiO₂換算膜厚 t_{eq} で割ることによって求めた。また上部酸化膜の膜厚は、Appendix 11Aに示した方法を用いて決定した。

1 2.3 節 実験結果と考察

これまでにSzeは、高電界（約3 MV/cm以上）における厚いシリコン窒化膜の電気伝導は、室温以上ではPoole-Frenkel伝導成分が支配的であり、低温 (<200 K) ではトンネル伝導成分が支配的になることを指摘している[12],[13]。このようにシリコン窒化膜の伝導電流におけるトンネル伝導成分を分離するためには、低温 (<200 K) での電流測定が有効である。そこでN1タイプのキャパシタを用いて、SiO₂換算膜厚にして34 Åと102 Åのシリコン窒化膜におけるゲート電流を77～398 Kの温度範囲で測定した。図1 2-2に77, 296, 398 Kの各温度における正ゲート極性でのゲート電流密度 J_g とSiO₂電界 E_{eq} の関係を示す。シリコン窒化膜の薄膜化に従って、各温度共に電流密度 J_g が著しく増加している。図1 2-3は、34 Åと102 Åの窒化膜を有するN1タイプのキャパシタと74 Å (SiO₂換算膜厚) の窒化膜を有するN2タイプのキャパシタの電流密度 J_g と測定温度の関係を示している。図1 2-3において、いずれの膜厚においても、低温 (77, 87 K) での電流成分は温度依存性が小さいことがわかる。また低温 (77 K) での電流成分は、図1 2-2の△で示すように強い電界依存性を示す。これらの結果は、34～102 Åの窒化膜に於いても低温領域の電気伝導がトンネル効果によって制限されていることを強く支持している。さらに図1 2-2と図1 2-3から、シリコン窒化膜の薄膜化につれて低温での電流が増加していることが分かり、極薄領域での窒化膜の伝導電流の増加には、トンネル伝

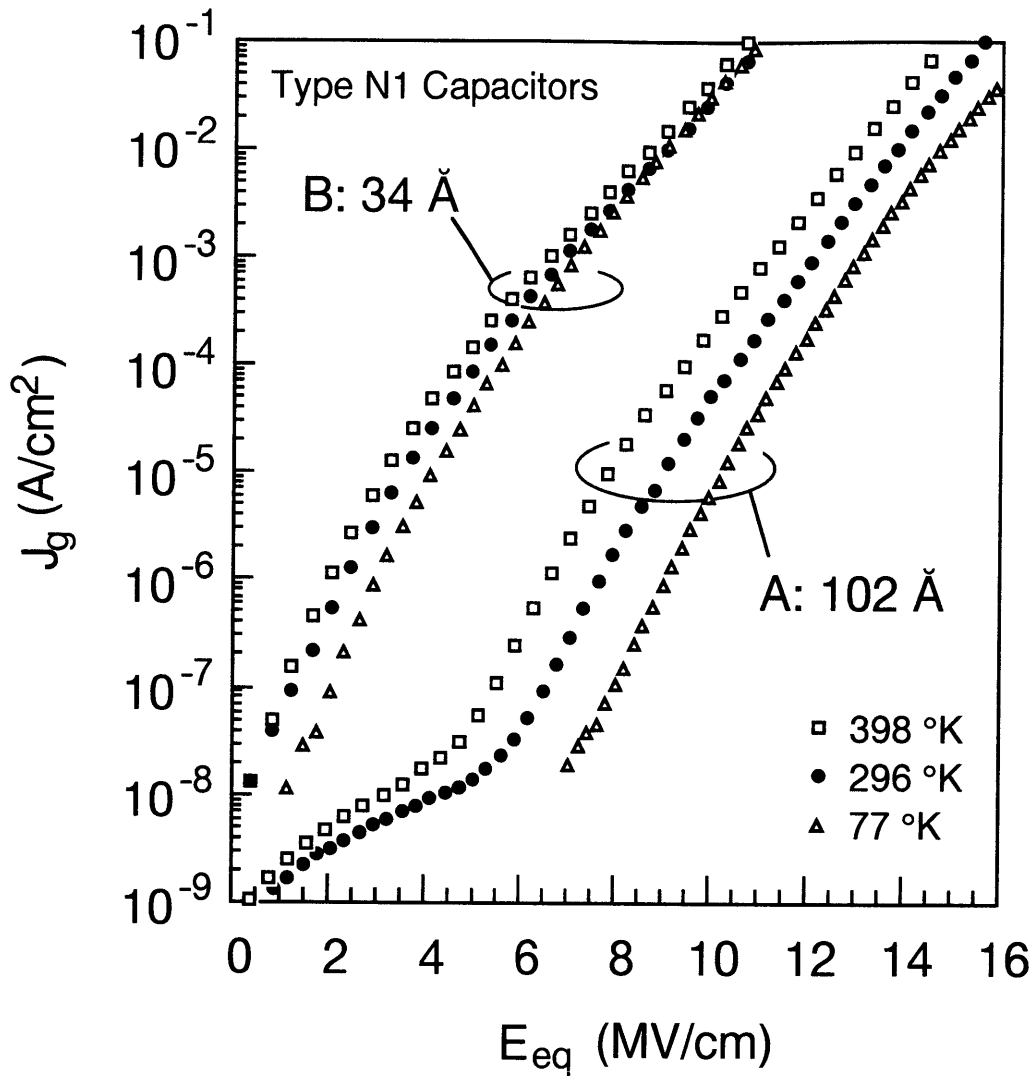


図 1 2-2 SiO₂換算膜厚にして34 Åと102 Åのシリコン窒化膜における77, 296, 398 °Kの電流密度 J_g とSiO₂電界 E_{eq} の関係。シリコン窒化膜の薄膜化によって、各温度共に電流密度 J_g が著しく増加している。

導成分の増加が寄与していると結論できる。Szeが提案したトンネル伝導は、窒化膜中のトラップからシリコン窒化膜の伝導帯への電子のトンネル放出を意味しているが[12]、そのような過程のみを考慮した場合には、トンネル伝導成分の膜厚依存性を説明することは困難である。また、単純なFowler-Nordheimトンネリングによってもトンネル伝導成分の膜厚依存性を説明することはできない。シリコン窒化膜に対して電子の直接トンネリングが起こると想定されるのは、34 Åの場合で6 MV/cm以下（ゲート電圧にして2 V以

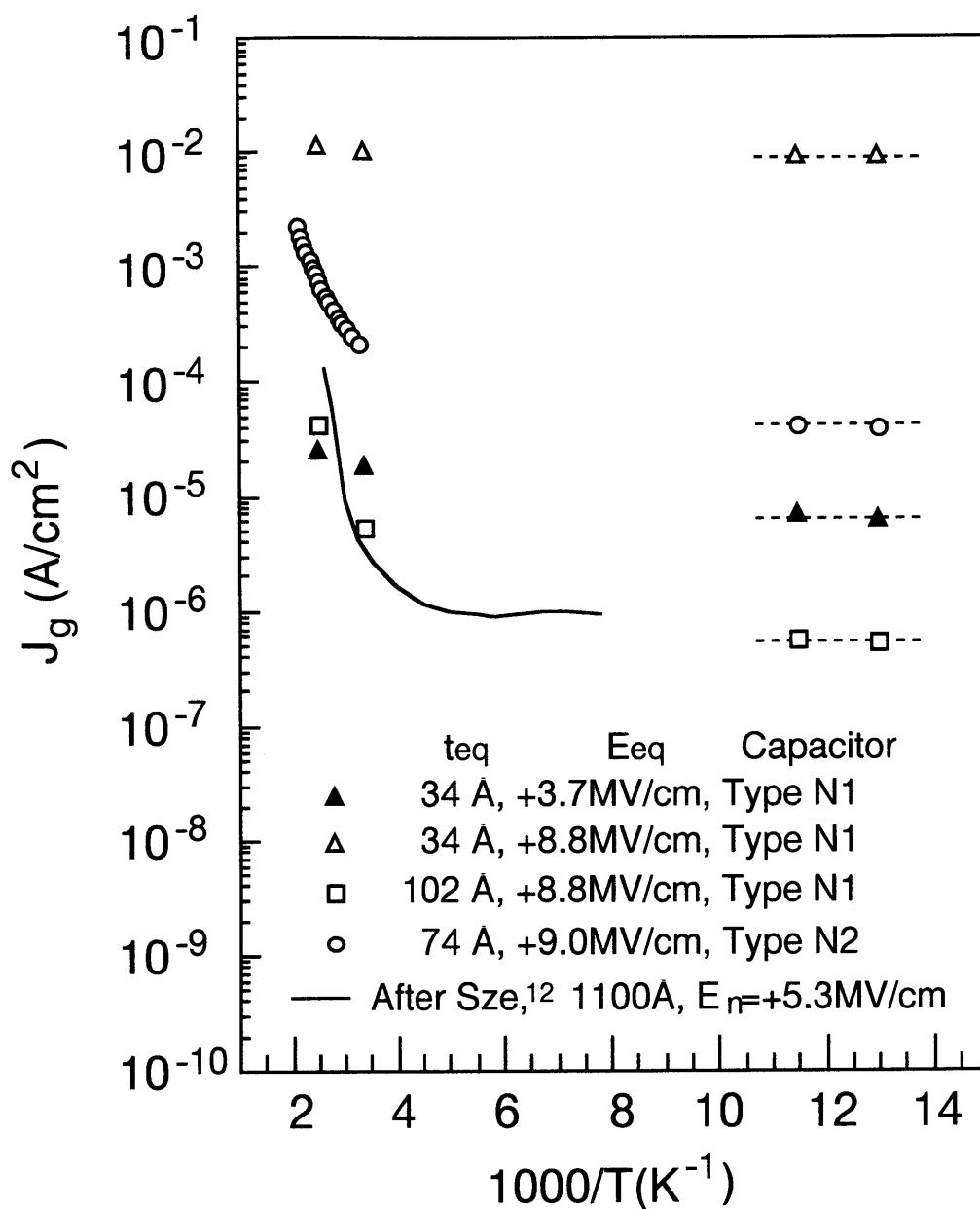


図1 2-3 SiO₂換算膜厚にして34, 74, 102Åのシリコン窒化膜におけるゲート電流密度 J_g と測定温度の関係。いずれの膜厚においても、低温での電流成分は温度依存性が小さい。

下)の時であり、やはり高電界におけるトンネル伝導成分の増加を説明することはできない。ここで示したトンネル伝導の更に具体的な描像を得ることは今後の課題と考えている。

一方、図 1 2-2 の34 Å の窒化膜の296 Kの電流密度は、9 MV/cm以下の電界では77 Kの電流密度に比べて大きくなっている。すなわち296 Kの電流は、温度依存性を有する電流成分を含んでいる。測定温度が77 Kから398 Kに増加すると、電流密度は測定した全ての電界において増加し、398 Kの低電界に於ける電流は77 Kの電流密度に比べて約1桁大きくなった。それ故、398 Kの低電界に於ける伝導電流は、温度依存性を有する成分に支配されていると言える。

102 Å の窒化膜の場合には、約6 MV/cm以上の電界に於いて測定温度の増加につれて電流密度が増加し、伝導電流が温度依存性を有する電流成分に支配されていることが分かる。高電界における厚いシリコン窒化膜の電気伝導は、室温以上ではPoole-Frenkel伝導成分が支配的であることが示されており[12],[13]、Poole-Frenkel電流は以下の式で与えられることが知られている[12],[26]-[28]。

$$J \propto E_n \exp \left[-q \left\{ \phi_i - \left(\frac{qE_n}{\pi\epsilon_0\epsilon_n} \right)^{1/2} \right\} / kT \right]. \quad (12-1)$$

ここで ϕ_i は窒化膜中のトラップ準位の障壁高さであり、 ϵ_0 は真空の誘電率、 ϵ_n は窒化膜の高周波領域での比誘電率、 q は素電荷、 k はボルツマン定数である。窒化膜中の電界 E_n を計算し^{注1}、図 1 2-2 の398 Kの場合の電流密度から $\log(J_g/E_n)$ と $\sqrt{E_n}$ の関係をプロットした結果を図 1 2-4 に示す。102 Å の窒化膜の場合には、 $\log(J_g/E_n)$ は $\sqrt{E_n}$ の1次関数になっており、このグラフの傾きと(12-1)式から ϵ_n は4.1と見積もられた。この値は、光学領域に於ける窒化膜の比誘電率4.0に近く、光学領域と低周波領域の比誘電率の間に位置していることから、102 Å の窒化膜の6 MV/cm以上の伝導電流は(12-1)式で表されるPoole-Frenkel伝導に支配されていると考えられる。一方、34 Å の窒化膜についても同様の方法を用いて ϵ_n を求めたところ、12という値が得られた。この値は、光学領域と低周波領域の比誘電率に比べて極めて大きく、34 Å の窒化膜の398 Kに於ける温度依存性を有する

^{注1} 容量測定と断面TEM観察を用いて窒化膜の低周波領域(100 KHz)での比誘電率を求めた結果、 6.6 ± 0.6 と得られた。ここでは、窒化膜の比誘電率として6.6を用いて電界 E_n を計算した。

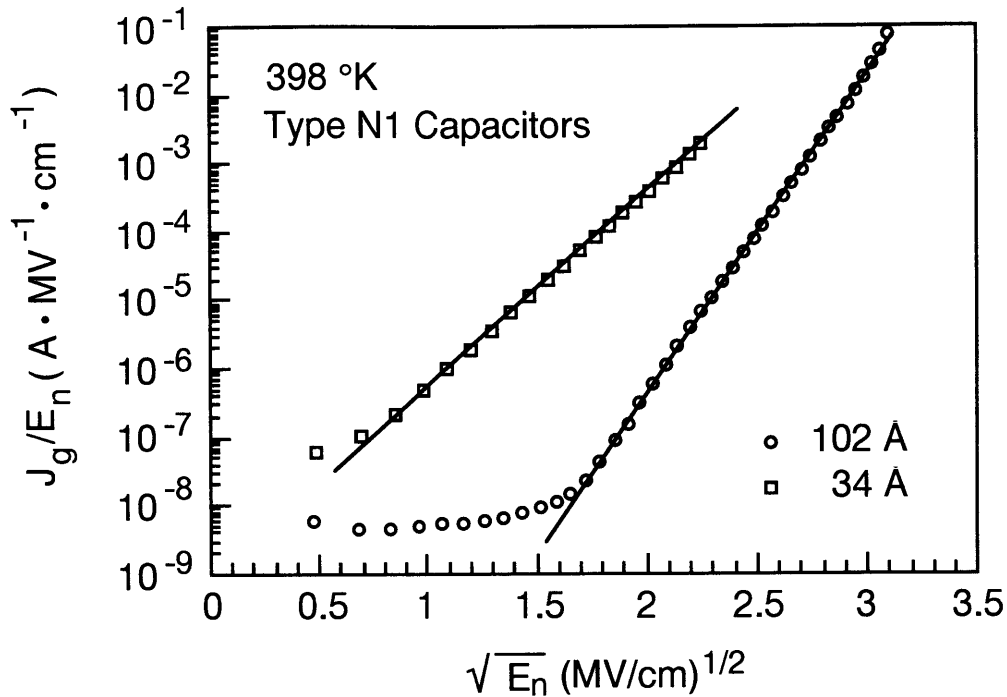


図 1 2-4 102 Å と 34 Å の窒化膜の 398 °K の場合の電流密度 J_g と窒化膜中の電界 E_n から、 $\log(J_g/E_n)$ と E_n の平方根の関係をプロットした結果。

電流成分を Poole-Frenkel 伝導で説明することは困難である。極薄窒化膜の温度依存性を有する電流成分の伝導メカニズムの解明もまた今後の課題である。

次に、伝導電流の増加に伴う窒化膜の絶縁性低下と、窒化膜および下部酸化膜の膜厚の関係について検討を行う。ここでは、296 °K に於いて伝導電流が $+2.3 \times 10^{-6} \text{ A/cm}^2$ に達した電界を絶縁破壊電界 E_{bd} と定義し、シリコン窒化膜の SiO_2 換算膜厚 t_{eq} に対して正ゲートバイアスでの E_{bd} をプロットした結果を図 1 2-5 に示す。図中において A と B のデータポイントは図 1 2-2 における A と B のデータに対応している。また、下部酸化膜厚の異なる N1 タイプと N2 タイプのキャパシタ群についての結果を合わせてプロットしている。両方のキャパシタ共に、シリコン窒化膜が SiO_2 換算膜厚にして約 50 Å 以下になると絶縁破壊電界 E_{bd} の急激な低下が起こっている。この E_{bd} の低下は、伝導電流の増加に起因している。Yugami ら [9] によって示された絶縁破壊電界 E_{bd} の低下が再現しており、シリコン窒化膜の薄膜化には、限界が存在することが分かる。

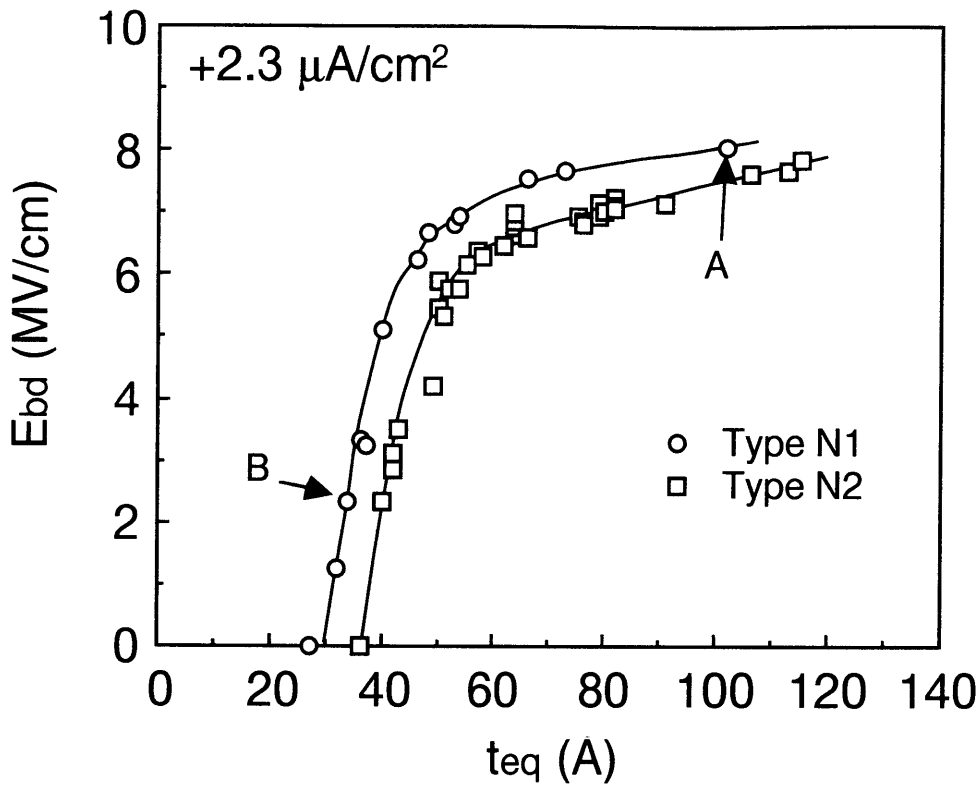


図1 2-5 296 Kに於いて伝導電流が $+2.3 \times 10^{-6} \text{ A}/\text{cm}^2$ に達した電界を絶縁破壊電界 E_{bd} と定義し、シリコン窒化膜の SiO_2 換算膜厚 t_{eq} に対して E_{bd} をプロットした結果。図中においてAとBのデータポイントは図1 2-2におけるAとBのデータに対応している。伝導電流の増加によって、シリコン窒化膜が SiO_2 換算膜厚にして約50 Å以下になると絶縁破壊電界の急激な低下が起こる。

次に、下部酸化膜の膜厚が異なるN1とN2タイプのキャパシタの E_{bd} - t_{eq} 特性を比較すると、 E_{bd} が減少を示す膜厚は、下部酸化膜の膜厚が薄いN1タイプの場合に薄膜側にシフトしている。見方を変えると、同一の SiO_2 換算膜厚（例えば40 Å）に対して下部酸化膜の膜厚が薄い場合に E_{bd} が大きくなっている。この結果は、ON積層膜を薄膜化する場合に伝導電流を抑制し絶縁性を向上するためには、下部酸化膜を薄膜化することが有効であることを意味している。すなわちON積層膜の薄膜化のためには、図1 2-1 (a)に示すようなより薄い下部酸化膜を有する積層構造を用いることが重要である。下部酸化膜の薄膜化が有効な原因の一つとして、同一の t_{eq} を得るために、下部酸化膜の膜厚が薄い方がシリコン窒化膜の膜厚を厚く構成できるためと考えられる。

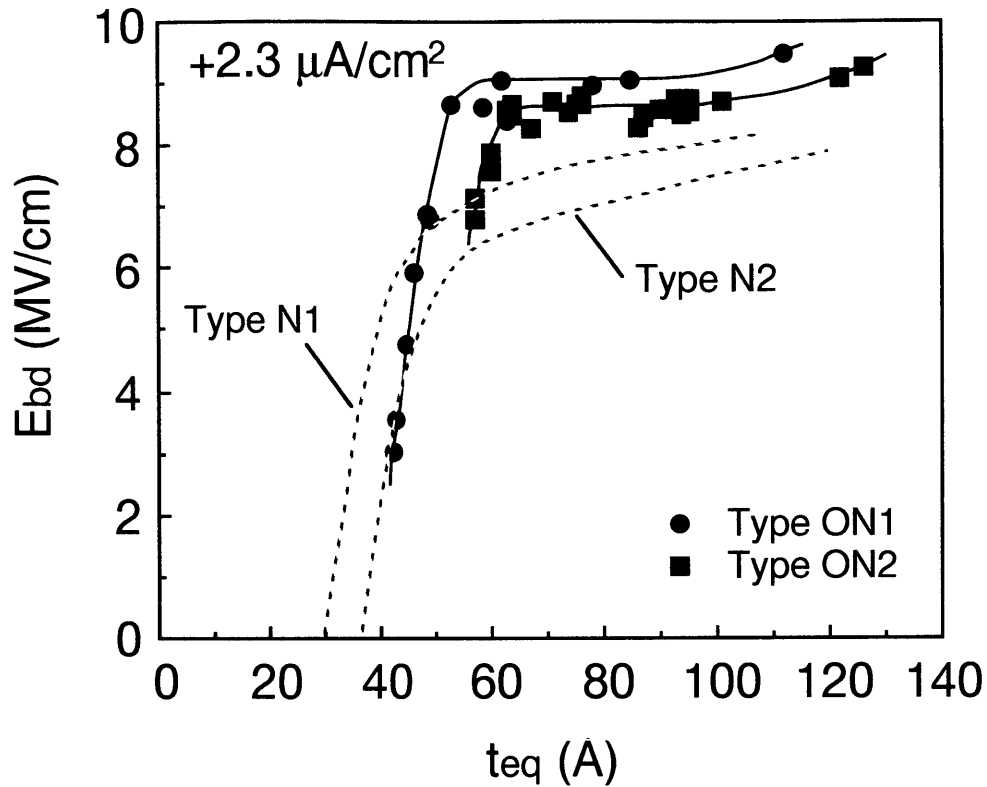


図1 2-6 上部酸化膜を形成したON1とON2タイプのキャパシタの絶縁破壊電界 E_{bd} の t_{eq} 依存性。N1とN2タイプのキャパシタの結果も破線で示した。

さらに、上部酸化膜を形成したON1とON2タイプのキャパシタの正ゲートバイアスでの絶縁破壊電界 E_{bd} の t_{eq} 依存性を図1 2-6に示す。図1 2-6には、N1とN2タイプのキャパシタの結果も破線で示した。ON1タイプとON2タイプを比較すると、 E_{bd} が減少を示す膜厚は、下部酸化膜の膜厚が薄いON1タイプの場合に薄膜側にシフトしており、上部酸化膜を形成しなかったN1とN2タイプのキャパシタの場合と同様の結果となった。

さて本論文の第1 1章において、 SiO_2 換算膜厚が60 Å以上のときの酸化膜-窒化膜(ON)積層膜の伝導電流に対する上部酸化膜厚の効果について検討し、そこでは、30 Å以上の上部酸化膜は陽極からの正孔注入に対し障壁となるが、30 Å以下の時には障壁の役割を果たさないことを示した。図1 2-6に於いて、 SiO_2 換算膜厚 t_{eq} が60 Å以上のとき、ON1タイプのキャパシタはN1タイプに比べて高い絶縁破壊電界 E_{bd} を示しており、

この結果は、厚い窒化膜の伝導電流が正孔によって支配されており、陽極から窒化膜への正孔注入が陽極に隣接する約30 Åの上部酸化膜によって抑制されたことにより高い絶縁破壊電界 E_{bd} を示した、と解釈することができる。

一方、 SiO_2 換算膜厚が50 Å以下のときには、ON1タイプのキャパシタはN1タイプと比較して、より厚い t_{eq} で E_{bd} の急激な減少が起こった。この結果もまた、上部酸化膜が厚いON1タイプの方が、同一の t_{eq} に於いては窒化膜の膜厚が薄くなることが原因と考えることができる。この現象は、厚いON積層膜のときのような正孔の輸送過程を考慮することだけでは説明することは困難である。正ゲート極性では、ON積層膜の上部酸化膜は下部電極からの電子注入を妨げることはできないため、ON1タイプの絶縁性の低下に対して電子の流れの寄与を考慮する必要があると思われる。さらに、図 1 2-6 のON2タイプとN2タイプの比較においても、上部酸化膜の膜厚が厚いON2タイプの場合により厚い t_{eq} で E_{bd} が減少を示した。

以上の実験結果から、薄いON積層膜の絶縁性を確保するためには、上部・下部両酸化膜の薄い積層構造を形成するべきであると言える。下部酸化膜の薄い構造を実現するためには、下部電極表面の酸化を厳しく制限する必要がある、このためには、シリコン窒化膜の成膜前の大気による酸化を抑制することのできるロードロック機構付きの減圧CVD装置を用いることや、下部電極表面に形成された酸化膜を除去する技術の開発が重要な課題と考えられる。一方、1 0.3節において示したように、シリコン窒化膜を熱酸化することは欠陥密度の低減に有効であり、信頼性の向上が可能となる。このため熱酸化による上部酸化膜の形成はON積層膜の実用化に重要な工程である。それゆえ上部酸化膜の薄膜化には限界があると考えられる。

1 2.4 節 結言

SiO_2 換算膜厚にして50 Å以下のシリコン窒化膜における電気伝導を解析するために、

34、74、102 Åのシリコン窒化膜の伝導電流の測定を77～398 °Kの温度範囲で行い、以下の結果と結論を得た。

- (1) シリコン窒化膜をSiO₂換算膜厚にして102 Åから34 Åに薄膜化することによって、77～398 °Kの温度範囲で伝導電流が増加した。
- (2) 34, 74, 102 Åのいずれの膜厚においても、低温（77, 87 °K）での電流成分は温度依存性が小さく、強い電界依存性を示した。これらの結果から、低温領域ではトンネル伝導が支配的と考えられる。
- (3) SiO₂換算膜厚にして50 Å以下の極薄領域での窒化膜の薄膜化に伴う伝導電流の増加には、トンネル伝導成分の増加が寄与している。但し、トンネル伝導の詳細な過程を解明することは今後の課題である。
- (4) 34 Åの窒化膜の高温領域（296～398 °K）の低電界に於ける伝導電流は、温度依存性を有する電流成分に支配されている。この温度依存性を有する電流成分をPoole-Frenkel伝導で説明することは困難である。極薄窒化膜の温度依存性を有する電流成分の伝導メカニズムの解明もまた今後の課題である。
- (5) 102 Åの窒化膜の398 °Kに於ける6 MV/cm以上での伝導電流は、Poole-Frenkel伝導に支配されている。

次に、SiO₂換算膜厚にして約50 Å以下のシリコン窒化膜およびON積層膜の伝導電流の増加に伴う絶縁性低下と、上部酸化膜・窒化膜・下部酸化膜の各膜厚との関係について調べ、以下の結果と結論を得た。

- (1) シリコン窒化膜が薄くなるにつれて絶縁破壊電界E_{bd}の急激な低下が起こることを確認した。
- (2) 下部酸化膜の膜厚が異なるキャパシタの絶縁破壊電界E_{bd}を比較すると、下部酸化膜の膜厚が薄い場合には、より薄いSiO₂換算膜厚においてE_{bd}の減少が起こった。すなわち、同一のSiO₂換算膜厚に対して下部酸化膜が薄い場合にE_{bd}が大きくなる。
- (3) 上部酸化膜の膜厚が異なるキャパシタの絶縁破壊電界E_{bd}を比較すると、上部酸化

膜の膜厚が薄い場合には、より薄いSiO₂換算膜厚においてE_{bd}の低下が起こった。

- (4) 以上の結果から、伝導電流を抑制し絶縁性を確保しながらON積層膜を薄膜化するためには、下部酸化膜と上部酸化膜の薄膜化が有効である。
- (5) 下部または上部酸化膜の薄膜化によって絶縁性が向上する理由の一つには、これらの酸化膜厚を薄くすることによって、同一のSiO₂換算膜厚に於けるシリコン窒化膜の膜厚を厚くできることが考えられる。

参考文献

- [1] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, in Technical Digest of International Electron Devices Meeting, 1982, p. 806.
- [2] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, IEEE Trans. Electron Devices, ED-31, 746 (1984).
- [3] Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka, and K. Shirai, in Technical Digest of International Solid-State Circuit Conference, 1985, p. 250.
- [4] K. Tsukamoto, M. Shimizu, M. Inuishi, Y. Matsuda, H. Oda, H. Morita, M. Nakajima, K. Kobayashi, Y. Mashiko, and Y. Akasaka, in Technical Digest of International Electron Devices Meeting, Washington, 1987, p. 328.
- [5] W. Wakamiya, Y. Yanaka, H. Kimura, H. Miyatake, and S. Satoh, in Digest of Technical Papers : 1989 Symposium on VLSI Technology, 1989, p. 69.
- [6] T. Ono, T. Mori, T. Ajioka, and T. Takayashiki, in Technical Digest of International Electron Devices Meeting, 1985, p. 380.
- [7] Y. Ohji, T. Kusaka, I. Yoshida, A. Hirata, K. Yagi, K. Mukai and O. Kasahara, in Proceedings of International Reliability Physics Symposium, 1987, p. 55.
- [8] Y. Ohno, T. Kaneoka, I. Ogoh, J. Mitsuhashi, M. Hirayama and T. Kato, Symposium on

- VLSI Technology Digest, 1988, p. 35.
- [9] J. Yugami, T. Mine, S. Iijima, and A. Hiraiwa, in Extended Abstract of the 20th Conference on Solid State Devices and Materials, 1988, p. 173.
- [10] M. Morita, T. Ohmi, E. Hasegawa, and A. Teramoto, Extended Abstract of the 22nd Conference on Solid State Devices and Materials, 1990, p. 1063.
- [11] M. Morita, T. Ohmi, E. Hasegawa, M. Kawakami, and M. Ohwada, J. Appl. Phys., 68, 1272 (1990).
- [12] S. M. Sze, J. Appl. Phys., 38, 2951, (1967).
- [13] S. M. Sze, Physics of Semiconductor Devices, John Wiley & Sons, New York, 1981, p. 402.
- [14] D. Frohman-Bentchkowsky and M. Lenzinger, J. Appl. Phys., 40, 3307 (1969).
- [15] A. S. Ginovker, V. A. Gritsenko and S. P. Sinitza, Phys. Status Solidi(a), 26, 489 (1974).
- [16] Z. A. Weinberg and R. A. Pollak, Appl. Phys. Lett., 27, 254 (1975).
- [17] Z. A. Weinberg, Appl. Phys. Lett., 29, 617 (1976).
- [18] C. M. Svensson, J. Appl. Phys., 48, 328 (1977).
- [19] P. C. Arnett and Z. A. Weinberg, IEEE Trans. Electron Devices, ED-25, 1014 (1978).
- [20] D. K. Schroder and M. H. White, IEEE Trans. Electron Devices, ED-26, 899 (1979).
- [21] F. T. Liou and S. Chen, IEEE Trans. Electron Devices, ED-31, 1736 (1984).
- [22] S. Horiguchi and H. Yoshino, J. Appl. Phys., 58, 1597 (1985).
- [23] M. Aminzadeh, S. Nozaki, and R. V. Giridhar, IEEE Trans. Electron Devices, 35, 459 (1988).
- [24] W. T. Chang, D. K. Shih, D. L. Kwong, Y. Zhou and S. Lee, Appl. Phys. Lett., 54, 430 (1989).
- [25] K. Kobayashi, H. Miyatake and M. Hirayama, the 21th Conference on Solid State Devices and Materials, 1989, p. 485.
- [26] J. Frenkel, Tech. Phys. USSR, 5, 685 (1938); Phys. Rev. 54, 647 (1938).

- [27] D. A. Vermilyea, *Acta Metallurgica*, 2, 346 (1954).
- [28] J. G. Simmons, *J. Phys. D: Appl. Phys.*, 4, 613 (1971).
- [29] 小林清輝、中野豊、福本晃二、桧垣孝志、1991年春季第38回応用物理学関係連合講演会予稿集, 28p-V-5, p. 595.
- [30] 小林清輝、若宮互、林出吉生、奥平智仁、金岡竜範、桧垣孝志、阿部東彦、平成3年電気関係学会関西支部連合大会講演論文集, S4-5, p. S25.
- [31] 高集積DRAM用キャパシタ誘電体膜形成技術、小林清輝、林出吉生、中野豊、奥平智仁、福本晃二、三菱電機技報、vol. 66, 1992, p. 106.
- [32] K. Kobayashi, A. Teramoto, and M. Hirayama, *J. Electrochem. Soc.*, 142, 990 (1995).

第13章 枚葉式シリコン窒化膜CVD装置による極薄酸化膜-窒化膜積層膜の形成^{[31],[32]}

13.1節 はじめに

DRAM (Dynamic Random Access Memory) の高集積化のためには、限られたセル面積に必要とされる容量 (約30 fF/bit) を作り込まなければならず、このため、スタックトキャパシタやトレンチキャパシタなどの三次元キャパシタ構造が検討されてきた[1]-[6]。このようなキャパシタ構造に於いては、シリコン窒化膜 (Si_3N_4) を熱酸化して得られる酸化膜-窒化膜 (Oxide-Nitride: 以下ではONと略す) 積層膜が低い欠陥密度と高い信頼性を示すため、キャパシタ誘電体膜として注目されてきた[7]-[23]。

一方、DRAMの留まることを知らない微細化のため、三次元キャパシタに於いても、キャパシタ誘電体膜の更なる薄膜化が要求されている。しかし、ON積層膜の薄膜化を行う場合には、以下の3つの特性の低下に配慮する必要がある。すなわち、(A) 絶縁性、(B) 耐酸化性、(C) TDDB (Time Dependent Dielectric Breakdown) 特性である。第12章で述べたように、ON積層膜を構成するシリコン窒化膜をある膜厚以下に薄膜化すると、その絶縁性が急激に失われる。このため、絶縁耐圧が薄膜化を制限する要因の一つとなる。また、欠陥密度を低減するためにはシリコン窒化膜を熱酸化する必要があるが、窒化膜がある膜厚以下になるとその耐酸化性が失われてしまうという問題点がある[14]。耐酸化性はON積層膜の薄膜化を制限するもう一つの要因である。また、誘電体膜に電界を印加し続けるとTDDBと呼ばれる経時絶縁破壊が起こる。DRAMの市場での瞬間故障率は10~100 FIT ($10^{-8} \sim 10^{-7}/\text{device} \cdot \text{hour}$) 以下という厳しい水準を10年間満たすことが要求されている。しかし、動作電圧を一定のまま誘電体膜を薄くすると、誘電体膜に印加される電界が増加するため、TDDBの発生が加速される。このためTDDBもまたON積層膜の薄膜化を制限する要因であり、TDDB特性の優れたON積層膜を得ることは

重要な課題である。

第12章で示したように、スタックトキャパシタ構造において絶縁性に優れたON積層膜を得るためには、窒化膜-下部電極界面の下部酸化膜の膜厚を低減することが効果的である[17]。このような下部酸化膜が薄い構造を実現するためには、

(i) 下部電極表面に形成された酸化膜を除去すること、

(ii) シリコン窒化膜を成膜する前の下部電極表面の酸化膜成長を抑制すること、

が重要な課題と考えられる。そのため、これまでに幾つかの技術が提案されてきた[16],[19]-[21]。まず、 n^+ ポリシリコン下部電極の表面を希フッ酸洗浄することによりシリコン酸化膜を除去し、その後の大気中での酸化を抑制するためにロードロック機構付きの減圧CVD (Chemical Vapor Deposition) 装置を用いることが提案されている[19]。しかし、希フッ酸洗浄後には水洗・乾燥工程が必要であり、その間に n^+ シリコン表面の自然酸化膜成長が速やかに進行することが確認されている[24],[25]。また、HF- H_2O 気相エッチングとロードロック機構付きバッチ式減圧CVDのクラスター化装置は、下部酸化膜を更に低減することのできる窒化膜形成装置としての一つの提案である[21]。しかし、この方法では窒化膜がシリコン表面にのみ選択的に堆積され SiO_2 表面に堆積されないため、キャパシタ形成時にON積層膜の耐酸化性が得られないという問題点があり、64Mbitや256Mbit DRAMに求められる極薄ON積層膜を形成することが困難であった。

シリコン表面の酸化膜を除去する他の方法として、シリコンのエピタキシャル成長の前処理として用いられる H_2 クリーニングが知られている[26]-[28]。 H_2 クリーニングの場合、シリコン表面の熱酸化膜 (SiO_2) に対して実用的なエッチング速度を得るには1100℃以上の温度が必要であり、このような高温熱処理は高集積デバイスにとっては致命的であるため用いることができない。しかし、単結晶シリコン表面の自然酸化膜に対しては850℃に於いても除去可能であることが確認されている[27],[28]。このような H_2 クリーニングによる自然酸化膜の除去効果に着目すると、

(a) n^+ ポリシリコン下部電極の表面を希フッ酸洗浄することで一旦酸化膜を除去し、

(b) 水洗・乾燥を経て、

(c) ロードロック機構を有する反応室にシリコン基板を挿入する、
というプロセスによって、 n^+ ポリシリコン表面の酸化膜を水洗・乾燥工程で成長する自然酸化膜のみに抑制し、

(d) n^+ ポリシリコン表面に成長した自然酸化膜は、反応室内での H_2 クリーニングによって除去する、
というプロセスが、”高集積デバイスにとって許容される温度”という制約の基で実現できる可能性がある。さらに、

(e) 自然酸化膜を除去した n^+ ポリシリコン表面の酸化が進行する前に、連続してシリコン窒化膜を堆積する、
というプロセスを実行することで、下部酸化膜の薄いON積層膜を作成することが可能になると考えられる。本章では、以上の考えに基づいて (a) ~ (e) のプロセスを実現するための装置を試作し、下部酸化膜の薄いON積層構造を形成することを試みる。

ここで、シリコン表面の自然酸化膜除去が、 850°C 以上の H_2 クリーニングによって可能である[27],[28]ことを述べたが、64Mbitや256Mbit DRAMなどの高集積デバイスにとっては、シリコン基板表面に形成されたトランジスタ等の素子の不純物拡散を抑制するために、 850°C 程度の熱処理の時間ですら極力短くする必要がある。ところが従来のバッチ式CVD装置では、抵抗加熱ヒーターを使用しており一度に100枚程度のシリコン基板を処理するため、熱容量が大きく、シリコン基板の昇降温に時間を要する（昇温速度は通常約 $10^\circ\text{C}/\text{min}$ 、降温速度は通常約 $3^\circ\text{C}/\text{min}$ が限界）。このため、形成された素子の受ける熱処理時間が長くなり、高集積のデバイスを作成することが困難である。故に、 H_2 クリーニングをDRAMのキャパシタ形成に応用するためには、急速加熱・急速冷却が可能な熱処理装置が必要となると考えられる。そこで本研究では、このような装置の実現に対し、反応室の熱容量を低減するため一度に1枚のシリコン基板のみを処理する枚葉方式と、ハロゲンランプを用いて加熱することで反応室の急速加熱が可能となるランプ加熱方式を採用した。

また、上記の (d) と (e) のステップに於いては、自然酸化膜を除去した n^+ ポリシリ

コン表面に連続してシリコン窒化膜を堆積することが重要と考えられるが、そのためには H_2 クリーニングと窒化膜堆積を同一反応室に於いて行うことが効果的と思われる。このことを実現するためには、シリコン窒化膜を前述の枚葉ランプ加熱方式の反応室で成膜する必要がある。

一方近年、メモリセルの微細化のもとでキャパシタ容量を確保する為に、三次元キャパシタ構造の高さ（または深さ）を増すことによってキャパシタ表面積を維持・拡大することが模索されている[1]-[6]。Wakamiyaらによって提案された円筒型スタックトキャパシタ構造は、その一例である[5]。このような高いアスペクト比を持った三次元キャパシタに絶縁性とTDDB特性の優れたON積層膜を形成するためには、ステップカバレッジ（段差被覆性）の優れたシリコン窒化膜を成膜することが必要である。従来、バッチ式減圧CVD装置では SiH_2Cl_2 と NH_3 ガスを用いてシリコン窒化膜を堆積してきたが、この反応系は極めて優れたステップカバレッジを提供するため、高いアスペクト比の三次元キャパシタを形成するために有効な手段であることが確認されている[5]。これに対し、シリコン窒化膜を堆積するもう一つの手段である SiH_4 - NH_3 系CVDでは、ステップカバレッジの優れたシリコン窒化膜を成膜することが困難である[20]。それゆえ本研究では、シリコン窒化膜の堆積を SiH_2Cl_2 - NH_3 系CVDによって行う方式を選択する。この結果、枚葉ランプ加熱方式で SiH_2Cl_2 - NH_3 系でのCVDを行うことのできる装置が必要となる。しかし一方、 SiH_2Cl_2 - NH_3 系CVDでは $120^\circ C$ 以下の低温で副生成物である NH_4Cl が形成される。これが反応室内で生成すると微小粒子となって飛散し、シリコン基板表面に付着することによってデバイス作成を妨げるという問題が生ずる。このため、CVD反応室の内壁などを $120^\circ C$ 以上に保つことのできるウォームウォール（Warm Wall）型のCVD装置であることも重要な要件である。ところがこれまで、ランプ加熱方式でこのような特徴を有する装置を実現した例は無い。

本章では、（１）ロードロック機構、（２）急速加熱が可能なランプ加熱機構、（３）枚葉式の反応室、（４）ウォームウォール、の４つの機構を有するウォームウォール型枚葉ランプ加熱式CVD装置の試作を行い、*in-situ* H_2 クリーニング及び SiH_2Cl_2 - NH_3 系

CVDによるシリコン窒化膜の成膜を試みる。この装置を応用して、スタックトキャパシタ構造や円筒型スタックトキャパシタ構造に対して極薄ON積層膜を形成し、その絶縁性や信頼性について調べた結果について論述する。

1 3.2 節 枚葉式窒化膜CVD装置の概要

下部酸化膜を低減でき、円筒型スタックトキャパシタ構造やトレンチキャパシタ構造のような三次元構造のメモリセルに対しても信頼性の高いON積層膜を形成できるシリコン窒化膜形成装置が必要である。この様な装置を試作するに当たって、下部酸化膜の低減のためには、ロードロック機構と*in-situ* H₂クリーニング機能の採用を選択し、また、急速加熱・急速冷却を可能とするために、シリコン基板を1枚ずつ処理する枚葉式の反応容器をハロゲンランプで加熱する方式を選択した。従来この様な要件を満たす装置は存在したが、通常真空シール材として使用するOリングの耐熱性が約150℃程度までであるために反応容器は数十℃に冷却され、反応容器の内壁の温度を制御することはできなかった。ところがSiH₂Cl₂-NH₃系での反応では、ガスが約120℃以下の壁面に接触するとパウダー状のNH₄Clが生成し壁面に付着する。パウダー状のNH₄Clは発塵源となり微粒子を生成する。その微粒子がシリコン基板に付着してLSIの製造を妨げてしまう。それ故、LSIの製造に対してSiH₂Cl₂-NH₃系のシリコン窒化膜成膜が可能なハロゲンランプ加熱方式の枚葉式減圧CVD装置は存在しなかった。本研究では、NH₄Clの生成を伴わないSiH₂Cl₂-NH₃系でのシリコン窒化膜成膜を可能とするために、反応室および真空排気系の内壁温度Tを120<T<140℃の範囲に制御できるシリコン窒化膜形成装置を試作した。反応室の内壁温度の制御は、抵抗加熱ヒーターによる加熱、またはハロゲンランプ光の照射による加熱と内壁を冷却する液体の温度調整によって実現した。

図1 3-1 (a) (b)に、試作した装置の上面の模式図と、反応室の断面模式図を示す。反応室の排気にはドライポンプを使用し、到達真空度は3 x 10⁻³ Torrであった。また、H₂ク

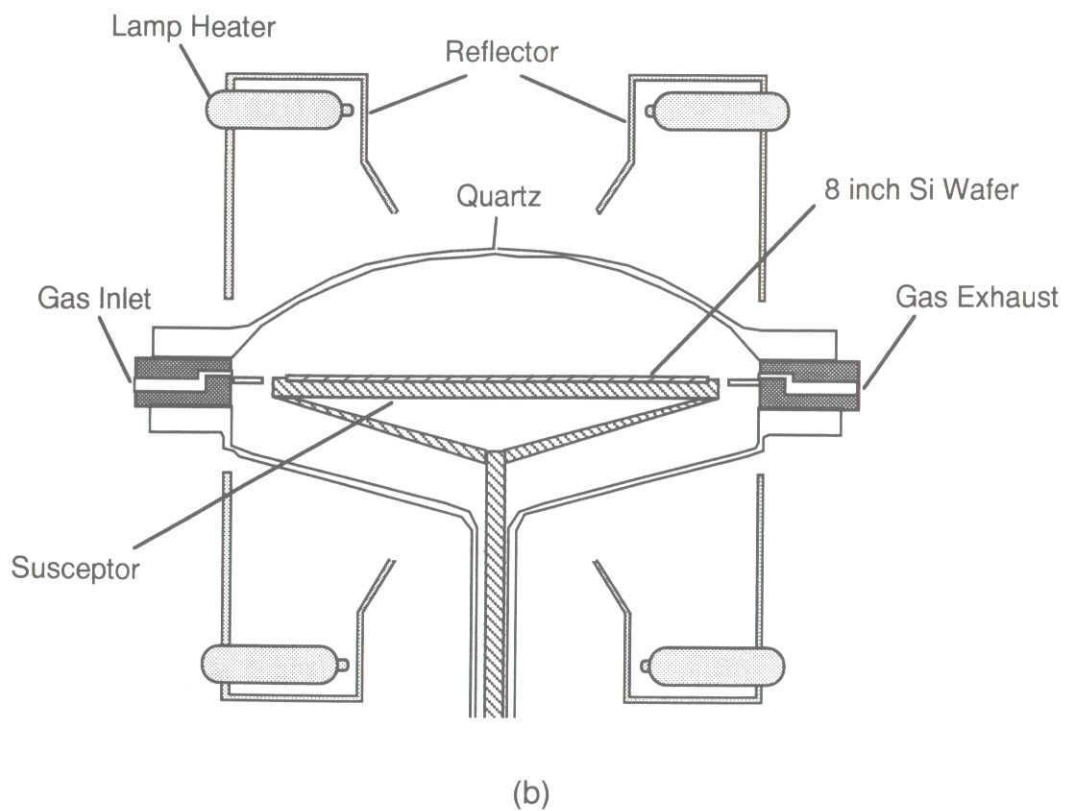
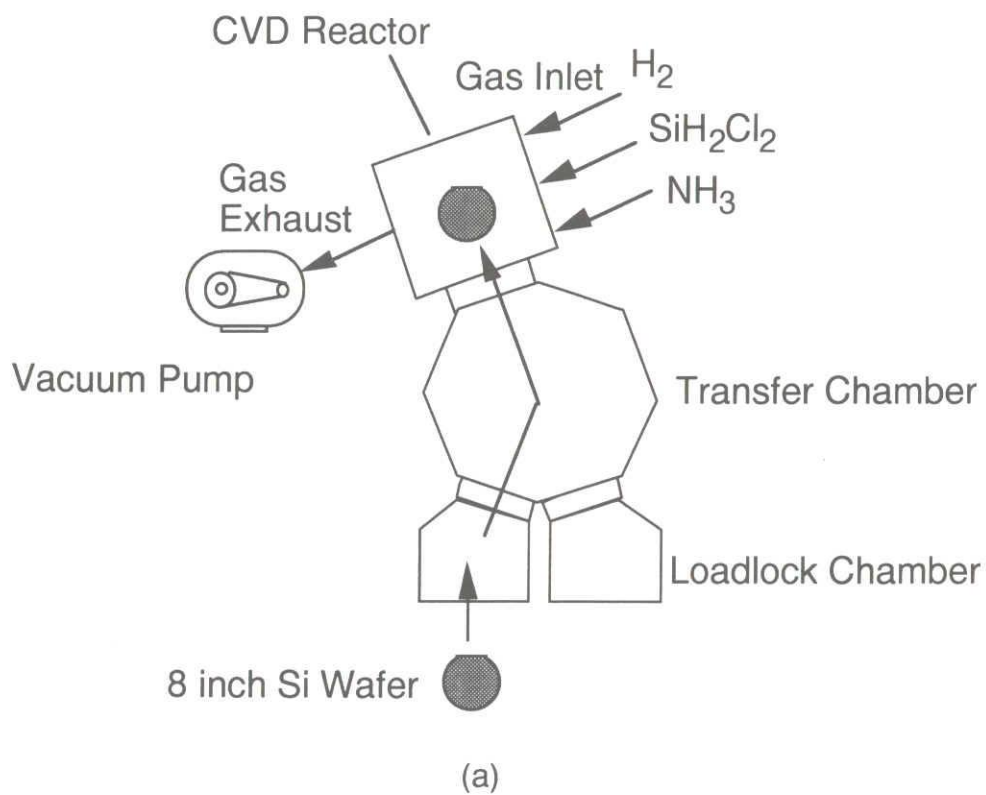


図1 3-1 (a) 試作したウォームウォール型枚葉ランプ加熱式減圧CVD装置の上面模式図と、(b) 反応室の断面模式図。

リーニング及びシリコン窒化膜堆積の連続シーケンスを図1 3-2に示した。プロセスの実行に当たっては、まず希フッ酸洗浄・水洗・乾燥を行った8インチのシリコン基板を、(1) ロードロック機構を経て、(2) あらかじめ設定された温度に加熱され、100 TorrのH₂雰囲気満たされた枚葉式反応室に挿入し、(3) ハロゲンランプを備えたランプ加熱機構により設定温度(850~950℃)に加熱して60秒間のH₂クリーニングを行った後、H₂雰囲気中で設定温度(650~825℃)に降温し、(4) 100~400 Torrの圧力でH₂ガスをキャリアーとしてSiH₂Cl₂とNH₃ガスを供給することでシリコン窒化膜を堆積した。

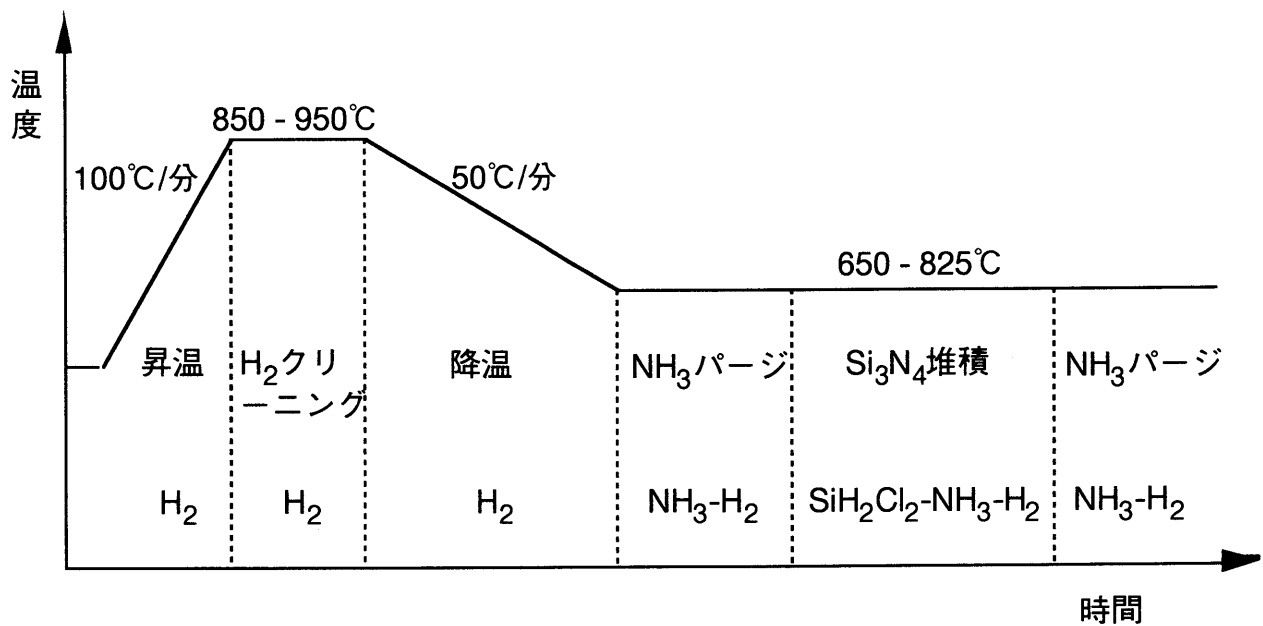


図1 3-2 *In-situ* H₂クリーニング及びシリコン窒化膜堆積の連続シーケンスのチャート図。まず希フッ酸洗浄・水洗・乾燥を行った8インチのシリコン基板を、(1) ロードロック機構を経て、(2) あらかじめ設定された温度に加熱され、100 TorrのH₂雰囲気に満たされた枚葉式反応室に挿入し、(3) ハロゲンランプを備えたランプ加熱機構により設定温度(850~950℃)に加熱して60秒間のH₂クリーニングを行った後、H₂雰囲気中で設定温度(650~825℃)に降温し、(4) 100~400 Torrの圧力でH₂ガスをキャリアーとしてSiH₂Cl₂とNH₃ガスを供給することでシリコン窒化膜を堆積した。

1 3.3 節 試料作成

ON積層膜の電気特性を調べるために、図1 3-3 (a)と(b)に示す断面構造を有する2種類のスタックトキャパシタを、10-20 Ωcm の8インチn型(100)シリコン基板上に作成した。以後、図1 3-3 (a)の構造を通常型スタックトキャパシタ、図1 3-3 (b)の構造を円筒型スタックトキャパシタと呼ぶ。いずれのキャパシタにおいても、リンドーフトポリシリコンを減圧CVD法で堆積し、 n^+ ポリシリコン下部電極を形成した。リン濃度は $6 \times 10^{20} \text{ cm}^{-3}$ である。試料表面を1%のHF溶液と超純水で洗浄したのち、IPA (isopropyl alcohol) 乾燥を行なった。枚葉式CVD装置でシリコン窒化膜を堆積する場合には、 H_2 置換した反応室にロードロック機構を介してシリコン基板を挿入し、1 3.2節に示した方法で*in-situ* H_2 クリーニングとシリコン窒化膜の堆積を行った。また、*in-situ* H_2 クリーニングの効果を調べる実験の為に、枚葉式CVD装置を用いて*in-situ* H_2 クリーニングを行わずにシリコン窒化膜を堆積する試料も作成した。さらに従来方法と比較するために、縦型バッチ式減圧CVD装置を用いて、0.6 Torrの圧力で $\text{SiH}_2\text{Cl}_2\text{-NH}_3$ 系において650 $^\circ\text{C}$ の温度でのシリコン窒化膜の堆積も行った。シリコン窒化膜の堆積の後、820 $^\circ\text{C}$ のパイロジェニック酸化法(ガス流量比： $\text{O}_2/\text{H}_2=8/1$)で上部酸化膜を形成した。その後、リンドーフトポリシリコンからなる上部電極を形成した。引き続き、常圧CVD法を用いてボロンリンガラスを堆積し、850 $^\circ\text{C}$ の熱処理を行った後、コンタクトホールを開孔し、アルミニウム配線を形成した後、450 $^\circ\text{C}$ の水素アニールを行なった。

シリコン窒化膜の膜厚はエリプソメーターを使用して測定し、 SiO_2 換算膜厚 (t_{eq}) は、比誘電率3.85を用いてキャパシタの容量測定値から計算した。図1 3-1 (a)に示すスタックトキャパシタの面積は53 mm^2 と0.1 mm^2 の2種類である。図1 3-1 (b)に示す円筒型スタックトキャパシタの内径は最小部分で0.4 μm であり、深さは0.2 μm である。1チップに30000の円筒が形成されており、表面積は0.1 mm^2 である。

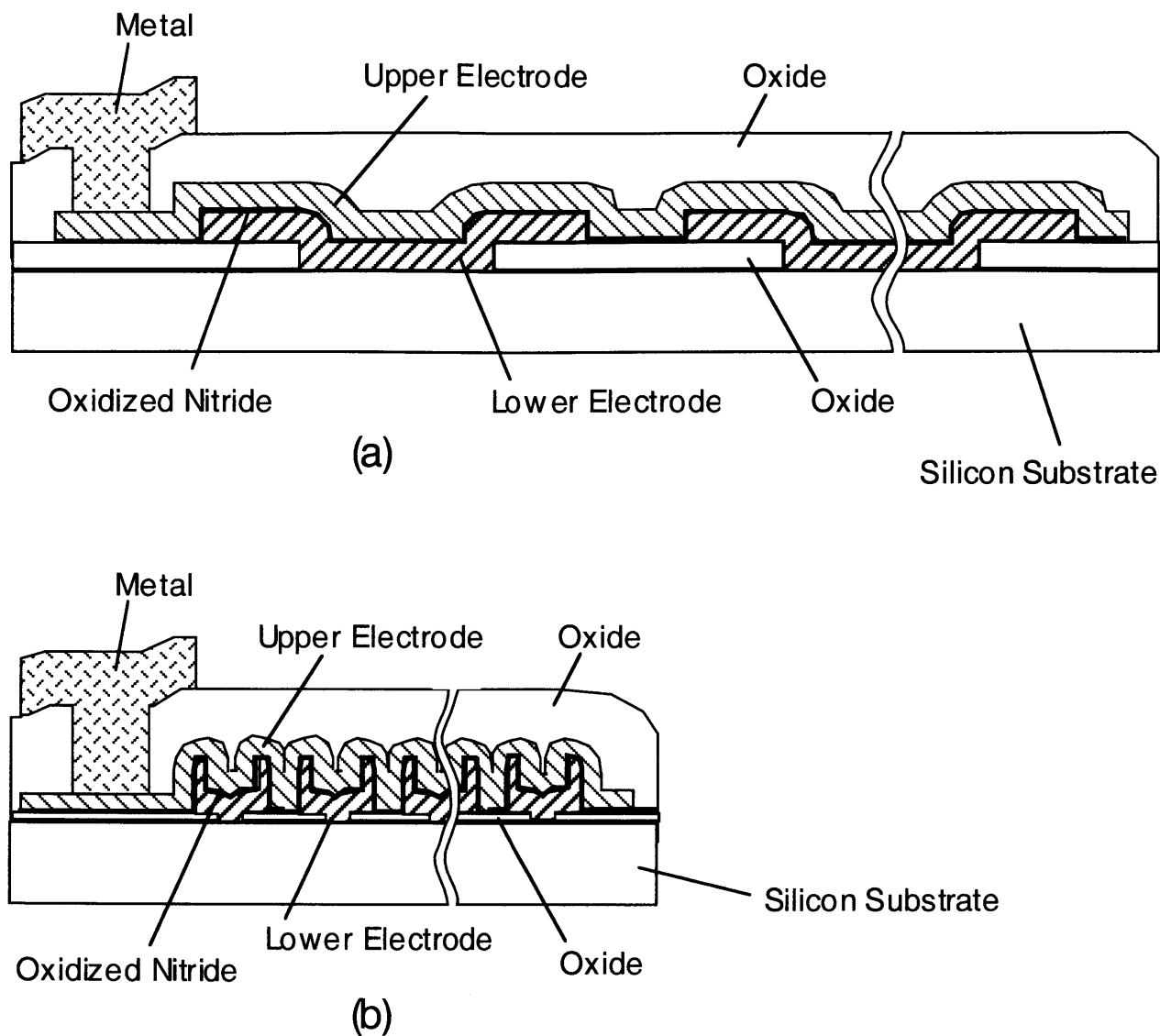


図1 3-3 作成した試料の断面模式図。(a) 通常型スタックトキャパシタ、(b) 円筒型スタックトキャパシタ。

1 3.4 節 *In-situ* H₂処理による下部酸化膜厚の低減

1 3.1 節に於いて示した (a) ~ (e) のプロセスの下部酸化膜厚の低減効果と、*in-situ* H₂クリーニングによる自然酸化膜酸化膜の除去性能を調べるために、XPS (X-ray photoelectron spectroscopy) による窒化膜-シリコン界面の酸素測定を行なった。p型(100)

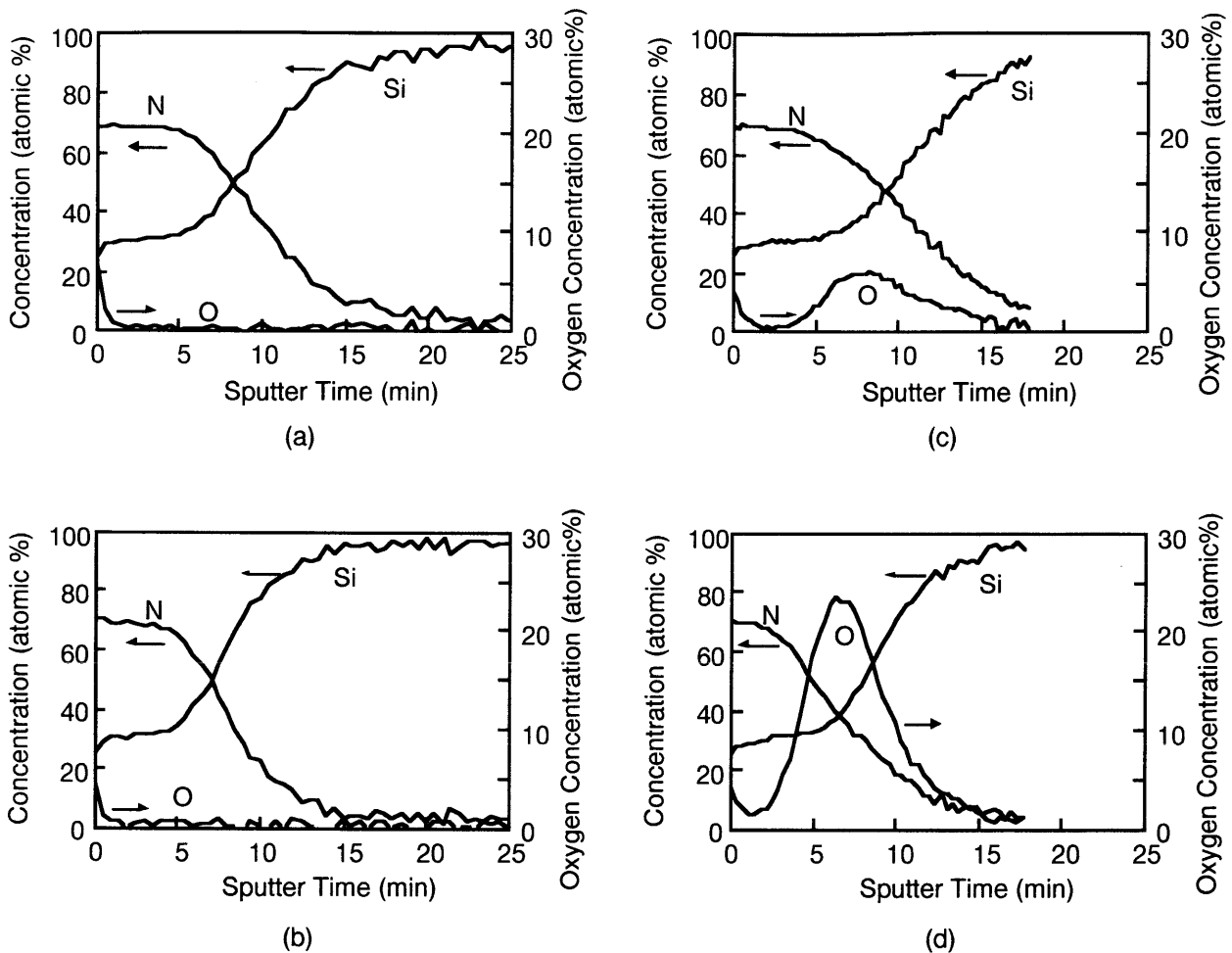


図 1 3 - 4 p型(100)シリコン基板表面に窒化膜を堆積した場合の、XPSによる Si_{2p} , N_{1s} , O_{1s} 信号強度の深さ方向分布。(a) 枚葉式CVD装置による in-situ H_2 クリーニング + 窒化膜堆積の場合、(b) 枚葉式CVD装置による窒化膜堆積のみの場合 (in-situ H_2 クリーニング無し)、(c) 急速加熱装置により基板表面の熱窒化を行なった後に縦型バッチ式減圧CVD装置により窒化膜堆積を行った場合、(d) 縦型バッチ式減圧CVD装置により窒化膜堆積を行った場合。

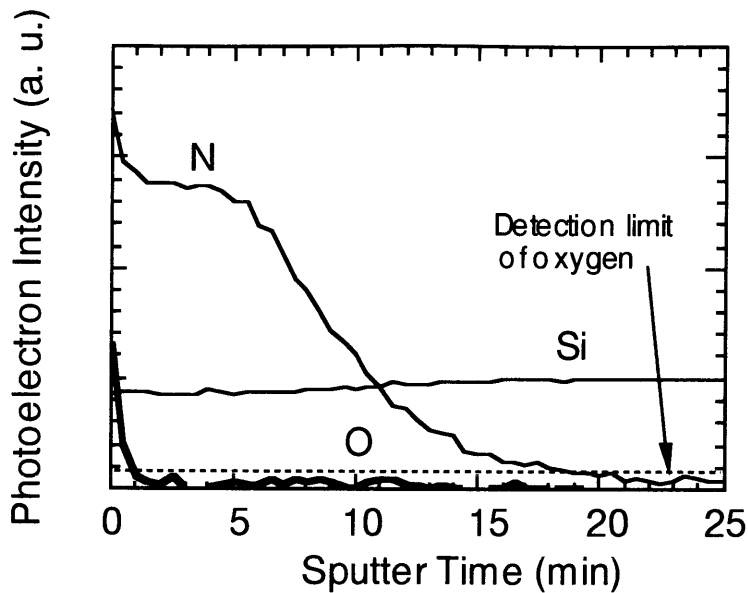
シリコン基板表面に種々の方法で窒化膜を堆積した場合の Si_{2p} , N_{1s} , O_{1s} 信号強度の深さ方向分布を、図 1 3 - 4 (a) (b) (c) (d)に示す。窒化膜堆積の前処理として、1%HF溶液での洗浄、超純水洗浄、及びIPA (イソプロピルアルコール) 乾燥を行なっている。図 1 3 - 4 (a) (b) に、枚葉式CVD装置を用いて in-situ H_2 クリーニングと窒化膜堆積を行った場合と、枚葉式CVD装置による窒化膜堆積のみを行った場合 (in-situ H_2 クリーニング無し)

表 1 3-1 XPS測定に用いた試料の作成条件。

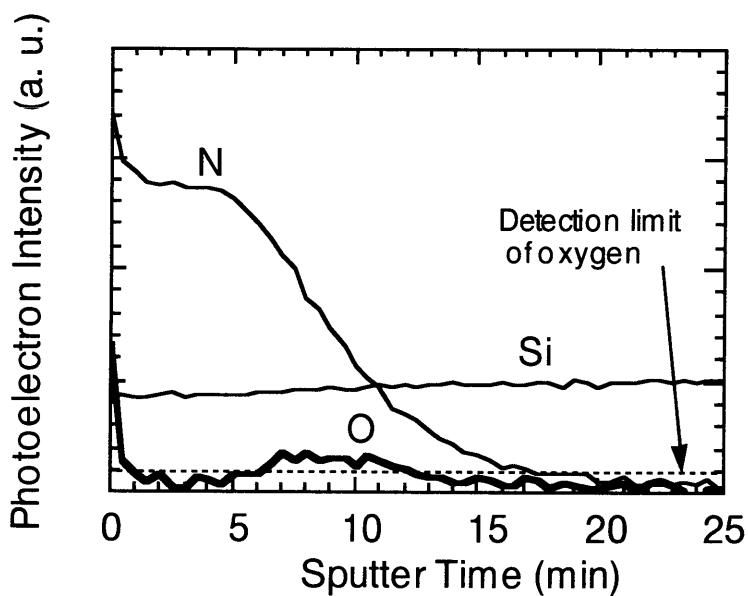
	<i>in-situ</i> H ₂ Cleaning	Nitride Formation
(a)	900 °C, 100 Torr, H ₂ 60 sec	Single Wafer System : 750 °C, 100 Torr, SiH ₂ Cl ₂ NH ₃ H ₂
(b)	—	Single Wafer System : 750 °C, 100 Torr, SiH ₂ Cl ₂ NH ₃ H ₂
(c)	—	Rapid Thermal Nitridation : 950 °C, NH ₃ , 30 sec + Vertical Batch Furnace : 650 °C, 0.6 Torr, SiH ₂ Cl ₂ NH ₃
(d)	—	Vertical Batch Furnace : 650 °C, 0.6 Torr, SiH ₂ Cl ₂ NH ₃

の結果を示し、図 1 3-4 (d)に、縦型バッチ式減圧CVD装置を使用し窒化膜堆積を行った場合の結果を示した。また参考として、文献[16]において下部酸化膜厚の低減に効果があることが見出された「急速加熱（Rapid Thermal Processing）装置による基板表面のNH₃窒化と、縦型バッチ式減圧CVD装置による窒化膜堆積の連続処理」を行った試料の測定結果も図 1 3-4 (c)に示した。各プロセスにおける実験条件を表 1 3-1 に整理した。図 1 3-4 (a) (b) に示す、枚葉式CVD装置を用いて*in-situ* H₂クリーニングと窒化膜堆積を行った場合と、枚葉式CVD装置による窒化膜堆積のみを行った場合の酸素分布を比較すると、両者の間には有意差は見られない。一方、図 1 3-4 (a) (b) と図 1 3-4 (c) (d)の比較から、縦型バッチ式CVD装置を用いた場合に対し、枚葉式CVD装置を用いた場合の窒化膜-シリコン界面の酸素レベルが低減されていることが分かる。HF溶液によって洗浄されたp型(100)シリコン基板表面は水素で終端され、室温では大気中での自然酸化膜成長が抑制されることが確認されている[24],[25],[29]。しかし縦型バッチ式CVD装置では、

シリコン基板を高温の反応管に挿入する際に大気による熱酸化反応のために酸化膜成長が起こる[23],[29]。枚葉式CVD装置に於いてはロードロック機構によってこのような酸



(a)



(b)

図1 3-5 n^+ ポリシリコン表面に枚葉式CVD装置を用いて窒化膜を堆積した場合の Si_{2p} , N_{1s} , O_{1s} 信号強度の深さ方向分布。(a) *in-situ* H₂クリーニングあり、(b) *in-situ* H₂クリーニング無し。

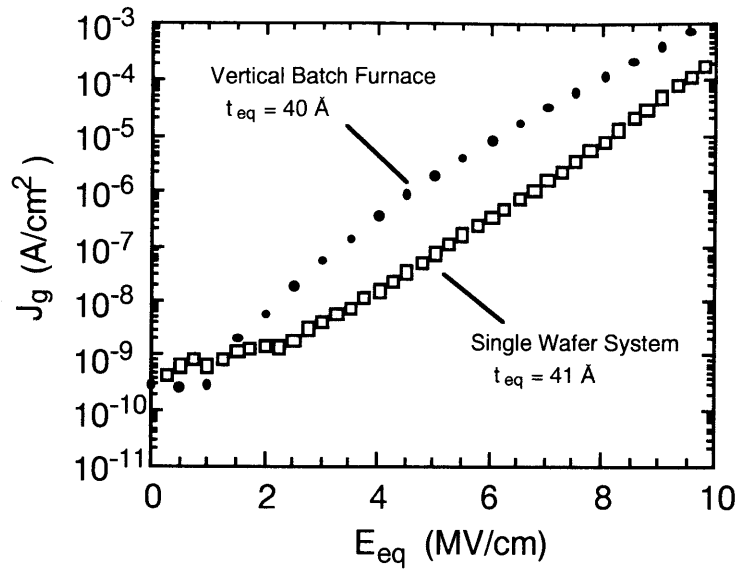
化膜成成長が抑制されたと考えられる。

次に、 n^+ ポリシリコン表面にシリコン窒化膜を堆積した場合の Si_{2p} , N_{1s} , O_{1s} 信号強度の深さ方向分布を図 1 3-5 (a) (b) に示す。ここでは、 O_{1s} 光電子スペクトルのノイズレベルを明示するために、信号強度を縦軸に取った。枚葉式CVD装置を用いて *in-situ* H_2 クリーニングを行なうことで窒化膜- n^+ ポリシリコン界面の酸素レベルが低減されている。 n^+ シリコン表面は、HF溶液洗浄の後の水洗と乾燥及び大気中でのシリコン基板搬送の間に酸化され、自然酸化膜が成長することが確認されている [24],[25]。 *In-situ* H_2 クリーニングによってこのような自然酸化膜が除去できることが分かる。スタックトキャパシタ構造の下部電極には、通常 n^+ ポリシリコンが用いられる。ロードロック機構を有する枚葉式CVD装置に於ける *in-situ* H_2 クリーニングが、スタックトキャパシタのON積層膜の下部酸化膜低減に有効であると結論できる。

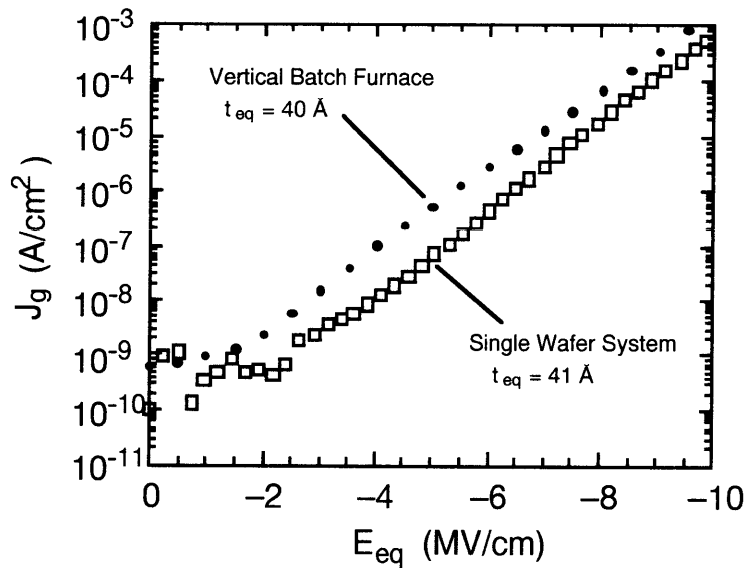
1 3.5 節 枚葉式CVD装置によって形成された酸化膜-窒化膜積層膜の絶縁性と経時絶縁破壊特性

次に、枚葉式CVD装置を用いて $900^{\circ}C$ での *in-situ* H_2 クリーニングを行いシリコン窒化膜を堆積した場合のON積層膜の絶縁性を調べた結果について述べる。図 1 3-6 (a) と (b) は、図 1 3-3 (a) に示す構造の通常型スタックトキャパシタに於ける正負両ゲート極性のゲート電流密度 (J_g) - SiO_2 電界 (E_{eq}) 特性である。 SiO_2 電界 E_{eq} はゲート電圧を SiO_2 換算膜厚 t_{eq} で割ることで得られた。縦型バッチ式CVD装置を用いて形成したON積層膜の特性と比較して、枚葉式CVD装置を用いて形成した場合の電流密度は正負両ゲート極性に於いて小さいことが分かる。

図 1 3-7 (a) (b) は正負両ゲート極性に於ける SiO_2 換算膜厚 t_{eq} と絶縁耐圧 V_{BD} の関係を示している。絶縁耐圧 V_{BD} は、DRAMのメモリセルキャパシタの許容リーク電流が約 10^{-7} A/cm²であることから、ON積層膜のゲート電流密度が 2×10^{-7} A/cm²に達したゲート電圧

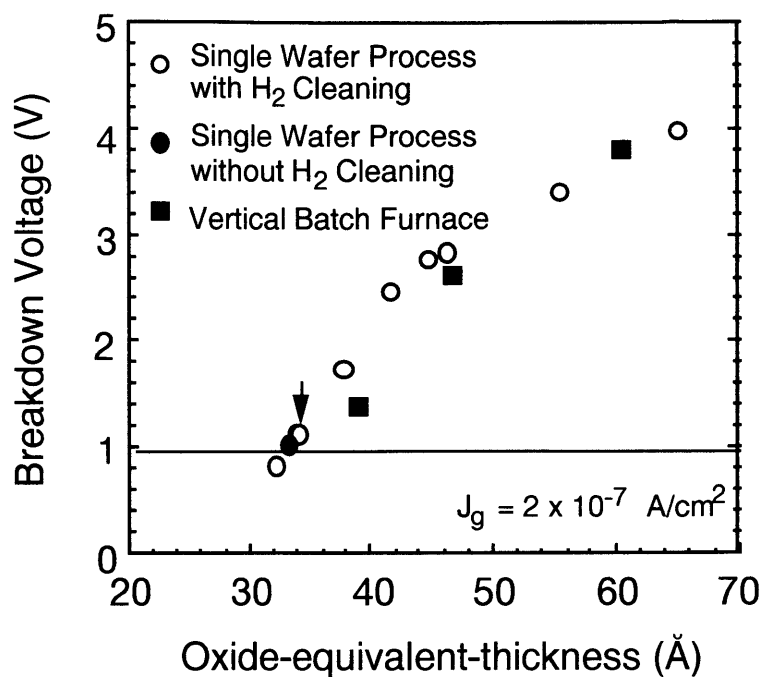


(a)

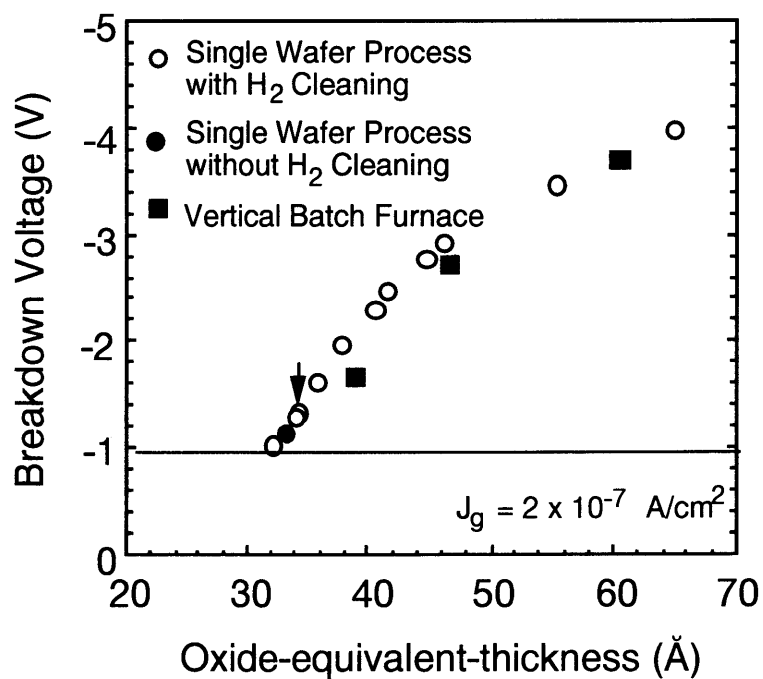


(b)

図 1 3-6 図 1 3-3 (a)に示すの構造の通常型スタックトキャパシタに於ける正負両ゲートバイアスのゲート電流密度 (J_g) - SiO_2 電界 (E_{eq}) 特性。(a) 正ゲートバイアス、(b) 負ゲートバイアスの場合。縦型バッチ式CVD装置を用いて形成したON積層膜の特性と比較して、枚葉式窒化膜CVD装置を用いて形成した場合の電流密度は正負両ゲートバイアスに於いて小さい。



(a)



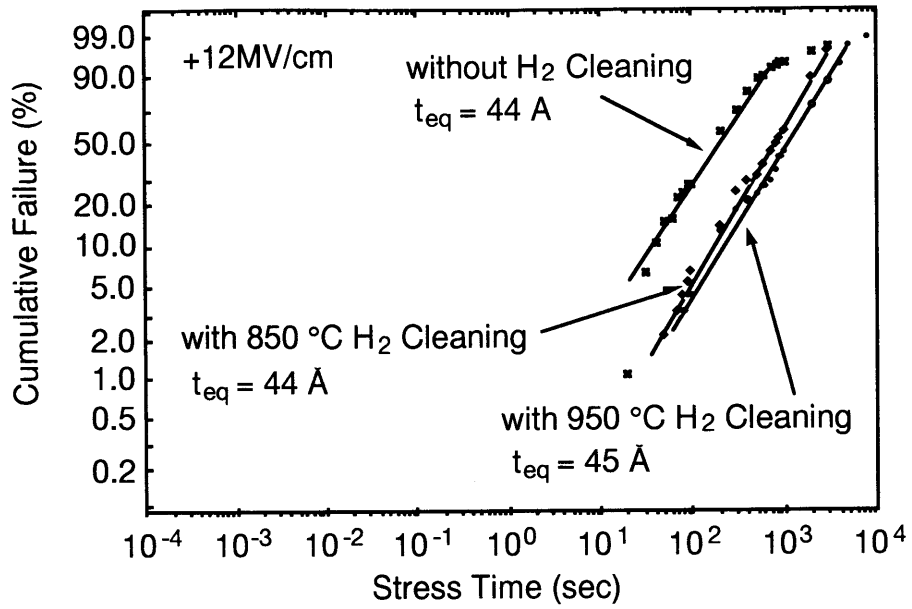
(b)

図1 3-7 ON積層膜のSiO₂換算膜厚 t_{eq} と絶縁耐圧 V_{BD} の関係。(a)正ゲートバイアス、(b)負ゲートバイアスの場合。絶縁耐圧 V_{BD} は、ON積層膜のゲート電流密度が $2 \times 10^{-7} \text{ A/cm}^2$ に達したゲート電圧と定義した。枚葉式CVD装置を用いて *in-situ* H₂クリーニングを行いシリコン窒化膜を堆積した場合のON積層膜は、縦型バッチ式減圧CVD装置の場合に比べて高い絶縁耐圧を示している。

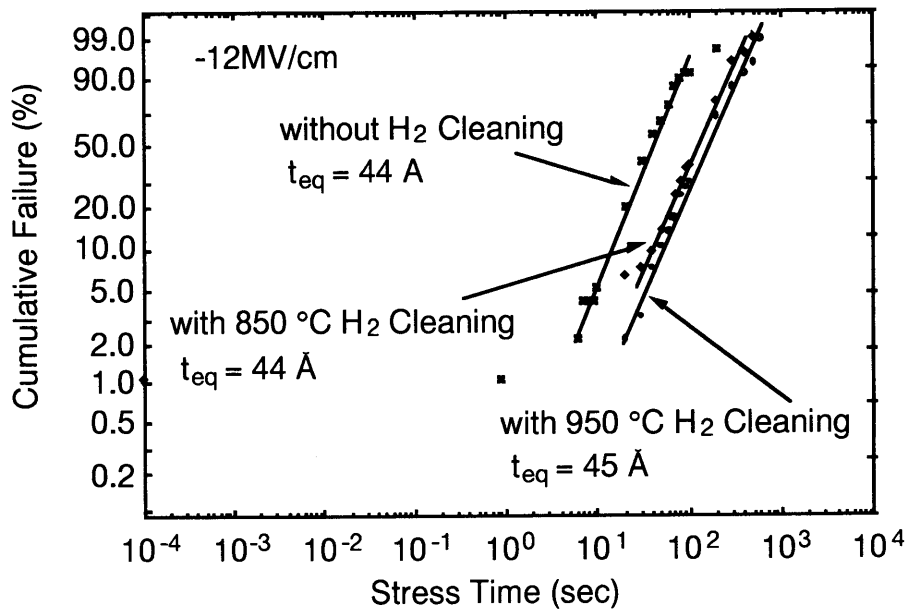
と定義した。枚葉式CVD装置を用いて*in-situ* H₂クリーニングを行いシリコン窒化膜を堆積した場合のON積層膜は、縦型バッチ式CVD装置の場合に比べて高い絶縁耐圧を示している。また、枚葉式CVD装置を用いて*in-situ* H₂クリーニングを行わずにシリコン窒化膜を堆積した場合の絶縁耐圧は、*in-situ* H₂クリーニングを行った場合と一致している。

13.4節で示したように、ロードロック機構を備えた枚葉式CVD装置を用いて窒化膜堆積を行うことで、窒化膜-n⁺ポリシリコン界面の下部酸化膜厚が低減できる。また第12章で示したように、下部酸化膜厚の低減によってON積層膜の絶縁性を向上することができる。図13-7(a)(b)で示した枚葉式CVD装置の場合の高耐圧は、ロードロック機構の採用による下部酸化膜厚の低減に起因していると言える。一方、図13-5(a)(b)で示した*in-situ* H₂クリーニングによる下部酸化膜厚の低減については、ON積層膜の絶縁性向上に対する有効性を確認することは出来なかった。図13-7(a)(b)より、256Mbit DRAMに於いてキャパシタに加わる電圧がデバイスへの供給電圧(2V)の半分の1Vであり、許容リーク電流密度が約10⁻⁷ A/cm²としたとき、SiO₂換算膜厚で34ÅのON積層膜が使用可能であることがわかる。

さて、キャパシタ誘電体膜のTDDBはDRAMにおける主たる故障モードの一つと考えられている。通常型スタックトキャパシタに於いて、枚葉式CVD装置を用いて850℃と950℃の*in-situ* H₂クリーニングに引き続いて窒化膜堆積を行った試料と、*in-situ* H₂クリーニングを行わず窒化膜堆積のみを行った試料のTDDB特性を、図13-8(a)(b)に示す。使用したキャパシタは図13-3(a)の構造のもので、面積は53 mm²である。いずれの*in-situ* H₂クリーニング条件に於いても正負両ゲート極性の絶縁破壊寿命(T_{BD})が、行わない場合に比べて大きく向上していることが分かる。すなわち、窒化膜-n⁺ポリシリコン界面の下部酸化膜厚を低減することによって、T_{BD}が向上することが明らかとなった。第11章で述べたように、シリコン基板表面に形成した酸化膜-窒化膜-酸化膜(ONO)積層膜の場合には、下部酸化膜の膜厚の減少に伴い負ゲートバイアスでのT_{BD}が長くなる。この結果は、図13-8(b)の結果と一致しており、負ゲートバイアス下のT_{BD}が、積層膜を構成する下部酸化膜の厚さに依存することを意味している。一方、第11章の結



(a)



(b)

図1 3-8 通常型スタックトキャパシタに於いて、枚葉式CVD装置を用いて850℃と950℃の*in-situ* H₂クリーニングに引き続いて窒化膜堆積を行った試料と、*in-situ* H₂クリーニングを行わず窒化膜堆積のみを行った試料の TDDDB特性の (a) 正ゲートバイアスと(b) 負ゲートバイアスの結果。使用したキャパシタは図1 3-3 (a)の構造のもので、面積は53 mm²である。いずれの*in-situ* H₂クリーニング条件に於いても正負両ゲートバイアスの絶縁破壊寿命が、行わない場合に比べて大きく向上した。

果ではONO積層膜の正ゲートバイアス下の T_{BD} は、下部酸化膜が 30 \AA 以下の領域では膜厚の減少に対して僅かに低下するのみであり、図1 3-8 (a)の結果と一致しない。第1章と図1 3-8 (a)の実験条件の1つの違いは下部電極材料が異なることである。この点に着目すると、図1 3-8 (a)の正ゲートバイアスに於ける絶縁破壊は、積層膜の構成膜厚に依存すると考えるよりもむしろ、下部電極材料の違いによる自然酸化膜の性質の変化に依存している可能性が指摘できる。しかしながら、この点に関しては本研究の実験によって明確にすることはできず、今後の検討課題である。

次に図1 3-9は、枚葉式CVD装置を用いて 900°C の*in-situ* H_2 クリーニングを行いシリコン窒化膜を堆積した場合と、縦型バッチ式CVD装置を用いて窒化膜を堆積した場合のTDDB特性の比較を示している。枚葉式CVD装置の場合の絶縁破壊寿命 T_{BD} が著しく長い

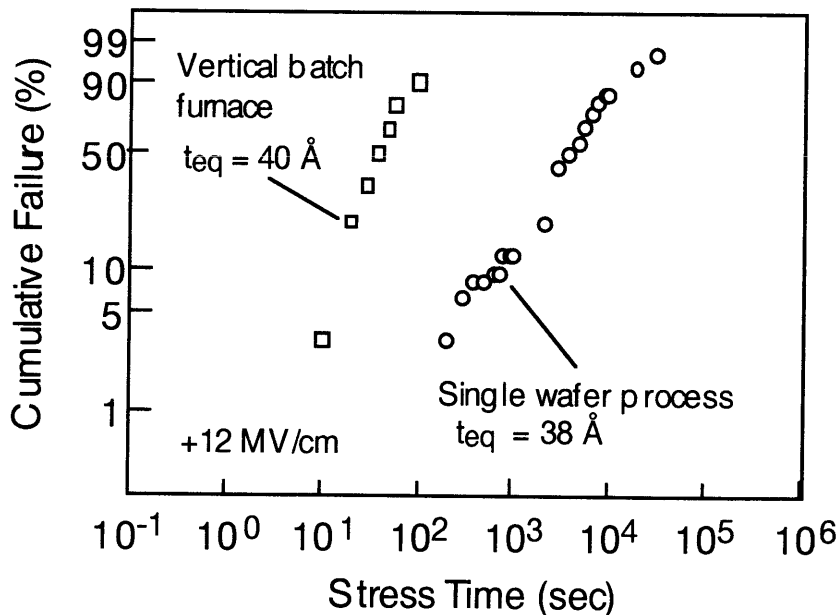


図1 3-9 枚葉式CVD装置を用いて 900°C の*in-situ* H_2 クリーニングを行いシリコン窒化膜を堆積した場合と、縦型バッチ式CVD装置を用いて窒化膜を堆積した場合のTDDB特性の比較。枚葉式CVD装置の場合の絶縁破壊寿命 T_{BD} が著しく長いことが分かる。

ことが分かる。この主たる原因も下部酸化膜厚の低減にあると考えられる。

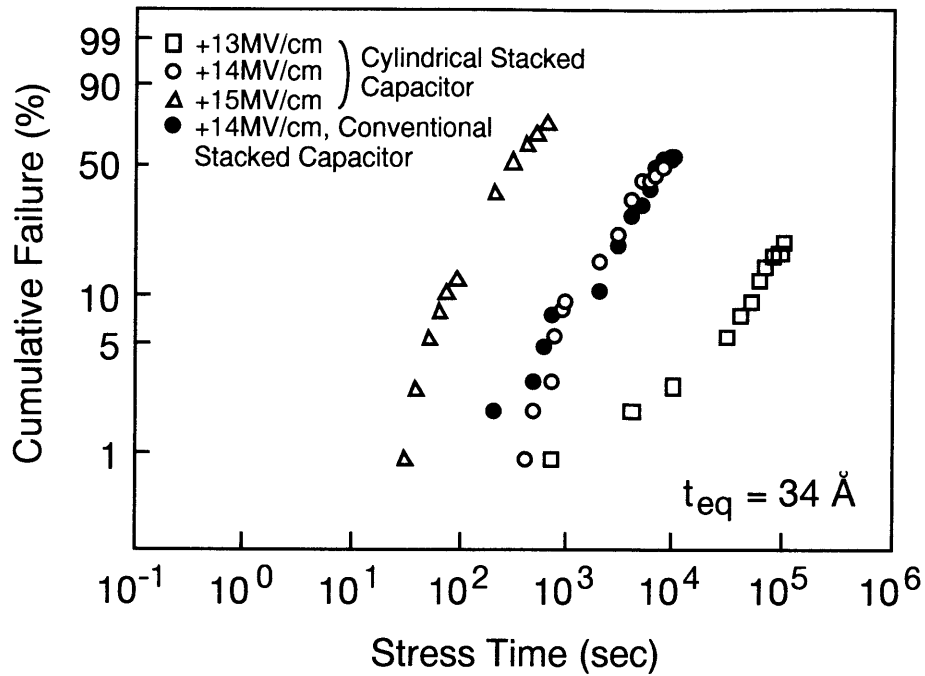
以上の結果から、ロードロック機構を有する枚葉式CVD装置による *in-situ* H₂クリーニングとシリコン窒化膜堆積の連続プロセスは、通常型スタックトキャパシタのON積層膜の信頼性を向上すると結論できる。

1 3.6 節 枚葉式窒化膜CVD装置の円筒型キャパシタへの応用

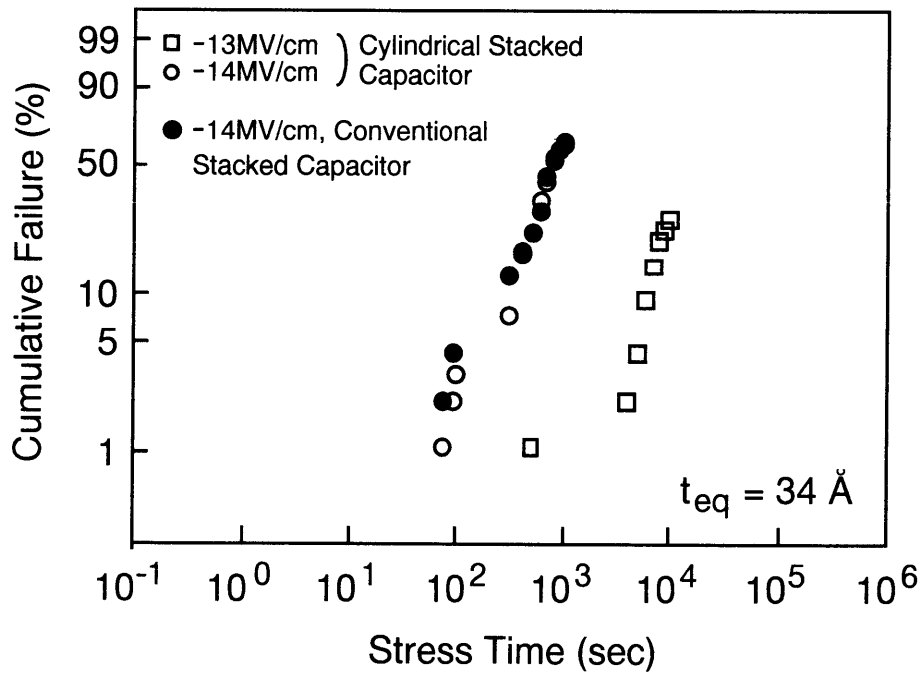
64Mbit DRAM以後の高集積DRAMでは、キャパシタ誘電体膜にON積層膜を用いる場合、円筒型スタックトキャパシタやトレンチキャパシタなどの高アスペクト比の三次元キャパシタ構造のメモリセルが必要と考えられている[1]-[6]。ここでは、図1 3-3(a)に示した円筒型スタックトキャパシタを用いて、*in-situ* H₂クリーニングとシリコン窒化膜堆積の連続プロセスによって形成したON積層膜の三次元キャパシタに於ける絶縁性と信頼性について検討を加える。

最初に、円筒型スタックトキャパシタに対して連続プロセスを適用して形成したON積層膜の絶縁耐圧のデータを、図1 3-7(a)(b)中の矢印で示す○で表した。SiO₂換算膜厚で34ÅのON積層膜が、円筒型スタックトキャパシタに於いてもまた使用可能であることが分かる。図1 3-10(a)(b)は、円筒型と通常型のスタックトキャパシタにおいて、枚葉式CVD装置を用いて900℃の*in-situ* H₂クリーニングと窒化膜堆積によって形成したON積層膜のTDDB特性を示している。円筒型と通常型のスタックトキャパシタの面積はいずれも0.1 mm²であり、ON積層膜のSiO₂換算膜厚は34Åである。±14 MV/cmのSiO₂電界に於ける円筒型と通常型のスタックトキャパシタの絶縁破壊寿命に有意差は見られない。枚葉式CVD装置を用いた連続プロセスは、円筒型スタックトキャパシタに於いても高い信頼性を得ることが可能であると結論できる。

次に、図1 3-10(a)(b)のTDDB特性に於いて、円筒型スタックトキャパシタの累積故障率が5%に達した時間を、SiO₂電界に対してプロットした結果を、図1 3-11中の



(a)



(b)

図1 3-1 0 円筒型と通常型のスタックドキャパシタにおいて、枚葉式CVD装置を用いて900℃の*in-situ* H₂クリーニングと窒化膜堆積によって形成したON積層膜のTDDB特性。(a) 正ゲートバイアスと(b) 負ゲートバイアスの結果。円筒型と通常型のスタックドキャパシタの面積はいずれも0.1 mm²である。円筒の内径は0.4 μmであり、深さは0.2 μmである。1チップに30000の円筒が形成されている。

実線によって示す。この実線の傾き β は、キャパシタ誘電体膜の実使用電界に於ける信頼性を左右する重要なパラメータの一つと考えられている[7],[12],[30]。図から求めた傾き β は、 $1.4 \text{ 桁}/(\text{MV cm}^{-1})$ であった。この値は、これまでにOhjiら[7]やFazanら[12]によって通常型スタックトキャパシタに於いて縦型バッチ式CVD装置を用いて得られた値の最大のものであり、円筒型スタックトキャパシタに於いても枚葉式CVD装置を用いて高い信頼性のON積層膜を得られる可能性を指摘することができる。

さて次に、枚葉式CVD装置によって得られるON積層膜の次世代高集積DRAMに対する適用の可能性を検討するために、図13-10(a)(b)のTDDDB特性から、実際のデバイスに於ける実使用電界での絶縁破壊寿命の推定を試みる。ここでは、寿命推定のために以下の2つの仮定を置く。

(1) ON積層膜の絶縁破壊を誘起する欠陥は、シリコン基板面内にランダムに分布している。実験に用いたキャパシタの故障率から、デバイスの総キャパシタ面積に対する故障率は、Poissonのモデルに従って以下の式によって与えられる。(13-1)式の導出は、(7-4)式を参照。)

$$1 - F_{\text{device}} = (1 - F_{\text{test}})^{A_{\text{device}}/A_{\text{test}}} \quad (13-1)$$

ここで F_{device} と F_{test} はデバイスの故障率と実験に用いたキャパシタの故障率であり、 A_{device} と A_{test} はデバイスの総キャパシタ面積と実験に用いたキャパシタの面積である。

(2) TDDDBデータは、形状パラメータ m と尺度のパラメータ k を用いて、以下の式で表されるワイブル分布によって近似される。(7-18)式を参照。)

$$1 - F_{\text{test}} = \exp\left[-\frac{t_{\text{test}}^m}{k}\right] \quad (13-2)$$

ここで t_{test} は、累積故障率が F_{test} に達した時間である。

以上の仮定(1)と(2)に従うとき、デバイスの累積故障率 F_{device} は、

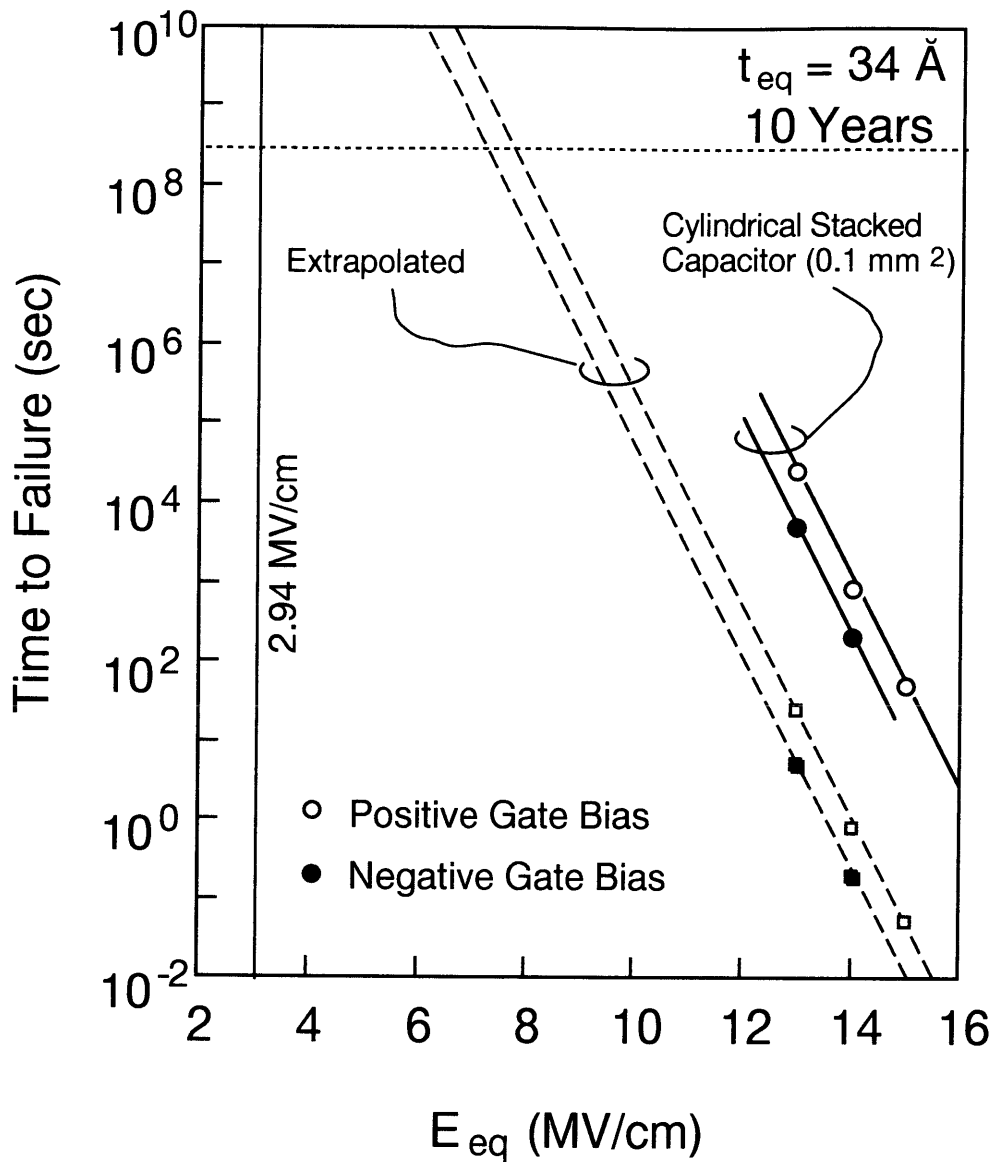


図1 3-1 1 枚葉式CVD装置を用いて900℃の*in-situ* H₂クリーニングと窒化膜堆積によって形成したON積層膜を有する円筒型スタックトキャパシタにおいて、TDDDB特性の累積故障率が5%に達した時間を、SiO₂電界に対してプロットした結果。円筒型スタックトキャパシタには1チップに30000の円筒が形成されている。図中の実線は図1 3-1 0 (a) (b)の実験結果から得られた結果であり、点線は2456Mbit DRAMを想定した場合の推定。

$$1 - F_{\text{device}} = \exp \left[- \frac{A_{\text{device}}}{A_{\text{test}}} \cdot \frac{t_{\text{test}}^m}{k} \right] \quad (13-3)$$

によって与えられ、 F_{device} が F_{test} と一致する時間 t_{device} は、(13-2)式と(13-3)式より、

$$\log(t_{\text{device}}) = \log(t_{\text{test}}) - \frac{1}{m} [\log(A_{\text{device}}) - \log(A_{\text{test}})] \quad (13-4)$$

によって与えられる。形状パラメータ m は、図13-10(a)の円筒型スタックトキャパシタの+14 MV/cmに於けるTDDBデータから、最小自乗法によって1.3と見積もった。

今、キャパシタ誘電体膜として34 Å (SiO₂換算膜厚)のON積層膜を使用し、1ビット当たり30 fFの容量が必要と仮定すると、1ビット当たりのキャパシタ面積は3 μm²が要求される。このとき256Mbit DRAMを想定すると、1チップ当たりの総キャパシタ面積 A_{device} は約770 mm²となる。デバイスの実使用時にON積層膜に加わる電圧を1 Vとすると、実使用電界は2.94 MV/cmである。以上の条件に対してデバイスの累積故障率が5%に達する時間 t_{device} を求めた結果を、図13-11中の破線で示した。通常デバイスの保証期間とされる10年に対し、2.94 MV/cmでの推定寿命は6桁のマージンを有しており、枚葉式CVD装置を用いて形成した34 ÅのON積層膜が、256MbitクラスのDRAMに対し十分な絶縁破壊寿命を有すると判断できる。

13.7節 結言

ロードロック機構を有するウォームウォール型枚葉ランプ加熱式CVD装置を試作した。この装置を使用して*in-situ* H₂クリーニングとSiH₂Cl₂-NH₃系CVDによるシリコン窒化膜堆積の連続プロセスを行うことで、スタックトキャパシタ構造と円筒型キャパシタ構造に対して極薄ON積層膜を形成した。その絶縁性と経時絶縁破壊特性について調べ、以下の結果と結論を得た。

- (1) ロードロック機構を有する枚葉式CVD装置による*in-situ* H₂クリーニングとシリコン窒化膜堆積の連続プロセスを行なうことで、*in-situ* H₂クリーニングを行わない場合に比べて窒化膜-n⁺ポリシリコン界面の下部酸化膜厚を低減することができ、ON

積層膜の絶縁破壊寿命が向上した。

(2) ロードロック機構を有する枚葉式CVD装置を用いたシリコン窒化膜堆積によって形成したON積層膜は、縦型バッチ式減圧CVD装置で形成したON積層膜に比べて、下部酸化膜厚が低減され、高い絶縁耐圧と長い絶縁破壊寿命を示した。

(3) 枚葉式CVD装置による *in-situ* H₂ クリーニングとシリコン窒化膜堆積の連続プロセスで形成した34ÅのON積層膜が、円筒型スタックトキャパシタに於いても256Mbit DRAMに対し必要な絶縁耐圧と絶縁破壊寿命を有することを示した。

以上の結果、256Mbit DRAM以後のデバイスに対し、ロードロック機構を有する枚葉式CVD装置を用いた *in-situ* H₂ クリーニング及びSiH₂Cl₂-NH₃系CVDの連続プロセスの有用性が実証できた。

参考文献

- [1] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, in Technical Digest of International Electron Devices Meeting, 1982, p. 806.
- [2] H. Sunami, K. Kure, N. Hashimoto, K. Ito, T. Toyabe, and S. Asai, IEEE Trans. Electron Devices, ED-31, 746 (1984).
- [3] Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka, and K. Shirai, in Technical Digest of International Solid-State Circuit Conference, 1985, p. 250.
- [4] K. Tsukamoto, M. Shimizu, M. Inuishi, Y. Matsuda, H. Oda, H. Morita, M. Nakajima, K. Kobayashi, Y. Mashiko, and Y. Akasaka, in Technical Digest of International Electron Devices Meeting, Washington, 1987, p. 328.
- [5] W. Wakamiya, Y. Yanaka, H. Kimura, H. Miyatake, and S. Satoh, in Digest of Technical Papers : 1989 Symposium on VLSI Technology, 1989, p. 69.
- [6] T. Ono, T. Mori, T. Ajioka, and T. Takayashiki, in Technical Digest of International Electron

- Devices Meeting, 1985, p. 380.
- [7] Y. Ohji, T. Kusaka, I. Yoshida, A. Hirata, K. Yagi, K. Mukai and O. Kasahara, in Proceedings of International Reliability Physics Symposium, 1987, p. 55.
- [8] Y. Ohno, T. Kaneoka, I. Ogoh, J. Mitsuhashi, M. Hirayama and T. Kato, Symposium on VLSI Technology Digest, 1988, p. 35.
- [9] J. Yugami, T. Mine, S. Iijima, and A. Hiraiwa, in Extended Abstract of the 20th Conference on Solid State Devices and Materials, 1988, p. 173.
- [10] W. T. Chang, D. K. Shih, D. L. Kwong, Y. Zhou and S. Lee, Appl. Phys. Lett., 54, 430 (1989).
- [11] K. Kobayashi, H. Miyatake and M. Hirayama, the 21th Conference on Solid State Devices and Materials, 1989, p. 485.
- [12] P. C. Fazan, A. Ditali, C. Dennison, H. E. Rhodes, H. C. Chan, and Y. C. Liu, J. Electrochem. Soc., 138, 2052 (1991).
- [13] 小林清輝、中野豊、福本晃二、桧垣孝志、1991年春季第38回応用物理学関係連合講演会予稿集, 28p-V-5, p. 595.
- [14] 小林清輝、奥平智仁、片山俊治、神原恭子、桧垣孝志、1991年秋季第52回応用物理学学会学術講演会予稿集, 10p-B-3, p. 657.
- [15] 小林清輝、若宮互、林出吉生、奥平智仁、金岡竜範、桧垣孝志、阿部東彦、平成3年電気関係学会関西支部連合大会講演論文集, S4-5, p. S25.
- [16] N. Ajika, M. Ohi, H. Arima, T. Matsukawa, and N. Tsubouchi, in Digest of Technical Papers : 1991 Symposium on VLSI Technology, 1991, p. 63.
- [17] K. Kobayashi, H. Miyatake, M. Hirayama, T. Higaki, and H. Abe, J. Electrochem. Soc., 139, 1693 (1992).
- [18] 高集積DRAM用キャパシタ誘電体膜形成技術、小林清輝、林出吉生、中野豊、奥平智仁、福本晃二、三菱電機技報、vol. 66, 1992, p. 106.
- [19] M. Nakano, N. Shinmura, K. Iguchi, T. Watanabe, and K. Sakiyama, in Digest of Technical

- Papers : 1992 Symposium on VLSI Technology, 1992, p. 16.
- [20] K. Ando, A. Yokozawa, and A. Ishitani, in Digest of Technical Papers : 1993 Symposium on VLSI Technology, 1993, p. 47.
- [21] M. Ino, N. Inoue, and M. Yoshimaru, IEEE Trans. Electron Devices, ED-41, 703 (1994).
- [22] M. K. Mazumder, K. Kobayashi, J. Mitsuhashi, and H. Koyama, IEEE Trans. Electron Devices., ED-41, 2417, (1994).
- [23] K. Kobayashi, A. Teramoto, and M. Hirayama, J. Electrochem. Soc., 142, 990 (1995).
- [24] M. K. Mazumder, K. Kobayashi, T. Ogata, J. Mitsuhashi, Y. Mashiko, and H. Koyama, J. Electrochem. Soc., 143, 368 (1996).
- [24] M. Morita, T. Ohmi, E. Hasegawa, and A. Teramoto, Extended Abstract of the 22nd Conference on Solid State Devices and Materials, 1990, p. 1063.
- [25] M. Morita, T. Ohmi, E. Hasegawa, M. Kawakami, and M. Ohwada, J. Appl. Phys., 68, 1272 (1990).
- [26] Y. Kunii, M. Tabe, and K. Kajiyama, Jpn. J. Appl. Phys., 21, 1431 (1982).
- [27] Y. Kunii and Y. Sakakibara, Jpn. J. Appl. Phys., 26, 1816 (1987).
- [28] J. O. Borland, et al., MRS Meeting, April, 1993.
- [29] N. Yabumoto, K. Saito, M. Morita, and T. Ohmi, in Extended Abstracts of the 22th International Conference on Solid State Devices and Materials, Sendai, 1990, p.1067.
- [30] P. Hiergeist, A. Spitzer, and S. Rohl, IEEE Trans. Electron Devices, ED-36, 913 (1989).
- [31] 稲葉豊、小林清輝、緒方完、渡部元、片山俊治、平山誠、1994年秋季第55回応用物理学会学術講演会予稿集, 19a-ZC-12, p. 608.
- [32] K. Kobayashi, Y. Inaba, T. Ogata, T. Katayama, H. Watanabe, Y. Matsui, and M. Hirayama, J. Electrochem. Soc., 143, 1459 (1996).

結 論

第1部では、シリコン酸化膜 (SiO_2) の大規模集積回路への応用に関する研究について、第1章から第8章にわたって論述した。第2部では、シリコン窒化膜 (Si_3N_4) とシリコン酸化膜の高集積DRAM (Dynamic Random Access Memory) への応用に関する研究について、第9章から第13章にわたって述べてきた。ここでは、本研究で得られた成果について総括する。

第1部第1章で述べたように、不揮発性メモリとして知られるフラッシュメモリ (Flash memory) に於いては、情報の書き換え時にトンネル SiO_2 膜を介してフローティングゲートから n^+ 拡散層に対し、Fowler-Nordheim (F-N) トンネリングを利用して電子を輸送する。この際、高エネルギー電子による電子-正孔対の生成と、 n^+ 拡散層近傍に於ける電子のバンド間トンネリングによる電子-正孔対の生成に起因して、トンネル SiO_2 膜への正孔注入が起こると考えられている。このためトンネル SiO_2 膜の劣化要因として、正孔注入の影響を考慮することが重要である。

このような背景のもとで第2章では、現在のフラッシュメモリのトンネル SiO_2 膜の膜厚と同程度の 131 \AA の SiO_2 膜に対して基板ホットホール注入法を用いて正孔注入を行い、その後の SiO_2 膜における電子捕獲特性とストレス誘起電流の振る舞いについて調べ、以下の結果と結論を得た。

- (1) 正孔注入によって正孔が捕獲された SiO_2 膜のゲート電流- SiO_2 電界特性に於いて、ストレス誘起電流が現れることを初めて見いだした。
- (2) 正孔注入に引き続いて正ゲートバイアスを印加した SiO_2 膜には、負電荷が形成される。この結果は、正に帯電した電子トラップと中性トラップが生成しそれらへの電子捕獲が起こったことによると解釈できる。電子を捕獲するこの2種類のトラップは、シリコン基板- SiO_2 膜界面近傍に分布する。この為、正孔注入後の SiO_2

膜に於いて、負ゲートバイアス印加時に比べ正ゲートバイアス印加での電子捕獲が極めて起こり易い。

- (3) 正孔注入後のSiO₂膜のアニールによって、捕獲された正電荷が減少し正ゲート極性でのストレス誘起電流を抑制することができる。
- (4) ストレス誘起電流や電子捕獲特性に関する実験結果を説明するメカニズムを提案した。正ゲート極性でのストレス誘起電流は、SiO₂膜の正孔捕獲によって生成した正に帯電した電子トラップと中性トラップへの電子捕獲による変位電流成分と、SiO₂膜に捕獲された正孔の正電荷によるトンネル電流成分の増加に起因すると考えられる。
- (5) 131 ÅのSiO₂膜に正孔注入を行った場合に正ゲート極性で観測されたストレス誘起電流の内、変位電流成分はフラッシュメモリのリードディスタープ特性に影響するものではない。しかし、捕獲された正電荷によってトンネル電流成分が増加する効果は考慮する必要がある。また、SiO₂膜への正孔注入に引き続いて正ゲート電圧を加えた場合に、正に帯電した電子トラップと中性トラップへの電子捕獲が起こり、SiO₂膜が負に帯電した状態となる現象は、フラッシュメモリの書き換え耐性（エンデュランス特性）の低下の原因となると考えられる。製造したフラッシュメモリを市場へ出荷する前に行うスクリーニング試験中にトンネルSiO₂膜が正孔注入を受けることが予想されるが、スクリーニング試験後にアニールを行うことでトンネルSiO₂膜に形成された正電荷を取り除くことが、出荷後のフラッシュメモリの書き換え耐性の改善に有効と考えられる。

第3章では、トンネルSiO₂膜の薄膜化という要求を念頭に置いて、より薄い60 ÅのSiO₂膜に対して第2章と同様の方法で正孔注入を行い、ストレス誘起電流の振る舞いについて調べた。また、60 Åと131 Åの場合のストレス誘起電流の特性の比較を行い、以下の結果と結論を得た。

- (6) 正孔注入を行ったSiO₂膜の正負両ゲート極性でのゲート電流-SiO₂電界特性に於い

て、ストレス誘起電流が現れることを見いだした。

- (7) このストレス誘起電流は、経時変化する成分と定常的なリーク成分からなる。リーク電流成分は、 SiO_2 膜を薄膜化することによって増加する。正孔注入後に正または負ゲートバイアスを加えると、いずれの極性でも電子が捕獲される。ストレス誘起電流の経時変化は、生成したトラップの電子捕獲が原因である。
- (8) 250°C のアニールによって、ストレス誘起電流と SiO_2 膜に捕獲された正電荷が減少する。
- (9) 正孔注入を行った 60 \AA の SiO_2 膜に正ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのリードディスタート特性を低下させ、負ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのデータリテンション特性を低下させる原因になりうる。このため、トンネル SiO_2 膜を薄膜化する場合、ストレス誘起電流のリーク電流成分がフラッシュメモリの電荷保持特性に与える影響について十分に考慮する必要がある。

第4章では、 SiO_2 膜に負ゲートバイアスでのF-N電子注入を行い、その結果生成する電子トラップと発生するストレス誘起電流について調べ、第2章・第3章で示した正孔注入後の SiO_2 膜に於ける電子捕獲現象とストレス誘起電流の特性との比較を行った。その結果、 131 \AA の SiO_2 膜へのF-N電子注入の実験から以下の結論を得た。

- (10) 負ゲートバイアスでのF-N電子注入を行うとシリコン基板- SiO_2 膜界面近傍にトラップが生成し、引き続き正ゲートバイアス印加時に SiO_2 膜に注入された電子の一部は、生成したトラップに捕獲される。F-N電子注入によって生成したトラップがシリコン基板- SiO_2 界面近傍に位置するために、負ゲートバイアス印加に比べ正ゲートバイアス印加での電子捕獲が極めて起こり易い。F-N電子注入後に正ゲート極性において現れるストレス誘起電流は、生成したトラップの電子捕獲に起因している。以上のことは、正孔注入後の 131 \AA の SiO_2 膜における結果とよく一致している。

- (1 1) F-N電子注入によって形成された正電荷のアニールによる放出量の温度特性が、正孔注入により捕獲された正孔の温度特性と一致した。この一致は、 SiO_2 膜にF-N電子注入することで正孔が捕獲されるという考えを支持している。
- (1 2) 負バイアスF-N電子注入後の正ゲート極性において観測された電子捕獲とストレス誘起電流は、 SiO_2 膜に捕獲された正孔によって生成したトラップへの電子の捕獲に起因する現象と考えられる。

次に、60 Åの SiO_2 膜への負バイアスF-N電子注入の実験から以下の結果と結論を得た。

- (1 3) F-N電子注入後のC-Vカーブは、正孔注入を行った後のC-Vカーブと同様に、負電圧方向に形状が変化する。また、F-N電子注入後の正負両ゲート極性でのゲート電流- SiO_2 電界特性に於いて、ストレス誘起電流が現れる。ストレス誘起電流は、経時変化する成分と定常的なリーク成分からなる。リーク電流成分は、 SiO_2 膜を薄膜化することによって増加する。
- (1 4) 250°Cのアニールによって、C-Vカーブが初期の特性に回復し、ストレス誘起電流が減少する。
- (1 5) 以上の(1 3)と(1 4)の特性は、正孔注入後の60 Åの SiO_2 膜に於ける特性とよく一致する。これらの一致は、負バイアスF-N電子注入を行うことで SiO_2 膜にシリコン基板からの正孔注入が起こると考えることで説明することができる。
- (1 6) F-N電子注入を行った60 Åの SiO_2 膜に正ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのリードディスタート特性を低下させ、負ゲート極性で現れたストレス誘起電流のリーク電流成分は、フラッシュメモリのデータリテンション特性を低下させる原因になりうる。このため、トンネル SiO_2 膜を薄膜化する場合、ストレス誘起電流のリーク電流成分がフラッシュメモリの電荷保持特性に与える影響について十分に考慮する必要がある。

第5章では、正孔注入によって発生するストレス誘起リーク電流に対して、 SiO_2 膜の

N₂Oアニール（1000℃、10分間）が及ぼす効果について調べ、以下の結果と結論を得た。

- (17) SiO₂膜のN₂Oアニールによって、正孔注入によって発生するストレス誘起電流を正負両ゲート極性において低減できることを初めて見いだした。
- (18) 正孔注入を行ったSiO₂膜の高周波C-V特性において、N₂Oアニールによる捕獲正孔密度の変化は見いだせなかった。ストレス誘起電流の低減の原因を明らかにするために、N₂Oアニールによる中性電子トラップ密度の変化を明らかにすること、およびSiO₂膜中に導入された窒素とストレス誘起電流との因果関係を明らかにすることが今後の重要な研究課題である。
- (19) SiO₂膜のN₂Oアニールによる正負両ゲート極性のストレス誘起リーク電流の低減は、フラッシュメモリのリードディスタープ特性とデータリテンション特性の低下の抑制に対して有望であり、トンネルSiO₂膜の薄膜化によるフラッシュメモリの高集積化と高性能化を可能とすると考えられる。

第6章では、67～131ÅのゲートSiO₂膜を有するnチャネルMOSFETに於いて、チャネルからゲートSiO₂膜にF-Nトンネル電子注入を行った場合に現れる基板正孔電流の、SiO₂膜厚とSiO₂電界に対する依存性を説明できる以下の(20)項に示すモデルを提案し、その検証を行った。

- (20) 「SiO₂膜にF-N注入され陽極に放出された電子によって電子-正孔対が生成し、この正孔のエネルギーが近似的にMaxwell分布に従い、そのうちSiO₂-電極界面のエネルギー障壁に打ち勝ってSiO₂中にショットキー放出される高エネルギーの正孔が、nチャネルMOSFETの基板正孔電流を構成する。」
- (21) nチャネルMOSFETと、ほぼ同一膜厚のゲートSiO₂膜を有するpチャネルMOSFETを用意し、キャリア分離法を用いて、ゲート電極からSiO₂中にF-Nトンネル注入されホットになった電子がシリコン基板に放出される時の平均エネルギーを得た。この平均エネルギーが、nチャネルMOSFETに於いてシリコン基板からSiO₂中にF-Nトンネル注入されポリシリコン電極に放出される電子の平均エネルギー

と等しい、と仮定した。ポリシリコン電極に放出される電子の平均エネルギーと、ポリシリコン電極中で生成する正孔のエネルギー分布との関係を仮定することで、 SiO_2 -ポリシリコン界面のエネルギー障壁に打ち勝って SiO_2 中にショットキー放出される正孔の密度を計算した。この計算が、一組のフィッティングパラメーターを用いて、基板正孔電流の SiO_2 膜厚と SiO_2 電界に対する依存性を良く再現することを示した。

トンネル SiO_2 膜に求められる特性として、経時絶縁破壊 (Time Dependent Dielectric Breakdown (TDDB)) を起こしにくいことが上げられる。第7章では、 SiO_2 膜の経時絶縁破壊特性の SiO_2 膜面積と SiO_2 膜厚に対する依存性を負ゲートバイアスの場合について調べ、以下の結果と結論を得た。

(2 2) 69 \AA と 87 \AA の SiO_2 膜に於いて摩耗故障領域の絶縁破壊寿命 T_{BD} に面積依存性があり、面積の増加とともに T_{BD} が小さくなることを示した。また、 69 \AA 、 87 \AA ともに面積が大きくなるにつれて絶縁破壊に至るまでに流すことのできる総電荷量 Q_{BD} が減少することを明らかにした。

(2 3) 測定面積の全範囲 ($10^{-6} \sim 10^0 \text{ mm}^2$) で、 87 \AA の SiO_2 膜に比べ 69 \AA の SiO_2 膜の T_{BD} が小さいことを示した。また、 Q_{BD} は 10^{-4} mm^2 より小さい面積では 69 \AA の方が 87 \AA より大きな値となった。この結果は、 SiO_2 膜の電子捕獲により時間の経過とともにゲート電流 I_{G} の減少が起こり、この減少が 87 \AA の場合に 69 \AA と比較して大きいことに起因している。

(2 4) 絶縁破壊が SiO_2 膜面内でPoisson分布する局所的な欠陥で発生すると考え、 $10^{-6} \sim 10^0 \text{ mm}^2$ の面積の SiO_2 膜の絶縁破壊が、同じ膜厚に対しては同一のワイブル故障分布関数に従うことを示した。また、膜厚が異なる SiO_2 膜は異なった故障分布関数を有することを示した。

(2 5) 時間 t においてその瞬間に絶縁破壊を起こす欠陥の面密度 $D'(t)$ は、電圧印加時間とともに増加することを示した。TDDB特性の面積依存性については、短時間で絶

縁破壊に結びつく密度の小さい欠陥は大きい面積でないとSiO₂膜に存在せず、絶縁破壊に長時間を有する密度の大きい欠陥は、小さい面積でもSiO₂膜に存在するためと解釈できる。

(26) 実験を行った全ての時間に於いて69ÅのSiO₂膜は欠陥密度D'(t)が87Åの場合よりも大きい。このため69ÅのSiO₂膜は87Åの場合に比べてより短い時間で絶縁破壊を起こす欠陥を含むことになり、それ故に69ÅのSiO₂膜の絶縁破壊寿命が短くなると解釈することができる。

(27) 16 MbitのフラッシュメモリのトンネルSiO₂膜の1チップ当たりの面積は、SiO₂膜の薄膜化によりQ_{BD}が減少する領域にある。このQ_{BD}の減少がフラッシュメモリの微細化を制限する可能性を指摘した。このため、よりQ_{BD}の大きなトンネルSiO₂膜の形成技術を開発することが重要な課題である。

LOCOS (Local Oxidation of Silicon) 法は、デバイスの微細化に対して極めて有用でありプロセスが簡便であることから、素子分離の方法としてバイポーラやMOSデバイスに於いて広く用いられているが、シリコン基板表面を局所的に酸化するために、基板表面に強い応力を発生する。LOCOS法によって形成する素子分離の構造とシリコン基板表面に誘起される応力の関係を理解するために、第8章では、素子分離構造を有するシリコン基板表面におけるフォノンの計測に顕微ラマン分光法を初めて適用し、応力分布の解析を試みた結果、以下のことが明らかとなった。

(28) 950℃のパイロジェニック酸化法 (O₂/H₂=1/1.8) によって形成した6800Åの分離酸化膜下のシリコンに対して、(5.0±2.5) x 10⁸ dyne/cm²の引っ張り応力が存在する。

(29) バーズピーク先端部近傍の活性領域に於いて、圧縮応力が存在する。この結果として、活性領域の中央における圧縮応力は、活性領域の大きさが小さくなるにつれて増加する。実際に製造されるLSIに於いても、活性領域の微細化に伴い圧縮応力の増加が起こっていると考えられ、このような応力によるMOSデバイスの特

性低下が懸念される。

第2部第9章で述べたように、DRAMのメモリセルの微細化を押し進めるためには、メモリセルキャパシタに用いるキャパシタ誘電体膜の薄膜化が重要な課題である。薄膜化を進めるに当たってキャパシタ誘電体膜に要求される特性は、(A) リーク電流が小さく絶縁性に優れていること、及び(B) 絶縁破壊寿命が十分長く故障率が低いこと、である。

一方、DRAMのキャパシタでは高濃度のV族元素(As, P等)をドーピングしたn型シリコン表面に上記の特性を有するキャパシタ誘電体膜を形成することが必要である。第10章10.1節では、シリコン基板に対し砒素イオン注入と1050℃の熱処理を加えて形成した砒素拡散層表面を熱酸化して得られる約100ÅのSiO₂膜(形成温度:1000℃、流量比:O₂/N₂/HCl=1/140/2)の絶縁破壊特性について調べ、以下の結果と結論を得た。

(30) 上記の砒素拡散層とSiO₂膜の形成条件のもとでは、砒素注入量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上のときに、SiO₂膜中の電子トラップ密度が増加するとともに絶縁不良率が増加することが分かった。砒素拡散層表面に熱酸化法でSiO₂膜を形成する場合には、砒素濃度の上限(本実験条件に於いては $4 \times 10^{19} \text{ cm}^{-3}$)を越えるとSiO₂膜の絶縁不良が増加し信頼性が低下する。

第10章10.2節では、DRAMのキャパシタ面積を確保するためのメモリセル構造であるスタックトキャパシタのn⁺ポリシリコン下部電極表面に、欠陥の少ない誘電体膜を形成する方法として減圧CVD法の検討を行い、以下の結果と結論を得た。

(31) シリコン基板表面に於いて同等の絶縁耐圧分布とTDDB特性を示すTh. SiO₂膜とCVD SiO₂膜をn⁺ポリシリコン表面に100~150Åの膜厚で形成した結果、Th. SiO₂膜はポリシリコンへの砒素注入量が増加するにつれて絶縁不良率が増加したのに対し、CVD SiO₂膜の場合には砒素注入量依存性を示さず、Th. SiO₂膜に比べて小さな不良率であった。減圧CVD法は、n⁺ポリシリコン表面に欠陥の少ないSiO₂膜を形成

するために有効な手段である。

(3 2) CVD SiO_2 膜上に減圧CVD法で Si_3N_4 膜を堆積し、その表面を熱酸化して形成した酸化膜-窒化膜-酸化膜 (ONO) 積層構造 (SiO_2 換算膜厚にして145~158 Å) は、 n^+ ポリシリコン上に於いてCVD SiO_2 膜単層の場合に比較してさらに小さな絶縁不良率を示し、下部電極のエッジに於ける絶縁不良の発生も抑制することができる。

第10章10.3節では、ONO積層構造と減圧CVD法により堆積した Si_3N_4 膜の表面を熱酸化して得られる酸化膜-窒化膜 (ON) 積層構造について、スタックトキャパシタに於ける絶縁破壊特性を比較し、以下の結果と結論を得た。

(3 3) ONO積層膜とON積層膜を有するスタックトキャパシタの絶縁不良率に有意差は見られず、TDDB測定の結果ではONO積層膜の場合に正ゲートバイアスでの寿命が短いことから、キャパシタの長期信頼性を確保するためにON積層構造が有利であることが分かった。

(3 4) 68~127 Å (SiO_2 換算膜厚) の範囲のON積層膜の絶縁耐圧を調べた結果、絶縁不良率は動作電圧が ± 2.5 Vの4Mbit DRAMに適用可能な水準であった。ON積層膜と Si_3N_4 膜を比較すると、ON積層膜の不良率が Si_3N_4 膜の約1/2であり、 Si_3N_4 膜を熱酸化することで不良率を低減できることを確認した。

(3 5) ON積層膜を有するスタックトキャパシタの上部電極に一定電圧を加えてTDDB測定を行った結果、67 Å以上のON積層膜はDRAMのメモリセルキャパシタに適用可能であることを明らかにした。

(3 6) 以上の結果から、エッジ長の長い n^+ ポリシリコンを下部電極として有するスタックトキャパシタ構造に対しては、本章で検討した誘電体膜の中ではON積層膜によって最も高い信頼性を得ることができると結論する。

第11章では、ONO積層膜およびON積層膜の上部酸化膜と下部酸化膜の膜厚が、正負両ゲートバイアスの絶縁破壊寿命と電気伝導特性に及ぼす影響を調べた結果について

論述し、さらに絶縁破壊と電気伝導との関係についての考察を行った結果、以下の結論を得た。

- (37) 30 Åより厚い酸化膜層が陽極に隣接する場合に、伝導電流の著しい減少が発生する。30 Åという膜厚は、陽極からシリコン窒化膜 (Si_3N_4) への正孔の注入に対して下部酸化膜と上部酸化膜が障壁として働く下限膜厚である。
- (38) 陽極に隣接する酸化膜層が30 Åより厚くなると絶縁破壊寿命の向上が起こることを見出した。この現象は、「ONOまたはON積層膜に於いて30 Åより薄い酸化膜が陽極に隣接するときの絶縁破壊は、積層膜に注入された正孔によって誘起され、30 Åより厚い酸化膜が陽極に隣接するような構造では、正孔注入が抑制されることによって絶縁破壊寿命が向上する」と考えることで説明できる。
- (39) 陽極に隣接する酸化膜が30 Åより厚くなると、絶縁破壊寿命の活性化エネルギーが増加することが明らかとなった。このことから、酸化膜厚30 Åを境に絶縁破壊の律速要因が変化すると考えられる。
- (40) 陰極に隣接する酸化膜層が厚くなるにつれて絶縁破壊寿命は減少する。上部電極が陽極の場合の絶縁破壊寿命が積層膜の信頼性を律速する場合には、下部酸化膜を薄膜化したON積層構造を用いることが信頼性の向上に有効である。

スタックトキャパシタに於けるON積層膜を形成する場合、 n^+ ポリシリコン表面の洗浄・乾燥の後、減圧CVD装置を用いてシリコン窒化膜を堆積し熱酸化を行う。この場合、ウエハの純水リンス及びウエハの大気暴露によって、 n^+ ポリシリコン表面には自然酸化膜が成長し、またウエハを高温のCVD反応室に挿入する際に、 n^+ ポリシリコン表面は大気による熱酸化を被る。それ故シリコン窒化膜の成膜に際しては、 n^+ ポリシリコン表面にシリコン酸化膜が存在し、実際に得られる積層膜は、上部酸化膜-窒化膜-下部酸化膜の3層構造となる。この3層構造を薄膜化し且つ絶縁性を確保するために、第12章では各層の膜厚と絶縁性の関係について検討を行った。

まず SiO_2 換算膜厚にして50 Å以下のシリコン窒化膜における電気伝導を解析するため

に、34、74、102 Åのシリコン窒化膜の伝導電流の測定を77~398 Kの温度範囲で行い、(4 1) ~ (4 4)の結果と結論を得た。更に、SiO₂換算膜厚にして50 Å以下のシリコン窒化膜及びON積層膜に於ける絶縁性と、上部酸化膜・窒化膜・下部酸化膜の各膜厚との関係について調べ、(4 5) ~ (4 9)の結果と結論を得た。

(4 1) シリコン窒化膜をSiO₂換算膜厚にして102 Åから34 Åに薄膜化することによって、77~398 Kの温度範囲に於ける伝導電流が増加した。

(4 2) 34, 74, 102 Åのいずれの膜厚においても、低温(77, 87 K)での電流成分は温度依存性が小さく、強い電界依存性を示した。この結果から、低温領域ではトンネル伝導が支配的と考えられる。

(4 3) SiO₂換算膜厚にして50 Å以下の極薄領域での、シリコン窒化膜の薄膜化に伴う伝導電流の増加には、トンネル伝導成分の増加が寄与している。但し、トンネル伝導の詳細な過程を解明することは今後の課題である。

(4 4) 34 Åの窒化膜の高温(296~398 K)・低電界領域に於ける伝導電流は、温度依存性を有する電流成分に支配されている。この温度依存性を有する電流成分をPoole-Frenkel伝導で説明することは困難である。極薄窒化膜の温度依存性を有する電流成分の伝導メカニズムの解明もまた今後の課題である。

(4 5) SiO₂換算膜厚にして50 Å以下の領域では、シリコン窒化膜が薄くなるにつれて絶縁破壊電界E_{bd}の急激な低下が起こる。

(4 6) 下部酸化膜の膜厚が異なるキャパシタの絶縁破壊電界E_{bd}を比較した結果、下部酸化膜が薄い場合にE_{bd}が大きくなり、E_{bd}の急激な低下は、より薄いSiO₂換算膜厚に於いて発生した。

(4 7) 上部酸化膜の膜厚が異なるキャパシタの絶縁破壊電界E_{bd}を比較した結果、上部酸化膜の膜厚が薄い場合に、より薄いSiO₂換算膜厚に於いてE_{bd}の急激な低下が発生した。

(4 8) 以上の結果から、伝導電流を抑制し絶縁性を確保しながらON積層膜を薄膜化するためには、下部酸化膜と上部酸化膜の薄膜化が有効である。

(49) 下部または上部酸化膜の薄膜化によって絶縁性が向上する理由の一つには、これらの酸化膜厚を薄くすることによって、同一の SiO_2 換算膜厚に於けるシリコン窒化膜の膜厚を厚く構成できることが考えられる。

第13章では、スタックトキャパシタや円筒型スタックトキャパシタに於いて、シリコン窒化膜-下部電極界面の下部酸化膜厚が薄い酸化膜-窒化膜積層構造を実現するために、ロードロック機構を有するウォームウォール型枚葉ランプ加熱式CVD装置の試作を行った。この装置を使用して、*in-situ* H_2 クリーニング、及び $\text{SiH}_2\text{Cl}_2\text{-NH}_3$ 系CVDによるシリコン窒化膜堆積を行い、スタックトキャパシタ構造と円筒型キャパシタ構造に対して極薄ON積層膜を形成した。その絶縁性と経時絶縁破壊特性について調べ、以下の結果と結論を得た。

(50) 試作したロードロック機構付き枚葉式CVD装置による*in-situ* H_2 クリーニングとシリコン窒化膜堆積の連続プロセスを行なうことで、*in-situ* H_2 クリーニングを行わない場合に比べて窒化膜- n^+ ポリシリコン界面の下部酸化膜厚を低減することができ、ON積層膜の絶縁破壊寿命が向上した。

(51) ロードロック機構付き枚葉式CVD装置を用いてシリコン窒化膜の堆積を行ったON積層膜は、縦型バッチ式減圧CVD装置で形成したON積層膜に比べて、下部酸化膜厚が低減され、高い絶縁耐圧と長い絶縁破壊寿命を示した。

(52) ロードロック機構付き枚葉式CVD装置による*in-situ* H_2 クリーニングとシリコン窒化膜堆積の連続プロセスで形成した 34\AA のON積層膜が、円筒型スタックトキャパシタに於いても256Mbit DRAMに対し必要な絶縁耐圧と絶縁破壊寿命を有することを示した。以上の結果、256Mbit DRAM以後のデバイスに対し、ロードロック機構を有する枚葉式CVD装置を用いた*in-situ* H_2 クリーニング及び $\text{SiH}_2\text{Cl}_2\text{-NH}_3$ 系CVDの連続プロセスの有用性が実証できた。

最後に、本研究の今後の課題について述べる。本論文の第1部で得られた成果のうち、 SiO_2 膜への正孔注入に起因するシリコン基板- SiO_2 膜界面近傍に於ける電子トラップの生成、ストレス誘起リーク電流の発生、及びF-N電子注入により誘起される絶縁破壊に関する第2章～第4章、及び第6章・第7章の研究成果は、フラッシュメモリの信頼性を確保する上で、今後のメモリトランジスタの構造設計や動作条件の設定に対して考慮しなければならない重要な知見である。またフラッシュメモリの市場での電荷保持特性を予測するためには、ストレス誘起リーク電流のシミュレーションを可能にする解析的なモデルの構築が不可欠と考えられるが、電子トラップとストレス誘起リーク電流に関する第2章～第4章の研究結果は、解析的モデルの構築に対しても重要な知見を与えている。但し解析的モデルの構築のためには、正に帯電したトラップと中性トラップの各々のエネルギー分布を知る必要があり、これは今後の重要な課題の一つである。

さて本論文の第1部第5章に於いて、正孔注入により発生するストレス誘起リーク電流を低減する方法として、 N_2O ガスによる SiO_2 膜の窒化が有効であることを明らかにした。前述したように、この効果のメカニズムの解明は今後の課題である。まず SiO_2 膜の N_2O アニールによる中性トラップ密度の変化を明らかにすることが必要である。また今後は、 SiO_2 膜の窒化方法に関する研究を進め、より効果の高い窒化技術を確立することが重要であると共に、 SiO_2 膜の窒化がフラッシュメモリの電荷保持特性（リードディスタート特性とデータリテンション特性）に与える効果を定量的に把握することが必要である。

また第7章に於いて、 SiO_2 膜の経時絶縁破壊がトンネル酸化膜の薄膜化を制限する要因となることを指摘し、負ゲートバイアス下での絶縁破壊寿命の向上が必要であることを述べたが、これを実現するための具体的な方策は今後の研究課題の一つである。しかし本研究に於いて、絶縁破壊が SiO_2 膜に分布する局所的な欠陥で発生するという考えを提示した。このモデルに基づく場合、絶縁破壊を誘起する欠陥を解消することで寿命の向上を実現することが可能と考えられる。この為、今後の欠陥構造の研究や SiO_2 膜形成技術の改良によって絶縁破壊寿命の向上が計れるものと期待する。

第8章では、局所酸化を行ったシリコン基板表面の応力解析に顕微ラマン分光法を適用し、集積回路表面の応力解析に対する顕微ラマン分光法の有効性を実証した。しかし本方法に於いては、光源の波長が応力測定の間隔分解能を決定するために、近い将来、空間分解能が素子の微細化に追いつけなくなると予想される。一方、近年シミュレーション技術の発展が著しく、応力分布のシミュレーションも試みられているが、その精度の向上のためには実測結果との対比が不可欠である。それ故、今後のより微細な半導体集積回路に於ける応力分布の解析を可能とするためには、顕微ラマン分光法で得られた実験結果に基づいてシミュレーション技術を構築することが一つの課題となるであろう。

第2部ではDRAMのキャパシタ誘電体膜に関して、ON積層膜によって高い信頼性を得られること、及びON積層膜の絶縁性を向上するには下部酸化膜の薄膜化が有効であることを明らかにした。この成果は4Mbit～64Mbitの3世代にわたるDRAMに実際に応用され、これらのDRAMは大量生産されている。また第13章に於いて示したように、ロードロック機構付き枚葉式CVD装置を用いた*in-situ* H₂クリーニングとシリコン窒化膜堆積の連続プロセスは、次世代の256Mbit DRAMに対応したON積層膜を形成するために極めて有用な技術である。今後は、試作第1号である本装置を基に、大量生産に対応できる装置に改良を重ねて行くことが課題である。

謝 辞

本論文をまとめるにあたり、終始御懇切なる御指導と御鞭撻を賜りました名古屋大学工学部 安田幸夫教授に心より御礼申し上げます。名古屋大学工学部 石橋善弘教授には、本論文の作成にあたって、終始御懇篤なる御教示と御鞭撻を頂きました。ここに厚く御礼申し上げます。本論文の作成にあたり、御懇切なる御検討と御指導を頂きました名古屋大学工学部 財間鎮明助教授に心より御礼申し上げます。

本研究の遂行にあたって御指導と御鞭撻を賜り、また論文作成の機会を与えていただいた三菱電機株式会社ULSI開発研究所 安岡晶彦所長に深く感謝いたします。

本研究の遂行ならびに論文の作成にあたり、筆者の入社以来、数々の御指導と終始変わらぬ御支援を頂戴いたしました三菱電機株式会社ULSI開発研究所部長 平山誠博士に心より感謝いたします。また、同研究所グループマネージャー 松井安次博士には、本研究の遂行ならびに論文の作成にあたり数々の御教示と御鞭撻を頂きました。ここに厚く御礼申し上げます。

本研究の遂行にあたり数々の御教示と御鞭撻を頂きました三菱電機株式会社技師長 阿部東彦博士に厚く御礼申し上げます。元三菱電機株式会社LSI研究所副所長 中田秀文博士（現イノテック株式会社技師長）、菱電セミコンダクタシステムエンジニアリング株式会社相談役 河津哲博士、同部長 室谷利夫博士には、本研究の遂行ならびに論文の作成にあたり御懇切なる御支援と御鞭撻を頂きました。厚く御礼申し上げます。

また、本研究の遂行にあたり、御懇篤なる御指導を頂きました三菱電機株式会社西条工場部長 松川隆行博士、ULSI開発研究所部長 三好寛和博士、北伊丹事業所部長 塚本克博博士、ULSI開発研究所部長 西村正博士、北伊丹事業所主幹 檜垣孝志氏、北伊丹事業所課長 三橋順一氏、ULSI開発研究所グループマネージャー 有馬秀明博士、同研究所グループマネージャー 畑中正宏氏、同研究所グループマネージャー 犬石昌秀博士、同研究所グループマネージャー 井上靖朗博士、北伊丹事業所課長 中島盛義氏、ULSI開発研究所主幹 味香夏夫博士に心より感謝いたします。

さらに、本研究の遂行にあたり、多大の御助力と有益なる御討論を頂いた三菱電機株式会社U L S I 開発研究所 稲葉豊氏、寺本章伸氏、片山俊治氏、梅田浩司氏、緒方完氏、藤井淳弘氏、宮武浩氏、中野豊氏、Motaharul Kabir Mazumder博士、ならびに菱電セミコンダクタシステムエンジニアリング株式会社 藤田靖氏、中村正氏に深く感謝いたします。

末筆ながら、本研究の遂行から論文化に至るまでの期間、終始有益な御助言と御協力を頂きました三菱電機株式会社U L S I 開発研究所、北伊丹事業所、ならびに菱電セミコンダクタシステムエンジニアリング株式会社の各位に厚く御礼申し上げます。

研究業績目録（原著論文・学会予稿）

（１）雑誌（審査あり）

（本論文）

- [1] Dielectric Breakdown and Current Conduction of Oxide/Nitride/Oxide Multi-layer Structures ;
K. Kobayashi, H. Miyatake, M. Hirayama, T. Higaki, and H. Abe,
J. Electrochem. Soc., Vol. 139, pp. 1693-1699 (1992).
- [2] Charge Transport in Ultrathin Silicon Nitrides ;
K. Kobayashi, A. Teramoto, and M. Hirayama
J. Electrochem. Soc., Vol. 142, pp. 990-996 (1995).
- [3] Mass Spectrometric and Kinetic Study of Low-Pressure Chemical Vapor Deposition of Si_3N_4
Films from SiH_2Cl_2 and NH_3 ;
T. Sorita, T. Satake, H. Adachi, T. Ogata, K. Kobayashi, and H. Komiyama,
J. Electrochem. Soc., Vol. 141, pp. 3505-3511 (1994).
- [4] Stress-Induced Current in Nitride and Oxidized Nitride Thin Films ;
M. K. Mazumder, K. Kobayashi, J. Mitsuhashi, and H. Koyama,
IEEE Trans. Electron Devices, Vol. 41, pp. 2417-2422 (1994).
- [5] Model for the Substrate Hole Current Based on Thermionic Hole Emission from the Anode
during Fowler-Nordheim Electron Tunneling in n-Channel Metal-Oxide-Semiconductor
Field-Effect Transistors ;
K. Kobayashi, A. Teramoto, M. Hirayama, and Y. Fujita,
J. Appl. Phys., Vol. 77, pp. 3277-3282 (1995).
- [6] Conduction and Charge-Trapping Characteristics of MOS Capacitors with Oxidized Nitride
Films of Different Nitride Thicknesses under Positive Stress Bias ;
M. K. Mazumder, K. Kobayashi, T. Ogata, J. Mitsuhashi, Y. Mashiko, and H. Koyama,
J. Electrochem. Soc., Vol. 143, pp. 368-373 (1996).
- [7] Negative Stress-Induced Current in Oxidized Nitride Layers of Different Nitride Thicknesses
(<5 nm) ;
M. K. Mazumder, K. Kobayashi, Y. Mashiko, and H. Koyama,
Solid-State Electronics, Vol. 39, pp. 349-353 (1996).

- [8] Reliability Evaluation of Thin Gate Oxide Using a Flat Capacitor Test Structure ;
M. Katsumata, J. Mitsuhashi, K. Kobayashi, Y. Mashiko, and H. Koyama,
IEICE Trans. Electron., Vol. E79-C, pp. 206-210 (1996).
- [9] Kinetic Study of Silicon Nitride Growth from Dichlorosilane and Ammonia ;
T. Ogata, T. Sorita, K. Kobayashi, Y. Matsui, K. Horie, and M. Hirayama,
Jpn. J. Appl. Phys., Vol. 35, pp. 1690-1695 (1996).
- [10] Ultrathin Thermally Oxidized Silicon Nitrides Fabricated by Single Wafer Processing Using
SiH₂Cl₂-NH₃-H₂ System and *In-situ* H₂ Cleaning ;
K. Kobayashi, Y. Inaba, T. Ogata, T. Katayama, H. Watanabe, Y. Matsui, and M. Hirayama,
J. Electrochem. Soc., Vol. 143, pp. 1459-1464 (1996).
- [11] Electron Traps and Excess Current Induced by Hot-Hole Injection into Thin SiO₂ Films ;
K. Kobayashi, A. Teramoto, Y. Matsui, M. Hirayama, A. Yasuoka, and T. Nakamura,
J. Electrochem. Soc., Vol. 143, pp. 3377-3383 (1996).

(Note)

- [1] Local-Oxidation -Induced Stress Measured by Raman Microprobe Spectroscopy ;
K. Kobayashi, Y. Inoue, T. Nishimura, M. Hirayama, Y. Akasaka, T. Kato, and S. Ibuki,
J. Electrochem. Soc., Vol. 137, pp. 1987-1989 (1990).

(Letter)

- [1] Effect of Oxidation Process on Electrical Characteristics of Oxidized Nitride Films ;
M. K. Mazumder, T. Katayama, K. Kobayashi, Y. Mashiko, H. Koyama, and A. Yasuoka,
Appl. Phys. Lett., Vol. 69, pp. 1140-1142 (1996).

(2) 国際学会 (審査あり)

1. Double Stacked Capacitor with Self-Aligned Poly Source/Drain Transistor (DSP) Cell for Megabit DRAM ;
K. Tsukamoto, M. Shimizu, M. Inuishi, Y. Matsuda, H. Oda, H. Morita, M. Nakajima, K. Kobayashi, Y. Mashiko, and Y. Akasaka,
Technical Digest of International Electron Devices Meeting, Washington, pp. 328-331, 1987.
2. Dielectric Breakdown and Current Conduction of Oxide/Nitride/Oxide Multi-layer Structures ;
K. Kobayashi, H. Miyatake, J. Mitsuhashi, M. Hirayama, T. Higaki, and H. Abe,
Digest of Technical Papers : 1990 Symposium on VLSI Technology, Honolulu, pp. 119-120, 1990.
3. Low-Temperature (625 °C) Silicon Epitaxial Growth on Silicon Substrates Heated-Up in SiH₄ Atmosphere ;
K. Kobayashi, K. Fukumoto, T. Katayama, T. Higaki, and H. Abe,
Extended Abstracts of the 1992 International Conference on Solid State Devices and Materials, Tsukuba, pp.17-19, 1992.
4. A Simulation of Plastic Deformation of Silicon During Thermal Oxidation ;
T. Uchida, N. Kotani, K. Kobayashi, Y. Mashiko, and N. Tsubouchi,
Technical Digest of International Electron Devices Meeting, Washington, pp. 315-318, 1993.
5. Electron Traps and Excess Current Induced by Hot-Hole Injection into Thin SiO₂ Films ;
K. Kobayashi, A. Teramoto, and M. Hirayama
Proceedings of 1995 International Reliability Physics Symposium, Las Vegas, pp. 168-176, 1995.
6. Excess Current Induced by Hot-Hole Injection and F-N Stress in Thin SiO₂ Films ;
A. Teramoto, K. Kobayashi, Y. Matsui, M. Hirayama, and A. Yasuoka,
Proceedings of 1996 International Reliability Physics Symposium, Dallas, pp. 113-116, 1996.
7. High Quality CVD/Thermal Stacked Gate Oxide Films with Hydrogen-Free CVD SiO₂ Formed in the SiCl₄-N₂O System ;
T. Ogata, K. Kobayashi, H. Kurokawa, Y. Matsui, and M. Hirayama,
Extended Abstracts of the 1996 International Conference on Solid State Devices and Materials, Yokohama, pp. 506-508, 1996.

8. High Reliability of Nanometer-Range N₂O-Nitrided Oxides Due to Suppressing Hole Injection ;
K. Kobayashi, A. Teramoto, T. Nakamura, H. Watanabe, H. Kurokawa, Y. Matsui,
and M. Hirayama
Technical Digest of International Electron Devices Meeting, San Francisco, *to be published in*
1996.
9. The Impact of High Pressure Dry O₂ Oxidation on Sub-Quarter Micron Planarized LOCOS ;
T. Yamashita, T. Kuroi, T. Uchida, S. Komori, K. Kobayashi, M. Inuishi, and H. Miyoshi
Technical Digest of International Electron Devices Meeting, San Francisco, *to be published in*
1996.

(3) 国内学会 (審査あり)

1. Stress Measurement of LOCOS Structure using Microscopic Raman Spectroscopy ;
K. Kobayashi, Y. Inoue, T. Nishimura, T. Nishioka, H. Arima, M. Hirayama, and
T. Matsukawa,
Extended Abstracts of the 19th Conference on Solid State Devices and Materials, Tokyo, pp.
323-326, 1987.
2. Conduction in Thin Nitride Films and Oxide/Nitride Films ;
K. Kobayashi, H. Miyatake, and M. Hirayama,
Extended Abstracts of the 21st Conference on Solid State Devices and Materials, Tokyo, pp.
485-488, 1989.

(4) 国際学会 (審査なし)

1. Deposition Mechanism of Low-Pressure CVD Silicon Nitride Films ;
T. Sorita, H. Adachi, T. Ogata, and K. Kobayashi,
Extended Abstracts in the 184th Electrochemical Society Meeting, New Orleans, vol. 93-2, p.
283, 1993.

(5) 国内学会 (審査なし)

1. N⁺領域上のトンネル酸化膜の評価 ;
小林清輝、有馬秀明、平山誠、松川隆行、
1985年春季第32回応用物理学関係連合講演会予稿集, 30a-D-7, p. 507.
2. 薄い酸化膜における酸化温度の効果 ;
小林清輝、有馬秀明、平山誠、松川隆行、
1986年秋季第47回応用物理学学会学術講演会予稿集, 29p-P-9, p. 537.
3. EEPROMトンネル酸化膜の膜質評価 ;
小林清輝、有馬秀明、平山誠、松川隆行、
半導体・集積回路技術第30回シンポジウム講演論文集, pp.105-110, 1986.
4. 熱酸化膜形成時のポストアニール温度と絶縁破壊特性 ;
小林清輝、有馬秀明、平山誠、松川隆行、
1987年春季第34回応用物理学関係連合講演会予稿集, 30p-C-2, p. 556.
5. 素子分離によりSi基板に発生する応力の評価 ;
小林清輝、有馬秀明、平山誠、松川隆行、
1987年春季第34回応用物理学関係連合講演会予稿集, 30a-C-10, p. 556.
6. シリコンの熱酸化速度の面方位依存性 ;
小林清輝、平山誠、谷口研二、浜口智尋、
1987年秋季第48回応用物理学学会学術講演会予稿集, 19p-L-3, p. 555.
7. 多結晶シリコン上の高温CVD酸化膜の絶縁破壊特性 ;
藤井淳弘、小林清輝、清水雅裕、犬石昌秀、平山誠、加藤忠雄、
1987年秋季第48回応用物理学学会学術講演会予稿集, 19p-N-1, p. 569.
8. ポリシリコン上のSiO₂/Si₃N₄積層膜のTop Oxide膜厚依存性 ;
小林清輝、南利彦、金岡竜範、宮武浩、三橋順一、平山誠、
1988年秋季第49回応用物理学学会学術講演会予稿集, 4a-A-3, p. 577.
9. ポリシリコン上のSiO₂/Si₃N₄積層膜の構造評価 ;
宮武浩、片山俊治、小林清輝、清水雅裕、益子洋治、小山浩、
1988年秋季第49回応用物理学学会学術講演会予稿集, 4a-A4, p. 578.

10. 薄いOxide/Nitride積層膜の電気伝導 ;
小林清輝、宮武浩、平山誠、
1989年春季第36回応用物理学関係連合講演会予稿集, 2a-ZE-7, p. 680.
11. ゲート/キャパシタ絶縁膜 ;
平山誠、大野吉和、小林清輝、藤井淳弘、
電子情報通信学会春季全国大会 (1989年) , SC-7-5, p. 5-379.
12. 薄いOxide/Nitride/Oxide積層膜の電気伝導と絶縁破壊特性 ;
小林清輝、宮武浩、三橋順一、中野豊、平山誠、
1989年秋季第50回応用物理学学会学術講演会予稿集, 29p-C-5, p. 624.
13. シリコン窒化膜キャパシタのアニール処理による電気特性の変化 ;
金岡竜範、小林清輝、平山誠、
1989年秋季第50回応用物理学学会学術講演会予稿集, 29a-C-9, p. 622.
14. シリコン窒化膜キャパシタの電気特性におけるTop Oxide層の影響 ;
金岡竜範、小林清輝、平山誠、桧垣孝志、
1990年春季第37回応用物理学関係連合講演会予稿集, 31p-ZA-7, p. 658.
15. 極薄Oxide-Nitride-Oxide積層膜における電気伝導 ;
小林清輝、中野豊、福本晃二、桧垣孝志、
1991年春季第38回応用物理学関係連合講演会予稿集, 28p-V-5, p. 595.
16. Oxide/Nitride/Oxide積層膜のC-V特性におけるポストアニールの影響 ;
金岡竜範、小林清輝、鳥取功、桧垣孝志、
1991年春季第38回応用物理学関係連合講演会予稿集, 28p-V-3, p. 594.
17. LPCVD法によるSi₃N₄膜の堆積初期における下地表面の影響 ;
小林清輝、奥平智仁、片山俊治、神原恭子、桧垣孝志、
1991年秋季第52回応用物理学学会学術講演会予稿集, 10p-B-3, p. 657.
18. 初期故障領域に於ける熱酸化膜の経時絶縁破壊特性 ;
梅田浩司、小林清輝、三橋順一、桧垣孝志、
1991年秋季第52回応用物理学学会学術講演会予稿集, 10a-B-2, p. 556.
19. スタックト・キャパシタの誘電体膜形成技術 ;
小林清輝、若宮、林出吉生、奥平智仁、金岡竜範、桧垣孝志、阿部東彦、
平成3年電気関係学会関西支部連合大会講演論文集, S4-5, S25.

20. SiH_2Cl_2 を原料とした熱CVD SiN膜の形成機構 (1) ;
反田哲史、佐竹徹也、足達廣士、緒方完、小林清輝、
1992年秋季第53回応用物理学会学術講演会予稿集, 17a-ZQ-5, p. 633.
21. SiH_2Cl_2 を原料とした熱CVD SiN膜の形成機構 (2) ;
緒方完、小林清輝、桧垣孝志、反田哲史、足達廣士、
1992年秋季第53回応用物理学会学術講演会予稿集, 17a-ZQ-7, p. 634.
22. バッチ式CVD炉における Si_3N_4 膜の形成機構 ;
反田哲史、足達廣士、緒方完、小林清輝、
1993年春季第40回応用物理学関係連合講演会予稿集, 31a-ZV-10, p. 752.
23. The degradation mechanism of reoxidized Nitride/Oxide during constant stress current ;
M. K. Mazumder, J. Mitsuhashi, K. Kobayashi, J. Komori, and H. Koyama,
1993年秋季第54回応用物理学会学術講演会予稿集, 27p-X-11, p. 636.
24. 薄い酸化膜の極微小電流測定による信頼性評価 ;
勝又正文、杉本拓光、小林清輝、三橋順一、
半導体・集積回路技術第45回シンポジウム講演論文集, pp. 146-150, 1993.
25. 薄い酸化膜の極微小電流測定による信頼性評価 ;
勝又正文、杉本拓光、小林清輝、三橋順一、
電子情報通信学会技術研究報告, R93-40, Vol. 93, No. 334, pp. 21-25, 1993.
26. 熱酸化膜におけるTDDB特性の面積依存性 ;
寺本章伸、小林清輝、平山誠、
1994年春季第41回応用物理学関係連合講演会予稿集, 29p-ZW-6, p. 659.
27. シリコン熱酸化膜のTDDB特性における膜厚依存性 ;
藤田靖、小林清輝、日根史郎、平山誠、勝又正文、三橋順一、
1994年春季第41回応用物理学関係連合講演会予稿集, 29p-ZW-7, p. 660.
28. Wet酸化時に形成されるDry酸化膜のシリコン熱酸化膜信頼性に与える影響
大津良孝、小林清輝、平山誠、日根史郎、
1994年春季第41回応用物理学関係連合講演会予稿集, 28a-ZW-8, p. 660.
29. LPCVD- Si_3N_4 成膜前駆体の反応速度定数 ;
緒方完、小林清輝、平山誠、反田哲史、足達廣士、
1994年春季第41回応用物理学関係連合講演会予稿集, 29p-ZW-5, p. 716.

30. LPCVD-Si₃N₄成膜前駆体とその反応速度 ;
反田哲史、佐竹徹也、足達廣士、緒方完、小林清輝、平山誠、
1994年春季第41回応用物理学関係連合講演会予稿集, 29p-ZW-6, p. 717.
31. 熱酸化膜のTDDB特性における面積及び膜厚依存性 ;
寺本章伸、小林清輝、平山誠、
電子情報通信学会技術研究報告 SDM94-38(1994-7), p. 29 (1994).
32. 枚葉式CVD装置により形成した極薄シリコン窒化膜キャパシタの電気特性 ;
稲葉豊、小林清輝、緒方完、渡部元、片山俊治、平山誠、
1994年秋季第55回応用物理学学会学術講演会予稿集, 19a-ZC-12, p. 608.
33. LPCVD-Si₃N₄成膜モデルの検証 ;
緒方完、小林清輝、平山誠、反田哲史、足達廣士、
1994年秋季第55回応用物理学学会学術講演会予稿集, 20a-ZC-5, p. 656.
34. シリコン酸化膜への正孔注入により誘起されたリーク電流の解析 ;
中村正、寺本章伸、小林清輝、織田隆文、松井安次、
1995年春季第42回応用物理学関係連合講演会予稿集, 28a-C-10, p. 656.
35. N₂O/O₂直接酸窒化膜に於けるストレス誘起リーク電流特性 ;
梅田浩司、小林清輝、松井安次、
1995年春季第42回応用物理学関係連合講演会予稿集, 29a-C-1, p. 708.
36. シリコン酸化膜への正孔注入により誘起されたリーク電流の解析 (2) ;
中村正、小林清輝、寺本章伸、松井安次、
1995年秋季第56回応用物理学学会学術講演会予稿集, 27p-ZB-7, p. 647.
37. ホットホール注入による薄いゲート絶縁膜の絶縁破壊 ;
寺本章伸、小林清輝、松井安次、
1995年秋季第56回応用物理学学会学術講演会予稿集, 27p-ZB-11, p. 648.
38. NOガス雰囲気中で形成した窒化酸化膜の電気特性 ;
梅田浩司、小林清輝、松井安次、
1995年秋季第56回応用物理学学会学術講演会予稿集, 27a-ZB-3, p. 642.

39. A comparative study of electrical characteristics of wet oxidized ON film with N_2O oxidized nitride ;
M. K. Mazumder, M. Katsumata, T. Ogata, K. Kobayashi, J. Mitsuhashi, Y. Mashiko,
and H. Koyama,
1995年秋季第56回応用物理学会学術講演会予稿集, 27a-ZB-4, p. 643.
40. シリコン酸化膜へのFowler-Nordheim電子注入により発生するストレス誘起電流 ;
小林清輝、中村正、寺本章伸、松井安次、
1996年春季第43回応用物理学関係連合講演会予稿集, 28p-N-6, p. 778.
41. 高圧ドライ酸化による $0.25\ \mu\text{m}$ LOCOS分離 ;
山下朋弘、黒井隆、小森重樹、内田哲也、小林清輝、犬石昌秀、三好寛和、
1996年春季第43回応用物理学関係連合講演会予稿集, 27p-N-10, p. 729.
42. $\text{SiCl}_4\text{-N}_2\text{O}$ 系CVDにより形成したシリコン酸化膜の電気特性 ;
鹿間省三、緒方完、小林清輝、松井安次、
1996年秋季第57回応用物理学会学術講演会予稿集, 7p-H-6, p. 568.
43. 薄いCVD酸化膜の電気特性に対する界面の影響 ;
古川泰助、緒方完、小林清輝、斧高一、松井安次、
1996年秋季第57回応用物理学会学術講演会予稿集, 7p-H-7, p. 568.

(6) 寄稿

1. マーチンパレット型遠赤外フーリエ分光計 ;
澤田昭勝、和田三男、小林清輝、
固体物理、vol. 18, pp.31-38 (1983).
2. 極薄絶縁膜形成技術 ;
平山誠、小林清輝、
電気化学および工業物理化学、vol. 58, pp. 105-109 (1990).
3. 高集積DRAM用キャパシタ誘電体膜形成技術 ;
小林清輝、林出吉生、中野豊、奥平智仁、福本晃二、
三菱電機技報、vol. 66, pp. 106-110 (1992).

4. スタック／円筒型キャパシタの誘電体膜形成技術 ；
平山誠、小林清輝、若宮互、
月刊Semiconductor World, 1990.5, pp. 102-107 (1990).

5. ULSIにおけるCVD薄膜-Si界面の自然酸化膜の低減 ～Si₃N₄-Si界面の自然酸化膜制御によるキャパシタ誘電体膜の薄膜化～ ；
小林清輝、桧垣孝志
半導体界面制御技術第154委員会 (1992).

6. 酸化膜の高信頼化技術 ；
小林清輝
フラッシュメモリビジネスシンポジウム '95, (株)サイエンスフォーラム、
1995.9.19.

7. 高信頼トンネル酸化膜形成技術 ；
寺本章伸、小林清輝、梅田浩司、松井安次、中村正、
三菱電機技報、vol. 70, pp. 75-79 (1996).